

UNIVERSIDADE FEDERAL DE ITAJUBÁ

DISSERTAÇÃO DE MESTRADO

**UM SENSOR DE TEMPERATURA INTEGRADO  
PARA APLICAÇÕES INDUSTRIAIS**

Por

**Alex Sander de Magalhães Pivoto**

**Orientador:** Paulo César Crepaldi, D.Sc.

**Co-orientador:** Tales Cleber Pimenta, Ph.D.

Dissertação apresentada a Universidade Federal de Itajubá como parte dos requisitos necessários para obtenção do título de Mestre em Engenharia Elétrica.

**Outubro de 2012  
Itajubá – MG**

*Dedico este trabalho aos meus pais,  
Vanderlei e Maria Nadir, a minha irmã  
Sheila e a minha noiva Bruna.*

*“Comece fazendo o que é necessário,  
depois o que é possível e, de repente,  
você estará fazendo o impossível”.*

***São Francisco de Assis***

## Agradecimentos

Primeiramente agradeço a deus, por todos os momentos e oportunidades em minha vida.

À minha noiva Bruna, a quem sempre me apoiou em todos os momentos nessa jornada.

Aos meus pais Vanderlei e Maria Nadir, minha irmã Sheila, por sempre estarem por perto transbordando carinho, incentivo e amor em todos os momentos.

Aos orientadores, Prof. Crepaldi e Prof. Tales, ao Prof. Robson, pelo incentivo, pela confiança e pela ajuda durante todas as etapas do trabalho realizado.

Aos colegas de trabalho e do grupo de microeletrônica da UNIFEI, pelas dúvidas, sugestões e ajuda quando encontradas no decorrer deste trabalho.

Em especial a empresa Sense Eletrônica Ltda nas figuras do Sr. Sérgio Augusto Bertolloni, gerente da engenharia de desenvolvimento de produto, e o Sr. Eduardo Pellegrinelli, Diretor técnico e fundador, pelo espaço cedido para o desenvolvimento deste trabalho.

Meus sinceros agradecimentos.

## Resumo

Este trabalho apresenta o desenvolvimento de um circuito *low-voltage e low-power* para aplicações em microeletrônica como sensor de temperatura, com o objetivo de atuar na proteção térmica de transistores de potência tipicamente aplicados em produtos voltados para o ambiente industrial, no chaveamento de cargas.

A topologia proposta por este estudo para o transistor MOS em inversão fraca, tem como grande característica a linearidade da tensão  $V_{DS}$  com a variação da temperatura (PTAT), sendo este o ponto explorado neste trabalho.

A alimentação do circuito deve ser realizada através de uma fonte de alimentação externa ajustada para 1 [V]. Através do arranjo dos transistores, um nível de tensão, em [mV], varia linearmente com a alteração da temperatura. Quando acontece um aquecimento excessivo, acima do ponto ajustado no circuito, um mecanismo de proteção pode desligar a operação do circuito, ou pelo menos sinalizar para uma operação específica.

O circuito apresenta operação linear entre a faixa de -20 a +120 [°C], e pode ser ajustado para detectar qualquer temperatura neste intervalo. O circuito proposto foi desenvolvido para baixa tensão e baixa potência de operação, em tecnologia TSMC 0.35um.

Neste trabalho o circuito foi ajustado para atuar seu estágio de saída quando a temperatura ultrapassar 100 [°C] com uma histerese de 4 [°C].

## Abstract

This work presents the development of a low-voltage and low-power circuit for applications in microelectronics as a temperature sensor, in order to act like a thermal shutdown protecting power transistors typically applied on products for the industrial environment in switching loads.

The proposed topology uses MOS transistors in weak inversion, that offers high linearity of  $V_{DS}$  voltage against temperature variation (PTAT), which is the focus of this work.

The power supply of the proposed circuit should be performed by an external source set to 1[V]. Through an arrangement of transistors a PTAT voltage level, in [mV], varies linearly with the temperature change. When there is excessive heating above the set point in the circuit, a protection mechanism could shut off the circuit operation or at least signalize for a specific operation.

The circuit offers linear operation from -20 to +120 [°C], and it can be adjusted to detect any temperature in that range. The proposed circuit was developed for low voltage and low power operation in TSMC 0.35um technology.

In this work the circuit was adjusted to act as your output stage when the temperature exceeds 100 [°C] with a hysteresis of 4 [°C].

# Índice

<b>Capítulo 1: Introdução</b> .....	1
1.1. Considerações Gerais .....	1
1.2. Objetivos .....	2
1.3. Estrutura do Trabalho .....	3
<b>Capítulo 2: O Transistor MOS e Sua Operação</b> .....	5
2.1. Considerações Gerais Sobre o Transistor MOS .....	5
2.2. Operação do Transistor MOS em Inversão Fraca .....	8
2.3. Analisando o Transistor MOS em Função da Temperatura .....	10
<b>Capítulo 3: O Transistor MOS Composto</b> .....	14
3.1. Considerações Gerais .....	14
3.2. O Transistor MOS Composto em Inversão Fraca .....	15
3.3. Modelo de Pequenos Sinais para o Transistor MOS Composto .....	18

<b>Capítulo 4: Sensor de Temperatura Integrado Proposto</b> .....	20
4.1. Considerações Gerais .....	20
4.2. O Circuito de Proteção Térmica .....	21
4.2.1. Circuito de Polarização e PTAT .....	23
4.2.2. Circuito Fonte de Referência .....	26
4.2.3. Circuito Buffer .....	28
4.2.4. Circuito Comparador de PTAT .....	30
<b>Capítulo 5: Projeto e Simulações do Sensor de Temperatura Proposto</b> .....	33
5.1. Considerações Gerais .....	33
5.2. Projeto do Circuito de Sensibilidade Térmica .....	34
5.3. Simulações do Circuito de Sensibilidade Térmica .....	39
<b>Capítulo 6: Conclusões e Trabalhos Futuros</b> .....	45
<b>Apêndice A: Artigos Publicados</b> .....	47
<i>Referências Bibliográficas</i> .....	48

## Lista de figuras

Figura 2.1 - Desenho esquemático do transistor apresentado por Lilienfeld, em 1928 .....	6
Figura 2.2 - Desenho esquemático da estrutura do transistor MOS e seu símbolo .....	6
Figura 3.1 - Transistor nMOS composto(esquemático e símbolo) .....	16
Figura 3.2 - Modelo do transistor MOS composto em pequenos sinais .....	19
Figura 4.1 - Circuito de proteção térmica convencional .....	22
Figura 4.2 - Circuito de polarização e PTAT .....	24
Figura 4.3 - Circuito de referência de tensão .....	27
Figura 4.4 - Buffer acionado pelo substrato .....	29
Figura 4.5 - Comparador de tensão .....	32
Figura 5.1 - $I_{DS}$ x $V_{DS}$ do transistor MOS composto $M_7$ fora do circuito .....	35
Figura 5.2 - $I_{DS}$ x $V_{DS}$ do um transistor MOS composto $M_7$ inserido no circuito .....	35
Figura 5.3 - Variação da temperatura sobre $V_{GS}M_7$ .....	36
Figura 5.4 - Layout do circuito proposto, estrutura única .....	38
Figura 5.5 - Resposta de PTAT em relação a variação da temperatura .....	39
Figura 5.6 - Resposta de PTAT em relação a variação da temperatura em $C_4$ .....	40
Figura 5.7 - Circuito de polarização e <i>Start-up</i> : (a) Gate de $M_3$ e $M_4$ , (b) Gate de $M_8$ , (c) Fonte de $M_8$ .....	41
Figura 5.8 - Operação do circuito completo: (a) Tensão de referência, (b) Sinal PTAT elevado .....	42
Figura 5.9 - Operação do circuito completo: (a) Tensão de referência, (b) Sinal PTAT elevado, (c) saída do comparador .....	43

## Lista de tabelas

Tabela 4.1 - Dimensões dos transistores do circuito PTAT .....	24
Tabela 4.2 - Dimensões dos transistores do circuito Vref .....	27
Tabela 4.3 - Dimensões dos transistores do circuito buffer .....	29
Tabela 4.4 - Dimensões dos transistores do circuito comparador .....	32

## Lista de Símbolos

- $C_B$   $\Rightarrow$  Capacitância da região de depleção (por unidade de área).
- CI  $\Rightarrow$  Circuito integrado.
- $C_{OX}$   $\Rightarrow$  Capacitância intrínseca do óxido (por unidade de área).
- CMOS  $\Rightarrow$  *Complementary Metal-Oxide-Semiconductor*.
- MOS  $\Rightarrow$  *Metal-Oxide-Semiconductor*.
- $g_m$   $\Rightarrow$  Transcondutância.
- $g_{ma}$   $\Rightarrow$  Transcondutância do transistor composto  $Qa$ .
- $g_o$   $\Rightarrow$  Condutância de saída do transistor composto.
- $g_{oa}$   $\Rightarrow$  Condutância do transistor  $Qa$ .
- $g_{ob}$   $\Rightarrow$  Condutância do transistor  $Qb$ .
- $g_{mb}$   $\Rightarrow$  Transcondutância de corpo do transistor composto  $Qb$ .
- $I_{DS}$   $\Rightarrow$  Corrente de dreno.
- $I_{DS}(T)$   $\Rightarrow$  Corrente de dreno em função da temperatura.
- $I_S$   $\Rightarrow$  Corrente característica em inversão fraca.
- $k$   $\Rightarrow$  Constante de Boltzmann.
- $\ln$   $\Rightarrow$  Logaritmo neperiano.
- $L$   $\Rightarrow$  Largura do canal do transistor.
- $n$   $\Rightarrow$  Fator de inclinação em inversão fraca.

- PTAT  $\Rightarrow$  Proporcional à temperatura absoluta.
- $q$   $\Rightarrow$  Carga elementar do elétron.
- $Q$   $\Rightarrow$  Densidade de carga na camada de inversão.
- $T$   $\Rightarrow$  Temperatura absoluta.
- $V_{BE}$   $\Rightarrow$  Tensão base-emissor.
- $V_{BG}$   $\Rightarrow$  Tensão de *bandgap*.
- $V_{cc}$   $\Rightarrow$  Tensão de alimentação.
- $V_{DS}$   $\Rightarrow$  Tensão de dreno-fonte.
- $V_{GS}$   $\Rightarrow$  Tensão de gate-fonte.
- $V_{SB}$   $\Rightarrow$  Tensão de fonte-substrato.
- $V_{TH}$   $\Rightarrow$  Tensão de limiar (tensão *threshold*).
- $V_{TO}$   $\Rightarrow$  Tensão *threshold* quando a tensão  $V_{SB}$  é nula.
- $W$   $\Rightarrow$  Largura do canal do transistor MOS.
- $\alpha$   $\Rightarrow$  Coeficiente térmico da corrente característica em inversão fraca.
- $\gamma$   $\Rightarrow$  Coeficiente de modulação de efeito de corpo.
- $\theta$   $\Rightarrow$  Coeficiente térmico da tensão *threshold*.
- $\lambda$   $\Rightarrow$  Coeficiente de CLM.
- $\mu$   $\Rightarrow$  Mobilidade elétrica dos portadores.
- $\varphi$   $\Rightarrow$  Coeficiente térmico do resistor de difusão.
- $\Phi_S$   $\Rightarrow$  Potencial de superfície.
- $\Phi_F$   $\Rightarrow$  Potencial de Fermi.
- $H$   $\Rightarrow$  Histerese.
- $V_{SAT}$   $\Rightarrow$  Tensão de Alimentação do comparador.
- $N$   $\Rightarrow$  Relação entre os resistores do comparador.

# Capítulo 1

## Introdução

### 1.1 Considerações Gerais

Atualmente, assim como no desenvolvimento do produto quanto no desenvolvimento de circuitos integrados, devem-se buscar requisitos como dimensões, velocidade, consumo, dissipação de potência e custo que em algumas vezes podem inviabilizar o produto final.

Para o desenvolvimento de circuitos integrados utilizando o processo CMOS permitiu-se uma grande integração entre circuitos digitais e analógicos. Apesar do processo CMOS ter como grande característica a baixíssima dissipação de potência, com a alta densidade de integração de circuitos a densidade de energia dissipada pelo CI tornou-se um grande problema, tendo impacto significativo sobre o consumo de energia [18].

Muitos dos mecanismos de falha em CI's são acelerados com o acréscimo descontrolado da temperatura. Como circuitos CMOS dissipam menos potência, resulta em um menor aquecimento devido a temperatura e como consequência, maior confiabilidade [18].

Uma das principais limitações de projetos de circuitos integrados CMOS é seu valor relativamente alto da tensão de limiar em relação a tensão de alimentação [1], com isso aparece a necessidade de desenvolvimento de técnicas de circuitos e blocos construtivos que operem através de baixas tensões de alimentação e baixo consumo de potência [3], [6], [7].

Hoje em dia existe uma série de sensores térmicos baseados no processo CMOS, incluindo sensores de radiação térmica, sensores de fluxo térmico, sensores de aceleração térmica, sensores para determinar as propriedades térmicas dos materiais, etc. Este estudo apresenta uma nova topologia de sensor térmico para ser aplicado na proteção *thermal shutdown* em circuitos que manipulam o chaveamento de cargas onde a não monitoração do sobre aquecimento do dispositivo pode levar a danos irreversíveis incluindo a queima do dispositivo.

## 1.2 Objetivos

O objetivo principal dessa dissertação é o desenvolvimento de um circuito de proteção térmica para ser utilizado em circuitos que necessitam de uma monitoração de temperatura para evitar danos no CI por meio de alterações térmicas. Para tal, o que se busca é a comprovação de que um transistor MOS composto de canal longo operando na saturação em inversão fraca se comporta de maneira análoga a tensão  $V_{BE}$  dos transistores bipolares quando submetidos a variação de temperatura. Seguindo a tendência de desenvolvimento de projetos em baixa tensão e baixa potência para aplicações de alto desempenho com ocupação de área mínima de silício, a utilização de transistores MOS é um excelente caminho devido suas pequenas dimensões quando implementados para este fim.

## 1.3 Estrutura do Trabalho

Este trabalho está dividido em seis capítulos, sendo o primeiro uma introdução e nos demais serão abordados todos os requisitos necessários para o entendimento da proposta.

O Capítulo 2 apresenta uma abordagem inicial explicando um pouco sobre a história dos transistores MOS demonstrando sua importância no desenvolvimento da eletrônica em nível microeletrônico. Também é apresentado a modelagem do transistor MOS de canal longo operando em inversão fraca. Logo, é desenvolvido um modelamento simplificado do transistor MOS de canal longo operando em inversão fraca em função da temperatura. Também é observado neste capítulo, a semelhança no comportamento do transistor MOS com o transistor bipolar em relação variação da temperatura, que é a idéia principal deste estudo.

No Capítulo 3 é apresentado o transistor MOS composto. Tomando-se como base as considerações do capítulo anterior, é apresentado o conceito e o modelamento do transistor MOS composto de canal longo operando em inversão fraca. Será abordado todo equacionamento necessário chegando a uma relação de  $(W/L)$  que deve ser respeitada pelos transistores que compõem o transistor composto. Também é observado neste capítulo o modelo de pequenos sinais para o transistor MOS composto.

No Capítulo 4 é apresentado o circuito proposto de sensibilidade térmica. Neste capítulo é abordado todo o desenvolvimento, demonstrando os procedimentos, equacionamento matemático, cálculos de polarização e o *layout* do circuito. Para um melhor entendimento, o circuito foi dividido em 4 blocos que são abordados detalhadamente no respectivo capítulo. O primeiro bloco é referente ao circuito de polarização de PTAT, o segundo a tensão de referência utilizada, no terceiro é abordada a concepção do circuito buffer e o quarto bloco é correspondente ao estágio de comparação do sinal PTAT e o sinal de referência, gerado internamente.

No Capítulo 5 são apresentados os resultados do estudo. Neste capítulo é demonstrado através de simulações efetuadas ao decorrer do desenvolvimento do trabalho a eficiência e o

funcionamento do circuito proposto. Todas as simulações foram realizadas no simulador PSPICE utilizando transistores MOS do modelo referente ao processo CMOS TSMC 0.35 $\mu$ m.

No Capítulo 6 são apresentadas as conclusões e as sugestões para trabalhos futuros que podem ser implementados a partir do trabalho apresentado. Uma das propostas será a implementação de uma fonte de referência *bandgap* ajustável permitindo assim uma variação do ponto de detecção pelo usuário.

## **Capítulo 2**

# **O Transistor MOS e Sua Operação**

### **2.1 Considerações Gerais Sobre o Transistor MOS**

O princípio básico do transistor MOS foi proposto e patenteado em 1928, por Julius E. Lilienfeld, considerado por muitos um homem muito à frente do seu tempo.

A realização física do transistor MOS não foi possível na época, por ainda não ter-se uma maturidade técnica para tal implementação. A Figura 2.1 apresenta um desenho esquemático do transistor, como apresentado na patente.

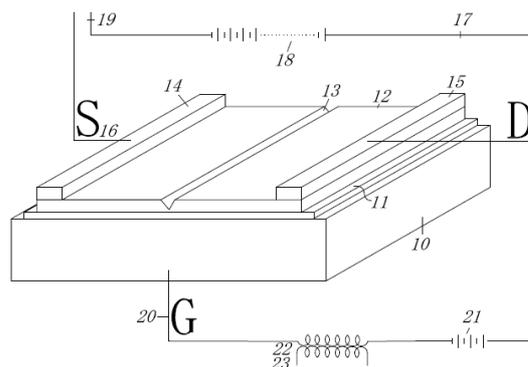


Figura 2.1 - Desenho esquemático do transistor apresentado por Lilienfeld, em 1928.

A limitação tecnológica da época refere-se ao não controle, alta densidade de estados e cargas de superfície do semiconductor. Esta alta densidade de estados de superfície produzia uma blindagem do semiconductor, impedindo assim uma modulação da densidade de portadores, portanto, da condutância entre os contatos de fonte e dreno, pela tensão de porta. Finalmente, apenas em 1960, obteve-se sucesso na fabricação do transistor MOS, na Bell Labs, por D. Kahng e M. Atalla. A Figura 2.2 mostra um desenho esquemático do transistor MOS tipo NMOS (substrato p).

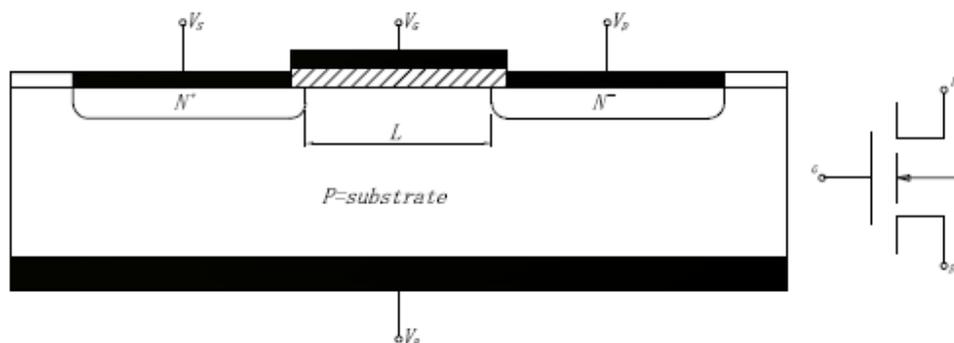


Figura 2.2 - Desenho esquemático da estrutura do transistor MOS e seu símbolo.

Pode-se afirmar que o transistor MOS idealizado por Lilienfeld, opera segundo os princípios físicos de condução elétrica, a deriva e a difusão dos portadores (elétrons e lacunas) ao longo do comprimento do canal, logo tem-se a corrente entre dreno e fonte [6]. A corrente de dreno,  $I_{DS}$ , pode ser expressa baseada na análise eletrostática unidimensional, pelo uso das

equações básicas de semicondutores e da equação de Gauss e/ou de Poisson para transistores de canal longo como:

$$I_{DS} = \mu W \left( -Q \frac{d\Phi_S}{dx} + \frac{kT}{q} \frac{dQ}{dx} \right) \quad (2.1)$$

onde,

- $\mu$       $\Rightarrow$  Mobilidade elétrica dos portadores,
- $W$       $\Rightarrow$  Largura do canal,
- $Q$       $\Rightarrow$  Densidade de carga na camada de inversão,
- $\Phi_S$     $\Rightarrow$  Potencial de superfície,
- $k$       $\Rightarrow$  Constante de Boltzmann,
- $T$       $\Rightarrow$  Temperatura absoluta (em Kelvin),
- $q$       $\Rightarrow$  Carga elementar do elétron (ou da lacuna),
- $kT/q$     $\Rightarrow$  Tensão termodinâmica.

A tensão *threshold*,  $V_{TH}$  pode ser modelada por uma relação simplificada para transistores MOS de canal longo e concentração uniforme de dopantes no substrato [2], [13], [19]. Pode-se verificar através das equações (2.2) e (2.3) a parcela que representa o efeito de corpo em torno do ponto de polarização do substrato.

$$V_{TH} = V_{TO} + \gamma (\sqrt{2\Phi_F + V_{SB}} - \sqrt{2\Phi_F}) \quad (2.2)$$

$$V_{TH} = V_{TO} + \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}^0}} V_{SB} \quad (2.3)$$

onde,

$V_{TO}$   $\Rightarrow$  Valor mínimo de  $V_{TH}$  no processo,

$V_{SB}$   $\Rightarrow$  Tensão entre fonte e substrato,

$\Phi_F$   $\Rightarrow$  Potencial de Fermi,

$\gamma$   $\Rightarrow$  Coeficiente de efeito de corpo.

Se o substrato for conectado a fonte do dispositivo, a tensão entre fonte e substrato,  $V_{SB}$ , será nula ( $V_{SB}=0$ ), com isso a tensão *threshold* passa a ter um comportamento constante e independente da polarização, mas dependente da concentração de dopantes no substrato [2], assumindo uma valor diferente chip a chip [16], [17]. Logo, estará eliminado o efeito de corpo do transistor, portanto o valor da tensão *threshold* será o valor mínimo do processo.

## 2.2 Operação do Transistor MOS em Inversão Fraca

Quando o transistor MOS estiver operando em inversão fraca, ou seja, na região *subthreshold*, a relação I x V deixa de ter um comportamento quadrático na saturação e passa a ter um comportamento exponencial [4], [10].

Uma maneira de conhecermos a corrente de dreno,  $I_{DS}$  de um transistor MOS de canal longo operando em inversão fraca, pode ser obtida pela equação (2.4).

$$I_{DS} = I_S \left( \frac{W}{L} \right) e^{\left( q \frac{V_{GS} - V_{TH}}{nkT} \right)} \left( 1 - e^{\left( -q \frac{V_{DS}}{kT} \right)} \right) \quad (2.4)$$

onde,

- $I_S$   $\Rightarrow$  Corrente característica,  
 $T$   $\Rightarrow$  Temperatura absoluta,  
 $n$   $\Rightarrow$  Fator de inclinação da curva em inversão fraca,  
 $k$   $\Rightarrow$  Constante de Boltzmann,  
 $q$   $\Rightarrow$  Carga do elétron ou da lacuna.

O fator de inclinação  $n$  é definido pela aproximação da razão entre a capacitância na região de depleção  $C_B$  e a capacitância intrínseca do óxido  $C_{OX}$ , expressas por unidade de área.

Assegurando a operação em inversão fraca, o fator de inclinação pode ser considerado uma constante, o qual ainda pode ser modelado na expansão linear do efeito de corpo em torno do ponto de polarização quiescente do substrato [6], [13], [14].

$$n = 1 + \frac{C_B}{C_{OX}} \quad (2.5)$$

$$n = 1 + \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}^0}} \quad (2.6)$$

O transistor MOS de canal longo estará na região de saturação, ou seja, saturado se a tensão  $V_{DS}$  for maior do que  $3kT/q$  para a operação em inversão fraca [6], [13], [19] sendo o modelo do transistor nessas condições dado por (2.7).

$$I_{DS} = I_S \left( \frac{W}{L} \right) e^{\left( q \frac{V_{GS} - V_{TH}}{nkT} \right)} \quad (2.7)$$

Pode-se notar, na equação acima, que a tensão a qual o transistor satura independe de sua tensão  $V_{GS}$ , efeito este que não ocorre na inversão forte [6]. Verifica-se mais a frente que a tensão de saturação do transistor MOS independente de  $V_{GS}$ , terá grande importância no comportamento do transistor MOS composto.

## 2.3 Analisando o Transistor MOS em Função da Temperatura

Considerando a equação (2.7), a corrente  $I_{DS}$  do transistor MOS de canal longo, na região de saturação em inversão fraca, pode ser avaliada em relação à temperatura [6], [8]. Considerando que a fonte está conectada ao substrato para ser eliminado o efeito de corpo e tornando-o assimétrico [1], tem-se segundo [6]:

$$I_{DS}(T) = I_S(T) \left( \frac{W}{L} \right) \exp \left( q \frac{V_{GS} - V_{TO}(T)}{nkT} \right) \quad (2.8)$$

A corrente característica é proporcional a mobilidade elétrica dos portadores e ao quadrado da tensão térmica, dependentes da temperatura [13], [19]. Dessa forma, a corrente característica pode ser expressa por:

$$I_S(T) \propto \mu(T) \left( \frac{kT}{q} \right)^2 \quad (2.9)$$

$$I_S(T) = I_S(T_0) \left( \frac{T}{T_0} \right)^\alpha \quad (2.10)$$

onde,

$T_0$   $\Rightarrow$  Temperatura referenciada,

$\alpha$   $\Rightarrow$  Coeficiente térmico.

As expressões (2.9) e (2.10) estão em função da temperatura e tomando como referência uma dada temperatura ( $T_0$ ), onde  $\alpha$  é o coeficiente térmico da corrente característica em inversão fraca, incluindo o efeito da tensão térmica e da mobilidade elétrica e dependente do processo CMOS [6], [13].

Tomando como referência as equações (2.8), (2.9) e (2.10), pode-se referenciar  $I_{DS}$  a uma temperatura, que é mostrado a seguir [6]:

$$I_{DS}(T) = I_{DS}(T_0) \left( \frac{T}{T_0} \right)^\alpha \exp \left( q \frac{V_{GS}(T) - V_{TO}(T)}{nkT} - q \frac{V_{GS}(T_0) - V_{TO}(T_0)}{nkT_0} \right) \quad (2.11)$$

onde,

$I_{DS}(T)$   $\Rightarrow$  Corrente de dreno em função da temperatura,

$T_0$   $\Rightarrow$  Temperatura de referência,

$\alpha$   $\Rightarrow$  Coeficiente térmico.

Pode-se também considerar [6], [13] que a tensão *threshold* pode ser referenciada a uma dada temperatura  $T_0$  através de uma relação linear dada por:

$$V_{TO}(T) = V_{TO}(T_0) - \theta(T - T_0) \quad (2.12)$$

onde,

$\theta$   $\Rightarrow$  Coeficiente térmico da tensão *threshold*.

O coeficiente térmico da tensão de limiar é dependente da concentração de dopantes no substrato e da espessura do óxido, variando aproximadamente de  $-0,5$  [mV/°C] a  $-3$  [mV/°C] para a faixa de temperatura de  $-80$  a  $+130$  [°C], segundo [6], [13], [20].

Podemos extrapolar, de maneira linear para o zero absoluto, a tensão *threshold* de forma a evidenciar um valor constante que a compõe [6].

$$V_{TO}^{ZERO} \equiv V_{TO}(T_0) + \theta T_0 \quad (2.13)$$

$$V_{TO}(T) = V_{TO}^{ZERO} - \theta T \quad (2.14)$$

Considerando uma manipulação matemática da equação (2.11) juntamente com as equações (2.12), (2.13) e (2.14) a fim de se obter uma expressão de  $V_{GS}$  em função da temperatura, tem-se:

$$V_{GS}(T) = V_{TO}^{ZERO} \left(1 - \frac{T}{T_0}\right) + V_{GS}(T_0) \left(\frac{T}{T_0}\right) + n \frac{kT}{q} \ln \left[ \left(\frac{T_0}{T}\right)^\alpha \frac{I_{DS}(T)}{I_{DS}(T_0)} \right] \quad (2.15)$$

Portanto, a tensão  $V_{GS}$  de um transistor MOS operando em inversão fraca tem o comportamento próximo do linear e decrescente na temperatura, uma vez que a parcela logarítmica sofre pouca variação e é sempre menor que a tensão *threshold* em inversão fraca [6].

A tensão  $V_{GS}$  também pode ser dada para a corrente de dreno constante com a variação da temperatura, segundo [6] como:

$$V_{GS}(T) = V_{TO}^{ZERO} \left(1 - \frac{T}{T_0}\right) + V_{GS}(T_0) \left(\frac{T}{T_0}\right) - \alpha n \frac{kT}{q} \ln \left(\frac{T}{T_0}\right) \quad (2.16)$$

Agora tem-se condições de efetuar uma comparação entre a tensão  $V_{GS}$  do transistor MOS de canal longo operando na região de saturação em inversão fraca com a tensão  $V_{BE}$  do transistor bipolar, em função da temperatura. A expressão (2.17) é dada para um transistor bipolar com corrente de coletor constante em função da temperatura:

$$V_{BE}(T) = V_{BG}^{ZERO} \left(1 - \frac{T}{T_0}\right) + V_{BE}(T_0) \left(\frac{T}{T_0}\right) - \alpha \frac{kT}{q} \ln \left(\frac{T}{T_0}\right) \quad (2.17)$$

Pode-se notar que a tensão  $V_{GS}$  do transistor MOS de canal longo operando na região de saturação em inversão fraca dada pela equação (2.16) é análoga a tensão  $V_{BE}$  dada pelo transistor bipolar, em função da temperatura. Portanto, utilizando um transistor MOS nas condições descritas acima pode-se ter as mesmas características de variação de temperatura que uma junção

$V_{BE}$  de um transistor bipolar. Este fato é a base fundamental para este trabalho, lembrando que a implementação de transistores MOS em microeletrônica é mais viável se comparada a transistores bipolares.

O termo dependente da temperatura pode ser minimizado pela implementação de uma polarização PTAT (proporcional à temperatura absoluta), que elimina o efeito da parcela linear decrescente com a temperatura na tensão  $V_{GS}$  [6].

## Capítulo 3

# O Transistor MOS Composto

### 3.1 Conceitos Gerais

No desenvolvimento dos circuitos responsáveis pela polarização dos estágios, incluindo o próprio estágio de sensibilidade térmica, foi utilizado o conceito de transistores nMOS e pMOS compostos de canal longo operando em inversão fraca. Lembrando que as expressões aqui demonstradas são análogas aos transistores nMOS e pMOS.

Um ponto bastante importante é que os transistores MOS promovem uma característica desejável, como o efeito cascode auto polarizado, e esse efeito foi explorado no desenvolvimento do circuito de polarização para o MOS composto responsável por gerar uma tensão PTAT.

É sabido que uma fonte de corrente ideal possui  $Z_{out}$  tendendo a infinito, portanto  $V_{out}$  não será influenciada pela carga, logo isso tudo é possível quando o transistor está operando na saturação e pode ser modelado em pequenos sinais como uma fonte de corrente controlada por tensão [6]. Porém, para os transistores reais isso não é tão simples, pois as correntes ao longo dos ramos do circuito podem desviar de seus valores ideais [1], [21]. Logo, quanto maior for a resistência de saída, maior será a proximidade do transistor de uma fonte de corrente ideal [6].

Foram aproveitadas as boas características dos transistores MOS composto, impedância de saída maior se comparado aos transistores MOS simples, para implementação dos espelhos de correntes necessários para polarização do circuito de sensibilidade térmica.

Este Capítulo apresenta o conceito do transistor MOS composto de canal longo que, saturado em inversão fraca, promove um aumento da sua resistência de saída, sem aumento de consumo ou mesmo diminuição de excursão do sinal e sem fontes de polarização auxiliares [6].

## **3.2 O Transistor MOS Composto em Inversão Fraca**

Uma importante configuração na saturação em inversão fraca é o transistor MOS composto [12]. Considerando que os transistores são implementados no mesmo poço e no processo CMOS da TSMC, o substrato é do tipo P, isso permite que transistores nMOS o compartilhem. A análise é análoga para o transistor pMOS. Na Figura 3.1 é ilustrado a estrutura, esquemático e símbolo, de um transistor nMOS composto.

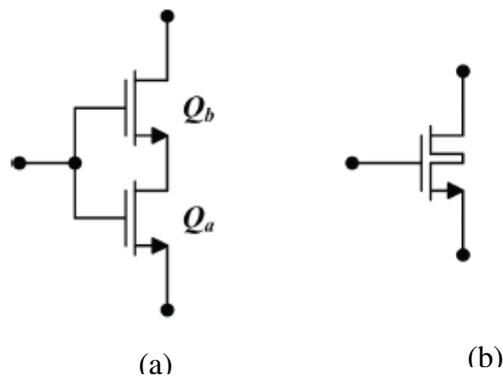


Figura 3.1 – Transistor nMOS composto (esquemático e símbolo).

Para que um transistor MOS composto de canal longo em inversão fraca sature, a tensão  $V_{DS}$  deve ser maior do que  $3 kT/q$  [13], [19] e como dito no capítulo anterior através da equação (2.7), a saturação do transistor MOS composto é independente da tensão  $V_{GS}$ .

A saturação em inversão fraca ocorre de forma não-correlacionada com o excesso de tensão do transistor, o que permite construir o transistor MOS composto em inversão fraca, segundo [6].

Analisando a Figura (3.1 (a)), que representa o esquemático do transistor MOS composto, pode-se obter as expressões de corrente e de tensão, que são demonstradas por (3.1) e (3.2).

$$I_{DSa} = I_{DSb} \quad (3.1)$$

$$V_{DSa} = V_{GSa} - V_{GSb} \quad (3.2)$$

Levando em consideração as análises observadas por [6], e sabendo também que os transistores MOS são implementados sobre o mesmo substrato, aparecendo assim efeito de corpo em  $Qb$ , e que a tensão  $V_{DS}$  aplicado ao transistor MOS composto seja maior que  $3 kT/q$ , (condição suficiente para saturar  $Qb$ ), pode-se chegar a uma expressão onde pode ser encontrado a tensão

$V_{DSa}$ . Observe que  $V_{DSa}$  não depende de  $V_{GS}$  dos transistores, fato que é válido para operação em inversão fraca e que também  $V_{DSa}$  é PTAT, onde independe da corrente de polarização, considerando os transistores operando em inversão fraca [6].

$$V_{DSa} = \frac{kT}{q} \ln \left( 1 + \frac{\left(\frac{W}{L}\right)_b}{\left(\frac{W}{L}\right)_a} \right) \quad (3.2)$$

Partindo da equação (3.2) e com algumas manipulações matemática, pode-se chegar na relação entre as dimensões de  $Qa$  e  $Qb$ . Lembrando que para manter a saturação em inversão fraca de  $Qa$ , é necessário que  $V_{DSa}$  seja maior do que  $3 kT/q$  [13], [19], dessa forma obtém-se:

$$\left(\frac{W}{L}\right)_b \geq (e^3 - 1) \left(\frac{W}{L}\right)_a \quad (3.3)$$

$$\left(\frac{W}{L}\right)_b \geq 19 \left(\frac{W}{L}\right)_a \quad (3.4)$$

Considerando as equações (3.3) ou (3.4) pode-se observar que é necessário uma grande área para que o transistor  $Qb$  mantenha o transistor  $Qa$  na saturação.

Considerando-se o caso em que os transistores  $Qa$  e  $Qb$  são construídos em substratos (poços) separados com o objetivo de diminuir a relação geométrica entre  $Qa$  e  $Qb$ , pode-se efetuar a conexão do terminal do substrato à fonte do transistor para que se elimine assim o efeito de corpo na estrutura. Pode-se obter uma nova relação que relaciona a geometria dos transistores  $Qa$  e  $Qb$  expressa por:

$$V_{DSa} = \frac{kT}{q} \ln \left( 1 + \left( \frac{\left(\frac{W}{L}\right)_b}{\left(\frac{W}{L}\right)_a} \right)^n \right) \quad (3.5)$$

De posse da equação (3.5) e considerando todas as condições de  $V_{DSa}$  para manter a saturação em inversão fraca em  $Qa$ , obtém-se uma nova relação, que deve ser respeitada, necessária para que o transistor  $Qb$  mantenha  $Qa$  saturado:

$$\left(\frac{W}{L}\right)_b \geq \sqrt[n]{e^3 - 1} \left(\frac{W}{L}\right)_a \quad (3.6)$$

$$\left(\frac{W}{L}\right)_b \geq \sqrt[n]{19} \left(\frac{W}{L}\right)_a \quad (3.7)$$

Pode-se verificar que a relação geométrica entre os transistores  $Qb$  e  $Qa$  é menor quando os transistores são implementados em substratos (poços) separados. Isto é possível nesta nova condição, pois está eliminando o efeito de corpo do transistor MOS composto  $Qb$ , sabendo-se que o fator  $n$  é sempre maior do que 1 no modelo do transistor [6], [13], [19].

### 3.3 Modelo de Pequenos Sinais para o Transistor MOS Composto

Para os transistores MOS composto, a tensão  $V_{DS}$  necessária para saturação do transistor  $Qa$  está em função das dimensões dos transistores e dos parâmetros físicos  $k$ ,  $T$  e  $q$  e não depende da tensão  $V_{GS}$  [6]. Portanto, essa é uma das principais características que motivam a utilização do transistor MOS composto no desenvolvimento de circuitos na saturação em inversão fraca, porém não aplicado às mesmas considerações para operação em inversão forte devido ao comportamento diferenciado da corrente de dreno.

A Figura 3.2 representa o modelo simplificado de pequenos sinais do transistor MOS composto com o transistor  $Qb$  saturado [6].

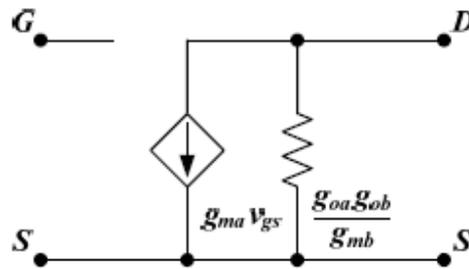


Figura 3.2 – Modelo do transistor MOS composto em pequenos sinais.

Portanto, pode-se considerar:

$$g_m \approx g_{ma} \quad (3.8)$$

$$g_o \approx \frac{g_{oa} g_{ob}}{n g_{mb}} \quad (3.9)$$

onde,

- $g_m$   $\Rightarrow$  Transcondutância do transistor composto,
- $g_{ma}$   $\Rightarrow$  Transcondutância do transistor  $Q_a$ ,
- $g_o$   $\Rightarrow$  Condutância de saída do transistor composto,
- $g_{oa}$   $\Rightarrow$  Condutância do transistor  $Q_a$ ,
- $g_{ob}$   $\Rightarrow$  Condutância do transistor  $Q_b$ ,
- $g_{mb}$   $\Rightarrow$  Transcondutância de corpo do transistor  $Q_b$ ,
- $n$   $\Rightarrow$  Fator de inclinação em inversão fraca.

Pode-se verificar que a condutância de saída é dividida pelo ganho do amplificador *gate-comum*, tornando-se menor do que a original para um mesmo valor da tensão  $V_{GS}$ .

## Capítulo 4

# Sensor de Temperatura Integrado Proposto

### 4.1 Considerações Gerais

Conforme abordado nos capítulos anteriores, o transistor MOS composto possui características bastante úteis quando se deseja desenvolver circuitos de baixa potência, além do que quando exposto a variação da temperatura (respeitando as condições das equações apresentadas no Capítulo 3 e operando em inversão fraca) o transistor MOS de canal longo possui um comportamento “semelhante” aos transistores bipolares, na configuração proposta.

Tal característica foi explorada para o desenvolvimento deste trabalho, criando uma estrutura de proteção térmica que pode ser aplicada em circuitos de microeletrônica com o objetivo principal de proteção térmica a circuitos de chaveamento de potência.

O circuito proposto pode ser empregado em ambientes de detecção de temperaturas de -20 a +120 [°C] sendo fixado, como característica de projeto, o ponto de atuação na temperatura desejada.

Quando se utilizam componentes eletrônicos para chavear cargas de alta potência lida-se com problemas de aquecimento excessivo dos componentes que estão diretamente atuando nesse processo. Quando este dispositivo eletrônico não possui uma proteção contra possíveis sobre aquecimentos, ele pode se danificar [12].

O circuito de monitoração de temperatura proposto nesta dissertação tem por finalidade identificar essa alteração de temperatura e atuar sinalizando em sua saída com uma alteração de nível lógico.

Neste trabalho propõem-se uma nova topologia de circuito de proteção, de baixa tensão e potência para ser aplicado em circuitos integrados como um sensor de temperatura na proteção contra o sobre aquecimento para circuitos integrados.

## **4.2 O Circuito de Proteção Térmica**

Um grande problema nos circuitos de chaveamento de potência é seu sobre aquecimento quando estão atuando. Dependendo de sua capacidade em drenar ou fornecer potência, esse dispositivo sofre grande aquecimento e caso não tenha uma proteção térmica efetiva e confiável ele certamente terá as suas características elétricas degradadas podendo até ficar totalmente inoperante [15]. Diante disso, todo circuito dedicado proposto ao acionamento de altas potências tem a necessidade de um circuito de desligamento térmico para proteção do dispositivo.

Atualmente para que os circuitos de detecção térmica tenham um bom desempenho em sua detecção de sobre temperatura os projetos são desenvolvidos utilizando transistores bipolares

e comparadores, pois a junção  $V_{BE}$  dos transistores bipolares sofrem grande variação com a alteração da temperatura e os comparadores possuem uma alta velocidade de resposta. Na Figura 4.1 é ilustrado um circuito de detecção térmica convencional que é largamente utilizado [9], [15].

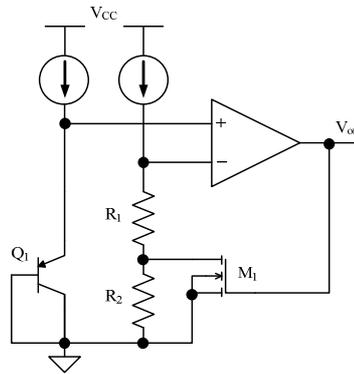


Figura 4.1 – Circuito de proteção térmica convencional.

Analisando o circuito da Figura 4.1, verifica-se que a junção  $V_{BE}$  do transistor  $Q_1$  é responsável por sensibilizar a alteração da temperatura neste tipo de topologia. Como é notado, quando ocorre uma variação da temperatura também ocorre uma variação do valor de  $V_{BE}$ , para transistores bipolares. Partindo do ponto no qual o comportamento da variação de  $V_{BE}$ , na temperatura desejada, projetou-se  $R_1$  e  $R_2$  para que quando atingir-se a temperatura desejada, ocorra a comutação na saída do comparador. O transistor  $M_1$  é responsável por gerar uma histerese necessária para o comparador.

Utilizando esta topologia, dependendo da variação de  $V_{BE}$  e do tempo de resposta do comparador, ela pode ser aplicada na detecção de altas temperaturas apresentando uma boa estabilidade [15].

A topologia convencional, representada pela Figura 4.1, apresenta duas desvantagens [15]. A corrente fornecida na malha de  $Q_1$  não é suficientemente alta para manter a estabilidade do circuito para diferentes tensões de alimentação. Por se tratar de dispositivo bipolar haverá também dissipação de potência por esse componente [15], e conseqüentemente todo o substrato onde foi desenvolvido o CI irá se “beneficiar” desse indesejado aquecimento.

Tomando como base o circuito convencional de detecção térmica, apresenta-se a seguir a proposta de uma nova topologia de circuito com o mesmo objetivo, porém implementado em tecnologia CMOS TSMC 0.35 $\mu$ m.

Será apresentada toda a estrutura do circuito proposto. Para facilitar a análise, o circuito de proteção térmica será dividido em quatro blocos.

- Polarização e PTAT.
- Circuito Fonte de Referência.
- Circuito Buffer.
- Circuito Comparador de PTAT.

### **4.2.1 Polarização e PTAT**

O circuito implementado pela Figura 4.2 apresenta o circuito responsável por gerar uma tensão proporcional a variação da temperatura, PTAT. Esta topologia proposta foi implementada com transistores nMOS e pMOS, simples e/ou composto, que tem por finalidade polarizar todo o circuito e gerar uma tensão em  $C_4$  linear e totalmente dependente das variações de temperatura.

Em relação ao transistor MOS composto empregado no circuito, foi observado um expressivo aumento da resistência (ou diminuição da condutância) de saída na saturação frente ao transistor simples, com níveis de tensão e de corrente semelhantes ao transistor simples. Logo pode-se considerar que o transistor MOS composto tem uma polarização parecida com a do transistor simples, não aumentando o consumo quiescente [6]. Portanto, o transistor MOS composto apresenta um comportamento próximo ao do transistor ideal, abordado no Capítulo 3, modelo de uma fonte de corrente ideal, se comparado com o transistor simples [2].

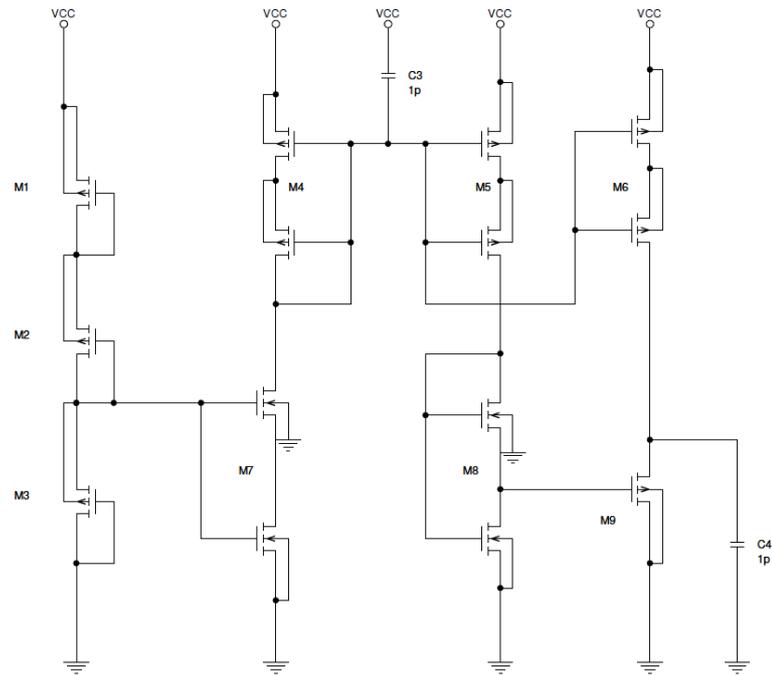


Figura 4.2 Circuito de polarização e PTAT.

(W/L) M <sub>1</sub>	1 μm x 1 μm	(W/L) M <sub>5a</sub>	100 μm x 1 μm
(W/L) M <sub>2</sub>	1 μm x 1 μm	(W/L) M <sub>6a</sub>	100 μm x 1 μm
(W/L) M <sub>3</sub>	1 μm x 1 μm	(W/L) M <sub>7b</sub>	2980 μm x 1 μm
(W/L) M <sub>4b</sub>	1000 μm x 1 μm	(W/L) M <sub>7a</sub>	149 μm x 1 μm
(W/L) M <sub>5b</sub>	1000 μm x 1 μm	(W/L) M <sub>8b</sub>	2000 μm x 1 μm
(W/L) M <sub>6b</sub>	1000 μm x 1 μm	(W/L) M <sub>8a</sub>	100 μm x 1 μm
(W/L) M <sub>4a</sub>	100 μm x 1 μm	(W/L) M <sub>9</sub>	1 μm x 1 μm

Tabela 4.1 – Dimensões dos transistores do circuito PTAT.

Com o circuito de polarização e PTAT alimentado com fonte externa de 1 [V] apresenta consumo na ordem de [nA]. O circuito é capaz de fornecer uma resposta em C<sub>4</sub> altamente linear quando submetido a variações de temperatura.

Os transistores MOS simples M<sub>1</sub>, M<sub>2</sub> e M<sub>3</sub> são responsáveis por gerarem uma referência de tensão V<sub>GS</sub> de aproximadamente 333 [mV] no transistor MOS composto M<sub>7</sub> do espelho de

corrente, forçando-o a operar em inversão fraca. Também, os transistores  $M_4$ ,  $M_5$  e  $M_6$  fazem parte do espelho de corrente responsável por fornecer uma corrente suficiente para o circuito de PTAT, corrente de polarização do circuito. Esta corrente é ajustada via relação do transistor nMOS compostos  $M_7$  onde seus valores de (W/L) foram calculados e ajustados para obter a corrente necessária para o circuito, nesse caso de aproximadamente 72 [nA]. Para o transistor  $Q_{a7}$  sua relação (W/L) é de  $149\mu\text{m} \times 1\mu\text{m}$  e  $2980\mu\text{m} \times 1\mu\text{m}$  para  $Q_{b7}$ .

Os transistores MOS composto do espelho de corrente foram implementados no mesmo substrato e possuem as dimensões descritas na Tabela 4.1. Pode-se observar que para os transistores  $M_4$ ,  $M_5$  e  $M_6$  seus respectivos transistores  $Q_{a4}$ ,  $Q_{a5}$  e  $Q_{a6}$  possuem (W/L) de  $100\mu\text{m} \times 1\mu\text{m}$  e seus respectivos transistores  $Q_{b4}$ ,  $Q_{b5}$  e  $Q_{b6}$  possuem dimensões de  $1000\mu\text{m} \times 1\mu\text{m}$ , ou seja 10 vezes mais largo do que os transistores  $Q_a$ . Como mencionado anteriormente os transistores foram implementados no mesmo substrato (poço), logo de acordo com a equação (3.3) ou (3.4), os transistores  $Q_{a4}$ ,  $Q_{a5}$  e  $Q_{a6}$  não estão totalmente saturados, por mais que estejam operando na região de inversão fraca. Para aplicação como espelho de corrente utilizando transistores MOS composto esse não é um ponto crítico, haja visto e mencionado no Capítulo 3 que o efeito cascode deste tipo de transistor MOS garante a relação de espelhamento desejado.

Analisando os transistores  $M_7Q_a$  e  $M_7Q_b$ , observa-se que eles foram implementados respeitando as equações (3.3) ou (3.4), que definem a relação da geometria para os transistores  $Q_b$  e  $Q_a$  de um MOS composto. Logo, como o transistor  $Q_b$  é vinte vezes mais largo do que o transistor  $Q_a$ , esse se mantém totalmente saturado.

O transistor MOS composto  $M_8$  é o responsável por atuar como um termistor de baixíssimo consumo, ou seja, capaz de alterar linearmente a tensão em  $V_{GS}M_9$  linearmente com a variação da temperatura. Neste ponto tem-se, na tensão, um comportamento PTAT.

Para fins de *layout*, este transistor é o componente que deve estar o mais próximo possível do ponto a ser monitorado, pois assim estará garantindo que todo o aquecimento ao redor do componente seja monitorado.

Outro ponto importante que deve-se notar é que o circuito de polarização, ou seja, o espelho de corrente, é caracterizado por uma topologia simples implementado por transistores MOS compostos.

Para esta topologia de circuito a fonte de corrente de referência para o circuito não necessita de muito cuidado, visto que a tensão  $V_{GS}M_9$  não depende dessa corrente.

O transistor  $M_9$  é um transistor MOS simples, responsável apenas por elevar o valor de PTAT gerado pelo transistor  $M_8$  em níveis de tensão entre algumas centenas de milivolts.

O capacitor  $C_4$  foi inserido como proteção ao sinal gerado por  $M_8$ , ou seja, PTAT. Sua função principal será atuar para evitar possíveis influências de ripple ou flutuações da tensão de alimentação.

O capacitor  $C_3$  é o responsável por gerar uma *start-up* ao circuito de PTAT, gerando um atraso de aproximadamente 150 [ $\mu$ s] ao funcionamento do circuito, quando o mesmo alimentado.

## 4.2.2 Circuito Fonte de Referência

A maioria dos circuitos analógicos e digitais em microeletrônica necessita de uma fonte de referência, por exemplo, os conversores analógicos digitais, no caso deste estudo, o comparador de tensão, etc. Toda tensão de referência deve ser bem definida e insensível a temperatura, fonte de alimentação e variações da sua carga. A resolução de um conversor A/D ou D/A, por exemplo, é limitada pela precisão de sua tensão de referência.

No circuito proposto, a fonte de referência foi implementada pelo empilhamento de transistores pMOS. Essa referência de tensão é necessária para que o estágio de comparação tenha um nível onde o sinal de PTAT referente a variação da temperatura seja comparado. O

empilhamento de transistores foi projetado para que a tensão de referência esteja ajustada para detecção de PTAT quando a temperatura exceder 100 [°C]. Como não é objetivo deste estudo o desenvolvimento de uma referência de tensão de alto desempenho, optou-se pelo simples empilhamento. A Figura 4.2 mostra o circuito de referência de tensão.

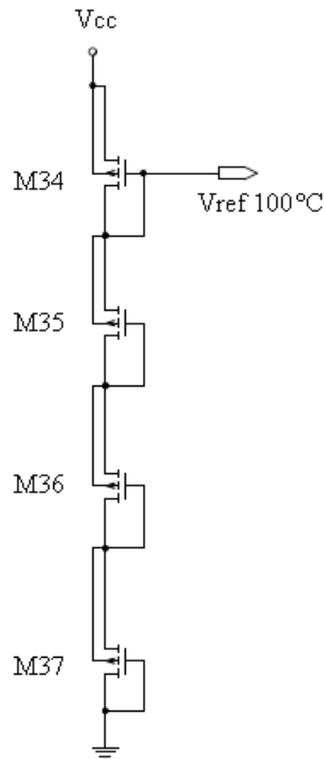


Figura 4.3 – Circuito de referência de tensão.

(W/L) $M_{34}$	$5\mu m \times 1\mu m$	(W/L) $M_{36}$	$1\mu m \times 1\mu m$
(W/L) $M_{35}$	$1\mu m \times 1\mu m$	(W/L) $M_{37}$	$1\mu m \times 1\mu m$

Tabela 4.2 – Dimensões dos transistores do circuito  $V_{ref}$ .

Para trabalhos futuros sugere-se o desenvolvimento de uma *bandgap* ajustável para que essa referência de tensão possua níveis, possibilitando assim a detecção de temperaturas, ajustadas previamente. Em aplicações de circuitos integrados, as referências de tensão mais

utilizadas são baseadas na referência de tensão *bandgap*, onde a tensão de referência se baseia na tensão base-emissor de um transistor bipolar [1].

### 4.2.3 Circuito Buffer

O buffer foi implementado para isolar a fonte de referência de tensão do comparador, para isso utilizou-se uma das mais populares arquiteturas de amplificadores operacionais CMOS conhecida como Miller OTA (*operational transconductance amplifier*).

O amplificador Miller OTA é formado por dois estágios responsáveis por amplificar sinais e também por uma malha de realimentação RC. Também, nos amplificadores Miller OTA é necessário uma corrente de referência, que aqui foi gerada externamente, porém poderia ser gerada por um circuito de polarização sendo assim a mesma compartilhada com os transistores  $M_{11}$ ,  $M_{12}$ ,  $M_{13}$  e  $M_{14}$  através do transistor  $M_{10}$  formando espelhos de corrente.

Como o objetivo do amplificador operacional neste bloco é atuar como isolador, não se mostrou necessário, nas simulações realizadas, a implementação da compensação de frequência através de uma malha RC.

O amplificador operacional seguidor de tensão ou buffer tem como características isolar o sinal de entrada de uma determinada carga, por meio de um estágio de ganho unitário, sem inversão de fase ou polarização, agindo como um circuito ideal, com impedância de entrada muito alta e baixa impedância de saída. O Miller OTA isolado de ganho unitário acionado pelo substrato permitiu uma excursão do sinal polo a polo sem desligar seus transistores [1].

Na Figura 4.4 utilizou-se um Miller OTA apresentado por [5] não sendo implementado seu desenvolvimento, pois não é o objetivo principal desta dissertação.

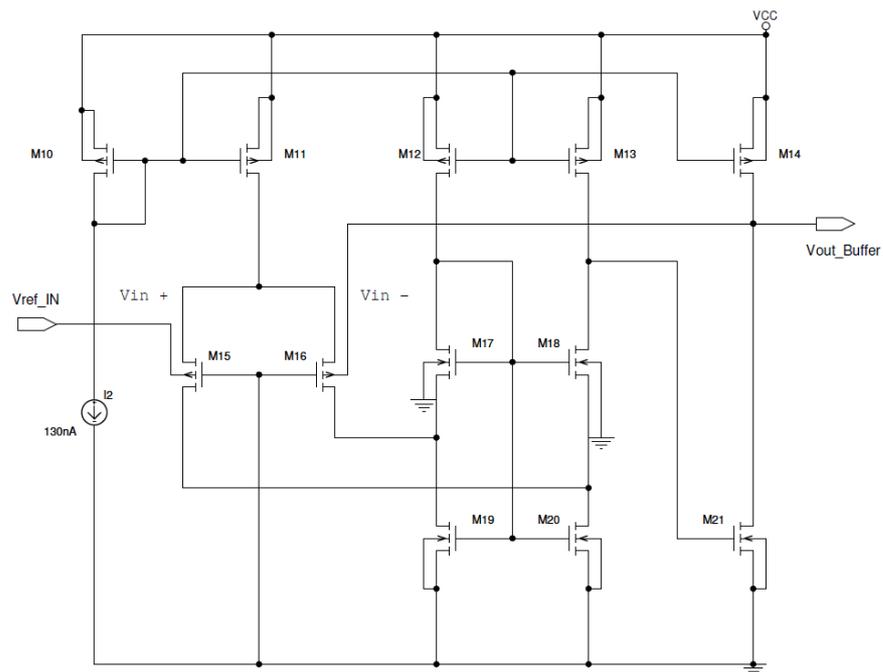


Figura 4.4 – Buffer acionado pelo substrato.

O circuito buffer apresentado acima foi implementado por [5] utilizando processos CMOS TSMC 0.35 $\mu\text{m}$  e suas respectivas relações de (W/L) são apresentadas na Tabela 4.3.

Tanto o buffer como o comparador, mencionado mais a frete, foram implementados utilizando transistores CMOS simples.

(W/L) M <sub>10</sub>	200 $\mu\text{m}$ x 9 $\mu\text{m}$	(W/L) M <sub>16</sub>	250 $\mu\text{m}$ x 1 $\mu\text{m}$
(W/L) M <sub>11</sub>	200 $\mu\text{m}$ x 9 $\mu\text{m}$	(W/L) M <sub>17</sub>	400 $\mu\text{m}$ x 1 $\mu\text{m}$
(W/L) M <sub>12</sub>	100 $\mu\text{m}$ x 9 $\mu\text{m}$	(W/L) M <sub>18</sub>	400 $\mu\text{m}$ x 1 $\mu\text{m}$
(W/L) M <sub>13</sub>	100 $\mu\text{m}$ x 9 $\mu\text{m}$	(W/L) M <sub>19</sub>	100 $\mu\text{m}$ x 1 $\mu\text{m}$
(W/L) M <sub>14</sub>	800 $\mu\text{m}$ x 9 $\mu\text{m}$	(W/L) M <sub>20</sub>	100 $\mu\text{m}$ x 1 $\mu\text{m}$
(W/L) M <sub>15</sub>	250 $\mu\text{m}$ x 1 $\mu\text{m}$	(W/L) M <sub>21</sub>	400 $\mu\text{m}$ x 1 $\mu\text{m}$

Tabela 4.3 – Dimensões dos transistores do circuito buffer.

### 4.2.3 Circuito Comparador de PTAT

O último estágio no qual foi dividido esse estudo, que também não é o objetivo principal de desenvolvimento, porém não tendo menor importância do que os demais, é o comparador de tensão.

Para este circuito foi utilizado o mesmo amplificador operacional empregado no buffer, porém configurado como comparador de tensão. Ele é responsável por perceber a variação da tensão, decorrente da variação da temperatura e atuar seu estágio de saída sinalizado para um próximo estágio. Também utilizou-se de uma referência de corrente externa.

Os comparadores de tensão e/ou correntes são utilizados quando deseja-se tratar um sinal onde há necessidade de uma comparação com níveis pré-estabelecidos.

Para o circuito proposto ira-se comparar o sinal gerado de PTAT, que varia de acordo com a alteração da temperatura no circuito ou componente, com uma fonte de referência que é ajustada como requisitos de projeto com um valor de tensão tal que corresponda a temperatura de aproximadamente 100 [°C].

Como mencionado no bloco buffer, para o Miller OTA configurado como comparador de tensão não foi necessário também, verificado pelas simulações, a implementação da malha RC responsável pela compensação de frequência. Foi estabelecido em sua saída um resistor de carga de 280 [K $\Omega$ ] e um capacitor de 15 [pF] que estão representando uma carga de saída que consome aproximadamente 5 [ $\mu$ A], para fins de simulação.

Os resistores  $R_1$ ,  $R_2$  e  $R_3$  são responsáveis por tornarem o Miller OTA em um circuito comparador de tensão. Seus valores foram calculados para obtenção de uma histerese de aproximadamente 11 [mV] que representa em níveis de temperatura aproximadamente 4 [°C]. Esta histerese é necessária para evitar possíveis oscilações do estágio de saída quando a

temperatura incidida sobre o transistor MOS composto responsável por detecta-lá, estiver variando vagarosamente, ou seja, no limite de detecção.

Para calcular a histerese do circuito, que foi definida em aproximadamente 4 [°C], pode-se utilizar a seguinte expressão:

$$H = \frac{1}{N} \left[ +V_{SAT} - (-V_{SAT}) \right] \quad (4.1)$$

onde,

$H$   $\Rightarrow$  Histerese,

$N$   $\Rightarrow$  Relação entre os resistores do comparador,

$V_{SAT}$   $\Rightarrow$  Tensão de Alimentação do comparador.

Para o caso de saturação simétrica tem-se:

$$H \approx \frac{2}{N} |V_{SAT}| \quad (4.2)$$

A Figura 4.5 representa o bloco comparador de tensão implementado no circuito de detecção térmica aqui proposto.

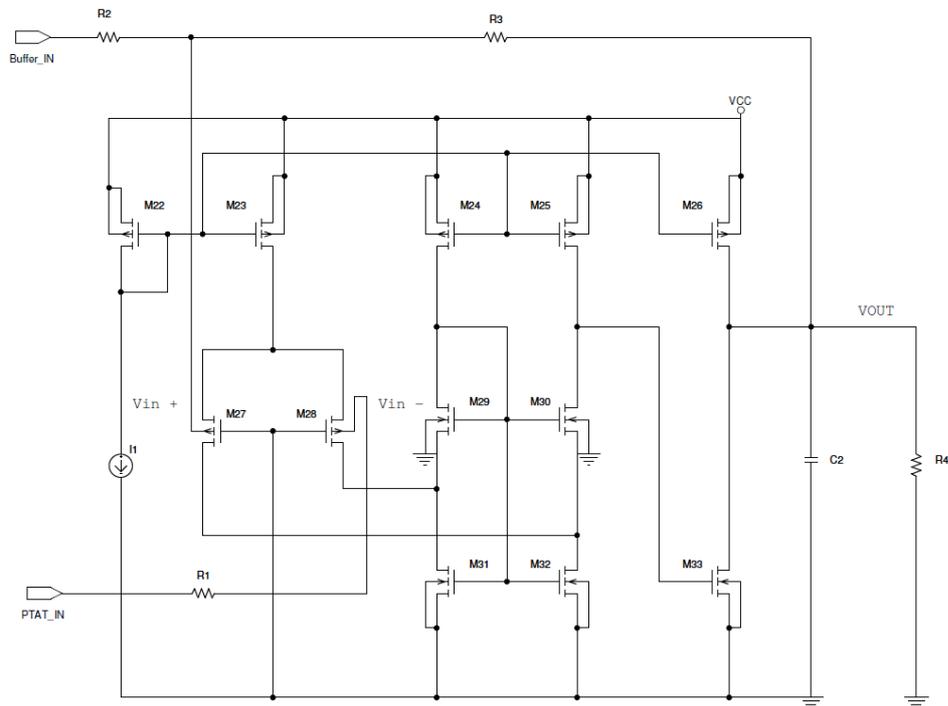


Figura 4.5 – Circuito comparador de tensão.

Na Tabela 4.4 estão relacionados os dimensionais (W/L) dos transistores MOS simples implementados no comparador bem como os respectivos valores de  $R_1$ ,  $R_2$ ,  $R_3$ ,  $R_4$  e  $C_2$ .

(W/L) $M_{22}$	$200\mu\text{m} \times 9\mu\text{m}$	(W/L) $M_{28}$	$250\mu\text{m} \times 1\mu\text{m}$	$R_1$	$2\text{K}\Omega$
(W/L) $M_{23}$	$200\mu\text{m} \times 9\mu\text{m}$	(W/L) $M_{29}$	$400\mu\text{m} \times 1\mu\text{m}$	$R_2$	$2\text{K}\Omega$
(W/L) $M_{24}$	$100\mu\text{m} \times 9\mu\text{m}$	(W/L) $M_{30}$	$400\mu\text{m} \times 1\mu\text{m}$	$R_3$	$180\text{K}\Omega$
(W/L) $M_{25}$	$100\mu\text{m} \times 9\mu\text{m}$	(W/L) $M_{31}$	$100\mu\text{m} \times 1\mu\text{m}$	$R_4$	$280\text{K}\Omega$
(W/L) $M_{26}$	$800\mu\text{m} \times 9\mu\text{m}$	(W/L) $M_{32}$	$100\mu\text{m} \times 1\mu\text{m}$	$C_2$	$15\text{pF}$
(W/L) $M_{27}$	$250\mu\text{m} \times 1\mu\text{m}$	(W/L) $M_{33}$	$400\mu\text{m} \times 1\mu\text{m}$	$I_1$	$130\text{nA}$

Tabela 4.4 – Dimensões dos transistores do circuito comparador.

## **Capítulo 5**

# **Projeto e Simulações do Sensor de Temperatura Proposto**

### **5.1 Considerações Gerais**

Neste capítulo esta-se apresentando o projeto e mostrando sua funcionalidade através de simulações realizadas. Todas as simulações aqui demonstradas foram realizadas ao decorrer dos estudos utilizando a ferramenta de simulação do Orcad, o PSPICE.

A polarização dos transistores MOS em inversão fraca permitiu a obtenção de circuitos que operem com baixas tensões de alimentação e baixa potência, sendo possível sua aplicação em sistemas que necessitam de baixo consumo.

## 5.2 Projeto do Circuito de Sensibilidade Térmica

Tomando como base as definições abordadas nas seções anteriores e também os circuitos de detecção térmica, desenvolve-se neste capítulo o dimensionamento dos elementos aplicados ao circuito gerador de PTAT, verificando através de simulações computacionais seu correto funcionamento. Buscou-se ao longo desse estudo a possibilidade de utilização de características dos transistores MOS, ainda não utilizada para este fim, tornando-se uma opção bastante interessante para futuros projetos sendo aprimorado a idéia inicial aqui proposta.

Para o desenvolvimento do circuito responsável por PTAT, de modo geral, basta que haja uma fonte de corrente constante e simples que seja capaz de polarizar o transistor MOS composto configurado como sensor de temperatura. Esta fonte de corrente foi implementada através de espelhos de corrente, que são responsáveis por fornecer toda polarização do circuito gerador de PTAT. Para gerar a polarização do espelho de corrente, tem-se três transistores nMOS simples responsáveis por gerarem uma tensão de referência no gate do transistor  $M_7$ , que por sua vez controla a corrente do espelho. Os transistores nMOS  $M_1$ ,  $M_2$  e  $M_3$  foram implementados empilhados para formarem um divisor de tensão, cujo objetivo desse empilhamento é gerar no gate de  $M_7$  uma tensão que seja suficiente para que este transistor opere em inversão fraca. Essa tensão, resultante desse divisor, será aproximadamente 333 [mV]; Na figura 5.1 verifica-se uma simulação deste sinal aplicado ao gate de  $M_7$ . Adotaram-se dimensões mínimas para  $M_1$ ,  $M_2$  e  $M_3$ .

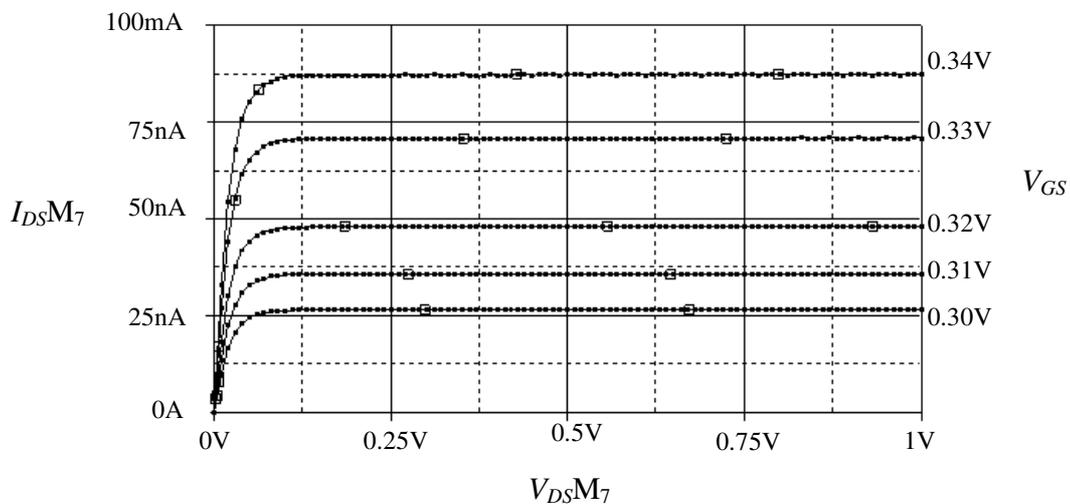


Figura 5.1 –  $I_{DS} \times V_{DS}$  do transistor MOS composto  $M_7$  fora do circuito.

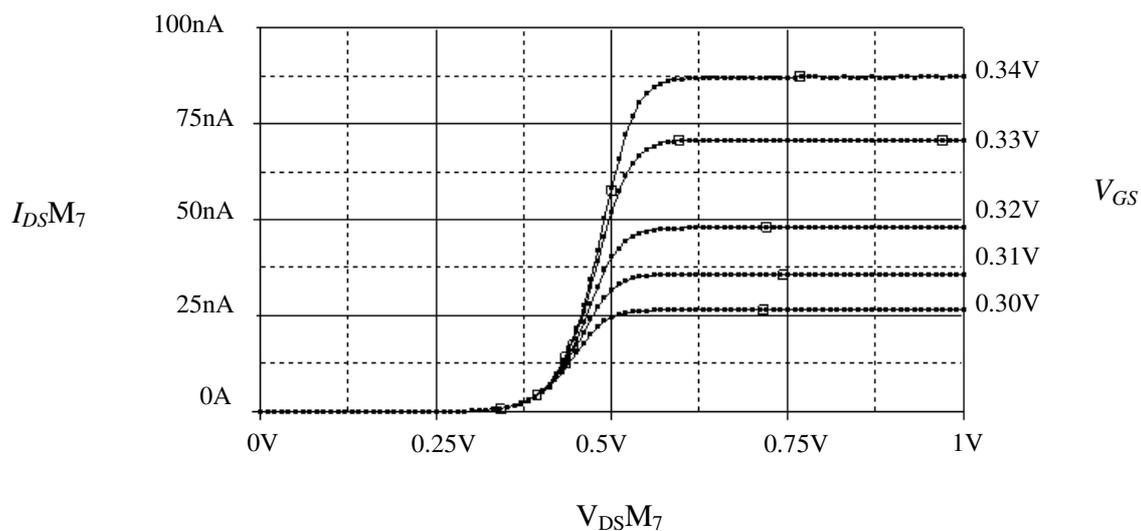


Figura 5.2 –  $I_{DS} \times V_{DS}$  do um transistor MOS composto  $M_7$  inserido no circuito.

Pode-se notar na figura 5.2 que a partir de 0.6 [V] de alimentação para o circuito, já é suficiente para manter o ponto de polarização para os espelhos de polarização do circuito. Na figura 5.3 tem-se o circuito gerador da tensão de gate de  $M_7$  submetido a variação da temperatura.

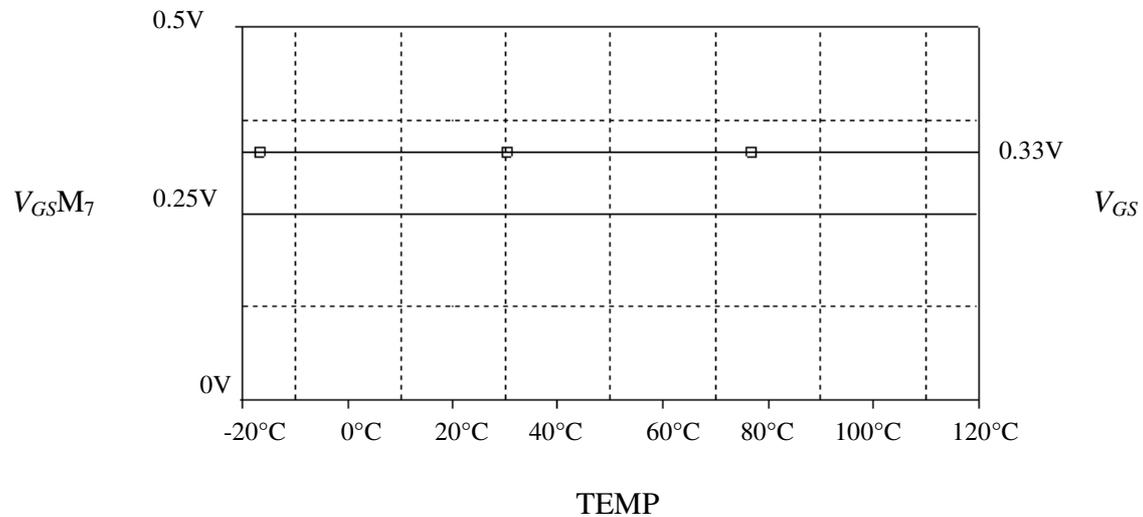


Figura 5.3 – Variação da temperatura sobre  $V_{GS}M_7$ .

Após definido a corrente do espelho em 72 [nA], valor compatível com as dimensões dos transistores e a polarização em inversão fraca no processo CMOS TSMC 0.35 $\mu$ m utilizado neste projeto conforme figuras 5.1 e 5.2, tem-se dimensionado os transistores  $M_4$ ,  $M_5$  e  $M_6$  que estão espelhando a corrente para os outros ramos do circuito. Lembrando que o transistor MOS composto  $M_7$  está operando saturado em inversão fraca, respeitando as premissas definidas pelo Capítulo 3 através das equações (3.3) ou (3.4). Este transistor composto foi implementado no mesmo substrato (poço). Para os transistores  $M_4$ ,  $M_5$  e  $M_6$ , segundo Capítulo 3, não estão plenamente saturados por mais que estejam operando em inversão fraca. Para aplicações como espelho de corrente utilizando transistores MOS composto esse não é um ponto crítico, haja visto e mencionado que o efeito cascode deste tipo de transistor MOS garante a relação de espelhamento desejado [6]. Adotou-se uma relação de 10 vezes entre os transistores MOS composto  $M_4Qa$ ,  $M_5Qa$ ,  $M_6Qa$  e  $M_4Qb$ ,  $M_5Qb$ ,  $M_6Qb$ .

O capacitor  $C_3$  foi adotado com base em simulações realizadas e verificando um valor ótimo de inicialização para o circuito. Foi adotado o valor de 1 [pF] pois representa um retardo de aproximadamente 150 [ $\mu$ s] quando alimentado o circuito. Este atraso na inicialização é necessário, pois evita que o circuito inicie sua operação antes de todo o circuito estar polarizado e ajustado corretamente para seu objetivo.

O transistor  $M_8$  é o transistor MOS composto configurado para atuar como o sensor de temperatura, ou seja, um Termistor. Sua configuração permite que com apenas uma fonte de corrente simples, como referência, e respeitando as condições das equações (3.3) ou (3.4) do Capítulo 3, varie linearmente a tensão entre  $M_8Qb$  e  $M_8Qa$ , apresentando um comportamento PTAT.

Adotou-se para o transistor  $M_8Qa$  (W/L) de  $100\mu\text{m} \times 1\mu\text{m}$ , e para o transistor  $M_8Qb$  a relação (W/L) deve ser, no mínimo, 19 vezes mais largo do que  $M_8Qa$ . Utilizou-se  $M_8Qb$  20 vezes mais largo do que  $M_8Qa$ , logo o requisito para que este transistor operar em inversão fraca e saturado foi satisfeito.

A tensão PTAT, em  $M_8$ , é independente da corrente de polarização, isso pode ser visto de acordo com a equação (3.2) ou (3.5), no Capítulo 3. Portanto, esta independência permite a esta topologia uma maior segurança quanto possíveis variações na alimentação do circuito.

O transistor  $M_9$  tem o objetivo de elevar o sinal PTAT para níveis que possam ser comparados através do estágio de comparação. Utilizou-se um transistor pMOS simples de dimensões mínimas para este objetivo. Mais a frente é verificado pela Figura 5.6 esta elevação. Importante mencionar que com esta elevação de PTAT, deve-se manter toda linearidade de PTAT, pois caso contrário a comparação poderá ser prejudicada atuando em níveis de temperatura indevido.

Para  $C_4$  adotou-se 1 [pF], já que sua função é de prevenção quanto a possíveis ondulações na alimentação do circuito.

O desenvolvimento de projetos considerando a operação em inversão fraca implica em transistores de grandes dimensões, logo isso minimiza a influência de ruídos, como ruído flicker que é dominando nos transistores MOS operando em baixa frequência, segundo [6].

O *layout* do circuito foi baseado nas regras de projeto padronizadas pela MOSIS [11], tendo uma área de  $610\mu\text{m} \times 400\mu\text{m}$ , podendo ser vista na figura 5.4.

Na confecção do *layout* dos transistores MOS, foram tomadas precauções, principalmente com relação aos transistores casados [22], com o objetivo previsto pelo descasamento de Pelgrom [19] seja alcançado. Como as larguras de canal dos transistores MOS são múltiplos de 50 [ $\mu\text{m}$ ], foi tomada esta dimensão como a de um transistor padrão e cada transistor foi implementado de forma a estar paralelo ao transistor padrão.

Os resistores e capacitores foram implementados em estruturas únicas não utilizando um arranjo padrão, como considerado para os transistores.

Quanto à proteção eletrostática, os *pads* fornecidos pela MOSIS possuem uma proteção primária montada sobre dois transistores configurados como diodo e um resistor de 100 [ $\Omega$ ] em série com o sinal. Os *pads* foram projetados para uma variação de  $-0,3\text{V}$  a  $+3,6$  [V] da tensão aplicada.

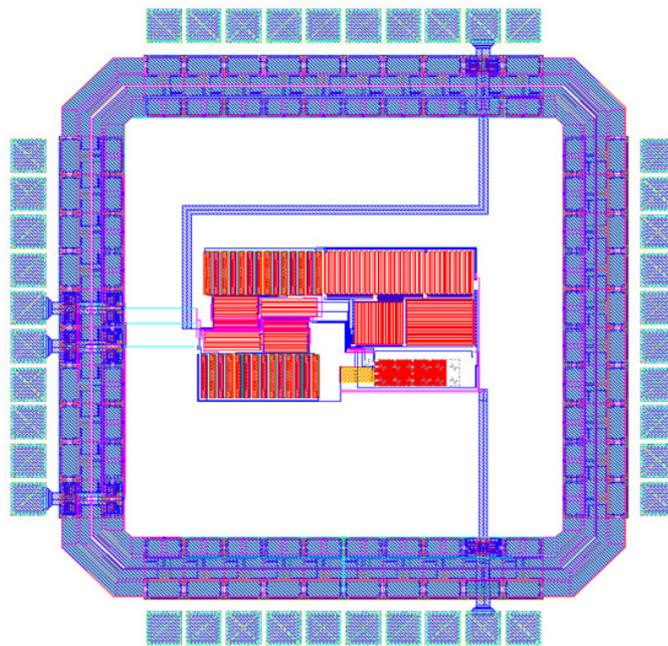


Figura 5.4 – *Layout* do circuito proposto, estrutura única.

### 5.3 Simulações do Circuito de Sensibilidade Térmica

Para validação do circuito proposto por esta dissertação, são apresentados a seguir os resultados das simulações realizadas ao longo dos estudos.

As simulações realizadas no simulador PSPICE foram submetidas nos modos de simulação mínimo, típico, máximo e pior caso.

Analisando a resposta do circuito do capítulo 4 item 4.2.1 circuito de polarização e PTAT, pode-se comprovar a idéia defendida por este estudo quanto a variação da tensão no transistor MOS composto  $M_8$  quando alterado a temperatura submetido sobre ele, Figura 5.5.

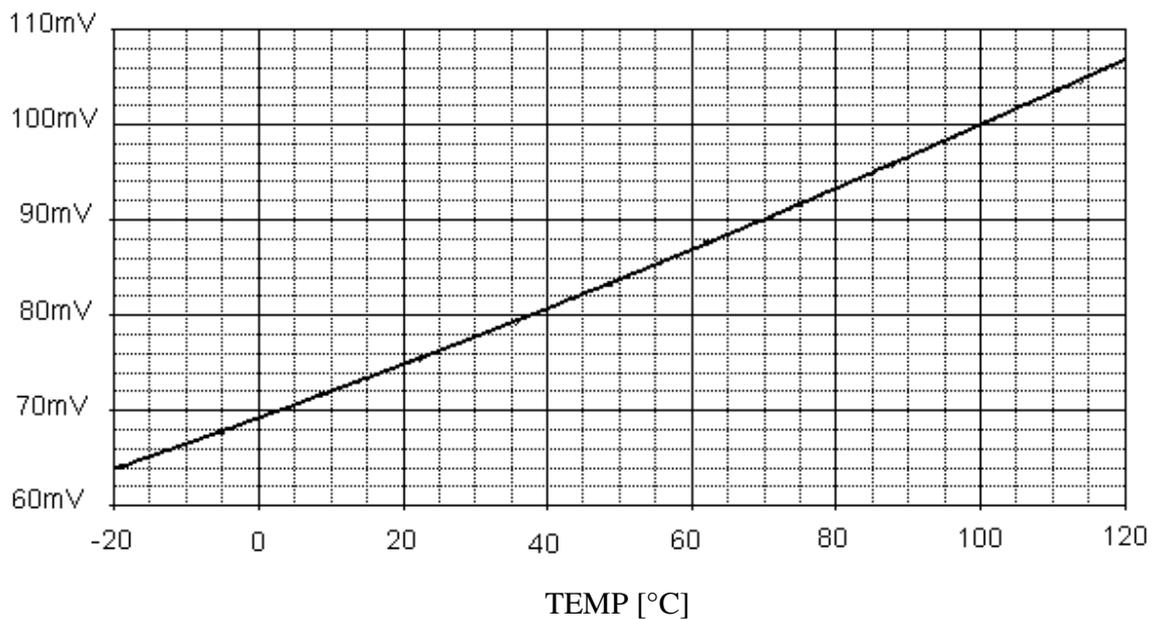


Figura 5.5 – Resposta de PTAT em relação a variação da temperatura.

Pode-se notar na Figura 5.5 a resposta do circuito de polarização e PTAT quando submetido a variação da temperatura. Pode-se verificar também que a tensão PTAT varia de forma muito próxima a um comportamento linear com a variação da temperatura. Isso permite

que o transistor MOS composto nesta topologia possa ser utilizado como um sensor de temperatura, no qual é defendido por este estudo.

Como este sinal possui magnitude muito pequena, é necessário que para tratar este sinal no estágio seguinte ele seja submetido a um circuito que seja capaz de elevar este sinal sem perder sua linearidade conforme gerado em PTAT.

Pode ser implementado para esta finalidade um circuito de *charge pump*, porém com um simples transistor pMOS consegue-se elevar PTAT para níveis de tensão maiores que são suficientes para serem manipulados pelo estágio comparador.

Na Figura 5.6 é apresentado a resposta do circuito após o sinal PTAT ser elevado pelo transistor pMOS  $M_9$ .

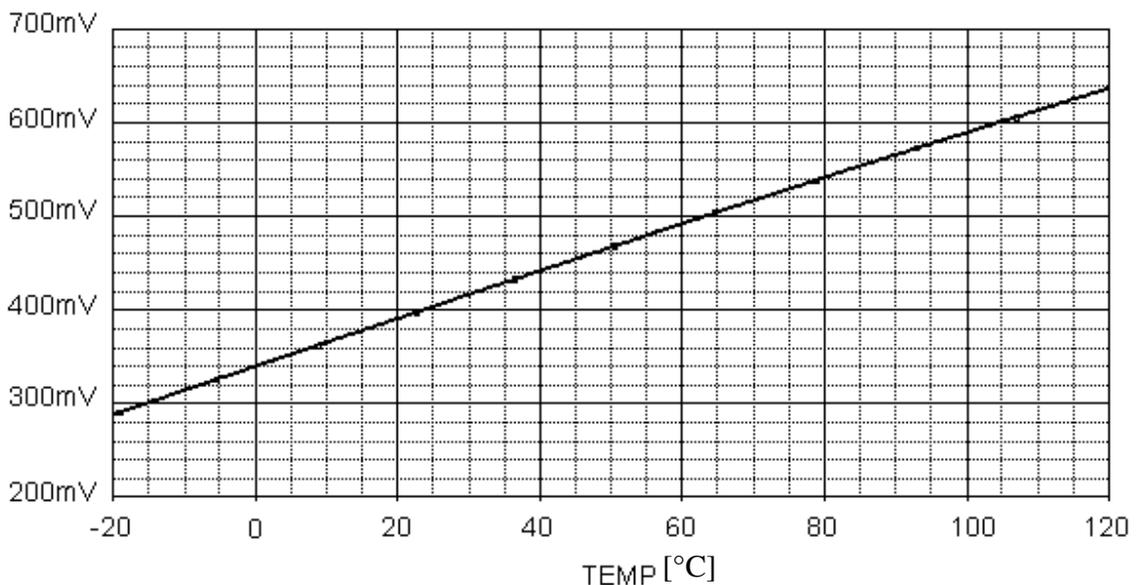


Figura 5.6 – Resposta de PTAT em relação a variação da temperatura em  $C_4$ .

O sinal apresentado na Figura 5.6 é o sinal a ser comparado com uma referência de tensão, de valor fixo não variando com a temperatura, no estágio de comparação.

As Figuras 5.5 e 5.6 apresentam os resultados do objetivo buscado por este estudo. Fica comprovado, através das simulações que o objetivo de configurar um transistor MOS composto em uma topologia que seja capaz de comportar-se como um sensor de temperatura em baixa tensão e baixa potência foi satisfeito. Portanto, esta nova topologia para aplicações em circuitos de proteção *thermal shutdown* pode ser considerado com uma boa referência para futuras aplicações neste sentido.

Na Figura 5.7 é apresentada a resposta do circuito gerador de PTAT quanto a sua polarização e sua inicialização. A maioria dos circuitos desenvolvidos com o objetivo de polarização para outros circuitos necessita de um circuito de *start-up*. Para esta topologia proposta utiliza-se o capacitor  $C_3$ , disposto entre os espelhos de corrente, para gerar um atraso de aproximadamente 150 [μs], tempo esse que é suficiente para retirar o circuito do repouso e fazer com que todas as condições iniciais do circuito sejam estabelecidas. Logo, o circuito estará polarizado e responderá à variação da temperatura conforme proposto. Na Figura 5.7 pode-se verificar o atraso gerado pelo capacitor  $C_3$ , uma condição inicial para o circuito.

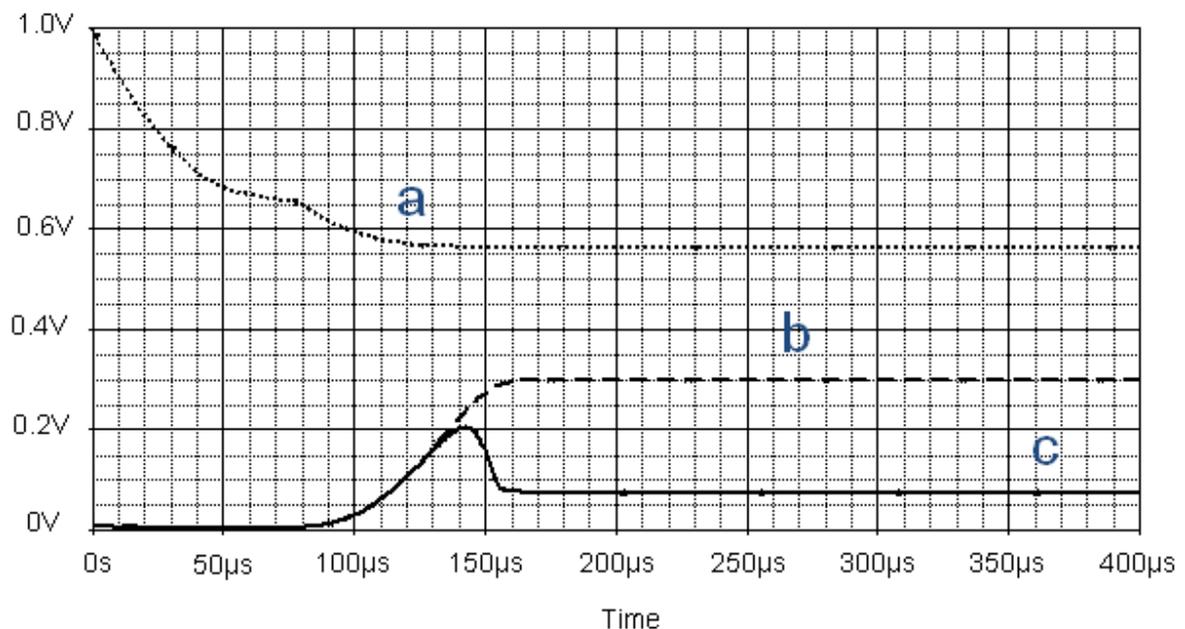


Figura 5.7 – Circuito de polarização e *Start-up*: (a) Gate de  $M_3$  e  $M_4$ ,  
(b) Gate de  $M_8$ , (c) Fonte de  $M_8$ .

Na Figura 5.7, a forma de onda representada por (a), mostra o valor da tensão entre os transistores  $M_4$ ,  $M_5$  e  $C_3$ . Quanto maior o valor de  $C_3$ , maior será o atraso gerado no circuito. A forma de onda representada por (b), mostra a tensão  $V_{DS}M_8$  e em (c) tem-se a tensão PTAT.

Importante notar que o circuito responsável por gerar PTAT somente estará polarizado após 150 [ $\mu$ s], que é o tempo referente para o *start-up* do circuito.

Na Figura 5.8 e 5.9 o objetivo é apresentar o funcionamento do circuito proposto em seu nível completo. Especificamente na Figura 5.8 é apresentado o sinal PTAT no momento em que ocorre a detecção da temperatura desejada.

A forma de onda representada por (a) nos mostra a fonte de referência implementada pelo empilhamento de transistores pMOS servindo de referência para o comparador atuar quando o sinal PTAT ultrapassar esse limite. A forma de onda representada por (b) representa o sinal PTAT variando com a temperatura.

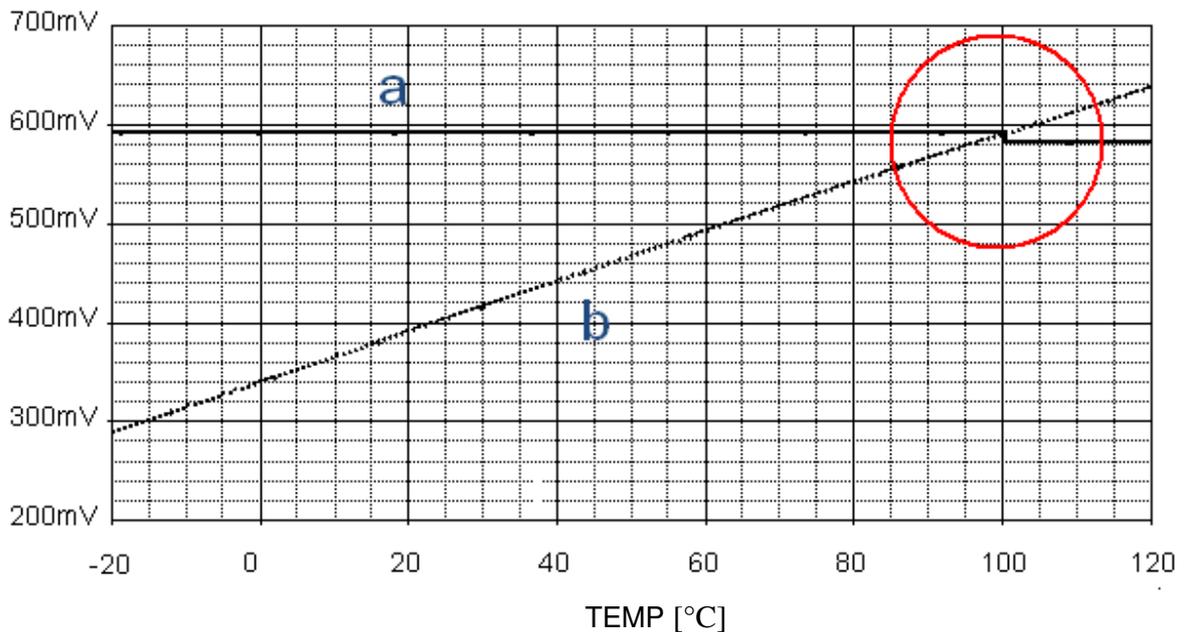


Figura 5.8 – Operação do circuito completo: (a) Tensão de referência, (b) Sinal PTAT elevado.

Pode-se notar que na interseção da referência de tensão com o sinal PTAT acontece uma diminuição do sinal da fonte de referência. A diminuição desse valor representa a histerese inserida no comparador tornando o circuito mais robusto. Esta histerese permitirá evitar que ruídos e possíveis variações próximas da tensão de PTAT e da temperatura, evitando uma variação na saída do comparador. Esta histerese representa em termos de [°C] uma variação de aproximadamente 4 [°C], ou seja, após o circuito detectar a temperatura em 100 [°C] o comparador de tensão irá alterar novamente seu estado de saída apenas quando a temperatura cair abaixo de 96 [°C]. Portanto, pode-se dizer que esta proteção também tem característica cíclica ou resetável.

Finalizando as simulações apresenta-se o funcionamento final para o circuito na Figura 5.9. Em (a) tem-se o sinal da fonte de referência, em (b) o sinal de PTAT e em (c) o sinal de saída do comparador.

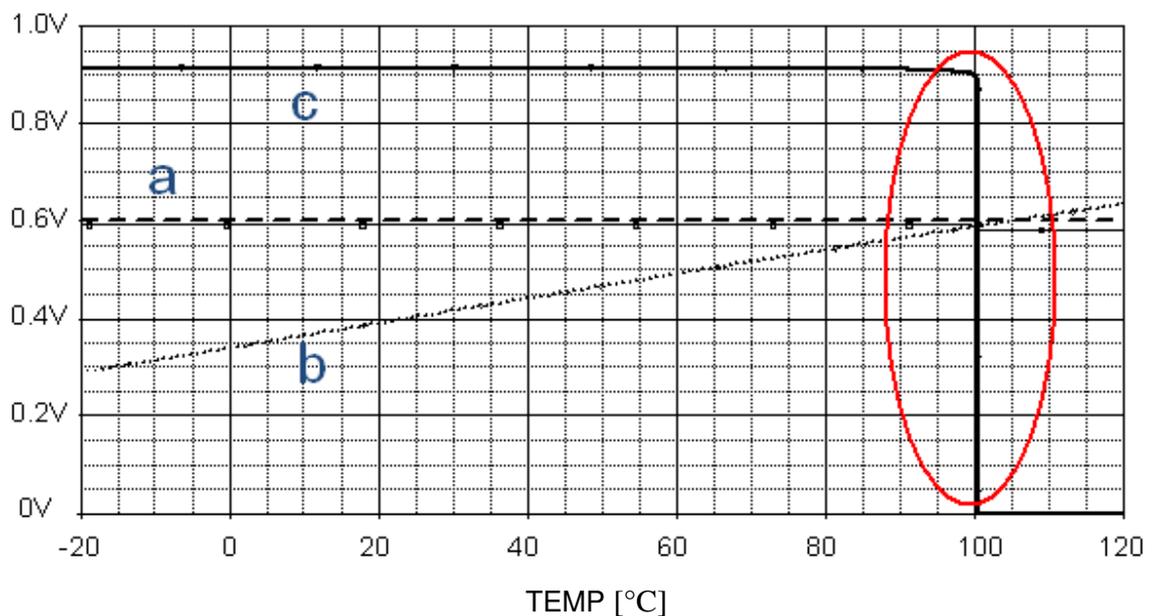


Figura 5.9 - Operação do circuito completo: (a) Tensão de referência, (b) Sinal PTAT elevado, (c) saída do comparador.

Na Figura 5.9, pode-se notar o funcionamento global do circuito. Foi fixado, para este estudo, uma tensão de referencia ajustada para o circuito atuar em 100 [°C].

Pode-se notar na Figura 5.9 que conforme a temperatura foi aumentando, PTAT aumentava de forma aproximadamente linear. Quando a temperatura ultrapassou os 100 [°C], o estágio de saída do comparador alterou seu nível, ou seja, quando a temperatura monitorada estava abaixo de 100 [°C], a tensão de saída do estágio comparador ficou em '1', quando a temperatura excedeu os 100 [°C] o nível de saída do comparador mudou-se para '0'. Portanto, a Figura 5.9 comprova o correto funcionamento do circuito proposto.

## Capítulo 6

### Conclusões e Trabalhos Futuros

Este trabalho tem por finalidade apresentar uma configuração simples e eficiente para proteção térmica em circuito de chaveamento de potências. As simulações apresentadas mostram que o circuito possui comportamento linear da tensão PTAT com a variação da temperatura e um baixo consumo. O circuito é alimentado com tensão de 1 [V] podendo ser utilizado em dispositivos moveis alimentado por baterias para o monitorando de níveis de temperatura.

Partindo da idéia proposta por este estudo, para trabalhos futuros, seria interessante diminuir as relações entre os transistores MOS compostos. Haja visto, que os transistores MOS composto  $M_7$  e  $M_8$  foram implementados no mesmo substrato, logo tem-se um mínimo de 19 vezes maior  $Q_a$  em relação  $Q_b$ , segundo expressões (3.3) ou (3.5). O que pode ser feito para diminuir ainda mais o dimensional do circuito gerador de PTAT seria a implementação destes transistores em poços diferentes, logo sua geometria seria a mencionada pela equações (3.6) e (3.7). Também como uma forma de otimização, pode-se diminuir a relação entre os transistores

MOS composto que foram implementados nos espelhos de correntes responsáveis pela polarização do circuito.

Pensando em nível sistêmico, uma implementação através de uma *bandgap* para a referência de tensão responsável por ser o nível de comparação de PTAT seria muito importante. Esta *bandgap* deve possuir característica que a torne possível sua configuração de tensão de saída possibilitando, pós projeto, um ajuste tornando-se possível configurar o ponto de atuação do circuito de detecção térmica.

Outro ponto bastante importante que poderia ser estudado, partindo da idéia aqui proposta, seria a implementação desta topologia de circuito de maneira a se construir um arranjo com varias sensores de temperatura interconectados, permitindo assim uma distribuição uniforme cobrindo toda a área a ser monitorada. Quando desenvolve-se transistores de altíssimas potências, sua implementação demanda grande área dentro do chip.

# Apêndice A

## Artigos Publicados

Foram escritos dois artigos referentes a esta dissertação e publicados no ICM 2012 – The 24th International Conference on Microelectronics e no ISOCC 2012 – 2012 International SoC Design Conference.

- Alex Pivoto, Paulo Crepaldi and Tales Pimenta, A low power thermal protection topology. ICM 2012 - International Conference on Microelectronics
- Alex Pivoto, Paulo Crepaldi and Tales Pimenta, A thermal protection for low voltage applications. ISOCC 2012 - International SoC Design Conference.

## Referências Bibliográficas

- [1] P. E. Allen and D. R. Holberg, CMOS Analog Circuits Design. Oxford University Press, inc.,2000.
- [2] Y. P. Tsividis, Operation and Modeling of the MOS Transistor. McGraw Hill, 1999.
- [3] Behzad Razavi, Design of Analog CMOS Integrated Circuits. McGraw-Hill, 2001.
- [4] E. A. Vittoz, J. Fellrath, “CMOS Analog Integrated Circuits Based on Weak Inversion Operation”, IEEE Journal Solid-State Circuits, Vol.SC-12, N°3 pp. 231-244, June 1977.
- [5] L. H. C. Ferreira, Uma Topologia CMOS Miller OTA Modificada com a Excursão de Pólo-a-Pólo da Fonte de Alimentação em Ultra-baixa Tensão e Ultra-baixa Potência. Dissertação de Mestrado, Universidade Federal de Itajubá, Dezembro de 2004.
- [6] L. H. C. Ferreira, Uma Referência de Tensão CMOS Baseada na Tensão *Threshold* em Ultra-Baixa Tensão e Ultra-Baixa Potência. Tese de Doutorado, Universidade Federal de Itajubá, Dezembro de 2004.
- [7] L. H. Ferreira, T. Pimenta and R. Moreno, “An Ultra-Low-Voltage Ultra-Low-Power Weak Inversion Composite MOS Transistor: Concept and Applications”, IEICE Transactions on Electronics, v. E91-C, p. 662-665, 2008.
- [8] L.H.C. Ferreira and T.C. Pimenta, “A CMOS voltage reference for ultra low-voltage applications,” 12th IEEE International Conference on Electronics, Circuits and Systems, Dec. 2005.

- [9] Ken Ueno, Tetsuya Hirose, Tetsuya Asai and Yoshihito Amemiya, "Ultra low-Power Smart Temperature Sensor with Subthreshold CMOS Circuits", International Symposium on Intelligent Signal Processing and Communication Systems – ISPACS, 2006.
- [10] Christian C. EnZ, François Krummenacher and Eric A. Vittoz, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current", Journal Analog Integrated Circuits and Signal Processing, Vol. 8, N°1 pp 83-114, July 1995.
- [11] The MOSIS Service, MOSIS, Marina Del Ray, CA, September 2007 [Online]. Available: [www.mosis.org](http://www.mosis.org)
- [12] L. H. C. Ferreira, T. C. Pimenta, and R. L. Moreno. An ultra-low-voltage ultra-lowpower CMOS miller OTA with rail-to-rail input/output swing. IEEE Trans. Circuits Syst. II, Expr. Briefs, 54(10):843–847, Oct. 2007.
- [13] Y. Cheng and C. Hu, MOSFET Modeling & BSIM3 User's Guide. Norwell, MA: Kluwer, 1999.
- [14] Y. P. Tsividis. Operation and Modeling of the MOS Transistor. New York, USA: Oxford, 2nd edition, 1999.
- [15] Zhang Bin, Feng Quan-yuan, A Novel thermal-shutdown Protection Circuit. National Natural Science Foundation and Academy of Engineering Physics of China (no. 10876029).
- [16] M. J. M. Pelgrom, A. C. J. Duinmaijer, A. P. G. Welbers, Matching Properties of MOS Transistors. IEEE Journal Solid-State Circuits, vol. SC-24, no. 5, pp. 1433-1439, October 1989.
- [17] M. J. M. Pelgrom, H. P. Tuinhout, M. Vertregt, Transistor Matching in Analog CMOS Applications. International Electron Devices Meeting, 1998, pp. 915-918.
- [18] Qikai Chen, Mesut Meterelliyoz, and Kaushik Roy, A CMOS Thermal Sensor and Its Applications in Temperature Adaptive Design, Proceedings of the 7th International Symposium on Quality Electronic Design (ISQED'06).
- [19] A. I. A. Cunha, M. C. Schneider and C. Galup-Montoro, An MOS Transistor Model for Analog Circuit Design. IEEE Journal Solid-State Circuits, vol. 33, no. 10, pp. 1510-1519, October 1998.
- [20] B. Song and P. R. Gray, Threshold Voltage Temperature Drift in Ion-implanted MOS Transistor. IEEE Transactions on Electron Devices, vol. ED-29, no. 4, pp. 661-668, April 1982.

- [21] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*. Oxford University Press, inc., 1998.
- [22] A. Hastings. *The Art of Analog Layout*. Upper Saddle River, New Jersey, USA. Prentice-Hall, 2001.