

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

TESE DE DOUTORADO

**Uma Referência de Tensão CMOS Baseada na
Tensão *Threshold* em Ultra-Baixa Tensão e
Ultra-Baixa Potência**

por

Luís Henrique de Carvalho Ferreira

Orientador: Tales Cleber Pimenta, Ph.D.

Co-orientador: Robson Luiz Moreno, D.Sc.

Tese submetida ao Programa de Pós-Graduação
em Engenharia Elétrica como parte dos requisitos
para obtenção do Título de Doutor em Ciências
em Engenharia Elétrica.

Setembro de 2008

Itajubá – MG

À minha esposa Giseli, dedico esse trabalho.

*“... et Verbum caro factum est et
habitavit in nobis”.*

Ioannem 1,14

Agradecimentos

Agradeço a Deus pelas oportunidades na minha vida.

À minha esposa, Giseli, aos meus pais, Amadeu e Maria das Graças, e aos irmãos, Adriano e Rodrigo, por seu incondicional incentivo e amor.

Aos orientadores, Prof. Tales e Prof. Robson, e ao Prof. Carlos A. Ayres, pelo crédito, pela confiança e pela ajuda na realização desse trabalho.

Aos Prof. Sérgio Bampi, Prof. Paulo C. Rosa e Prof. Egon L. Müller Jr., e aos colegas do Grupo de Microeletrônica da UNIFEI, pelas sugestões e contribuições dadas a esse trabalho.

Aos amigos, em especial, Filipe e Jeremias, que viram esse trabalho nascer, por seu incontestável apoio, pelos momentos de descontração e pela paciência.

Meus mais sinceros agradecimentos.

Resumo

Esse trabalho apresenta uma nova e simples topologia de referência de tensão *threshold*, a qual é análoga a uma referência de tensão *bandgap*. Esse circuito possui a vantagem de operar com uma tensão de alimentação menor do que 1V; além do limite imposto pela tensão de banda proibida (tensão *bandgap*). A tensão de referência é baseada na tensão de limiar (tensão *threshold*) de um transistor *n*MOS em inversão fraca. A tensão de alimentação dos novos processos CMOS 0,13 μ m e/ou 90nm já é menor do que a tensão *bandgap* do silício; fato que nunca irá ocorrer com a tensão *threshold* do transistor MOS.

A referência de tensão *threshold* pode ser utilizada em aplicações típicas de referências de tensão ou mesmo no rastreamento da tensão *threshold* aplicada na polarização adaptativa de circuitos, por ser uma estrutura que tende a ser insensível a variação na temperatura e na tensão de alimentação. O circuito foi fabricado utilizando o processo CMOS TSMC 0,35 μ m padrão, gerando uma referência de tensão de 741mV para a tensão de alimentação de 950mV com um consumo de apenas 390nW. O circuito apresenta uma regulação de linha de 25mV/V para uma tensão de alimentação de até 3V e uma variação de 39ppm/ $^{\circ}$ C na tensão de referência para uma faixa de variação na temperatura de -20° C a $+80^{\circ}$ C.

Abstract

This work presents a new and simple threshold voltage reference topology, which is similar to the bandgap voltage reference. As an advantage, the circuit can operate with power supply voltages smaller than 1V that is the minimum limit imposed by the bandgap voltage. The voltage reference is based on the n MOS transistor threshold voltage operating in weak inversion. The power supply voltage is already smaller than the bandgap voltage for the new $0.13\mu\text{m}$ and 90nm CMOS processes, and that is not a problem for the MOS transistor threshold voltage.

The threshold voltage reference can be used in typical reference voltages applications or even in threshold voltage tracking in adaptive biasing circuits, since it is insensitive to temperature and power supply voltage variations. A prototype on the $0.35\mu\text{m}$ n-well CMOS TSMC standard process provided a 741mV reference voltage under a 950mV power supply voltage, under just 390nW of power consumption. The circuit provides a 25mV/V line regulation for a power supply up to 3V and it presents a $39\text{ppm}/^\circ\text{C}$ variation in the voltage reference for the -20°C to $+80^\circ\text{C}$ temperature range.

Índice

Capítulo 1: Introdução	1
1.1. Considerações Gerais	1
1.2. Justificativas	3
1.3. Objetivos	4
1.4. Estrutura do Trabalho	6
Capítulo 2: O Transistor MOS Operando em Inversão Fraca	8
2.1. Considerações Gerais	8
2.2. O Transistor MOS Operando em Inversão Fraca	10
2.3. O Transistor MOS em Função da Temperatura	12
2.4. Variações da Tensão <i>Threshold</i>	15
2.5. Equacionamento do Modelo	17
Capítulo 3: O Transistor MOS Composto Operando em Inversão Fraca	18
3.1. Considerações Gerais	18
3.2. O Transistor MOS Composto em Inversão Fraca	19
3.2.1. Modelo AC do Transistor MOS Composto	23
3.3. Uma Aplicação como Fonte de Corrente	24
3.4. Uma Aplicação como Sensor de Temperatura	25

Capítulo 4: Uma Referência de Tensão <i>Threshold</i>	29
4.1. Considerações Gerais	29
4.2. O Circuito da Referência de Tensão <i>Threshold</i>	29
4.2.1. Modelo de Regulação de Linha.....	33
4.2.2. Modelo da Razão de Rejeição da Fonte de Alimentação.....	35
4.2.3. Modelo da Resistência de Saída.....	36
4.3. Condição de Partida.....	37
4.4. Compensação das Variações da Tensão <i>Threshold</i>	39
Capítulo 5: Projeto, Simulação e Medida de uma Referência de Tensão <i>Threshold</i>	41
5.1. Considerações Gerais	41
5.2. Especificação da Referência de Tensão <i>Threshold</i>	41
5.3. Projeto da Referência de Tensão <i>Threshold</i>	42
5.4. Simulações da Referência de Tensão <i>Threshold</i>	47
5.5. Testes e Medidas da Referência de Tensão <i>Threshold</i>	56
Capítulo 6: Conclusões e Trabalhos Futuros	60
Apêndice A: Descrição SPICE da Referência de Tensão <i>Threshold</i>	63
Apêndice B: Artigos Publicados	64
<i>Referências Bibliográficas</i>	66

Lista de Figuras

Figura 2.1 – Polarização do transistor n MOS referenciado ao substrato.	8
Figura 3.1 – Transistor composto: (a) esquemático e (b) símbolo.	19
Figura 3.2 – I_{DS} vs V_{DS} de um transistor simples.	22
Figura 3.3 – I_{DS} vs V_{DS} de um transistor composto.	22
Figura 3.4 – Modelo simplificado em pequenos-sinais.	23
Figura 3.5 – Espelhos de corrente: (a) simples e (b) transistor composto.	24
Figura 3.6 – Uma implementação de termistor.	26
Figura 3.7 – Tensão V_S vs temperatura.	27
Figura 3.8 – Resíduos da regressão linear vs temperatura.	27
Figura 4.1 – Circuito proposto para a referência de tensão <i>threshold</i>	30
Figura 4.2 – Tensões (a) $R_2 I_B$ e (b) V_{Q4} vs temperatura.	32
Figura 4.3 – Inclusão das capacitâncias para o modelo AC.	35
Figura 4.4 – Variação nas correntes de ramo.	37
Figura 4.5 – Condição de <i>start-up</i> da referência de tensão <i>threshold</i>	38
Figura 4.6 – Regulador LDO da referência de tensão <i>threshold</i>	39
Figura 5.1 – Fotografia da referência de tensão <i>threshold</i>	46
Figura 5.2 – Simulação DC das tensões $R_2 I_B$ e V_{Q4} vs temperatura.	48
Figura 5.3 – Simulação DC da tensão V_C vs temperatura.	49
Figura 5.4 – Simulação DC da tensão V_C vs tensão de alimentação.	49
Figura 5.5 – Curvas de carga das correntes I_P e I_B no circuito.	50

Figura 5.6 – Simulação AC do PSRR.	50
Figura 5.7 – Simulação transiente da tensão V_C com correntes de fuga.....	51
Figura 5.8 – Simulação transiente da tensão V_C sem correntes de fuga.	52
Figura 5.9 – Histograma da variação global da tensão V_C	53
Figura 5.10 – Histograma da variação global da corrente I_B	54
Figura 5.11 – Histograma da variação local da tensão V_C	55
Figura 5.12 – Histograma da variação local da corrente I_B	55
Figura 5.13 – Medidas da tensão V_C vs temperatura.	57
Figura 5.14 – Medidas da tensão V_C vs tensão de alimentação.	57
Figura 6.1 – Proposta para melhoria na regulação de linha e PSRR.	62

Lista de Tabelas

Tabela 3.1 – Comparação entre fontes de corrente.	25
Tabela 5.1 – Coeficientes para os transistores utilizados.	44
Tabela 5.2 – Valores dos elementos do circuito.	46
Tabela 5.3 – Cálculos vs simulações BSIM3v3.	48
Tabela 5.4 – Simulações de <i>corners</i> , após a calibração dos <i>trimmers</i>	51
Tabela 5.5 – Limite de variação da tensão <i>threshold</i> nos <i>corners</i>	53
Tabela 5.6 – Desvio padrão da tensão <i>threshold</i>	54
Tabela 5.7 – Sumário das simulações de Monte Carlo ($V_{DD} = 1.10V$).	56
Tabela 5.8 – Resultado das medidas em três amostras.	58
Tabela 5.9 – Indicadores de desempenho.	58

Lista de Símbolos

A_{VT}	Coeficiente de variação da tensão <i>threshold</i> .
C_B	Capacitância da região de depleção (por unidade de área).
C_C	Capacitor de carga no núcleo.
C_L	Capacitor de carga.
CLM	Modulação do comprimento de canal.
C_{OX}	Capacitância intrínseca do óxido (por unidade de área).
C_P	Capacitor parasita de partida.
DIBL	Diminuição da barreira induzida pelo dreno.
exp	Exponencial (base neperiana).
g_m	Transcondutância.
g_o	Condutância de saída.
I_B	Corrente de polarização.
I_{DO}	Corrente característica normalizada em inversão fraca.
I_{DS}	Corrente de dreno.
I_P	Corrente de partida.
I_S	Corrente característica em inversão fraca.
k	Constante de Boltzmann.
ln	Logaritmo neperiano.
L	Largura do canal do transistor.
LDO	Baixa queda de tensão.

n	Fator de inclinação em inversão fraca.
N	Concentração média de dopantes na camada de depleção.
PSRR	Razão de rejeição da fonte de alimentação.
PTAT	Proporcional a temperatura absoluta.
q	Carga elementar do elétron.
Q	Densidade de carga na camada de inversão.
RSCE	Efeito de canal curto reverso.
T	Temperatura absoluta.
V_{BG}	Tensão de banda proibida (tensão <i>bandgap</i>).
V_{BE}	Tensão base-emissor.
V_{DB}	Tensão de dreno-sustrato.
V_{DD}	Tensão de alimentação.
V_{DS}	Tensão de dreno-fonte.
V_{GB}	Tensão de <i>gate</i> -sustrato.
V_{GS}	Tensão de <i>gate</i> -fonte.
V_{OS}	Tensão de <i>offset</i> .
V_{SB}	Tensão de fonte-sustrato.
V_{TH}	Tensão de limiar (tensão <i>threshold</i>).
V_{TO}	Tensão <i>threshold</i> quando a tensão V_{SB} é nula.
W	Largura do canal do transistor MOS.
X_D	Largura da região de depleção.
α	Coefficiente térmico da corrente característica em inversão fraca.
γ	Coefficiente de modulação de efeito de corpo.
θ	Coefficiente térmico da tensão <i>threshold</i> .
λ	Coefficiente de CLM.
μ	Mobilidade elétrica dos portadores.
φ	Coefficiente térmico do resistor de difusão.
Φ_S	Potencial de superfície.
Φ_F	Potencial de Fermi.

Capítulo 1

Introdução

1.1. Considerações Gerais

As referências de tensão são amplamente utilizadas em circuitos analógicos ou de modo misto, tais como conversores A/D, D/A, reguladores de tensão e PLLs, entre outros. Essas referências possuem a propriedade de serem insensíveis às variações na temperatura, na tensão de alimentação, no processo de fabricação e na carga [1]. O termo “referência” vem do fato que a tensão obtida é mais estável do que a sua própria fonte de alimentação.

Em aplicações de circuitos integrados, as referências de tensão mais utilizadas são certamente aquelas baseadas na referência de tensão *bandgap*, onde a tensão de referência se baseia na tensão base-emissor de um transistor bipolar [1]. Esses circuitos têm a característica de gerar a tensão de referência em um valor bem conhecido: a tensão de banda proibida (tensão *bandgap*), que é equivalente à largura da faixa de energia de banda proibida do material semiconductor quando extrapolada para o zero absoluto; sendo um valor fixo, conhecido e pouco dependente da concentração de dopantes [1], [2]. Uma vez que a tensão *bandgap* é co-

nhecida a priori, o circuito adquire uma característica importante para as referências de tensão: a “previsibilidade” do valor da tensão de referência.

Historicamente, o princípio de funcionamento da referência de tensão *bandgap* foi demonstrado em 1964 por David F. Hilbiber [3], embora o conceito só tenha sido utilizado em 1971 por Robert J. Widlar [4], através de uma versão integrada em tecnologia bipolar que se aplicava em reguladores de tensão. Com o advento da tecnologia CMOS, outras topologias foram propostas; contudo, todas seguindo esse mesmo princípio de funcionamento [5]-[13].

Com a evolução da tecnologia CMOS, o comprimento de canal do transistor se torna cada vez menor, bem como a espessura do óxido que constitui o *gate*, fato este que torna os processos mais confiáveis com tensões de alimentação mais baixas [1]. Dessa maneira, o termo “baixa tensão” começou a ser empregado na literatura CMOS para circuitos analógicos e digitais que trabalhavam com as tensões de alimentação abaixo de 3V, em processos onde a tensão de alimentação nominal era de 5V, no mínimo. Hoje em dia sabe-se que as tensões de alimentação estão na ordem de 3,3V; 2,5V; 1,8V e até mesmo 1,2V em processos recentes de 0,13 μ m e 90nm; havendo uma reformulação no conceito de CMOS em baixa tensão. No ano 2020, as tensões de alimentação serão na ordem de 0,5V a 0,7V em processos de 14nm (informações extraídas do SIA *roadmap* 2007 [14]).

Pesquisadores nos últimos anos vêm mostrando topologias que operam com as tensões de alimentação menores do que 1V. Dessa forma, atualmente, o maior limite imposto aos circuitos em baixa tensão é a tensão de alimentação das referências de tensão. Para o silício, a tensão *bandgap* é em torno de 1,12V para a temperatura ambiente [1], [2]; fato que acaba por limitar a tensão de alimentação a um valor maior do que a tensão *bandgap* para circuitos que dependem desse tipo de referência.

Outro fator importante para as operações em baixa tensão é o valor da queda de tensão (tensão *drop-out*) entre a fonte de alimentação e a saída da referência de tensão. Os circuitos necessitam cada vez mais de uma maior relação entre a tensão de referência e a tensão de alimentação, para que a operação em baixa tensão seja factível e eficiente.

Pesquisadores vêm somando esforços para desenvolver novas topologias de referência de tensão *bandgap* capazes de trabalhar em baixa tensão [5]-[13] e referências de

tensão baseadas somente nos transistores MOS [15]-[20]; mas com circuitos que possuem um elevado grau de complexidade, o que acaba incluindo fatores indesejáveis à sua dinâmica (oscilações na inicialização do circuito, compensação de efeitos de segunda ordem), aumentando o consumo quiescente e a área total da estrutura.

A redução da tensão de alimentação e da potência consumida pelo circuito faz com que as baterias tenham uma duração prolongada sem a necessidade de recarga. O uso de aparelhos portáteis, comuns no dia-a-dia, seria um exemplo de aplicação de circuitos em baixa tensão e baixa potência. Mas estes circuitos têm ganhado destaque especial no meio industrial, no condicionamento de sinais em transdutores instalados no próprio ambiente fabril. Assim, é possível integrar junto ao transdutor todo o condicionamento de sinal, podendo ser analógico ou digital, onde o sistema se torna capaz de compatibilizar sinais ou tomar algumas decisões; e tudo isso aliado ao baixo consumo de energia, podendo esse sistema funcionar durante dias ou mesmo semanas somente com a alimentação de uma única pilha. Outra aplicação semelhante em crescente expansão é encontrada nos circuitos e sistemas bio-implantáveis, onde o baixo consumo se torna requisito básico.

Seguindo a tendência de baixa tensão e baixa potência, busca-se nesse trabalho uma simples e nova topologia de uma referência de tensão que opere com a tensão de alimentação menor do que a tensão *bandgap*, mas com as características semelhantes de estabilidade para variações na temperatura, na tensão de alimentação e no próprio processo de fabricação.

1.2. Justificativas

Muitas topologias foram e estão sendo propostas para as referências de tensão para operar em baixa tensão em tecnologia CMOS, sejam baseadas na tensão *bandgap* ou em qualquer outra característica do transistor. Mas esses circuitos trazem algumas desvantagens, como o aumento de sua complexidade e, com isso, o aumento do consumo quiescente.

Os circuitos mostrados por Watanabe [15], Leung [16], Giustolisi [17], Cheng [18] e Huang [19] mostram topologias apenas com transistores MOS e elementos passivos, as quais são estáveis em temperatura e com bom casamento de transistores e resistores, mas sem previsibilidade do valor da tensão de referência (principal vantagem das referências de tensão

bandgap). Dessa forma, as tensões de referências obtidas são uma consequência do ponto de operação do circuito, pelo menos no nível de demonstração apresentado nos artigos referenciados. Os dois circuitos mostrados por Watanabe possuem a característica de não se aplicar a processos de fabricação CMOS padrão, ou seja, baseiam-se no controle da concentração de dopantes durante a fabricação do circuito de maneira a alterar a função trabalho do poli-silício de alguns transistores do circuito e, assim, obter os coeficientes de temperatura necessários para o funcionamento da topologia.

Com isso, busca-se nesse trabalho uma topologia de uma referência de tensão que: simplifique a estrutura de uma referência de tensão, envolvendo elementos simples, de fácil construção e polarização (utilizando um processo CMOS padrão); diminua expressivamente o consumo quiescente; tenha previsibilidade do valor da tensão de referência; e tenha a mais baixa tensão *drop-out* possível, fato que não é observado em nenhuma das referências de tensão pesquisadas.

Como se deseja um circuito que trabalhe em ultra-baixa tensão e em ultra-baixa potência, adotou-se a operação em inversão fraca neste trabalho. Para o seu desenvolvimento, foi escolhido o processo TSMC CMOS 0,35 μ m padrão, devido as características de condução em inversão fraca, segundo o modelo BSIM3v3 caracterizado pela MOSIS [14]. A MOSIS é uma organização americana que propicia uma interface comum com *foundries*, dando suporte aos projetos de pequena escala e de pesquisas acadêmicas. O processo TSMC CMOS 0,35 μ m padrão tem o código de SCN4ME_SUBM [14], ou seja, as regras estão otimizadas para as dimensões sub-mícron. Assim, além de se utilizar um processo de dimensões sub-mícron, visa-se validar a arquitetura proposta para a referência de tensão *threshold* em um processo de custo mais acessível comparado com os processos mais recentes na tecnologia CMOS.

1.3. Objetivos

O que se busca nesse trabalho é comprovar a tese de que a tensão de limiar (tensão *threshold*) de um transistor MOS de canal longo operando na saturação em inversão fraca se comporta de forma semelhante à tensão *bandgap* de um transistor bipolar. Assim, o transistor MOS pode ser utilizado na construção de uma referência de tensão para aplicações em ultra-baixa tensão e ultra-baixa potência, com propriedades semelhantes às das referências

de tensão *bandgap*.

A tensão *threshold* de um transistor MOS de canal longo é constante (supondo a tensão fonte-substrato constante), porém fortemente dependente da concentração de dopantes no substrato, assumindo um valor diferente *chip a chip*, transistor a transistor; por isso não é conhecida a priori [21], [22]. Contudo, uma vez que o circuito é fabricado, o seu valor não se altera, podendo assim ser utilizada como uma tensão de referência. A tensão *threshold* pode ser considerada conhecida globalmente dentro de um espalhamento do processo, dado pelos *corners* (garantidos pela *foundry*) [14]. Como analisado no Capítulo 2, na seção 2.4, a tensão *threshold* pode ser modelada como a soma de funções de densidade de probabilidade, considerando a sua variação global e a sua variação local no processo CMOS.

As diferenças na tensão *threshold* (principalmente as variações locais) são uma das principais causas da tensão de *offset* de pares diferenciais [1], [23], ou dos distintos atrasos nos caminhos críticos em circuitos digitais [24]. Estudos trazem soluções buscando rastrear variações nos parâmetros de processo, medindo ou mesmo estimando os seus valores locais, e assim realizar polarizações adaptativas, apresentando uma forte melhora no aproveitamento (*yield*) dos lotes analisados [25].

Como a tensão de referência é baseada na tensão *threshold* do transistor MOS, o circuito da referência de tensão adquire a capacidade de rastrear as variações da tensão *threshold* oriundas da variação da concentração de dopantes no processo, podendo assim ser utilizada em aplicações típicas de referências de tensão (como inicialmente apresentado) ou mesmo no rastreamento do valor real da tensão *threshold* aplicada em polarizações adaptativas, por ser uma estrutura que tende a ser insensível a variação na temperatura e na tensão de alimentação.

Utilizando apenas transistores MOS em inversão fraca e elementos passivos, o circuito deve ser capaz de operar com tensões de alimentação muito baixas, bem menores que a tensão de alimentação nominal do processo CMOS e com consumo da ordem de centenas de nanowatts, não chegando à ordem de microwatts. Toda a idéia é simplificar a topologia das referências de tensão (sem a necessidade de máscaras especiais, como o *poly* de alta resistividade), diminuindo o número de elementos envolvidos, o consumo e também os custos de fabricação (sem máscaras especiais, o custo de fabricação se torna menor).

Busca-se também a validação dos métodos aplicados para o projeto do circuito da referência de tensão, assim como validar a parametrização do modelo BSIM3v3, fornecido pela MOSIS, no projeto de circuitos analógicos na operação em inversão fraca.

1.4. Estrutura do Trabalho

O trabalho está organizado em seis capítulos, sendo um capítulo de introdução, um de conclusão e os demais de desenvolvimento.

O Capítulo 2 apresenta a modelagem do transistor MOS de canal longo e uniformemente dopado, operando em inversão fraca, para obtenção de um modelo simplificado em função da temperatura. Com esse modelo será possível justificar a tese. Os parâmetros DC desses modelos simplificados, baseados no modelo BSIM3v3, são determinados pelo método dos mínimos quadrados, o que torna os cálculos das dimensões mais otimizados para uma aproximação manual. A seção 2.4 desse capítulo apresenta a modelagem da tensão *threshold* como a soma de funções de densidade de probabilidade, considerando a sua variação global e a sua variação local no processo CMOS.

O Capítulo 3 apresenta o conceito e a modelagem do transistor MOS composto de canal longo operando em inversão fraca. Com esse transistor MOS composto será possível aumentar tanto a regulação de linha quanto o PSRR (*power supply rejection ratio*, ou seja, a razão de rejeição da fonte de alimentação) da referência de tensão *threshold*, com uma estrutura simplificada. A seção 3.4 desse capítulo apresenta uma possível aplicação do transistor MOS composto com um sensor de temperatura de ultra-baixa tensão e ultra-baixa potência.

O Capítulo 4 apresenta uma proposta de implementação para o circuito da referência de tensão *threshold*, desenvolvido para trabalhar em ultra-baixa tensão e em ultra-baixa potência, com a tensão *drop-out* mais baixa possível. Os problemas encontrados na arquitetura das referências de tensão, especialmente em aplicações em baixa tensão, são apresentados. Como a tensão *threshold* varia com o processo de fabricação e a carga (por causa da alta impedância de saída), na seção 4.4 é apresentado um regulador LDO (*low drop-out*, ou seja, com baixa queda de tensão) como uma solução para a compensação das variações da tensão *threshold*. Esse regulador LDO não será implementado por não ser o foco dos estudos necessários

para a comprovação da tese.

O Capítulo 5 apresenta os cálculos das dimensões, as simulações e as medidas de caracterização dos protótipos (fabricados pela TSMC via a MOSIS [14]), onde se pode verificar a eficiência dos métodos apresentados e a funcionalidade do projeto, dentro de tudo o que foi proposto nas especificações pelo modelo do circuito da referência de tensão *threshold*, provando assim a tese proposta nesse trabalho.

O Capítulo 6 apresenta as conclusões e as sugestões para trabalhos futuros que podem ser implementados, principalmente com a versão que aumenta a regulação de linha e o PSRR do circuito da referência de tensão *threshold* desenvolvida.

Capítulo 2

O Transistor MOS Operando em Inversão Fraca

2.1. Considerações Gerais

A Figura 2.1 representa a vista lateral de um transistor n MOS, onde se explora as tensões de polarização, tendo o substrato como referencial [2].

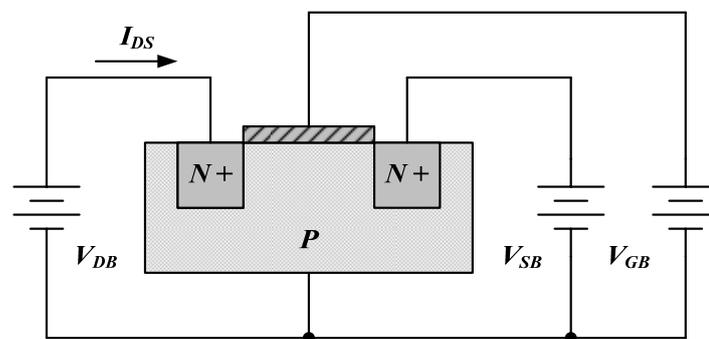


Figura 2.1 – Polarização do transistor n MOS referenciado ao substrato.

O transistor MOS, idealizado em 1926 por Julius E. Lilienfeld e implementado pela primeira vez em 1962 por Steven R. Hofstein e Frederic P. Heiman, opera segundo dois princípios físicos de condução elétrica, como em qualquer semicondutor: a deriva e a difusão dos portadores (elétrons ou lacunas) ao longo do comprimento do canal, originando a corrente entre dreno e fonte. Para o transistor MOS de canal longo, a corrente de dreno I_{DS} pode ser expressa na equação (2.1), baseada na equação de Poisson unidimensional [2], onde μ é a mobilidade elétrica dos portadores (supostamente constante ao longo do comprimento do canal), W a largura do canal, Q a densidade de carga na camada de inversão, Φ_S o potencial de superfície, k a constante de Boltzmann, T a temperatura absoluta (em Kelvin) e q a carga elementar do elétron (ou da lacuna). O termo kT/q é conhecido na literatura por tensão termodinâmica.

$$I_{DS} = \mu W \left(-Q \frac{d\Phi_S}{dx} + \frac{kT}{q} \frac{dQ}{dx} \right) \quad (2.1)$$

Dependendo da intensidade da tensão *gate*-substrato (transversal ao canal, conforme a Figura 2.1), um dos princípios de condução se torna predominante, dando origem às regiões de operação: inversão fraca, inversão moderada e inversão forte [2], [26]-[28]. Assim, a modelagem da tensão *threshold* se torna um importante requisito na descrição das características elétricas do transistor MOS [2]. Como explicado na literatura, a tensão *threshold* possui uma dependência “reversa” com a profundidade das junções e uma dependência “direta” com a concentração de dopantes no substrato, com a espessura do óxido e com o comprimento de canal, assumindo que para este último não ocorre o RSCE (*reverse short-channel effect*, ou seja, efeito de canal curto reverso) [2]. Observe que desses, apenas o comprimento de canal pode ser manipulado do ponto de vista do desenvolvimento de um circuito integrado em um processo CMOS padrão.

A dependência da tensão *threshold* com a polarização de substrato enfraquece no transistor MOS de canal curto (dimensões sub-mícron), devido ao baixo controle da polarização do substrato sobre a região de depleção [2]. Nessas condições, a tensão *threshold* apresenta uma grande dependência com a polarização do dreno, diminuindo o seu valor com o aumento da tensão dreno-fonte. Esse efeito é conhecido na literatura como efeito de DIBL (*drain-induced barrier lowering*, ou seja, diminuição da barreira induzida pelo dreno), o qual se evidencia com a operação do transistor MOS na inversão fraca [2], [26]. Outro efeito que ocorre no transistor MOS de canal curto é o RSCE, o qual é causado pela concentração não-uniforme de dopantes ao longo do canal [2], [26]. A concentração de dopantes nas proximida-

des do dreno e da fonte tende a ser maior do que no meio do canal. O efeito é que a tensão *threshold* é maior nas bordas do que no meio do canal; quanto menor o comprimento de canal, maior será a contribuição do RSCE na tensão *threshold* efetiva do transistor.

Todavia, a tensão *threshold* de um transistor MOS de canal longo se torna independente do comprimento de canal e da polarização do dreno [1], [2]. Como o valor da tensão *threshold* é crucial para o bom funcionamento da referência de tensão *threshold*, deve-se garantir então um comprimento de canal suficientemente longo, onde os efeitos de canal curto, em especial o efeito de DIBL e o RSCE podem ser negligenciados. Para o transistor MOS de canal longo e com a concentração uniforme de dopantes no substrato, a tensão *threshold* V_{TH} pode ser modelada por uma relação simplificada [2], [26]-[28], expressa na equação (2.2), na qual se tem também a expansão linear do efeito de corpo em torno do ponto de polarização quiescente do substrato, onde V_{TO} é a tensão *threshold* para a tensão fonte-substrato nula, Φ_F o potencial de Fermi e γ o coeficiente de efeito de corpo.

$$V_{TH} = V_{TO} + \gamma(\sqrt{2\Phi_F + V_{SB}} - \sqrt{2\Phi_F}) \quad V_{TH} = V_{TO} + \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}^Q}} V_{SB} \quad (2.2)$$

Conectando-se a fonte ao substrato do transistor MOS, a tensão *threshold* passa a ser constante e independente da polarização, mas fortemente dependente da concentração de dopantes no substrato [2], assumindo um valor diferente *chip a chip*, transistor a transistor [21], [22]. Contudo, seu valor pode ser considerado conhecido globalmente dentro de um espalhamento do processo, dado pelos *corners* [14]. Modificações devem ser feitas na equação (2.2) se a concentração de dopantes no substrato não for uniforme ou mesmo quando o canal for curto; modificações as quais fogem do escopo desse trabalho, mas que podem ser estudadas nas referências [2], [26]. Deste ponto em diante, se dará ênfase apenas a operação em inversão fraca do transistor MOS de canal longo, onde predomina o efeito da difusão, sendo o foco de estudo na construção do circuito da referência de tensão *threshold* em proposição.

2.2. O Transistor MOS Operando em Inversão Fraca

A corrente de dreno I_{DS} de um transistor *n*MOS operando em inversão fraca se baseia na corrente de difusão ao longo do canal e pode ser modelada pela equação (2.3) para o

transistor MOS de canal longo, onde o modelo está referenciado ao potencial do substrato [2], conforme a Figura 2.1. O parâmetro I_S é a corrente característica e n o fator de inclinação em inversão fraca. O modelo para o transistor p MOS é análogo ao apresentado [1], [2].

$$I_{DS} = I_S \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GB} - V_{TO}}{n k T} \right) \left[\exp \left(-q \frac{V_{SB}}{k T} \right) - \exp \left(-q \frac{V_{DB}}{k T} \right) \right] \quad (2.3)$$

O fator de inclinação é definido na razão da capacitância na região de depleção C_B pela capacitância intrínseca do óxido C_{OX} (ambas expressas por unidade de área) e dado na equação (2.4). Garantindo a operação em inversão fraca, o fator de inclinação pode ser considerado uma constante, o qual ainda pode ser modelado na expansão linear do efeito de corpo em torno do ponto de polarização quiescente do substrato [2], [26].

$$n \equiv 1 + \frac{C_B}{C_{OX}} \qquad n = 1 + \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}^Q}} \quad (2.4)$$

Observe que o modelo dado na equação (2.3) é simétrico em relação ao dreno e à fonte (como o transistor MOS) e que o sentido de circulação de corrente depende apenas da diferença de potencial entre tais terminais. Contudo, dependendo das análises, o modelo pode ser referenciado ao potencial da fonte, conforme a equação (2.5), tornando-se assimétrico; tal modelo, a menos da expressão da corrente característica, é consenso entre o BSIM3v3 [26], o EKV [27] e o ACM [28]. Historicamente, os modelos assimétricos deram origem aos estudos dos transistores MOS e implementados nos primeiros simuladores SPICE. Vale a pena ressaltar que o modelo BSIM3v3 é baseado na tensão *threshold* e dela depende todo o equacionamento, enquanto que os modelos EKV e ACM dependem da folha de carga do canal [2].

$$I_{DS} = I_S \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS} - V_{TH}}{n k T} \right) \left[1 - \exp \left(-q \frac{V_{DS}}{k T} \right) \right] \quad (2.5)$$

A tensão *threshold* V_{TH} pode ser expressa em função do fator de inclinação, já que este pode ser definido na expansão linear do efeito de corpo, sendo expressa na equação (2.6), em concordância com a teoria apresentada na equação (2.2) [2], [27].

$$V_{TH} = V_{TO} + (n-1)V_{SB} \qquad V_{TH} = V_{TO} + \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}^Q}} V_{SB} \quad (2.6)$$

De acordo com a equação (2.5), o transistor MOS de canal longo estará saturado se a tensão V_{DS} for maior do que $3kT/q$ para a operação em inversão fraca [26]-[28], sendo o modelo do transistor nessas condições dado pela equação (2.7). Observe que a tensão a qual o transistor satura independe da sua tensão V_{GS} , efeito este que não ocorre na inversão forte. Tal informação será de grande importância na definição do transistor MOS composto, apresentado no Capítulo 3.

$$I_{DS} = I_S \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS} - V_{TH}}{nkT} \right) \quad (2.7)$$

Um fato interessante explorado pela literatura é que para um transistor MOS de canal curto, devido ao efeito de DIBL, não há uma saturação real da corrente de dreno na operação em inversão fraca [2], onde a tensão *threshold* é função da tensão dreno-fonte. Essa é uma condição indesejável na concepção da referência de tensão *threshold*, justificando também a utilização do transistor MOS de canal longo. Contudo, o transistor MOS de canal longo (bem como o de canal curto) operando na saturação continua a sofrer o efeito de CLM (*channel length modulation*, ou seja, modulação do comprimento de canal) [2], o qual pode ser modelado como uma variação linear do comprimento de canal em função da tensão V_{DS} , dada na equação (2.8), onde λ é o coeficiente de CLM, dependente do comprimento de canal, de parâmetros do processo e da região de operação [29], [30].

$$I_{DS} = \frac{I_S}{1 - \lambda V_{DS}} \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS} - V_{TH}}{nkT} \right) \quad (2.8)$$

O efeito de CLM é maior para o transistor MOS em inversão fraca do que para o mesmo transistor MOS em inversão forte [1], [2]. Assim, existe a necessidade de se compensar essa modulação a fim de melhorar principalmente o seu efeito na regulação de linha e no PSRR do circuito.

2.3. O Transistor MOS em Função da Temperatura

A corrente de dreno do transistor MOS de canal longo na região de saturação em inversão fraca, dada na equação (2.7), pode ser modelada em função da temperatura pela

equação (2.9), onde a fonte está conectada ao substrato, eliminando o efeito de corpo do transistor e tornando dessa forma o dispositivo assimétrico [1].

$$I_{DS}(T) = I_S(T) \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS} - V_{TO}(T)}{nkT} \right) \quad (2.9)$$

A corrente característica é, entre outros fatores, proporcional a mobilidade elétrica dos portadores e ao quadrado da tensão térmica; ambas dependentes da temperatura [26]-[28]. Dessa forma, a corrente característica pode ser expressa pela equação (2.10) em função da temperatura e referenciada a uma dada temperatura T_o , onde α é o coeficiente térmico da corrente característica em inversão fraca, incluindo o efeito da tensão térmica e da mobilidade elétrica e dependente do processo CMOS [1], [2].

$$I_S(T) \propto \mu(T) \left(\frac{kT}{q} \right)^2 \quad I_S(T) = I_S(T_o) \left(\frac{T}{T_o} \right)^\alpha \quad (2.10)$$

Baseado nas equações (2.9) e (2.10), a corrente de dreno pode ser referenciada a uma dada temperatura T_o de acordo com a equação (2.11); onde a temperatura T_o é adotada como sendo uma temperatura de referência; normalmente a temperatura ambiente (27°C ou 300K) [1], [2].

$$I_{DS}(T) = I_{DS}(T_o) \left(\frac{T}{T_o} \right)^\alpha \exp \left(q \frac{V_{GS}(T) - V_{TO}(T)}{nkT} - q \frac{V_{GS}(T_o) - V_{TO}(T_o)}{nkT_o} \right) \quad (2.11)$$

A tensão *threshold* pode ser referenciada a uma dada temperatura T_o através de uma relação linear [1], [2], dada na equação (2.12), onde o coeficiente θ depende da concentração de dopantes no substrato e da espessura do óxido, entre outros, variando de $-0,5\text{mV}/^\circ\text{C}$ a $-3\text{mV}/^\circ\text{C}$ para a faixa de temperatura de -80°C a $+130^\circ\text{C}$ (de 200K a 400K aproximadamente) [1], [2], [31].

$$V_{TO}(T) = V_{TO}(T_o) - \theta(T - T_o) \quad (2.12)$$

Segundo a equação (2.12), a tensão *threshold* pode ser extrapolada de maneira linear para o zero absoluto, de forma a evidenciar um valor constante que a compõe. A tensão *threshold* pode ser reescrita em função deste valor, conforme a equação (2.13).

$$V_{TO}^{ZERO} \equiv V_{TO}(T_o) + \theta T_o \qquad V_{TO}(T) = V_{TO}^{ZERO} - \theta T \qquad (2.13)$$

A equação (2.11) pode ser escrita com a ajuda da equação (2.12) e (2.13) a fim de obter uma expressão para a tensão V_{GS} em função da temperatura, dada na equação (2.14), após algumas manipulações algébricas dessas três equações.

$$V_{GS}(T) = V_{TO}^{ZERO} \left(1 - \frac{T}{T_o}\right) + V_{GS}(T_o) \left(\frac{T}{T_o}\right) + n \frac{kT}{q} \ln \left[\left(\frac{T_o}{T}\right)^\alpha \frac{I_{DS}(T)}{I_{DS}(T_o)} \right] \qquad (2.14)$$

Dessa maneira, a tensão V_{GS} de um transistor MOS operando em inversão fraca tem o comportamento próximo do linear e decrescente na temperatura, uma vez que a parcela logarítmica sofre pouca variação e é sempre menor que a tensão *threshold* em inversão fraca. Para uma melhor visualização do resultado, a tensão V_{GS} pode ser dada na equação (2.15) para a corrente de dreno constante com a variação da temperatura.

$$V_{GS}(T) = V_{TO}^{ZERO} \left(1 - \frac{T}{T_o}\right) + V_{GS}(T_o) \left(\frac{T}{T_o}\right) - \alpha n \frac{kT}{q} \ln \left(\frac{T}{T_o}\right) \qquad (2.15)$$

Observe que a expressão (2.15) é similar a equação da tensão V_{BE} do transistor bipolar em função da temperatura [1], expressa pela equação (2.16) para a corrente de coletor constante com a variação na temperatura. Dessa forma, a tensão *threshold* é análoga à tensão *bandgap*; essa é a conclusão fundamental da tese proposta nesse trabalho.

$$V_{BE}(T) = V_{BG}^{ZERO} \left(1 - \frac{T}{T_o}\right) + V_{BE}(T_o) \left(\frac{T}{T_o}\right) - \alpha \frac{kT}{q} \ln \left(\frac{T}{T_o}\right) \qquad (2.16)$$

O termo dependente da temperatura pode ser minimizado pela implementação de uma polarização PTAT (*proportional to absolute temperature*, ou seja, proporcional à temperatura absoluta), que eliminará o efeito da parcela linear decrescente com a temperatura na tensão V_{GS} ; sendo assim, a tensão de referência pode ser dada por um valor bem definido: a tensão *threshold* do transistor MOS de canal longo. A tensão *threshold* de um transistor MOS de canal longo é constante, porém fortemente dependente da concentração de dopantes no substrato, assumindo um valor diferente *chip a chip*, transistor a transistor; e por isso não é conhecida a priori [21], [22]. Mas, dependendo da variação do processo, o seu valor pode ser considerado conhecido globalmente dentro de um espalhamento do processo, dado pelos *cor-*

ners (garantidos pela *foundry*) [14].

2.4. Variações da Tensão *Threshold*

Como debatido anteriormente, a tensão *threshold* é fortemente dependente da concentração de dopantes no substrato, assumindo valores distintos *chip* a *chip*, transistor a transistor. A fim de quantificar essa dependência, a análise do valor da tensão *threshold* pode ser dividida na parcela referente às variações globais e na parcela referente às variações locais da concentração de dopantes, assumindo que esses processos sejam não-correlacionados entre si em suas funções de densidade de probabilidade [21], [22].

As variações globais (variações *inter-die* no lote de fabricação) são aquelas nas quais a tensão *threshold* assume um valor distinto por *chip* ou por regiões de um mesmo *chip*, onde a modelagem pode ser vista como um estudo de variação de parâmetros, limitados pelos *corners* do processo. Do ponto de vista do projetista do circuito integrado, pode-se considerar que existe a mesma probabilidade em se ter um *chip* localizado no caso típico ou no pior caso ou no melhor caso do processo. Assim, garantindo-se que o circuito atende as especificações nos *corners*, o mesmo se torna manufaturável. Dessa forma, as variações dos parâmetros podem ser consideradas uniformemente distribuídas, com limites dados pelos *corners*, apresentando um valor mínimo e um valor máximo, conforme mostra a equação (2.17).

$$V_{TO}^{PP} \approx U(\min, \max) \quad (2.17)$$

As variações locais ou *intra-die* são aquelas nas quais a tensão *threshold* assume um valor distinto por transistor (sobrepostas às variações globais), onde a modelagem pode ser vista como um estudo de descasamento (*mismatch*) entre dois transistores idênticos sob as mesmas condições de polarização. Tanto a caracterização quanto a simulação do descasamento do transistor MOS são partes cruciais para a precisão do desenvolvimento de circuitos analógicos [21]-[23]. Segundo estudos de Pelgrom, com as técnicas de *layout* adequadas (centróides), o descasamento pode ser aproximado apenas pela dependência da geometria dos elementos. O modelo de Pelgrom, segundo Croon [32], possui boa aproximação para transistores com as dimensões acima de 0,8 μm ; fato em concordância com a modelagem do transistor MOS de canal longo apresentada.

Como enunciado no modelo de Pelgrom, as variações aleatórias têm uma distribuição gaussiana com a média nula e o desvio padrão dependente da raiz quadrada da área do dispositivo, dada na equação (2.18). O coeficiente A_{VT} é o parâmetro do processo CMOS, onde N é a concentração média de dopantes na camada de depleção, X_D a largura da região de depleção, a qual diminui com o aumento da concentração de dopantes [22], [32].

$$\sigma(\Delta V_{TO}) = \frac{A_{VT}}{\sqrt{WL}} \quad A_{VT} = \sqrt{2} \frac{q \sqrt{NX_D}}{C_{OX}} \quad (2.18)$$

Dessa maneira, a cada nova geração da tecnologia CMOS, existe uma diminuição do espalhamento da tensão *threshold* devido à diminuição da espessura do óxido (conseqüente aumento do valor da capacitância C_{OX}). Contudo, essa diminuição não é tão acentuada devido ao espalhamento relativo no número de átomos dopantes na camada de depleção aumentar a cada nova geração de processos CMOS [22], [32].

O fator da raiz quadrada de dois no coeficiente A_{VT} vem do fato de se considerar que as variâncias das concentrações de dopantes de cada transistor MOS envolvido estudo do casamento são processos não-correlacionados entre si. Ou seja, na simulação de Monte Carlo, o coeficiente deve ser considerado sem a raiz quadrada de dois devido ao fato da simulação variar os parâmetros de cada transistor isoladamente. Dessa forma, as variações locais da tensão *threshold* possuem uma distribuição gaussiana com média nula, conforme mostra a equação (2.19).

$$V_{TO}^{MM} \approx N(0, \sigma) \quad (2.19)$$

Dessa forma, as variações na tensão *threshold* V_{TO} causadas principalmente pela flutuação da concentração de dopantes no substrato podem ser modeladas por duas funções de densidade de probabilidade, conforme a equação (2.20), contemplando as variações globais por uma distribuição uniforme e as variações locais por uma distribuição gaussiana com média nula, em face ao desenvolvimento do circuito.

$$V_{TO} = V_{TO}^{PP} + V_{TO}^{MM} \quad V_{TO} = U(\min, \max) + N(0, \sigma) \quad (2.20)$$

Do ponto de vista do SPICE, a análise de qualquer parâmetro do modelo ou do circuito por uma simulação de Monte Carlo possui uma função de distribuição uniforme ou

gaussiana. Assim, é possível definir e analisar a influência das variações da tensão *threshold* no próprio simulador de circuitos, processo esse de grande valia na análise do circuito da referência de tensão *threshold* em proposição.

2.5. Equacionamento do Modelo

Definido o modelo que aproxima a região de saturação em inversão fraca para o modelo BSIM3v3, a transcondutância g_m e a condutância de saída g_o podem ser calculadas, de forma a garantir uma maior precisão nos cálculos [1], [33]. Essas grandezas são dadas pelas equações (2.21) e (2.22), respectivamente.

$$g_m = q \frac{I_{DS}}{n k T} \quad (2.21)$$

$$g_o = \frac{\lambda I_{DS}}{1 - \lambda V_{DS}} \quad g_o \approx \lambda I_{DS} \quad (2.22)$$

Vale ressaltar que a transcondutância g_m depende somente da corrente de dreno e da tensão térmica, estando diretamente relacionadas; enquanto que a condutância de saída g_o depende somente da corrente de dreno e do coeficiente de CLM, de acordo com os trabalhos apresentados em [29], [30].

Capítulo 3

O Transistor MOS Composto Operando em Inversão Fraca

3.1. Considerações Gerais

Antes de implementar o circuito de polarização PTAT da referência de tensão *threshold*, é necessário definir o conceito do transistor MOS composto de canal longo operando em inversão fraca, o qual promove algumas das características desejáveis ao circuito de polarização, como o efeito cascode auto-polarizado, que será apresentado no Capítulo 4.

O transistor operando na saturação pode ser modelado em pequenos-sinais (análise AC) como uma fonte de corrente controlada por tensão e, assim, ser tratado na análise dos circuitos. Da teoria de análise de circuitos, uma fonte de corrente ideal tem uma impedância de saída infinita e assim, a tensão de saída não tem nenhuma influência na corrente fornecida (ou drenada) pela fonte. Infelizmente, esse não é o caso de um transistor real, e, assim, as correntes ao longo dos ramos dos circuitos podem vir a desviar de seus valores ideais [1],

[33]. Entretanto, quanto maior for a resistência de saída de um transistor (ou quanto menor for a sua condutância de saída), maior será a sua proximidade de uma fonte de corrente ideal.

Este capítulo apresenta o conceito do transistor MOS composto de canal longo que, polarizado em inversão fraca, promove um aumento da sua resistência saída, sem o aumento de consumo quiescente ou mesmo diminuição de excursão do sinal e sem fontes de polarização auxiliares. Também são apresentadas aplicações que utilizam o transistor MOS composto: um espelho de corrente (na seção 3.3) e um sensor de temperatura (na seção 3.4), os quais se beneficiam das boas propriedades da impedância de saída, se comparados às mesmas implementações com o transistor simples. Essas aplicações serão utilizadas na construção e/ou na explanação do circuito de polarização da referência de tensão *threshold*.

Um tipo de transistor MOS composto, porém em inversão forte, já foi utilizado por Galup-Montoro [34] na associação série-paralela de transistores, onde não se verificam as propriedades aqui descritas. Também foi utilizada no transistor MESFET em AsGa (arseneto de gálio), onde o efeito da saturação antecipada do transistor promove um efeito cascode semelhante ao aqui descrito [33].

3.2. O Transistor MOS Composto em Inversão Fraca

O transistor MOS composto é mostrado na Figura 3.1.a, implementado com o transistor *n*MOS. A análise é análoga para o transistor *p*MOS. De forma a simplificar os esquemáticos, a Figura 3.1.b apresenta o símbolo proposto para o transistor composto *n*MOS.



Figura 3.1 – Transistor composto: (a) esquemático e (b) símbolo.

Como visto no Capítulo 2, a corrente de dreno de um transistor MOS de canal

longo operando na inversão fraca pode ser modelada pela equação (2.5). O transistor MOS de canal longo em inversão fraca satura com a tensão V_{DS} maior do que $3 kT/q$ [26]-[28], tensão a qual independe da tensão V_{GS} . Num efeito semelhante ao comportamento da saturação antecipada de um MESFET [33], a saturação em inversão fraca ocorre de forma não-correlacionada com o excesso de tensão (tensão *overdrive*) do transistor; o que permite construir o transistor MOS composto em inversão fraca. As expressões de corrente e tensão do transistor composto podem ser derivadas diretamente da Figura 3.1.a e são dadas pela equação (3.1).

$$I_{DSa} = I_{DSb} \qquad V_{DSa} = V_{GSa} - V_{GSb} \qquad (3.1)$$

Inicialmente, para simplificar a análise, os transistores são construídos sobre o mesmo substrato, ocorrendo assim efeito de corpo no transistor Q_b . Considerando que o transistor Q_b está saturado (condição que pode ser imposta pela polarização), a equação das correntes em (3.1) tem solução dada na equação (3.2), baseada nas equações (2.5) e (2.6).

$$\exp\left(q \frac{V_{GSa} - V_{GSb}}{kT}\right) \left[1 - \exp\left(-q \frac{V_{DSa}}{kT}\right)\right] = \left(\frac{(W/L)_b}{(W/L)_a}\right) \qquad (3.2)$$

De acordo com a equação das tensões em (3.1), a equação (3.2) pode ser reescrita na equação (3.3). Observe que a tensão V_{DSa} não depende da tensão V_{GS} dos transistores; esta é a base do transistor MOS composto, o qual é válido na operação em inversão fraca e não em inversão forte. Observe também que a tensão V_{DSa} é PTAT e independente da corrente de polarização, uma vez que os transistores operam em inversão fraca.

$$V_{DSa} = \frac{kT}{q} \ln\left(1 + \left(\frac{(W/L)_b}{(W/L)_a}\right)\right) \qquad (3.3)$$

Para se manter a saturação em inversão fraca do transistor Q_a , é necessário que a tensão V_{DSa} seja maior do que $3 kT/q$ [26]-[28]. Dessa forma, as dimensões do transistor Q_b necessárias para manter a saturação do transistor Q_a são dadas pela equação (3.4).

$$\left(\frac{W}{L}\right)_b \geq (e^3 - 1) \left(\frac{W}{L}\right)_a \qquad \left(\frac{W}{L}\right)_b \geq 19 \left(\frac{W}{L}\right)_a \qquad (3.4)$$

Contudo, é necessária uma grande área para o transistor Q_b para manter o tran-

sistor Q_a na saturação. A fim de se diminuir a relação necessária entre os transistores para que o transistor Q_a sature, os transistores são construídos em substratos (poços) separados, eliminando dessa maneira a influência da tensão V_{SB} da estrutura. Considerando que o transistor Q_b está saturado, a equação das correntes em (3.1) tem solução dada na equação (3.5).

$$\exp\left(q \frac{V_{GSa} - V_{GSb}}{n kT}\right) \left[1 - \exp\left(-q \frac{V_{DSa}}{kT}\right)\right] = \left(\frac{(W/L)_b}{(W/L)_a}\right) \quad (3.5)$$

Observe que, diferentemente do caso anterior, o transistor composto construído em substratos independentes não tem uma solução analítica explícita. De posse da equação das tensões em (3.1), a equação (3.5) possui solução aproximada expressa na equação (3.6), sendo mais exata quanto maior for a relação entre os transistores Q_b e Q_a . Como no caso anterior, a tensão V_{DSa} continua sendo PTAT.

$$V_{DSa} \approx \frac{kT}{q} \ln\left(1 + \left(\frac{(W/L)_b}{(W/L)_a}\right)^n\right) \quad (3.6)$$

Para se manter a saturação em inversão fraca do transistor Q_a , é necessário que a tensão V_{DSa} seja maior do que $3 kT/q$ [26]-[28]. Dessa forma, as dimensões do transistor Q_b necessárias para manter a saturação do transistor Q_a são dadas pela equação (3.7).

$$\left(\frac{W}{L}\right)_b \geq \sqrt[n]{e^3 - 1} \left(\frac{W}{L}\right)_a \quad \left(\frac{W}{L}\right)_b \geq \sqrt[3]{19} \left(\frac{W}{L}\right)_a \quad (3.7)$$

As dimensões do transistor Q_b que mantém saturado o transistor Q_a são menores se os mesmos são implementados em substratos independentes do que se implementados no mesmo substrato, como se verifica, respectivamente, nas equações (3.4) e (3.7), já que o fator n é sempre maior do que 1 no modelo do transistor [26]-[28].

O comportamento I_{DS} vs V_{DS} de um transistor n MOS simples em inversão fraca é mostrado na Figura 3.2. O transistor foi implementado com as dimensões de $100\mu\text{m}/1\mu\text{m}$ no processo TSMC CMOS $0,35\mu\text{m}$ padrão. Os resultados foram obtidos no simulador SMASH[®], padrão HSPICE[®], para quatro valores da tensão V_{GS} (320mV, 330mV, 340mV e 350mV) com os modelos BSIM3v3 fornecidos pela MOSIS [14].

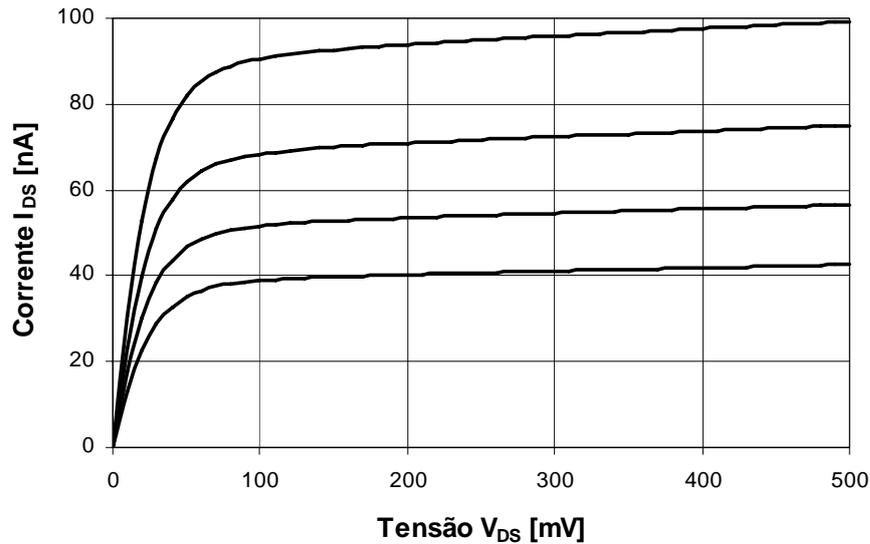


Figura 3.2 – I_{DS} vs V_{DS} de um transistor simples.

O comportamento I_{DS} vs V_{DS} de um transistor n MOS composto, construído sobre o mesmo substrato (o processo TSMC CMOS 0,35 μ m padrão é um processo poço n) e sob as condições de polarização do n MOS simples, é mostrado na Figura 3.3. O transistor Q_a foi implementado com as dimensões de 100 μ m/1 μ m (mesmas dimensões do transistor simples) e o transistor Q_b foi implementado 20 vezes mais largo, satisfazendo a equação (3.4).

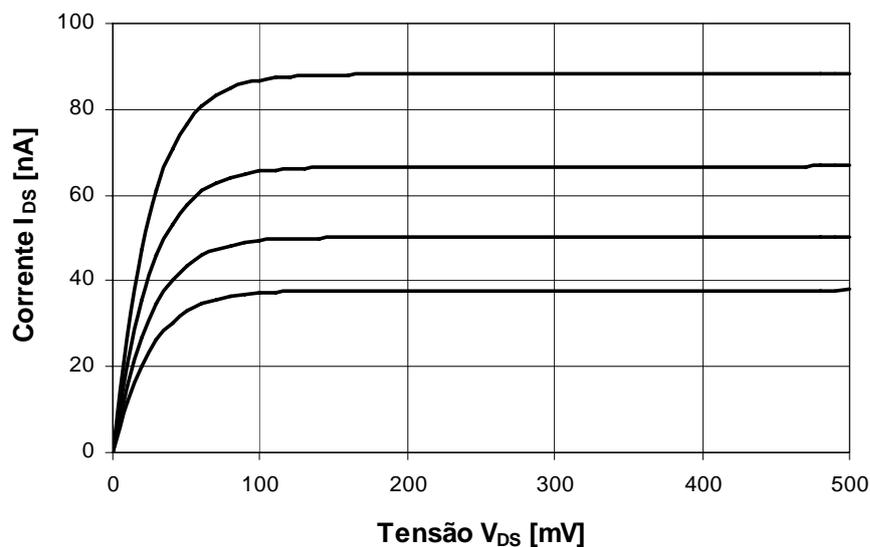


Figura 3.3 – I_{DS} vs V_{DS} de um transistor composto.

Das simulações da Figura 3.2 e Figura 3.3, é possível observar um expressivo

aumento da resistência (ou diminuição da condutância) de saída do transistor MOS composto na saturação frente ao transistor simples, com os níveis de tensão e de corrente semelhantes ao transistor simples. Com base nesse resultado é possível concluir que o transistor MOS composto tem uma polarização parecida com a do transistor simples, não aumentando o consumo quiescente. Dessa maneira, o transistor MOS composto apresenta um comportamento próximo ao do transistor ideal: o modelo de uma fonte de corrente ideal, se comparado com o transistor simples.

3.2.1. Modelo AC do Transistor MOS Composto

A Figura 3.4 apresenta o modelo simplificado em pequenos sinais do transistor MOS composto quando o transistor Q_b está saturado; o qual é dado pela associação dos modelos π na configuração da Figura 3.1.a. Assim, é possível observar um aumento na resistência (ou uma diminuição da condutância) de saída do transistor MOS composto por um efeito dado pelo amplificador *gate-comum* [33], caracterizando um efeito cascode auto-polarizado.

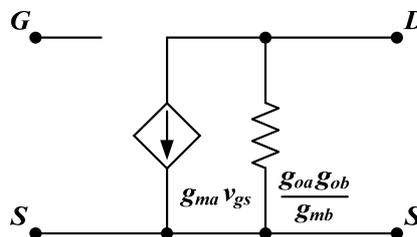


Figura 3.4 – Modelo simplificado em pequenos-sinais.

A condutância de saída é dividida pelo ganho do amplificador *gate-comum*, se tornando bem menor do que a original para um mesmo valor da tensão V_{GS} . A corrente conduzida pelo transistor MOS composto é a mesma corrente conduzida pelo transistor Q_a simples. Com uma baixa tensão V_{DS} é possível saturar os transistores Q_a e Q_b , desde que a inequação (3.4) ou (3.7) seja satisfeita, os quais passam a operar como um único transistor.

O ganho de amplificadores é inversamente proporcional a soma da condutância de saída dos elementos [1], havendo neste caso o aumento do ganho da estrutura sem aumento do consumo quiescente, graças ao uso do transistor MOS composto.

3.3. Uma Aplicação como Fonte de Corrente

Uma importante aplicação do transistor MOS composto é o espelho de corrente. Os espelhos podem ser utilizados como fontes de corrente na polarização de circuitos ou como a carga ativa: duas situações que se beneficiam da alta resistância (ou baixa condutância) de saída do transistor MOS composto. Num bom projeto de espelho de corrente, a corrente de saída (polarização) não deve sofrer variações devido à variação na tensão da saída [1], [33]. Na Figura 3.5.a é apresentado um espelho de corrente n MOS simples e na Figura 3.5.b a configuração equivalente com os transistores compostos.

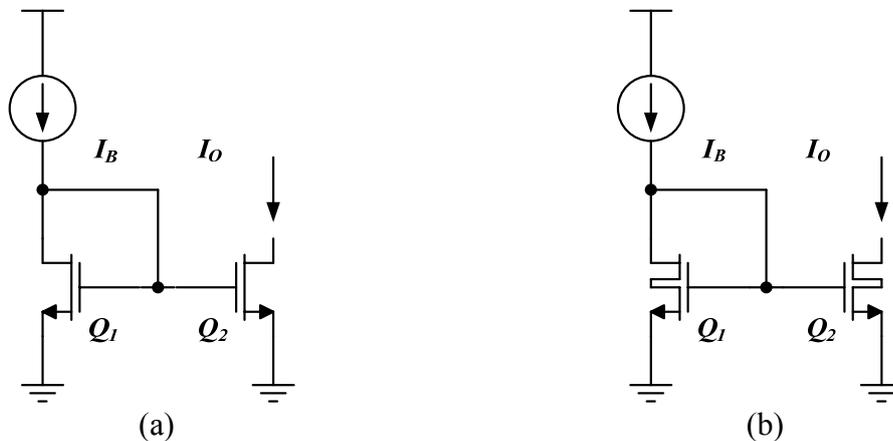


Figura 3.5 – Espelhos de corrente: (a) simples e (b) transistor composto.

Os transistores são implementados no processo TSMC CMOS 0,35 μ m padrão sob o mesmo substrato. Os transistores Q_1 e Q_2 da Figura 3.5.a e os transistores Q_{1a} e Q_{2a} da Figura 3.5.b (conforme a Figura 3.1) possuem as dimensões de 100 μ m/1 μ m e os transistores Q_{1b} e Q_{2b} são oito vezes mais largos do que os transistores Q_{1a} e Q_{2a} . De acordo com a equação (3.4), os transistores Q_{1a} e Q_{2a} não se encontram saturados (embora estejam operando na inversão fraca). Mas isso não é crítico para essa aplicação, uma vez que o efeito cascode do transistor MOS composto garante a relação de espelhamento desejada.

A Tabela 3.1 apresenta uma comparação entre o espelho de corrente convencional e o espelho com o transistor MOS composto, ambos com a corrente de referência I_B de 80nA, a qual é compatível com as dimensões dos transistores operando em inversão fraca no processo TSMC CMOS 0,35 μ m padrão, conforme a Figura 3.2 e a Figura 3.3. As tensões V_{GS} foram ajustadas próximas a 350mV (compromisso área vs polarização).

Tabela 3.1 – Comparação entre fontes de corrente.

	Transistor Simples		Transistor Composto	
	Simulação	Medida	Simulação	Medida
$V_{DS(\min)}$	100mV	100mV	100mV	100mV
$I_O @ V_{DS} = 150\text{mV}$	77nA	$\approx 79\text{nA}$	80nA	$\approx 82\text{nA}$
$I_O @ V_{DS} = 350\text{mV}$	80nA	$\approx 81\text{nA}$	80nA	$\approx 82\text{nA}$
$I_O @ V_{DS} = 500\text{mV}$	82nA	$\approx 83\text{nA}$	80nA	$\approx 82\text{nA}$
$I_O @ V_{DS} = 650\text{mV}$	84nA	$\approx 85\text{nA}$	80nA	$\approx 83\text{nA}$
$I_O @ V_{DS} = 800\text{mV}$	86nA	$\approx 88\text{nA}$	81nA	$\approx 83\text{nA}$
PSRR @ 100Hz	19,5dB	–	44,0 dB	–
Área dos Espelhos	50 μm x 10 μm		150 μm x 30 μm	

A implementação utilizando o transistor MOS composto apresenta um melhor desempenho quando comparado com a implementação com o transistor simples. Uma vez que as tensões V_{DS} dos transistores Q_{1a} e Q_{2a} estão sempre amarradas pelo efeito cascode dos transistores Q_{1b} e Q_{2b} , a própria topologia garante a relação do espelho para variações da tensão de saída, com a excursão de sinal comparada a da implementação com o transistor MOS simples, sem o auxílio de outras fontes de polarização ou mesmo o aumento do consumo quiescente do circuito. Em contrapartida, há um aumento significativo da área ocupada pelo circuito e, assim, um aumento das capacitâncias parasitas inerentes ao transistor MOS. Quanto ao efeito dessas capacitâncias, não chegam a ser um problema, uma vez que a aplicação é DC.

Conforme mostrado nas referências [1], [33], o ganho do estágio amplificador é diretamente proporcional à resistência de saída dos transistores envolvidos. Dessa maneira, a implementação da carga desses estágios, diferenciais ou não, com espelhos de corrente de transistores compostos possui uma alta impedância de saída e, conseqüentemente, um aumento do ganho em malha aberta, sem aumentar o consumo quiescente ou diminuir a excursão do sinal, quando comparada com a implementação com transistores simples.

3.4. Uma Aplicação como Sensor de Temperatura

Outra aplicação bastante interessante para o transistor composto é configurá-lo

como um sensor de temperatura, um termistor de baixíssimo consumo. Termistores são circuitos úteis para compensação de parâmetros e/ou efeitos em circuitos mais complexos ou mesmo nas proteções por desligamento térmico (proteções *thermo-shutdown*).

Um circuito termistor *n*MOS é mostrado na Figura 3.6, onde os transistores Q_a e Q_b formam um transistor MOS composto. Uma fonte de corrente faz uma polarização simples do circuito, não requerendo cuidados especiais, uma vez que a tensão V_S é independente da corrente, de acordo com a equação (3.3) e/ou a equação (3.6). Este fato acaba dando uma maior robustez ao projeto do termistor frente às variações na tensão de alimentação.

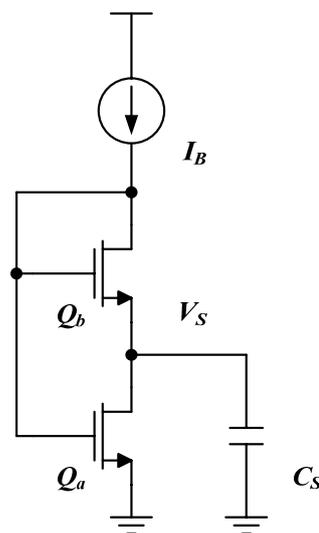


Figura 3.6 – Uma implementação de termistor.

Os transistores são implementados no processo TSMC CMOS 0,35 μ m padrão sob o mesmo substrato. O transistor Q_a possui as dimensões de 100 μ m/1 μ m e o transistor Q_b é oito vezes mais largo do que o transistor Q_a .

A Figura 3.7 apresenta medidas do termistor para uma variação de temperatura de -20°C a $+80^{\circ}\text{C}$. A corrente de polarização I_B é de 80nA, valor compatível com as dimensões dos transistores e a polarização em inversão fraca no processo CMOS utilizado, conforme mostra a Figura 3.2 e Figura 3.3. A tensão de alimentação é de somente 600mV, valor este que ainda mantém o ponto de polarização a temperaturas mais baixas, onde a tensão V_{GS} se torna maior. Conforme apresentado na teoria pela equação (3.3), a tensão V_S é PTAT. Os coeficientes angular e linear da equação de reta (obtidos pela regressão linear das medidas) são 167,4 $\mu\text{V}/^{\circ}\text{C}$ e 55,2mV, respectivamente, com um índice de determinação r^2 da regressão line-

ar de 0,9997. Ou seja, 99,97% dos dados podem ser explicados pelo modelo linear.

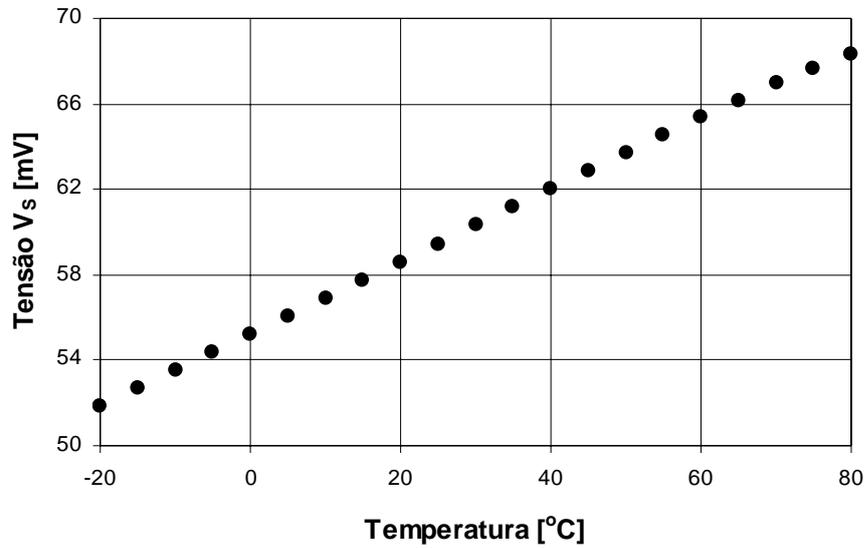


Figura 3.7 – Tensão V_s vs temperatura.

A Figura 3.8 apresenta os resíduos da regressão linear. O desvio padrão da regressão é de $88,2\mu\text{V}$, medido sobre os resíduos.

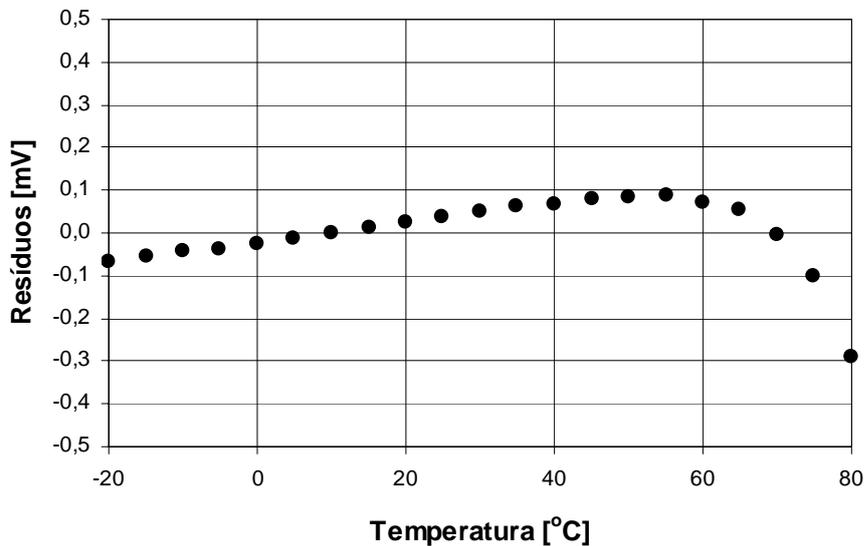


Figura 3.8 – Resíduos da regressão linear vs temperatura.

O transistor MOS composto apresenta um comportamento de tensão PTAT para a faixa de temperatura apresentada, de acordo com os valores teóricos, com uma baixíssima

potência consumida: somente 50nW e uma baixa tensão de alimentação. Dessa maneira, ele se mostra como uma boa solução em circuitos que necessitam de sensores de temperatura integrados, como os sensores inteligentes e as proteções *thermo-shutdown* para outros circuitos, sendo viável sua aplicação em instrumentos industriais e biomédicos.

Capítulo 4

Uma Referência de Tensão Threshold

4.1. Considerações Gerais

Conforme visto no Capítulo 1, o circuito de uma referência de tensão deve ser insensível às variações nos parâmetros do processo, na temperatura, na tensão de alimentação e na carga. Com base nas conclusões sobre o comportamento do transistor MOS em inversão fraca, neste capítulo é proposta uma topologia para a referência de tensão *threshold*, a qual será o circuito base para se comprovar a tese.

4.2. O Circuito da Referência de Tensão *Threshold*

Uma possível implementação para o núcleo da referência de tensão *threshold* é dada na Figura 4.1, onde o circuito é baseado na referência de tensão *bandgap* de Tzanateas [5]. Observe que os transistores Q_1 e Q_3 são de fato transistores compostos operando em inversão fraca, com as propriedades descritas no Capítulo 3. Ao invés de um transistor bipolar

parasita na saída, essa topologia utiliza o transistor Q_4 do espelho de corrente inferior, também em inversão fraca. Os resistores R_1 e R_2 são montados de forma que se possa conectar a fonte ao respectivo substrato de todos os transistores, eliminando o efeito de corpo dos transistores do circuito da referência de tensão, inclusive dos transistores compostos. Outra vantagem da implementação é que a corrente de R_1 é a mesma corrente de R_2 , não dependendo diretamente de relações de espelho para se obter os efeitos pertinentes a esse arranjo.

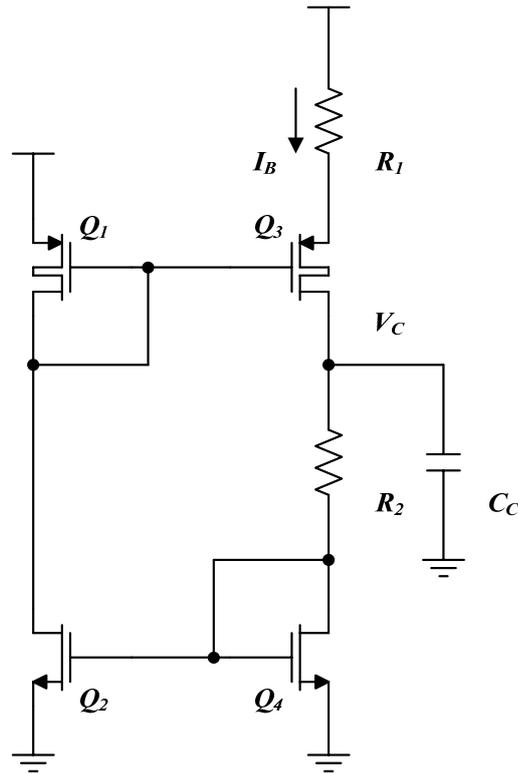


Figura 4.1 – Circuito proposto para a referência de tensão *threshold*.

A corrente de polarização I_B é gerada através dos transistores Q_1 , Q_2 , Q_3 e Q_4 e do resistor R_1 . Com os transistores operando na saturação em inversão fraca, a corrente I_B é expressa na equação (4.1), a qual é função das dimensões dos dispositivos e dos parâmetros de processo, onde n_p é o fator de inclinação do transistor p MOS. Vale a pena lembrar que as tensões V_{DS1a} e V_{DS3a} são tensões PTAT.

$$I_B(T) = n_p \frac{kT}{q} \frac{1}{R_1(T)} \ln \left(\frac{(W/L)_2 (W/L)_{3a}}{(W/L)_4 (W/L)_{1a}} \frac{1 + \left(\frac{(W/L)_{1a}}{(W/L)_{1b}} \right)^{n_p}}{1 + \left(\frac{(W/L)_{3a}}{(W/L)_{3b}} \right)^{n_p}} \right) \quad (4.1)$$

Observe que a corrente de polarização é PTAT, mas sofre uma distorção devido ao coeficiente de temperatura do resistor. O resistor de *poly* ou mesmo de difusão apresenta uma dependência linear com a temperatura [1], [35], sendo expresso pela equação (4.2), onde o coeficiente φ é o coeficiente de temperatura, que depende do processo CMOS.

$$R(T) = R(T_o)[1 + \varphi(T - T_o)] \quad (4.2)$$

A corrente de polarização pode ser referenciada a uma dada temperatura, de acordo com a equação (4.3). Considerando que o resistor apresenta uma variação linear com a temperatura (dentro de uma faixa de interesse), a corrente de polarização possui uma variação bem próxima da linear com a mesma; condição altamente desejável na concepção do circuito da referência de tensão.

$$I_B(T) = I_B(T_o) \left(\frac{T}{T_o} \frac{1}{1 + \varphi(T - T_o)} \right) \quad I_B(T) \approx I_B(T_o) \left(\frac{T}{T_o} \right) \quad (4.3)$$

A soma das quedas de tensão sobre o resistor R_2 e o transistor Q_4 gera a tensão de saída V_C do núcleo da referência de tensão *threshold*, dada pela expressão (4.4), onde V_{Q4} é a tensão *gate-fonte* do transistor Q_4 , conectado como diodo.

$$V_C(T) = R_2(T)I_B(T) + V_{Q4}(T) \quad (4.4)$$

Substituindo a equação simplificada (4.3) na equação (2.14), obtém-se a tensão V_{Q4} que pode ser expressa pela equação (4.5), a qual é função da temperatura e independente da parcela PTAT da corrente de polarização, onde n_n é o fator de inclinação e α_n o coeficiente térmico da corrente característica do transistor *nMOS*.

$$V_{Q4}(T) = V_{TO}^{ZERO} \left(1 - \frac{T}{T_o} \right) + V_{Q4}(T_o) \left(\frac{T}{T_o} \right) + (1 - \alpha_n) n_n \frac{kT}{q} \ln \left(\frac{T}{T_o} \right) \quad (4.5)$$

Das equações (4.1) e (4.4), a tensão V_C pode ser expressa pela equação (4.6), a qual é uma função das dimensões dos dispositivos e de parâmetros do processo CMOS. Note que a tensão V_C é independente do valor exato dos resistores R_1 e R_2 , mas dependente da sua relação; promovendo robustez ao circuito devido a variações no processo de fabricação.

$$V_C(T) = n_p \frac{kT}{q} \frac{R_2(T_o)}{R_1(T_o)} \ln \left(\frac{(W/L)_2 (W/L)_{3a}}{(W/L)_4 (W/L)_{1a}} \frac{1 + \left(\frac{(W/L)_{1a}}{(W/L)_{1b}} \right)^{n_p}}{1 + \left(\frac{(W/L)_{3a}}{(W/L)_{3b}} \right)^{n_p}} \right) + V_{Q4}(T) \quad (4.6)$$

De acordo com a equação (4.6), a primeira parcela da tensão V_C é linearmente crescente com a temperatura, conforme indicado na Figura 4.2.a. Contudo, a segunda parcela da tensão V_C , dada na equação (4.5), tende a diminuir linearmente com a temperatura (embora haja uma pequena distorção devido a parcela logarítmica inerente a tensão V_{Q4}), conforme indicado na Figura 4.2.b. Essas conclusões são válidas apenas para uma faixa limitada de operação, visto que fora dessa faixa tem-se uma extrapolação do modelo matemático em questão.

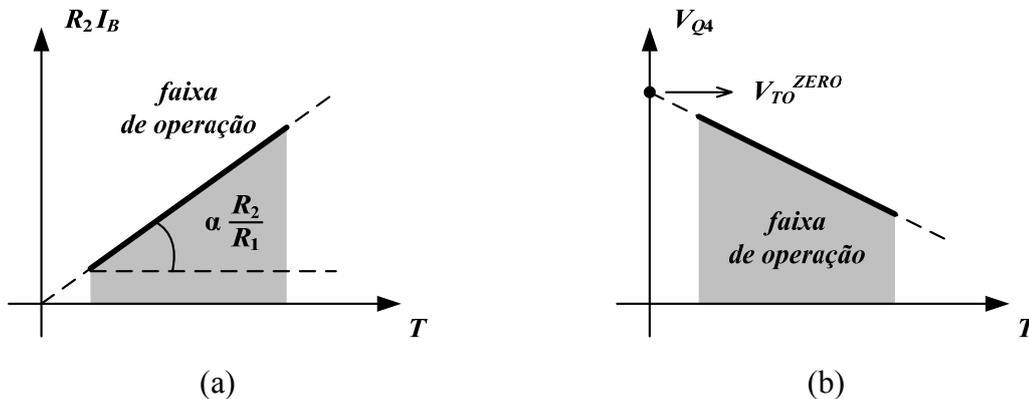


Figura 4.2 – Tensões (a) $R_2 I_B$ e (b) V_{Q4} vs temperatura.

Dependendo das dimensões adotadas para os componentes, haverá um ponto no qual a influência da temperatura na tensão V_C será minimizada. A mínima dependência da temperatura é conseguida quando o coeficiente de temperatura linear da primeira parcela da equação (4.6) é o mesmo coeficiente de temperatura da sua segunda parcela. Calculando-se o seu ponto de mínimo em função da temperatura, tem-se uma relação de otimização dada pela equação (4.7), calculada no ponto de operação na temperatura ambiente.

$$\frac{R_2(T_o)}{R_1(T_o)} \ln \left(\frac{(W/L)_2 (W/L)_{3a}}{(W/L)_4 (W/L)_{1a}} \frac{1 + \left(\frac{(W/L)_{1a}}{(W/L)_{1b}} \right)^{n_p}}{1 + \left(\frac{(W/L)_{3a}}{(W/L)_{3b}} \right)^{n_p}} \right) = q \frac{V_{TO}^{ZERO} - V_{Q4}(T_o)}{n_p k T_o} - (1 - \alpha_n) \frac{n_n}{n_p} \quad (4.7)$$

Caso a otimização dada pela equação (4.7) seja satisfeita, então a tensão de re-

referência V_C será dada pela tensão *threshold*, extrapolada para o zero absoluto, acrescida de parâmetros dependentes do processo CMOS, conforme apresentado pela equação (4.8).

$$V_C(T) = V_{TO}^{ZERO} - (1 - \alpha_n) n_n \frac{kT}{q} \left[1 - \ln \left(\frac{T}{T_o} \right) \right] \quad (4.8)$$

Vale a pena notar que o coeficiente α é maior do que 1 para o transistor bipolar e é menor do que 1 para o transistor MOS em inversão fraca. Isso faz com que a referência de tensão seja convexa no primeiro caso e côncava no segundo caso (a proposta). Este resultado pode ser verificado na simulação dada na Figura 5.3. Na temperatura ambiente, a tensão de referência V_C é dada pela equação (4.9).

$$V_C(T_o) = V_{TO}^{ZERO} - (1 - \alpha_n) n_n \frac{kT_o}{q} \quad (4.9)$$

A variação da tensão de referência V_C em relação à temperatura é expressa na equação (4.10) após a correção da parcela linear. Esse resultado é útil para se determinar o valor da variação como um dos critérios de desempenho.

$$\frac{\partial}{\partial T} V_C(T) = (1 - \alpha_n) n_n \frac{k}{q} \ln \left(\frac{T}{T_o} \right) \quad (4.10)$$

Dessa maneira, fica demonstrado que a tensão *threshold* de um transistor MOS operando em inversão fraca pode ser utilizada como uma tensão de referência, a partir de um comportamento semelhante ao encontrado em uma referência de tensão *bandgap*, a qual é um dos padrões na literatura de circuitos integrados.

4.2.1. Modelo de Regulação de Linha

A regulação de linha é uma figura de mérito que retrata variações na tensão de saída devido às variações na tensão de alimentação do circuito e está relacionada com o efeito de CLM, dado pela equação (2.8), que ocorre na região de saturação [29], [30].

Conseqüentemente, a corrente de polarização dada pela equação (4.1) pode ser

reescrita pela equação (4.11), considerando assim os efeitos de CLM nos transistores Q_{1b} , Q_{3b} , Q_2 e Q_4 .

$$I_B(T) = n_p \frac{kT}{q} \frac{1}{R_1(T)} \ln \left(\frac{(W/L)_2 (W/L)_{3a}}{(W/L)_4 (W/L)_{1a}} \frac{1 + \left(\frac{(W/L)_{1a}}{(W/L)_{1b}} (1 - \lambda_p V_{DS1b}) \right)^{n_p}}{1 + \left(\frac{(W/L)_{3a}}{(W/L)_{3b}} (1 - \lambda_p V_{DS3b}) \right)^{n_p}} \frac{1 - \lambda_n V_{DS4}}{1 - \lambda_n V_{DS2}} \right) \quad (4.11)$$

As tensões dreno-fonte dos transistores Q_{1a} e Q_{3a} são estáveis e dependem apenas das dimensões do transistor MOS composto, não sofrendo mudanças mesmo que ocorra variações na tensão de alimentação, devido ao efeito cascode do transistor MOS composto. Isto diminui a sensibilidade da corrente de polarização para variações DC na tensão de alimentação se comparado com a implementação usando transistores simples. Por consequência, esse efeito acaba se transferindo para a tensão de referência V_C , dado pela equação (4.4), melhorando significativamente a regulação de linha do circuito da referência de tensão proposta. O modelo para a regulação de linha pode ser dado pela equação (4.12), no seu comportamento linear dominante.

$$\frac{\partial}{\partial V_{DD}} V_C(T) \approx n_p \frac{kT}{q} \frac{R_2(T_o)}{R_1(T_o)} \left(\lambda_n + \frac{n_p}{1 + \left(\frac{(W/L)_{3b}}{(W/L)_{3a}} \right)^{n_p}} \lambda_p \right) \quad (4.12)$$

De acordo com a equação (4.12) é possível concluir que o comprimento de canal dos transistores n MOS deve ser maior do que o dos transistores p MOS, equilibrando suas contribuições na regulação de linha. E quanto maior for a relação entre os transistores que compõem o transistor Q_3 , menor será o comprimento de canal necessário para o mesmo, pois o próprio comprimento do canal influencia no valor do coeficiente de CLM do transistor.

Como apresentado no Capítulo 2, o efeito de CLM em inversão fraca é muito maior do que em inversão forte. Com isso, se torna mais oneroso ao circuito manter a regulação de linha em inversão fraca do que na inversão forte, devido ao comprimento de canal que deve ser adotado nesses transistores.

4.2.2. Modelo da Razão de Rejeição da Fonte de Alimentação

O cálculo do modelo do PSRR é dado pelo modelo AC, em pequenos sinais, obtido a partir do modelo π dos transistores envolvidos. A referência de tensão *threshold* é mostrada na Figura 4.3 considerando o efeito das capacitâncias principais envolvidas na dinâmica do sinal da fonte de alimentação.

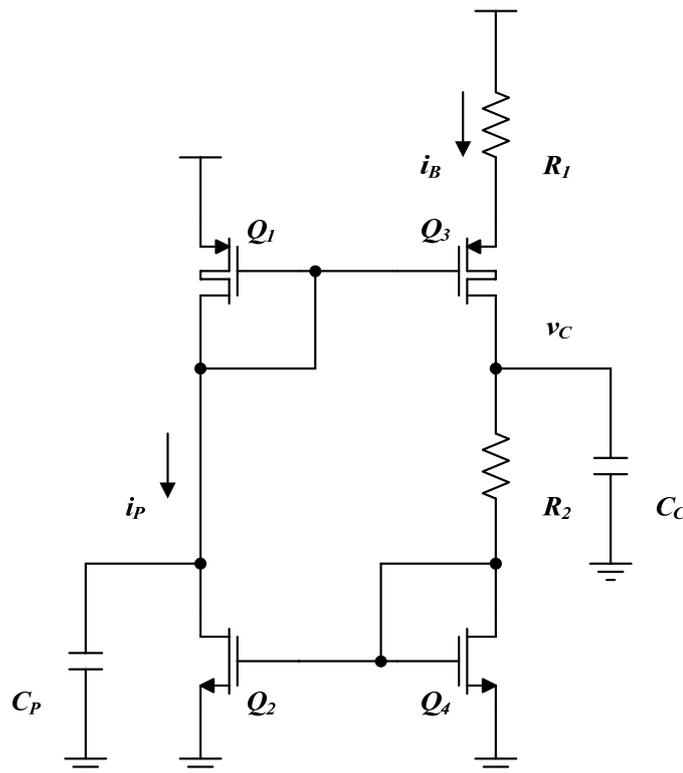


Figura 4.3 – Inclusão das capacitâncias para o modelo AC.

Substituindo cada transistor pelo seu modelo π aliado as capacitâncias C_C e C_P , de acordo com a Figura 4.3, o modelo do PSRR no domínio da frequência pode ser dado pela equação (4.13), onde tais capacitâncias formam um pólo e um zero. Obviamente existem outras capacitâncias que influenciam na resposta em frequência do circuito; contudo estas são as principais, definindo a sua resposta em frequência dominante.

$$PSRR(s) \equiv \frac{v_{DD}(s)}{v_C(s)} \approx R_1 \frac{C_C s + \frac{g_{m4}}{1 + g_{m4} R_2}}{\frac{C_P}{g_{m1a}} s + \frac{g_{o2}}{g_{m1a}} + \frac{g_{o3a}}{g_{m3a}} \frac{g_{o3b}}{g_{m3b}}} \quad (4.13)$$

O modelo em baixas frequências pode ser dado pela equação (4.14), o qual, após manipulações algébricas, evidencia a influência do divisor de tensão formado por R_1 , R_2 , Q_3 e Q_4 . O fato de se buscar uma baixa tensão *drop-out* para o funcionamento da referência de tensão fatalmente comprometerá o PSRR da estrutura proposta na Figura 4.1.

$$PSRR \equiv \frac{v_{DD}}{v_C} \approx \frac{R_1}{\left(\frac{g_{o2}}{g_{m1a}} + \frac{g_{o3a}}{g_{m3a}} \frac{g_{o3b}}{g_{m3b}} \right) \left(\frac{1}{g_{m4}} + R_2 \right)} \quad (4.14)$$

Considerando que todos os transistores estão operando na saturação, o modelo do PSRR em baixas frequências da equação (4.14) pode ser reescrito pela equação (4.15) em função de parâmetros dos transistores em inversão fraca.

$$PSRR \approx \frac{R_1 I_B}{n_p \frac{kT}{q} \left(\lambda_n + n_p \frac{kT}{q} \lambda_p^2 \right) \left(n_n \frac{kT}{q} + R_2 I_B \right)} \quad (4.15)$$

De acordo com a equação (4.15), o PSRR é inversamente proporcional ao efeito de CLM dos transistores, como era de se supor; e quanto menor for a influência da tensão V_{DS} no transistor na saturação, maior será o PSRR da referência de tensão *threshold*. Outra vez, é possível observar a influência do transistor MOS composto na estrutura do circuito da referência de tensão *threshold*. Vale a pena ressaltar que a configuração composta no transistor Q_3 incrementa a impedância de saída vista pela alimentação, aumentando assim o PSRR do circuito com relação a uma mesma configuração com transistores simples.

4.2.3. Modelo da Resistência de Saída

O cálculo da resistência de saída é dado pelo modelo AC, em pequenos sinais, obtido a partir do modelo π dos transistores envolvidos, sendo a resistência de Thévenin na saída expressa na equação (4.16) e a impedância de Thévenin, expressa na equação (4.17).

$$R_{TH} = \left(R_2 + \frac{1}{g_{m4}} \right) // \left(\frac{g_{m3a}}{g_{o3b}} R_1 \right) \quad R_{TH} \approx R_2 + \frac{1}{g_{m4}} \quad (4.16)$$

$$Z_{TH}(s) \approx R_{TH} \parallel \frac{1}{sC_C} \qquad Z_{TH}(s) \approx \frac{1}{C_C s + \frac{g_{m4}}{1 + g_{m4} R_2}} \quad (4.17)$$

A resistência de Thévenin na saída pode ser vista como uma função apenas dos elementos conectados diretamente na saída, possuindo um valor alto. Isso não é crítico para as aplicações, pois o intuito do circuito é apenas fornecer uma tensão de referência para outros circuitos, sem fornecer corrente quiescente para a alimentação dos mesmos.

4.3. Condição de Partida

O circuito de polarização PTAT possui dois pontos nos quais as correntes são estáveis: a corrente zero (indesejável) e a corrente quiescente (desejável) [1]. Assim, essa topologia necessita de outro circuito auxiliar que garanta a sua inicialização para o ponto quiescente correto; sendo conhecido na literatura por circuito de partida (circuito de *start-up*). Vários circuitos de *start-up* foram propostos, mas sempre com dois inconvenientes: o consumo quiescente e o aumento da área.

Na Figura 4.4 são apresentadas as características de transferência dos espelhos de corrente formados pelos pares Q_1-Q_3 e Q_2-Q_4 . Observe que o confronto desses dois circuitos possui duas soluções estáveis e possíveis, como em um *latch* de corrente. O tracejado informa que para baixas correntes o espelho Q_1-Q_3 se comporta pela relação dos transistores, a qual se degenera pela ação do R_1 à medida que a corrente aumenta.

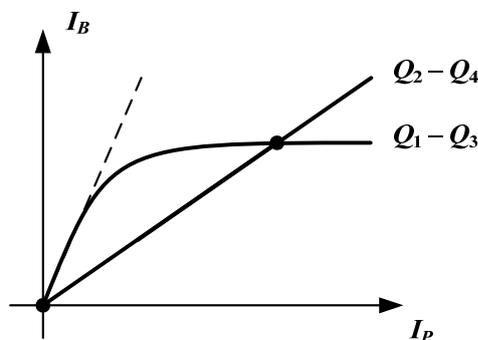


Figura 4.4 – Variação nas correntes de ramo.

Pela Figura 4.5, os elementos parasitas no nó formado pelos drenos de Q_1 e Q_2 formam um circuito capaz de realizar por si o *start-up* da estrutura, se bem dimensionado.

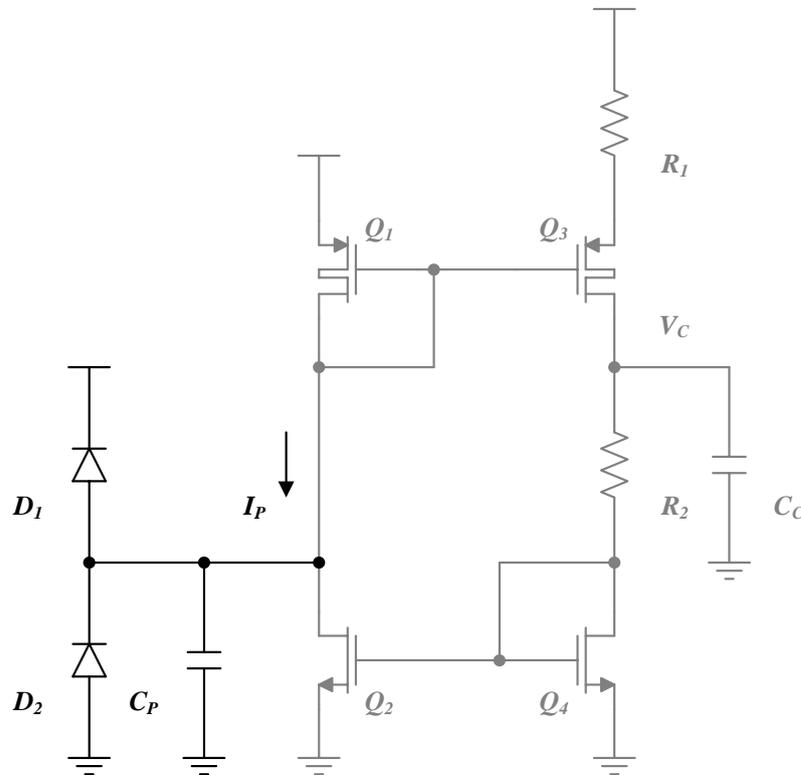


Figura 4.5 – Condição de *start-up* da referência de tensão *threshold*.

Os diodos parasitas D_1 e D_2 são formados pelas junções dreno-substrato inerentes aos transistores Q_{1a} e Q_2 , respectivamente. O capacitor de partida C_P é formado pelas próprias capacitâncias parasitas do nó formado pelos drenos dos transistores Q_{1b} e Q_2 . A corrente de fuga do transistor Q_2 (originada no diodo D_2 e supostamente maior do que a do diodo D_1) garante uma tensão baixa no nó de interesse. Observe que para pequenos valores da corrente de polarização, vale a relação de espelho de Q_1 e Q_3 , a qual começa a degenerar pela ação do resistor R_1 .

Conseqüentemente, a topologia não requer nenhum circuito adicional de *start-up*, como em outras referências de tensão apresentadas. As perturbações são características no momento em que o circuito é ligado. Nesse cenário, uma corrente de partida maior do que o valor quiescente circula pelo transistor Q_1 , que tenderá ao valor quiescente quando as tensões se equilibrarem na realimentação entre as fontes de corrente [36].

4.4. Compensação das Variações da Tensão *Threshold*

Por causa das variações do processo CMOS (em especial, as variações da tensão *threshold*), a tensão de referência V_C do núcleo pode variar dentro dos limites apresentados nas simulações de *corners*, dados na Tabela 5.4. A fim de eliminar a influência das variações da tensão *threshold* sobre a tensão V_C , um circuito de calibração pode ser utilizado para ajustar a tensão V_C para qualquer tensão de referência V_R dentro da tensão de alimentação. Para isso, um regulador LDO é o mais indicado, onde os valores dos resistores definirão a saída, conforme a Figura 4.6, onde R_3 é um resistor ajustável (calibrado por *trimmer*). Esse circuito não será implementado nesse trabalho por não ser o foco dos estudos necessários para a comprovação da tese.

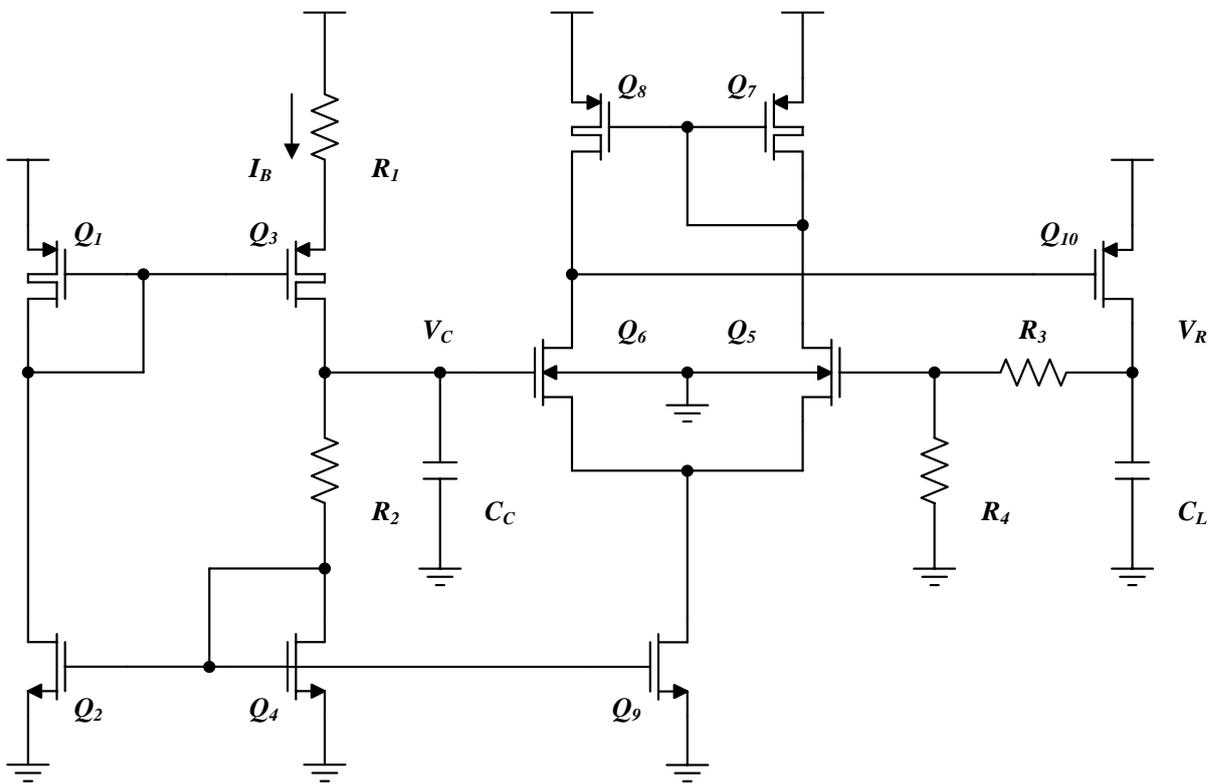


Figura 4.6 – Regulador LDO da referência de tensão *threshold*.

A razão entre os resistores R_3 e R_4 define o valor da nova tensão de saída. Pela inclusão do circuito apresentado na Figura 4.6 ao núcleo do circuito da referência de tensão, a nova tensão de referência V_R pode ser expressa pela equação (4.18), onde V_{OS} é a tensão de *offset* do estágio diferencial em relação à saída regulada.

$$V_R = \left(1 + \frac{R_3}{R_4}\right)(V_C + V_{OS}) \quad (4.18)$$

Observe que a tensão V_R depende da relação de resistores R_3 e R_4 (não dos seus valores absolutos), a qual é estável em temperatura e em processo, mantendo as propriedades da referência de tensão *threshold*. Dessa forma, a influência do valor absoluto da tensão *threshold* V_{TO} pode ser eliminada da tensão V_R . O projeto do amplificador operacional não é crítico, já que as excursões de entrada e de saída são bem definidas e a resposta em frequência é de uma referência de tensão. Para o regulador LDO é desejável uma topologia de ultra-baixa potência e baixo coeficiente de temperatura, de forma a se manter tais propriedades na referência de tensão.

Dessa maneira, a configuração tem a propriedade de corrigir variações de processo na tensão *threshold* e variações da carga, fazendo com que as propriedades da referência de tensão *threshold* se aproximem das propriedades da referência de tensão *bandgap*. Tal circuito também é comumente utilizado em circuitos baseados na tensão *bandgap*, para elevar ou diminuir o seu valor (através de uma derivação no resistor R_4), ou mesmo para corrigir os erros DC nas partes que compõem o circuito.

Capítulo 5

Projeto, Simulação e Medida de uma Referência de Tensão Threshold

5.1. Considerações Gerais

No Capítulo 2 foi apresentado o modelo do transistor MOS de canal longo em inversão fraca, onde é possível manter o transistor saturado com uma tensão dreno-fonte mais baixa do que em inversão forte e, assim, menores tensões de alimentação são exigidas. No Capítulo 4 foi apresentado que o transistor MOS nas condições descritas pode ser utilizado na construção de uma referência de tensão *threshold*. O condicionamento de sinais físicos e as aplicações biomédicas são duas das áreas de aplicação visada pela especificação.

5.2. Especificação da Referência de Tensão *Threshold*

O circuito da referência de tensão *threshold* apresentado no Capítulo 4 é de

simples construção quando comparado aos circuitos apresentados na literatura, não requerendo nem mesmo o circuito de *start-up*. O valor da tensão de referência do núcleo depende do valor da tensão *threshold*. Como especificação de uma referência de tensão, deseja-se que a tensão de referência seja constante para as variações na tensão de alimentação e na temperatura. Além disso, como se trata de um projeto de baixo consumo, também é desejável uma mínima dissipação de potência. Assim, é especificada uma corrente de polarização de 240nA, a qual é compatível com os transistores no processo TSMC CMOS 0,35 μ m padrão [14] operando em inversão fraca e não penaliza a área dos resistores envolvidos, e uma regulação de linha de 25mV/V, um compromisso da área *vs* a simplicidade.

A regulação de linha está diretamente relacionada com os comprimentos de canal dos transistores e isso se torna um problema na saturação em inversão fraca, pois o efeito de CLM é maior do que na inversão forte [29]. Em projetos convencionais de referências de tensão são utilizados transistores de canais longos, mesmo na saturação em inversão forte, de maneira a minimizar o impacto do efeito de CLM.

De posse das especificações, o circuito da referência de tensão *threshold* apresentado na Figura 4.1 pode ser dimensionado. Do manual do processo, sabe-se que a tensão *threshold* típica do transistor *nMOS* e do *pMOS* é de 524,7mV e de 738,3mV para canais longos, respectivamente. Assim, de forma a garantir a polarização em inversão fraca, a tensões V_{GS} do transistor *nMOS* e do *pMOS* será adotada 350mV e 550mV, respectivamente. A mínima tensão de alimentação não será especificada por ser um projeto no qual irá se buscar o mínimo valor possível para o processo TSMC CMOS 0,35 μ m padrão.

5.3. Projeto da Referência de Tensão *Threshold*

De posse das especificações dadas na seção anterior para a referência de tensão *threshold*, lança-se mão do dimensionamento de seus elementos. De acordo com as equações (4.1) e (4.4), a corrente I_B e a tensão V_C são funções dos parâmetros do processo CMOS, das dimensões dos transistores e dos resistores. Assim, os valores a serem calculados, basicamente, se resumem aos resistores, uma vez que todos os transistores podem ser adotados de forma conveniente. O resistor R_1 pode ser determinado pela equação (4.1) e o resistor R_2 pela equação (4.7). O processo de dimensionamento do circuito se torna iterativo, pois várias dimen-

sões serão adotadas; fechando as especificações em cima dos valores dos resistores.

A fim de minimizar o consumo quiescente, os transistores Q_1 e Q_2 são polarizados com a metade da corrente dos transistores Q_3 e Q_4 (vide a Figura 4.1). Como os transistores Q_2 e Q_4 formam um espelho de corrente, o transistor Q_2 deve ter a metade da largura e o mesmo comprimento de canal do transistor Q_4 . De forma a manter o efeito cascode esperado pela inclusão do transistor MOS composto, o transistor Q_{3b} deve ser duas vezes mais largo do que o transistor Q_{1b} , mantendo o mesmo comprimento de canal. O transistor Q_{1b} por sua vez deve ser oito vezes mais largo do que o transistor Q_{1a} , pois, de acordo com a aproximação da equação (3.7), o transistor Q_{1a} estará saturado em inversão fraca. O transistor Q_{3a} é adotado cinco vezes mais largo que o transistor Q_{1a} , causando desequilíbrio no espelho formado e permitindo incluir o resistor R_1 , que cria o efeito da degeneração no circuito de polarização PTAT. Os transistores Q_{1a} e Q_4 serão adotados como a base dos cálculos.

Uma vez modelado o transistor MOS em inversão fraca, é necessário extrair os parâmetros do modelo. O método dos mínimos quadrados será utilizado para esse fim. O método dos mínimos quadrados foi proposto inicialmente pelo matemático, astrônomo e físico alemão Carl F. Gauss para se determinar os melhores coeficientes da órbita de um asteroide de trajetória conhecida, tendo como base para o cálculo uma massa de dados provida de observações com lunetas; portanto, com desvios entre os valores reais e os valores observados. Os mínimos quadrados não determinam o modelo, mas os melhores coeficientes que ajustam o modelo proposto aos valores observados [29], [30].

A corrente de dreno do transistor em inversão fraca, dada pela equação (2.8), pode ser reescrita na equação (5.1), onde a dependência com a tensão *threshold* deixa de ser explícita e passa a ser computada na corrente característica normalizada I_{DO} (extrapolação do modelo para a tensão *gate*-fonte nula). Dessa forma, os parâmetros DC a serem extraídos do modelo do transistor MOS na saturação em inversão fraca se resumem a corrente característica normalizada, o fator de inclinação e o coeficiente linear de efeito de CLM. De acordo com os estudos apresentados em [29], [30], os parâmetros I_{DO} e λ são dependentes do comprimento de canal adotado.

$$I_{DS} = \frac{I_{DO}}{1 - \lambda V_{DS}} \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS}}{n k T} \right) \quad (5.1)$$

Como os parâmetros dependem do comprimento de canal, o natural é fixá-lo e utilizar os coeficientes extraídos para o cálculo manual do circuito. De acordo com a equação (4.12), para se cumprir a especificação da regulação de linha de 25mV/V, o ajuste tem que ser realizado sobre o efeito de CLM dos transistores, uma vez que as dimensões dos mesmos foram adotadas. Uma vez adotada a relação entre Q_{3b} e Q_{3a} igual a 16/5, faz-se a extração de parâmetros de forma que os coeficientes de efeito de CLM sejam otimizados para se atingir a especificação [14], [29]. Simulações preliminares mostram que o comprimento de canal de 16 μ m e 2 μ m para n MOS e p MOS, respectivamente, são bons valores a serem adotados para cumprir a especificação da regulação de linha. Vale a pena lembrar que o efeito de CLM é muito maior para um transistor com o mesmo valor de comprimento do canal operando em inversão fraca do que para a inversão forte. Na Tabela 5.1 é mostrada a extração de parâmetros dos modelos BSIM3v3 do TSMC CMOS 0,35 μ m padrão [29], [30]. Os transistores utilizados na extração possuem a razão entre as dimensões de 100 vezes de forma a eliminar os efeitos dependentes das dimensões do canal (como é proposto na modelagem do BSIM3v3), para as tensões V_{GS} de 350mV e de 550mV para os transistores n MOS e p MOS, respectivamente, valores 200mV abaixo das suas respectivas tensões *thresholds* típicas.

Tabela 5.1 – Coeficientes para os transistores utilizados.

	Transistor n MOS	Transistor p MOS
Comprimento de Canal	16 μ m	2 μ m
Corrente Característica Normalizada	425,55fA	873,47aA
Fator de Inclinação	1,436	1,479
Coef. de Modulação do Comp. de Canal	0,024V ⁻¹	0,156V ⁻¹

Uma vez definidos os coeficientes do modelo, se fazem os cálculos dos transistores base para se determinar o circuito da referência de tensão *threshold*. Em todos os casos, a tensão V_{GS} é menor do que a tensão *threshold* V_{TO} , assegurando a operação dos transistores em inversão fraca para o processo TSMC CMOS 0,35 μ m padrão [14]. Assim, as razões entre as dimensões dos transistores Q_{1a} e Q_4 são dadas nas equações (5.2) e (5.3), segundo as considerações explanadas.

$$(W/L)_{Q_{1a}} = \frac{120 \cdot 10^{-9} (1 - 0,156 \cdot 0,081)}{873,47 \cdot 10^{-18} \exp\left(\frac{0,550}{1,479 \cdot 0,026}\right)} \quad (W/L)_{Q_{1a}} = 83,33 \quad (5.2)$$

$$(W/L)_{Q4} = \frac{240 \cdot 10^{-9} (1 - 0,024 * 0,350)}{425,55 \cdot 10^{-15} \exp\left(\frac{0,350}{1,436 * 0,026}\right)} \quad (W/L)_{Q4} = 45,25 \quad (5.3)$$

A razão entre as dimensões de Q_1 é adotada como 80 vezes e a de Q_4 como 45 vezes. O resistor R_1 é determinado pela equação (4.1), dado pela equação (5.4).

$$R_1(T_o) = \frac{1,479 * 0,026}{240 \cdot 10^{-9}} \ln\left(\frac{1}{2} \frac{5}{1} \frac{1 + 0,125^{1,479}}{1 + 0,312^{1,479}}\right) \quad R_1(T_o) = 127,66 \text{ k}\Omega \quad (5.4)$$

A equação (2.15) pode ser reescrita pela equação (5.5) de maneira a evidenciar a dependência com a temperatura. Com a regressão linear do modelo BSIM3v3 é possível obter o valor da tensão *threshold* em função da temperatura para uma corrente constante [29]. Dessa maneira, usando as dimensões obtidas para o transistor Q_4 e a corrente constante de 240nA na temperatura, faz-se a regressão sobre o modelo, que já considera os efeitos de fatores de ajuste inerentes ao modelo do BSIM3v3; resultando na tensão *threshold* do nMOS extrapolada para o zero absoluto de 744,2mV e com o coeficiente α_n de aproximadamente 0,627 (o valor que é compatível com a teoria demonstrada no Capítulo 2).

$$V_{Q4}(T) = V_{TO}^{ZERO} - \left(\frac{V_{TO}^{ZERO} - V_{Q4}(T_o)}{T_o} - \alpha_n n_n \frac{k}{q} \ln(T_o) \right) T - \alpha_n n_n \frac{k}{q} T \ln(T) \quad (5.5)$$

Pela substituição da equação (4.1) na equação (4.7), obtém-se a equação (5.6), na qual o resistor R_2 que anula o efeito da temperatura sobre a tensão de referência pode ser calculado em função dos parâmetros extraídos acima e da corrente adotada.

$$R_2(T_o) I_B(T_o) = V_{TO}^{ZERO} - V_{Q4}(T_o) - (1 - \alpha_n) n_n \frac{k T_o}{q} \quad (5.6)$$

$$R_2(T_o) = \frac{0,744 - 0,350 - (1 - 0,627) 1,436 * 0,026}{240 \cdot 10^{-9}} \quad R_2(T_o) = 1583,64 \text{ k}\Omega \quad (5.7)$$

As dimensões envolvidas na referência de tensão *threshold* estão listadas na Tabela 5.2, após o ajuste fino no simulador SMASH[®], no padrão HSPICE[®], no qual ocorrem às interações entre os transistores, os resistores e os elementos parasitas associados. A descrição SPICE da referência de tensão *threshold* está listada no Apêndice A, com a qual é possí-

vel reproduzir todos os resultados apresentados neste trabalho.

Tabela 5.2 – Valores dos elementos do circuito.

$(W/L)_{1a}$	160 $\mu\text{m}/2\mu\text{m}$	$(W/L)_2$	360 $\mu\text{m}/16\mu\text{m}$
$(W/L)_{3a}$	800 $\mu\text{m}/2\mu\text{m}$	$(W/L)_4$	720 $\mu\text{m}/16\mu\text{m}$
$(W/L)_{1b}$	1280 $\mu\text{m}/2\mu\text{m}$	$R_1(T_o)$	130k Ω
$(W/L)_{3b}$	2560 $\mu\text{m}/2\mu\text{m}$	$R_2(T_o)$	1570k Ω

A operação em inversão fraca implica em transistores de grandes dimensões, o que acaba por minimizar a influência de ruído, principalmente o ruído *flicker* que é dominante no transistor MOS operando em baixas frequências [1], [2]. O resistor de difusão apresenta melhor casamento e maior resistividade do que os de *poly*, sendo por isso adotado nesse trabalho [35]. Do manual do processo TSMC CMOS 0,35 μm padrão, a resistividade típica da difusão P+ é de 150 $\Omega/\mu\text{m}^2$ com o coeficiente térmico de $\varphi = 1,4\text{m}^\circ\text{C}^{-1}$, fato que assegura a aproximação realizada na equação (4.3).

Finalizado o dimensionamento e as simulações iniciais, tendo as especificações sido alcançadas, confeccionou-se o *layout* do circuito, que foi baseado nas regras de projeto padronizadas pela MOSIS [14]. O circuito da referência de tensão *threshold* ocupa a área de 330 μm x 230 μm , sendo a sua fotografia mostrada na Figura 5.1.

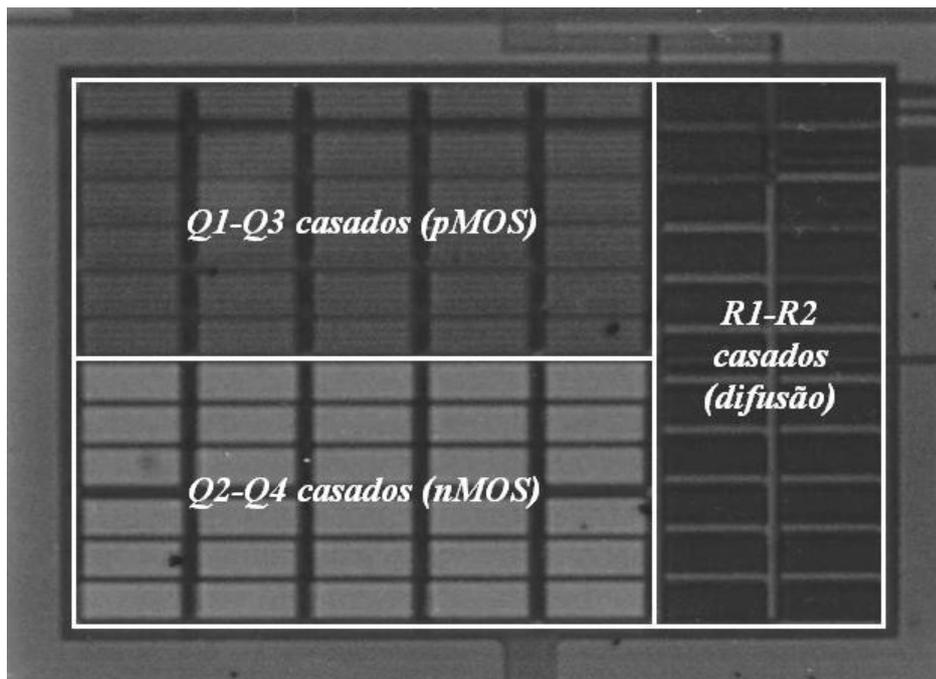


Figura 5.1 – Fotografia da referência de tensão *threshold*.

Algumas preocupações na construção do *layout* foram tomadas, principalmente com relação aos transistores e resistores casados, de forma que o descasamento previsto pelo modelo de Pelgrom seja alcançado. Como as larguras de canal dos transistores são múltiplas de $40\mu\text{m}$, esta dimensão foi tomada como a de um transistor padrão e cada transistor foi montado como um arranjo paralelo do padrão. Os resistores foram feitos sobre um arranjo série de resistores, tendo como padrão um resistor de $10\text{k}\Omega$. Outra preocupação foi com a simetria das tensões de alimentação entre os pontos do circuito, de forma que o fluxo da corrente pelos transistores casados esteja todo no mesmo sentido, evitando assim que haja um aquecimento desigual destes dispositivos, o que introduziria outras incertezas na modelagem dos sinais. Um anel de guarda em volta da referência de tensão foi introduzido de forma a isolar um circuito do outro e assim minimizar os efeitos de ruídos que se propagam pelo substrato.

Quanto à proteção eletrostática, os *pads* fornecidos pela MOSIS possuem uma proteção primária montada sobre dois transistores configurados como diodo e um resistor de 100Ω em série com o sinal. Os *pads* são projetados para uma variação de $-0,3\text{V}$ a $+3,6\text{V}$ da tensão aplicada.

Terminado o *layout*, o circuito é novamente simulado, porém com a inclusão de parâmetros extraídos e efeitos parasitas de interação entre os dispositivos e trilhas, onde se busca uma maior proximidade dos resultados simulados com os que serão obtidos na prática com a prototipagem do circuito integrado.

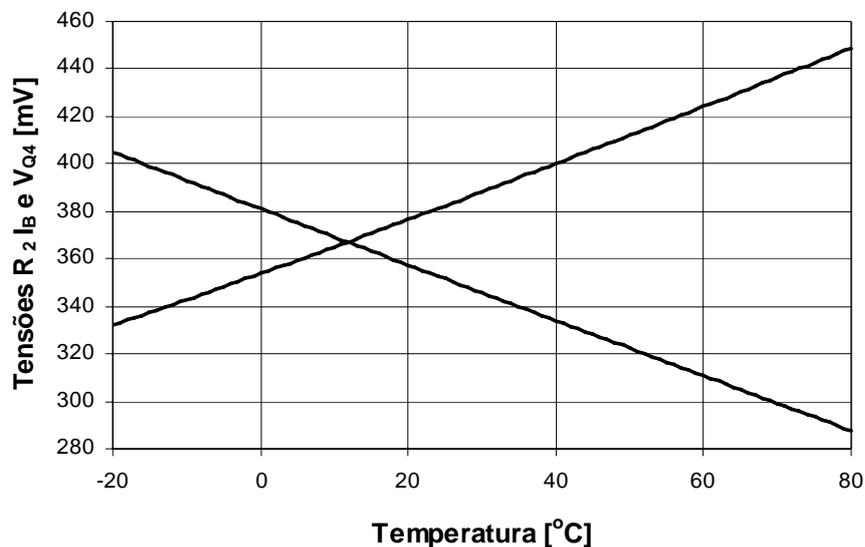
5.4. Simulações da Referência de Tensão *Threshold*

As dimensões finais dos transistores e resistores definem o funcionamento e a dinâmica da referência de tensão *threshold*. Assim, alguns dos parâmetros-chave da especificação são recalculados, segundo estas dimensões finais. Esses novos resultados são mostrados na Tabela 5.3, junto com os respectivos valores das simulações com o modelo BSIM3v3, para uma tensão de alimentação mínima de 950mV e uma temperatura ambiente de 27°C (300K). Comparando os resultados, é possível verificar uma boa aproximação entre os cálculos manuais usando os modelos desenvolvidos e a extração de parâmetros realizada segundo a metodologia dos mínimos quadrados.

Tabela 5.3 – Cálculos vs simulações BSIM3v3.

	Cálculo	Simulação
Corrente Quiescente de Polarização	236nA	245nA
Tensão de Referência	730,3mV	735,7mV
Dissipação de Potência @ 80°C	395nW	380nW
Coefficiente de Temperatura	10,3ppm/°C	39,3ppm/°C
Regulação de Linha	27,3mV/V	22,6mV/V
PSRR @ DC	24,6dB	26,2dB

Porém, existe uma discrepância entre os coeficientes de temperatura, pois nos cálculos se considera apenas a distorção causada pelo transistor Q_4 , enquanto que nas simulações existem distorções dos resistores na corrente, além do próprio transistor, afinal o modelo é uma aproximação de 1ª ordem. A Figura 5.2 apresenta a simulação DC das duas parcelas que compõe a tensão de referência do núcleo, onde é possível notar que, pelas dimensões adotadas nos resistores, existe a compensação dos coeficientes de temperatura (as retas possuem a mesma inclinação, sendo uma crescente e a outra decrescente).

Figura 5.2 – Simulação DC das tensões $R_2 I_B$ e V_{Q4} vs temperatura.

A Figura 5.3 apresenta a simulação DC da tensão de referência do núcleo em função da temperatura para o caso típico, onde os coeficientes de temperatura se compensam, restando apenas a parcela não-linear. Como previsto na teoria desenvolvida, a curva é côncava para as variações na temperatura, na qual o circuito promove a tensão de referência de 736mV

para o caso típico do processo TSMC CMOS 0,35 μm padrão, valor próximo da tensão *threshold* do transistor *n*MOS, quando extrapolada ao zero absoluto.

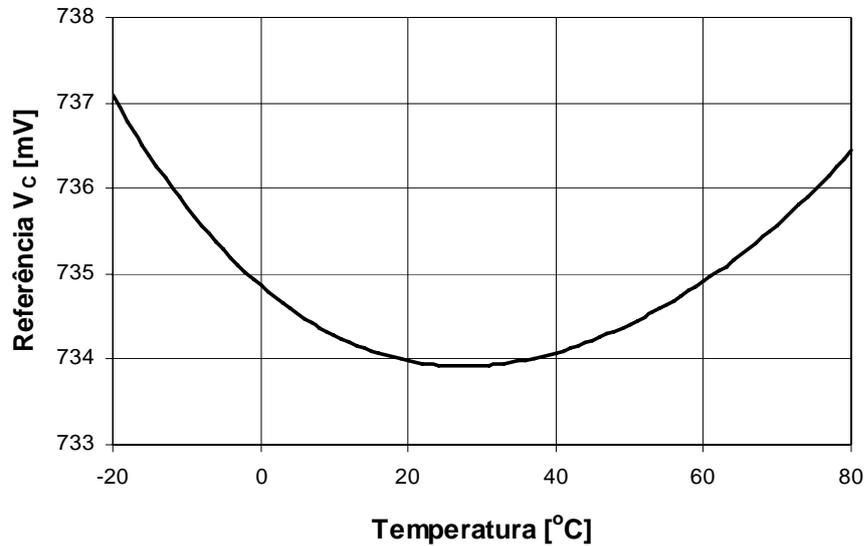


Figura 5.3 – Simulação DC da tensão V_C vs temperatura.

A Figura 5.4 apresenta a simulação DC da tensão de referência do núcleo em função da tensão de alimentação, onde é possível observar a tensão de alimentação mínima da topologia no processo TSMC CMOS 0,35 μm padrão, a qual trabalha com uma tensão *dropout* inferior a 200mV, resultado esse não encontrado na literatura pesquisada [15]-[20].

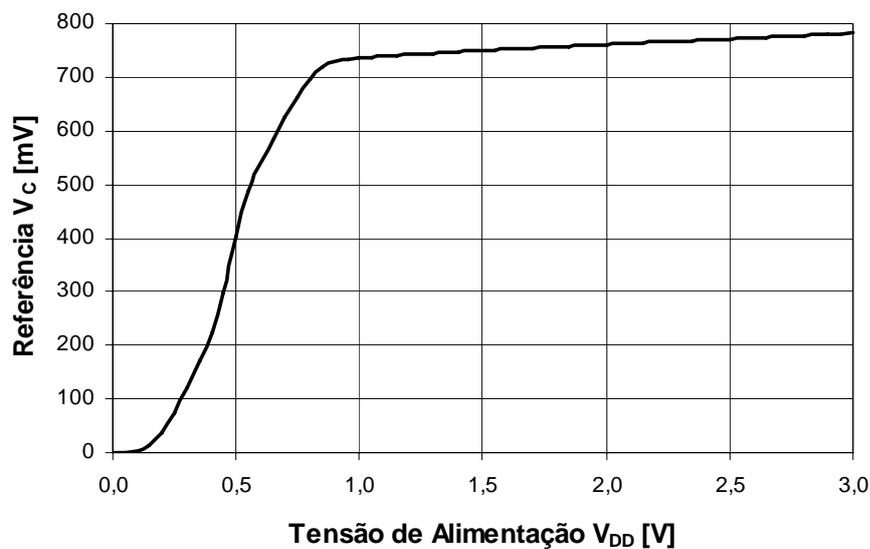


Figura 5.4 – Simulação DC da tensão V_C vs tensão de alimentação.

A Figura 5.5 apresenta a simulação DC das correntes dos ramos do circuito no caso típico, onde se mostra dois pontos nos quais a corrente é estável, de acordo com a teoria (vide a Figura 4.4). Observe que a corrente I_B solução é de 245nA, conforme projetado.

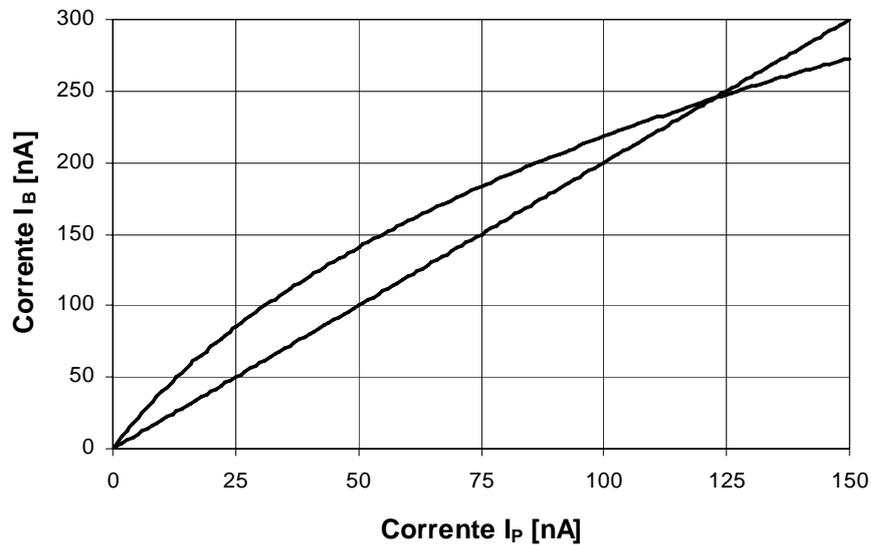


Figura 5.5 – Curvas de carga das correntes I_P e I_B no circuito.

A Figura 5.6 apresenta a simulação AC do PSRR para a tensão de alimentação de 950mV, onde o modelo de um zero e um pólo dado na equação (4.13), se mostra condizente com as simulações (até a frequência de 10kHz).

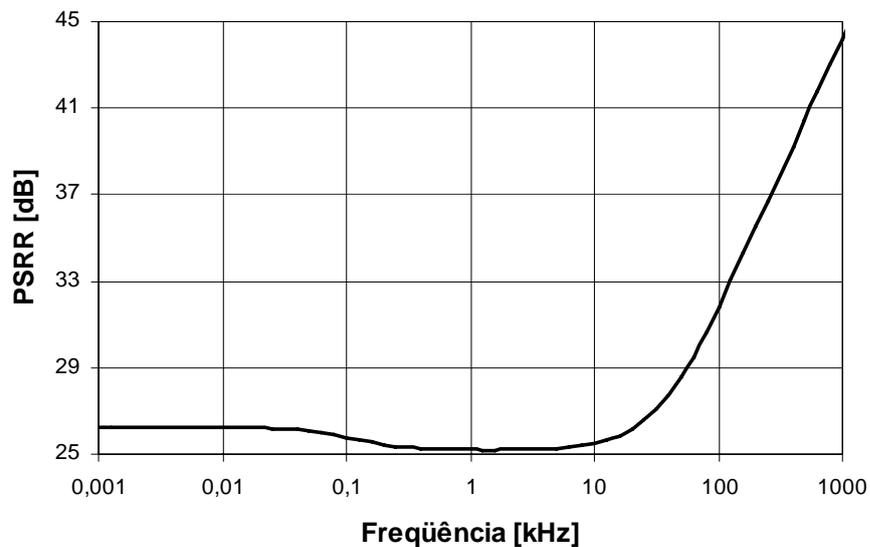


Figura 5.6 – Simulação AC do PSRR.

O PSRR acaba sendo afetado pelo requisito de baixo *drop-out* imposto ao circuito da referência de tensão *threshold*. Os resultados das simulações de *corners* são apresentados na Tabela 5.4. Os valores são obtidos após a calibração dos *trimmers* individuais dos resistores com 4 bits, para a temperatura ambiente de 27°C e a mínima tensão de alimentação.

Tabela 5.4 – Simulações de *corners*, após a calibração dos *trimmers*.

	Caso Típico	Melhor Caso	Pior Caso
Mínima Tensão de Alimentação	950mV	850mV	1050mV
Faixa de Temperatura	-20°C a +80°C	-20°C a +80°C	-20°C a +80°C
Corrente Quiescente de Polarização	245nA	240nA	249nA
Tensão <i>Threshold</i> do nMOS	524,7mV	424,7mV	624,7mV
Tensão de Referência	735,7mV	633,3mV	835,9mV
Dissipação de Potência @ 80°C	380nW	335nW	430nW
Coefficiente de Temperatura	39,3ppm/°C	55,0ppm/°C	33,5ppm/°C
Regulação de Linha @ 1.5V	22,6mV/V	21,8mV/V	21,7mV/V
PSRR @ 1kHz	25,1dB	28,5dB	24,6dB

Os tempos de partida estão na ordem de 100ms na temperatura ambiente e mínima tensão de alimentação. A Figura 5.7 apresenta a simulação transiente da partida suave da tensão de alimentação. O diodo parasita D_2 é maior do que o diodo D_1 com as dimensões adotadas (vide o Apêndice A), garantindo assim a condição de *start-up* da estrutura.

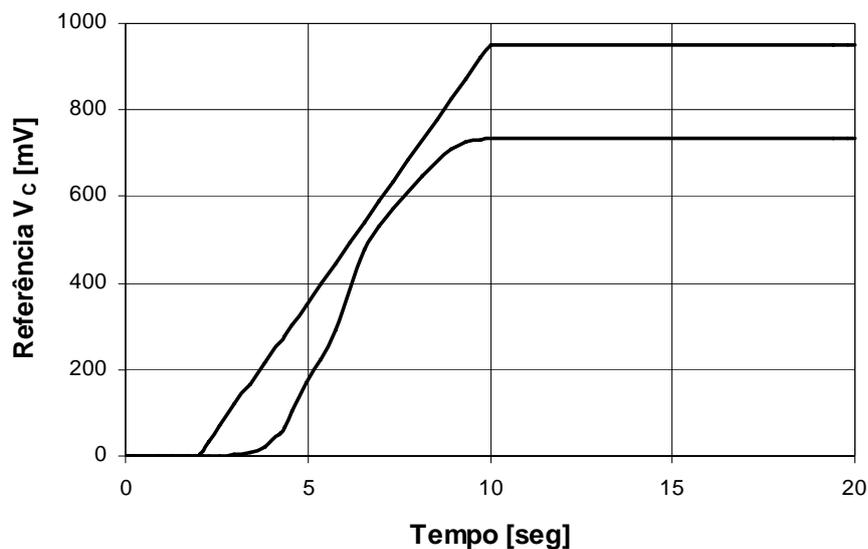


Figura 5.7 – Simulação transiente da tensão V_C com correntes de fuga.

A Figura 5.8 apresenta a mesma simulação transiente da partida suave, mas na ausência dos diodos parasitas, onde é possível observar que o circuito não parte. Assim, fica mostrado que as correntes de fuga nos diodos são capazes de realizar o *start-up* da referência de tensão *threshold* sem o uso de circuitos auxiliares.

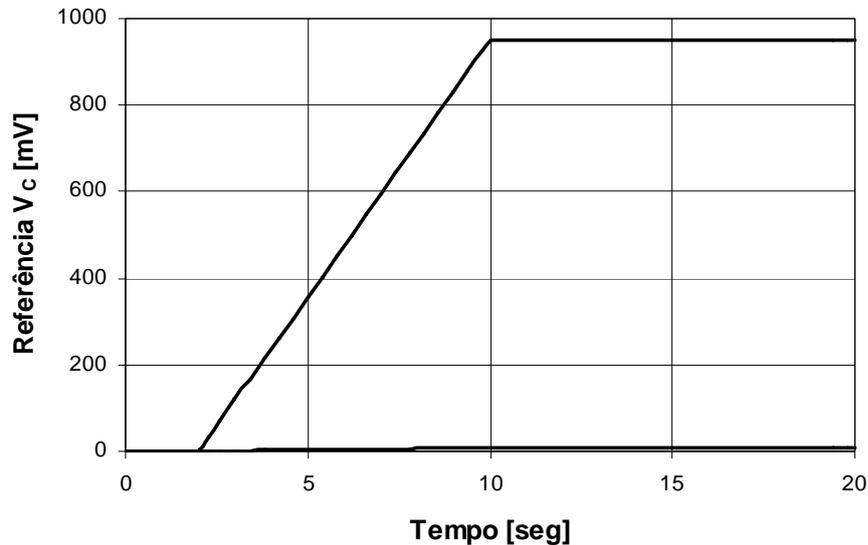


Figura 5.8 – Simulação transiente da tensão V_C sem correntes de fuga.

A fim de verificar a robustez do circuito devido a variações de parâmetros, uma série de simulações foi realizada, considerando uma variação de $\pm 1\mu\text{m}$ na largura de canal de cada transistor individualmente, verificando o efeito de descasamento no ajuste dos *trimmers*. Como resultado, os *trimmers* são capazes de compensar o efeito do descasamento da estrutura sobre a tensão de referência para todos os *corners* listados na Tabela 5.4.

Assim, o projeto da referência de tensão *threshold* se mostra condizente com a teoria desenvolvida, onde a tese é comprovada pela concepção do circuito. A fim de se ter uma estimativa do impacto da variação da tensão *threshold* do ponto de vista das variações estatísticas do processo, sejam estas por variações globais e/ou locais, sob a tensão de referência do núcleo, faz-se um estudo da tensão de referência em função da variação da tensão *threshold* de todos os transistores envolvidos.

As variações globais são vistas pelos *corners* do processo, onde a tensão *threshold* de cada transistor assume um valor mínimo e um valor máximo dentro do espalhamento do processo. Os seus valores limites são dados na Tabela 5.5, extraídos do manual do proces-

so TSMC CMOS 0,35 μ m padrão [14].

Tabela 5.5 – Limite de variação da tensão *threshold* nos *corners*.

	Caso Típico	Melhor Caso	Pior Caso
Tensão <i>Threshold</i> do <i>n</i> MOS	524,7mV	424,7mV	624,7mV
Tensão <i>Threshold</i> do <i>p</i> MOS	-738,3mV	-638,3mV	-838,3mV

A Figura 5.9 apresenta a simulação de Monte Carlo (1000 rodadas) da tensão de referência do núcleo do ponto de vista da variação global da tensão *threshold*, segundo os limites impostos pelos *corners*, e uma tensão de alimentação de 1,1V para que nos *corners* a tensão de alimentação não venha a mascarar os resultados. Observe que esta variação da tensão de referência tende a própria variação da tensão *threshold* do transistor *n*MOS, dadas na Tabela 5.4.

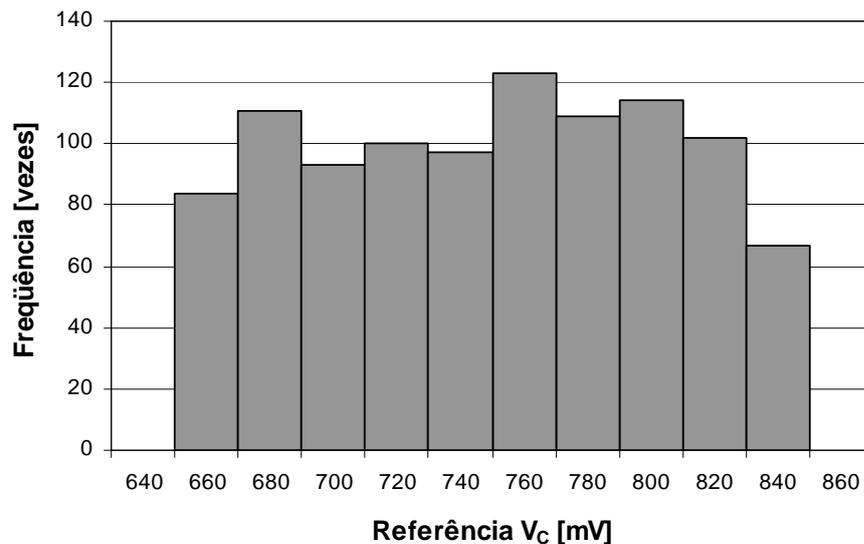


Figura 5.9 – Histograma da variação global da tensão V_C .

A Figura 5.10 apresenta a simulação de Monte Carlo (1000 rodadas) da corrente de polarização do ponto de vista da variação global da tensão *threshold*, segundo os limites impostos pelos *corners* do processo e uma tensão de alimentação de 1,1V. Observe que a influência da variação da tensão *threshold* sobre a corrente de polarização é baixa, pois ainda se mantém a hipótese de casamento entre os transistores dos espelhos de corrente e o efeito de CLM sobre as correntes foi minimizado.

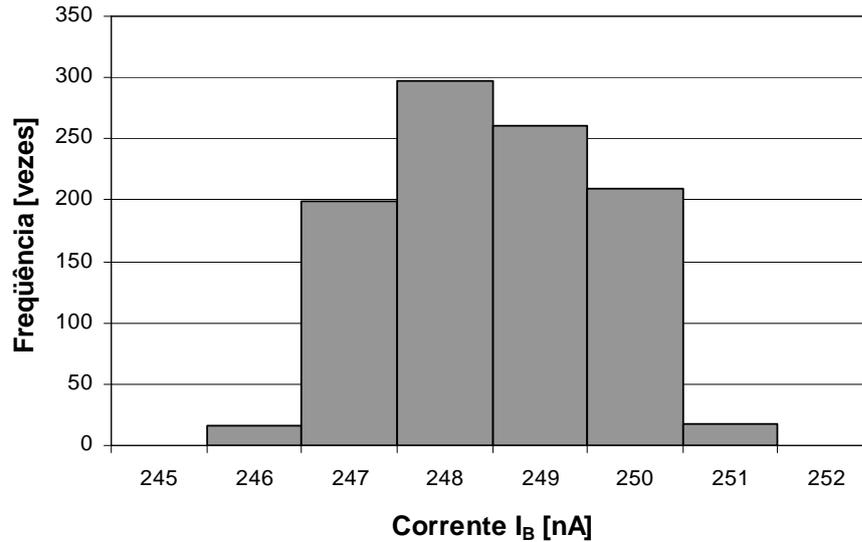


Figura 5.10 – Histograma da variação global da corrente I_B .

As variações locais podem ser vistas pelo modelo de Pelgrom, onde o coeficiente de descasamento da tensão *threshold* vale aproximadamente $6,61\text{mV}\mu\text{m}$ para o transistor *n*MOS e $13,38\text{mV}\mu\text{m}$ para o transistor *p*MOS. Vale a pena lembrar que na simulação de Monte Carlo, esse coeficiente deve ser considerado sem a raiz quadrada de dois devido ao fato de variar os transistores isoladamente. Dessa forma, na Tabela 5.6 é listado o desvio padrão esperado para cada transistor MOS que compõe o circuito da referência de tensão *threshold*. Como a área dos transistores é grande, o desvio padrão da tensão *threshold* de cada um dos transistores deve ser baixo. Contudo, isso não quer dizer que suas influências sejam desprezíveis sobre a tensão de referência do núcleo ou mesmo sobre a corrente de polarização.

Tabela 5.6 – Desvio padrão da tensão *threshold*.

$\sigma_{VT}(Q_{1a})$	$528,89\mu\text{V}$	$\sigma_{VT}(Q_{1b})$	$186,99\mu\text{V}$
$\sigma_{VT}(Q_{3a})$	$236,53\mu\text{V}$	$\sigma_{VT}(Q_{3b})$	$132,22\mu\text{V}$
$\sigma_{VT}(Q_2)$	$61,59\mu\text{V}$	$\sigma_{VT}(Q_4)$	$43,55\mu\text{V}$

A Figura 5.11 apresenta a simulação de Monte Carlo (1000 rodadas) da tensão de referência do núcleo do ponto de vista da variação local da tensão *threshold*, segundo o modelo de Pelgrom, considerando todos os transistores envolvidos no caso típico do processo e uma tensão de alimentação de $1,1\text{V}$ (a mesma tensão de alimentação das simulações da variação global da tensão *threshold*).

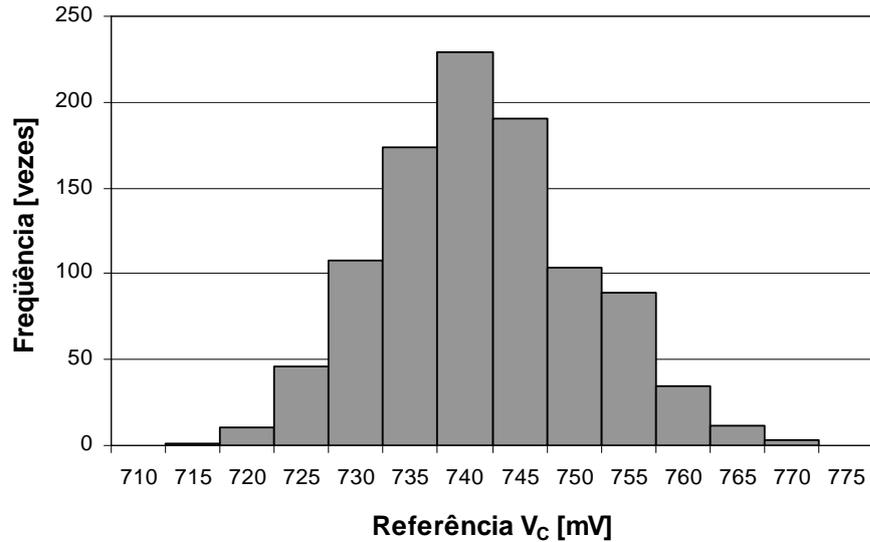


Figura 5.11 – Histograma da variação local da tensão V_C .

A Figura 5.12 apresenta a simulação de Monte Carlo (1000 rodadas) da corrente de polarização do ponto de vista da variação local da tensão *threshold*, segundo o modelo de Pelgrom, considerando todos os transistores no caso típico do processo e uma tensão de alimentação de 1,1V.

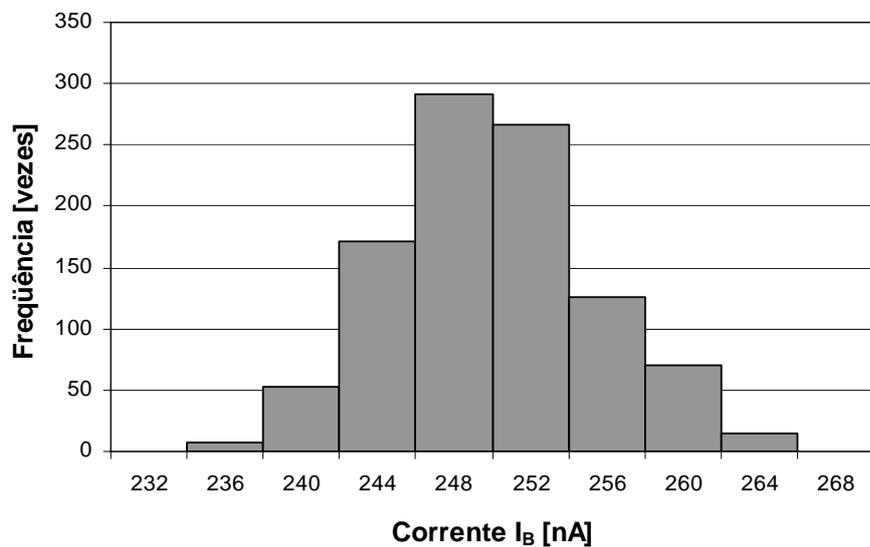


Figura 5.12 – Histograma da variação local da corrente I_B .

A Tabela 5.7 apresenta o resumo das simulações de Monte Carlo realizadas para a tensão de referência do núcleo e a corrente de polarização em relação às variações globais

e locais da tensão *threshold* dos transistores envolvidos na referência de tensão *threshold*.

Tabela 5.7 – Sumário das simulações de Monte Carlo ($V_{DD} = 1.10V$).

	Tensão de Referência		Corrente de Polarização	
	Global	Local	Global	Local
Média	739,41mV	739,05mV	248,04nA	248,03nA
Desvio Padrão	54,67mV	9,18mV	1,10nA	5,31nA
Valor Mínimo	643,40mV	712,10mV	245,84nA	232,40nA
Valor Máximo	836,55mV	766,60mV	250,39nA	264,00nA

Como esperado pela teoria, a flutuação da tensão de referência do núcleo tem uma relação 1:1 com a tensão *threshold* do transistor *nMOS*. Dessa forma, esse circuito pode ser utilizado com um circuito de rastreamento da tensão *threshold*, seja esse *inter-die* ou mesmo *intra-die*. As simulações são realizadas a tensão de 1,10V para evitar que possíveis variações no ponto de operação dos transistores causadas pelas próprias variações de processo possam vir a mascarar os resultados. Assim, é possível observar que a maior contribuição na variação da tensão de referência provém da variação global da tensão *threshold* se comparada com a variação local. Em contra partida, a maior contribuição para a variação da corrente de polarização provém da variação local quando comparada com a variação global. Como já apresentado, os *trimmers* devem ser capazes de cobrir toda a faixa de variação na tensão *threshold*, montado sobre o regulador LDO, para uma aplicação típica como referência de tensão.

5.5. Testes e Medidas da Referência de Tensão *Threshold*

De posse dos protótipos, a estratégia de testes e medidas foi dividida em duas categorias; uma de funcionalidade e outra de caracterização. Com os testes de funcionalidade visa-se conhecer o comportamento da topologia dentro do esperado nas simulações. Com as medidas de caracterização, visa-se conhecer o quanto o protótipo cumpre as especificações do projeto, validando os métodos empregados para a sua construção.

O protótipo da referência de tensão *threshold* foi fabricado na rodada T65Q da MOSIS de 13 de julho de 2006. A Figura 5.13 apresenta as medidas da tensão de referência

do núcleo em relação às variações da temperatura para três amostras. Os valores são medidos após o ajuste do *trimmer* de cada resistor, sendo o ajuste diferente em cada uma das amostras, devido variações no processo.

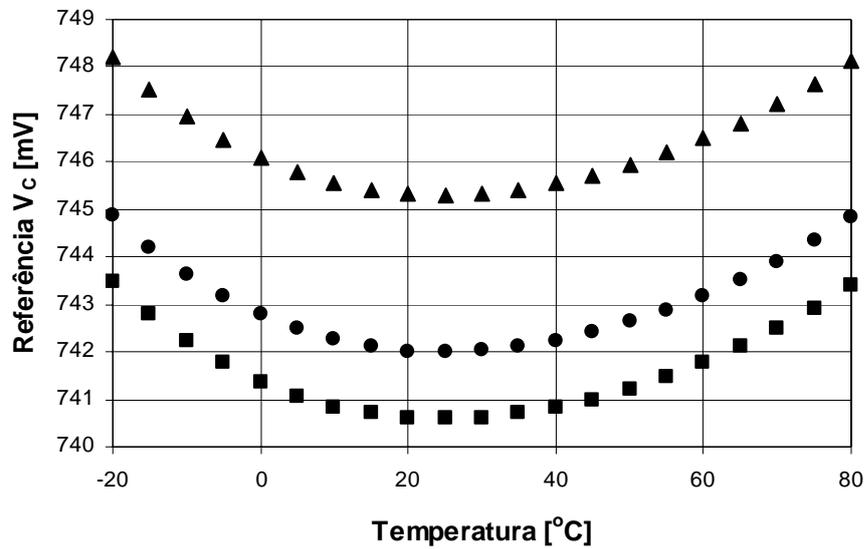


Figura 5.13 – Medidas da tensão V_C vs temperatura.

A Figura 5.14 apresenta as medidas da tensão de referência em relação às variações da tensão de alimentação para três amostras.

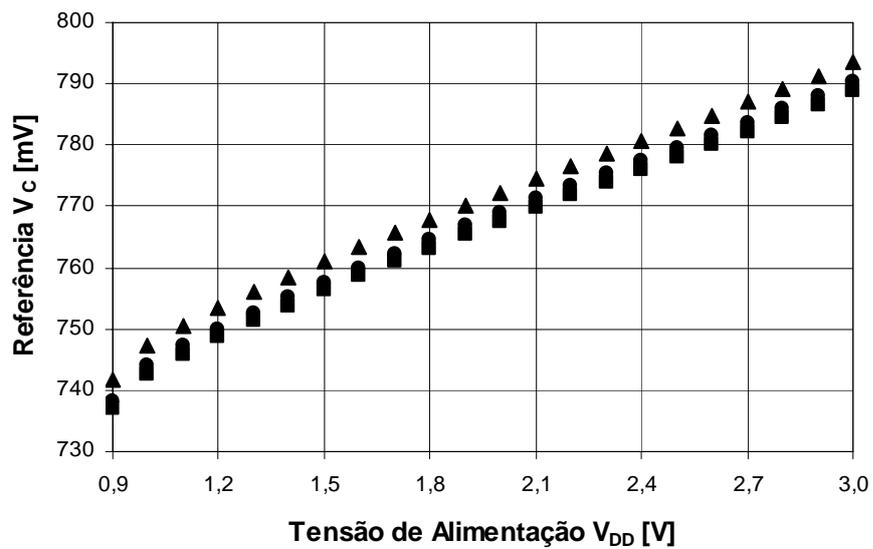


Figura 5.14 – Medidas da tensão V_C vs tensão de alimentação.

Os resultados das medidas das três amostras são listados na Tabela 5.8, para a temperatura ambiente de 27°C e a mínima tensão de alimentação de 950mV.

Tabela 5.8 – Resultado das medidas em três amostras.

	Amostra A	Amostra B	Amostra C
Mínima Tensão de Alimentação	950mV	950mV	950mV
Faixa de Temperatura	- 20°C a + 80°C	- 20°C a + 80°C	- 20°C a + 80°C
Corrente Quiescente de Polarização	≈ 250nA	≈ 250nA	≈ 250nA
Tensão de Referência	745,3mV	740,6mV	742,0mV
Dissipação de Potência @ 80°C	≈ 390nW	≈ 390nW	≈ 390nW
Coefficiente de Temperatura	39,0ppm/°C	38,8ppm/°C	40,1ppm/°C
Regulação de Linha @ 1,5V	24,1mV/V	24,4mV/V	24,7mV/V
PSRR @ 1kHz	23,4dB	23,7dB	22,8dB

O circuito apresenta uma variação menor do que 4mV na tensão de referência para uma variação na temperatura de - 20°C a + 80°C e um consumo de apenas 390nW; valor aquém dos circuitos referenciados. O PSRR é de 23,7dB; valor comparado com uma referência de tensão *bandgap* de topologia simples. A Tabela 5.9 apresenta uma lista de medidas em referências de tensão. As propriedades do circuito mostrado na Figura 4.1 são apresentadas na primeira coluna, seguida de outros trabalhos para a comparação.

Tabela 5.9 – Indicadores de desempenho.

	Este Trabalho	Cheng [18]	Huang [19]
Tecnologia CMOS	0,35μm	0,35μm	0,18μm
Mínima Tensão de Alimentação	0,95V	1,40V	0,85V
Faixa de Temperatura	- 20°C a + 80°C	0°C a + 70°C	- 20°C a + 120°C
Máxima Dissipação de Potência	0,39μW	3,22μW	3,30μW
Tensão de Referência	741mV	580mV	221mV
Coefficiente de Temperatura	39ppm/°C	62ppm/°C	194ppm/°C
Regulação de Linha	25mV/V	4mV/V	2mV/V
Relação entre V_C sobre V_{DD}	78,0%	41,4%	26,0%
Área do Circuito	0,076mm ²	0,126mm ²	0,024mm ²

Observe que a topologia desenvolvida é a que opera com a maior relação entre

a tensão de referência e a tensão de alimentação entre as apresentadas; mostrando a eficiência para baixas tensões *drop-out*. De acordo com o simulador SMASH[®] e os modelos BSIM3v3 [14], a referência de tensão *threshold* proposta pode operar com uma tensão de alimentação mínima de 800mV em um processo CMOS 0,25 μ m, gerando a tensão de referência do núcleo de 580mV. O circuito também é capaz de operar com uma tensão de alimentação mínima de 700mV em um processo CMOS 0,18 μ m, gerando a tensão de referência do núcleo de 405mV. Os baixos valores são devido às baixas tensões *threshold* dos transistores.

Capítulo 6

Conclusões e Trabalhos Futuros

Esse trabalho apresenta a tese de que a tensão *threshold* do transistor MOS em inversão fraca se comporta de forma semelhante à tensão *bandgap* em um transistor bipolar; a qual foi comprovada com as equações desenvolvidas no Capítulo 2 e os resultados apresentados no Capítulo 5, e, dessa forma, esse transistor pode ser utilizado na construção de uma referência de tensão *threshold* para as aplicações em ultra-baixa tensão e em ultra-baixa potência, com propriedades semelhantes a uma referência de tensão *bandgap*.

Como a tensão de referência é baseada no valor da tensão *threshold*, o circuito adquire a capacidade de rastrear as variações da tensão *threshold* oriundas da variação da concentração de dopantes do processo, podendo assim ser utilizada em aplicações típicas de referências de tensão (como inicialmente apresentado) ou mesmo no rastreamento da tensão *threshold* aplicada na polarização adaptativa de circuitos, por ser uma estrutura insensível a variação na temperatura e na tensão de alimentação.

Para esse desenvolvimento, foi apresentado um transistor MOS composto de canal longo operando em inversão fraca para aplicações em ultra-baixa tensão e ultra-baixa

potência, onde a potência consumida em regime permanente e a excursão linear do sinal são comparadas ao do transistor simples, mas com a alta impedância de saída. Duas aplicações de interesse para o transistor MOS composto são apresentadas: uma fonte de corrente de relação 1:1 e um sensor de temperatura, um termistor, de baixíssimo consumo; ambos verificados no processo TSMC CMOS 0,35 μ m padrão.

A fonte de corrente apresenta uma alta impedância de saída, comparável com a da configuração cascode, um efeito que é altamente desejável para melhorar o ganho e PSRR de circuitos amplificadores, ou mesmo a relação de espelhos de corrente.

O circuito do termistor é funcional e de simples construção, sendo indicado no uso em proteções ou mesmo em sensores inteligentes, na compensação de ambiente externo, melhorando a exatidão das medidas com esses elementos.

Baseada na tese foi apresentada uma referência de tensão *threshold*, sendo o seu funcionamento análogo ao de uma referência de tensão *bandgap*, mas com vantagem de operar com tensões de alimentação menores do que 1V; além dos limites impostos pela tensão *bandgap*. Para as novas tecnologias CMOS de 0,13 μ m e 90nm, a tensão de alimentação já é menor que a tensão *bandgap* [14]; fato que nunca irá acontecer com a tensão *threshold*, que é a proposta desse trabalho.

O circuito trabalha com uma tensão de alimentação de 950mV para o processo TSMC CMOS 0,35 μ m, gerando a tensão de referência em 741mV (valor da tensão *threshold* extrapolada para o zero absoluto) na faixa temperatura de -20°C a $+80^{\circ}\text{C}$ com a variação de 39ppm/ $^{\circ}\text{C}$ e uma regulação de linha de 25mV/V para a alimentação de até 3V. Pelas medidas realizadas, os modelos dos transistores caracterizados pela MOSIS, com alguns cuidados descritos, podem ser usados para o projeto de circuitos analógicos em inversão fraca.

Como trabalhos futuros, sugere-se a implementação do regulador LDO (proposto no Capítulo 4) para a correção da variação do valor DC da tensão *threshold* devido às variações no processo de fabricação. Sugere-se também uma melhoria no circuito da referência de tensão *threshold*, dada na Figura 6.1, onde o fato do resistor R_1 ser interno à estrutura aumenta a regulação de linha e o PSRR. Outra melhoria proposta para o circuito pode ser obtida com uma compensação da parcela logarítmica dependente da temperatura.

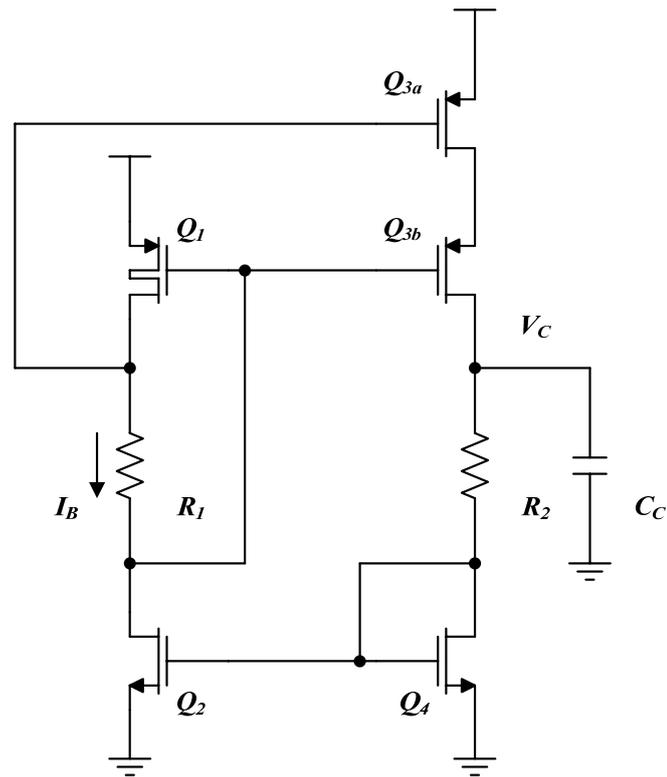


Figura 6.1 – Proposta para melhoria na regulação de linha e PSRR.

Com os trabalhos da tese, foram publicados, desde dezembro de 2005, quatro artigos em congressos internacionais e quatro artigos em revistas internacionais especializadas da área, conforme a descrição apresentada no Apêndice B.

Apêndice A

Descrição SPICE da Referência de Tensão Threshold

A descrição SPICE do circuito da referência de tensão *threshold*, otimizada para o simulador SMASH[®], é apresentada abaixo. Com essa descrição podem ser repetidos todos os resultados simulados no decorrer desse trabalho.

```
*****
.LIB ".\TSMC35.LIB"
*****
V1  1  0  0.95
M1A 2  3  1  1  MODP  L=02U  W=160U  AD=176P  AS=176P  PD=163U  PS=163U  M=01
M1B 3  3  2  2  MODP  L=02U  W=160U  AD=176P  AS=176P  PD=163U  PS=163U  M=08
M3A 4  3  5  5  MODP  L=02U  W=160U  AD=176P  AS=176P  PD=163U  PS=163U  M=05
M3B 6  3  4  4  MODP  L=02U  W=160U  AD=176P  AS=176P  PD=163U  PS=163U  M=16
M2  3  7  0  0  MODN  L=16U  W=120U  AD=132P  AS=132P  PD=123U  PS=123U  M=03
M4  7  7  0  0  MODN  L=16U  W=120U  AD=132P  AS=132P  PD=123U  PS=123U  M=06
R1  1  5  0130K  TC=1.4M
R2  6  7  1570K  TC=1.4M
CL  0  6  330P
*****
.END
```

Apêndice B

Artigos Publicados

Dois artigos relacionados à referência de tensão *threshold*, proposta para se comprovar a tese, foram publicados no IEICE Transactions on Electronics – Institute of Electronics, Information and Communication Engineers e no ELSEVIER Microelectronics Journal, ambos classificados no Qualis 1A da CAPES.

L. H. C. Ferreira, T. C. Pimenta and R. L. Moreno, An Ultra Low-Voltage Ultra Low-Power CMOS Threshold Voltage Reference. IEICE Transactions on Electronics, vol. E90-C, no. 10, pp. 2044-2050, Japan, October 2007.

L. H. C. Ferreira, T. C. Pimenta and R. L. Moreno, A CMOS Threshold Voltage Reference Source for Very Low-Voltage Applications. Microelectronics Journal, aceito e em fase final de publicação (disponível on-line desde março de 2008).

Um artigo relacionado ao Miller OTA modificado [30], aliado ao transistor MOS composto, foi publicado no IEEE Transactions on Circuits and Systems II – Institute of Electrical and Electronics Engineers, classificado no Qualis 1A da CAPES.

L. H. C. Ferreira, T. C. Pimenta and R. L. Moreno, An Ultra Low-Voltage Ultra Low-Power CMOS Miller OTA With Rail-to-Rail Input/Output Swing. IEEE Transactions on Circuits and Systems II, Express Briefs, vol. 54, no. 10, pp. 843–847, USA, October 2007.

Um artigo relacionado ao transistor MOS composto, proposto no Capítulo 3 desse trabalho, foi publicado no IEICE Transactions on Electronics – Institute of Electronics, Information and Communication Engineers, classificado no Qualis 1A da CAPES.

L. H. C. Ferreira, T. C. Pimenta and R. L. Moreno, An Ultra Low-Voltage Ultra Low-Power Weak Inversion Composite MOS Transistor: Concept and Applications. IEICE Transactions on Electronics, vol. E91-C, no. 4, pp. 662-665, Japan, April 2008.

Quatro artigos relacionados aos estudos da referência de tensão *threshold* e do transistor MOS composto foram publicados em congressos internacionais da área entre os anos de 2005 e 2006.

L. H. C. Ferreira and T. C. Pimenta, A CMOS Voltage Reference for Ultra Low-Voltage Applications. ICECS 2005 – 12th IEEE International Conference on Electronics, Circuits and Systems, Gammarth, Tunisia, December 2005.

L. H. C. Ferreira and T. C. Pimenta, A CMOS Voltage Reference Based on Threshold Voltage for Ultra Low-Voltage and Ultra Low-Power, ICM 2005 – 17th IEEE International Conference on Microelectronics, Islamabad, Pakistan, December 2005.

L. H. C. Ferreira and T. C. Pimenta, A Weak Inversion Composite MOS Transistor for Ultra Low-Voltage and Ultra Low-Power Applications. MIXDES 2006 – 13th IEEE International Conference Mixed Design of Integrated Circuits and Systems, Gdynia, Poland, June 2006.

L. H. C. Ferreira, T. C. Pimenta, R. L. Moreno and W. A. V. Noije, Ultra Low-Voltage Ultra Low-Power Threshold Voltage Reference, SBCCI 2006 – 19th Symposium on Integrated Circuits and Systems Design, Ouro Preto, Brazil, August 2006.

Referências Bibliográficas

- [1] P. E. Allen and D. R. Holberg, CMOS Analog Circuits Design. Oxford University Press, inc., 2000.
- [2] Y. P. Tsividis, Operation and Modeling of the MOS Transistor. McGraw Hill, 1999.
- [3] D. F. Hilbiber, A New Semiconductor Voltage Standard. International Solid-State Circuits Conference, pp. 32-33, February 1964.
- [4] R. J. Widlar, New Developments in IC Voltage Regulators. IEEE Journal of Solid-State Circuits, vol. SC-6, pp. 2-7, February 1971.
- [5] G. Tzanateas, C. A. T. Salama, and Y. P. Tsividis, A CMOS Bandgap Voltage Reference. IEEE Journal Solid-State Circuits, vol. SC-14, pp. 655-657, June 1979.
- [6] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi and K. Sakui, A CMOS Bandgap Reference Circuit with Sub-1-V Operation. IEEE Journal Solid-State Circuits, vol. 34, pp. 670-674, May 1999.
- [7] J. Doyle, Y. J. Lee, Y. Kim, H. Wilsch and F. Lombardi, A CMOS Subbandgap Reference Circuit With 1-V Power Supply Voltage. IEEE Journal Solid-State Circuits, vol. 39, no. 1, pp. 252-255, January 2004.
- [8] K. N. Leung and P. K. T. Mok, A Sub-1-V 15-ppm/ $^{\circ}$ C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device. IEEE Journal Solid-State Circuits, vol. 37, no. 4, pp. 526-530, April 2002.
- [9] K. N. Leung, P. K. T. Mok and C. Y. Leung, A 2-V 23- μ A 5.3-ppm/ $^{\circ}$ C Curvature-Compensated CMOS Bandgap Voltage Reference. IEEE Journal Solid-State Circuits, vol. 38, no. 3, pp. 561-564, March 2003.
- [10] A. P. Brokaw, A Simple Three-Terminal IC Bandgap Reference. IEEE Journal Solid-State

- Circuits, vol. SC-9, pp. 388-393, December 1974.
- [11] E. Vittoz and O. Neyroud, A Low-Voltage CMOS Bandgap Reference. *IEEE Journal Solid-State Circuits*, vol. SC-14, pp. 573-577, December 1979.
- [12] M. Ferro, F. Salerno, and R. Castello, A Floating CMOS Bandgap Voltage Reference for Differential Applications. *IEEE Journal Solid-State Circuits*, vol. 24, pp. 690-697, June 1989.
- [13] X. Xi, Low-Voltage Low-Power Bandgap Circuit. U. S. 6989708 B2, January 2006.
- [14] The MOSIS Service, MOSIS, Marina Del Ray, CA, September 2007 [Online]. Available: www.mosis.org
- [15] H. Watanabe, S. Ando, H. Aota, M. Dainin, Y. Chun and K. Taniguchi, CMOS Voltage Reference Based on Gate Work Function Differences in Poly-Si Controlled by Conductivity Type and Impurity Concentration. *IEEE Journal Solid-State Circuits*, vol. 38, no. 6, pp. 987-994, June 2003.
- [16] K. N. Leung and P. K. T. Mok, A CMOS Voltage Reference Based on Weighted ΔV_{GS} for CMOS Low-Dropout Linear Regulators. *IEEE Journal Solid-State Circuits*, vol. 38, no. 1, pp. 146-150, January 2003.
- [17] G. Giustolisi, G. Palumbo, M. Criscione and F. Cutrì, A Low-Voltage Low-Power Voltage Reference Based on Subthreshold MOSFETs. *IEEE Journal Solid-State Circuits*, vol. 38, no. 1, pp. 151-154, January 2003.
- [18] M. H. Cheng and Z. W. Wu, Low-Power Low-Voltage Reference Using Peaking Current Mirror Circuit. *Electronics Letters*, vol. 41, no. 10, May 2005.
- [19] P. Huang, H. Lin and Y. Lin, A Simple Subthreshold CMOS Voltage Reference Circuit with Channel-Length Modulation Compensation. *IEEE Transactions on Circuits and Systems II*, vol. 53, no. 9, pp. 882-885, September 2006.
- [20] J. S. Wang and W. Chen, Temperature Independent CMOS Reference Voltage Circuit for Low-Voltage Applications. U. S. Patent 2005/0046470 A1, March 2005.
- [21] M. J. M. Pelgrom, A. C. J. Duinmaijer, A. P. G. Welbers, Matching Properties of MOS Transistors. *IEEE Journal Solid-State Circuits*, vol. SC-24, no. 5, pp. 1433-1439, October 1989.
- [22] M. J. M. Pelgrom, H. P. Tuinhout, M. Vertregt, Transistor Matching in Analog CMOS Applications. *International Electron Devices Meeting*, 1998, pp. 915-918.
- [23] P. R. Kinget, Device Mismatch and Tradeoffs in the Design of Analog Circuits. *IEEE Journal Solid-State Circuits*, vol. 40, no. 6, pp. 1212-1224, June 2005.
- [24] M. Eisele, J. Berthold, D. Schmitt-Landsiedel and R. Mahnkopf, The Impact of Intra-Die Device Parameter Variations on Path Delays and on the Design for Yield of Low Voltage Digital Circuits. *IEEE Transactions on Very Large Scale Integration Systems*, vol. 5, no. 4, pp. 360-368, December 1997.
- [25] M. Olivieri, G. Scotti and A. Trifiletti, A Novel Yield Optimization Technique for Digital CMOS Circuits Design by Means of Process Parameters Run-Time Estimation and Body

- Bias Active Control. *IEEE Transactions on Very Large Scale Integration Systems*, vol. 13, no. 5, pp. 630–638, May 2005.
- [26] Y. Cheng and C. Hu, *MOSFET Modeling & BSIM3 User's Guide*, New York: Kluwer, 1999.
- [27] E. Vittoz and J. Fellrath, CMOS Analog Integrated Circuits Based on Weak Inversion Operation. *IEEE Journal Solid-State Circuits*, vol. SC-12, no. 3, pp. 224-231, June 1977.
- [28] A. I. A. Cunha, M. C. Schneider and C. Galup-Montoro, An MOS Transistor Model for Analog Circuit Design. *IEEE Journal Solid-State Circuits*, vol. 33, no. 10, pp. 1510-1519, October 1998.
- [29] L. H. C. Ferreira and T. C. Pimenta, Extraction of MOS Parameters from BSIM3v3 Model Using Minimum Square Method for Quick Manual Design. *IEE Circuits, Devices and Systems*, vol. 153, issue 2, pp. 153-158, April 2006.
- [30] L. H. C. Ferreira, Uma Topologia CMOS Miller OTA Modificada com a Excursão de Pólo-a-Pólo da Fonte de Alimentação em Ultra-baixa Tensão e Ultra-baixa Potência. *Dissertação de Mestrado*, Universidade Federal de Itajubá, Dezembro de 2004.
- [31] B. Song and P. R. Gray, Threshold Voltage Temperature Drift in Ion-implanted MOS Transistor. *IEEE Transactions on Electron Devices*, vol. ED-29, no. 4, pp. 661-668, April 1982.
- [32] J. A. Croon, M. Rosmeulen, S. Decoutere, W. Sansen, and H. E. Maes, An Easy-to-Use Mismatch Model for the MOS Transistor. *IEEE Journal Solid-State Circuits*, vol. 37, no. 8, pp. 1056-1064, August 2002.
- [33] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*. Oxford University Press, inc., 1998.
- [34] C. Galup-Montoro, M. C. Schneider, and I. J. B. Loss, Series-Parallel Association of FET's for High Gain and High Frequency Applications. *IEEE Journal Solid-State Circuits*, vol. 29, no. 9, pp. 1094–1101, September 1994.
- [35] S. Hausser, S. Majoni, H. Schligtenhorst and G. Kolwe, Mismatch in Diffusion Resistors Caused by Photolithography. *IEEE Transactions on Semiconductor Manufacturing*, vol. 16, no. 2, pp. 181-186, May 2003.
- [36] J. S. McCalmont, Self-Starting Reference Circuit. U. S. 6963191 B1, November 2005.