

UNIVERSIDADE FEDERAL DE ITAJUBÁ
Programa de Pós-Graduação em Engenharia Elétrica

Nicolau Pereira Filho

**Técnicas de Modulação por Largura de Pulso
Vetorial para Inversores Fonte de Tensão**

**Tese submetida ao Programa de Pós-Graduação em
Engenharia Elétrica como parte dos requisitos para a
obtenção do Título de Doutor em Ciências em
Engenharia Elétrica.**

Área de concentração:

Sistemas Elétricos de Potência

Orientadores:

Luiz Eduardo Borges da Silva, Ph. D

João Onofre Pereira Pinto, Ph. D.

Outubro de 2007

Itajubá – MG

Ficha catalográfica elaborada pela Biblioteca Mauá –
Bibliotecária Margareth Ribeiro- CRB_6/1700

P436t

Pereira Filho, Nicolau

Técnicas de modulação por largura de pulso vetorial para inversores fonte de tensão / Nicolau Pereira Filho. -- Itajubá, (MG) : [s.n.], 2007.

235 p. : il.

Orientador: Prof. PhD. Luiz Eduardo Borges da Silva.

Co-orientador: Prof. PhD. João Onofre Pereira Pinto.

Tese (Doutorado) – Universidade Federal de Itajubá.

1. Modulação por largura de pulso vetorial. 2. Inversor com diodo de grampeamento. 3. Rede neural artificial. 4. Coordenadas não-ortogonais. I. Silva, Luiz Eduardo Borges da, orient. II. Pinto, João Onofre Pereira, co-orient. III. Universidade Federal de Itajubá. IV. Título.

CDU 004.032.26(043)

UNIVERSIDADE FEDERAL DE ITAJUBÁ

Nicolau Pereira Filho

**Técnicas de Modulação por Largura de Pulso
Vetorial para Inversores Fonte de Tensão**

Tese aprovada por banca examinadora em 26 de outubro de 2007, conferindo ao autor o título de Doutor em Ciências em Engenharia Elétrica.

Banca Examinadora:

Prof. Luiz Eduardo Borges da Silva , Dr. – UNIFEI (Orientador)

Prof. João Onofre Pereira Pinto, Dr. – UFMS (Orientador)

Prof. Benjamim Rodrigues de Menezes, Dr. – UFMG

Prof. Walter Issamu Suemitsu, Dr. – COPPE/UFRJ

Prof. Ângelo José Junqueira Rezek, Dr. – UNIFEI

Prof. José Antônio Cortez, Dr. – UNIFEI

Itajubá

2007

A Deus,

*Aos meus pais, Nicolau (in memoriam) e
Laudemira por conduzirem no caminho
do bem e do saber.*

*À minha amada esposa Lúcia pelo apoio e
compreensão.*

Agradecimentos

A Deus, pela força, paciência e persistência a mim concedidas, necessárias para vencer este desafio.

Aos professores Luiz Eduardo Borges da Silva e João Onofre Pereira Pinto, pela orientação e incentivo à realização desse trabalho.

Aos professores Ângelo José Junqueira Rezek, José Antônio Cortez e Valberto Ferreira da Silva pela amizade e incentivo.

Aos professores Benjamim Rodrigues de Menezes e Walter Issamu Suemitsu, membros da minha banca de Tese, pelas sugestões e críticas ao trabalho.

À Universidade Federal de Mato Grosso do Sul pela minha liberação para cursar o doutorado.

Às amigas Cristina Silva e Rubiane Heloisa de Oliveira pela amizade e apoio nos momentos difíceis.

À minha amada esposa Lídia pelo amor e dedicação.

SUMÁRIO:

Resumo	viii
Abstract.....	ix
Lista de Figuras	x
Lista de Tabelas.....	xiii
Lista de Símbolos	xiv
Lista de Símbolos	xiv
1 Modulação por Largura de Pulso	1
1.1 Introdução.....	1
1.2 Modulação por Largura de pulso.....	4
1.2.1 Modulação Senoidal	5
1.2.2 Modulação ótima/Eliminação de harmônicos	6
1.2.3 Modulação por Histerese.....	7
1.2.4 Técnica MLP aleatória.....	8
1.2.5 - Modulação Vetorial.....	8
1.3 Modulação Vetorial Bidimensional.....	9
1.3.1 Vetores de Chaveamento	10
1.3.2 Vetor Referência.....	10
1.3.3 Síntese do vetor de referência.....	12
1.4 Conclusões.....	17
2 Modulação Vetorial para Inversores Fonte de Tensão de Dois Níveis	18
2.1 Introdução.....	18
2.2 Modulação vetorial	19
2.2.1 Região Linear	20
2.2.2. Região de Sobremodulação – Modo I	23
2.2.3. Região de Sobremodulação – Modo II.....	26
2.3 Algoritmo Simplificado e Ultra-rápido MLP vetorial.....	30
2.3.1 Estratégia de Simplificação da identificação do Sextante	33
2.3.2 Função de Saturação	35
2.4 Resultados de Simulação e Experimentais	35
2.4.1 Resultados de Simulação	37
2.4.2 Resultados Experimentais	39
2.5 Conclusões.....	41
3 Conversores Multiníveis.....	43
3.1 Introdução.....	43
3.2 Topologias de inversores multiníveis.....	45
3.2.1. Inversor multinível Com diodo de grampeamento	45
3.2.2. Inversor multinível capacitor flutuante	46
3.2.3. Configurações multiníveis com dois inversores de dois níveis em ponte completa em cascata.....	47
3.3 Conclusões.....	49
4 Algoritmo da Modulação Vetorial usando Coordenadas Móveis Não-Ortogonais.....	50
4.1 Introdução.....	50
4.2 Inversor multinível com diodo de grampeamento.....	51
4.2.1 Modulação vetorial (MV).....	52
4.2.2 Coordenadas móveis não-ortogonais.....	54
4.2.3 Identificação do sextante	56
4.2.4 Identificação do triângulo.....	57
4.3 - Síntese do padrão de chaveamento.....	60

4.4 – Considerações da implementação utilizando DSP	64
4.5. - Estudo de simulação.....	64
4.6 Conclusões.....	70
5 Algoritmo da Modulação Vetorial Via Redes Neurais Artificiais	71
5.1 Introdução.....	71
5.2. Inversor Multinível com MLP Vetorial.....	72
5.2.1 Identificação do triângulo.....	73
5.2.2 Síntese do padrão de chaveamento.....	76
5.2.3 Síntese dos sinais MLP.....	77
5.3 – Modulação Vetorial via Redes Neurais.....	78
5.3.1 Identificação do Triângulo Via Rede Neural.....	79
5.3.2 Cálculo das Razões Cíclicas Via Redes Neurais.....	80
5.4 Resultados de Simulação.....	86
5.5 Conclusões.....	88
6 Implementação do Algoritmo da MV Via Coordenadas Móveis Não-Ortogonais para Inversor de Três Níveis	89
6.1 Introdução.....	89
6.2 Inversor de três níveis do tipo com diodo de grampeamento.....	89
6.3 DSP TMS320F240	92
6.4 - Implementação do algoritmo MLP vetorial para Inversor Três Níveis usando o DSP TMS320F240.....	96
6.5 Simulação do Algoritmo Coordenadas Móveis Não-Ortogonais para Inversor de Três Níveis.....	103
6.6 – Descrição do protótipo do inversor de três níveis implementado	113
6.7 - Resultados Experimentais do Algoritmo MV Coordenadas Móveis Não-ortogonais para Inversor de Três níveis.....	117
6.8 Conclusões.....	124
7 Implementação do Algoritmo da MV Via Redes Neurais para Inversor de Três Níveis	125
7.1 Introdução.....	125
7.2 Algoritmo da MV via Redes Neurais para Inversores de Três Níveis.	125
7.2.1 Identificação do Triângulo Via Rede Neural.....	126
7.2.2 Cálculo das Razões Cíclicas Via Redes Neurais.....	128
7.3 Análise Comparativa entre Algoritmo da MV via Redes Neurais e Algoritmo MV via Coordenadas Móveis Não-Ortogonais	129
7.4 Resultados Experimentais do Algoritmo MV via Redes Neurais para Inversor de Três níveis	138
7.5 - Conclusões	144
8 Conclusões Gerais	145
Referências Bibliográficas.....	147
Anexo A – Simulação do Inversor de Dois Níveis Usando o MatLab-Simulink®.....	153
Anexo B – Programa Assembler da Modulação Vetorial para o Inversor de Dois Níveis	164
Anexo C – Simulação do Inversor de Cinco Níveis Usando o MatLab-Simulink®.....	178
Anexo D – Programa Assembler da MV usando Coordenadas Móveis Não-Ortogonais para Inversores de Três Níveis	188
Anexo E – Programa Assembler da MV via Redes Neurais Artificiais para Inversores de Três Níveis.....	205
Anexo F - Estratégia para Geração dos Sinais MLP com Inserção de Tempo Morto.....	233

Resumo

Neste trabalho alguns algoritmos da modulação por largura de pulso vetorial para inversores fonte de tensão de dois níveis e para inversores multiníveis com diodo de grampeamento foram desenvolvidos.

Primeiramente, um algoritmo da modulação vetorial para o inversor de dois níveis cobrindo as regiões linear e de sobremodulação foi desenvolvido. O esforço computacional deste algoritmo foi suficientemente reduzido devido às simplificações realizadas como a extrapolação da estratégia da região linear para a região de sobremodulação, redução do número de equações para o cálculo dos tempos de chaveamentos, e simplificação da estratégia de identificação do setor.

A seguir, uma estratégia da modulação vetorial usando um sistema de coordenadas móveis não-ortogonais para inversores multiníveis com diodo de grampeamento foi desenvolvido. Os três vetores mais próximos para sintetizar o vetor de referência são determinados pela identificação do triângulo dentro do hexágono. As razões cíclicas são determinada usando um único conjunto de equações, independente da localização do vetor de referência.

Além disso, foi desenvolvido o algoritmo da modulação por largura de pulso vetorial via redes neurais artificiais. Basicamente, ele usa duas redes neurais artificiais perceptron multicamadas. primeira usa o vetor da tensão de referência para determinar os três vetores mais próximos pela identificação do triângulo em que se localiza o vetor de referência se localiza. A segunda rede é usada para calcular as razões cíclicas. Os conjuntos de dados de treinamento são significamente reduzido com as simplificações realizadas.

Os resultados de simulação e experimentais são apresentados para evidenciar a efetividade das técnicas propostas.

PALAVRAS CHAVE: Modulação por largura de pulso vetorial; Inversor com diodo de grampeamento; Rede neural artificial, Coordenadas não-ortogonais.

Abstract

In this work some algorithms of the space vector pulse width modulation for two levels inverters and diode-clamp multilevel inverters were developed.

Firstly, an algorithm of the space vector modulation for two-levels inverter covering the linear and overmodulation regions was developed. The computational cost of this algorithm sufficiently was reduced through simplifications as extrapolation of the strategy of the linear region for the overmodulation region, reduction of the number of equations for the calculation of the switching times and simplification of the sector identification strategy.

Next, a strategy of space vector modulation using non-orthogonal moving reference frame for diode-clamp multilevel inverters was developed. The nearest three vectors to generate the reference vector are determined by the triangle identification inside the hexagon. The duty-cycles are determined using a single calculation equation set, independently of the reference vector localization.

Furthermore, a Neural-Network-Based space vector modulation for diode-clamp multilevel inverters was developed. Basically, it uses two multilayer perceptron (MLP) Artificial Neural Networks (ANN). The first ANN uses the reference voltage vector to determine the nearest three vectors (NTV) of the inverter by identifying the triangle wherein the reference vector lies. The second ANN is used to calculate the duty cycles of the three space vectors. The training data are meaningfully reduced with regard to realized simplifications.

Finally, simulation and experimental results are presented to evidence the effectiveness of the proposals strategies.

KEY WORDS: Space vector modulation; Diode-clamp inverter; Artificial Neural Network; non-orthogonal frame.

Lista de Figuras

Figura 1.1 - Princípio de Operação da MLP senoidal	6
Figura 1.2 – Modulação por histerese	7
Figura 1.3 – Rede de chaveamento Trifásica	9
Figura 1.4 - Combinações de chaveamento possíveis para um inversor trifásico	11
Figura 1.5 – Vetores de chaveamento para a rede trifásica	12
Figura 1.6 – Esquema de sequenciamento classe I	15
Figura 1.7 – Esquemas de sequenciamento classe II	16
Figura 2.1 – Inversor Trifásico	20
Figura 2.2 – Estados de chaveamento do inversor de dois níveis	21
Figura 2.3 - Trajetória de tensão na região linear	22
Figura 2.4 - Trajetória de tensão na região de sobremodulação I	24
Figura 2.5 - Curva do Ângulo de Cruzamento	26
Figura 2.6 - Trajetória de tensão na região de sobremodulação II	28
Figura 2.7 – Ângulo de manutenção	29
Figura 2.8 - Fluxograma para implementação do algoritmo convencional	30
Figura 2.9 – Gráfico do fator de compensação f_c	33
Figura 2.10 - Simplificação da identificação do Sextante	34
Figura 2.11 - Fluxograma para implementação do algoritmo simplificado	36
Figura 2.12 - Resultados de simulação	38
Figura 2.13 – Resultados Experimentais	41
Figura 3.1 - Perna de uma fase dos inversores PNG de três e quatro níveis	46
Figura 3.2 - Perna de uma fase dos inversores capacitores flutuantes de 3 e 4 níveis	47
Figura 3.3 - Perna de uma fase de inversor cascata de cinco níveis em ponte completa	48
Figura 3.4 - Perna de uma fase de inversor cascata de sete níveis em ponte completa	49
Figura 4.1 – Inversor com diodo de grampeamento de cinco níveis	52
Figura 4.2 – Estados de chaveamento no plano d-q de inversor de cinco níveis	54
Figura 4.3 – Numeração dos triângulos e seqüência de vetores para o sextante 1	58
Figura 4.4 - Tipo de triângulo para o cálculo de t_g , t_h e t_{gh}	59
Figura 4.5 - Seqüência de chaveamento de uma tensão da fase A para o triângulo 1	61
Figura 4.6 - Lógica de geração das ondas para os sinais MLP no sextante ímpar	63
Figura 4.7 - Lógica de geração das ondas para os sinais MLP no sextante par	63
Figura 4.8 - Desempenho do sistema para $m = 0,20$ ($f = 60$ Hz)	66
Figura 4.9 - Desempenho do sistema para $m = 0,40$ ($f = 60$ Hz)	67
Figura 4.10 - Desempenho do sistema para $m = 0,60$ ($f = 60$ Hz)	68
Figura 4.11 - Desempenho do sistema para $m = 0,80$ ($f = 60$ Hz)	69
Figura 5.1 - Representação simplificada de um inversor de cinco níveis	73
Figura 5.2 - Estados de chaveamentos no plano dq do inversor de cinco níveis	74
Figura 5.3 - Numeração dos triângulos e seqüência dos vetores para o sextante 1	75
Figura 5.4 - Seqüência de chaveamento de uma tensão de fase para o triângulo 1	77
Figura 5.5 - Lógica da geração de curvas para sinais MLP	78
Figura 5.6 - Diagrama de blocos da MV via RNAs para um inversor de cinco níveis	79
Figura 5.7 – Identificação do triângulo baseado na RNA para trajetória do vetor tensão de referência $m = 0,53$	82

Figura 5.8 – Cálculo da razão cíclica usando RNA.....	83
Figura 5.9 – Cálculo da razão cíclica usando RNA.....	84
Figura 5.10 – Cálculo da razão cíclica usando RNA.....	85
Figura 5.11 - Desempenho do sistema para $m = 0,53$ ($f = 31,8$ Hz)	88
Figura 6.1 – Inversor de três níveis com diodo de grampeamento.....	90
Figura 6.2 – Estados de chaveamento no plano dq para inversor três níveis	91
Figura 6.3 – Diagrama do circuito do inversor de três níveis.....	97
Figura 6.4 – Fluxograma do programa geral	98
Figura 6.5 – Algoritmo Volts/Hertz	99
Figura 6.6 – Algoritmo da MLP vetorial.....	100
Figura 6.7 – Trajetória descrita por V^* para $m = 0,30$	104
Figura 6.8 - Forma de onda da tensão de linha para o índice de modulação $m = 0,30$	104
Figura 6.9 – Espectro Harmônico da tensão de linha para $m = 0,30$	105
Figura 6.10 – Trajetória descrita por V^* para $m = 0,48$	106
Figura 6.11- Forma de onda da tensão V_{ab} para o índice de modulação $m = 0,48$	106
Figura 6.12– Espectro harmônico da tensão V_{ab} com índice de modulação $m = 0,48$	107
Figura 6.13 – Trajetória descrita por V^* para $m = 0,55$	108
Figura 6.14 - Forma de onda da tensão de linha para o índice de modulação $m = 0,55$	108
Figura 6.15 – Espectro Harmônico da tensão de linha para $m = 0,55$	109
Figura 6.16 – Trajetória descrita por V^* para $m = 0,70$	110
Figura 6.17 - Forma de onda da tensão de linha para o índice de modulação $m = 0,70$	110
Figura 6.18 – Espectro Harmônico da tensão V_{ab} com índice de modulação $m = 0,70$	111
Figura 6.19 – Trajetória descrita por V^* para $m = 0,90$	112
Figura 6.20 - Forma de onda da tensão de linha para o índice de modulação $m = 0,90$	112
Figura 6.21 – Espectro Harmônico da tensão de linha para $m = 0,90$	113
Figura 6.22 – Visão geral do protótipo do inversor 3 níveis	114
Figura 6.23 – DSP TMS320F240 ,Interface para geração dos sinais das chaves, e o Inversor de Três Níveis.....	114
Figura 6.24 – Cargas: Motor de indução trifásico, Carga resistiva trifásica	116
Figura 6.25– Retificador trifásico com filtro capacitivo	116
Figura 6.26 – Fontes Isoladas para alimentação do DSP e dos Drives	117
Figura 6.27 – Forma de onda da tensão de linha para $m = 0,30$	118
Figura 6.28 – Espectro harmônico da tensão de linha para $m = 0,30$	119
Figura 6.29 – Forma de onda da tensão de linha para $m = 0,48$	119
Figura 6.30 – Espectro harmônico da tensão de linha para $m = 0,48$	120
Figura 6.31 – Forma de onda da tensão de linha para $m = 0,55$	121
Figura 6.32 – Espectro harmônico da tensão de linha para $m = 0,55$	121
Figura 6.33 – Forma de onda da tensão de linha para $m = 0,70$	122
Figura 6.34 – Espectro harmônico da tensão de linha para $m = 0,70$	122
Figura 6.35 – Forma de onda da tensão de linha para $m = 0,90$	123
Figura 6.36 – Espectro harmônico da tensão de linha para $m = 0,90$	123
Figura 7.1 - Diagrama de blocos da MV via RNAs para um inversor de três níveis	126
Figura 7.2 – Mapeamento da região do sextante utilizando três Redes Neurais Adaline	127
Figura 7.3 - Gráfico dos números dos triângulos percorridos por V^* para $m = 0,30$	132
Figura 7.4 - Desempenho da razão cíclica t_a para $m = 0,30$	132
Figura 7.5 - Desempenho da razão cíclica t_b para $m = 0,30$	133
Figura 7.6 - Desempenho da razão cíclica t_c para $m = 0,30$	133

Figura 7.7 - Desempenho do comparador da chave S_{1A} para $m = 0,30$	134
Figura 7.8 - Desempenho do comparador da chave S_{2A} para $m = 0,30$	135
Figura 7.9 - Gráfico dos números dos triângulos percorridos por V^* para $m = 0,70$	135
Figura 7.10 - Desempenho da razão cíclica t_a para $m = 0,70$	136
Figura 7.11 - Desempenho da razão cíclica t_b para $m = 0,70$	136
Figura 7.12 - Desempenho da razão cíclica t_c para $m = 0,70$	137
Figura 7.13 - Desempenho do comparador da chave S_{1A} para $m = 0,70$	137
Figura 7.14 - Desempenho do comparador da chave S_{2A} para $m = 0,70$	138
Figura 7.15 – Forma de onda da tensão fase-fase para $m = 0,30$	139
Figura 7.16 – Espectro harmônico da tensão fase-fase para $m = 0,30$	140
Figura 7.17 – Forma de onda da tensão fase-fase para $m = 0,48$	140
Figura 7.18 – Espectro harmônico da tensão fase-fase para $m = 0,48$	141
Figura 7.19 – Forma de onda da tensão fase-fase para $m = 0,55$	141
Figura 7.20 – Espectro harmônico da tensão de linha para $m = 0,55$	142
Figura 7.21 – Forma de onda da tensão fase-fase para $m = 0,70$	142
Figura 7.22 – Espectro harmônico da tensão fase-fase para $m = 0,70$	143
Figura 7.23 – Forma de onda da tensão fase-fase para $m = 0,90$	143
Figura 7.24 – Espectro Harmônico da tensão fase-fase para $m = 0,90$	144

Lista de Tabelas

Tabela 2.1 - Parâmetros do sistema de acionamento.....	36
Tabela 4.1 - Níveis de tensão e os estados das chaves de um inversor com diodo de grampeamento de cinco níveis	53
Tabela 4.2 - Relação entre o sextante e N_s	57
Tabela 4.3 - Parâmetros do sistema de acionamento.....	65
Tabela 5.1 - Parâmetros do sistema de acionamento.....	86
Tabela 6. 1 - Estados de chaveamento de um inversor de 3 níveis	90
Tabela 6. 2 – Configuração dos sinais MLP.....	97
Tabela 6.3– Tempo computacional para a geração V^*	101
Tabela 6.4 – Tempo computacional da MV coordenadas móveis.....	102
Tabela 6.5 – Tempo computacional para a geração dos sinais MLP	102
Tabela 7.1 – Decodificador para a obtenção da Triângulo onde se localiza V^*	127
Tabela 7.2 – Pesos e Bias para RNA triângulo 1.....	128
Tabela 7.3 – Pesos e Bias para RNA triângulo 2.....	128
Tabela 7.4 – Pesos e Bias para RNA triângulo 3.....	129
Tabela 7.5 – Pesos e Bias para RNA triângulo 4.....	129
Tabela 7.6 – Tempo computacional para a geração V^*	130
Tabela 7.7 – Tempo computacional da MV coordenadas móveis.....	131
Tabela 7.8 – Tempo computacional para a geração dos sinais MLP	131

Lista de Símbolos

AM	Amplitude modulada
ASIC	“Application-Specific Integrated Circuit”
CC	Corrente contínua
CA	Corrente alternada
DSP	Processador digital de Sinais
EPLD	“electrically programmable logic device”
FM	Frequência modulada
IEM	Interferência eletromagnética
L_S	Triângulo onde está localizado o vetor de referência no sextante
L_H	Triângulo onde está localizado o vetor de referência no hexágono
Md	Modo de operação do inversor
MLP	Modulação por largura de pulso
MV	Modulação vetorial
m	Índice de modulação
mx	Índice de modulação normalizado
N^*	Número do sextante em que se localiza o vetor tensão de referência
n	Número de níveis do conversor
N_S	Número de estados de chaveamentos
N_V	Número de vetores espaciais de tensão
N_T	Número de triângulos formados pelos vetores espaciais
PNG	Ponto neutro grampeado
RNA	Rede neural artificial
S	Sextante onde está localizado o vetor de referência no sextante

Triangle_type	Tipo do triângulo (0 ou 1)
TVP	Três vetores mais próximos ao vetor de referência
T_s	Período de amostragem
tg	Razão cíclica relativa ao eixo g
th	Razão cíclica relativa ao eixo h
tgh	Complemento das razões cíclicas dos eixos g e h
T_{4A}	Contribuição do nível de tensão 4
V^*	Amplitude do vetor tensão de referência
V_d	Tensão de referência no eixo direto
V_q	Tensão de referência no eixo em quadratura
V_{CC}	Tensão em corrente contínua do elo CC
V_{1SW}	Componente fundamental da onda quadrada
V^*_m	Amplitude do vetor tensão de referência modificada
V_g	Componente da tensão de referência no eixo g
V_h	Componente da tensão de referência no eixo h
V_{GU}	Componente inteira da tensão de referência no eixo g
V_{HU}	Componente inteira da tensão de referência no eixo h
V_{GF}	Componente fracionária da tensão de referência no eixo g
V_{HF}	Componente fracionária da tensão de referência no eixo h
VSI	Inversor fonte de tensão
α^*	Ângulo do vetor tensão de referência

Capítulo 1

1 Modulação por Largura de Pulso

1.1 Introdução

Com o desenvolvimento do tiristor comercial pela General Electric Company em 1958 começava uma revolução devido ao surgimento da eletrônica de potência. Com o surgimento de novos dispositivos semicondutores, ocorreu paralelamente, uma revolução na microeletrônica proporcionando uma capacidade de processar grandes quantidades de informações em alta velocidade utilizando microprocessadores, microcontroladores e processadores digitais de sinais (DSPs). Desde então, o desenvolvimento sempre crescente da eletrônica de potência e da microeletrônica possibilitou o aparecimento e desenvolvimento de novas aplicações industriais envolvendo o condicionamento da energia em várias formas com a manipulação das grandezas elétricas tais como: amplitude e frequência de tensão/corrente.

Podem ser citadas algumas aplicações dentre as diversas da eletrônica de potência:

- Amplificadores de áudio;
- Aquecimento indutivo;
- Carregadores de baterias;
- Transmissão em corrente contínua;
- Acionamento de máquinas elétricas;
- Controladores de temperatura;
- Fontes de alimentação;
- Filtros ativos;
- Iluminação em alta frequência;
- Sistemas ininterruptos de energia;

- Servos sistemas;
- Veículos elétricos.

De acordo com as características das aplicações, os condicionadores de energia podem ser classificados em quatro grupos de conversores:

- Conversor CC-CC;
- Conversor CC-CA;
- Conversor CA-CC;
- Conversor CA-CA.

O estudo destes conversores envolve o estudo da topologia e do controle. O controle é feito através de um tipo de modulação seja AM (amplitude modulada), FM (frequência modulada) ou MLP (modulação por largura de pulso). Estas modulações podem ser implementadas analogicamente ou digitalmente.

O inversor fonte de tensão faz parte do grupo conversor CC-CA, geram um sinal de frequência e amplitude variáveis a partir de uma fonte CC fixa. A saída CA pode ser monofásica ou trifásica. O inversor fonte de tensão é geralmente usado no controle de máquinas do tipo CA e sistemas ininterruptos de energia.

O comando da conversão da energia CC-CA nos inversores fonte de tensão pode ser feita usando um tipo de modulação por largura de pulso seja do tipo senoidal, histerese, modulação vetorial, modulação ótima, ou modulação aleatória.

A técnica MLP vetorial tem-se tornado bastante popular devido as suas características:

- Alto aproveitamento da tensão do elo CC;
- A faixa de operação linear estendida;
- Operação na faixa de sobremodulação;
- Baixa distorção harmônica;
- As perdas de chaveamento são passíveis de otimização.

No entanto, a modulação vetorial é uma técnica digital de computação intensiva, que exige processadores de alto desempenho.

Uma das aplicações da modulação vetorial é o comando do inversor de dois níveis, inversores multiníveis, os quais utilizam níveis de tensão mais elevados. As topologias dos inversores multinível são muito mais complexas que as estruturas do inversor de dois níveis; bem como a modulação vetorial para estes inversores.

Este trabalho propõe avanços e simplificações na implementação da MLP vetorial para inversores fonte de tensão de dois níveis e para inversores fonte de tensão multiníveis. Assim, os seguintes desenvolvimentos são propostos:

- Simplificação do algoritmo MV (Modulação Vetorial) para inversores fonte de tensão de dois níveis;
- Simplificação do algoritmo MV para inversores multiníveis do tipo diodo grampeado utilizando coordenadas móveis não-ortogonais;
- Desenvolvimento do algoritmo MV para inversores multiníveis via redes neurais artificiais.

Para o inversor fonte de tensão de dois níveis foi desenvolvido o algoritmo simplificado e ultra-rápido da MLP vetorial. Sua eficiência foi comprovada através de simulações no programa MatLab-Simulink® de resultados experimentais obtidos em um prototipo desenvolvido no Laboratório.

Em um segundo estudo desenvolveu-se o algoritmo da MV via redes neurais artificiais (RNA's) para inversores multiníveis com a utilização de duas RNA's, onde primeira RNA usa a informação do vetor tensão de referência para a determinação dos três vetores mais próximos encontrando o triângulo onde o vetor de referência se localiza. A segunda RNA é usada para o cálculo das razões cíclicas dos três vetores espaciais. São apresentados os

resultados de simulações para o inversor de três níveis e resultados experimentais para o inversor de cinco níveis.

Em um ultimo estudo desenvolveu-se o algoritmo da MV via coordenadas móveis não-ortogonais para os inversores de três e cinco níveis com diodo de grampeamento, sendo que este algoritmo pode ser facilmente generalizado para inversores de ordem genérica. Os resultados de simulação para inversores de três e cinco níveis e os resultados experimentais obtidos com o protótipo do inversor de três com diodo de grampeamento comprovam a eficiência deste algoritmo.

1.2 Modulação por Largura de pulso

As estratégias da modulação por largura de pulso MLP podem ser classificados em pelo menos cinco categorias:

- (1) Modulação senoidal;
- (2) Modulação de eliminação harmônica ou MLP ótima;
- (3) Modulação por histerese;
- (4) Modulação aleatória;
- (5) Modulação vetorial.

As estratégias MLP podem ser avaliadas para uma determinada razão entre frequência de chaveamento das chaves semicondutoras e uma frequência do sinal de referência, e a razão entre a tensão de saída e a tensão de entrada, a qual é chamada de índice de modulação m .

$$m = \frac{V^*}{V_{1SW}} \quad (1.1)$$

Onde V^* é a amplitude da tensão do vetor de referência ou de comando, e V_{1SW} é valor de pico $\left(\frac{2V_{CC}}{\pi}\right)$ da componente fundamental da forma de onda da tensão de saída do inversor para operação de seis pulsos.

O desempenho de uma estratégia de modulação pode ser avaliado com base nos cinco aspectos a seguir:

- (1) distorção da corrente de saída do inversor;
- (2) distorção da tensão de saída do inversor;
- (3) perdas de energia;
- (4) espectro harmônico e interferência eletromagnética IEM;
- (5) faixa dinâmica de operação; e
- (6) complexidade.

1.2.1 Modulação Senoidal

A MLP senoidal um sinal de referência senoidal é comparado com a portadora triangular para a geração de um trem de pulsos de comando, como é apresentado na Figura 1.1. A frequência do sinal de referência f_r determina a frequência do sinal de saída. A estratégia MLP senoidal apresenta uma distorção harmônica maior que as outras modulações especialmente para valores de índice de modulação elevados e quando a razão da frequência de chaveamento é para a frequência do sinal é baixa, o que na maioria das vezes inevitável nas aplicações de potência elevada [1].

A faixa dinâmica de um conversor usando MLP senoidal é baixa. O índice de modulação máximo é apenas 0,785.

A vantagem maior de uma MLP senoidal é sua simplicidade; necessitando de apenas três comparadores analógicos para ser implementada analogamente; ou, três comparadores digitais para sua implementação digital.

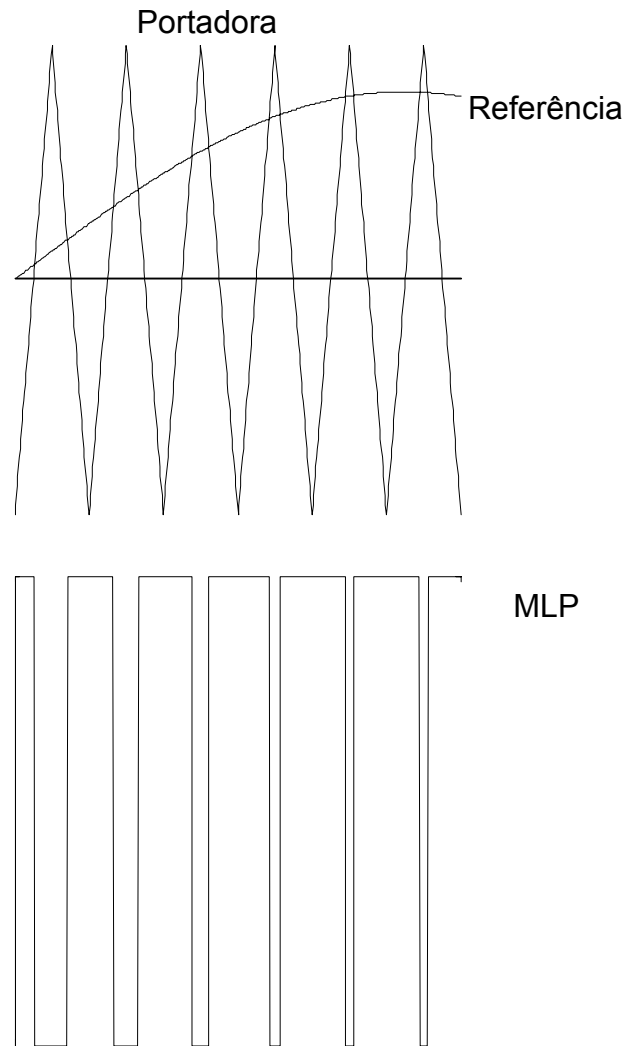


Figura 1.1 - Princípio de Operação da MLP senoidal

1.2.2 Modulação ótima/Eliminação de harmônicos

A modulação MLP ótima refere-se a uma técnica MLP específica usada em aplicações onde a razão entre a frequência de chaveamento e a frequência do sinal de referência é baixa. Em tais casos, é encontrada certas harmônicas, por exemplo, quinta e sétima, que podem ser completamente eliminadas se os ângulos de chaveamento de trem de pulsos em um período do sinal de referência ocorrem em posições otimizadas. Esta modulação pode ser implementada usando análise discreta de Fourier e Otimização. É também chamada estratégia MLP de eliminação harmônica [1,14]. A MLP de eliminação harmônica é estratégia MLP subotimizada é direcionada para a eliminação de certas harmônicas. Outras estratégias MLP

ótimas são também propostas baseadas em diferentes objetivos de otimização, por exemplo, mínima distorção harmônica total [15] e oscilações mínimas de torque [16]. A maior desvantagem das estratégias modulação por largura pulso ótima é que os valores para a geração da modulação são pré-calculados e armazenados em forma tabela de consulta, resultando em uma performance dinâmica pobre.

1.2.3 Modulação por Histerese

Na modulação por histerese [18-22], uma onda triangular oscila dentro de um limite acima e abaixo da senóide de referência, como é apresentado na Figura 1.2. A modulação por histerese só é possível em malha fechada, pois é necessário medir instantaneamente a variável de saída. A modulação por histerese é geralmente usada como controlador de corrente em aplicações de acionamentos de alto desempenho e em retificadores com correção de fator de potência onde uma regulação rápida de corrente é crucial. A modulação por histerese tem como vantagens a estabilidade inerente e a simplicidade de implementação. Como desvantagens apresentam imprecisão da onda controlada, elevada distorção da forma de onda de saída, uma pobre utilização do elo CC e frequência de chaveamento variável.

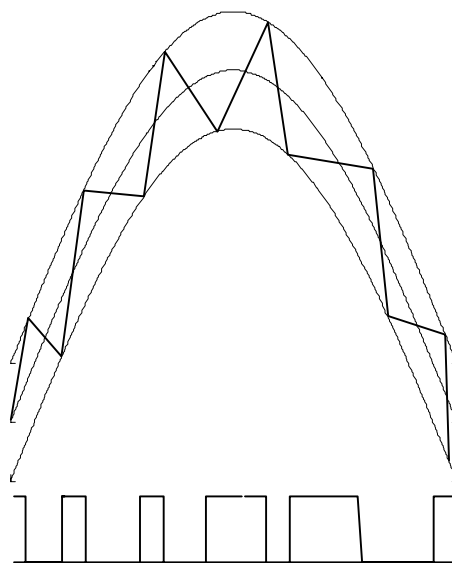


Figura 1.2 – Modulação por histerese

1.2.4 Técnica MLP aleatória

Existem diferentes versões de técnicas MLP aleatórias. Elas todas estão dirigidas para aliviar os problemas de interferência eletromagnética (IEM) e a redução de ruídos acústicos e vibrações para aplicações de acionamentos de motores [23-25]. Estes três problemas estão associados com componentes harmônicas distintas. Pela mudança aleatória da frequência de chaveamento e/ou da localização dos pulsos, no entanto a energia total das componentes harmônicas permanece inalterada, a energia se distribui sobre uma ampla faixa de frequência com acentuada redução da amplitude de cada componente harmônica individual. A MLP aleatória pode resultar em distorções elevadas de corrente ou tensão.

1.2.5 - Modulação Vetorial

A modulação Vetorial foi proposta primeiramente em [2] em 1982 e se tornou bem popular pelos seguintes motivos: alta utilização da tensão do elo CC, baixa distorção harmônica, as perdas de chaveamento podem ser otimizadas, e é adequada para implementação digital. A modulação vetorial tem sido amplamente utilizada em sistemas de acionamentos trifásicos de alto desempenho [3-7] e com sucesso em retificadores com correção do fator de potência [8]. Apresenta uma distorção harmônica de tensão/corrente inferior a MLP senoidal ou de qualquer outra estratégia, especialmente para valores elevados do índice de modulação m . As perdas de chaveamento, o espectro harmônico e a interferência eletromagnética podem ser minimizados. O índice de modulação pode atingir a unidade, o qual é 15% superior ao modulador MLP senoidal, significando que a tensão do elo CC é completamente utilizável e a faixa dinâmica é estendida.

A modulação vetorial tem sido pesquisada em várias linhas identificadas por: (1) otimização das estratégias da modulação vetorial em termos de distorção harmônica [13] e

perdas de chaveamento [10-12]; (2) implementação digital das estratégias MV [4, 14, 16], (3) Operação na região de sobremodulação [9, 28, 29, 30, 53, 55].

A Figura 1.3 apresenta uma rede trifásica de chaveamento. Existem oito combinações de chaveamento que correspondem a oito vetores espaciais de tensão no plano ortogonal dq.

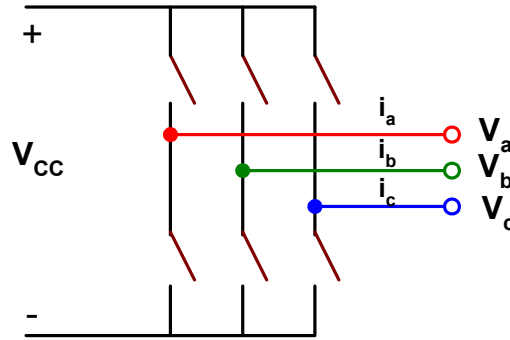


Figura 1.3 – Rede de chaveamento Trifásica

Existem quatro etapas para obter a modulação vetorial. Na primeira etapa os sinais de referência das fases A, B, C são mapeados no sistema dq, sendo representado por um vetor de referência V^* . Na segunda etapa, os vetores de chaveamento são selecionados para sintetizar o vetor de referência V^* para um ciclo de chaveamento. Na terceira etapa, os tempos de duração de cada vetor de chaveamento selecionado são calculados. Na ultima etapa, os vetores de chaveamento selecionados são seqüenciados e enviados para a rede de chaveamentos.

1.3 Modulação Vetorial Bidimensional

Para um sistema trifásico equilibrado com as tensões V_a , V_b , V_c existe a seguinte relação:

$$V_a + V_b + V_c = 0 \quad (1.2)$$

As variáveis acima podem ser mapeadas em um vetor V no plano ortogonal d-q, onde:

$$V = V_d + jV_q \quad (1.3)$$

A transformação para este sistema de coordenadas ortogonais é expressa como:

$$\begin{bmatrix} V_d & V_q \end{bmatrix}^T = T_1 \begin{bmatrix} V_a & V_b & V_c \end{bmatrix}^T \quad (1.4)$$

Onde T_1 é a matriz de transformação, que é expressa como:

$$T_1 = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \quad (1.5)$$

1.3.1 Vetores de Chaveamento

Na rede de chaveamento apresentada na Figura 1.3, as chaves superiores de cada perna são complementares às chaves inferiores. Há um total de oito combinações possíveis conforme apresentado na Figura 1.4. Cada combinação refere-se a um estado de chaveamento. Onde “1” indica que a fase em análise está conectada ao terminal positivo do elo CC, e “0” indica que a fase está conectada ao terminal negativo do elo CC. Por exemplo, a combinação “010” representa a condição em que o terminal de saída da fase B V_b está conectado ao terminal positivo do elo CC e os terminais de saída fases A e C, V_a e V_c , estão conectados ao terminal negativo do elo CC.

Existem oito estados de chaveamentos, sendo seis estados ativos (V_1 a V_6) e dois estados nulos (V_0 e V_7). A disposição dos estados de chaveamento no plano dq forma a Figura de um hexágono como é apresentado na Figura 1.5.

1.3.2 Vetor Referência

Um vetor referência V^* pode ser obtido pela transformação da tensão de referência trifásica para o plano d-q, como mostrado na Figura 1.5. Em condições de regime permanente, para obter sistema trifásico senoidal equilibrado, o vetor de referência é girante no plano d-q. A trajetória do vetor de referência descreve um círculo.

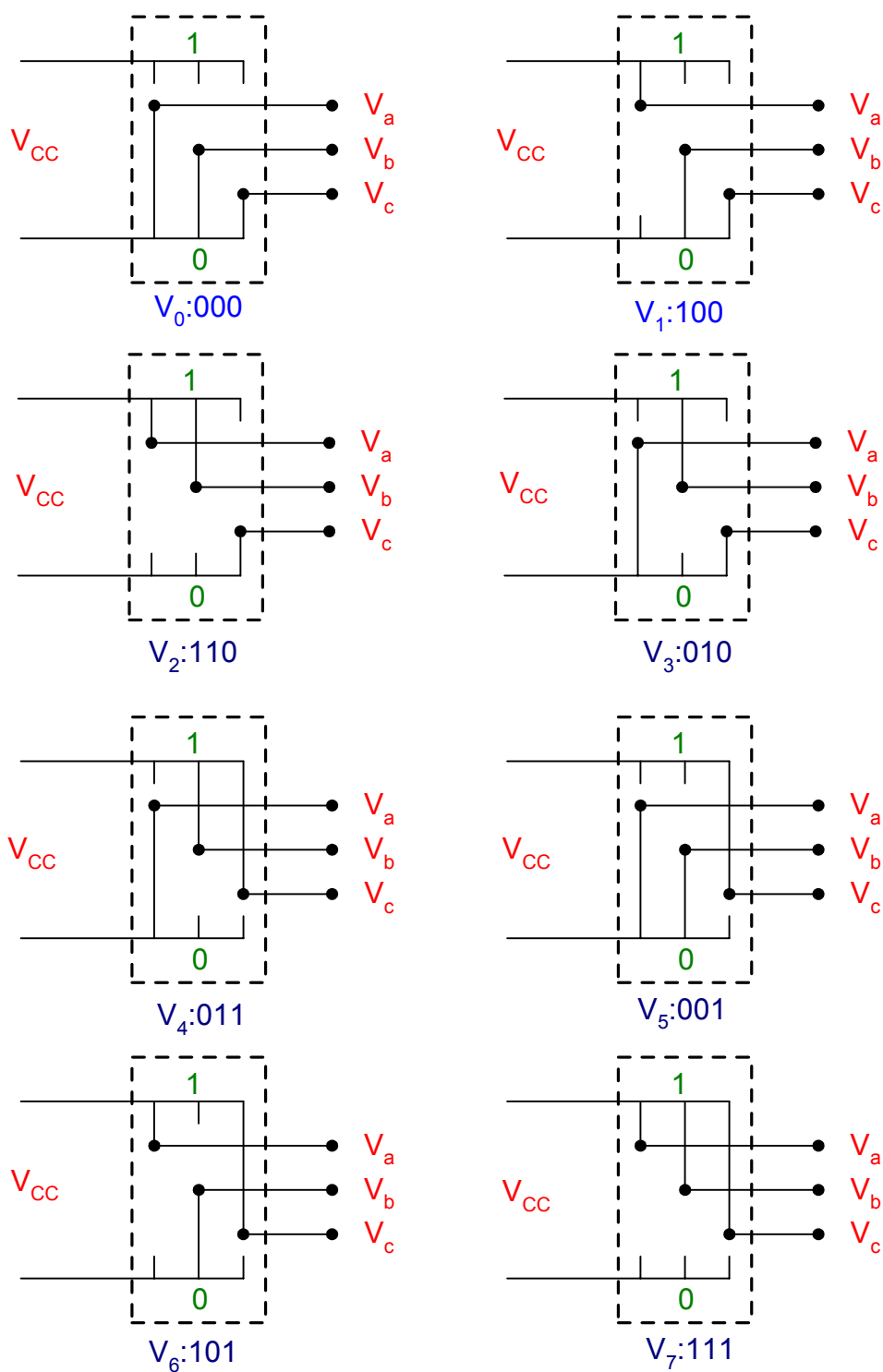


Figura 1.4 - Combinações de chaveamento possíveis para um inversor trifásico

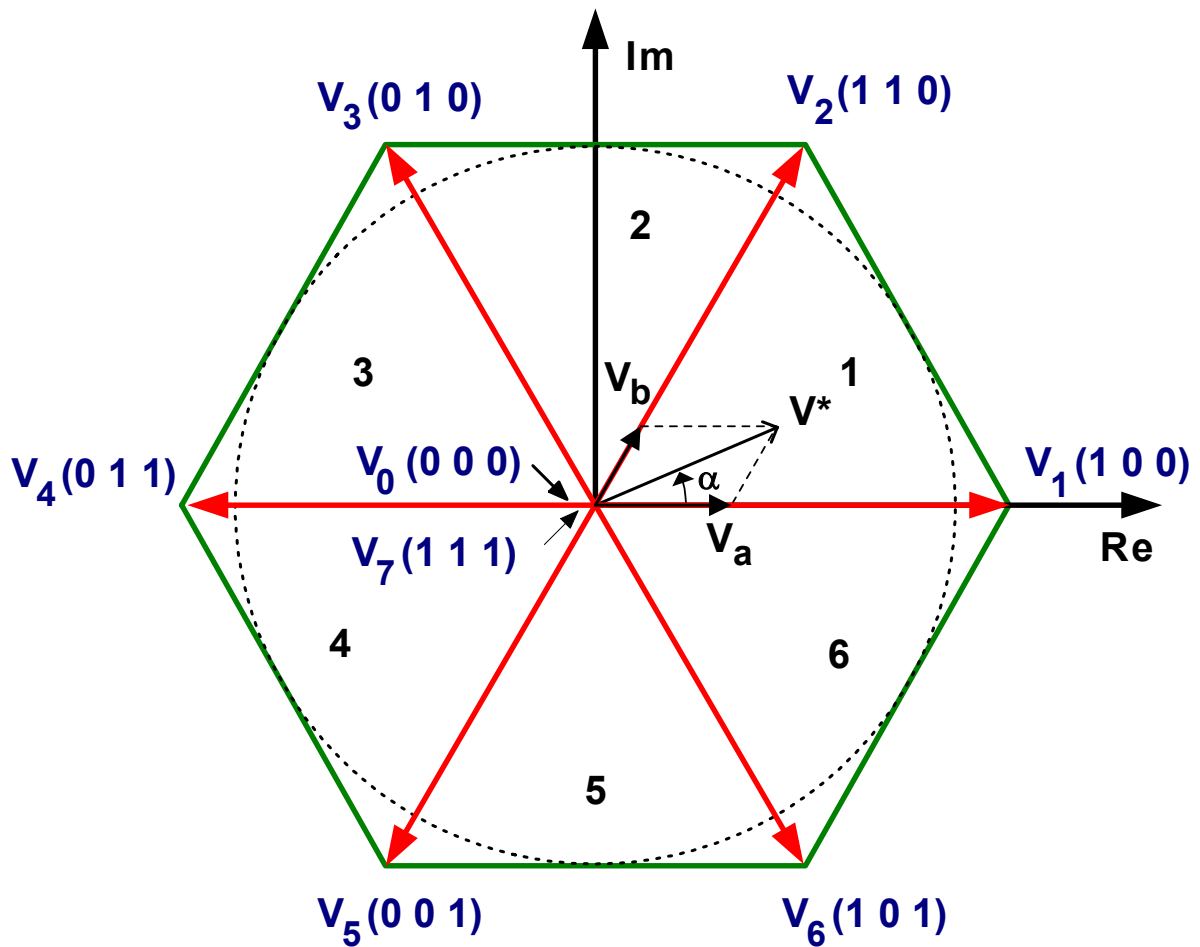


Figura 1.5 – Vetores de chaveamento para a rede trifásica

1.3.3 Síntese do vetor de referência

A síntese do vetor de referência é baseada no princípio do valor médio. Ela pode ser dividida nos seguintes passos:

A – Seleção dos vetores de chaveamento

Existem inúmeras associações de vetores espaciais de tensão capazes de sintetizar o vetor de referência. É provado que usando os vetores ativos adjacentes e os vetores nulos, a energia circulante é minimizada. Com essa estratégia a ondulação de corrente e o espectro harmônico podem ser também minimizados.

B – Projeção do vetor de referência

Através da projeção do vetor de referência, os tempos de chaveamentos t_a , t_b e t_0 podem ser obtidos. Se o vetor de referência se encontra no primeiro sextante, os vetores ativos V_1 e V_2 e vetores nulos V_0 e/ou V_7 são selecionados. Como os vetores nulos não contribuem para a posição do vetor de referência. O vetor de referência pode ser projetado nos dois vetores ativos. A projeção pode ser expressa como:

$$V^*T_s = t_a V_1 + t_b V_2$$

t_a e t_b são as razões cíclicas para os dois vetores ativos correspondentes, e podem ser calculadas por um algoritmo geométrico simples, como mostrado abaixo:

$$\begin{bmatrix} t_a \\ t_b \end{bmatrix} = \frac{\sqrt{3}V^*}{2V_{cc}} \begin{bmatrix} \sin(\frac{\pi}{3} - \alpha) \\ \sin(\alpha) \end{bmatrix}$$

Onde V^* é a amplitude do vetor de referência e α é o ângulo entre V_1 e o vetor de referência como apresentado na Figura 1.5. O tempo restante dentro do período de chaveamento é ocupado pelos vetores nulos. O tempo do vetor nulo pode ser obtido por

$$t_0 = T_s - t_a - t_b$$

Existem dois vetores nulos ‘111’ e ‘000’ disponíveis. Um deles ou ambos podem ser usados.

C - Seqüência dos vetores de chaveamento

Após selecionar os vetores e seus tempos, o próximo passo é seqüenciá-los. Existe um grande número de opções para sequenciar os vetores de chaveamento; embora a seqüência dos vetores de chaveamento não altere o valor médio dentro do período de chaveamento, ela tem um grande impacto nas perdas de potência por chaveamento e no conteúdo harmônico [10-13]. Os esquemas de sequenciamento podem ser sumarizados em duas classes. Os esquemas de seqüência classe I usam ambos os vetores de chaveamento nulos ‘000’ e ‘111’. Os esquemas de seqüência classe II usam apenas um dos vetores de chaveamento nulos ‘111’ ou

‘000’. Os esquemas classe I incluem quatro esquemas, nominalmente MV alinhados pela borda de subida, MV alinhados pela borda de descida, MV simétrica, e MV de sequência alternativa. Para cada um dos esquemas da classe I, existe um correspondente na classe II.

Exemplos de esquemas de seqüências para classe I para um vetor de referência situado no sextante 1 são apresentados na Figura 1.6.

Os esquemas de seqüências alinhados pela borda de subida e alinhado pela borda de descida são adequados para conversores com comutação suave, onde o alinhamento de todas as transições, ligar e desligar reduz o número de intervenções da rede de chaveamento suave e simplifica o circuito. Com esquema de seqüência de alinhamento simétrico obtêm-se a menor distorção e o espectro harmônico inferiores dentre os quatro esquemas de seqüências. O método alternativo aplica os vetores ativos de chaveamento em um caminho alternativo, como por exemplo | V1 V2 | V2 V1 |.

Para aplicações de potência elevada, as perdas de energia são de grande interesse. Estudos [10-12] têm mostrado que perdas de chaveamento podem ser minimizadas pelo não chaveamento da fase que transporta a corrente maior. Todos os esquemas de seqüência propostos de perdas mínimas recaem em esquemas de seqüência da classe II mostrados na Figura 1.7. Comparados com seus equivalentes da classe I, os esquemas de seqüência da classe II reduzem as ações de chaveamento por 1/3, e as perdas de chaveamento em 50% para uma carga com fator de potência unitário. Os conteúdos harmônicos usando os esquemas de chaveamento da classe II são superiores aos seus correspondentes da classe I. Exemplos de esquemas de seqüências para classe II para um vetor de referência situado no sextante 1 são apresentados na Figura 1.7.

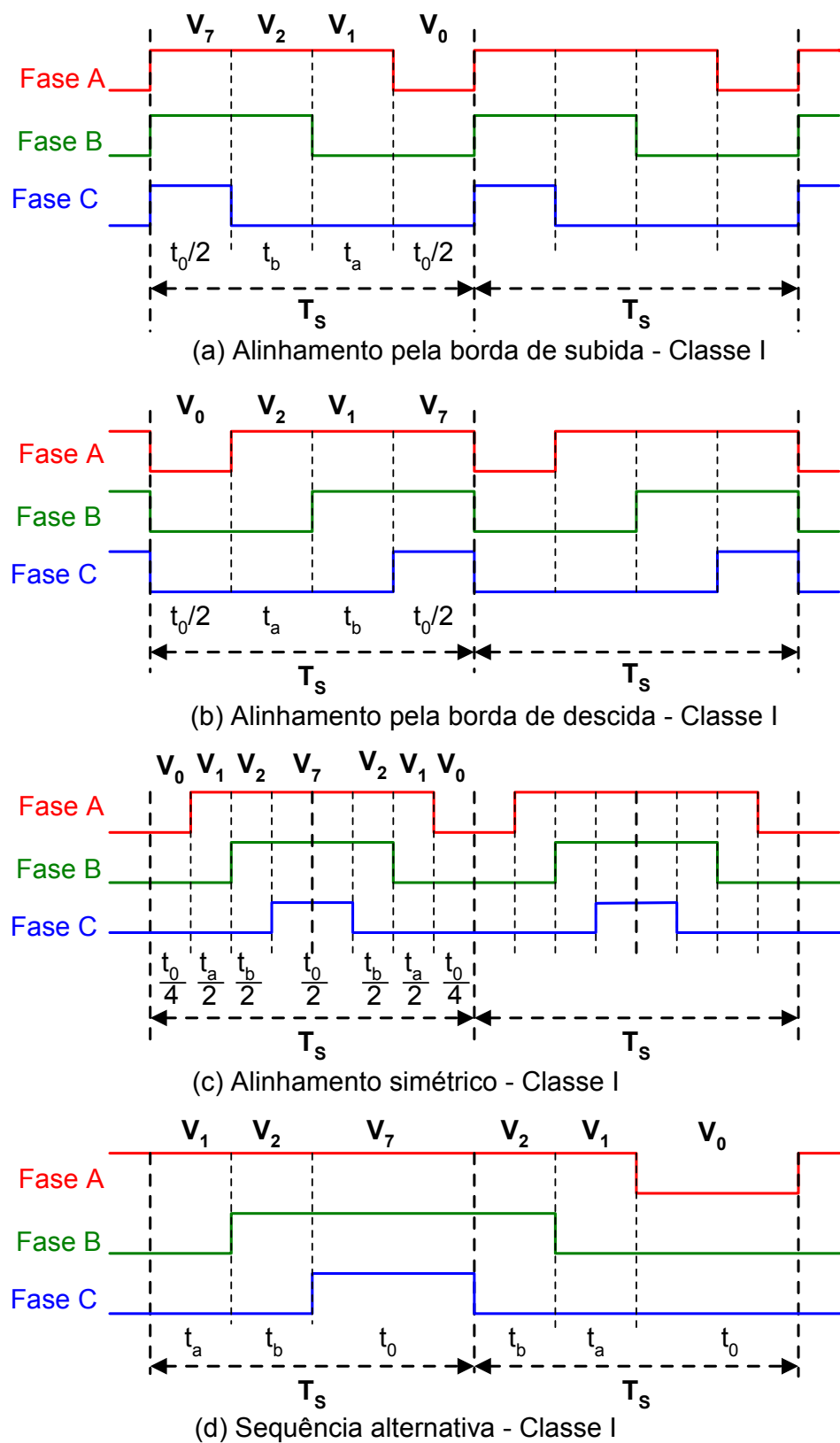


Figura 1.6 – Esquema de sequenciamento classe I

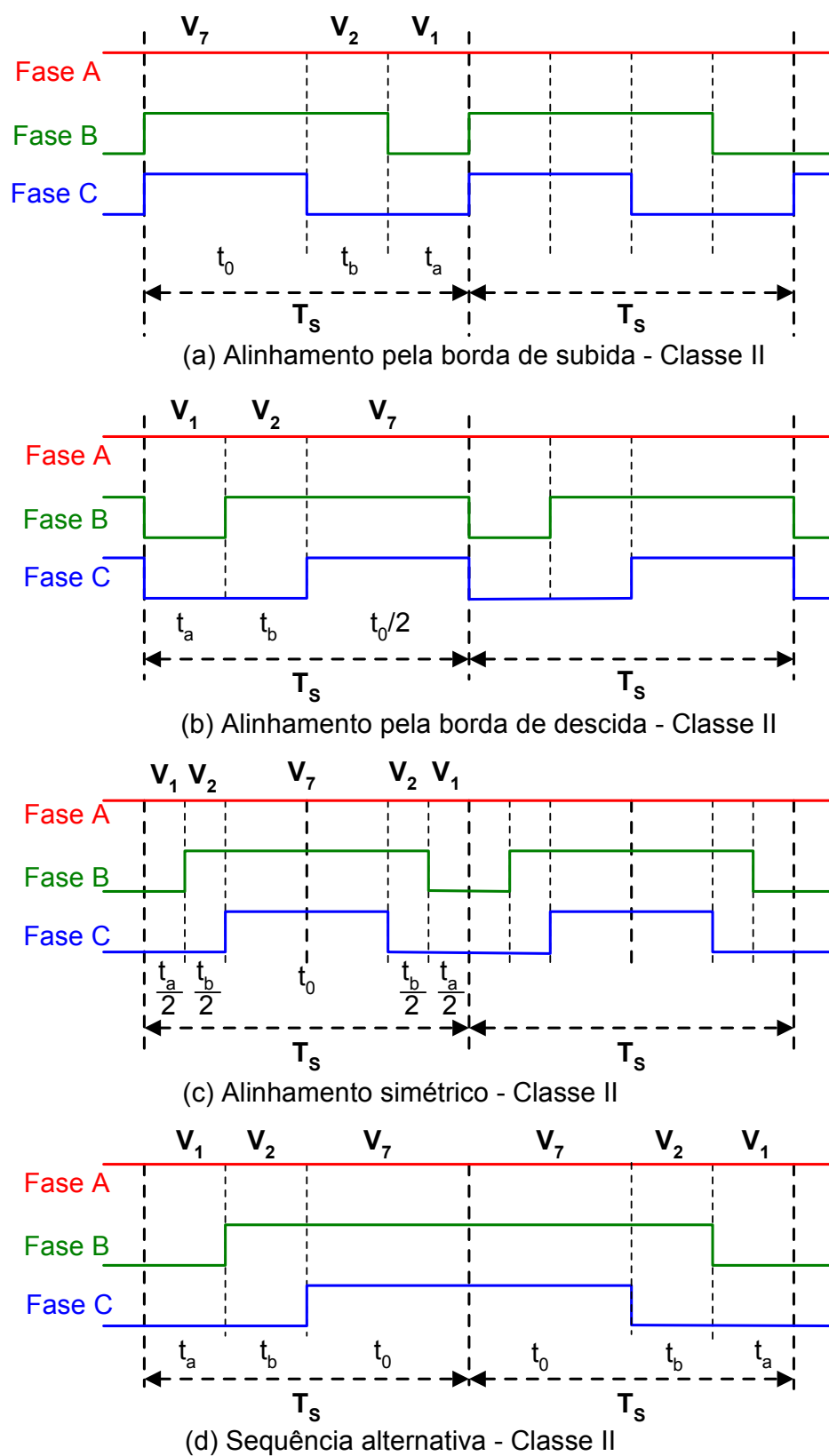


Figura 1.7 – Esquemas de sequenciamento classe II

1.4 Conclusões

Neste capítulo foi ressaltada a importância da modulação por largura de pulso para o controle das topologias inversoras. Descreveram-se as características das diferentes estratégias de modulação por largura de pulso, com ênfase para a modulação vetorial. As linhas gerais e a organização deste trabalho foram apresentadas neste capítulo.

Capítulo 2

2 Modulação Vetorial para Inversores Fonte de Tensão de Dois Níveis

2.1 Introdução

A conversão de energia de corrente contínua para corrente alternada em frequência variável é a base das aplicações de modernos acionamentos de motores de CA em velocidade variável. Nestas aplicações, inversores fonte de tensão (VSI) operando com modulação por largura de pulso (MLP) são quase sempre usados. A frequência de chaveamento fixa e seu correspondente conteúdo harmônico bem definido faz destes algoritmos MLP baseados na portadora muito popular. Dentre os algoritmos baseados na portadora MLP, o algoritmo baseado na modulação vetorial é bem aceita por causa de sua qualidade harmônica superior e porque sua operação na região linear é estendida [26,27]. Diferentemente dos outros algoritmos baseados na portadora MLP, os quais modulam cada uma das três fases individualmente, a MLP vetorial modula o vetor tensão comando de forma integral.

Basicamente, o algoritmo permite ter a média da tensão de saída obtida igual ao vetor referência de comando. Devido à natureza de sua estratégia, a MLP vetorial requer uma computação em tempo real muito complexa, a qual usualmente limita sua operação a uma frequência de chaveamento até vários kHz. A dificuldade aumenta quando a operação nas regiões linear e de sobremodulação são requeridas. Neste caso, algoritmos diferentes são requeridos para cada região. Uma estratégia para cada região foi proposta em [9], onde a região de sobremodulação foi subdividida em duas regiões (região de sobremodulação I e região de sobremodulação II), e conseqüentemente dois algoritmos são necessários, que resultou num total de três algoritmos para varrer a região linear e de sobremodulação. As

simplificações destas propostas são apresentadas em [28] e [29]. Ambas as abordagens usam apenas um algoritmo para a região de sobremodulação. Porém, para conseguir tal simplificação, a qualidade harmônica nesta região é sacrificada. Apesar de qualquer simplificação mencionada para a região de sobremodulação, se ambas as faixas de operação linear e sobremodulação são requeridas, a implementação da MLP vetorial requer pelo menos dois algoritmos: um para a região linear e outro para a região de sobremodulação. No ano de 2000, uma outra abordagem [30] simplifica o algoritmo MLP vetorial propondo uma função de saturação, e usa uma rede neural artificial para unificar os algoritmos da região linear e de sobremodulação.

A proposta deste capítulo é apresentar um algoritmo simplificado da modulação vetorial para um inversor fonte tensão de dois níveis. Este algoritmo é mais rápido e flexível que qualquer outro proposto até agora na literatura. Uma outra vantagem relevante desta abordagem é que um algoritmo simples cobre a região linear e de sobremodulação e a operação de seis pulsos com quase nenhum esforço computacional adicional. Este algoritmo simplificado permite a implementação da modulação vetorial em frequências elevadas (até 20 kHz) sem a perda de nenhuma das características positivas do algoritmo convencional da modulação vetorial. Neste caso, as frequências de chaveamento são limitadas pelos semicondutores de potência.

2.2 Modulação vetorial

A Figura 2.1 apresenta um inversor trifásico fonte de tensão, em que as chaves superiores S_1 , S_3 e S_5 são complementares respectivamente às chaves inferiores S_4 , S_6 e S_2 . A Figura 2.2 apresenta os estados de chaveamento do inversor dos quais seis ($V_1(1\ 0\ 0)$ a $V_6(1\ 0\ 1)$) são vetores de estados ativos que formam a Figura de um hexágono e dois $V_0(0\ 0\ 0)$ e $V_7(1,1,1)$ são vetores de estado nulo e se localizam na origem. Um vetor tensão de comando é apresentado estando no sextante 1. De acordo com [26] a localização do vetor de referência

determina a operação em três regiões distintas: linear, de sobremodulação I e de sobremodulação II.

A operação na região linear ou de sobremodulação é determinada pelo índice de modulação m que é definido como:

$$m = \frac{V^*}{V_{1SW}} \quad (2.1)$$

Onde V^* é a amplitude da tensão do vetor de referência ou de comando, e V_{1SW} é valor de pico $\left(\frac{2V_{CC}}{\pi}\right)$ da componente fundamental da forma de onda da tensão do inversor de seis pulsos. O índice de modulação varia entre 0 a 1.

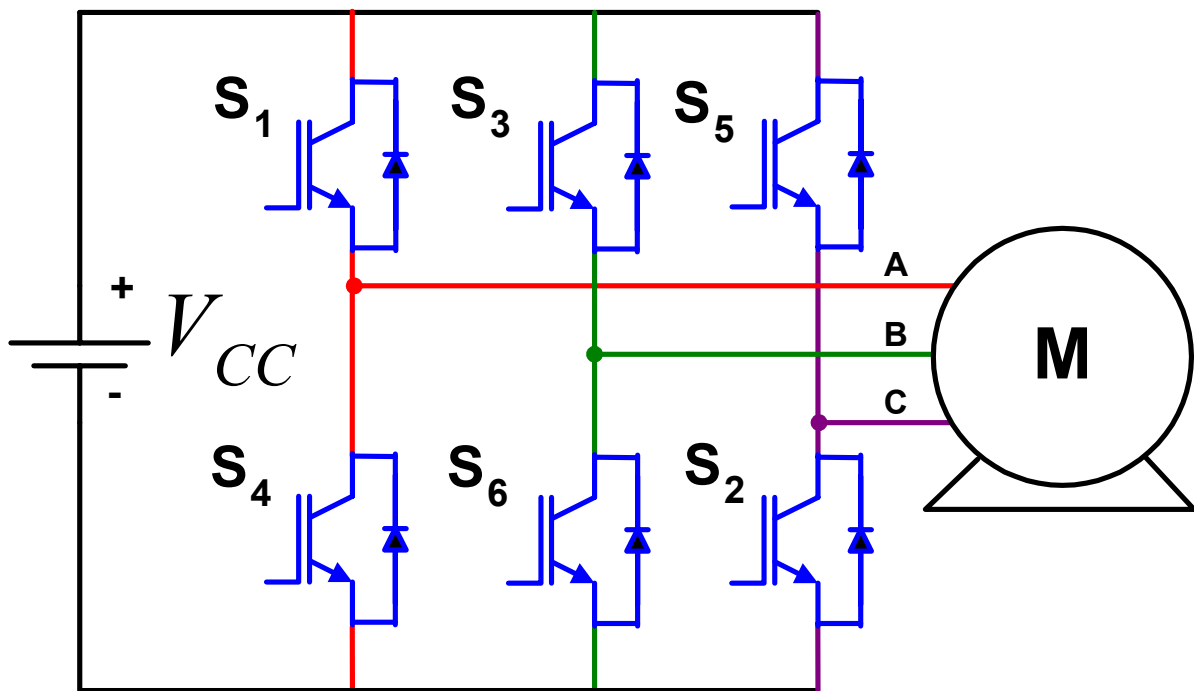


Figura 2.1 – Inversor Trifásico

2.2.1 Região Linear

Na operação na região linear, o vetor girante de referência permanece dentro do hexágono. Este modo de operação termina quando V^* descreve um círculo inscrito que tangencia o hexágono, sendo neste caso o índice de modulação igual a $m = 0,907$. Portanto, a

operação na região linear ocorre quando $0 < m < 0,907$. A operação na região linear é apresentada na Figura 2.3. A estratégia da modulação vetorial para esta região é baseada na geração de três vetores de tensão de chaveamento em um período de amostragem (T_s) tal que o valor médio da tensão de saída atinja o valor da tensão de referência. Os tempos efetivos dos estados de chaveamento do inversor são obtidos pelas seguintes equações:

$$t_a = 2 \frac{\sqrt{3}T_s}{4V_{CC}} V^* \sin(\pi/3 - \alpha^*) \quad (2.2)$$

$$t_b = 2 \frac{\sqrt{3}T_s}{4V_{CC}} V^* \sin(\pi/3) \quad (2.3)$$

$$t_0 = \frac{T_s}{2} - (t_a + t_b) \quad (2.4)$$

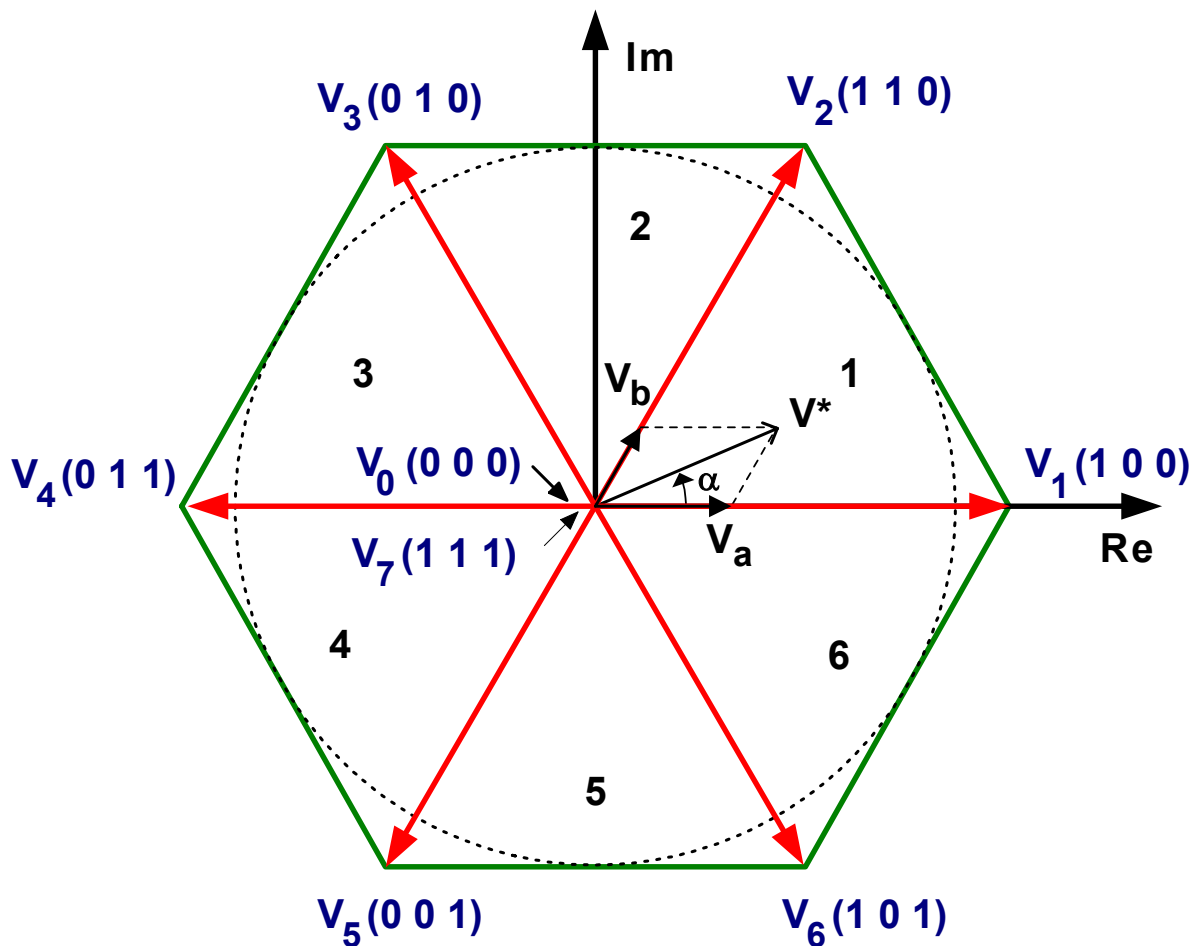


Figura 2.2 – Estados de chaveamento do inversor de dois níveis

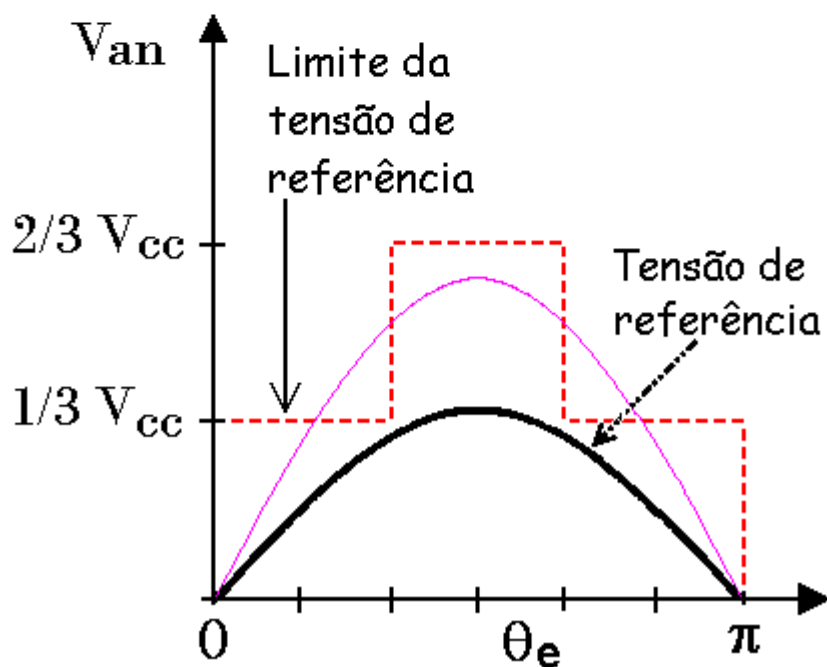
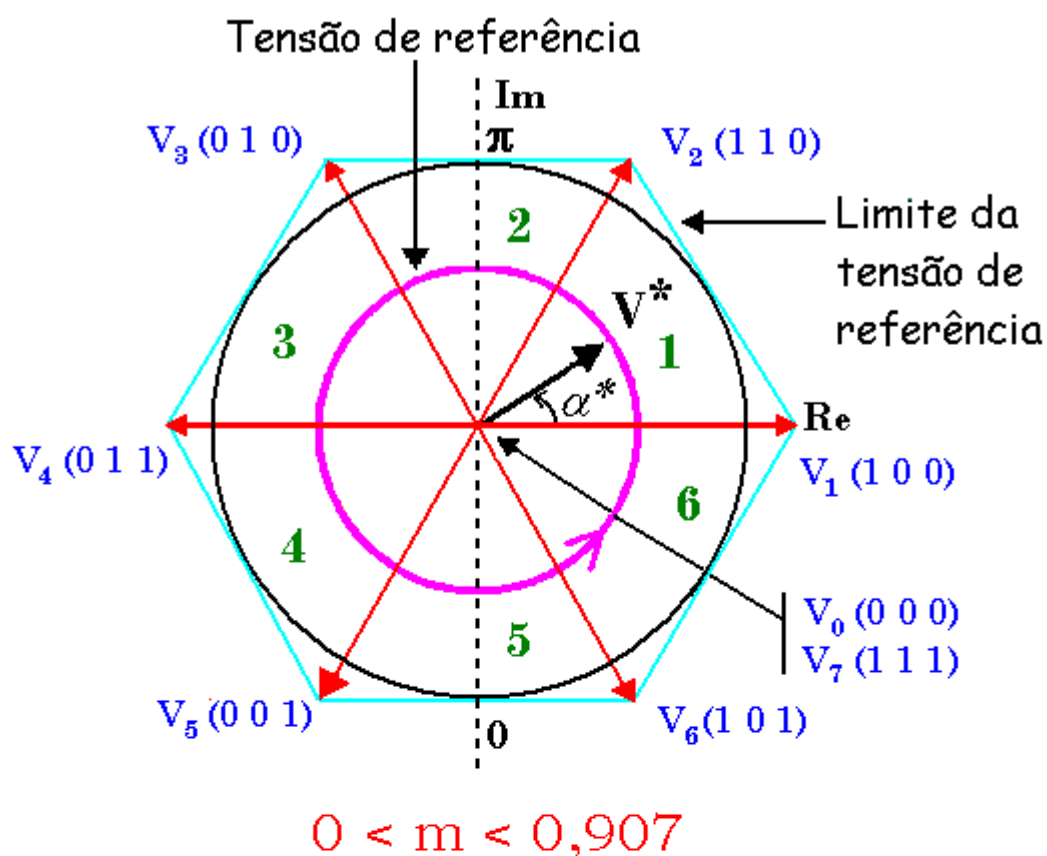


Figura 2.3 - Trajetória de tensão na região linear

Onde:

t_a tempo do vetor de chaveamento mais próximo e atrasado de V^*

t_b tempo do vetor de chaveamento mais próximo e adiantado de V^*

t_0 tempo do vetor de chaveamento nulo;

T_S tempo de amostragem

α^* ângulo de V^* em um sextante

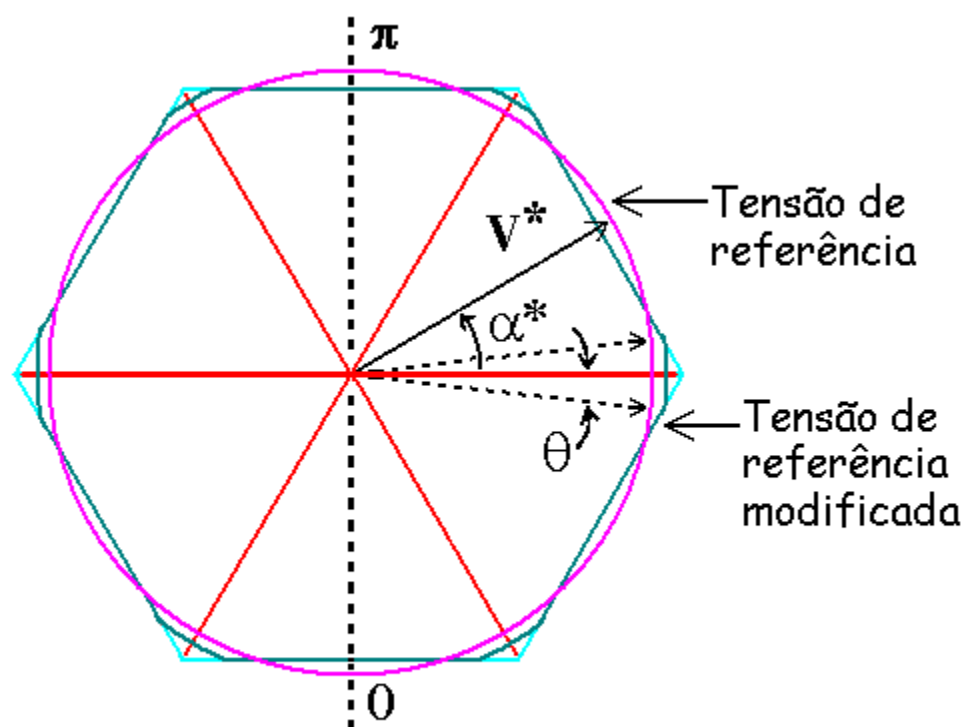
2.2.2. Região de Sobremodulação – Modo I

A operação na região não-linear tem início quando o vetor tensão de referência excede os limites do hexágono. Na operação na região de sobremodulação modo I, a tensão de referência cruza o hexágono em dois pontos em cada sextante. Como só é possível obter tensão de saída dentro do hexágono, neste caso, há uma perda da componente fundamental. Para compensar esta perda, para alinhar com a tensão de referência, uma trajetória modificada da tensão de referência é selecionada, parte permanece em trajetória circular e parte permanece em trajetória hexagonal. A trajetória circular tem seu raio estendido para V_m^* , com $(V_m^* > V^*)$ e cruza o hexágono em um ângulo θ . As equações anteriores permanecem válidas para a parte circular da trajetória (exceto que V^* é trocado por V_m^*). Contudo, a trajetória ao longo do hexágono, o tempo t_0 desaparece. As expressões de t_a e t_b são dadas por:

$$t_a = \frac{T_S}{2} \left(\frac{\sqrt{3} \cos \alpha^* - \sin \alpha^*}{\sqrt{3} \cos \alpha^* + \sin \alpha^*} \right) \quad (2.5)$$

$$t_b = \frac{T_S}{2} - t_a \quad (2.6)$$

A onda de tensão V_{an} é obtida por segmentos aproximadamente lineares para trajetória hexagonal e segmentos senoidais para trajetória circular, como é apresentado na parte inferior da Figura 2.4.



$$0,907 < m < 0,952$$

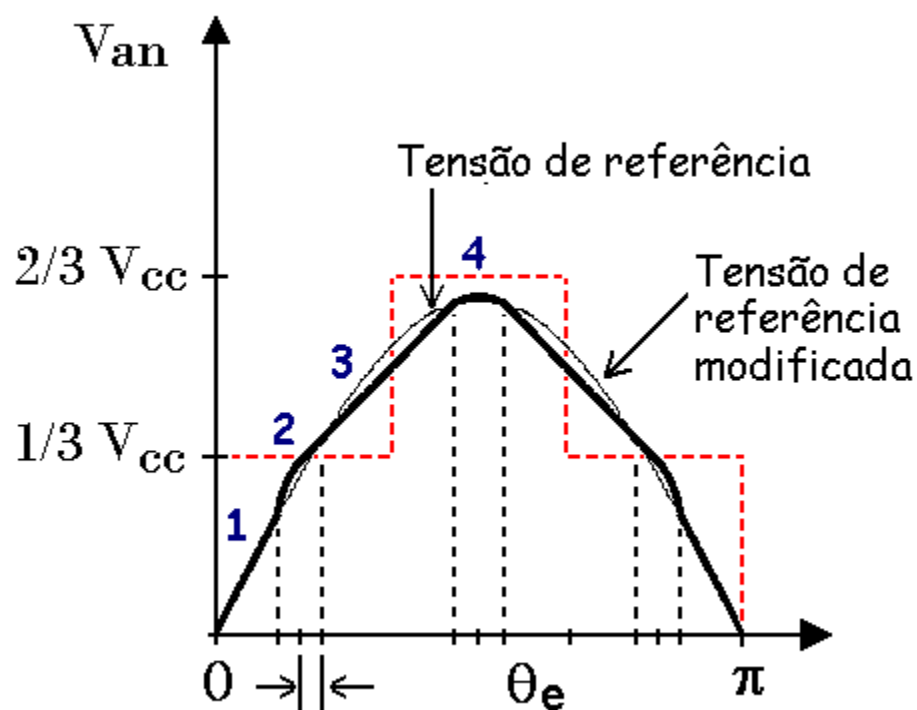


Figura 2.4 - Trajetória de tensão na região de sobremodulação I

As equações para os quatro segmentos de tensão no primeiro quarto de ciclo são dadas por:

$$\text{Segmento 1: } v_1 = m_1 \cdot \theta_e \quad 0 < \theta_e < \frac{\pi}{6} - \theta \quad (2.7)$$

$$\text{Segmento 2: } v_2 = V_m^* \cdot \sin \theta_e \quad \frac{\pi}{6} - \theta < \theta_e < \frac{\pi}{6} + \theta \quad (2.8)$$

$$\text{Segmento 3: } v_3 = A + \frac{m_1}{2} \cdot \theta_e \quad \frac{\pi}{6} + \theta < \theta_e < \frac{\pi}{2} - \theta \quad (2.9)$$

$$\text{Segmento 4: } v_4 = V_m^* \cdot \sin \theta_e \quad \frac{\pi}{2} - \theta < \theta_e < \frac{\pi}{2} + \theta \quad (2.10)$$

Onde: $\theta_e = \omega_e t$, $m_1 = \frac{2V_{CC}}{\pi}$ é a inclinação do segmento linear 1, $A = \frac{V_{CC}}{6}$, e V_m^* é a

tensão de referência modificada. A tensão V_m^* pode ser definida como uma função do ângulo de cruzamento θ pelas equações 2.7 e 2.8 no ângulo $(\pi/6 - \theta)$ como:

$$V_m^* = \frac{2 \cdot V_d(\pi/6 - \theta)}{\pi \cdot \sin(\pi/6 - \theta)} \quad (2.11)$$

Por causa da simetria de um quarto de onda, a componente fundamental da tensão de saída pode ser escrita através de 2.7 a 2.10 como:

$$V_1 = \frac{4}{\pi} \left[\int_0^{\pi/6 - \theta} v_1 \sin \theta_e d\theta_e + \int_{\pi/6 - \theta}^{\pi/6 + \theta} v_2 \sin \theta_e d\theta_e + \int_{\pi/6 + \theta}^{\pi/2 - \theta} v_3 \sin \theta_e d\theta_e + \int_{\pi/2 - \theta}^{\pi/2} v_4 \sin \theta_e d\theta_e \right] \quad (2.12)$$

A Figura 2.5 mostra a relação entre o ângulo de cruzamento e o índice de modulação.

Este modo de operação termina quando a trajetória toda é feita sobre o hexágono, isto é, com

$\theta = 0$, e $m = 0,9524$.

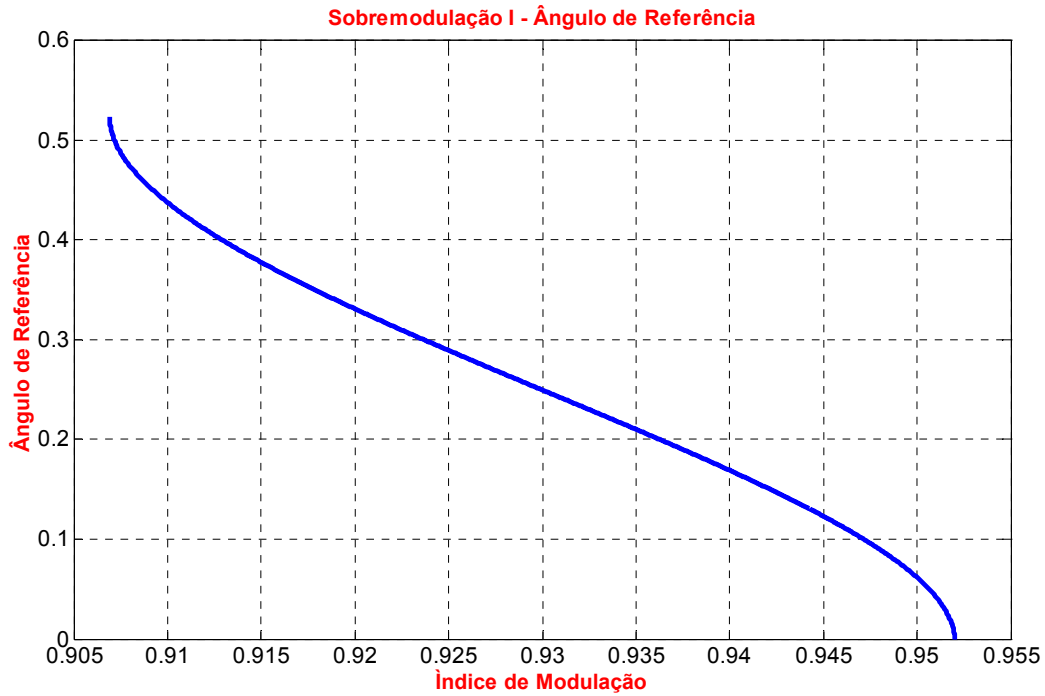


Figura 2.5 - Curva do Ângulo de Cruzamento

2.2.3. Região de Sobremodulação – Modo II

Na operação de sobremodulação modo II, o vetor da tensão de referência é maior que o vetor de referência do modo I. Portanto, a trajetória atual é modificada a fim de que a componente fundamental da tensão de saída atinja a tensão de referência. A operação nesta região é explicada na Figura 2.6, é caracterizada pela manutenção parcial do vetor modificado no vértice do hexágono para um ângulo de manutenção α_h , e alinha parcialmente aos lados do hexágono em cada sextante. Durante o ângulo de manutenção, a amplitude de Van permanece constante, aonde se alinha ao hexágono, a tensão muda quase linearmente, como mostrado na parte inferior da Figura 2.6.

$$\alpha_m^* = \begin{cases} 0 & 0 < \alpha^* < \alpha_h \\ \frac{\alpha^* - \alpha_h}{\pi/6 - \alpha_h} \cdot \frac{\pi}{6} & \alpha_h < \alpha^* < \pi/3 - \alpha_h \\ \frac{\pi}{3} & \pi/3 - \alpha_h < \alpha^* < \pi/3 \end{cases} \quad (2.13)$$

Para a forma de onda Van, as equações para os quatro segmentos em um quarto de ciclo podem ser obtidas como:

$$\text{Segmento 1: } v_1 = m_1 \cdot \theta_e \quad 0 < \theta_e < \frac{\pi}{6} - \alpha_h \quad (2.14)$$

$$\text{Segmento 2: } v_2 = \frac{V_d}{3} \quad \frac{\pi}{6} - \alpha_h < \theta_e < \frac{\pi}{6} + \alpha_h \quad (2.15)$$

$$\text{Segmento 3: } v_3 = A + m_2 \cdot \theta_e \quad \frac{\pi}{6} + \alpha_h < \theta_e < \frac{\pi}{2} - \alpha_h \quad (2.16)$$

$$\text{Segmento 4: } v_4 = \frac{2 \cdot V_d}{3} \quad \frac{\pi}{2} - \alpha_h < \theta_e < \frac{\pi}{2} \quad (2.17)$$

Onde:

$$m_1 = \frac{V_d}{3(\pi/6 - \alpha_h)} \quad (2.18)$$

$$m_2 = \frac{V_d}{3(\pi/3 - 2\alpha_h)} \quad (2.19)$$

$$A = \frac{V_d(\pi/6 - 3\alpha_h)}{3(\pi/3 - 2\alpha_h)} \quad (2.20)$$

Novamente, devido à simetria de um quarto de onda, a componente fundamental da tensão de saída V_1 pode ser obtida como:

$$V_1 = \frac{4}{\pi} \left[\int_0^{\pi/6 - \alpha_h} v_1 \sin \theta_e d\theta_e + \int_{\pi/6 - \alpha_h}^{\pi/6 + \alpha_h} v_2 \sin \theta_e d\theta_e + \int_{\pi/6 + \alpha_h}^{\pi/2 - \alpha_h} v_3 \sin \theta_e d\theta_e + \int_{\pi/2 - \alpha_h}^{\pi/2} v_4 \sin \theta_e d\theta_e \right] \quad (2.21)$$

A relação entre ângulo de manutenção e o índice de modulação é apresentado pelo gráfico da Figura 2.7.

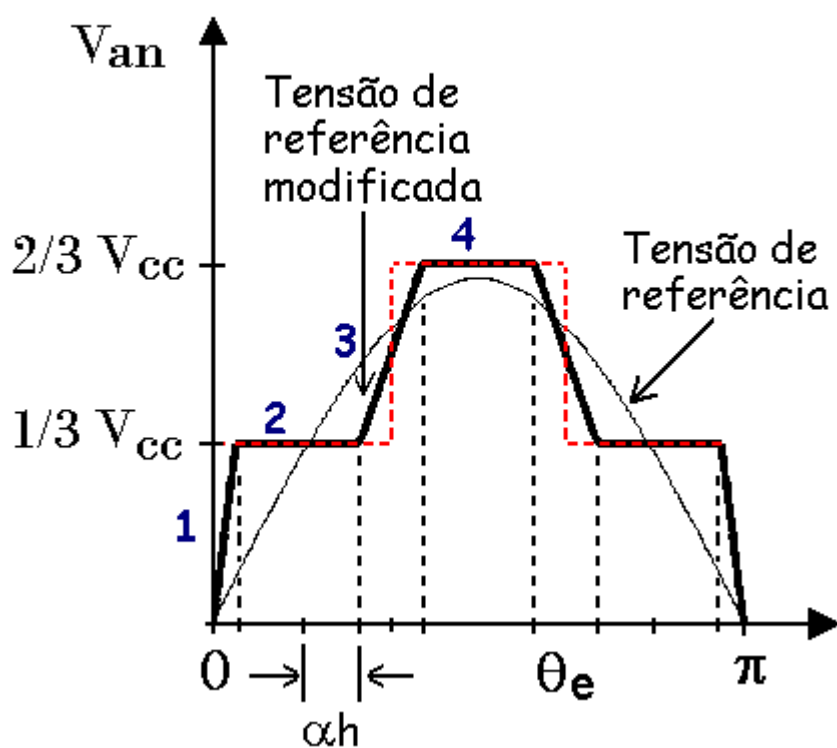
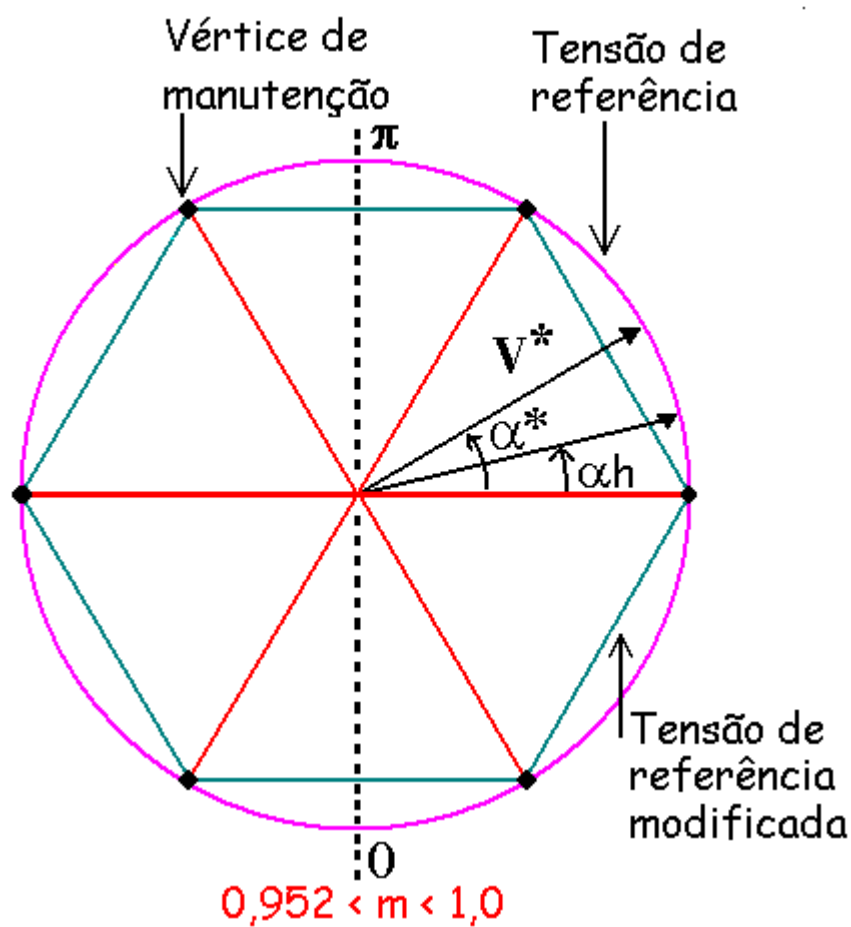


Figura 2.6 - Trajetória de tensão na região de sobremodulação II

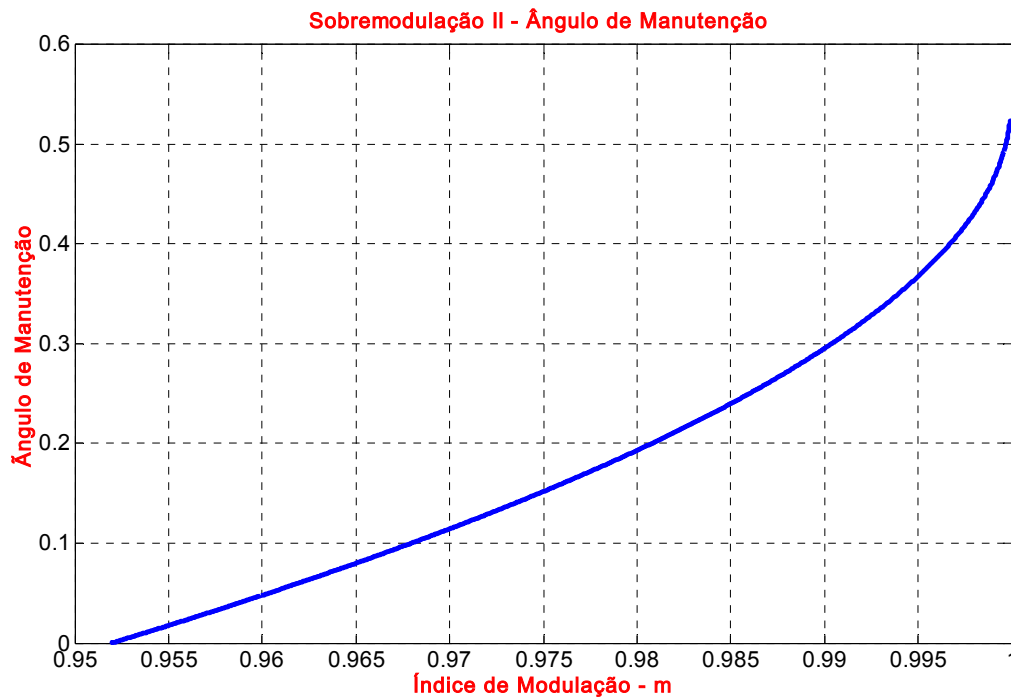


Figura 2.7 – Ângulo de manutenção

A Figura 2.8 apresenta o fluxograma do algoritmo convencional MLP vetorial, onde V_d e V_q são a componente real e imaginária de V^* e θ . Os passos computacionais deste algoritmo são:

- (1) a identificação do setor;
- (2) o cálculo de θ^* e α^* ;
- (3) o cálculo do índice de modulação;
- (4) o cálculo dos tempos t_a , t_b e t_0 ; e
- (5) o cálculo dos tempos em que as chaves permanecem ligadas T_{A-ON} , T_{B-ON} , e T_{C-ON} que dependem do sextante em que se localiza V^* .

Observa-se que na Figura 2.8 há três algoritmos distintos para calcular t_a , t_b e t_0 na ordem de cobrir integralmente toda faixa de operação, isto é, a região linear, sobremodulação modo I e sobremodulação modo II. Este algoritmo é muito complexo e consome muito do tempo computacional porque (1) as equações para calcular os tempos efetivos dependem da região de operação (2). Os tempos de chaveamento são calculados usando tempos efetivos e a

informação do sextante, e (3) a estratégia usada para identificar o sextante onde o vetor de referência se localiza é complexo.

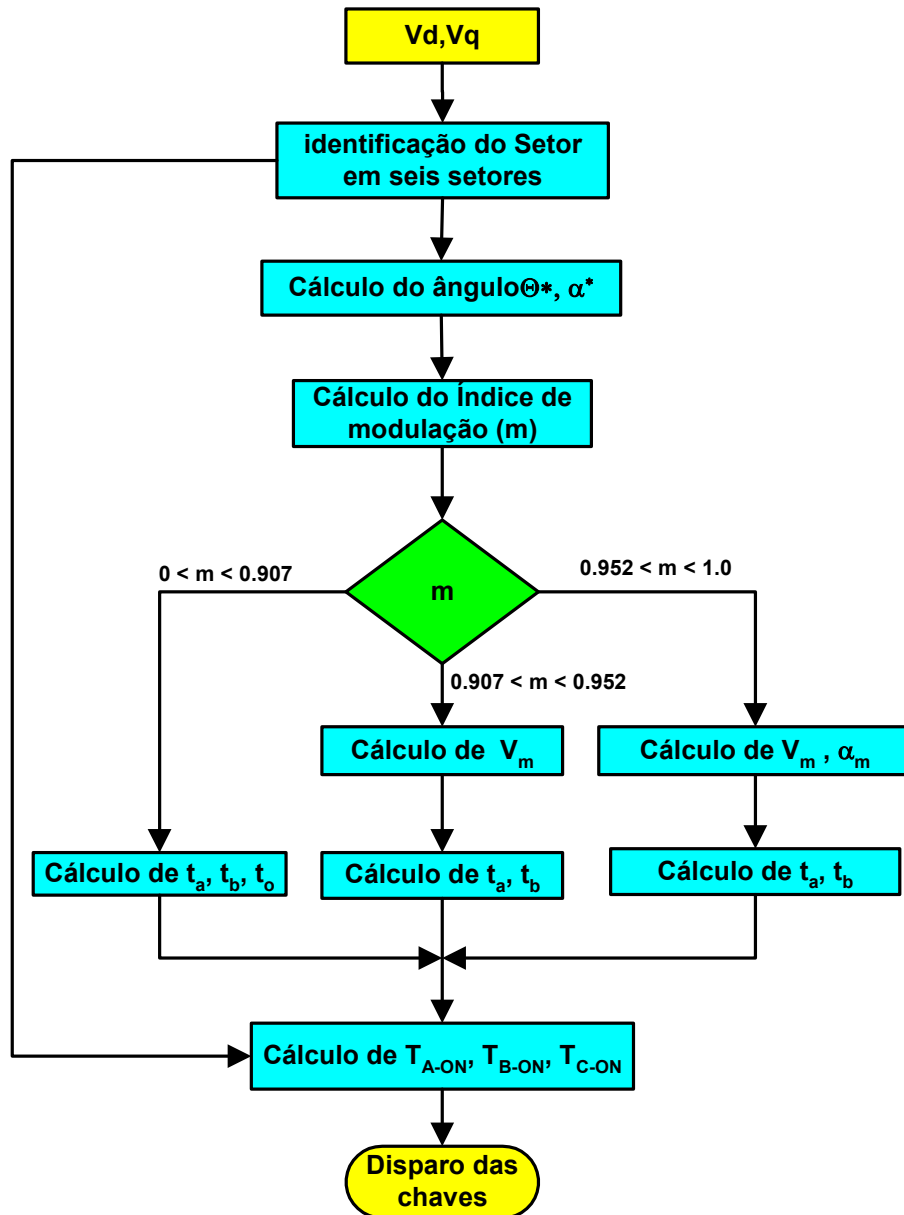


Figura 2.8 - Fluxograma para implementação do algoritmo convencional

2.3 Algoritmo Simplificado e Ultra-rápido MLP vetorial

O algoritmo proposto neste capítulo é baseado na abordagem apresentada em [30].

Neste trabalho é proposta a utilização de uma rede neural baseada na modulação vetorial para

unificar os algoritmos da região linear e sobremodulação. Os principais pontos propostos em [30] são:

- Calcular os tempos de chaveamentos diretamente, ao invés de calcular os tempos efetivos (t_a , t_b e t_0), e identificar o sextante e para depois compô-los;
- Explorar o desacoplamento entre ângulo e amplitude do vetor tensão de referência no cálculo dos tempos de chaveamentos;
- Extrapolar a região linear para a região de sobremodulação usando uma função de saturação.

A equação resultante de [30] para a fase **a** é apresentada a seguir:

$$T_{A-ON} = \begin{cases} \frac{t_0}{2} = \frac{T_s}{4} + K \cdot V^* \left[-\text{sen}\left(\frac{\pi}{3} - \alpha^*\right) - \text{sen}(\alpha^*) \right] & S = 1,6 \\ \frac{t_0}{2} + t_b = \frac{T_s}{4} + K \cdot V^* \left[-\text{sen}\left(\frac{\pi}{3} - \alpha^*\right) + \text{sen}(\alpha^*) \right] & S = 2 \\ \frac{t_0}{2} + t_a + t_b = \frac{T_s}{4} + K \cdot V^* \left[\text{sen}\left(\frac{\pi}{3} - \alpha^*\right) + \text{sen}(\alpha^*) \right] & S = 3,4 \\ \frac{t_0}{2} + t_a = \frac{T_s}{4} + K \cdot V^* \left[\text{sen}\left(\frac{\pi}{3} - \alpha^*\right) - \text{sen}(\alpha^*) \right] & S = 5 \end{cases} \quad (2.22)$$

O primeiro passo à frente na simplificação do algoritmo MLP vetorial é obtido pela utilização das componentes d-q. Esta estratégia simplifica o cálculo dos termos $\text{sen}(\alpha^*)$ e $\text{sen}(\pi/3 - \alpha^*)$, evitando o uso de tabelas de consulta, aumentando assim a resolução do algoritmo. O cálculo dos tempos de chaveamentos das fases tornou-se simples e é obtido pela seguinte equação:

$$T_{A-ON} = \begin{cases} \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} \left[-V_d - \frac{V_q}{\sqrt{3}} \right] \right) & S = 1,4 \\ \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} [-2V_d] \right) & S = 2,5 \\ \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} \left[-V_d + \frac{V_q}{\sqrt{3}} \right] \right) & S = 3,6 \end{cases} \quad (2.23)$$

$$T_{B-ON} = \left\{ \begin{array}{ll} \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} \left[V_d - \sqrt{3} V_q \right] \right) & S = 1,4 \\ \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} \left[\frac{-2V_q}{\sqrt{3}} \right] \right) & S = 2,5 \\ \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} \left[V_d - \frac{V_q}{\sqrt{3}} \right] \right) & S = 3,6 \end{array} \right\} \quad (2.24)$$

$$T_{C-ON} = \left\{ \begin{array}{ll} \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} \left[V_d + \frac{V_q}{\sqrt{3}} \right] \right) & S = 1,4 \\ \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} \left[\frac{2V_q}{\sqrt{3}} \right] \right) & S = 2,5 \\ \frac{T_s}{4} \left(1 + f_c \frac{3}{2V_{dc}} \left[V_d + \sqrt{3} V_q \right] \right) & S = 3,6 \end{array} \right\} \quad (2.25)$$

De forma genérica, a equação (2.23) pode ser reescrita como segue:

$$T_{A-ON} = \frac{T_s}{4} (1 + f_c \cdot g(V_d, V_q)) \quad (2.26)$$

O número de equações para o cálculo dos tempos de chaveamentos de cada fase é reduzido para três.

Para operação na região linear, o parâmetro fator de compensação f_c é unitário e a função $g(V_d, V_q)$ é, de fato, o tempo de chaveamento normalizado. Embora, para a região de sobremodulação, f_c não seja unitário, ele assume valores para fazer a compensação de ângulo e amplitude. O fator de compensação f_c foi obtido baseado em [30], e pode ser armazenado em forma de tabela consulta. A Figura 2.9 mostra f_c como função do índice de modulação.

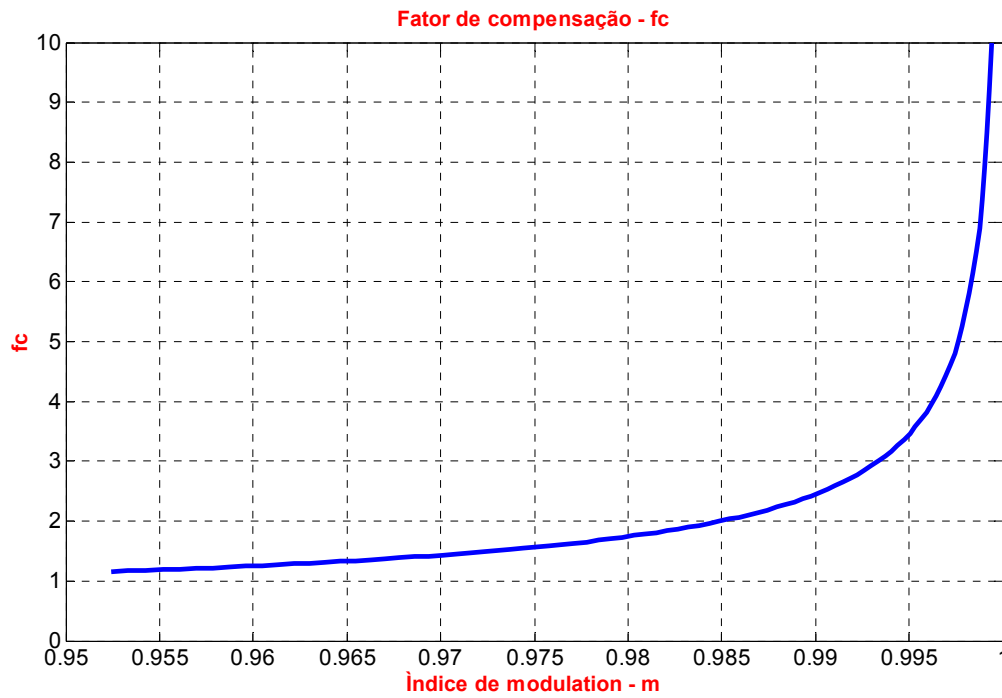


Figura 2.9 – Gráfico do fator de compensação fc

2.3.1 Estratégia de Simplificação da identificação do Sextante

A simplificação da estratégia da identificação do sextante é também um ponto chave do desenvolvimento do algoritmo MLP vetorial simples e ultra-rápido. Basicamente, a abordagem proposta é um melhoramento do método da identificação do sextante usado no algoritmo convencional obtido em [31]. O sextante é determinado por operações lógicas booleanas do bit de sinal das três funções das componentes d-q do vetor de referência, dados pelas seguintes equações.

$$A = \text{Sign}(V_q) \quad (2.27)$$

$$B = \text{Sign}(\sqrt{3}V_d - V_q) \quad (2.28)$$

$$C = \text{Sign}(-\sqrt{3}V_d - V_q) \quad (2.29)$$

A identificação do sextante é obtida de [31] é feita pelo uso da relação:

$$N = A + 2.B + 4.C \quad (2.30)$$

A simplificação usa as similaridades entre os sextantes 1 e 4, 2 e 5, e 3 e 6. Esta simplificação reduz o número total dos setores de 6 para 3, e assim, apenas 2 expressões condicionais são requeridas para o cálculo de $g(V_d, V_q)$ ao contrário de 6, como proposto em [31]. Por outro lado, a identificação do sextante utilizando a abordagem proposta é obtida usando a equação

$$N^* = (A \text{ XOR } C) + 2.(B \text{ XOR } C) \quad (2.31)$$

Na estratégia proposta, a função sign é implementada isolando o bit de sinal através da operação lógica AND. A operação de multiplicação por 2 é obtida deslocando o bit de sinal à esquerda e a soma é obtida usando uma operação lógica OR. A Figura 2.10 apresenta a idéia sobre a identificação do sextante.

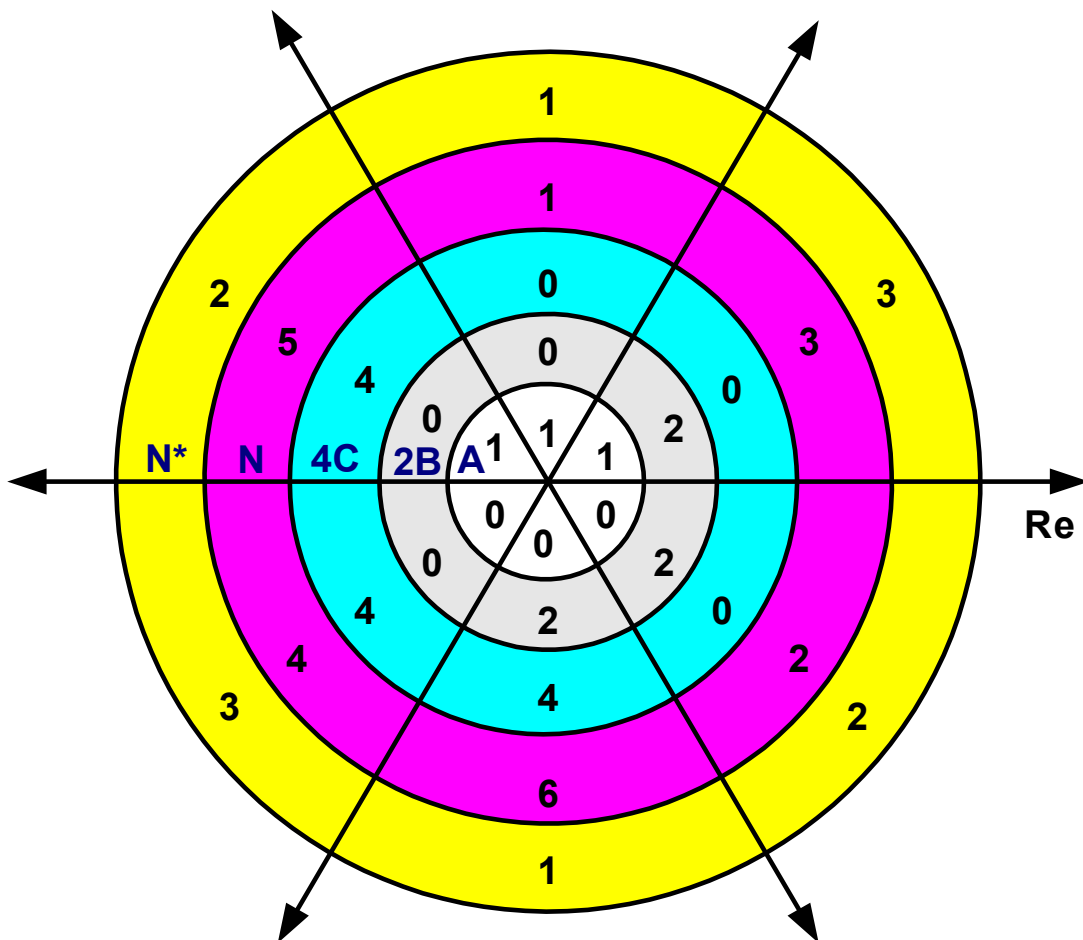


Figura 2. 10 - Simplificação da identificação do Sextante

2.3.2 Função de Saturação

O ultimo estágio antes da geração dos sinais de gatilhos das chaves é a saturação dos tempos de chaveamento em 0 ou $T_s/2$. Contudo, diferente da abordagem proposta em [30], aqui a saturação será feita pela função $(1 + f_c \cdot g(V_d, V_q))$, ou seja, em 0 ou 2. Portanto, desde que a multiplicação seja feita após a saturação, a frequência de chaveamento pode ser facilmente mudada no código fonte pela alteração do período de chaveamento T_s .

A Figura 2.11 apresenta o fluxograma do algoritmo simplificado proposto para o inversor fonte de tensão de dois níveis. Este algoritmo é muito simples e consome menos tempo computacional por que: (1) é baseado no cálculo direto dos tempos de chaveamento; (2) as regiões de sobremodulação modo I e II são obtidas através da extrapolação da região linear; (3) usa uma pequena tabela de consulta para correção de fator de amplitude e ângulo na região de sobremodulação; e (4) o algoritmo para identificação do sextante é muito simples.

2.4 Resultados de Simulação e Experimentais

Para validar o algoritmo simplificado proposto, um sistema de acionamento de um motor de indução operando segundo o princípio Volts/Hertz em malha aberta com uma frequência de chaveamento de 20 kHz foi simulado e implementado. Os parâmetros do sistema de acionamento são apresentados na Tabela 2.1.

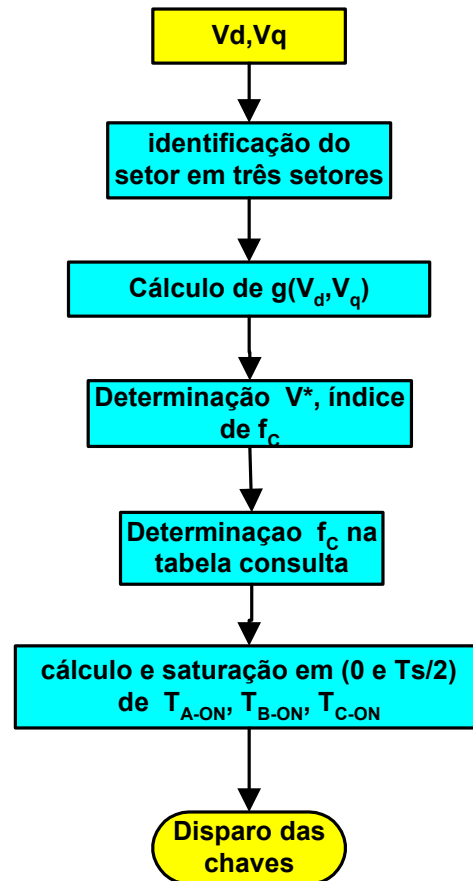


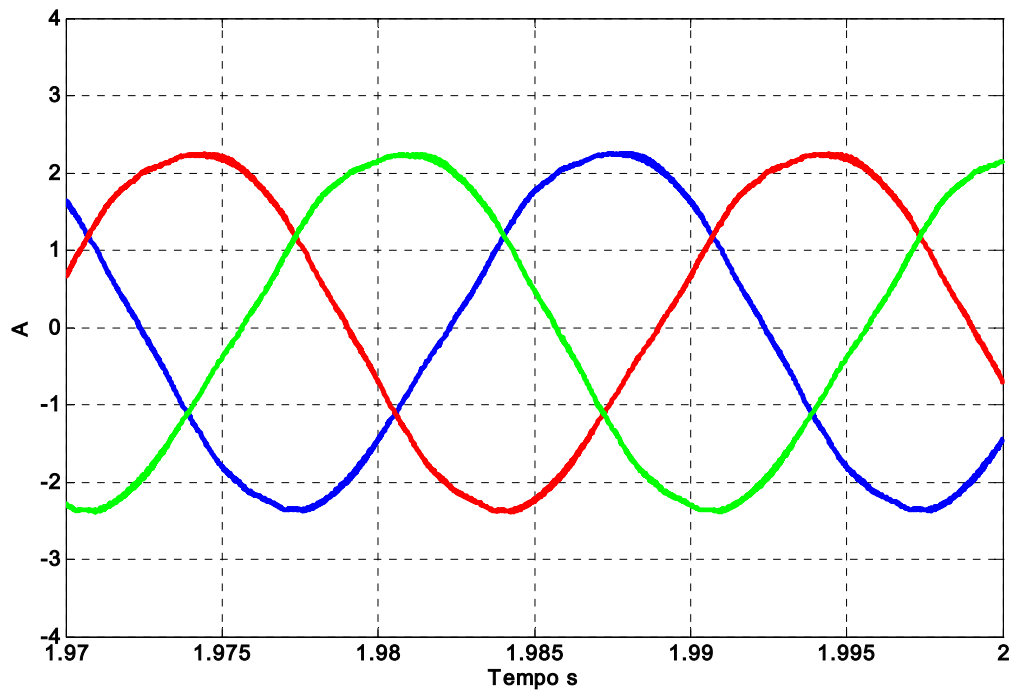
Figura 2.11 - Fluxograma para implementação do algoritmo simplificado

Tabela 2.1 - Parâmetros do sistema de acionamento

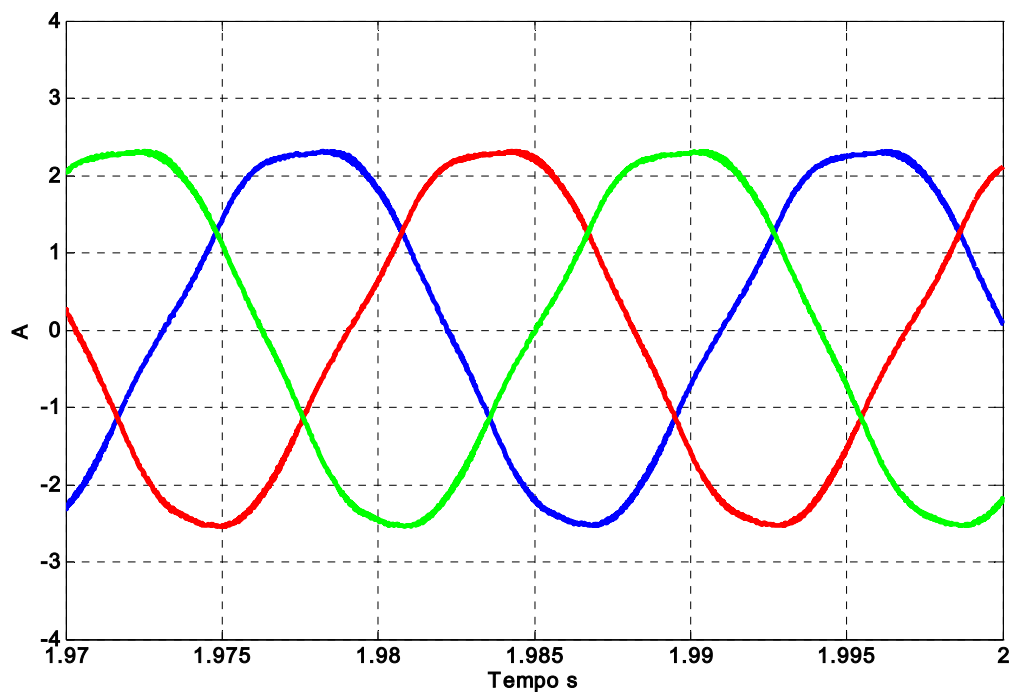
Tensão do elo CC (V_{CC})	300 V
Tempo de amostragem (T_s)	50 μ S
Motor de indução	1 Hp, 230 V, 4 pólos
	Faixa de frequência: 0 – 60 Hz
	Fator de Potência (plena carga): 85%
	Eficiência: (plena carga): 85%
	Resistência do estator (R_s): 4,850 Ω
	Resistência do rotor (R_r): 5,386 Ω
	Indutância de dispersão do estator (L_{ls}): 18,48 mH
	Indutância de dispersão do rotor (L_{lr}): 20,53 mH
	Indutância de magnetização (L_m): 225 mH
	Momento de inércia do rotor (J): 0,01155 Kg.m ²
	Carga: ventilador [$T_L = k\omega r^2$] com $k = 1,65 \times 10^{-5}$

2.4.1 Resultados de Simulação

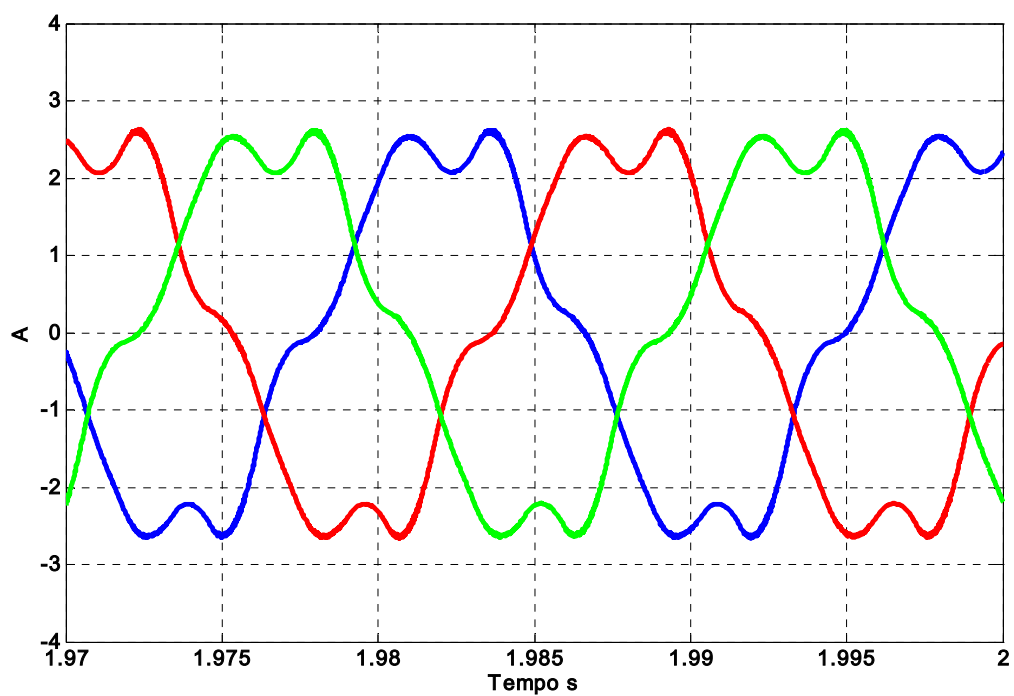
Um modelo de um acionamento de um motor de indução operando segundo princípio Volts/Hertz em malha aberta usando o algoritmo de modulação vetorial proposto foi desenvolvido usando o programa de simulação MATLAB/Simulink. A Figura 2.12 apresenta as correntes de fase do motor em diferentes frequências de operação. A Figura 2.12(a) mostra o acionamento operando na região linear com uma frequência de 50 Hz ($m = 0,833$). A Figura 2.12(b) mostra o acionamento operando na região de sobremodulação modo I com uma frequência de 56 Hz ($m = 0,933$). A Figura 2.10(c) mostra o acionamento operando na região de sobremodulação modo II com uma frequência de 59 Hz ($m = 0,983$).



(a)



(b)



(c)

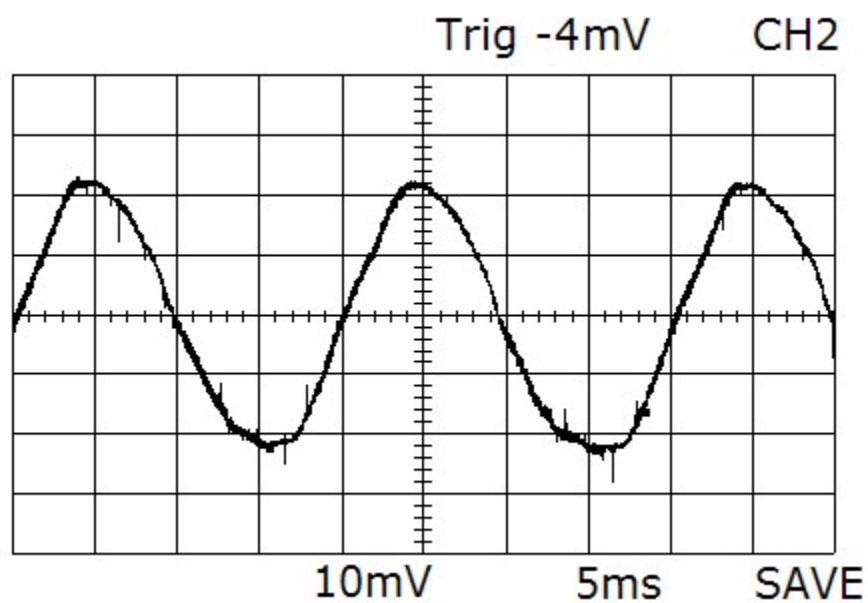
Figura 2.12 - Resultados de simulação
(a) corrente de fase – 50 Hz, $m = 0,833$
(b) corrente de fase – 56 Hz, $m = 0,933$
(c) corrente de fase – 59 Hz, $m = 0,983$

2.4.2 Resultados Experimentais

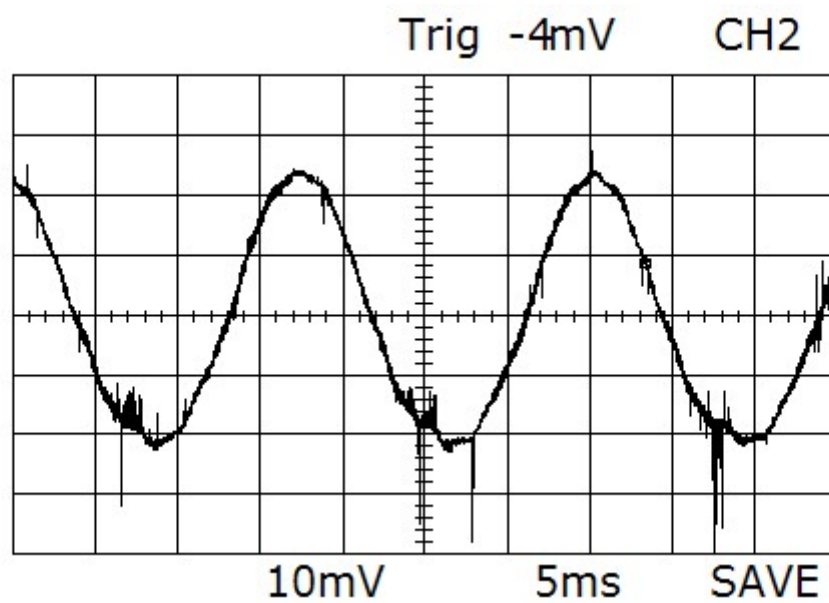
O mesmo sistema de acionamento usado para simulação foi também implementado experimentalmente em laboratório. O inversor fonte de tensão foi construído usando seis IGBTs IRGPC50UD (600 V, 27 A) e um acionador da ponte trifásica IR2130, com tempo morto padrão de 2,5 μ S. O algoritmo simplificado MLP vetorial bem como o controle Volts/Hertz em malha aberta foi desenvolvido usando um DSP de ponto fixo de 16 bits do tipo da Texas Instrument TMS320F240.

O tempo de execução do algoritmo simplificado MLP vetorial tomou apenas 110 ciclos de máquina (5,5 μ s). O algoritmo completo, que inclui o controle Volts/Hertz em malha aberta e o algoritmo simplificado MLP vetorial tomou 217 ciclos de máquina (10,85 μ s).

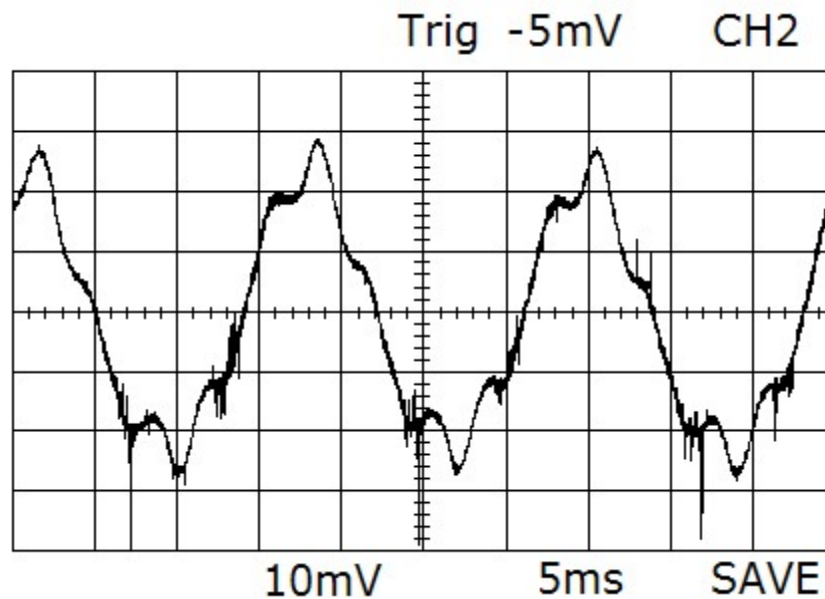
A figura 2.13 apresenta as correntes de fase obtidas experimentalmente para os mesmos pontos estudados na simulação. A figura 2.13(a) apresenta o acionamento operando na região linear em 50 Hz ($m = 0,833$). A figura 2.13(b) apresenta o acionamento operando na região de sobremodulação modo I em 56 Hz ($m = 0,933$), e finalmente a figura 2.13(c) apresenta o acionamento operando na região de sobremodulação modo II em 59 Hz ($m = 0,983$). Os resultados experimentais são bem similares aos resultados de simulação exceto de alguns picos devido a ruídos. Portanto, a nova abordagem MLP vetorial é integralmente validada.



(a)



(b)



(c)

Figura 2.13 – Resultados Experimentais(a) corrente de fase – 50 Hz, $m = 0,833$ (b) corrente de fase – 56 Hz, $m = 0,933$ (c) corrente de fase – 59 Hz, $m = 0,983$

Escala: 5ms/div, 1A/div

2.5 Conclusões

Neste capítulo foi proposto um novo simples e ultra-rápido algoritmo MLP vetorial para inversores de dois níveis. A simplificação do algoritmo foi alcançada pelos seguintes fatores: (1) a extrapolação da estratégia da região linear para a região de sobremodulação; (2) redução do número de equações para o cálculo dos tempos de chaveamentos, e (3) simplificação da estratégia de identificação do sextante. Como resultado tornou-se possível a implementação do algoritmo MLP vetorial em uma frequência de chaveamento elevada (acima de 10 kHz). Os resultados de simulação e experimentais mostram que o algoritmo simplificado trabalha muito bem nas regiões linear e de sobremodulação com gasto computacional muito inferior quando comparado com o algoritmo convencional. O tempo de execução do algoritmo de modulação vetorial tomou apenas 110 ciclos de máquina ($5,5 \mu s$ para o DSP TMS320F240). O tempo computacional estimado do controlador MLP de [30] foi

de 40 μ s com um DSP do tipo TMS320C30. Embora que os resultados terem sido obtidos para um acionamento de motor de indução utilizando o controle Volts/Hz em malha aberta; este algoritmo é também adequado para acionamento de motor de indução usando o controle vetorial.

Capítulo 3

3 Conversores Multiníveis

3.1 Introdução

Nos anos recentes, cresceu na indústria a demanda por equipamentos de potência elevada, os quais atingem a ordem de megawatts. Acionamentos em CA controlados nesta faixa de potência são conectados a rede de média tensão. Atualmente é difícil conectar chaves semicondutoras diretamente a rede de média tensão porque as especificações em tensão das chaves não atingem este valor. Por esta razão, as topologias de conversores multiníveis têm emergido como solução para operar com níveis de tensão mais elevados.

Os inversores multiníveis incluem uma gama de semicondutores de potência, fontes de tensão e capacitores, sendo que na saída são geradas tensões com formas de onda com vários níveis [35]. A comutação das chaves permite a adição de tensões de capacitores, que podem atingir uma tensão elevada na saída, enquanto os semicondutores de potência devem suportar apenas as tensões reduzidas.

O interesse pela tecnologia de conversores multiníveis foi despertado por Nabae e outros em 1981 [33], com a introdução da topologia do conversor de três níveis com neutro grampeado. Aumentando o número de níveis do inversor, as tensões de saída são do tipo escada contendo mais níveis, possuindo uma distorção harmônica reduzida, embora, um número elevado de níveis aumente a complexidade do controle e introduza problemas de desequilíbrio de tensão.

As características mais atrativas dos inversores multiníveis [35] são as seguintes:

- (1) podem gerar tensões de saída com distorção harmônica extremamente baixa e com menor dV/dt .

- (2) drenam corrente de entrada com distorção harmônica extremamente baixa;
- (3) geram tensão de modo comum inferior, assim reduzindo o estresse dos rolamentos do motor. Com a utilização de métodos sofisticados de modulação, as tensões de modo comum podem ser eliminadas.
- (4) podem operar com uma frequência de chaveamento baixa.

Posteriormente, o conversor de três níveis com neutro grampeado proposto por Nabae foi generalizado para estruturas de n níveis por P. M. Bhagwat [42] e N. S. Choi [43]. Com o aumento do número de níveis, cresce o número de degraus na forma de onda de saída tornando-a mais próxima da onda senoidal. Além disso, o aumento de níveis permite a aplicação de conversores em barramentos CC de tensões mais elevadas. A principal desvantagem desta topologia é que a tensão de bloqueio reversa requerida dos diodos grampeadores é proporcional ao nível para os quais eles são usados na ação de grampeamento. Conseqüentemente, a conexão série de diodos pode ser requerida. Além disso, devido à elevada velocidade de chaveamento das chaves semicondutoras, principalmente IGBTs e IGCTs, os diodos grampeadores podem estar sujeitos a estresse severo de recombinação reversa.

Uma estrutura alternativa para o conversor com diodo de grampeamento é a topologia chamada de capacitor flutuante que foi proposta por Meynard em [44]. Nesta nova topologia, a tensão sobre as chaves é limitada usando capacitores grampeadores em lugar dos diodos. Esta topologia tem a vantagem de ter um número grande de estados de chaveamento redundantes, os quais permitem um grau de liberdade maior no balanço das tensões dos capacitores de grampeamento. A principal desvantagem é o potencial para ressonâncias entre os capacitores de desacoplamento, além disso, existem problemas com a redistribuição de tensões em caso de surtos de tensão.

A configuração multinível com inversores ponte completa em cascata apresenta uma outra alternativa no projeto de conversores multiníveis. Uma vantagem inicial desta topologia é que ela proporciona a flexibilidade para o aumento no número de níveis sem a introdução da complexidade no estágio de potência. Além disso, esta topologia requer o mesmo número de chaves primárias como a topologia com diodo de grampeamento, mas não requer os diodos de grampeamento. Contudo, esta configuração utiliza fontes de CC separadas obtidas freqüentemente por transformador de linha, torna esta solução cara, e a operação bidirecional é difícil de ser realizada.

3.2 Topologias de inversores multiníveis

3.2.1. Inversor multinível Com diodo de grampeamento

A primeira topologia multinível prática proposta foi a topologia MLP ponto neutro grampeado introduzida por Nabae, e outros em 1981. A versão de três níveis tem várias vantagens sobre a topologia de dois níveis. As vantagens são as seguintes:

- As chaves são submetidas à metade da tensão do elo CC;
- A primeira ordem de harmônicos de tensão é centrada em torno de duas vezes a frequência de chaveamento;
- Esta topologia pode ser generalizada, e princípios usados na topologia básica de três níveis podem ser estendidos para uso em topologias com qualquer número de níveis.

A experiência prática com esta topologia revela várias dificuldades que complicam sua aplicação em conversores de potência elevada. Dentre as dificuldades, salientam-se as seguintes:

- Esta topologia requer diodos grampeadores de alta velocidade que sejam capazes de drenar a corrente de plena carga e são submetidos a estresse de recombinação reversa.
- Para topologias com mais três níveis os diodos grampeadores são sujeitos ao aumento do estresse de tensão para $V_{cc} (n-1)/n$. Portanto, as conexões de diodos em série

podem ser requeridas, o que torna o projeto mais complexo e aumentam as preocupações com a segurança e custos.

- O problema de manter o balanço de carga dos capacitores permanece um tema aberto para solução em topologias NPC com mais três níveis.

Na Figura 3.1 são apresentadas as pernas dos conversores NPC de três e quatro níveis.

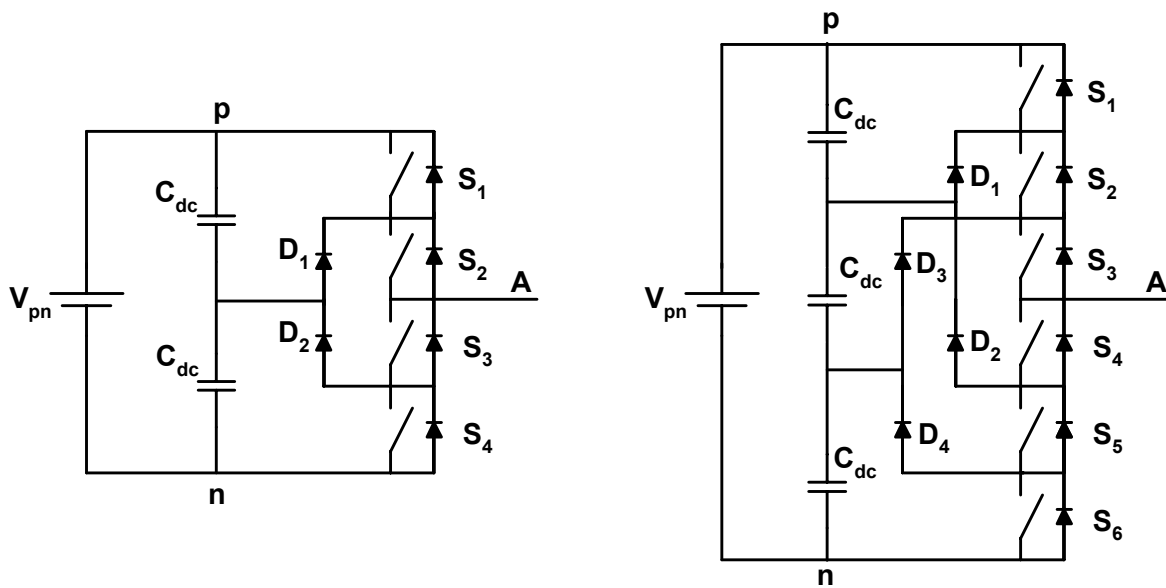


Figura 3.1 - Perna de uma fase dos inversores PNG de três e quatro níveis

3.2.2. Inversor multinível capacitor flutuante

A topologia multinível capacitor flutuante, proposta em 1992 [44], é considerada como sendo uma melhor alternativa para a topologia com diodos grampeadores. A vantagem significativa desta topologia é que ela elimina os problemas do diodo de grampeamento presente nas topologias multiníveis com diodo de grampeamento. Adicionalmente, esta topologia naturalmente limita o estresse dV/dt sobre os dispositivos e introduz estados de chaveamentos adicionais, que podem ser usados para ajudar na manutenção do balanço de cargas dos capacitores. Diferentemente do conversor com diodo de grampeamento, a topologia capacitor flutuante possui vários estados de chaveamento para controlar o balanço

de cargas em uma perna isolada com conversores tendo qualquer número de níveis, mesmo que a corrente seja unidirecional.

Até o presente parece que esta topologia tem poucas desvantagens. Todavia, alguns possíveis pontos fracos que necessitam ser explorados são:

- O controlador de carga do capacitor do elo CC adiciona complexidade para o controle do circuito geral;
- A topologia de capacitor flutuante pode requerer mais capacitância do que a topologia equivalente com diodo de grampeamento. Em adição, correntes eficazes adicionais podem fluir através destes capacitores;
- Existe um potencial para ressonância entre os capacitores de desacoplamento.

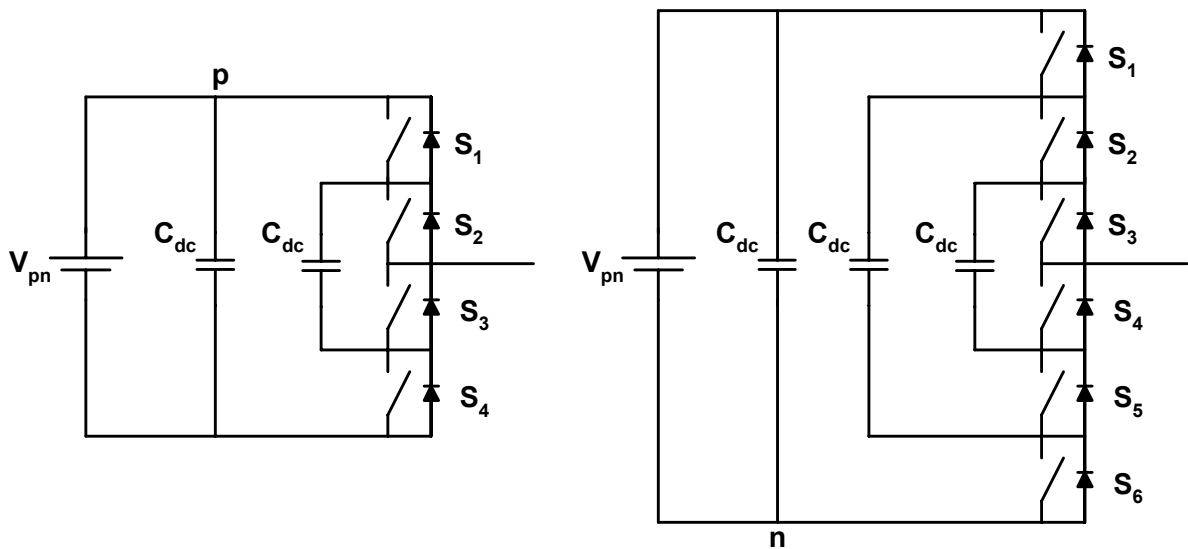


Figura 3.2 - Perna de uma fase dos inversores capacitores flutuantes de 3 e 4 níveis

3.2.3. Configurações multiníveis com dois inversores de dois níveis em ponte completa em cascata

Uma das primeiras aplicações da conexão série de topologias inversoras em ponte completa monofásicas foi para estabilização de plasma em 1988 [45]. Esta abordagem

modular tem sido proposta desde então para a inclusão de sistemas trifásicos, principalmente para acionamentos de média tensão.

Possivelmente, todas as complicações e custos de fontes isoladas para cada ponte completa não chega a ser um inconveniente e são compensados pelas vantagens da construção modular. A modularidade desta estrutura permite uma manutenção fácil e proporciona um caminho muito conveniente para adicionar redundância ao sistema. Uma perna de uma fase de conversor cinco níveis baseados em conversores de dois níveis em ponte completa em cascata é apresentada na Figura 3.3.

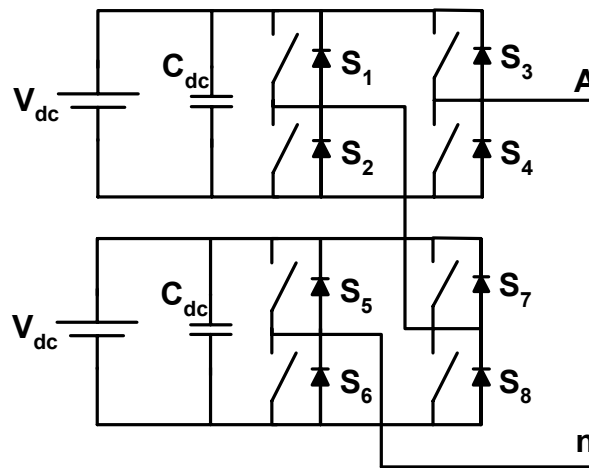


Figura 3.3 - Perna de uma fase de inversor cascata de cinco níveis em ponte completa

Uma das maiores vantagens desta abordagem híbrida é que o número de saídas pode ser adicionalmente aumentado, sem adição de nenhum novo componente, requerendo apenas fontes CC com diferentes níveis de tensão [46]. Provavelmente uma das maiores vantagens é uso de fontes CC com diferentes níveis de tensão, V_{cc} e $2V_{cc}$, como apresentado na Figura 3.4.

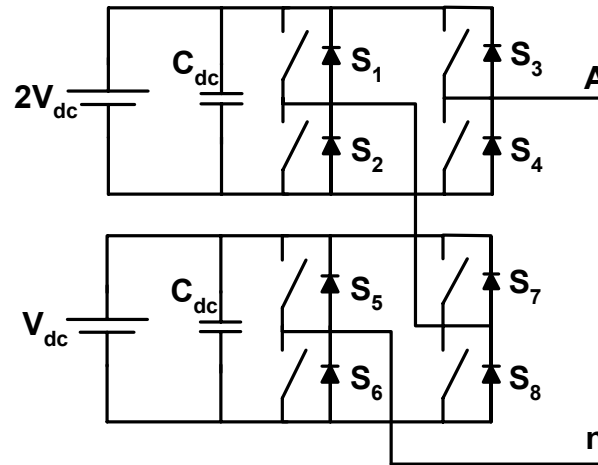


Figura 3.4 - Perna de uma fase de inversor cascata de sete níveis em ponte completa

3.3 Conclusões

Neste capítulo foram mostrados os princípios de funcionamento das três principais topologias de conversores multiníveis descritas na literatura. A topologia com diodo de grampeamento é mais utilizada, mas, os diodos grampeadores são submetidos a diferentes níveis estresse de tensão. A topologia capacitor flutuante é uma topologia alternativa à topologia com diodo de grampeamento, não apresentando a limitação de tensão da topologia com diodo de grampeamento. Mas, apresenta um potencial de ressonância dos capacitores de acoplamento. A topologia de pontes H em cascada é uma outra alternativa à topologia com diodo de grampeamento. A modularidade é sua principal característica e a necessidade de fontes de tensão isoladas é sua desvantagem.

Capítulo 4

4 Algoritmo da Modulação Vetorial usando Coordenadas Móveis Não-Ortogonais

4.1 Introdução

O emprego de uma ótima estratégia de modulação é o principal requerimento para assegurar um alto desempenho de uma aplicação de conversor multinível. Assim, uma boa estratégia de chaveamento pode:

- Diminuir o número de chaveamentos;
- Assegurar um baixo conteúdo harmônico para as correntes e tensões;
- Aumentar o fator de potência;

A modulação por largura de pulsos vetorial é considerada uma das melhores, sendo objeto de estudo por diversos pesquisadores. Porém, é considerada de alta complexidade, sendo que tal complexidade aumenta com o número de níveis do inversor em análise.

O inversor com diodo de grampeamento é uma extensão do inversor de ponto neutro grampeado (PNG) [33] podendo ser estendido a um número de níveis maior do que 2 [34]. As principais vantagens do inversor com diodo de grampeamento são:

- As tensões em que as chaves são submetidas são reduzidas;
- O espectro harmônico da tensão de saída está centrado em torno de duas vezes a frequência de chaveamento;
- Esta topologia pode ser generalizada para qualquer número de níveis.

Este inversor tem como desvantagens o desbalanço das tensões dos capacitores devido a sua conexão em série; os diodos de grampeamento apresentam tensões de bloqueio reverso diferentes.

No intuito de simplificar o algoritmo da MLP vetorial para inversor PNG multinível várias estratégias têm sido apresentadas nos últimos anos. Destaca-se o trabalho desenvolvido em [38] que foi o primeiro a utilizar as coordenadas não-ortogonais para selecionar os três vetores mais próximos (TVP) do vetor referência, necessários para sintetizá-lo. O trabalho [39] propõe uma estratégia utilizando também coordenadas não-ortogonais no sentido de evitar utilização de tabela consulta na escolha dos TVP. Uma estratégia diferente é apresentada por [37], em que os (TVP) são identificados determinando em qual triângulo localiza-se o vetor de referência, através do uso de transformações e rotações de coordenadas. O algoritmo desenvolvido neste capítulo baseia-se na utilização de coordenadas móveis não ortogonais, que variam de acordo com o sextante onde está localizado o vetor de referência. Os três vetores mais próximos (TVP) são determinados pela identificação do triângulo no hexágono, utilizando as informações do sextante e do triângulo onde se localiza o vetor de referência no sextante. As razões cíclicas são determinadas utilizando-se um único padrão de cálculo independente de onde se encontra o vetor de referência. Assim a utilização de testes lógicos para a definição dos TVP [38] e para o cálculo das razões cíclicas [39] não se faz necessárias. Os cálculos envolvidos na determinação da localização do triângulo onde está localizado o vetor de referência, bem como o cálculo das razões cíclicas referentes aos TVP são muito simples. O padrão de chaveamento adotado é produzido pela seleção dos coeficientes armazenados em forma de tabelas de consulta indexadas pelo número do triângulo no hexágono onde se encontra V^* .

4.2 Inversor multinível com diodo de grampeamento

A Figura 4.1 apresenta a estrutura do inversor de cinco níveis do tipo com diodo de grampeamento. O divisor capacitivo consiste de 4 capacitores C_1 , C_2 , C_3 e C_4 , a tensão em cada capacitor é igual à tensão do barramento CC (V_{CC}) dividido por 4 e a tensão que cada

chave é submetida é limitada a $V_{CC}/4$ através dos diodos de grampeamento [35]. A tensão Van apresenta cinco níveis de tensão de saída (0, 1, 2, 3 e 4) de acordo com as chaves em condução conforme é apresentado na tabela 4.1. As chaves inferiores S'_{A1} , S'_{A2} , S'_{A3} e S'_{A4} são complementares às chaves superiores S_{A1} , S_{A2} , S_{A3} e S_{A4} .

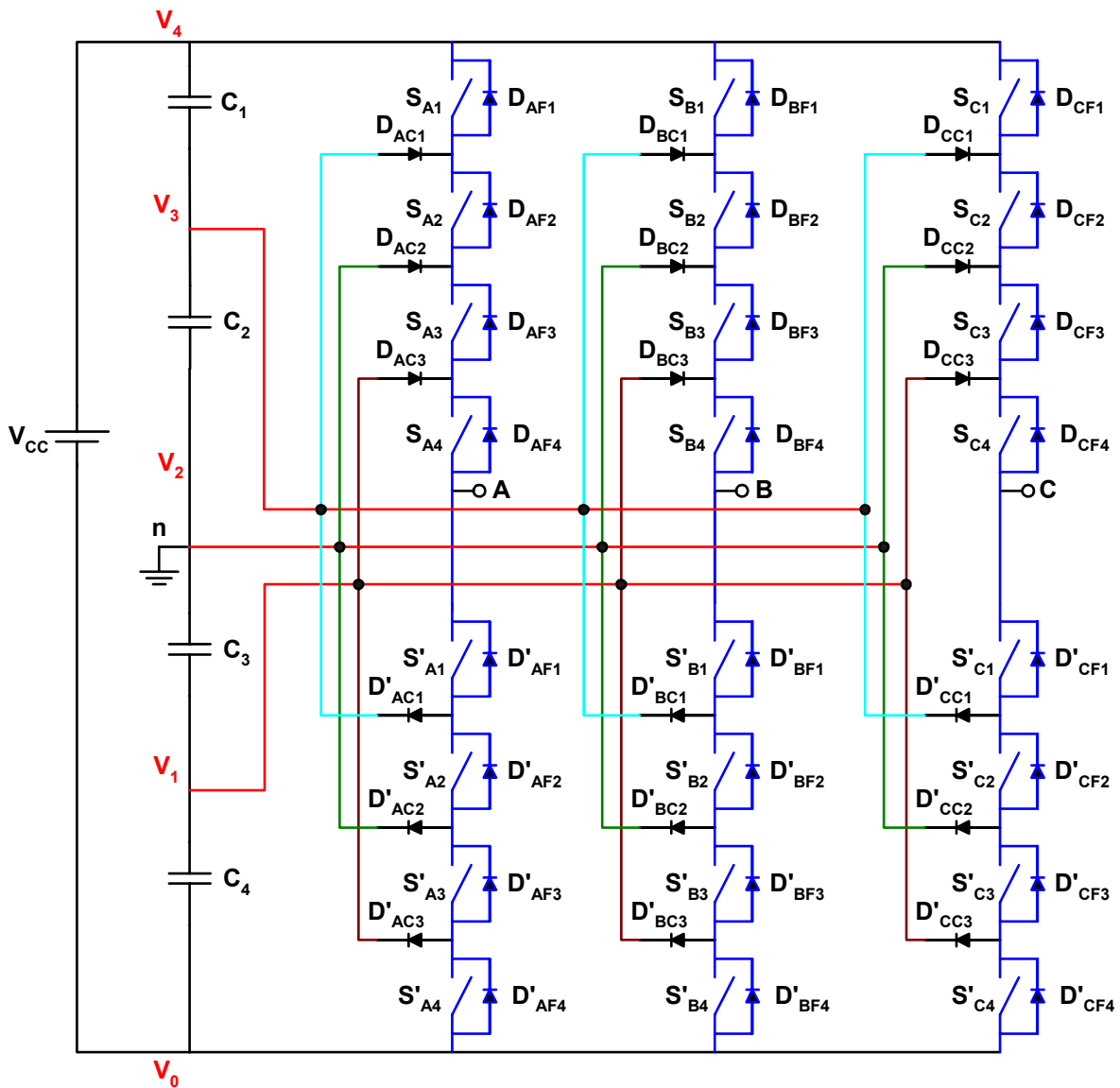


Figura 4.1 – Inversor com diodo de grampeamento de cinco níveis

4.2.1 Modulação vetorial (MV)

A complexidade da MV aumenta com o número de níveis do inversor. Por exemplo, o inversor de cinco níveis para três fases, tem 125 estados de chaveamento dos quais apenas 61

são vetores espaciais efetivos, que dividem o plano dq em 96 triângulos, conforme pode ser visualizado na Figura 4.2.

No algoritmo proposto neste trabalho, os três vetores mais próximos (TVP) necessários para sintetizar o vetor de referência são encontrados determinando em qual triângulo está localizado o vetor de referência utilizando as informações do sextante e número do triângulo no sextante.

A tabela 4.1 apresenta a relação entre os níveis de tensão de fase e os estados das chaves, ligado ou desligado. Por exemplo, para obter-se o nível de tensão 4, as chaves superiores S_1 , S_2 , S_3 , e S_4 devem estar ligadas e as chaves inferiores S'_1 , S'_2 , S'_3 , e S'_4 desligadas. Pode-se observar também a relação entre o estado da chave e os níveis de tensão. Por exemplo, a chave S_2 estará no estado ligado para os níveis 4 ou 3.

Tabela 4.1 - Níveis de tensão e os estados das chaves de um inversor com diodo de grampeamento de cinco níveis

Nível de tensão	Tensão de saída V_{an}	Estados das Chaves							
		S_1	S_2	S_3	S_4	S'_1	S'_2	S'_3	S'_4
4	$V_{cc}/2$	Lig.	Lig.	Lig.	Lig.	Deslig.	Deslig.	Deslig.	Deslig.
3	$V_{cc}/4$	Deslig.	Lig.	Lig.	Lig.	Lig.	Deslig.	Deslig.	Deslig.
2	0	Deslig.	Deslig.	Lig.	Lig.	Lig.	Lig.	Deslig.	Deslig.
1	$-V_{cc}/4$	Deslig.	Deslig.	Deslig.	Lig.	Lig.	Lig.	Lig.	Deslig.
0	$-V_{cc}/2$	Deslig.	Deslig.	Deslig.	Deslig.	Lig.	Lig.	Lig.	Lig.

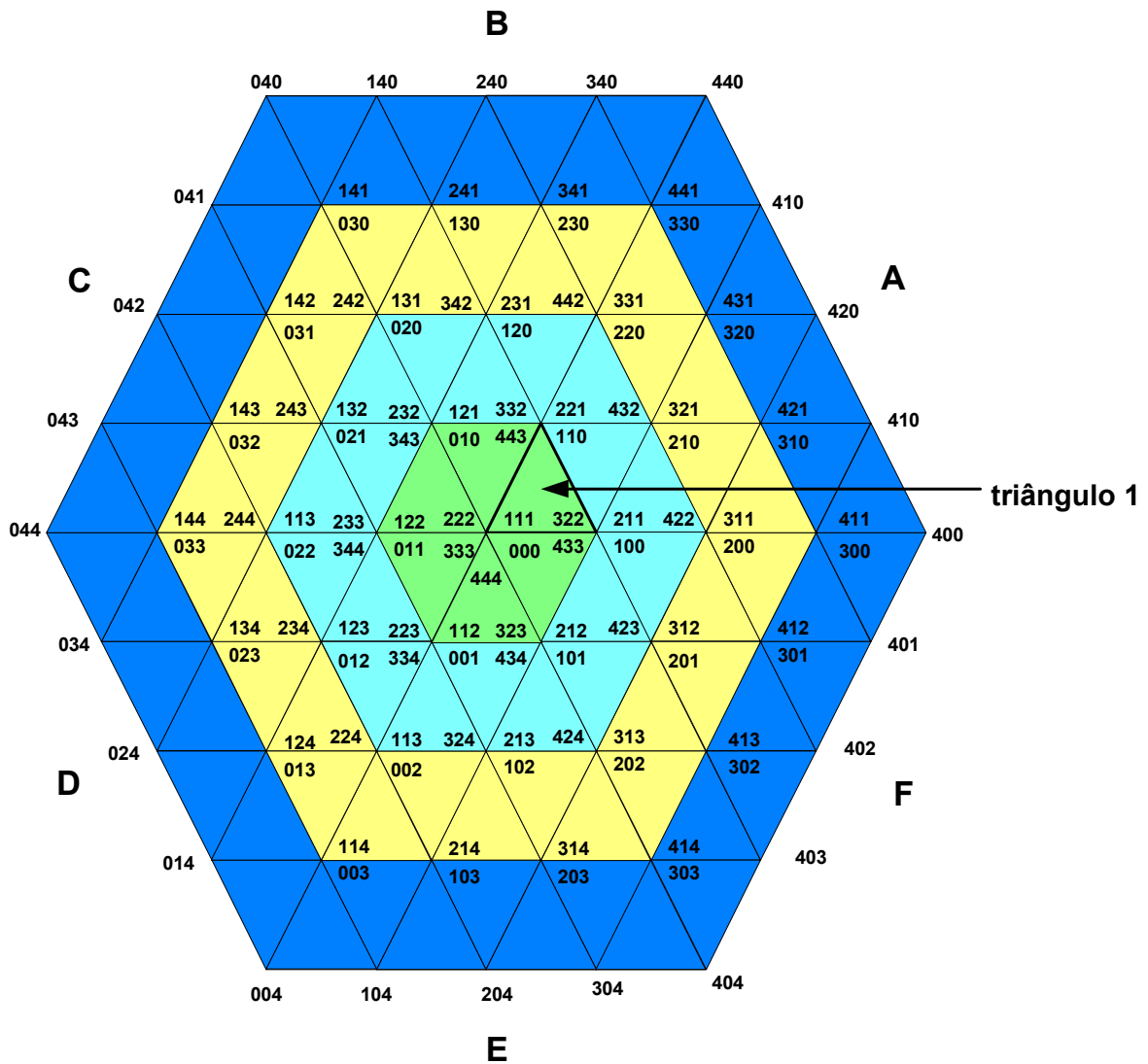


Figura 4.2 – Estados de chaveamento no plano d-q de inversor de cinco níveis

4.2.2 Coordenadas móveis não-ortogonais

O algoritmo proposto tem como elemento simplificador a utilização de coordenadas móveis não-ortogonais normalizadas (V_g e V_h) que variam de acordo com o sextante em que o vetor de referência está localizado. A implementação da transformação do sistema dq0 para o novo sistema gh é relativamente simples. Primeiramente, identifica-se o sextante em que V^* está localizado e aplica-se uma relação de transformação de coordenadas de acordo com o sextante, conforme equação (4.1).

$$\begin{bmatrix} V_g \\ V_h \end{bmatrix} = \frac{1}{V_{CC}} \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix} \begin{bmatrix} V_d \\ V_q \end{bmatrix} \quad (4.1)$$

Os coeficientes da matriz de transformação (a_{11} a_{12} a_{21} a_{22}) normalizam V_g e V_h segundo o passo de tensão do inversor. Estes coeficientes são obtidos através de consulta a tabelas indexadas pelo número do sextante. Assim a tabela consulta do coeficiente **Aij** possui 6 elementos a_{ij} previamente calculados de acordo com o sextante.

A seguir apresenta-se o desenvolvimento matemático para a obtenção dos coeficientes para o inversor de cinco níveis considerando que V^* se encontra no sextante A. As componentes V_g e V_h são dadas pelas equações a seguir.

$$\begin{aligned} V_g &= Vx^* \left[\cos(\theta) - \frac{1}{\sqrt{3}} \sin(\theta) \right] \\ V_h &= \frac{2}{\sqrt{3}} Vx^* \sin(\theta) \end{aligned} \quad (4.2)$$

onde, Vx^* é o vetor de referência normalizado, dado por :

$$Vx^* = \frac{V^*}{V_{step5}} \quad (4.3)$$

Onde: V_{step5} é o passo de modulação para o inversor de cinco níveis.

$$V_{Step} = \frac{V_{max}}{(n-1)} \quad (4.4)$$

$$V_{Step5} = \frac{2V_{CC}}{3(5-1)} = \frac{V_{CC}}{6} \quad (4.5)$$

Assim:

$$Vx^* = \frac{6V^*}{V_{CC}}$$

Portanto, as projeções V_g e V_h são dadas por:

$$\begin{aligned}
 V_G &= \frac{6V^*}{V_{CC}} \left[\cos(\theta) - \frac{1}{\sqrt{3}} \sin(\theta) \right] \\
 V_H &= \frac{6V^*}{V_{CC}} \frac{2 \sin(\theta)}{\sqrt{3}}
 \end{aligned} \tag{4.6}$$

As componentes do eixo d e q normalizadas são dadas por:

$$\begin{aligned}
 V_d &= V^* \cos(\theta) \\
 V_q &= V^* \sin(\theta)
 \end{aligned} \tag{4.7}$$

Portanto,

$$\begin{bmatrix} V_G \\ V_H \end{bmatrix} = \frac{1}{V_{CC}} \begin{bmatrix} 6 & -2\sqrt{3} \\ 0 & 4\sqrt{3} \end{bmatrix} \begin{bmatrix} V_d \\ V_q \end{bmatrix} \tag{4.8}$$

As matrizes **Aij** dos coeficientes são dadas por:

$$\begin{aligned}
 A_{11} &= [\quad 6 \quad \quad 6 \quad \quad 0 \quad \quad -6 \quad \quad -6 \quad \quad 0] \\
 A_{12} &= [-2\sqrt{3} \quad 2\sqrt{3} \quad 4\sqrt{3} \quad 2\sqrt{3} \quad -2\sqrt{3} \quad -4\sqrt{3}] \\
 A_{21} &= [\quad 0 \quad \quad -6 \quad \quad -6 \quad \quad 0 \quad \quad 6 \quad \quad 6] \\
 A_{22} &= [4\sqrt{3} \quad 2\sqrt{3} \quad -2\sqrt{3} \quad -4\sqrt{3} \quad -2\sqrt{3} \quad 2\sqrt{3}]
 \end{aligned} \tag{4.9}$$

4.2.3 Identificação do sextante

A identificação do sextante onde o vetor de referência se localiza é determinado a partir de expressões envolvendo as componentes d e q de V^* . As expressões usadas são apresentadas a seguir:

$$\begin{aligned}
 A &= \text{Sign}(V_q) \\
 B &= \text{Sign}(\sqrt{3}V_d - V_q) \\
 C &= \text{Sign}(-\sqrt{3}V_d - V_q)
 \end{aligned} \tag{4.10}$$

A variável que identifica o sextante N_s é obtida pela expressão matemática mostrada a seguir:

$$N_s = A + 2B + 4C \tag{4.11}$$

A identificação do sextante é obtida utilizando a expressão lógica correspondente à equação (4.11). A função Sign é feita obtendo o bit de sinal da expressão envolvida. A multiplicação pelas constantes 2 e 4 é obtida fazendo deslocamentos à esquerda do bit de sinal

das referidas expressões. E a somatória é feita utilizando a expressão lógica OU. A tabela 2 relaciona o sextante com a variável N_S .

Tabela 4.2 - Relação entre o sextante e N_S

Sextante	1	2	3	4	5	6
N_S	3	1	5	4	6	2

4.2.4 Identificação do triângulo

A disposição das razões cíclicas t_a , t_b e t_c no sextante é a mesma independente da localização do vetor de referência. Assim, quando se utiliza o sistema de coordenadas móveis, o cálculo das razões cíclicas é simplificado, pois este independe do sextante em que se encontra o vetor de referência. Portanto, o universo para o cálculo das razões cíclicas é reduzido para um sexto. Para o inversor de cinco níveis, este universo é reduzido de 96 triângulos para apenas 16 triângulos. A Figura 4.3 apresenta a disposição das razões cíclicas no sextante. O cálculo das razões cíclicas é feito utilizando o princípio do valor médio que é dado pelas equações a seguir:

$$\begin{aligned} V_1 t_a + V_2 t_b + V_3 t_c &= V * T_s \\ t_a + t_b + t_c &= T_s \end{aligned} \quad (4.12)$$

Onde V_1 , V_2 e V_3 são vetores no vértice do triângulo, t_a , t_b e t_c são os respectivos tempos de chaveamento e T_s é o tempo de amostragem.

As partes inteiras de V_G e V_H são dadas por:

$$\begin{aligned} V_{GU} &= \text{floor}(V_g) \\ V_{HU} &= \text{floor}(V_h) \end{aligned} \quad (4.13)$$

Onde a função *floor* retorna a parte inteira da expressão.

E as partes fracionárias de V_G e V_H são dadas por:

$$\begin{aligned} V_{GF} &= V_g - V_{GU} \\ V_{HF} &= V_h - V_{HU} \end{aligned} \quad (4.14)$$

Define-se o modo de operação (Md) que se relaciona instantaneamente com a região onde o inversor está operando. Por definição temos as seguintes relações: Md = 0, o conversor opera com 2 níveis, Md = 1, o conversor opera com 3 níveis, Md = 2, com 4 níveis e Md = 3, com 5 níveis. A Figura 4.3 apresenta os vários níveis possíveis de operação para o inversor de cinco níveis. A expressão para a obtenção do modo de operação (Md) é dada por:

$$Md = \text{floor}(V_g + V_h) \quad (4.15)$$

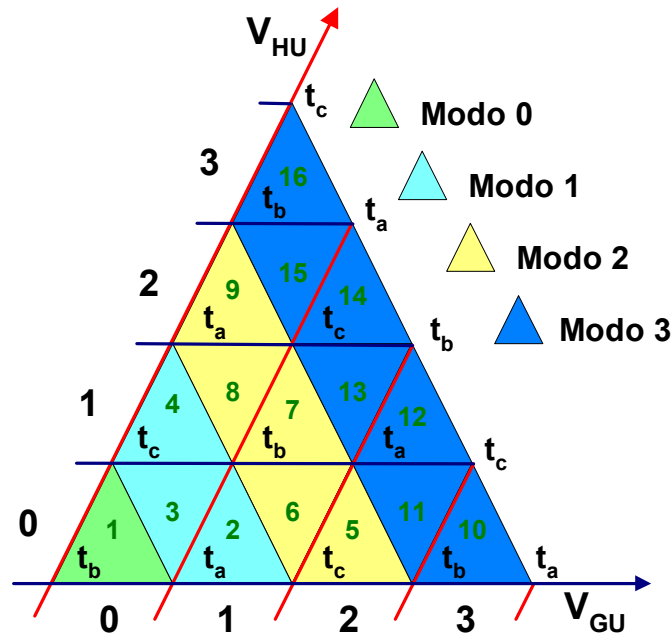


Figura 4.3 – Numeração dos triângulos e seqüência de vetores para o sextante 1

O triângulo (L_S) em que o vetor de referência está localizado é obtido por uma expressão muito simples, dada por:

$$L_S = Md^2 + Md + 1 + V_{HU} - V_{GU} \quad (4.16)$$

A Figura 4.3 mostra a ordenação da numeração dos triângulos no sextante (1 a 16); a ordem da numeração inicia-se no centro e desloca-se em direção a borda.

Observando a Figura 4.4 notamos que segundo a disposição dos vértices temos dois tipos diferentes de triângulo, os que têm a disposição igual ao triângulo número 1 com a variável $triang_type = 0$, e os que têm disposição diferente com a variável $triang_type = 1$. Com intuito de simplificar o cálculo das razões cíclicas definem-se novas razões cíclicas (t_g , t_h , t_{gh}) que tem suas disposições caracterizadas de acordo com o tipo de triângulo ($triang_type$) em que o vetor de referência se localiza, conforme pode ser visualizado na Figura 4.4.

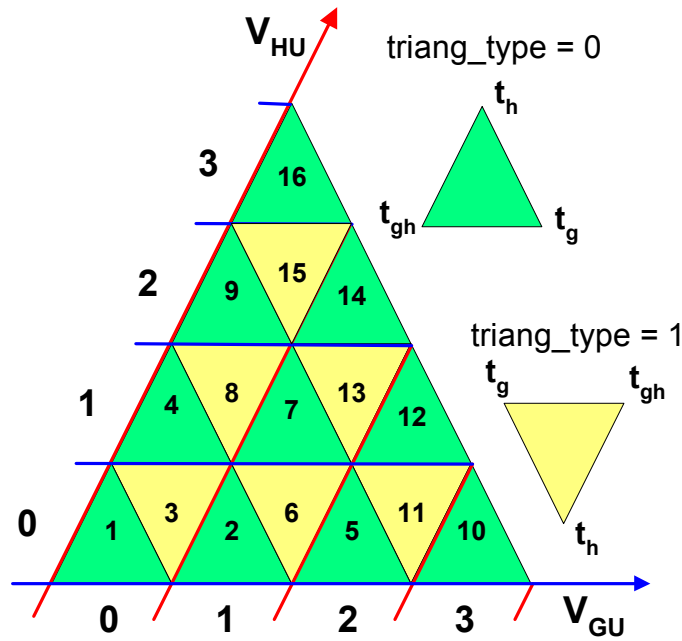


Figura 4.4 - Tipo de triângulo para o cálculo de t_g , t_h e t_{gh}

As razões cíclicas são obtidas pelas relações listadas a seguir

$$\begin{aligned} t_g &= |triang_type - V_{GF}| * T_S \\ t_h &= |triang_type - V_{HF}| * T_S \\ t_{gh} &= T_S - t_g - t_h \end{aligned} \tag{4.17}$$

Sendo que o tipo triângulo ($triang_type$) é obtido pelas relações a seguir:

Se $(L_S + M_d)$ é ímpar: faz-se $triang_type = 0$

Caso contrário $triang_type = 1$.

Esta simplificação é muito significativa, pois, passa-se de um universo de 16 padrões de cálculo de t_a , t_b , t_c para um único padrão de cálculo de t_g , t_h , t_{gh} .

4.3 - Síntese do padrão de chaveamento

Para definir uma seqüência (padrão) de chaveamento a ser utilizada é necessário saber em qual triângulo dentro do hexágono (L_H), o vetor de referência está localizado. As informações necessárias para esta identificação são o sextante (S) e a localização do triângulo dentro do sextante (L_S) em que o V^* está localizado. Esta relação é dada por:

$$L_H = (S - 1).16 + L_S \quad (4.18)$$

A Figura 4.5 apresenta a forma de onda típica da tensão fase-neutro VAN, a qual apresenta as contribuições dos cinco níveis de tensão, que é obtida de acordo com um padrão de chaveamento pré-escolhido. O padrão de chaveamento tem como objetivo reduzir o número de chaveamentos, proporcionar uma saída com baixo conteúdo harmônico, bem como, garantir um melhor balanço das tensões do elo CC. Neste sentido, a utilização adequada dos estados de chaveamentos redundantes faz-se necessário. O algoritmo proposto é flexível quanto à escolha do padrão a ser utilizado. Neste trabalho utilizou-se o padrão completo em que todos estados de chaveamentos são usados. O padrão completo de chaveamento é mais fácil de ser implementado resultando em um melhor equilíbrio das tensões dos capacitores, porém o número de chaveamentos é mais elevado.

O correto padrão de chaveamento depende de onde o vetor de referência localiza em sextante ímpar (A, C, F) ou par (B, D, F) [40]. Se o vetor tensão de referência localiza-se em um sextante ímpar a seqüência de chaveamento tem de ser do nível inferior para o nível superior (0, 1, 2, 3, 4), como mostrado na Figura 4.5. Por outro lado, se o vetor tensão de referência localiza-se em um sextante par a seqüência tem de ser do nível superior para o nível inferior (4, 3, 2, 1, 0). Conseqüentemente, o algoritmo usa um índice (S_type) para

identificar o sextante onde o vetor tensão de referência esta localizado. Sendo o sinal da onda portadora triangular e simétrica gerada por um contador simétrico “up/down” (crescente/decrecente), podem-se determinar os valores dos contadores das ondas modulantes para gerar os sinais de acionamento das chaves do inversor de acordo com a relação entre os estados das chaves e os níveis de tensão do inversor (apresentada na tabela 4.1) e de acordo com o sextante onde está localizado o vetor de referência V^* . Se o vetor de referência localiza-se em um sextante impar, a função de ativação do comparador é dita alta (“high”), ou seja, se o valor do contador é maior ou igual ao valor do sinal modulante, o sinal de saída recebe o nível lógico ‘1’. Em caso contrário, a função de ativação do comparador é dita baixa (‘low’), ou seja, se o valor do contador é maior ou igual ao valor do sinal modulante, o sinal de saída recebe o nível lógico “0”.

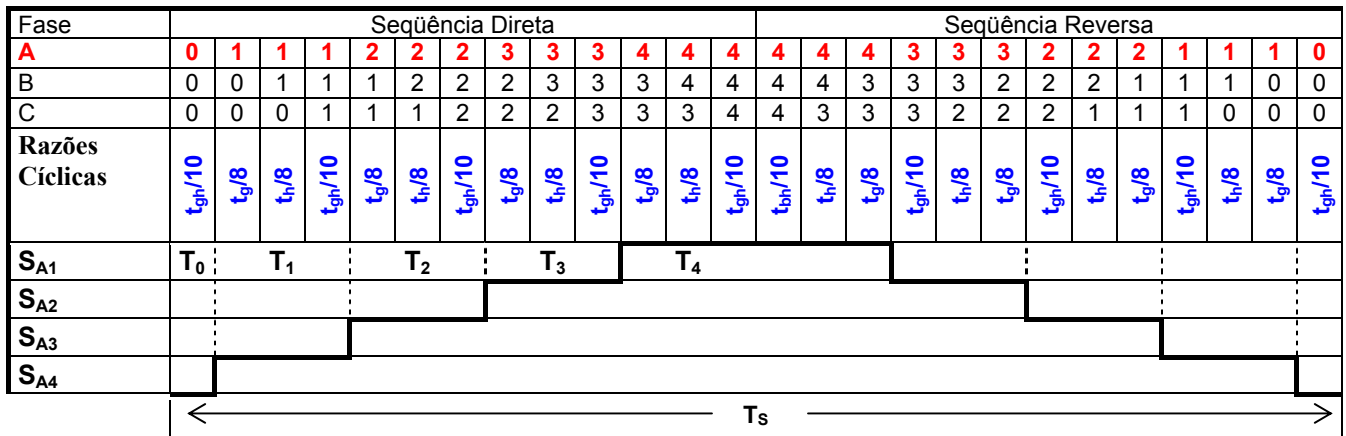


Figura 4.5 - Seqüência de chaveamento de uma tensão da fase A para o triângulo 1

Assim, considerando que V^* está localizando em um sextante impar, tem-se os valores dos contadores determinados pelas expressões a seguir:

$$\begin{aligned}
 C_{S1} &= T_0 + T_1 + T_2 + T_3 \\
 C_{S2} &= T_0 + T_1 + T_2 \\
 C_{S3} &= T_0 + T_1 \\
 C_{S4} &= T_0
 \end{aligned}
 \tag{4.19}$$

Se o vetor de referência localiza-se em um sextante par temos as seguintes expressões para os contadores:

$$\begin{aligned} C_{S1} &= T_4 \\ C_{S2} &= T_4 + T_3 \\ C_{S3} &= T_4 + T_3 + T_2 \\ C_{S4} &= T_4 + T_3 + T_2 + T_1 \end{aligned} \quad (4.20)$$

Os valores dos comparadores T_{SAx} para a fase **A** são calculados a partir da soma do produto das razões cíclicas t_g , t_h e t_{gh} pelos seus respectivos pesos K_{gAx} , K_{hAx} e K_{ghAx} obtida pela seguinte equação.

$$T_{SAx} = K_{gAx}(L_H)t_g + K_{hAx}(L_H)t_h + K_{ghAx}(L_H)t_{gh} \quad (4.21)$$

Onde os coeficientes K_{gAx} , K_{hAx} e K_{ghAx} são pré-calculados e armazenados em forma de tabela consulta de acordo com o padrão de chaveamento pré-estabelecido. Os coeficientes para a fase A são indexados pelo número do triângulo no hexágono (L_H) onde o vetor de referência está localizado. Os coeficientes para as fases B e C são obtidos deslocando o índice usado para a determinação dos coeficientes da fase A, de 120° (2 sextantes) e 240° (4 sextantes) respectivamente, ou seja $(L_H + 32)$ e $(L_H + 64)$.

A Figura 4.6 apresenta o diagrama lógico para obtenção dos sinais MLP para os níveis de uma fase do inversor de cinco níveis operando em sextante ímpar, e a Figura 4.7 apresenta o diagrama lógico para operação em sextante par.

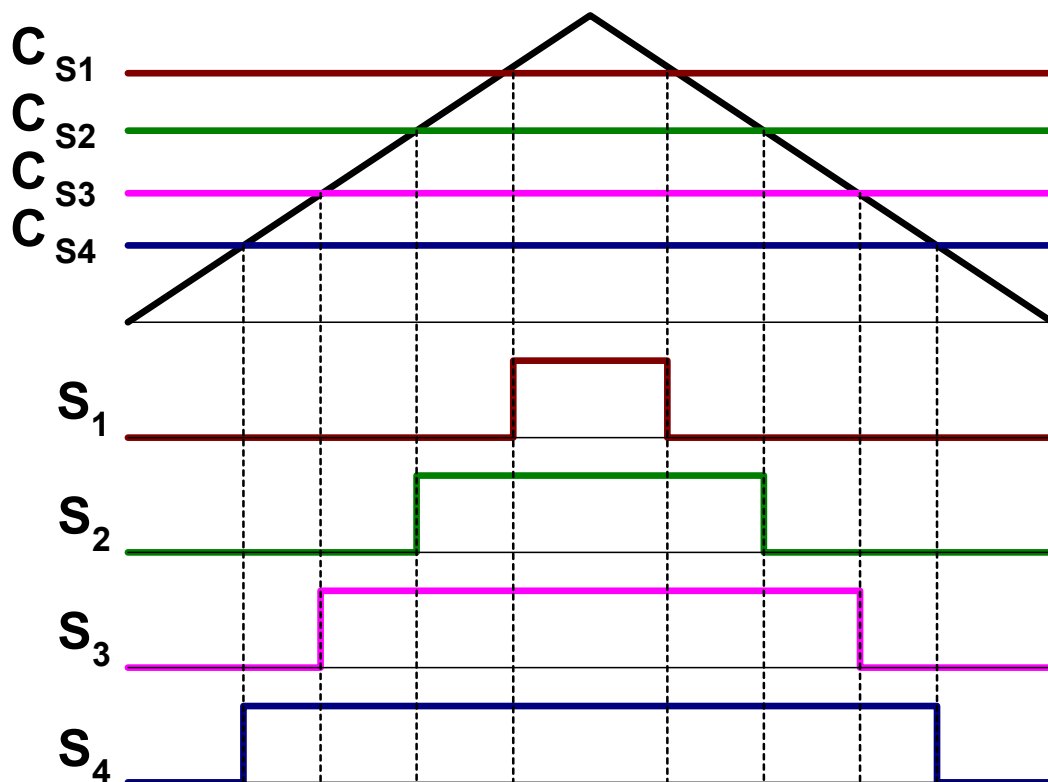


Figura 4.6 - Lógica de geração das ondas para os sinais MLP no sextante ímpar

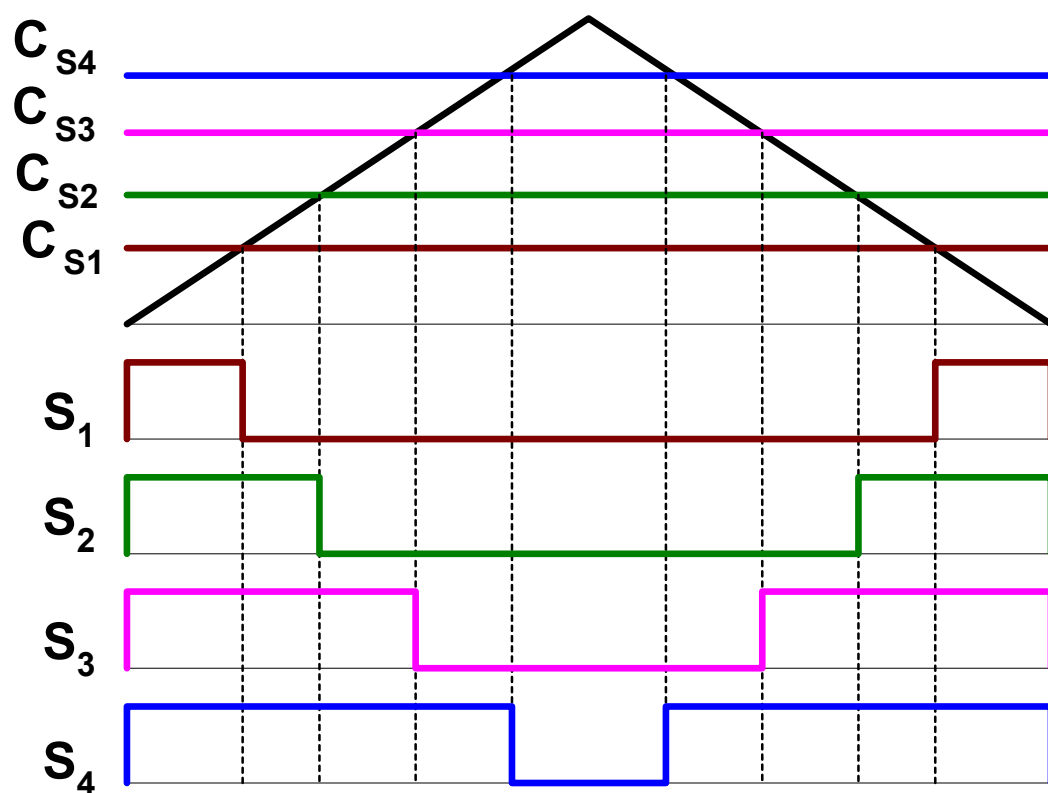


Figura 4.7 - Lógica de geração das ondas para os sinais MLP no sextante par

4.4 – Considerações da implementação utilizando DSP

A implementação deste algoritmo é considerada de esforço computacional reduzido, uma vez que todos os estágios são de fácil implementação.

O esforço computacional da estratégia da identificação do sextante onde V está localizado é muito baixo, uma vez que, utilizam-se o bit de sinal, operações lógicas booleanas e deslocamento de bits. A transformação do sistema dq0 para o sistema de coordenadas móveis é fácil, pois, envolve operações matemáticas simples.

Na identificação do triângulo, as partes inteiras e fracionárias são facilmente obtidas pela operação AND, isolando os bits desejados. A determinação das razões cíclicas apresenta um único padrão de cálculo, o esforço computacional é mínimo, uma vez que o DSP dispõe da função módulo (ABS).

O esforço computacional gasto na determinação dos valores dos comparadores para a geração dos tempos ON/OFF das chaves do inversor é proporcional à ordem deste. Pois, o número de chaves aumenta com a ordem do inversor. Esta etapa envolve consulta de tabelas, e a soma de produtos. O esforço computacional deste algoritmo é estimado em 550 ciclos de máquina para o DSP TMS320f240 da Texas Instruments®.

A geração dos sinais MLP das chaves do inversor são realizados por comparadores MLP externos ao DSP.

4.5. - Estudo de simulação

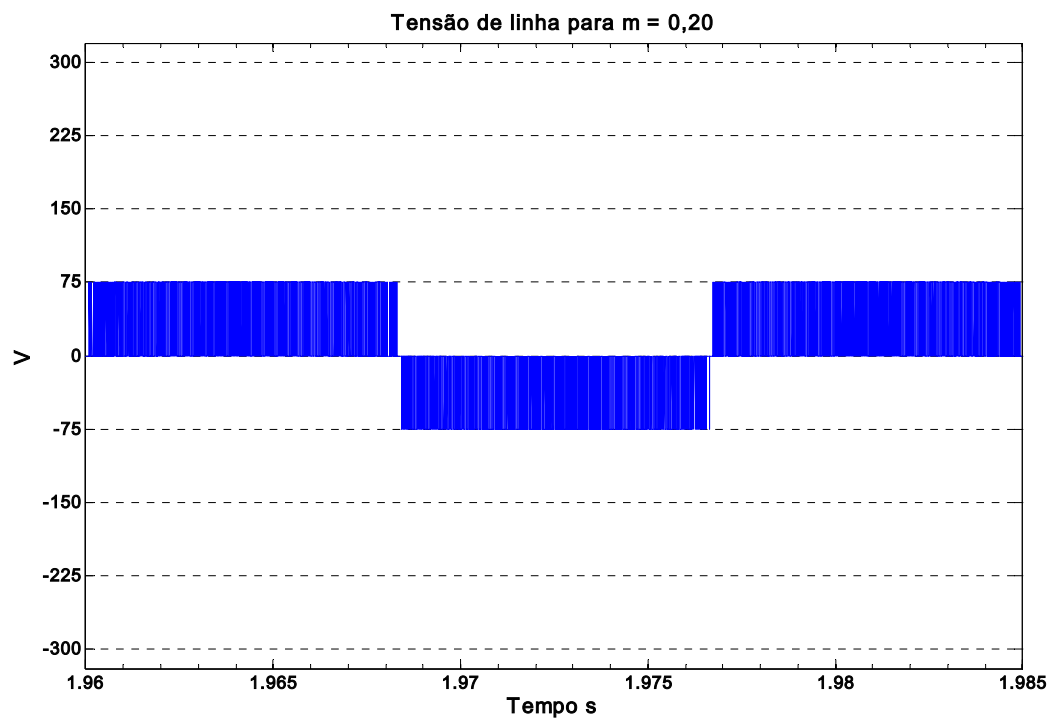
Um modelo MATLAB/Simulink de acionamento de um motor de indução controlado pelo princípio Volts/Hertz com um inversor de cinco níveis fonte de tensão foi construído e simulado com o algoritmo proposto. Os parâmetros do sistema de acionamento são dados pela tabela 4.3.

A performance do sistema foi estudada extensivamente usando diferentes índices de modulação (m) na faixa da região linear.

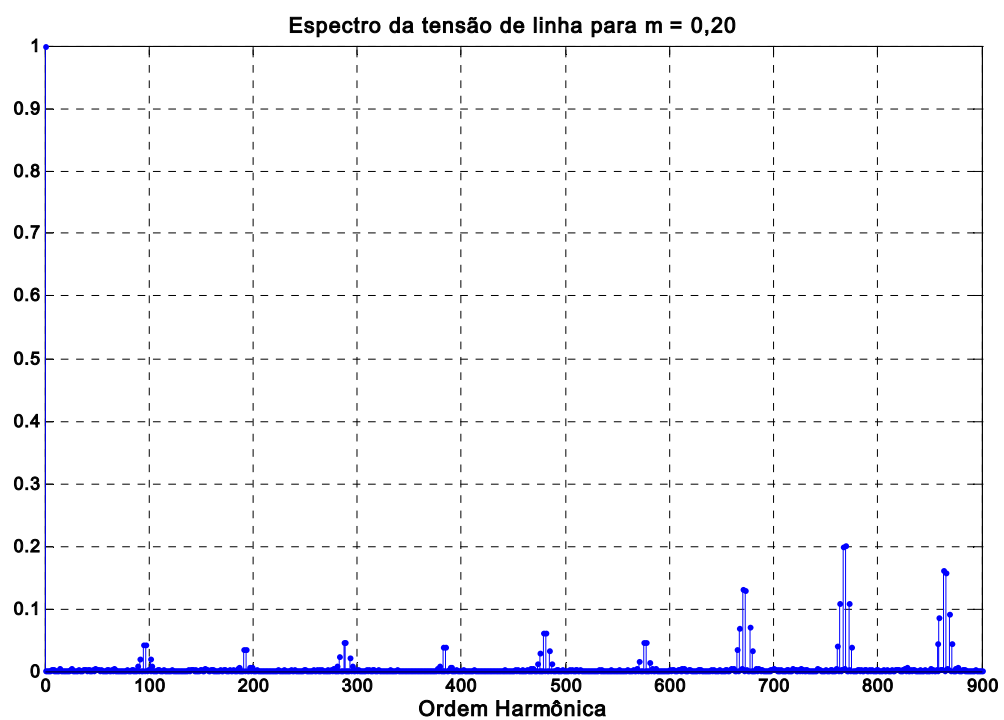
A Figura 4.8 ilustra desempenho (tensão de linha espectro da tensão de linha) do sistema com índice de modulação $m = 0,20$. Para este índice de modulação, a tensão de linha alterna entre -75 V e 0 V e entre 0 V e 75 V . O espectro harmônico da tensão de linha apresenta os harmônicos característicos, ou seja, múltiplos da frequência de chaveamento, com ordem harmônica iguais a 96, 192, 288, e assim por diante.

Tabela 4.3 - Parâmetros do sistema de acionamento

Tensão do elo CC (V_{cc})	300 V
Tempo de amostragem (T_s)	173,61 μs ($f_s=5,760\text{ kHz}$)
Motor de Indução	1 Hp, 230 V, 4 pólos
	Faixa de frequência: 0 – 60 Hz
	Fator de Potência (plena carga): 85%
	Eficiência: (plena carga): 85%
	Resistência do estator (R_s): 4,850 Ω
	Resistência do rotor (R_r): 5,386 Ω
	Indutância de dispersão do estator (L_{ls}): 18,48 mH
	Indutância de dispersão do rotor (L_{lr}): 20,53 mH
	Indutância de magnetização (L_m): 225 mH
	Momento de inércia do rotor (J): 0,01155 Kg.m^2
	Carga: ventilador [$T_L = k\omega r^2$] com $k = 1,65 \times 10^{-5}$



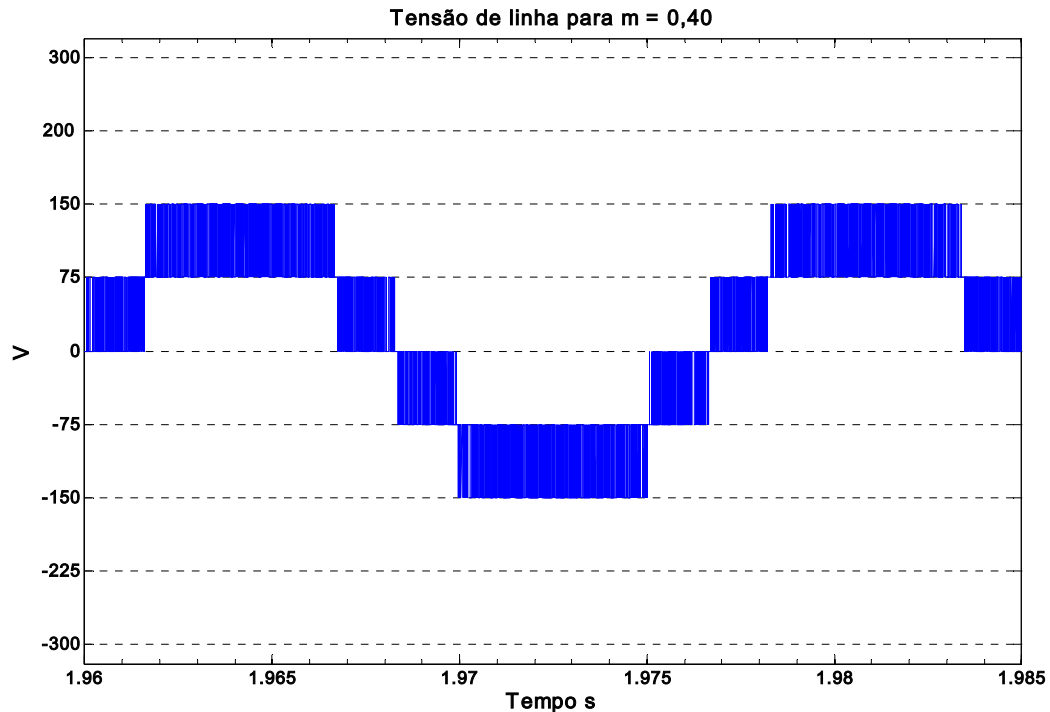
(a)



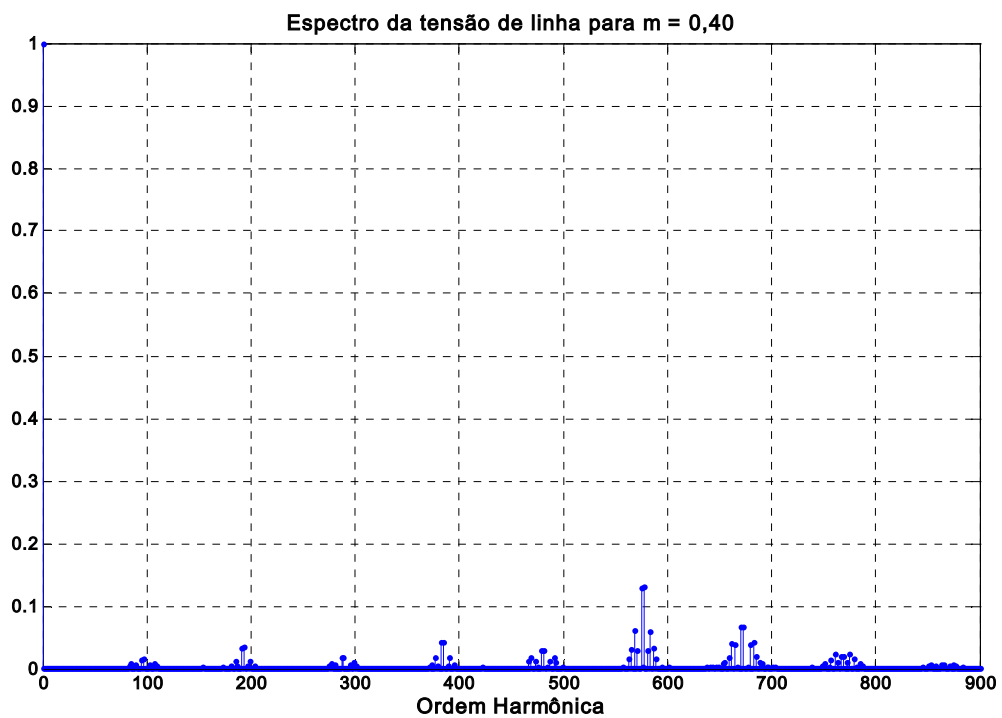
(b)

Figura 4.8 - Desempenho do sistema para $m = 0,20$ ($f = 60$ Hz)**(a) Tensão de linha****(b) Espectro da tensão de linha**

Com o aumento do índice de modulação para 0,40, a tensão de linha passa alternar entre -150 V e -75 V , -75 V e 0 V , 0 V e 75 V , e 75 V e 150 V , como pode ser verficar na Figura 4.9 (a). O espectro harmônico da tensão de linha é apresentado na Figura 4.9 (b).



(a)



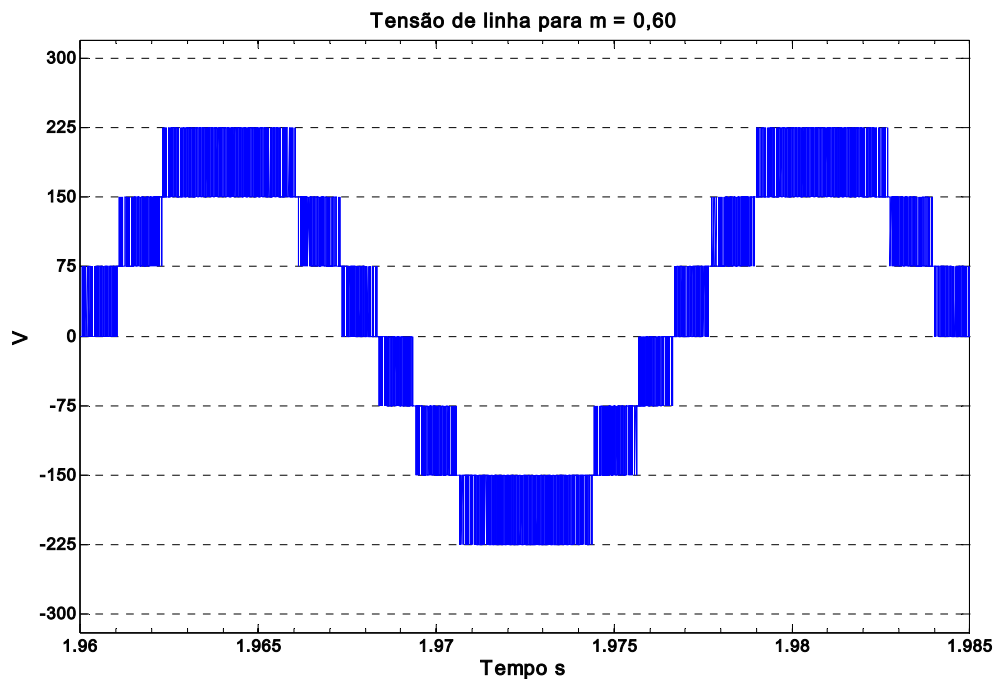
(b)

Figura 4.9 - Desempenho do sistema para $m = 0,40$ ($f = 60\text{ Hz}$)

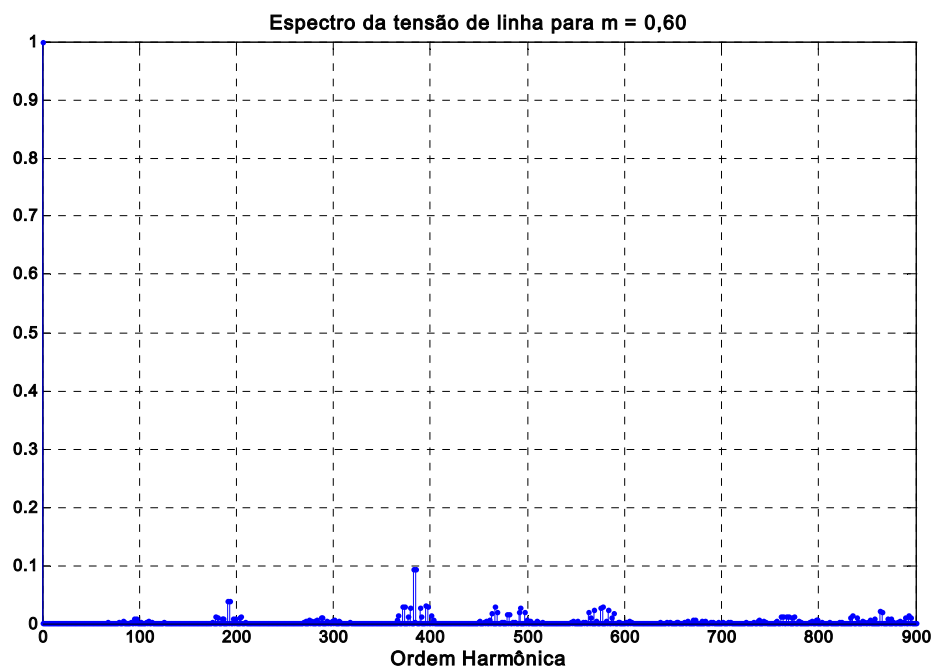
(a) Tensão de linha

(b) Espectro da tensão de linha

A Figura 4.10 apresentam as formas de onda da tensão de linha e de seu espectro harmônico para o índice de modulação $m = 0,60$. Além das alternâncias de tensão apresentadas para o índice de modulação $m = 0,40$, a forma de onda da tensão de linha apresenta as variações entre -225 V e -150 V e 150 V e 225 V .



(a)



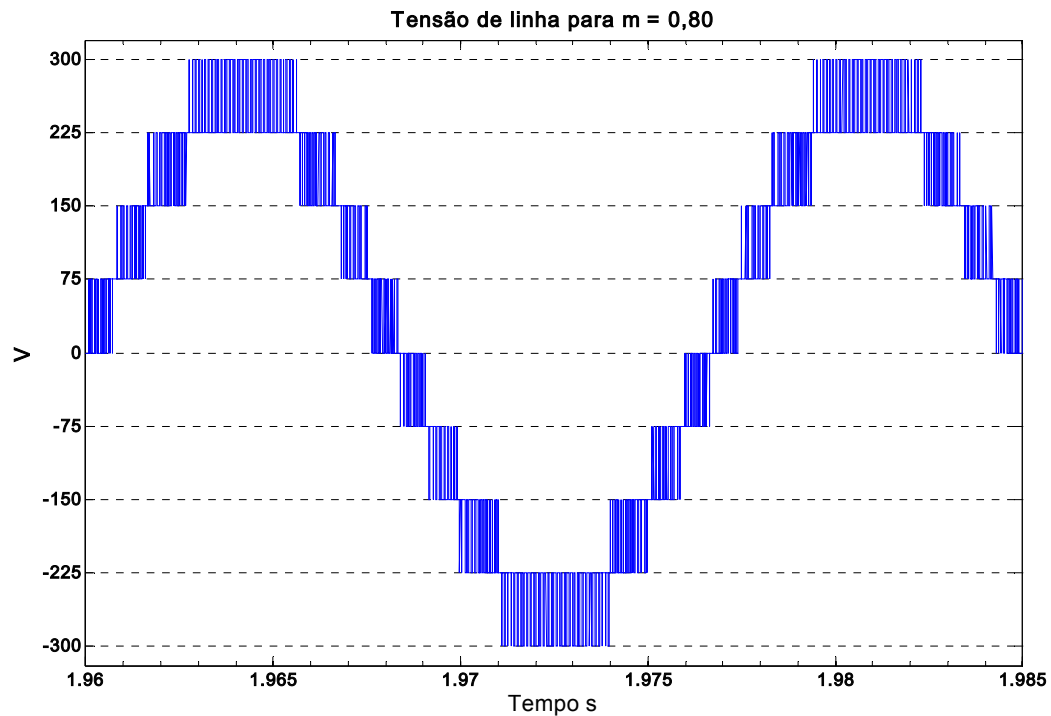
(b)

Figura 4.10 - Desempenho do sistema para $m = 0,60$ ($f = 60\text{ Hz}$)

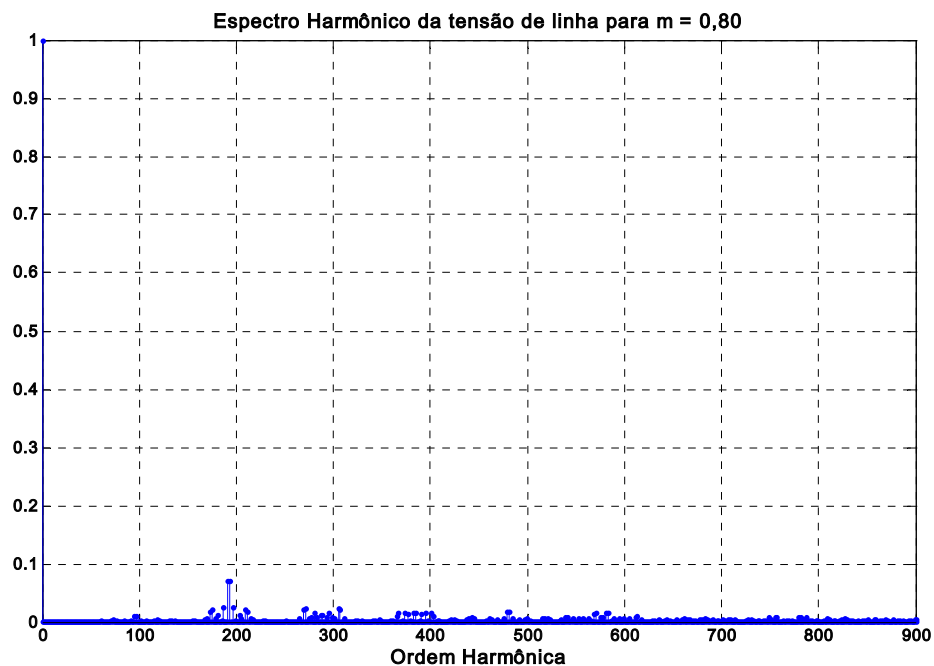
(a) Tensão de linha

(b) Espectro da tensão de linha

Por fim, a Figura 4.11 apresentam-se as formas de onda para o índice de modulação 0,80. A forma de onda da tensão de linha apresenta todas as alternâncias adjacentes possíveis para o inversor de cinco níveis, ou seja, -300 V e -225 V, -225 V e -150 V, -150 V e -75 V, -75 V e 0 V, 0 V e 75 V, 75 V e 150 V, 150 V e 225 V, e 225 V e 300 V.



(a)



(b)

Figura 4.11 - Desempenho do sistema para $m = 0,80$ ($f = 60$ Hz)

(a) Tensão de linha

(b) Espectro da tensão de linha

4.6 Conclusões

O novo algoritmo MLP vetorial utilizando coordenadas não-ortogonais para o inversor multinível com diodo de grameamento VSI é proposto, sendo facilmente aplicável independentemente da ordem do inversor. O esforço computacional permanece o mesmo independentemente do número de níveis do inversor, exceto para a etapa de definição do padrão de chaveamento no cálculo dos tempos em que as chaves do inversor permanecem ligadas. O esforço computacional aumenta de acordo com a ordem do inversor.

O algoritmo tem a flexibilidade de usar qualquer padrão de chaveamento. O padrão de chaveamento completo proporciona um melhor equilíbrio das tensões dos capacitores do barramento CC.

As contribuições mais relevantes do algoritmo são a identificação do sextante e a identificação do triângulo onde a tensão de referência está localizada. As equações matemáticas envolvidas são de fácil implementação.

Os resultados de simulação comprovam o desempenho deste novo algoritmo.

Capítulo 5

5 Algoritmo da Modulação Vetorial Via Redes Neurais Artificiais

5.1 Introdução

Os inversores multiníveis fonte de tensão com diodo de grampeamento têm-se tornado recentemente, muito populares para aplicações de potência na ordem de multi-megawatts. A principal vantagem desta topologia inversora é a divisão de tensão, isto é, a tensão de saída é produzida através de pequenos degraus, portanto as chaves individuais são submetidas a apenas pequenos níveis de tensão. Outras vantagens são a baixa distorção harmônica na saída, baixa dV/dt e a faixa linear estendida. Na modulação vetorial para inversor multinível, a identificação dos três vetores mais próximos (TVP) pelo algoritmo convencional é muito complexa. Este envolve tarefas, tais como, identificação do setor e do triângulo onde o vetor de referência está localizado, pesquisa em tabelas, e muitas operações trigonométricas para o cálculo das razões cíclicas. Algumas simplificações deste algoritmo foram propostas em [38] e [39]. Basicamente, estes artigos propõem o uso de sistemas de coordenadas não ortogonais. Estas contribuições são importantes para a simplificação do algoritmo. Contudo, mesmo com estas simplificações, a complexidade do algoritmo é bem alta.

Este capítulo propõe uma MLP vetorial baseada em rede neural artificial (RNA) para acionar um inversor fonte de tensão de cinco níveis. Basicamente, esta abordagem usa duas redes neurais do tipo feed-forward multicamadas. A primeira RNA usa a amplitude e o ângulo do vetor tensão de referência para a determinação dos três vetores mais próximos encontrando o triângulo onde o vetor de referência localiza-se. A segunda RNA é usada para o cálculo das razões cíclicas dos três vetores espaciais. Os tempos dos estados de chaveamentos são

calculados usando as razões cíclicas, as informações do sextante e do triângulo. Portanto, a parte mais complexa do algoritmo da MV é implementada por duas RNAs simples do tipo feed-forward multicamadas.

5.2. Inversor Multinível com MLP Vetorial

Como mencionado acima, o algoritmo MV convencional é muito complexo, e, portanto computacionalmente intensivo. A complexidade aumenta com o número de níveis (n) do inversor porque o número de estados de chaveamentos cresce com n .

Em um inversor de n -níveis, o número de estados de chaveamentos N_s é dado por:

$$N_s = n^3 \quad (5.1)$$

e o número de vetores espaciais de tensão N_v é dado por

$$N_v = n^3 - (n-1)^3 \quad (5.2)$$

Estes vetores de tensão dividem o plano d-q em N_T triângulos. A relação entre o número de triângulos e número de níveis do inversor é dado por:

$$N_T = 6.(n-1)^2 \quad (5.3)$$

Por exemplo, o inversor de cinco níveis apresentado pelo diagrama simplificado pela Figura 5.1, tem 125 estados de chaveamento dos quais 61 são vetores espaciais efetivos, e correspondentemente, o plano d-q é dividido em 96 triângulos, como pode ser visualizado pela Figura 5.2.

No algoritmo da MV, entre todos os vetores espaciais (N_v), apenas os três vetores mais próximos (TVP) do vetor de referência, isto é, os que se localizam nos vértices do triângulo que cercam o vetor de referência são usados para compor a tensão de saída. A Figura 5.2 apresenta os vetores espaciais e os triângulos correspondentes para o inversor de cinco níveis.

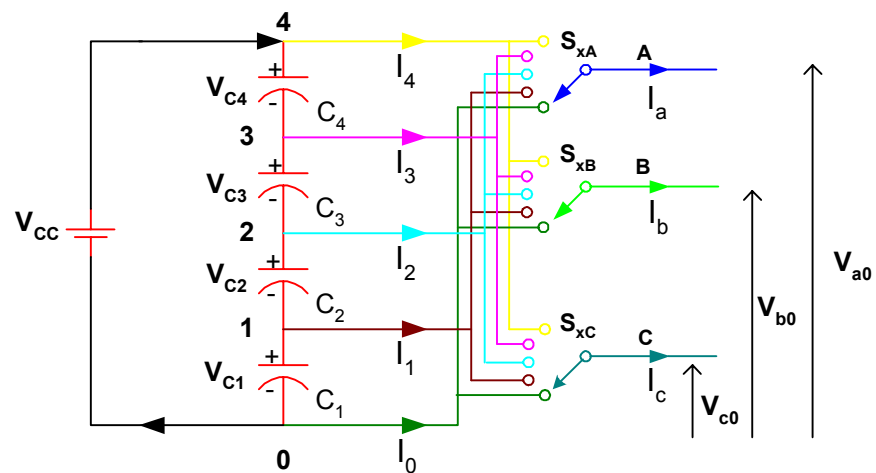


Figura 5.1 - Representação simplificada de um inversor de cinco níveis

5.2.1 Identificação do triângulo

Para assegurar alta qualidade harmônica na saída e o balanço da tensão nos capacitores mostrados na Figura 5.1, o uso da seqüência dos vetores para sintetizar a tensão de saída é importante. A seqüência correta é obtida pela identificação exata do triângulo onde o vetor de referência está localizado e a seleção apropriada entre os vetores de tensão redundantes apresentados na Figura 5.2. Por exemplo, o triângulo 1, apresentado na Figura tem conjunto de estados dados por 444/222/111/333/000, 332/221/443/110 e 322/211/433/100, respectivamente. Uma abordagem conveniente é identificar o triângulo equivalente considerando um sextante, independentemente do sextante aonde o vetor tensão de referência está localizado. O resultado deste método é uma simplificação significativa no cálculo das razões cíclicas (t_a , t_b , e t_c) do TVP. A simplificação é devido ao fato que o vetor tensão de referência pode ser considerado estando sempre no primeiro sextante o qual reduz consideravelmente o número de triângulos a serem identificados. Por exemplo, em um método MV convencional de um inversor de cinco níveis, a posição onde vetor de referência localiza, pode ser identificado no universo de 96 triângulos. No entanto, usando a simplificação proposta, este universo consiste em apenas 16 triângulos.

Uma estratégia para identificar o triângulo onde o vetor de referência localiza-se é obtida no capítulo anterior ou alternativamente em [37]. Esta estratégia [37] usa translação de coordenadas e um fator de rotação para determinar a sequência de números de triângulos no primeiro sextante. A sequência da ordenação é feita horizontalmente da esquerda para a direita. Outra estratégia foi desenvolvida no capítulo 4 onde a sequência de ordenação é feita diagonalmente do centro para borda.

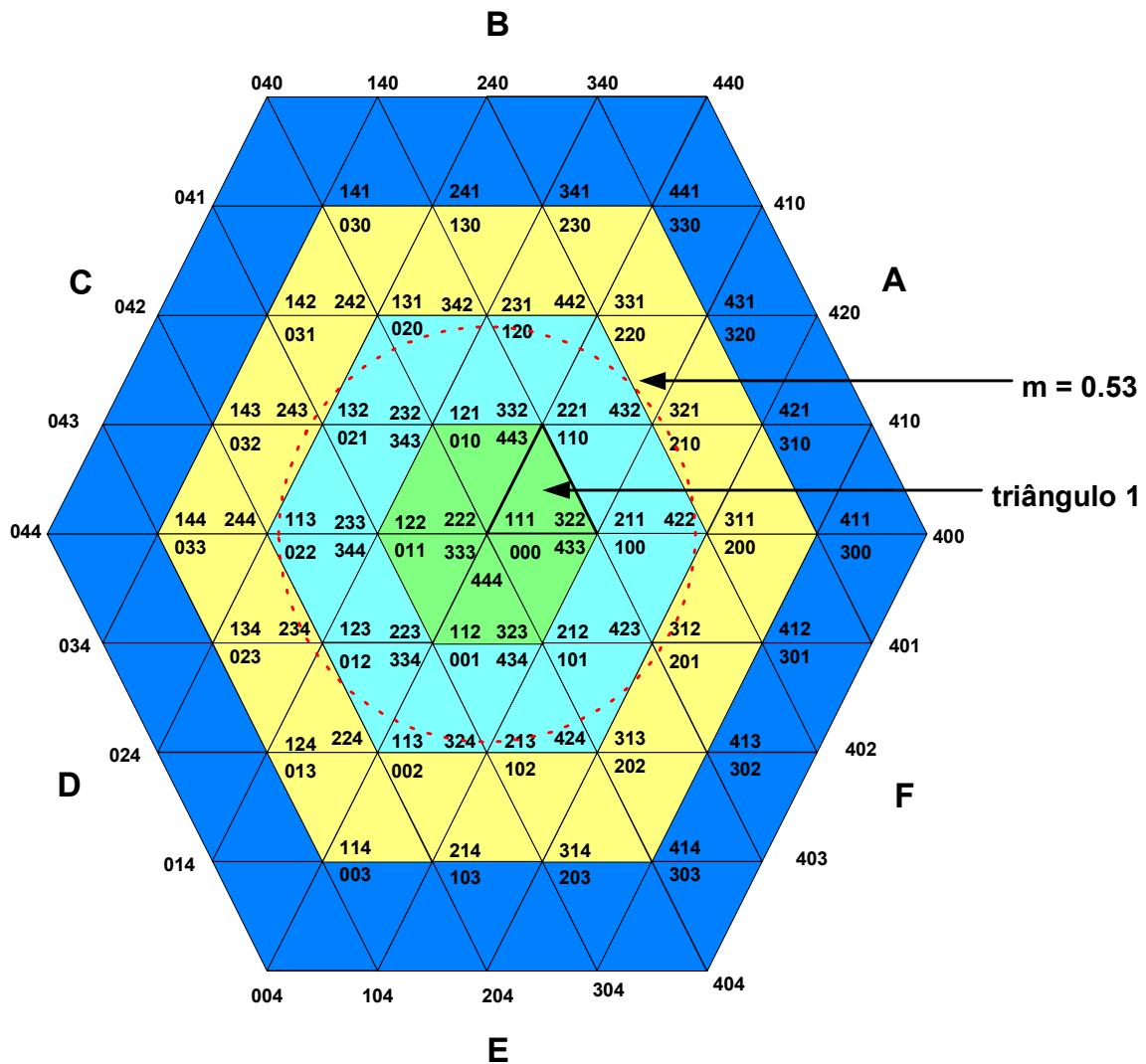


Figura 5.2 - Estados de chaveamentos no plano dq do inversor de cinco níveis

A principal vantagem desta ordenação é que ela generaliza a numeração dos triângulos para um inversor com qualquer número de níveis. Por exemplo, pelo uso deste esquema de ordenação, se o nível do inversor é três, certa numeração é adaptada. Após, se o número de

níveis aumenta para quatro, a numeração que foi usada para o inversor de três níveis é definida e apenas o quarto nível dos triângulos é numerada. Isto é muito importante na generalização desta abordagem. Outra vantagem desta abordagem é que a seqüência de triângulos em que se faz através de dado índice de modulação (m) é de fácil previsão. Por exemplo, em um inversor de cinco níveis, se $m = 0,90$, os triângulos através no qual o vetor de referência deve passar são 10, 11, 12, 13, 14, 15, 16, (10+16), (11+16), e assim por diante. Portanto, a seqüência de numeração permanece independente do número de níveis do inversor.

A Figura 5.3 apresenta a metodologia para numeração e seqüência correspondente de vetores para cada triângulo no sextante 1. A razão cíclica de cada vetor é obtida em acordo com o princípio do valor médio, que é dado por:

$$\begin{aligned} V_1 t_a + V_2 t_b + V_3 t_c &= V^* \\ t_a + t_b + t_c &= T_s \end{aligned} \quad (5.4)$$

Onde V_1 , V_2 e V_3 são vetores dos vértices do triângulo, t_a , t_b e t_c são os respectivos tempos de chaveamento e T_s é o tempo de amostragem.

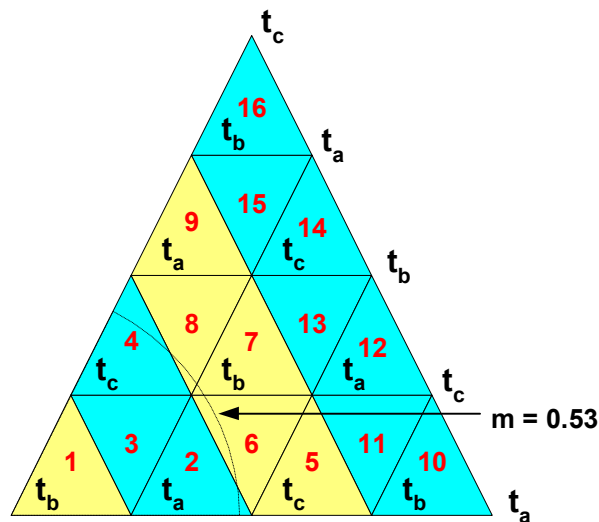


Figura 5.3 - Numeração dos triângulos e seqüência dos vetores para o sextante 1

5.2.2 Síntese do padrão de chaveamento

A estratégia do uso apropriado dos estados de chaveamentos redundantes (ver Figura 5.2) garante o número mínimo de chaveamentos, o conteúdo harmônico ótimo na saída, e melhor balanço das tensões dos capacitores do elo CC, como mencionado anteriormente. Na geração do padrão de chaveamento completo, todos os vetores redundantes são usados. No entanto, o algoritmo proposto é flexível no sentido que este possa usar o padrão de sequência de chaveamento completo ou reduzido.

A sequência dos estados em um período de amostragem (T_s) é predefinida e depende do número do triângulo no hexágono onde o vetor tensão de referência se localiza (L_H). Portanto, o número do triângulo pode ser obtido usando o número do sextante ($sext$) onde o vetor de referência localiza-se e número do correspondente triângulo no primeiro sextante (L_S). Esta relação é dada por

$$L_H = (S - 1) \cdot 16 + L_S \quad (5.5)$$

A equação (5.5) determina a posição (número) do triângulo no hexágono a partir do número do triângulo equivalente no sextante 1 mais um off-set de acordo com o número do sextante. No inversor de cinco níveis, para o sextante 1, 2, 3, 4, 5, e 6, os respectivos off-sets são 0, 16, 32, 48, 64 e 80. Esta relação simplifica consideravelmente o algoritmo para a determinação do número do triângulo.

No passo seguinte, o problema é a determinação do intervalo de tempo de cada nível de tensão no período de chaveamento da onda de tensão. A Figura 5.4 apresenta a síntese da forma de onda da tensão da fase A para o vetor de referência localizado no triângulo 1. Nesta forma de onda, por exemplo, para obter o valor do contador da chave S1A, segundo (4.19) devem-se somar os tempos $T_0 + T_1 + T_2 + T_3$. Como estes tempos são dependentes das razões cíclicas t_a , t_b e t_c , o valor do contador para geração do sinal de acionamento da chave S1A

pode ser escrito como a somatória dos produtos das razões cíclicas pelos seus respectivos pesos, como é apresentado pela equação a seguir.

$$C_{S1A} = K_{aS1A}(L_H)t_a + K_{bS1A}(L_H)t_b + K_{cS1A}(L_H)t_c \quad (5.6)$$

Onde os coeficientes K_{aS1A} , K_{bS1A} e K_{cS1A} são os pesos das contribuições das razões cíclicas t_a , t_b e t_c . Estes pesos são constantes para qualquer localização do vetor de referência V^* em um determinado triângulo. Então, estes pesos são precalculados e armazenados em forma de tabelas consulta indexados por L_H . Na Figura 5.4, o coeficiente da razão cíclica t_a para o interruptor S1A, (K_{aS1A}) é obtido por $(0 + 1/8 + 1/8 + 1/8)$ que totaliza $(3/8)$ e o coeficiente da razão cíclica t_b (K_{bS1A}) é obtido por $(1/10 + 1/10 + 1/10 + 1/10)$ que totaliza $(2/5)$, e finalmente o coeficiente da razão cíclica t_c para o nível 4 (K_{cS1A}) é obtido por $(0 + 1/8 + 1/8 + 1/8)$ que totaliza $(3/8)$. Assim, para calcular os valores para os contadores das outras chaves usa-se o mesmo procedimento supracitado, baseado nas equações (4.19), (4.20) e (5.16).

Fase	Sequência Direta												Sequência Reversa														
A	0	1	1	1	2	2	2	3	3	3	4	4	4	4	4	4	3	3	3	2	2	2	1	1	1	0	
B	0	0	1	1	1	2	2	2	3	3	3	4	4	4	4	3	3	3	2	2	2	1	1	1	0	0	
C	0	0	0	1	1	1	2	2	2	3	3	3	4	4	3	3	3	2	2	2	1	1	1	0	0	0	
Razões cíclicas	$t_b/10$	$t_a/8$	$t_c/8$	$t_b/10$	$t_a/8$	$t_c/8$	$t_b/10$	$t_a/8$	$t_c/8$	$t_b/10$	$t_a/8$	$t_c/8$	$t_b/10$	$t_a/8$	$t_c/8$	$t_b/10$	$t_a/8$	$t_c/8$	$t_b/10$	$t_a/8$	$t_c/8$	$t_b/10$	$t_a/8$	$t_c/8$	$t_b/10$	$t_a/8$	
S _{A1}	T ₀	T ₁		T ₂		T ₃		T ₄		T _{4A}																	
S _{A2}										T _{3A}																	
S _{A3}												T _{2A}															
S _{A4}												T _{1A}															
	← T_s →																										

Figura 5.4 - Sequência de chaveamento de uma tensão de fase para o triângulo 1

5.2.3 Síntese dos sinais MLP

As ondas MLP para as três fases podem ser geradas por palavras digitais correspondendo aos tempos ligados de cada interruptor com ajuda de um “electrically

programmable logic device” (EPLD). Para assegurar o balanço das tensões, um padrão de chaveamento apropriado deve ser usado.

O padrão de chaveamento depende de onde o vetor de referência está localizado, se em um sextante ímpar (A, C, E) ou em um sextante par (B, D, F) [40]. Se o vetor de referência encontra-se em um sextante ímpar, a sequência deve ser do nível inferior para o superior (0, 1, 2, 3, 4) como é apresentado na Figura 5.4. Por outro lado, se o vetor tensão de referência localiza-se em um sextante par, a sequência de chaveamento deve ser do nível maior para o menor (4, 3, 2, 1, 0). Portanto, o algoritmo usa um índice para identificar o sextante em que está localizado o vetor tensão de referência. A Figura 5.5 apresenta o diagrama lógico de geração para obter os sinais MLP das chaves de uma fase do inversor de cinco níveis.

A síntese dos sinais MLP pode ser feita por um EPLD ou por um circuito lógico auxiliar.

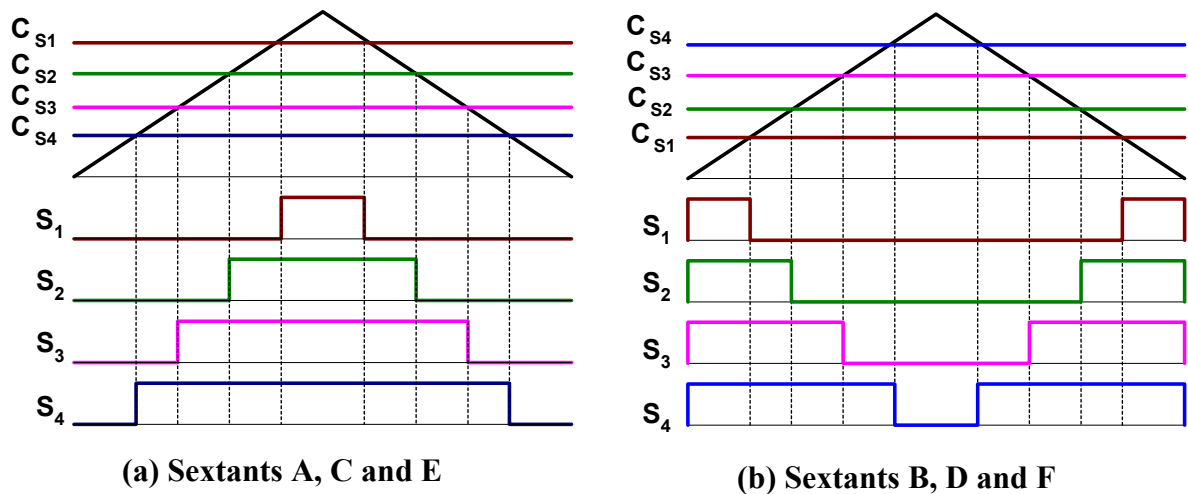


Figura 5.5 - Lógica da geração de curvas para sinais MLP

5.3 – Modulação Vetorial via Redes Neurais

Conforme descrito na seção 5.2, o algoritmo MLP vetorial é muito complexo, e evidentemente a complexidade aumenta conforme o número de níveis do inversor aumenta. A

complexidade está localizada em duas etapas do algoritmo, isto é, (i) identificação do triângulo onde o vetor de referência está localizado e (ii) o cálculo das razões cíclicas.

As Redes Neurais Artificiais têm se mostrado muito úteis na implementação do algoritmo MV [40], [30]. Foi apresentado em [30] que os tempos de chaveamento podem ser determinados pelo uso de duas redes neurais. Uma RNA calcula a função amplitude de tensão, e a outra calcula a função ângulo. As saídas das duas RNAs são multiplicadas, e finalmente os tempos de chaveamento são obtidos pela somatória de uma constante ao produto. No entanto, esta estratégia é válida apenas para inversores de dois e três níveis, pois à medida que o número de níveis aumenta, a precisão desta estratégia se deteriora.

O trabalho proposto aqui é um melhoramento da estratégia sugerida em [46] e [47]. A Figura 5.6 apresenta o esquema de implementação com dois estágios da topologia de rede neural a qual é explicada a seguir:

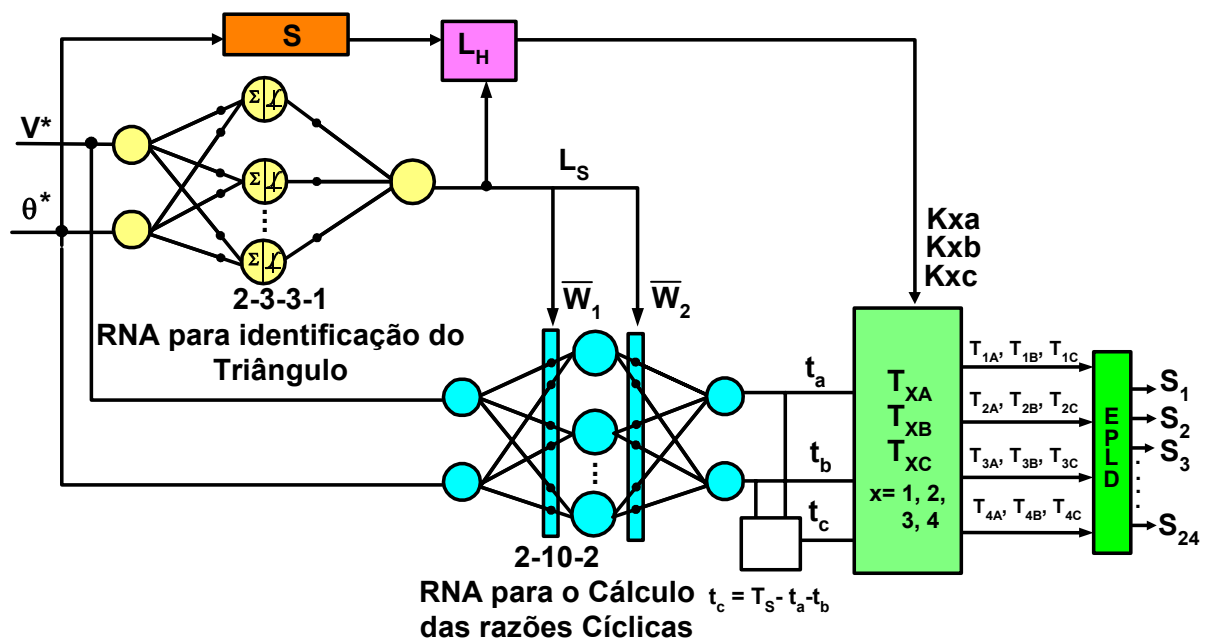


Figura 5.6 - Diagrama de blocos da MV via RNAs para um inversor de cinco níveis

5.3.1 Identificação do Triângulo Via Rede Neural

A primeira RNA na Figura 5.6 mapeia a amplitude (V^*) e o ângulo (θ^*) do vetor tensão de referência para o número do triângulo equivalente (L_s) onde o vetor localiza-se, e L_s

é o número do triângulo no primeiro sextante. A identificação do triângulo é um caminho para determinar os três vetores de tensão que serão usados para sintetizar o vetor tensão de referência. A saída desta RNA alimenta dois blocos como apresentado na Figura 5.6, isto é, os vetores de pesos $\bar{W}_1$ e $\bar{W}_2$ da segunda RNA e bloco para determinação da sequência de chaveamento na Figura 5.4. A RNA usada na identificação do triângulo é uma rede feed-forward multicamadas. Para treinar esta RNA, um conjunto de dados de treinamento foi gerado usando o algoritmo desenvolvido no capítulo anterior. O toolbox de rede neural do MATLAB da MATH-WORKS foi usado no treinamento da RNA. O conjunto de dados de treinamento foi composto por 3361 padrões de entrada/saída. A topologia final da RNA é 2-3-3-1, isto é, 2 neurônios de entrada, duas camadas ocultas com 3 neurônios cada, e um neurônio de saída, a função de ativação usada para os neurônios das camadas ocultas foi do tipo tan-sigmoide, mas os neurônios das camadas de entrada e saída usaram a função de ativação linear. A RNA poderia ter apenas uma camada oculta para se obter um desempenho equivalente, mas o total de neurônios seria bastante elevado.

O critério de parada do treinamento usado foi o número máximo de épocas. Para esta RNA, o treinamento foi feito com 1250 épocas, e a soma do erro quadrático (SSE) após 1250 épocas foi 0,001. A RNA foi testada usando 200 padrões de entrada/saída escolhidos aleatoriamente, e os resultados foram muito bons. A Figura 5.7 apresenta a performance da RNA baseada na identificação do triângulo para um índice de modulação $m = 0,53$ (indicado pela curvas tracejadas nas Figuras 5.2 e 5.3). A RNA identificou os triângulos do primeiro sextante corretamente, o que demonstra o sucesso desta metodologia.

5.3.2 Cálculo das Razões Cíclicas Via Redes Neurais

A segunda RNA, apresentada na Figura 5.6, mapeia a amplitude e ângulo do vetor tensão de referência para as razões cíclicas dos TVP. Estas são palavras digitais correspondendo aos intervalos de tempo t_a , t_b e t_c , onde $t_a + t_b + t_c = T_s$. No entanto, dois

problemas devem ser superados para treinar com sucesso a RNA para este mapeamento. O primeiro problema é relacionado ao tamanho do banco de dados para treinamento de todo hexágono porque as faixas de amplitude e ângulo do vetor tensão de referência em um inversor multinível são muito amplas. O segundo problema é a alta não linearidade entre as variáveis de entrada (amplitude e ângulo do vetor de referência) e variáveis de saída (razões cíclicas dos TVP).

A estratégia adotada foi o uso de uma RNA “quase dinâmica”, isto é, a RNA tem um conjunto de pesos e bias para cada triângulo (L_S) no primeiro sextante que são atualizados pela primeira RNA de acordo com a posição (triângulo) do vetor tensão de referência.

A vantagem deste método é que ao invés do treinamento desta RNA para a faixa total do hexágono, é treinado para cada um dos 16 triângulos do primeiro sextante resultando em 16 conjuntos de pesos e bias.

Neste método, o treinamento é significativamente menos difícil (i) as não linearidades são muito menores em apenas um triângulo, o que aumenta a treinabilidade da RNA e (ii) o conjunto de dados de treinamento é muito menor do que para toda a faixa de operação.

Evidentemente, o treinamento para cada triângulo lida com um conjunto de dados que é 96 vezes menor, e, portanto o treinamento é muito mais fácil e consome menos tempo. O treinamento desta RNA usa 16 conjuntos de dados com 1327 padrões para cada triângulo. A topologia final da RNA é 2-10-2. A função de ativação dos neurônios ocultos é do tipo tan-sigmoide, e os neurônios das camadas de entrada e saída usam o tipo linear. O treinamento da RNA de cada triângulo, no pior caso, foi feito em 1500 épocas e a somatória do erro quadrático após 1500 épocas foi 1×10^{-10} . As Figura 5.8, 5.9 e 5.10 apresenta o desempenho da RNA para calcular as razões cíclicas t_a , t_b e t_c para o índice de modulação $m = 0,53$, e os erros correspondentes com os valores calculados usando as equações da MV. Observa-se que

os erros das razões cíclicas foram bastante insignificantes, indicando, assim, uma excelente performance da RNA.

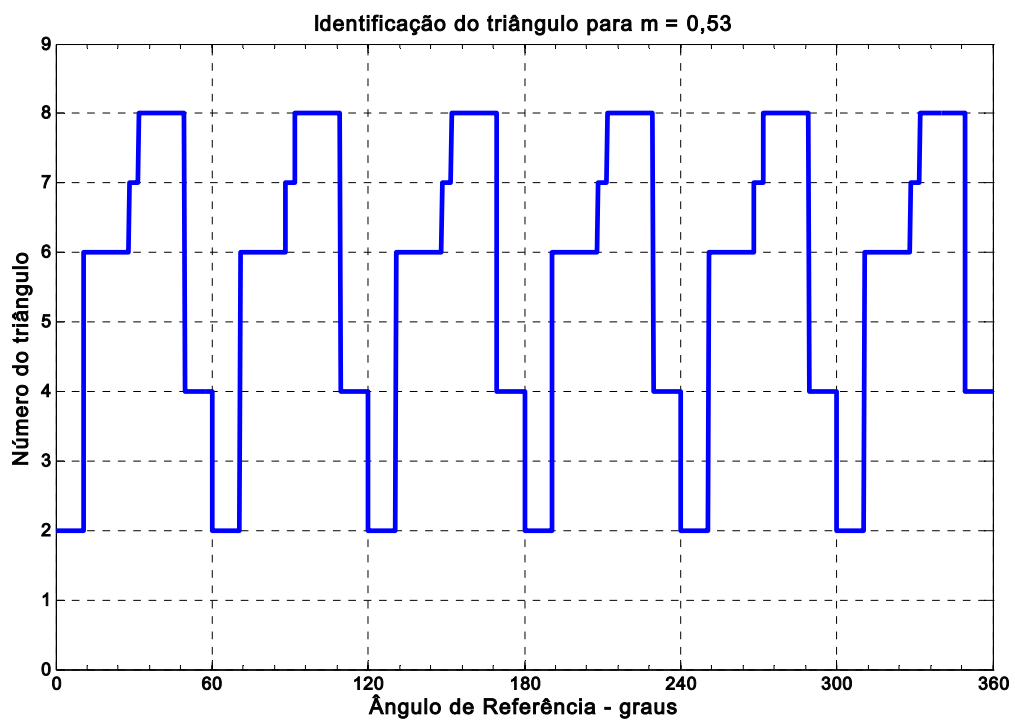
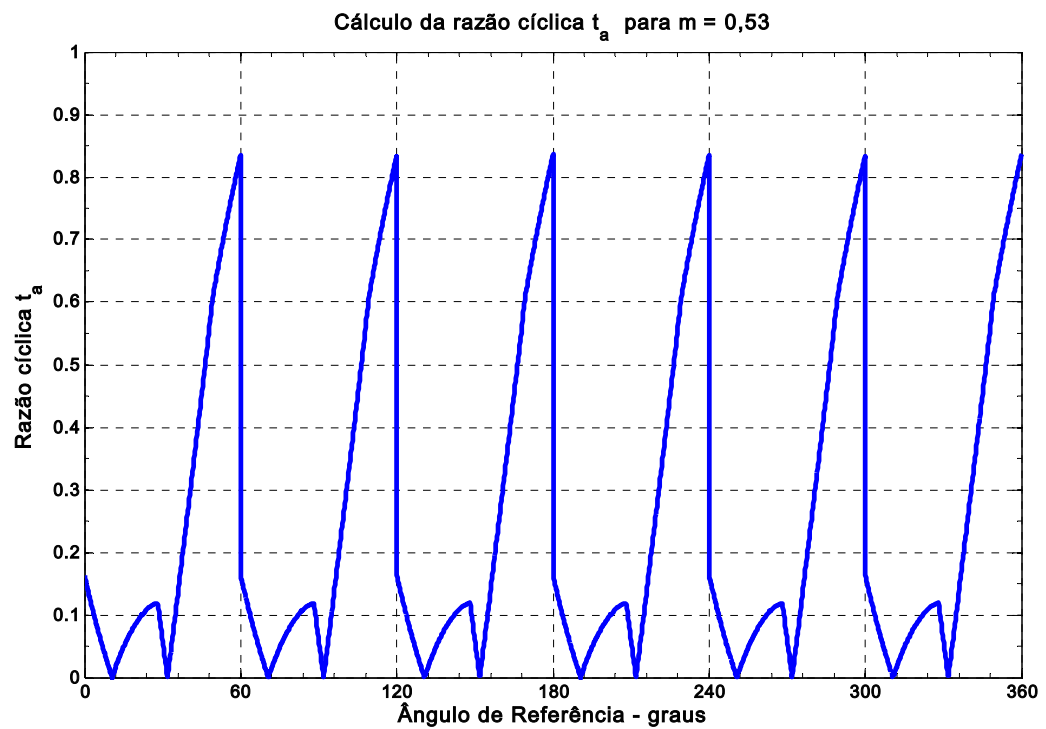


Figura 5.7– Identificação do triângulo baseado na RNA para trajetória do vetor tensão de referência $m = 0,53$



(a)

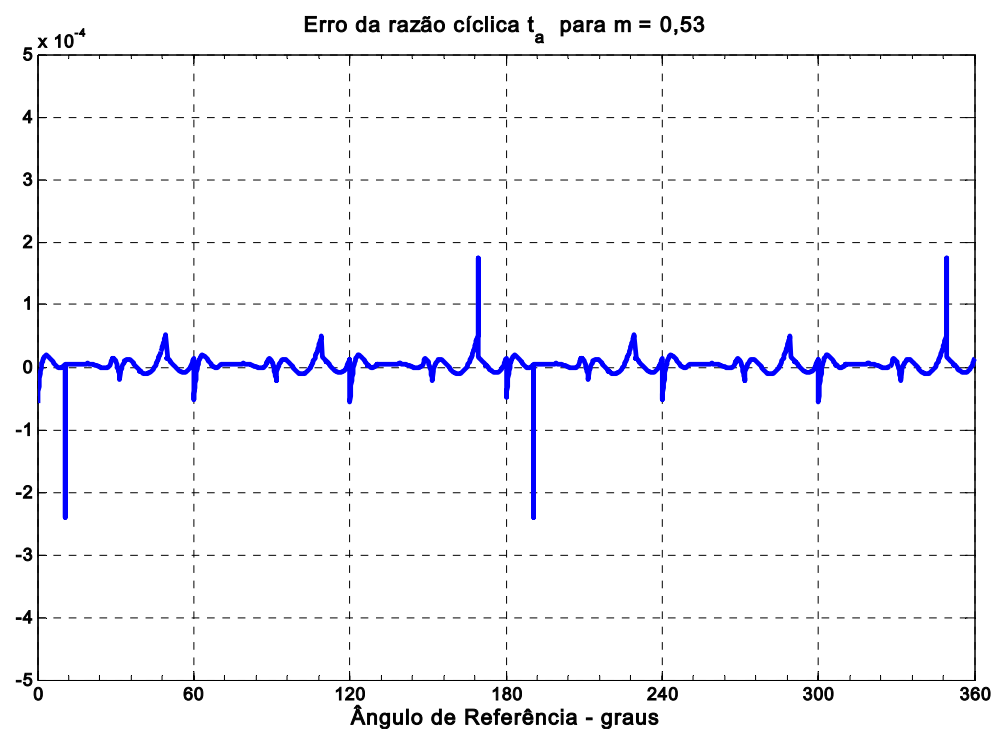
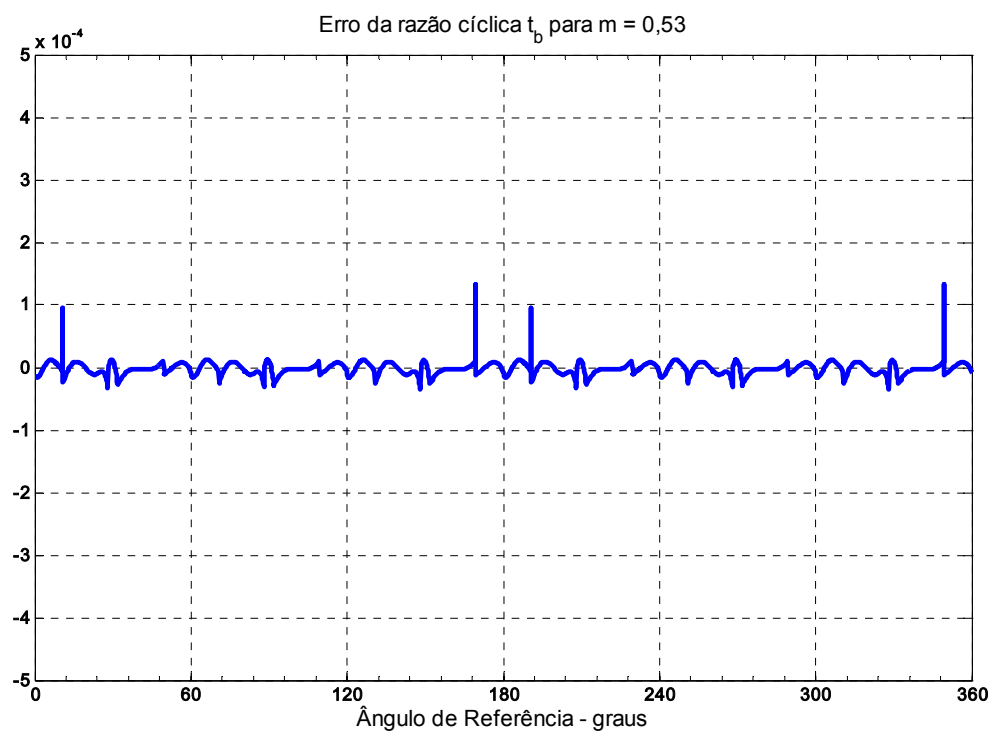
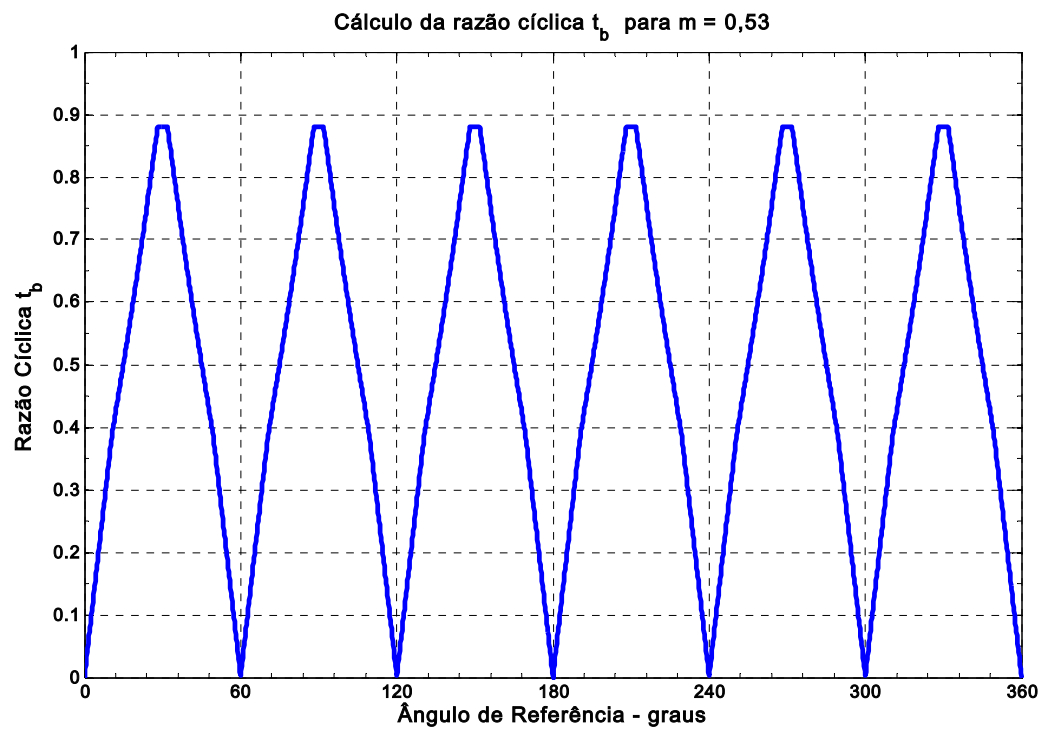


Figura 5.8 – Cálculo da razão cíclica usando RNA

(a) Razão cíclica t_a para $m = 0,53$

(b) Erros das razões cíclicas t_a e t_b para $m = 0,53$

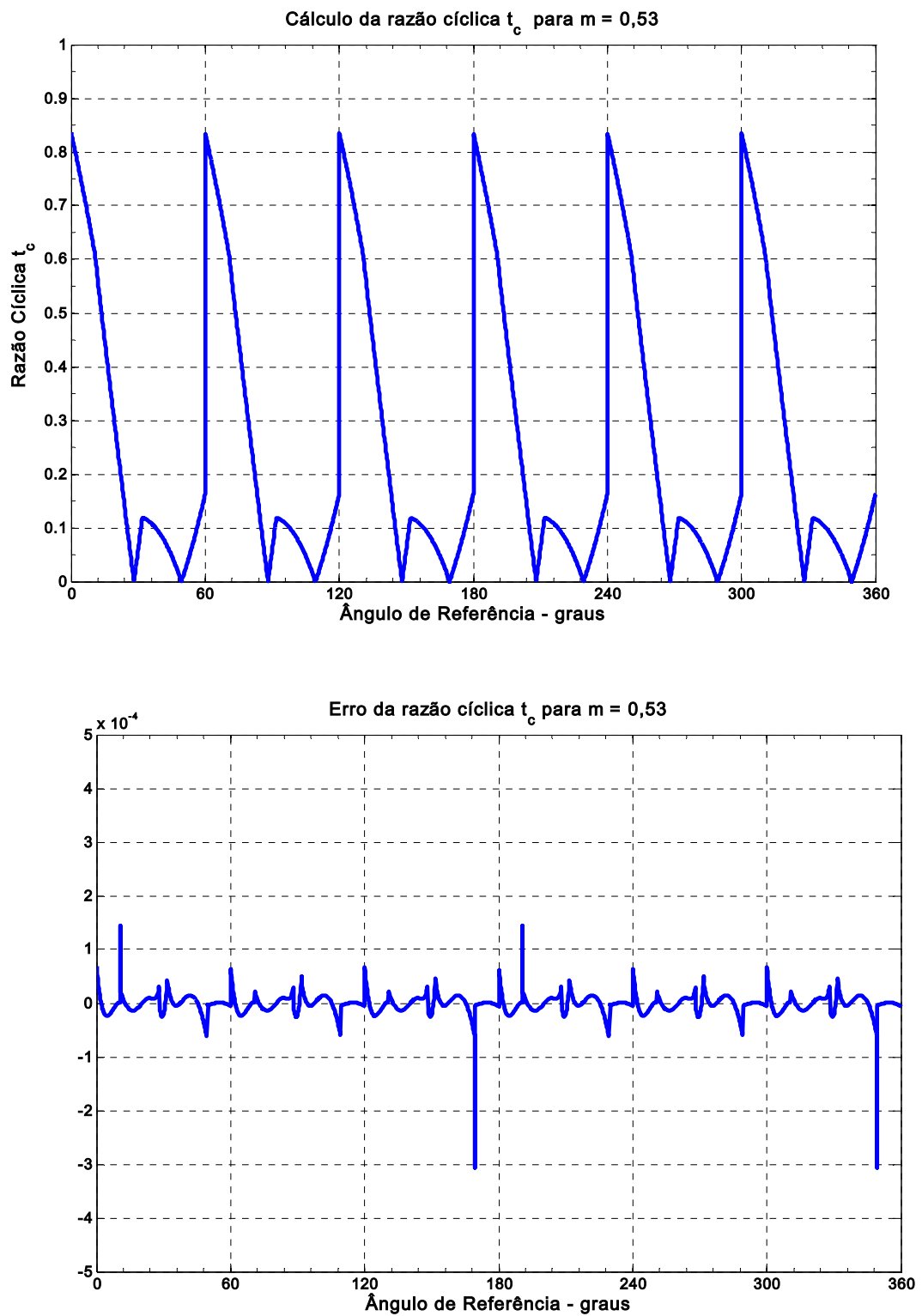


(b)

Figura 5.9 – Cálculo da razão cíclica usando RNA

(a) Razão cíclica t_a para $m = 0,53$

(b) Erros das razões cíclicas t_a e t_b para $m = 0,53$



(c)

Figura 5.10 – Cálculo da razão cíclica usando RNA

(a) Razão cíclica t_a para $m = 0,53$

(b) Erros das razões cíclicas t_a e t_b para $m = 0,53$

Os sinais digitais correspondentes para t_a , t_b e t_c gerados por esta RNA são multiplicados pelos coeficientes dos sinais MLP para o EPLD mostrado na Figura 5.6. Os coeficientes são novamente obtidos de uma tabela consulta, onde o índice é L_H .

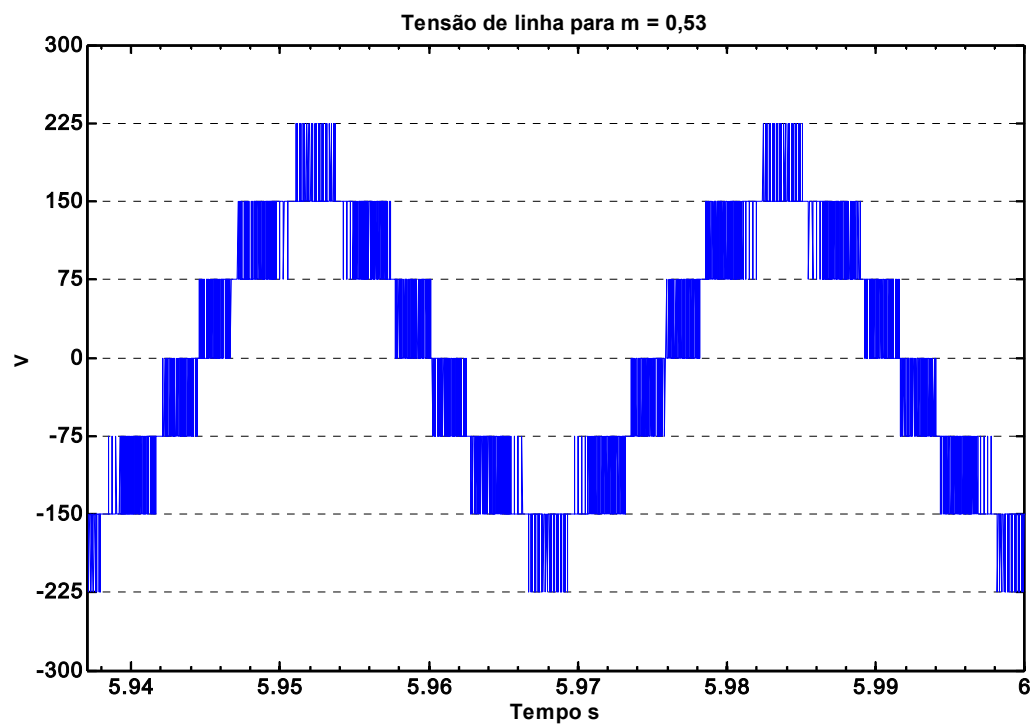
5.4 Resultados de Simulação

Um modelo MATLAB/Simulink de acionamento de um motor de indução controlado Volts/Hz com inversor de cinco níveis fonte de tensão foi construído para validar RNA proposta na abordagem MV. Após próprio treinamento e teste das duas redes neurais, o sistema é mostrado na Figura 5.6 foi incluído na simulação. Os parâmetros do sistema de acionamento são dados na Tabela 5.1.

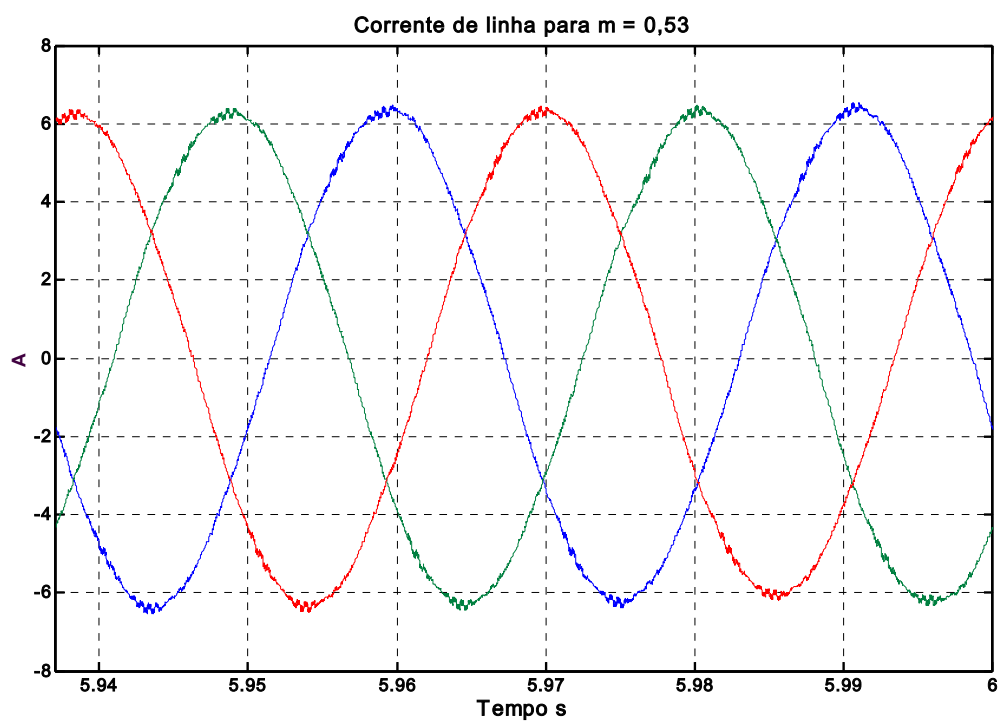
A performance do sistema foi estudada extensivamente usando diferentes índices de modulação na região linear. A Figura 5.9 ilustra performances (tensão de linha, corrente de linha) do sistema com índice de modulação $m = 0,53$. As performances em outras condições de operação foram excelentes.

Tabela 5.1 - Parâmetros do sistema de acionamento

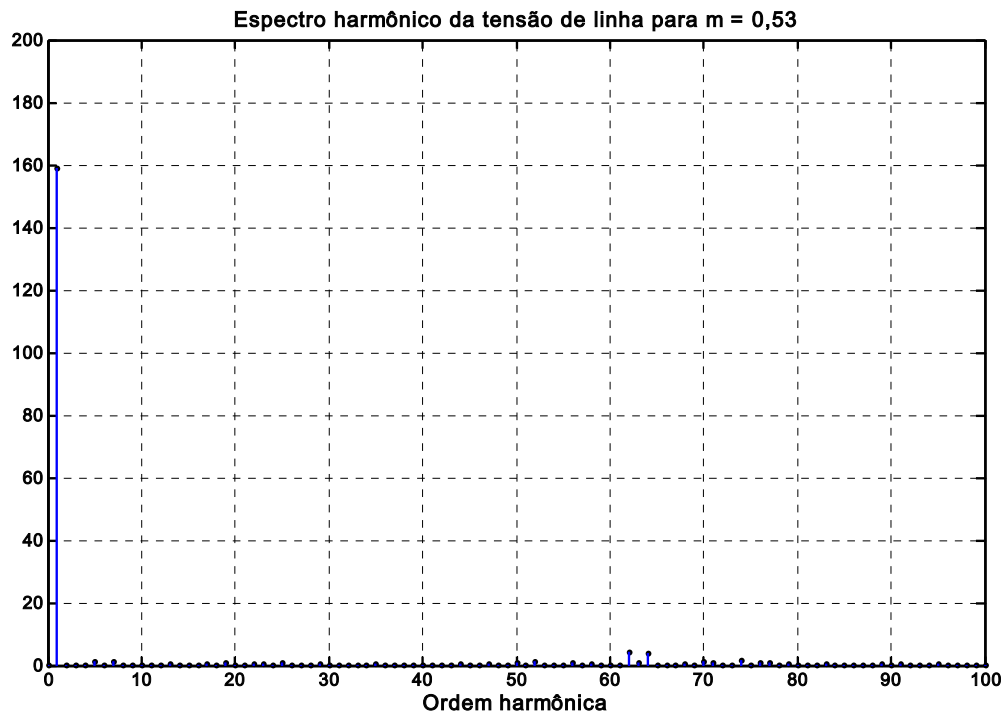
Tensão do elo CC (V_{cc})	300 V
Tempo de amostragem (T_s)	500 μ S ($f_s=2$ kHz)
Motor de Indução	5 Hp, 230 V, 4 pólos
	Faixa de frequência : 0 – 60 Hz
	Fator de Potência (plena carga): 0,85
	Eficiência (plena carga): 86%
	Resistência do estator (R_s): 0,5814 Ω
	Resistência do rotor (R_r): 0,4165 Ω
	Indutância de dispersão do estator (L_{ls}): 3,479 mH
	Indutância de dispersão do rotor (L_{lr}): 4,15 mH
	Indutância de magnetização (L_m): 78,25 mH
	Momento de inércia do rotor (J): 0,10 Kg.m ²
	Carga Ventilador [$T_L = \omega r^2$]: $k = 8,25 \times 10^{-5}$



(a)



(b)



(c)

Figura 5.11 - Desempenho do sistema para $m = 0,53$ ($f = 31,8$ Hz)

- (a) Tensão de linha (V_{AB})
- (b) Corrente de linha (I_A)
- (c) Espectro da tensão de linha

5.5 Conclusões

Este capítulo propõe a modulação por largura de pulso vetorial baseada em RNA para um inversor de cinco níveis fonte de tensão. Esta abordagem usa duas RNAs para implementar o algoritmo MLP vetorial. Uma RNA foi usada para a identificação do triângulo, gerando a correspondente matriz pesos para a segunda RNA, e a matriz de coeficientes para ondas MLP. A segunda RNA foi usada para o cálculo das razões cíclicas dos três vetores mais próximos. A implementação da RNA baseada em MV, particularmente com “Application-Specific Integrated Circuit” ASIC, é consideravelmente mais simples do que a tradicional solução DSP. As RNAs foram projetadas, treinadas, e testadas e os resultados obtidos foram satisfatórios. A performance de um acionamento de um motor de indução controlado Volts/Hz com inversor cinco níveis foi avaliada extensivamente MV baseada RNA foi compatível aos resultados do modulador. A metodologia descrita pode ser facilmente estendida para inversores de ordem mais elevada.

Capítulo 6

6 Implementação do Algoritmo da MV Via Coordenadas Móveis Não-Ortogonais para Inversor de Três Níveis

6.1 Introdução

Neste capítulo propõe-se a implementação de um protótipo de um inversor de três níveis com MLP vetorial com coordenadas móveis não-ortogonais utilizando DSP TMS320F240 da Texas Instruments para confirmação com resultados experimentais para a abordagem teórica e dos resultados de simulação. Neste intuito, os seguintes tópicos são abordados neste capítulo: O inversor de três níveis do tipo grampeado, DSP TMS320F240, a implementação do algoritmo da MV em coordenadas móveis não-ortogonais usando o DSP TMS320F240, a descrição do protótipo implementado, resultados de simulação, resultados experimentais, e conclusões.

6.2 Inversor de três níveis do tipo com diodo de grampeamento

Como pode ser vista, a Figura 6.1 apresenta o inversor de três níveis do tipo com diodo de grampeamento. Este inversor possui os seguintes níveis de tensão 0, 1, 2; onde 0 é o nível conectado ao pólo negativo da fonte V_{CC} , 1 é o nível conectado ponto médio e 2 é o nível conectado ao pólo positivo da fonte V_{CC} .

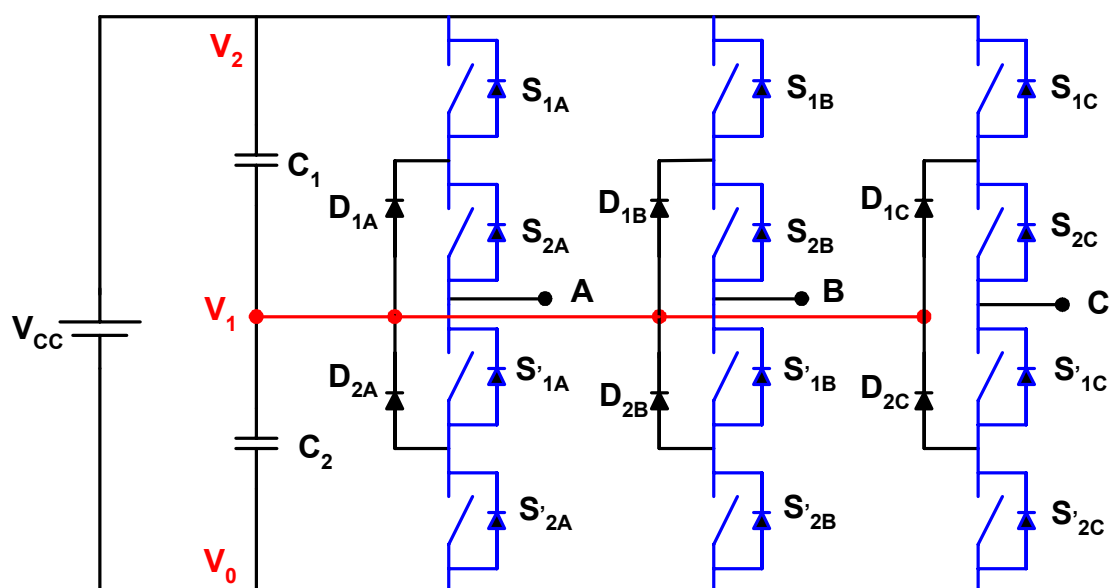


Figura 6.1 – Inversor de três níveis com diodo de grampeamento

A Tabela 6.1 mostra a relação entre os estados de chaveamento (2, 1, 0) com estados ligado/desligado das chaves do inversor.

Tabela 6. 1 - Estados de chaveamento de um inversor de 3 níveis

Nível de Tensão	Tensão de saída V_{an}	S_{1X}	S_{2X}	S'_{1X}	S'_{2X}
2	$V_{CC}/2$	Ligado	Ligado	Desligado	Desligado
1	0	Desligado	Ligado	Ligado	Desligado
0	$-V_{CC}/2$	Desligado	Desligado	Ligado	Ligado

A disposição dos vetores de chaveamento para o inversor de três níveis é apresentada na Figura 6.2, há 27 estados de chaveamento, sendo que 19 vetores são efetivos e 8 vetores são redundantes. Os vetores de chaveamento dividem o espaço em 24 regiões, sendo 4 regiões por sextante. De acordo com a amplitude dos vetores de chaveamento são divididos em nulos, médios e grandes. Existem 3 vetores nulos, 12 vetores médios e 12 vetores grandes.

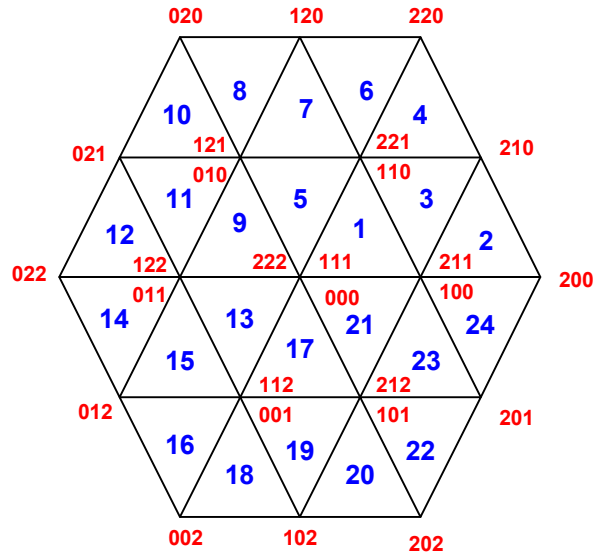


Figura 6.2 – Estados de chaveamento no plano dq para inversor três níveis

6.2.1 Coordenadas móveis não ortogonais

Aplicando a transformação de coordenadas dq para coordenadas móveis não ortogonais (g, h), apresentada no capítulo 4, temos as seguintes equações para as componentes V_g e V_h :

$$V_g = V_x^* \left[\cos(\theta) - \frac{1}{\sqrt{3}} \sin(\theta) \right] \quad (6.1)$$

$$V_h = \frac{2}{\sqrt{3}} V_x^* \sin(\theta)$$

Onde, V_x^* é o vetor de referência normalizado, dado por:

$$V_x^* = \frac{V^*}{V_{step3}} \quad (6.2)$$

Onde: V_{step3} é o passo de modulação para o inversor de três níveis.

$$V_{Step} = \frac{V_{max}}{(n-1)} \quad (6.3)$$

$$V_{Step3} = \frac{2V_{CC}}{3(3-1)} = \frac{V_{CC}}{3} \quad (6.4)$$

Assim:

$$V_x^* = \frac{3V^*}{V_{CC}} \quad (6.5)$$

Portanto, as projeções V_g e V_h são dadas por:

$$\begin{aligned} V_G &= \frac{3V^*}{V_{CC}} \left[\cos(\theta) - \frac{1}{\sqrt{3}} \sin(\theta) \right] \\ V_H &= \frac{3V^*}{V_{CC}} \frac{2\sin(\theta)}{\sqrt{3}} \end{aligned} \quad (6.6)$$

As componentes do eixo d e q normalizadas são dadas por:

$$\begin{aligned} V_d &= V^* \cos(\theta) \\ V_q &= V^* \sin(\theta) \end{aligned} \quad (6.7)$$

Portanto,

$$\begin{bmatrix} V_G \\ V_H \end{bmatrix} = \frac{1}{V_{CC}} \begin{bmatrix} 3 & -\sqrt{3} \\ 0 & 2\sqrt{3} \end{bmatrix} \begin{bmatrix} V_d \\ V_q \end{bmatrix} \quad (6.8)$$

As matrizes $\mathbf{A}_{ij}$ dos coeficientes são dadas por:

$$\begin{aligned} A_{11} &= [\quad 3 \quad 3 \quad 0 \quad -3 \quad -3 \quad 0] \\ A_{12} &= [-\sqrt{3} \quad \sqrt{3} \quad 2\sqrt{3} \quad \sqrt{3} \quad -\sqrt{3} \quad -2\sqrt{3}] \\ A_{21} &= [\quad 0 \quad -3 \quad -3 \quad 0 \quad 3 \quad 3] \\ A_{22} &= [2\sqrt{3} \quad \sqrt{3} \quad -\sqrt{3} \quad -2\sqrt{3} \quad -\sqrt{3} \quad \sqrt{3}] \end{aligned} \quad (6.9)$$

As equações para obtenção das partes inteiras (V_{GU} e V_{HU}), as partes fracionárias, o modo de operação, a localização do triângulo e o cálculo das razões cíclicas são iguais às desenvolvidas no capítulo 4.

6.3 DSP TMS320F240

O DSP TMS320C240 é um processador digital de sinais de 20 MHz, 16 bits ponto fixo desenvolvido pela Texas Instruments na década de 1990, direcionado para o acionamento e controle de máquinas, conversores estáticos, e outros, usando técnicas digitais. Neste intuito, ele é provido de conversores analógico-digital, temporizadores, unidade de geração de

modulação por largura de pulso, unidades de geração de tempo morto. A seguir são apresentadas algumas características do DSP TMS320C240:

- Núcleo da CPU TMS320Cxx:

- Unidade central lógica e aritmética de 32 bits;
- Acumulador de 32 bits;
- Multiplicador paralelo 16 bits x 16 bits com uma capacidade de produto de 32 bits;
- Três deslocadores de escala;
- Oito registros auxiliares de 16 bits com uma unidade aritmética dedicada para o endereçamento indireto da memória de dados.

- Memória:

- 544 palavras de 16 bits do chip de RAM de acesso dual dado/programa;
- 16 k palavras de 16 bits do chip ROM ou flash EEPROM.

- Controle de programa:

- operação pipeline de 4 níveis;
- pilha de hardware de 8 níveis,
- seis interrupções externas, interrupção proteção do acionamento de potência, Reset, interrupção não-mascarável e três interrupções mascaráveis.

Conjunto de instruções:

- código fonte compatível com a família DSP de ponto fixo TMS320;
- instruções simples para a operação de repetição;
- Instruções de multiplicação e acumulação em único ciclo;
- Instruções de movimento de bloco de memória para gerenciamento programa-dados;
- Capacidade de endereçamento indexado.

Potência:

- Tecnologia CMOS estática;

- Quatro modos de desligamento para reduzir o consumo de energia.

Velocidade: tempo do ciclo de instrução de 50 ns ou 20 milhões de instruções por segundo (20 MIPS), com a maioria das instruções em ciclo único.

Gerenciador de eventos:

- 12 canais comparadores/MLP sendo 9 independentes;
- 3 contadores de 16 bits de uso geral com seis modos de contagem;
- 3 unidades de 16 bits comparação completa com capacidade de geração de tempo morto;
- 4 unidades capturas, duas das quais têm a capacidade de interface do pulso codificado em quadratura.

Dois conversores analógico-digitais de 10 bits:

- 28 pinos programáveis individualmente, pinos multiplexados de entrada e saída (I/O);
- Interface de comunicação serial (SCI);
- Interface de periféricos serial (SPI);

O DSP TMS320F240 possui três contadores de uso geral (GP timer), três unidades de comparação integral (Full compare units) e três unidades de comparação simples (Single compare units), unidades de tempo morto (dead-band) e um módulo dedicado para MLP vetorial. O DSP pode gerar até 12 saídas MLP das quais 9 são independentes.

Os contadores de uso geral podem ser configurados para operar em 6 modos selecionáveis:

- Pare/mantenha (Stop/hold) a operação do contador pára e mantém-se no seu estado corrente;
- Contagem crescente simples (Single up counting) o contador de uso geral conta até se igualar com o valor do registro do período, na próxima borda de subida do relógio de entrada, o contador reajusta para zero e desabilita a operação de contagem;

- Contagem crescente contínua (continuous up counting) o contador neste modo de operação apresenta o mesmo comportamento do modo contagem crescente simples repetido a cada vez que o contador é reajustado para zero;
- Contagem crescente/decrescente direcional (Directional up/down counting mode) neste modo de contagem o contador conta crescente ou decrescente de acordo com as entradas TMRDIR. Quando o pino TMRDIR permanece alto, o contador conta até que seu valor atinja o período ou FFFFh. Quando TMRDIR permanece baixo o contador decresce até tornar zero, e quando o valor do contador é zero, o contador permanece em zero;
- Contagem crescente/decrescente simples (Single up/down counting) neste modo de operação, o contador conta no modo crescente até atingir o valor do registro de período. E depois muda a direção de contagem e conta decrescente até atingir zero, e permanece neste estado;
- Contagem crescente/decrescente contínua (continuous up/down counting) este modo é igual ao da contagem crescente/decrescente simples repetido cada instante que o contador é reajustado para zero.

As larguras de pulso das saídas MLP são determinadas pelos valores dos registros de comparação. Os registros de comparação são mascaráveis, permitindo à UCP escrever nestes registros em qualquer instante durante o período corrente. Os novos valores dos comparadores podem ser programados para tornarem ativos imediatamente ao underflow ou ao final do período.

As polaridades das saídas MLP podem ser controladas independentemente pelo registro de ação do controle. As polaridades das saídas MLP podem ser ativa alta, ativa baixa, forçada alta, forçada baixa, permitindo o controle de diferentes tipos de dispositivos de potência, tais como IGBTs, MOSFETs de potência, e transistores bipolares.

Os registros de ação de controle são também mascaráveis, assim o usuário pode escrever nestes registros de ação de controle para alteração das polaridades das saídas MLP a qualquer instante durante um período de MLP.

A geração das saídas MLP é integralmente baseada em registros. Todos os registros são mapeados na memória de dados. Assim, a UCP tem acesso a eles como locações da memória de dados. Para gerar um determinado tipo de saída MLP, a UCP:

- Escreve nos registros de configuração de pinagem para configurá-la como saídas MLP;
- Escreve nos registros de controle dos contadores de uso geral, nos registros dos comparadores, nos registros de ação de controle, no registro de tempo morto, para configurar a frequência da MLP, o tipo de forma de onda MLP a ser gerada, as saídas MLP, e o tempo morto;
- Continuamente faz atualizações dos registros dos comparadores baseados nas larguras de pulso normalmente calculadas.

6.4 - Implementação do algoritmo MLP vetorial para Inversor

Três Níveis usando o DSP TMS320F240

A Figura 6.3 apresenta o diagrama de blocos do circuito para a implementação do algoritmo MLP para o inversor de três níveis. O programa de saída MLP é gerado em um computador pessoal e é transferido para o DSP. O DSP gera seis saídas MLP. Em um circuito lógico auxiliar as seis saídas são complementadas. As doze saídas MLP isoladas eletricamente com opto-acopladores e os sinais são enviados para o disparo das doze chaves do inversor que alimenta uma carga.

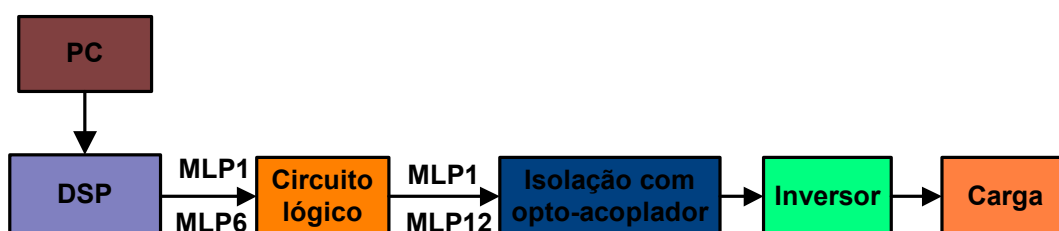


Figura 6. 3 – Diagrama do circuito do inversor de três níveis

A Tabela 6.2 apresenta as configurações das polaridades das seis saídas MLP de acordo com o sextante que o vetor de referência está localizado.

Tabela 6. 2 – Configuração dos sinais MLP

MLP Vetorial	Sextante A, C, e E	Sextante B, D e F
MLP1	Ativo alto	Ativo baixo
MLP2	Ativo alto	Ativo baixo
MLP3	Ativo alto	Ativo baixo
MLP4	Ativo alto	Ativo baixo
MLP5	Ativo alto	Ativo baixo
MLP6	Ativo alto	Ativo baixo

O fluxograma geral é apresentado pela Figura 6.4. Primeiramente faz-se a configuração do sistema. Nesta etapa estabelece-se a forma em que o DSP deve operar. No próximo passo ajustam-se os temporizadores e as unidades de comparação. Após, inicializa-se as variáveis e reajustam-se os flags e depois limpa os flags de interrupção e habilita a interrupção. O DSP fica em estado de espera, aguardando o pedido de interrupção. Uma vez que a interrupção foi solicitada, o programa cancela o pedido de interrupção e executa os algoritmos Volts/Hertz e o MLP vetorial, e retorna ao loop e fica aguardando um novo pedido de interrupção.

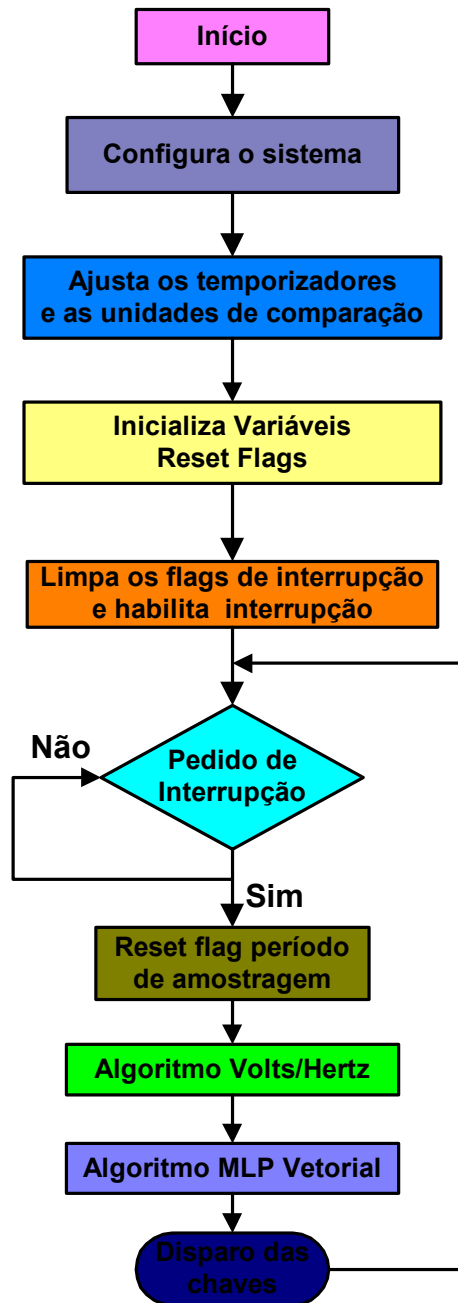


Figura 6. 4 – Fluxograma do programa geral

No algoritmo V/Hz, a tensão de referência V_{out} varia de acordo com o perfil volts/hertz desejado. O ângulo de fase θ do vetor de referência é obtido pela integração de 32 bits da velocidade de comando. A fim de obter as componentes d e q do vetor de referência tem-se que determinar o quadrante em que θ se encontra, mapear θ para o primeiro quadrante

e gravar os sinais (+ ou -) do $\sin(\theta)$ e $\cos(\theta)$ de acordo com o quadrante aonde θ está localizado, usando uma $tw2$ tabela consulta baseada em θ obtêm-se $\sin(\theta)$ e $\cos(\theta)$ e as componentes dq do vetor tensão de referência. A Figura 6.5 apresenta o fluxograma do algoritmo V/Hz . Os valores de $\sin(\theta)$ e $\cos(\theta)$ são obtidos pela consulta a uma Tabela consulta, cujo índice resulta do produto do fator de indexação pelo ângulo θ . A precisão dos valores do $\sin(\theta)$ e $\cos(\theta)$ é garantida pelo uso de fator de indexação com 32 bits e pelo uso da interpolação.

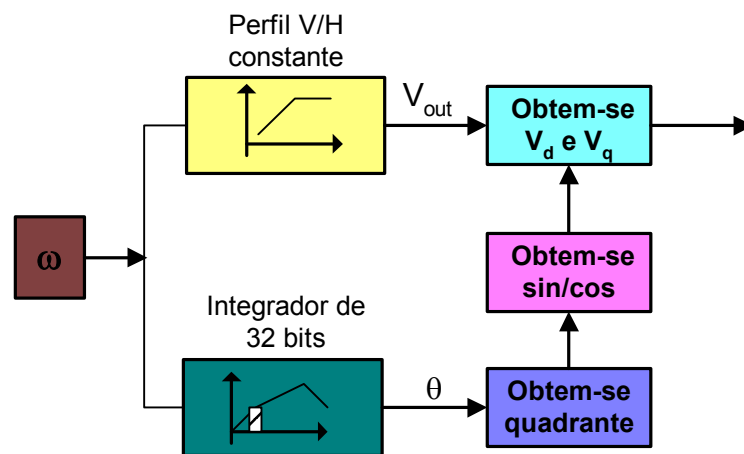


Figura 6.5 – Algoritmo Volts/Hertz

O algoritmo da modulação MLP vetorial tem início a partir da obtenção das componentes d e q da tensão de referência. O passo seguinte é a obtenção do sextante em que o vetor de referência se encontra localizado para realizar a transformação dq para gh. Tendo-se os valores V_g e V_h são calculadas as componentes inteiras V_{GU} e V_{HU} , bem como as componentes fracionárias V_{GF} e V_{HF} . São também determinados o modo de operação M_d , a localização do triângulo no sextante (L_S) em que V^* se localiza no sextante, bem como a localização do triângulo no hexágono (L_H) e o tipo de triângulo ($triang_type$). A seguir determinam-se as razões cíclicas t_g , t_h e t_{gh} e os pesos das razões cíclicas para o cálculo dos valores dos contadores para a geração de sinais de acionamento das chaves do inversor. Os sinais MLP são transmitidos ao circuito lógico para a geração dos sinais complementares com

a inserção de tempo morto. Estes sinais complementares são isolados independentemente por acopladores ópticos. Por ultimo, os sinais isolados são encaminhados para circuitos de gatilho para o acionamento dos interruptores do inversor.

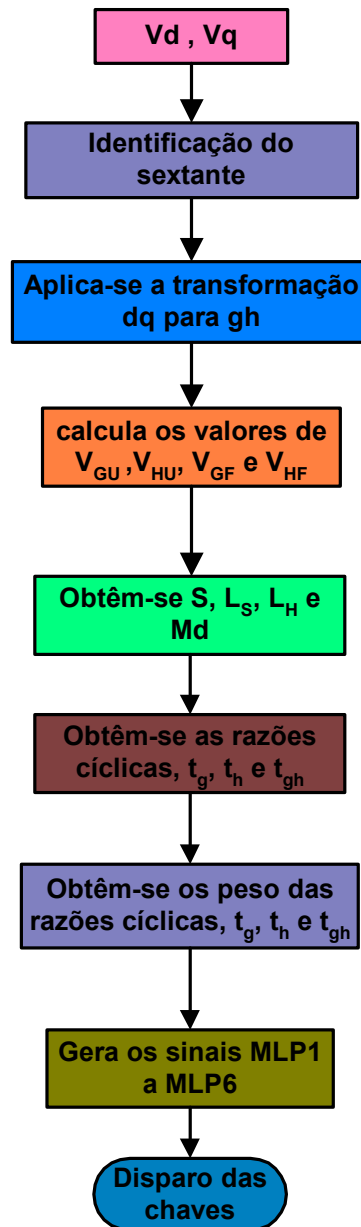


Figura 6.6 – Algoritmo da MLP vetorial

O programa fonte do algoritmo da MV coordenadas móveis não-ortogonais para inversores de três níveis encontra-se no anexo D. Objetivando evitar perdas de performance do algoritmo devido a valores aproximados de constantes, erros de truncamento, tomou-se algumas precauções, tais como:

- uso da melhor representação em ponto fixo das variáveis e constantes;
- uso de representação em 32 bits para variáveis e constantes consideradas sujeitas a erros e imprecisões, tais como a obtenção do ângulo (Θ), V_g e V_h ;
- Obtenção das variáveis $\text{seno}(\Theta)$ e $\text{cosseno}(\Theta)$ através interpolação de 32 bits.

Estimaram-se os tempos computacionais gastos nas diversas etapas do algoritmo MV coordenadas móveis não-ortogonais para o inversor de três níveis. O programa fonte foi dividido em três etapas:

- Geração do vetor de referência V^* ;
- Modulação vetorial por coordenadas móveis não-ortogonais;
- Geração dos sinais de acionamentos dos interruptores.

A geração do vetor de referência engloba: o início da sub-rotina, a geração do ângulo (Θ) através integração de 32 bits, a obtenção do seno de (Θ) e cosseno de (Θ), e o cálculo de V_d e V_q . A Tabela 6.3 apresenta os tempos computacionais das tarefas envolvidas na geração do vetor de referência, sendo que o tempo computacional gasto nesta etapa é de 132 ciclos de máquina.

Tabela 6.3– Tempo computacional para a geração V^*

Geração do Vetor de Referência V^*	Ciclos de máquina
Início Sub-rotina >	6
Geração do ângulo (Θ) através Int. de 32 bits,	53
Obtenção de $\text{sen}(\Theta)$, $\text{cos}(\Theta)$	66
Cálculo de V_d e V_q >	7
Total	132

A etapa da MV por coordenadas móveis não-ortogonais envolve: a identificação do sextante, a normalização para o sistema de coordenadas móveis não-ortogonais, a

identificação do triângulo, o cálculo das razões cíclicas, o cálculo de Lh e triang_type, a obtenção dos pesos, obtenção dos valores dos contadores. A Tabela 6.4 apresenta os tempos computacionais das tarefas envolvidas na geração MV por coordenadas móveis não-ortogonais, sendo que o tempo total gasto nesta etapa é de 254 ciclos de máquina.

Tabela 6.4 – Tempo computacional da MV coordenadas móveis

MV por coordenadas móveis	Ciclos de máquina
Identificação do sextante	33
Normalização para o sist. coordenadas	39
Identificação do triângulo	28
Cálculo das razões cíclicas	14
Cálculo Lh e triang_type	8
Obtenção dos Pesos	75
Obtenção dos valores dos tempos	44
Obtenção dos valores dos contadores	13
Total	254

A etapa para a geração dos sinais MLP divide-se em: Tempo de condução mínimo, configuração do modo de contagem, e ativação dos registros para geração dos sinais MLP. O tempo computacional gasto nesta etapa é de 184 ciclos de máquina, como pode ser observado na Tabela 6.5.

Tabela 6.5 – Tempo computacional para a geração dos sinais MLP

Geração dos sinais MLP	Ciclos de máquina
Tempo de condução mínimo	138
Configuração do modo de contagem	28
Ativação dos registros para Geração da MLP	18
Total	184

O tempo computacional gastos nas três etapas do algoritmo MV coordenadas móveis não-ortogonais totaliza 570 ciclos de máquina, ou seja 28,5 μ s. Sendo que, cada ciclo de máquina é 50 ns, e que o período de chaveamento para a frequência de 10091 Hz é igual a 1802 ciclos de máquina. Portanto, para estas condições, este algoritmo utiliza cerca de 32 % da capacidade computacional do DSP TMS320F240.

6.5 Simulação do Algoritmo Coordenadas Móveis Não-Ortogonais para Inversor de Três Níveis

O algoritmo da MV coordenadas móveis não-ortogonais foi simulado no MATLAB/Simulink. Os parâmetros de configuração do modelo da modulação vetorial para inversores de três níveis e do Simulink foram:

Frequência fundamental : 60 Hz

Frequência de Chaveamento: 10091 Hz

Tensão do elo CC: 300 V

Valor máximo de contagem (geração de onda triangular simétrica): 991

Modelagem do Inversor ideal (interruptores ideais, sem necessidade de inserção de tempo morto)

Métodos de solução: ODE5.

Passo Fixo: 0,1 μ s.

Para analisar o comportamento do inversor com a presente modulação varrendo toda faixa linear de operação, realizou-se simulações com os seguintes índices de modulações: $m = 0,30$, $m = 0,48$, $m = 0,55$, $m = 0,70$ e $m = 0,90$.

Índice de modulação 0,30

O vetor de referência com índice de modulação $m = 0,30$ descreve uma trajetória passando pelos triângulos (1, 5, 9, 13, 17, 21, 1) como pode ser verificado observando a Figura 6.7. A Figura 6.8 apresenta o gráfico da forma de onda da tensão V_{ab} . Constata-se que esta forma de onda fase-fase apresenta os seguintes níveis de tensão ($-V_{CC}/2$, 0, e $V_{CC}/2$) caracterizando este modo de operação como similar ao inversor de dois níveis.

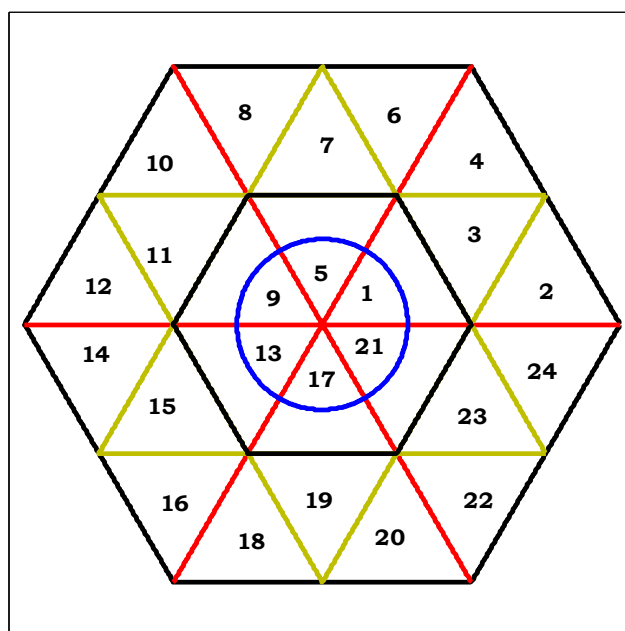


Figura 6.7 – Trajetória descrita por V^* para $m = 0,30$

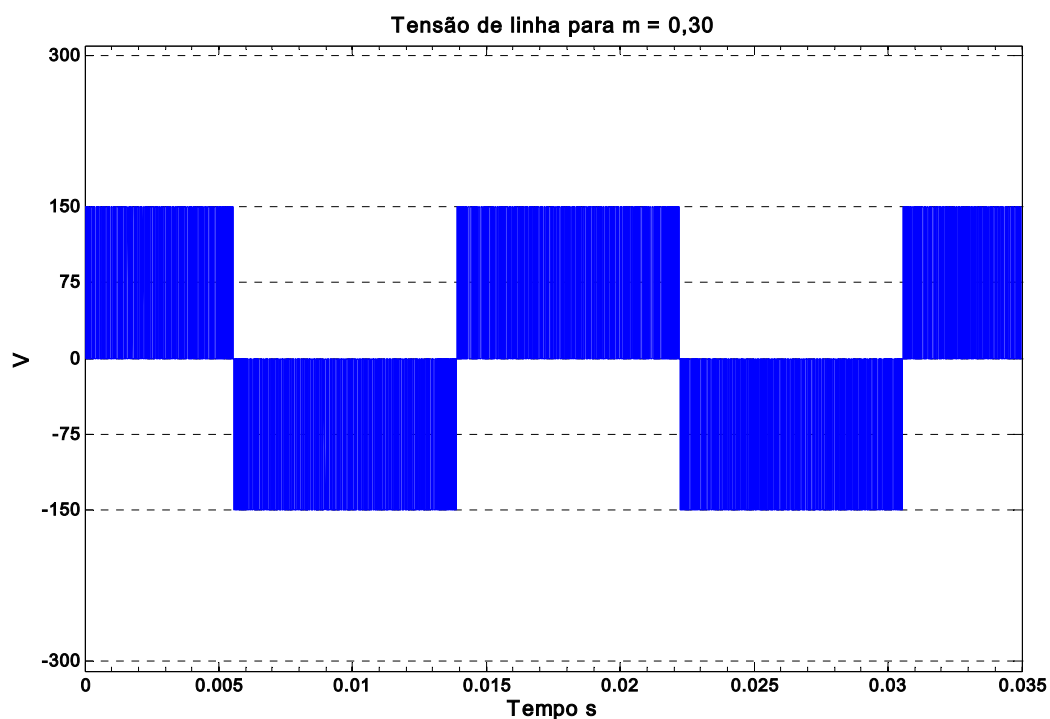


Figura 6.8 - Forma de onda da tensão de linha para o índice de modulação $m = 0,30$

A Figura 6.9 apresenta o gráfico do espectro harmônico para a forma de onda apresentada na Figura 6.8. Nota-se a ocorrência de faixas de harmônicas localizadas em múltiplos da frequência de chaveamento.

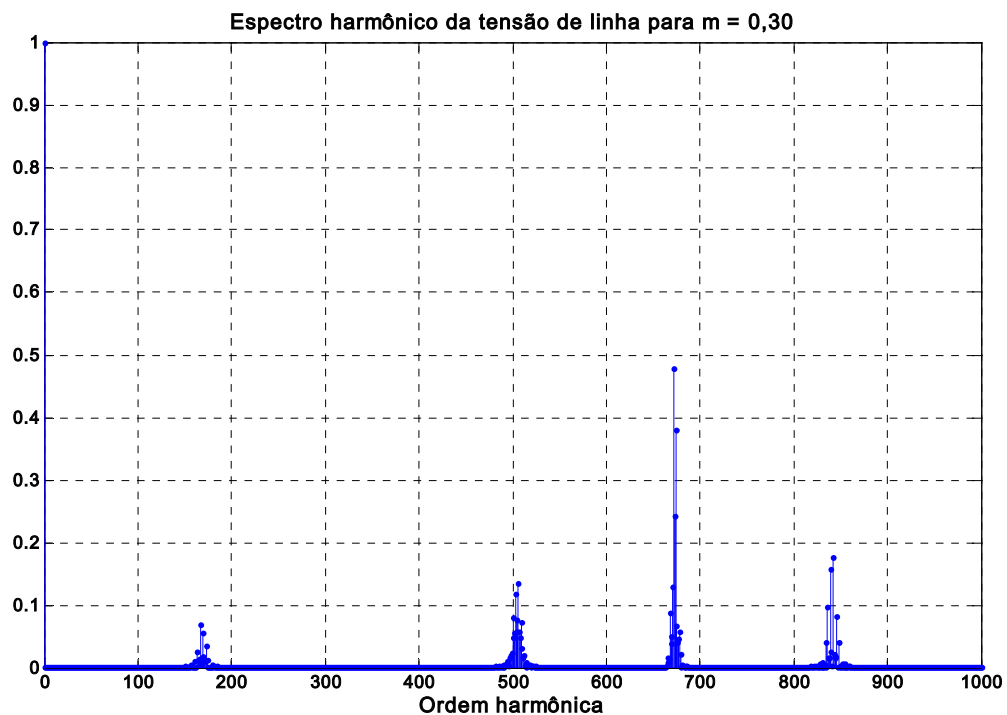


Figura 6.9 – Espectro Harmônico da tensão de linha para $m = 0,30$

Índice de modulação 0,48

Para o índice de modulação igual a 0,48, o vetor de referência descreve trajetória circular passando pelos triângulos (1, 3, 1, 5, 7, 5, 9, 11, 9, 13, 15, 13, 17, 19, 17, 21, 23, 21, 1, ...) como é apresentada na Figura 6.10. A Figura 6.11 apresenta a forma de onda da tensão V_{ab} para o índice de modulação $m = 0,48$. Com a trajetória do vetor de referência cruzando os triângulos (3, 7, 11, 15, 19, e 23), nota-se o aparecimento na forma de onda da tensão V_{ab} dos níveis de tensão ($-V_{CC}$ e V_{CC}). O espectro harmônico da tensão V_{ab} apresentado na Figura 6.12, mostra-se a presença de todas as faixas harmônicas múltiplas da frequência de chaveamento, destacando-se a terceira, a quarta e a primeira faixa.

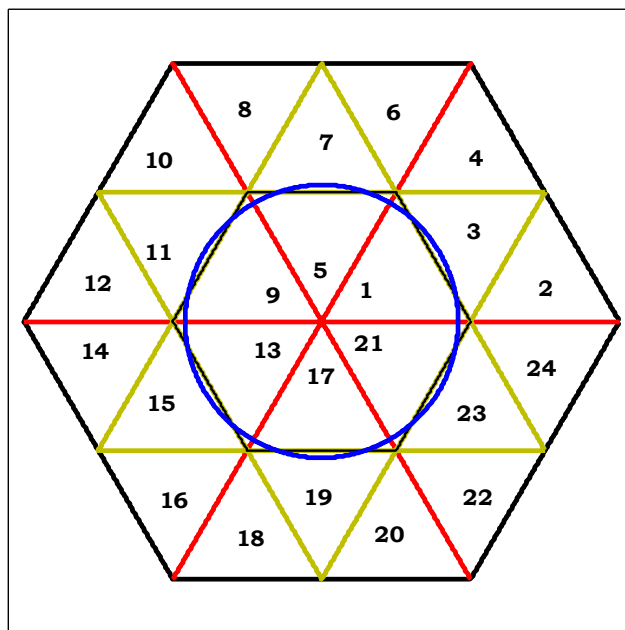


Figura 6.10 – Trajetória descrita por V^* para $m = 0,48$

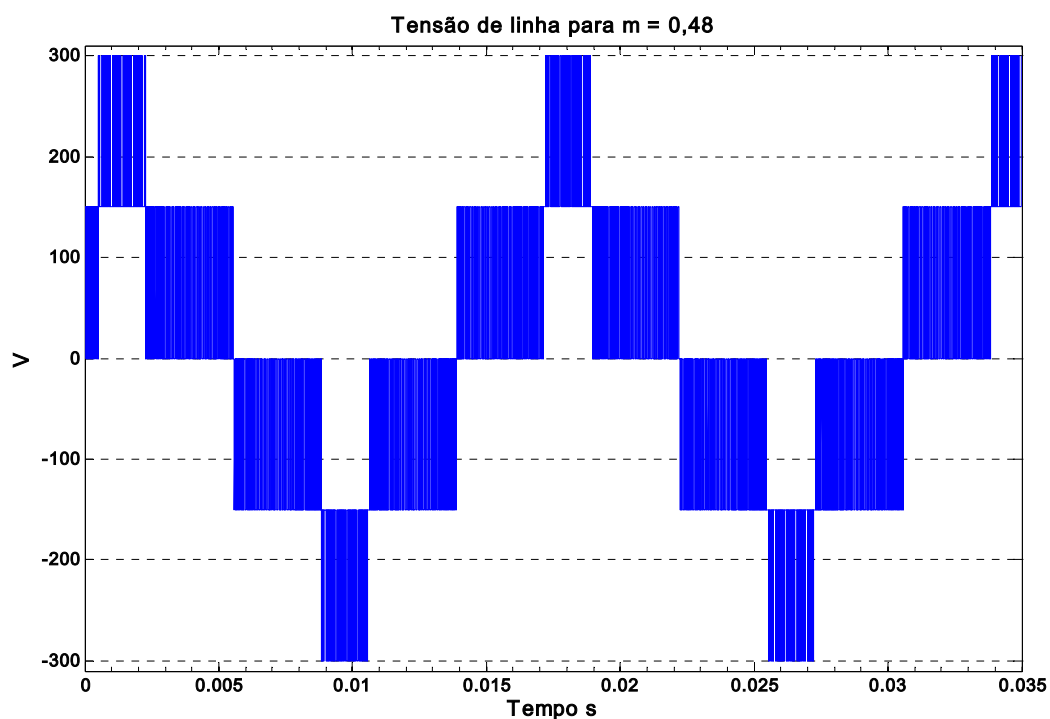


Figura 6.11- Forma de onda da tensão V_{ab} para o índice de modulação $m = 0,48$

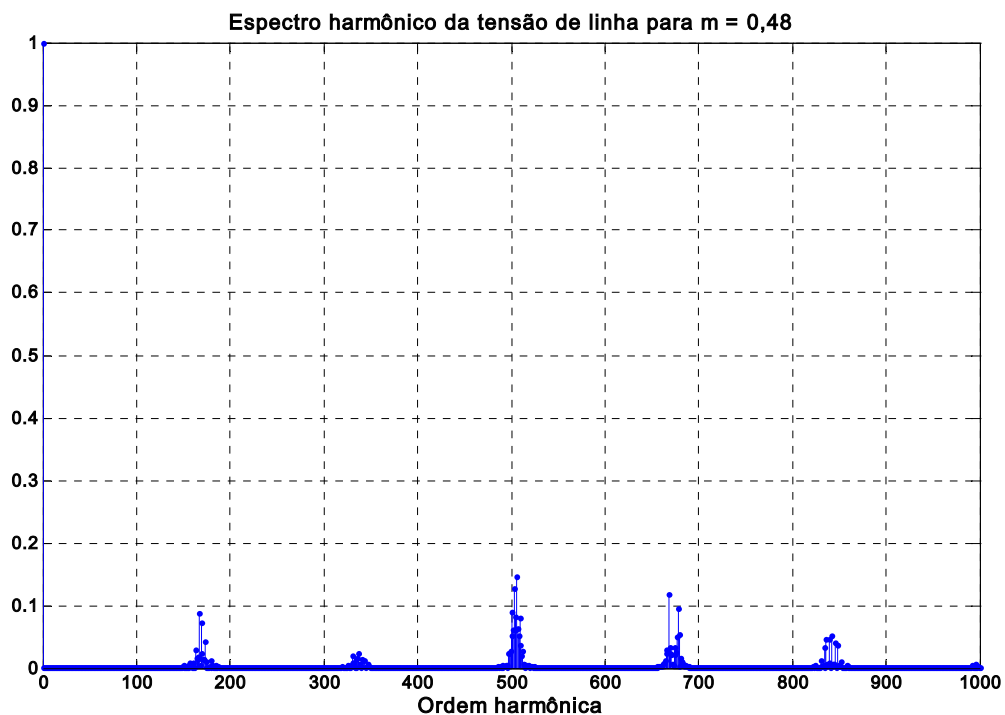


Figura 6.12– Espectro harmônico da tensão Vab com índice de modulação $m = 0,48$

Índice de modulação 0,55

A Figura 6.13 apresenta a trajetória descrita pelo vetor de referência V^* para o índice de modulação igual a 0,55, o vetor de referência descreve uma trajetória circular passando pelos triângulos (2, 3, 4, 6, 7, 8, 10, 11, 12, 14, 15, 16, 18, 19, 20, 22, 23, 24, 2, ..) permanecendo intervalos de tempo maiores nos triângulos (3, 7, 11, 15, 19, e 23). A tensão de saída Vab apresenta todos os níveis de tensão possíveis como pode ser visto na Figura 6.14. O espectro harmônico da tensão de saída Vab é apresentado na Figura 6.15. Nota-se que, com o aumento do índice de modulação o conteúdo harmônico torna-se menor.

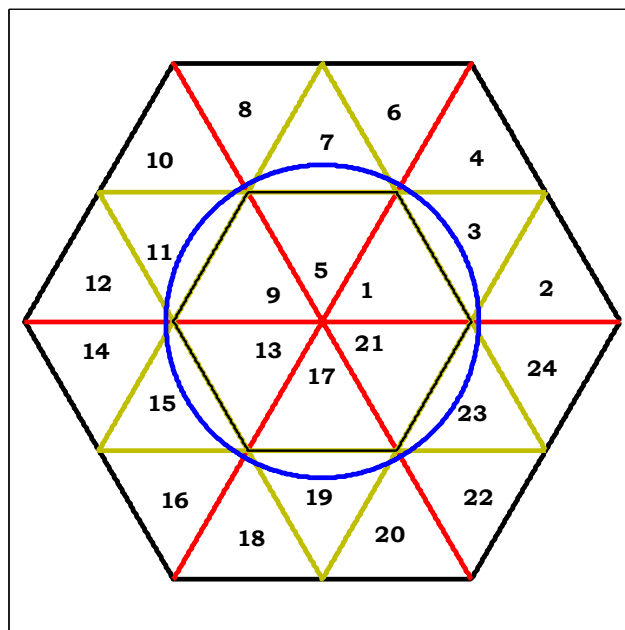


Figura 6.13 – Trajetória descrita por V^* para $m = 0,55$

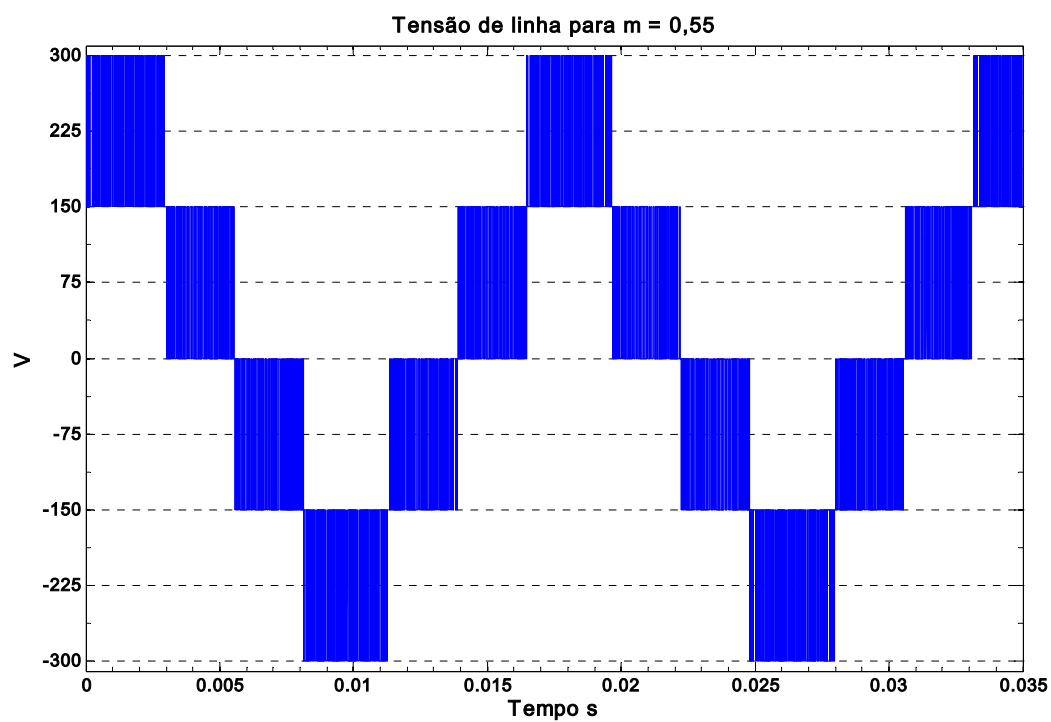
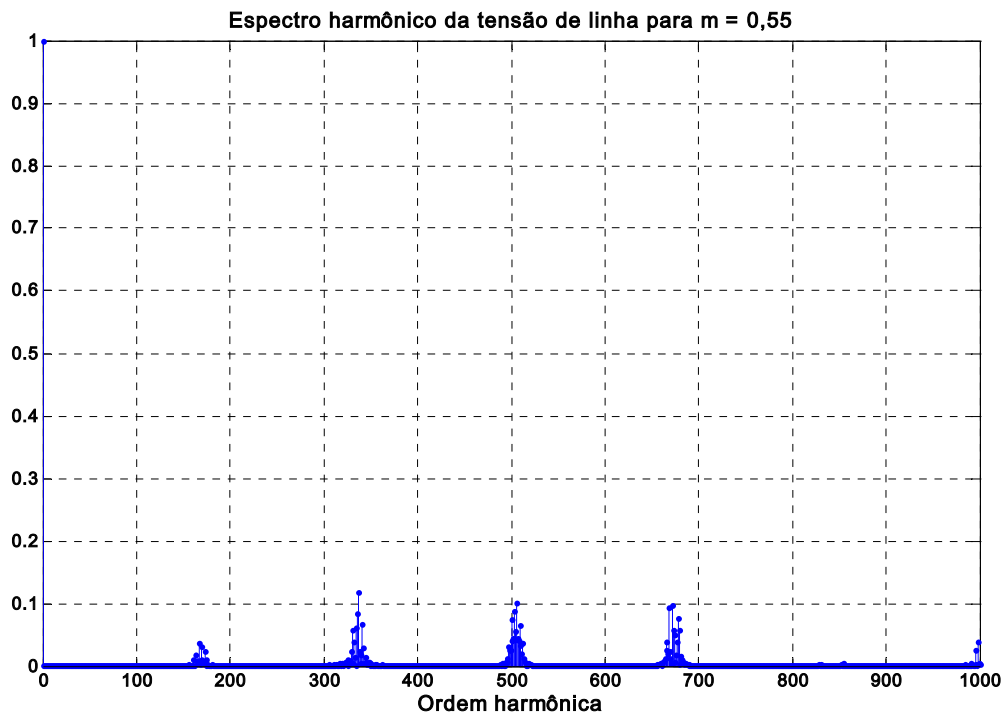


Figura 6.14 - Forma de onda da tensão de linha para o índice de modulação $m = 0,55$



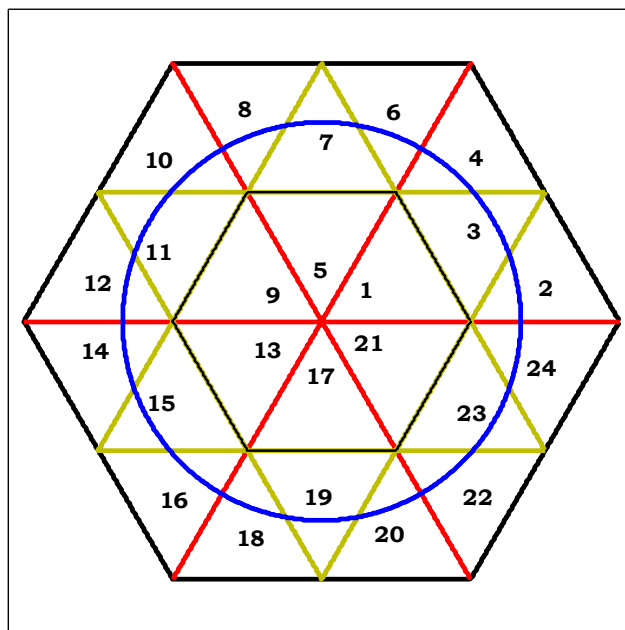


Figura 6.16 – Trajetória descrita por V^* para $m = 0,70$

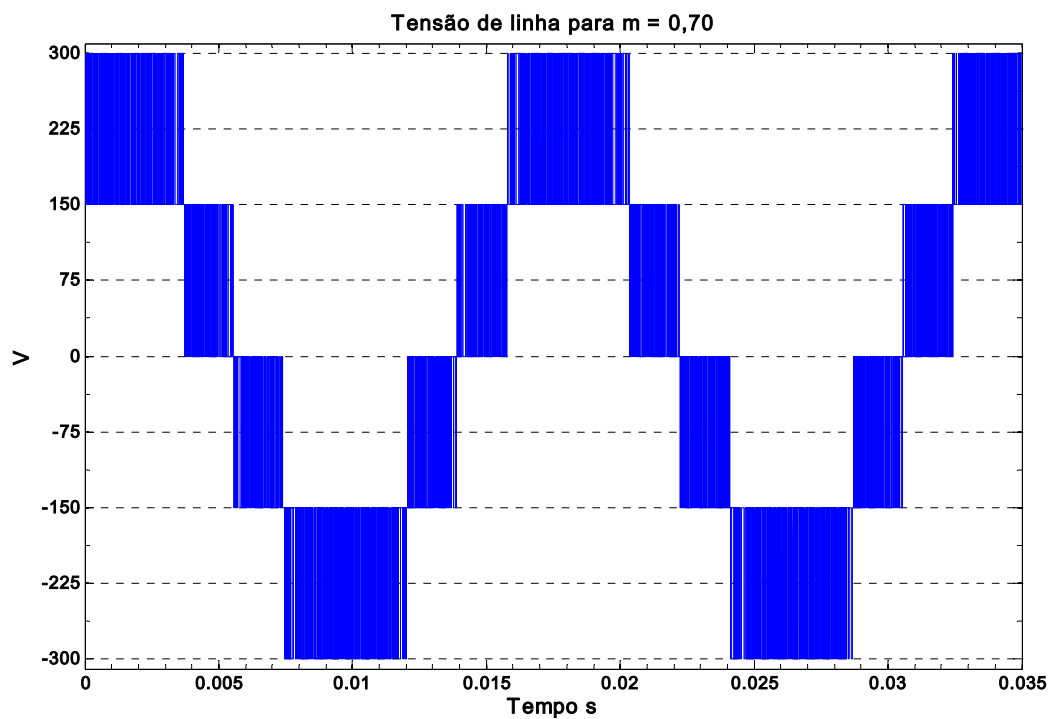


Figura 6.17 - Forma de onda da tensão de linha para o índice de modulação $m = 0,70$

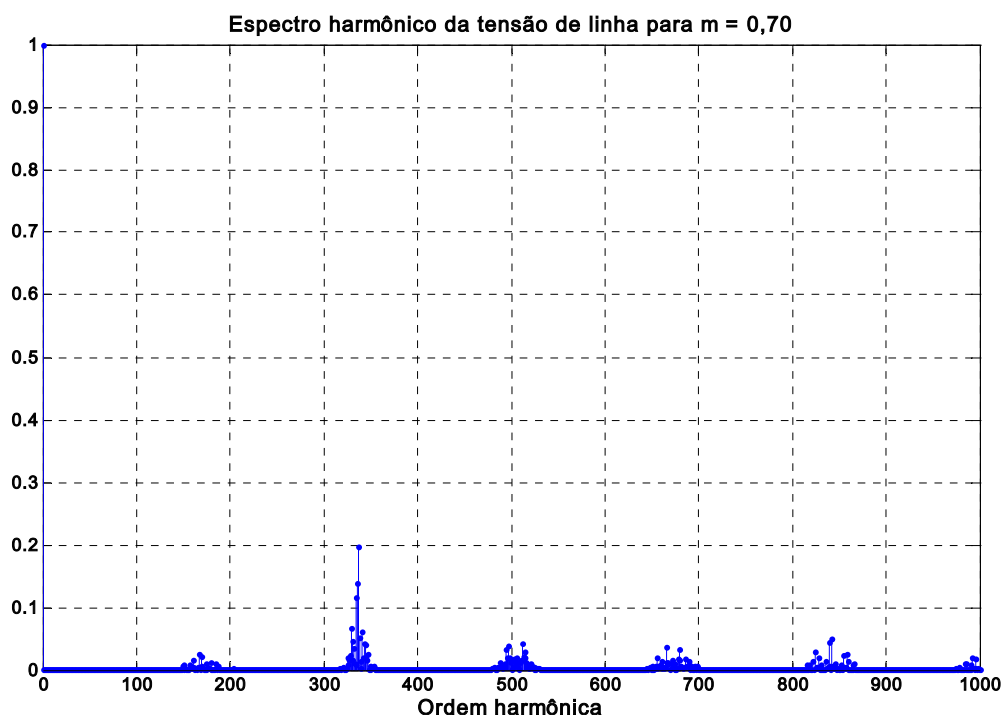


Figura 6.18 – Espectro Harmônico da tensão Vab com índice de modulação $m = 0,70$

Índice de modulação 0,90

A operação com índice de modulação igual a 0,90 está bem próxima da fronteira da região linear. A trajetória do vetor de referência passa pelos mesmos triângulos ditados para $m = 0,55$, e $m = 0,70$. Ressalta-se que para este caso, o vetor de referência permanece intervalos de tempo nos triângulos (2, 4, 6, 8, 10, 12, 14, 16, 18, 20, 22, 24, 2, ..) e uma parcela diminuta nos triângulos (3, 7, 11, 15, 19, e 23). A tensão de saída resultante é apresentada na Figura 6.20; a permanência do nível de tensão ($+V_{CC}$) no semiciclo positivo e do nível de tensão ($-V_{CC}$) no semiciclo são bem maiores do que nos casos anteriores. O conteúdo harmônico da tensão de saída é apresentado na Figura 6.21.

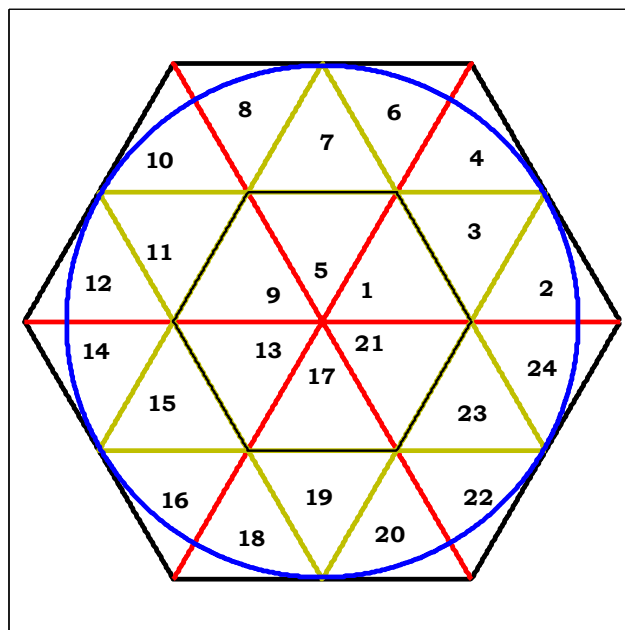


Figura 6.19 – Trajetória descrita por V^* para $m = 0,90$

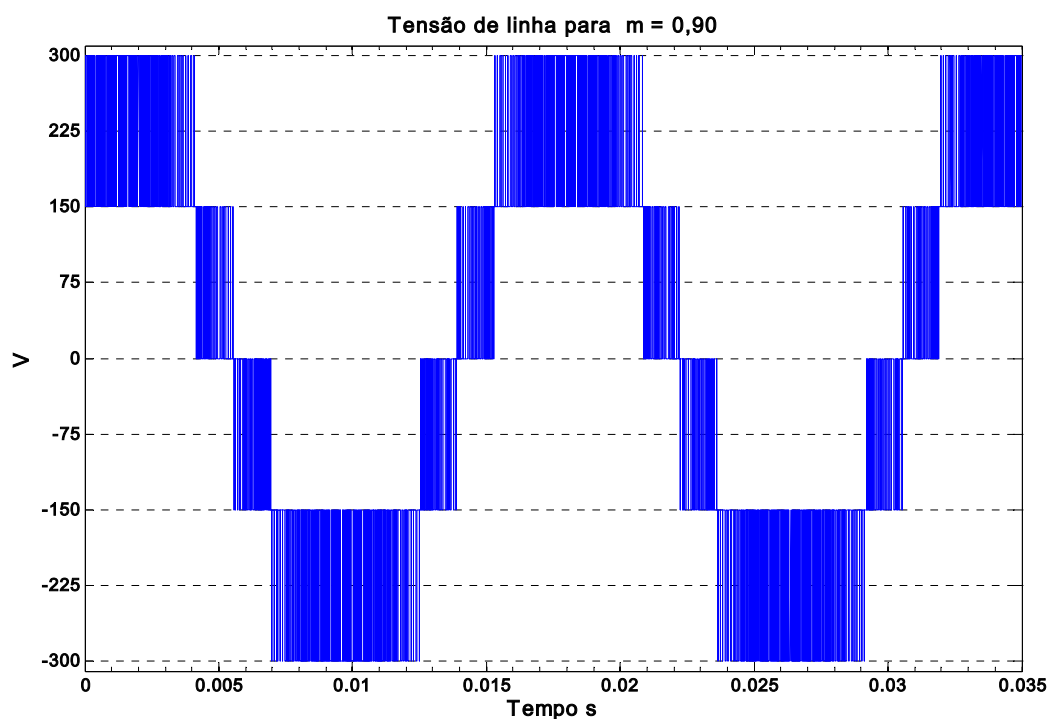


Figura 6.20 - Forma de onda da tensão de linha para o índice de modulação $m = 0,90$

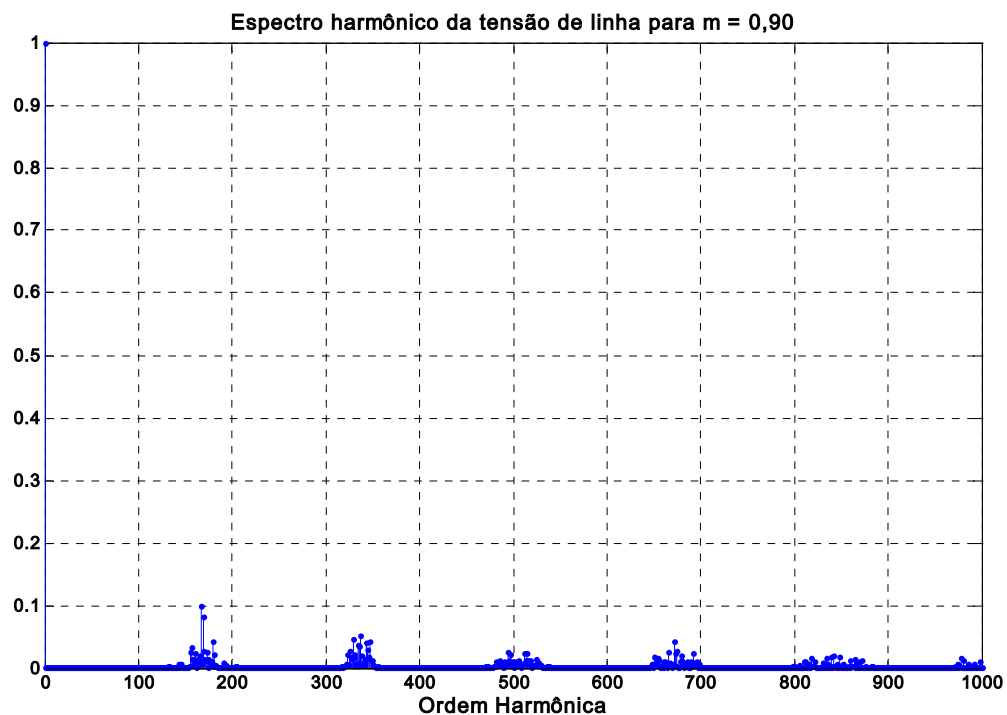


Figura 6.21 – Espectro Harmônico da tensão de linha para m = 0,90

6.6 – Descrição do protótipo do inversor de três níveis

implementado

Foi implementado em laboratório um protótipo do inversor de três níveis com diodo de grameamento. A Figura 6.22 apresenta todas as partes integrantes deste protótipo, kit do DSP TMS320F240, a interface para geração dos sinais das chaves, e o inversor de três níveis, o retificador trifásico com filtro capacitivo, motor de indução trifásico, carga resistiva trifásica, as fontes de alimentação isoladas.

A Figura 6.23 apresenta o kit do DSP TMS320F240, a interface lógica para geração dos sinais das chaves, e o inversor de três níveis. A interface lógica tem a função de receber os sinais MLP do DSP TMS320F240, padrão lógico (0 V e 5 V) e inserir tempo morto entre as chaves superiores e suas complementares, fornecer a isolamento óptica dos sinais MLP provenientes da interface lógica e os sinais de acionamento das chaves.



Figura 6.22 – Visão geral do protótipo do inversor 3 níveis

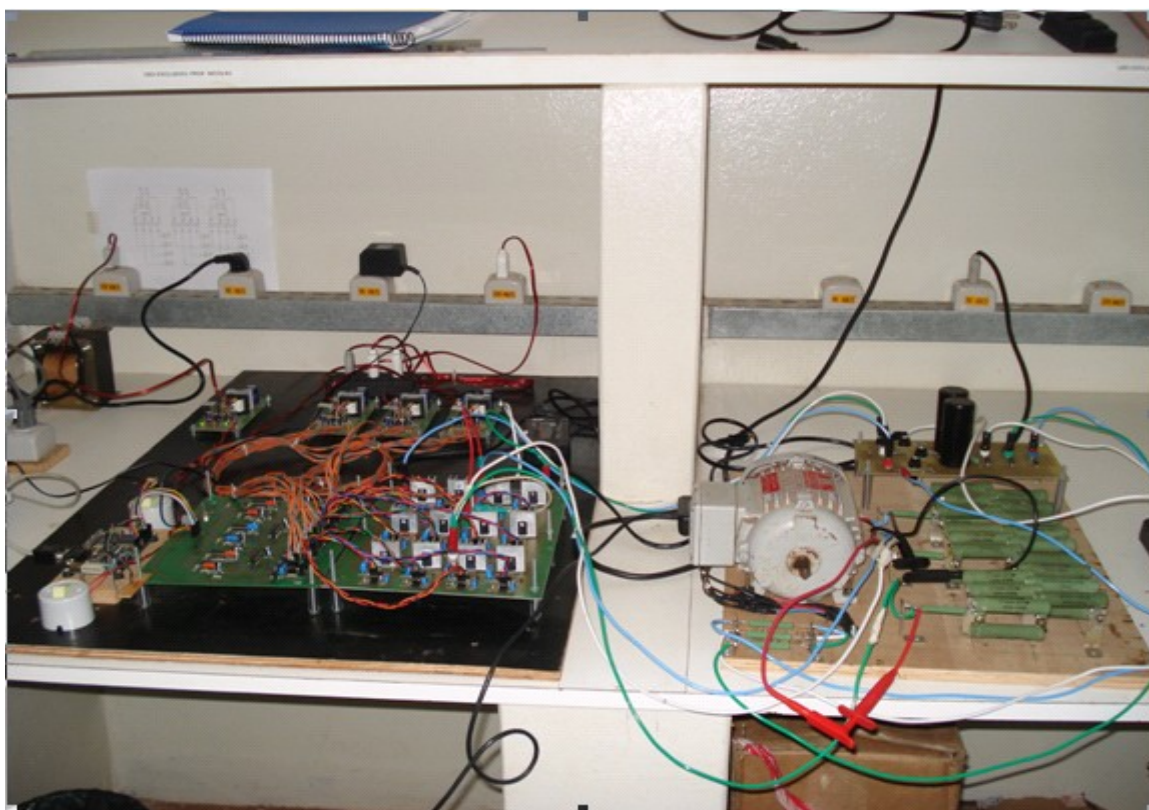


Figura 6.23 – DSP TMS320F240 ,Interface para geração dos sinais das chaves, e o Inversor de Três Níveis

O tempo morto inserido nos sinais MLP complementares foi de 1,4 μ s. A estratégia de inserção do tempo morto é apresentada no Anexo F. Os sinais MLP com inserção de tempo morto são isolados individualmente por meio de acopladores ópticos (HPCL 3180). O inversor de três níveis é composto 12 interruptores MOSFETs (k2740) , seis diodos de grameamento ultra-rápidos (MUR260) . Associado a cada interruptor, há um circuito Snubber de tensão RCD com a finalidade de evitar picos de tensão sobre o interruptor no instante de bloqueio das chaves. Teve-se como parâmetro de projeto do circuito Snubber que o tempo de descarga do capacitor não fosse superior ao tempo morto (1,4 μ s). Os valores dos componentes foram resistor $R = 100 \Omega$ e 1 W de potência, capacitor de poliéster $C = 3,3 \text{ nF}$ e tensão de 630 V e diodo rápido (1N4937). O circuito de gatilho das chaves é do tipo “totem-pole” .

A Figura 6.24 apresenta as cargas utilizadas: motor de indução trifásico, carga resistiva trifásica. A carga resistiva trifásica está conectada em Y, obtida pela conexão de elementos resistivos de 270 Ω e 25 W, resultando em resistências por fase iguais a 135 Ω , 136,5 Ω , 137 Ω . A potência do motor de indução trifásico é ½ CV.

A Figura 6.25 apresenta retificador trifásico com filtro capacitivo para obtenção dos níveis de tensão 0 V, 1/2 V_{CC} e V_{CC} . O retificador trifásico é composto por seis diodos de uso geral (1N5408). O filtro capacitivo é composto por dois capacitores eletrolíticos 560 μ F e 450 V, ligados em série, sendo que conexão central fornece o nível de tensão (1/2 V_{CC}). Para equacionar as tensões nos capacitores foram utilizadas resistências em paralelo aos mesmos, de valores iguais a 10 k Ω e 5 W.

A Figura 6.26 apresenta as fontes de alimentação isoladas do DSP , da interface lógica, e dos circuitos de acionamento das chaves. A interface lógica é alimentada por uma fonte isolada 5 V, e o DSP e os circuitos de acionamentos dos interruptores são alimentados por fontes isoladas de 15 V.

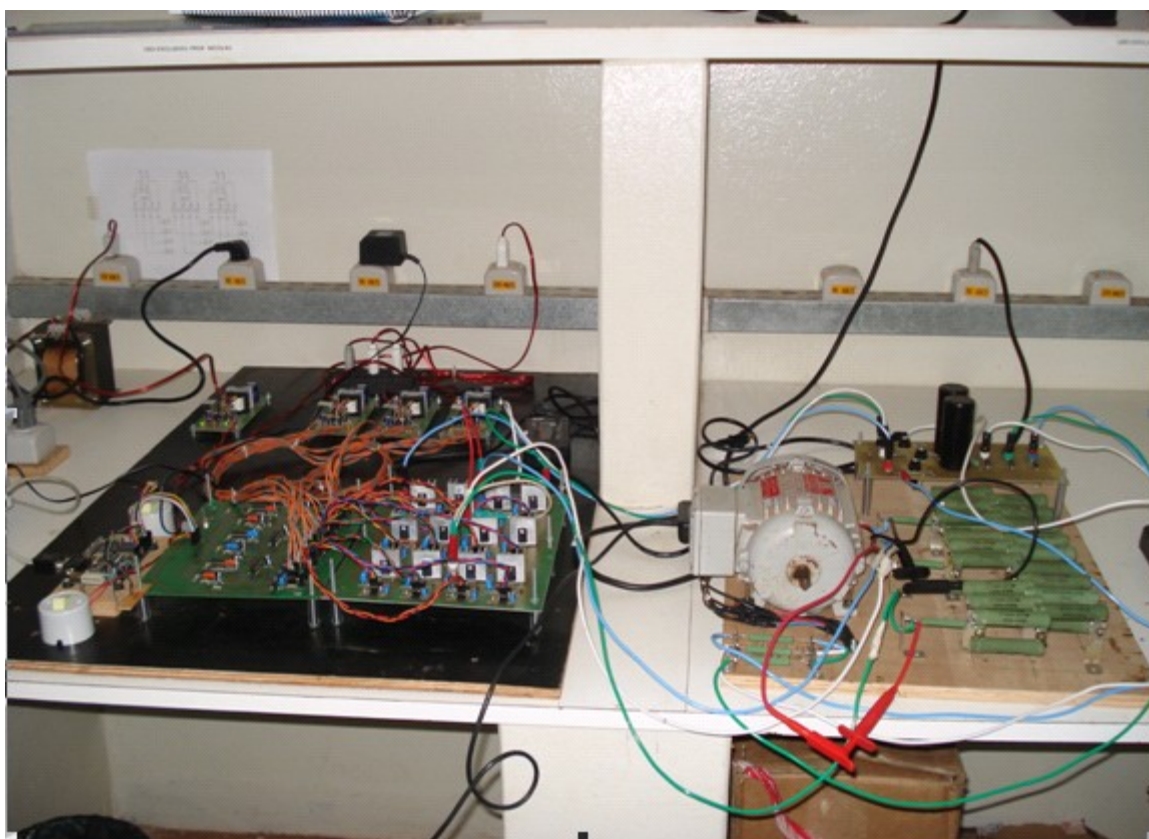


Figura 6.24 – Cargas: Motor de indução trifásico, Carga resistiva trifásica

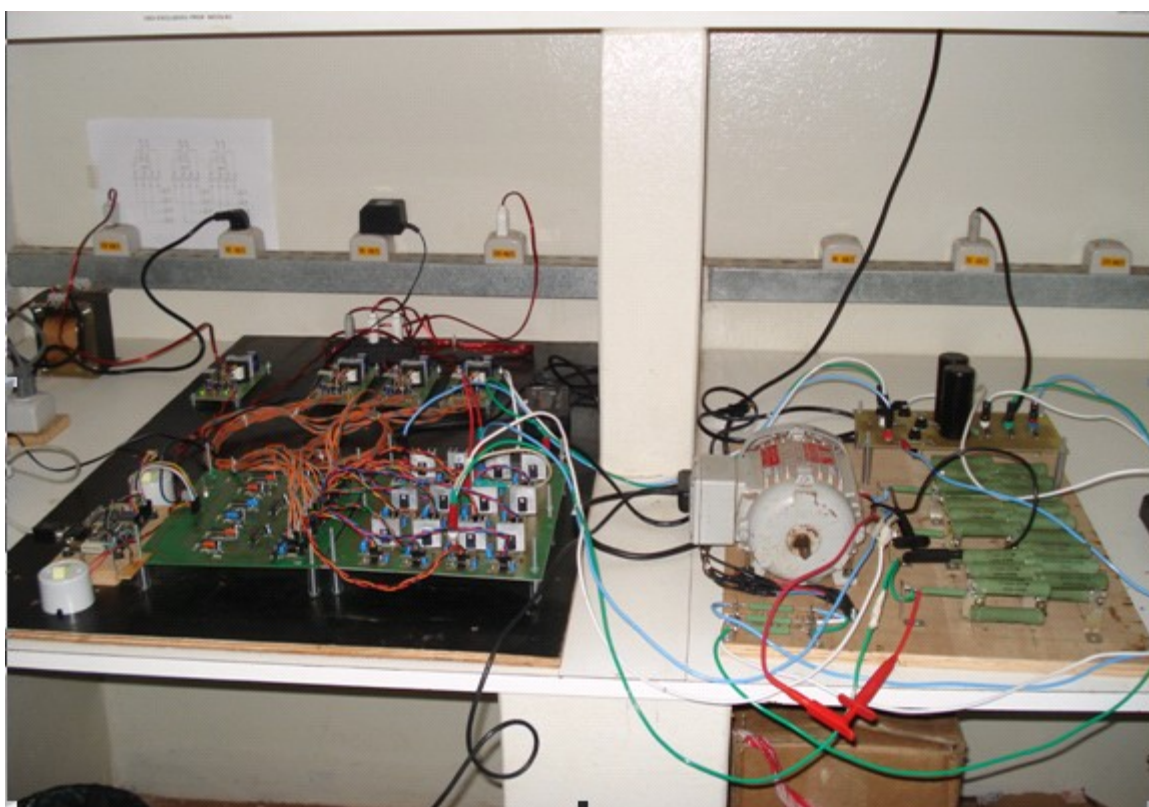


Figura 6.25– Retificador trifásico com filtro capacitivo

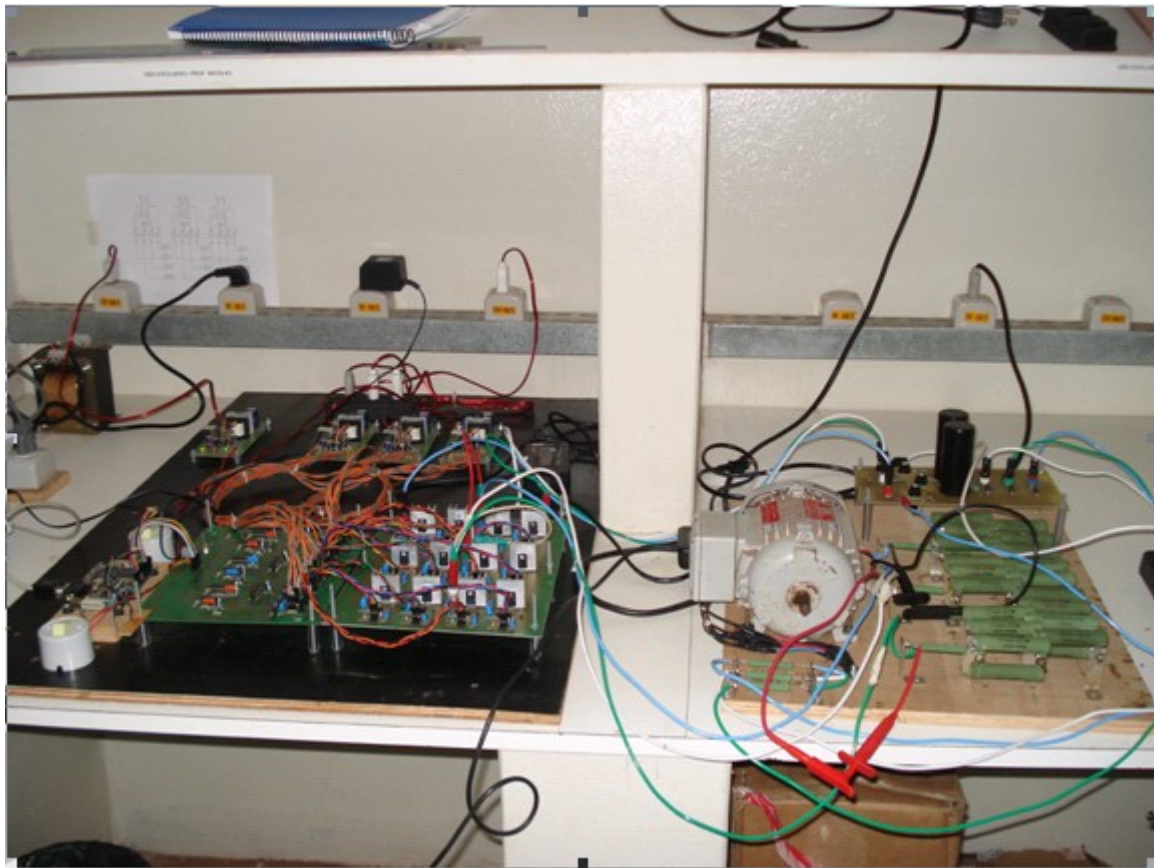


Figura 6.26 – Fontes Isoladas para alimentação do DSP e dos Drives

6.7 - Resultados Experimentais do Algoritmo MV Coordenadas Móveis Não-ortogonais para Inversor de Três níveis

Utilizando o protótipo do inversor de três níveis descrito na seção anterior, obtiveram-se os resultados experimentais para o algoritmo da MV coordenadas móveis não-ortogonais discutidos na seção 6.4. Os resultados foram obtidos através do osciloscópio Tektronix TDS TDS2024B para a seguinte configuração:

- Frequência fundamental : 60 Hz
- Frequência de Chaveamento: 10091 Hz
- Tensão do elo CC: 300 V
- Taxa de Amostragem do osciloscópio para a escala de tempo de 2,50 ms é 10 μ s.

Foram realizados ensaios para diversos índices de modulação ($m = 0,30$, $m = 0,48$, $m = 0,55$, $m = 0,70$, e $m = 0,90$) objetivando levantar o desempenho do algoritmo proposto em toda faixa linear de operação.

Índice de modulação 0,30

A Figura 6.27 apresenta o gráfico da forma de onda da tensão V_{ab} . Nota-se que esta forma de onda fase-fase apresenta os seguintes níveis de tensão ($-V_{CC}/2$, 0, e $V_{CC}/2$) caracterizando este modo de operação como similar ao inversor de dois níveis. O espectro harmônico da tensão V_{ab} (ver Figura 6.28) mostra-se muito similar ao obtido pela simulação. A componente fundamental da tensão obtida na simulação foi 99,30 V e o valor obtido experimentalmente foi 93,70 V.

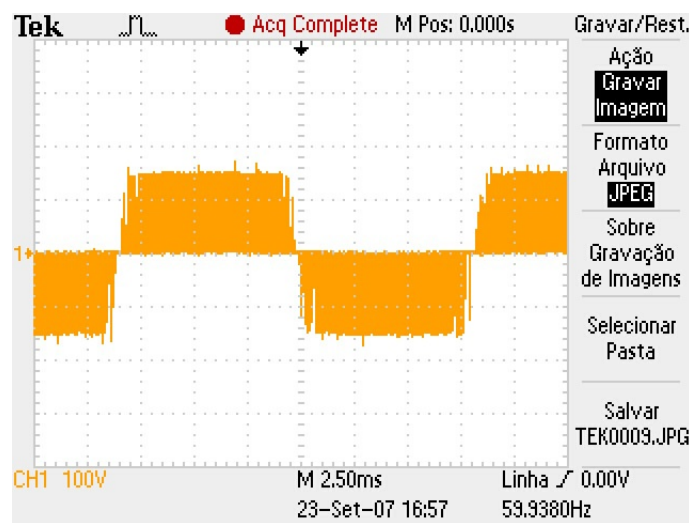


Figura 6.27 – Forma de onda da tensão de linha para $m = 0,30$



Para o índice de modulação igual a 0,48, a trajetória do vetor de referência cruza os triângulos (3, 7, 11, 15, 19, e 23). Pode-se notar na forma de onda da tensão V_{ab} o aparecimento na forma de onda da tensão V_{ab} , os níveis de tensão ($-V_{CC}$ e V_{CC}), como pode ser visualizado na Figura 6.29.



O conteúdo harmônico da tensão V_{ab} para o índice de modulação $m = 0,48$ é apresentado pela Figura 6.30. O valor da componente fundamental é 152,35 V e o valor referente a simulação é 158,80 V.

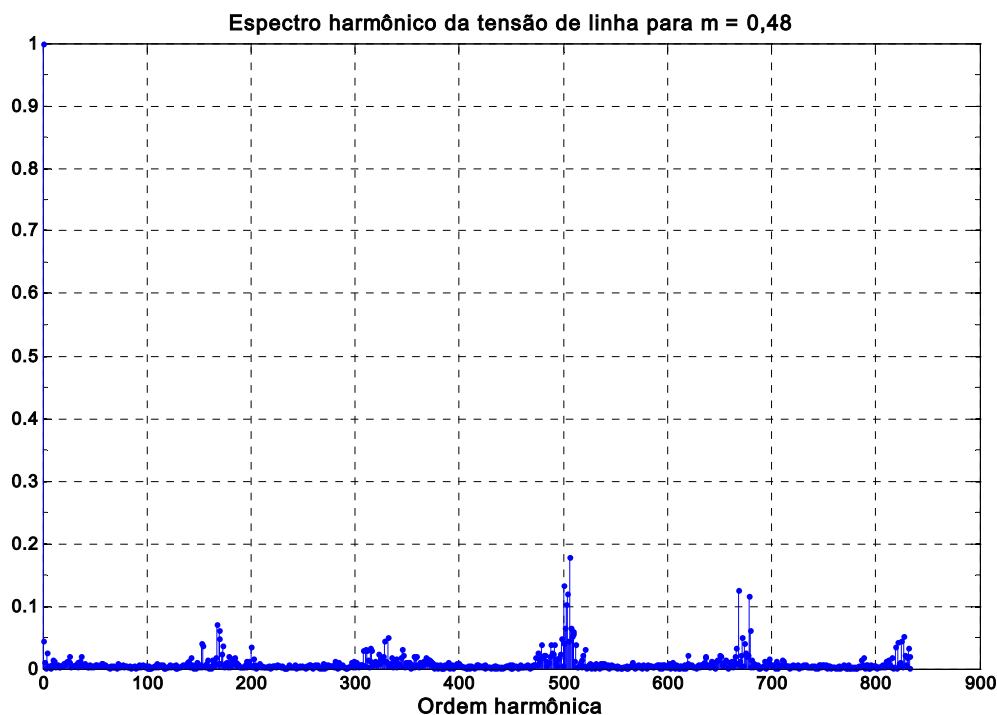


Figura 6.30 – Espectro harmônico da tensão de linha para $m = 0,48$

Índice de modulação 0,55

A Figura 6.31 apresenta tensão de saída V_{ab} . Nota-se que a presença de todos os níveis é mais bem caracterizado do que para o índice de modulação 0,48. O espectro harmônico da tensão de saída V_{ab} é apresentado na Figura 6.32. O valor da componente fundamental para $m = 0,55$ obtido pela simulação é 181,90 V e o valor obtido experimentalmente é 174,80 V.

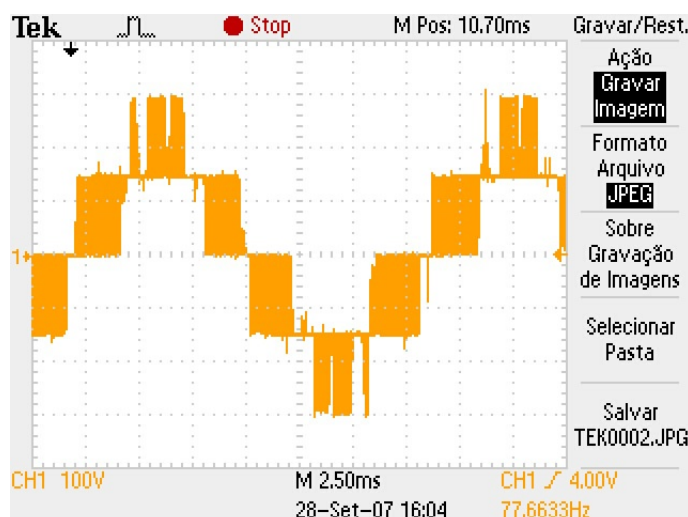


Figura 6.31 – Forma de onda da tensão de linha para $m = 0,55$

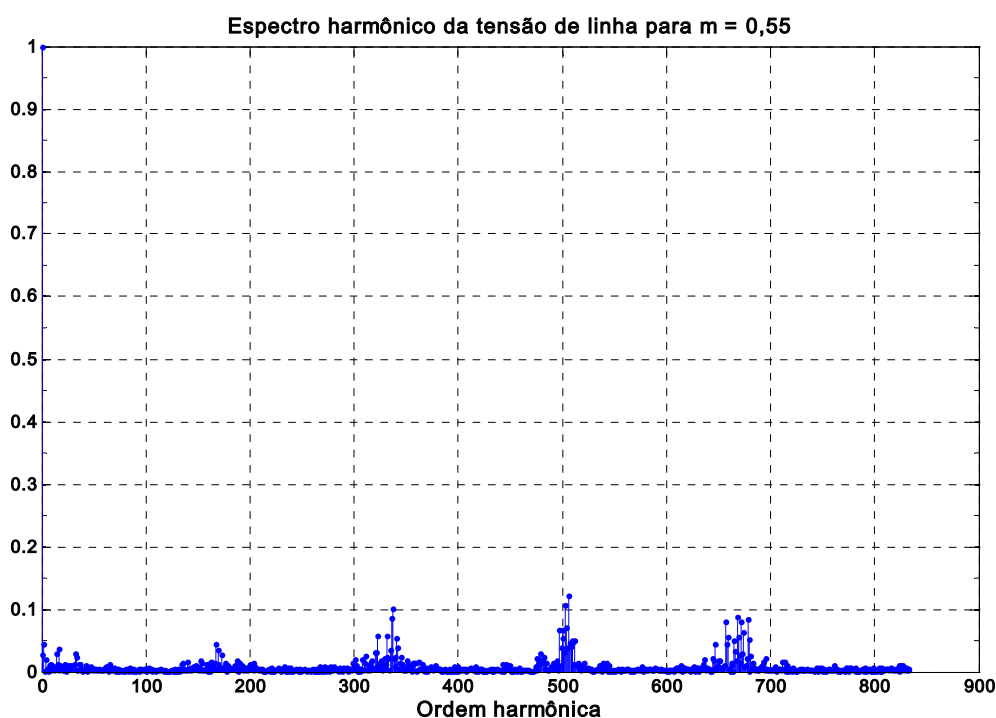


Figura 6.32 – Espectro harmônico da tensão de linha para $m = 0,55$

Índice de modulação 0,70

A forma de onda da tensão fase-fase para o índice de modulação igual a 0,70 é apresentada na Figura 6.33. Nota-se que as transições entre os níveis de tensão ($1/2 V_{CC}$ e V_{CC}) e entre ($-1/2 V_{CC}$ e $-V_{CC}$) são mais frequentes que as transições entre os níveis de tensão (0 e V_{CC}) e entre (0 e $-V_{CC}$). O espectro harmônico da tensão é apresentado na Figura 6.34. Os valores de tensão das componentes fundamentais mostram-se bem próximos, o valor obtido na simulação é 231,50 V, enquanto que o valor obtido experimentalmente é 225,50 V.

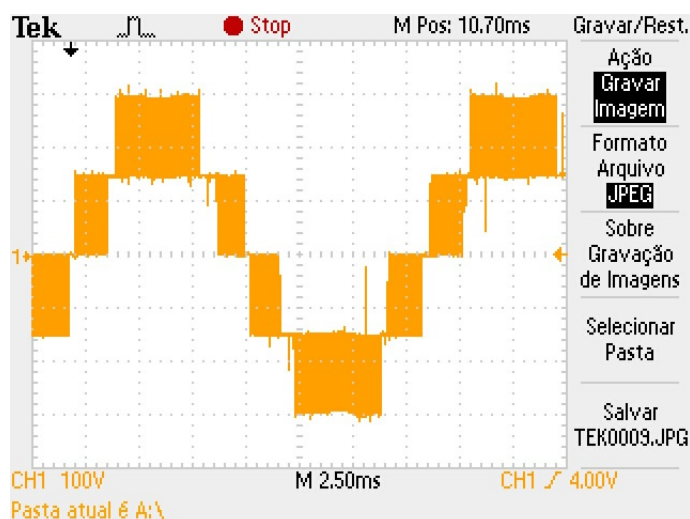


Figura 6.33 – Forma de onda da tensão de linha para $m = 0,70$

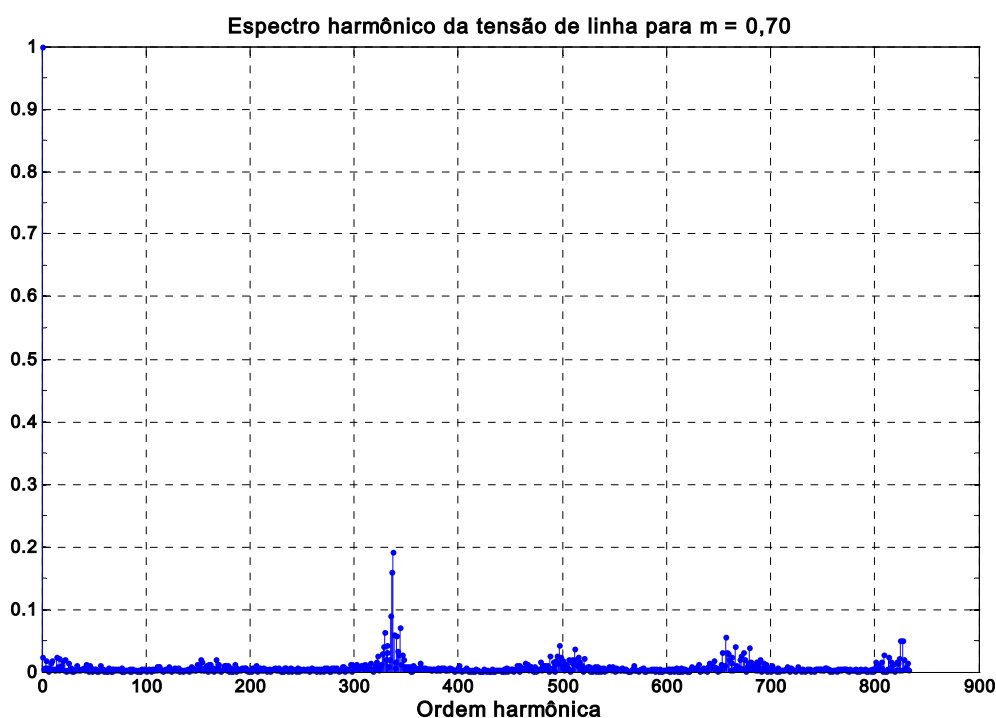


Figura 6.34 – Espectro harmônico da tensão de linha para $m = 0,70$

Índice de modulação 0,90

A operação com índice de modulação igual a 0,90 é bem próxima da fronteira da região linear, ou seja, bem no início da operação na região denominada “square-wave” ou seis pulsos. A tensão de saída V_{ab} é apresentada na Figura 6.35, a permanência do nível de tensão $(+V_{CC})$ no semíciclo positivo e do nível de tensão $(-V_{CC})$ no semiciclo são bem mais

evidenciados do que nos casos anteriores. O conteúdo harmônico da tensão de saída é apresentado na Figura 6.36.

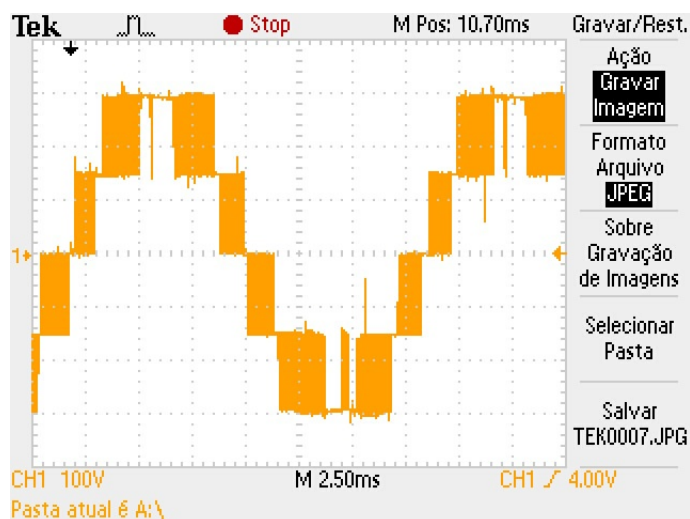


Figura 6.35 – Forma de onda da tensão de linha para $m = 0,90$

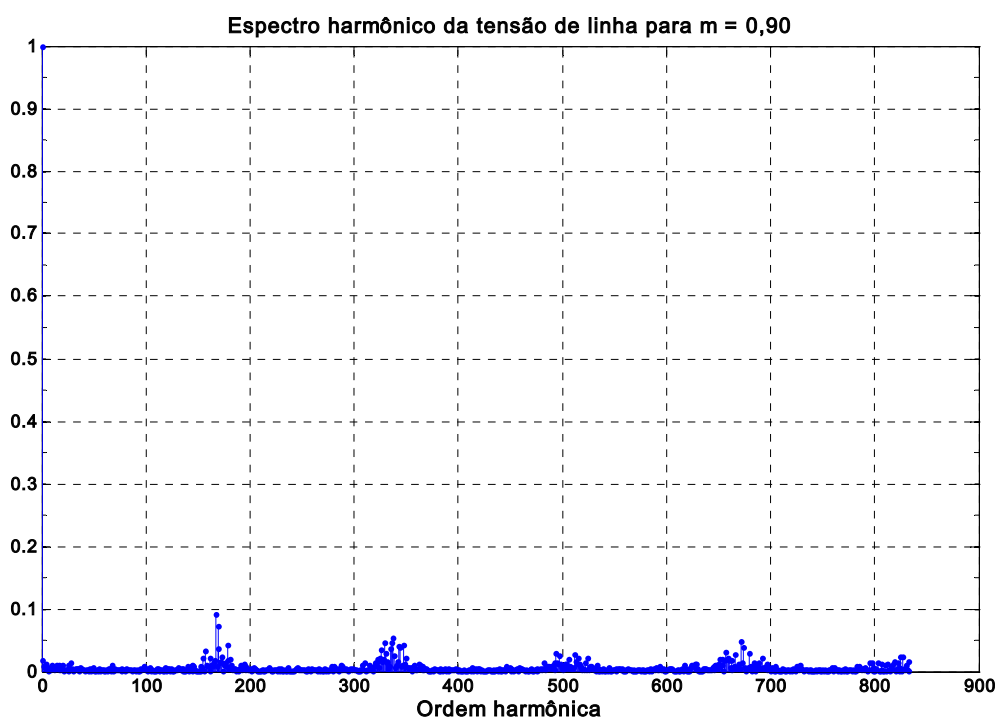


Figura 6.36 – Espectro harmônico da tensão de linha para $m = 0,90$

6.8 Conclusões

Os resultados obtidos tanto pela simulação, como experimentalmente evidenciam a validação do algoritmo da modulação vetorial via coordenadas móveis não-ortogonais para o inversor de três níveis com diodo de grampeamento. Constata-se também que o algoritmo proposto é de fácil implementação e baixo esforço computacional. Ressalta-se que o algoritmo possui rotinas computacionais (identificação do sextante, normalização, identificação do triângulo, cálculo das razões cíclicas, determinação Lh) que são comuns aos inversores de três níveis, quatro níveis, cinco níveis, e até de n níveis. As rotinas de obtenção dos pesos das razões cíclicas, determinação dos valores dos contadores para geração dos sinais MLP dos interruptores dependem da ordem do inversor. Portanto, o algoritmo proposto pode ser generalizado para n níveis.

Capítulo 7

7 Implementação do Algoritmo da MV Via Redes Neurais para Inversor de Três Níveis

7.1 Introdução

Neste capítulo propõe-se a implementação de um protótipo de um inversor de três níveis com MLP vetorial via RNAs utilizando DSP TMS320F240 da Texas Instruments. Neste intuito, os seguintes tópicos são abordados neste capítulo: descrição do algoritmo da MV via Redes Neurais Artificiais para o inversor de três níveis, análise comparativa com o algoritmo MV tradicional, resultados experimentais, e conclusões.

7.2 Algoritmo da MV via Redes Neurais para Inversores de Três Níveis.

O algoritmo da MV via redes neurais proposto para inversores de três níveis utiliza-se dos conceitos desenvolvidos no capítulo 5, tais como: síntese do padrão de chaveamento, síntese dos sinais MLP, utilização de duas redes para obtenção da MV, ou seja, uma RNA para a identificação do triângulo onde se encontra o vetor de referência V^* e outra para o cálculo das razões cíclicas. Ressalta-se, porém, que para o algoritmo desenvolvido para o inversor de três níveis, os dados de entrada são as componentes do vetor de referência referenciadas aos eixos dq, enquanto que para o inversor de cinco níveis, os dados de entrada são o módulo e ângulo do vetor de referência. A Figura 7.1 apresenta o diagrama de blocos do algoritmo da MV via redes neurais para o inversor de três níveis. Este algoritmo baseia-se no uso de duas RNAs, uma para a identificação do triângulo e outra RNA para o cálculo das razões cíclicas segundo a localização do vetor de referência no sextante.

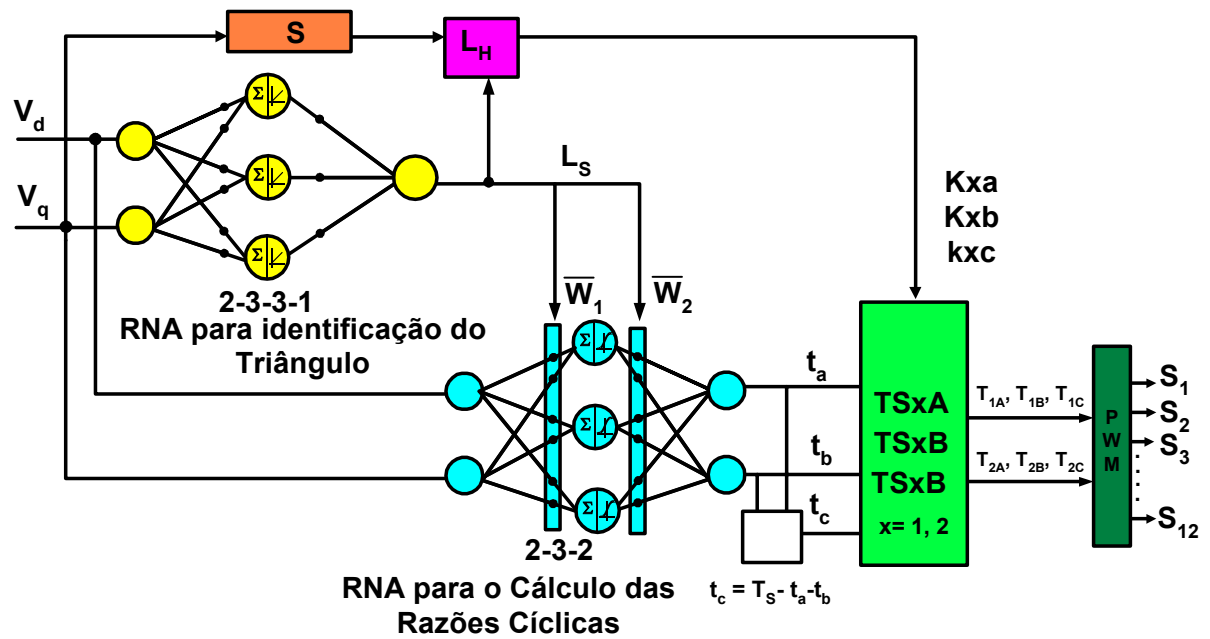


Figura 7.1 - Diagrama de blocos da MV via RNAs para um inversor de três níveis

7.2.1 Identificação do Triângulo Via Rede Neural

Como o número de triângulos em um sextante para o inversor de três níveis é de apenas quatro, o mapeamento das grandezas V_d e V_q é menos complexo que para o inversor de cinco níveis. Como a rede neural Adaline divide a região em dois semiplanos, com o uso de três redes neurais deste tipo é possível mapear as quatro regiões contidas em um sextante, conforme é apresentado na Figura 7.2. A localização do vetor referência pode ser obtida com o uso da decodificação apresentada na Tabela 7.1.



Rede A	Rede B	Rede C	Saída	Triângulo
0	0	0	0	4
0	0	1	1	Externa
0	1	0	2	Externa
0	1	1	3	Externa
1	0	0	4	3
1	0	1	5	2
1	1	0	6	1
1	1	1	7	Externa

Sendo que as saídas (1, 2, 3 e 7) resultam em regiões caracterizadas como externas à região do sextante, inviáveis de ocorrência para vetores de referências válidos.

7.2.2 Cálculo das Razões Cíclicas Via Redes Neurais

O cálculo das razões cíclicas utiliza-se de estratégia apresentada na seção 5.3.2 que se baseia no uso de uma RNA quase dinâmica, ou seja, a topologia da rede se mantém comum, mas o conjunto de pesos e bias são ajustados de acordo com a localização (triângulo) do vetor de referência. O treinamento desta RNA usou 4 conjuntos de dados com 1327 padrões para cada triângulo. A topologia final da RNA Multi-Layer Perceptron foi 2-3-2. A função de ativação dos neurônios ocultos é do tipo tan-sigmoide, e os neurônios de entrada e saída são do tipo linear. Os pesos e bias obtidos após o treinamento dos 4 conjuntos de dados são apresentados nas Tabelas 7.2, 7.3, 7.4 e 7.5.

Tabela 7.2 – Pesos e Bias para RNA triângulo 1

Erro	1e-9	781 épocas
Primeira camada	Pesos	[-0.17325977388969496 0.1966996300666746 -0.38663121006675366 -0.28151574495318521 12.072773893917754 7.8708516053226001];
	Bias	[0.013560544514650446;0.1066979740193913;-0.4716647332756167];
Segunda camada	Peso	[-12.133628435694941 -2.3233704815252971 0.00056468992401360169 10.732655701930266 -4.8087258509472326 0.0012346524377376243];
	Bias	[0.41182905076725618;0.36630859276422395]

Tabela 7.3 – Pesos e Bias para RNA triângulo 2

Erro	1e-9	600 épocas
Primeira camada	Pesos	[-0.028981626839703085;0.29968593713059588] [0.26372770693730258;0.12252424451552875] [-5.531335003091951;24.865053101890325]
	Bias	[-0.019439102892412866;-0.13521643408917269;- 8.9639881422591365]
Segunda camada	Peso	[-1.0799704460051243;-11.497406659624081;-1.779499356797178] [11.065084670662136;1.2157450360639328;1.7908267666280551]
	Bias	[-1.3546768982898338;2.1702439735094385]

Tabela 7.4 – Pesos e Bias para RNA triângulo 3

Erro	1e-9	536 épocas
Primeira camada	Pesos	[-0.26532001874924327 0.11158311066544528] [0.01980630122147458 0.321246863787992] [3.4865096873995833 30.474426636284907];
	Bias	[0.059751669850139029;- 0.063571202851197578;2.4865166118614903]
Segunda camada	Peso	[-0.78468602160222201;-10.513790779059105;-0.69010128583284469] [11.416964870748368;1.4272805495867189;0.10218474029738138]
	Bias	[1.0688077767090463;0.30656667600588672]

Tabela 7.5 – Pesos e Bias para RNA triângulo 4

Erro	1e-9	558 épocas
Primeira camada	Pesos	[-1.8135678390050789;1.4319663282191868] [-0.26043706816477452;-0.23424484980276125] [1.3724933710036038;-1.0821498133363585]
	Bias	[-0.67816515983983261;0.16886471615903867;- 0.63221791413432205]
Segunda camada	Peso	[0.72617359002445592;-7.881589794835719;-1.2655074766985652] [-0.9290805720886709;-1.4442187084313849;1.6179340333546384]
	Bias	[0.050860398601016869;0.60066769670096132]

7.3 Análise Comparativa entre Algoritmo da MV via Redes Neurais e Algoritmo MV via Coordenadas Móveis Não-Ortogonais

O programa fonte do algoritmo da MV via Redes Neurais Artificiais para inversores de três níveis encontra-se no anexo E. Como a faixa de variação de pesos e bias apresentados nas Tabelas 7.2, 7.3, 7.4 e 7.5 é muito grande, foi necessário o desenvolvimento de um programa para cada triângulo no sentido de minimizar o erro por operações matemáticas sucessivas.

Para obter melhor precisão na obtenção do valor de ativação, a função tan-sigmoide foi dividida em oito segmentos e utilizou-se a interpolação em 32 bits.

Estimaram-se os tempos computacionais gastos nas diversas etapas do algoritmo MV via Redes Neurais para o inversor de três níveis. O programa fonte foi dividido em três etapas:

- Geração do vetor de referência V^* ;
- Modulação vetorial via RNA;
- Geração dos sinais de acionamentos dos interruptores.

A geração do vetor de referência engloba: o início da sub-rotina, a geração do ângulo (Θ) através integração de 32 bits, a obtenção do seno de (Θ) e cosseno de (Θ), e o cálculo de V_d e V_q como descrito na seção do capítulo anterior. A Tabela 7.6 apresenta os tempos computacionais das tarefas envolvidas na geração do vetor de referência, sendo que o tempo computacional gastos nesta etapa é de 137 ciclos de máquina.

Tabela 7.6 – Tempo computacional para a geração V^*

Geração do Vetor de Referência V^*	Ciclos de máquina
Início Sub-rotina >	6
Geração do ângulo (Θ) através Int. de 32 bits,	53
Obtenção de $\sin(\Theta)$, $\cos(\Theta)$	66
Cálculo de V_d e V_q >	12
Total	137

A etapa da MV via RNA envolve: a identificação do triângulo, o cálculo das razões cíclicas via RNA, o cálculo de L_h , a obtenção dos pesos, obtenção dos valores dos contadores. A Tabela 7.7 apresenta os tempos computacionais das tarefas envolvidas na geração MV via RNA, sendo que o tempo total gasto nesta etapa é de 347 ciclos de máquina.

Tabela 7.7 – Tempo computacional da MV coordenadas móveis

MV via Redes Neurais	Ciclos de máquina
Identificação de triângulo	61
Rede cálculo das razões cíclicas Triângulo 1	272
Rede cálculo das razões cíclicas Triângulo 2	285
Rede cálculo das razões cíclicas Triângulo 3	286
Rede cálculo das razões cíclicas Triângulo 4	276
Obtenção dos Pesos	75
Obtenção dos valores dos tempos	44
Obtenção dos valores dos contadores	13
Total	347

A etapa para a geração dos sinais MLP divide-se em: Tempo de condução mínimo, configuração do modo de contagem, e ativação dos registros para geração dos sinais MLP. O tempo computacional gasto nesta etapa é de 184 ciclos de máquina, como pode ser observado na Tabela 7.8.

Tabela 7.8 – Tempo computacional para a geração dos sinais MLP

Geração dos sinais MLP	Ciclos de máquina
Tempo de condução mínimo	138
Configuração do modo de contagem	28
Ativação dos registros para Geração da MLP	18
Total	184

Os tempos computacionais gastos nas três etapas do algoritmo MV via RNA totaliza 800 ciclos de máquina, ou seja, 40,0 μ s. Sendo que, cada ciclo de máquina é 50 ns, e que o período de chaveamento para a frequência de 10091 Hz é igual a 1802 ciclos de máquina. Portanto, para estas condições, este algoritmo utiliza cerca de 44 % da capacidade computacional do DSP TMS320F240. Em relação ao algoritmo MV por Coordenadas móveis não-ortogonais o cálculo das razões cíclicas gastou um tempo computacional menor.

Utilizando o programa code-composer da Texas Instruments realizou-se uma análise comparativa entre o algoritmo Modulação Vetorial via Redes Neurais e o algoritmo da Modulação Vetorial utilizando coordenadas não-ortogonais móveis para os índices de modulação iguais a 0,30 0,70. A Figura 7.3 apresenta o gráfico dos números dos triângulos percorridos pelo vetor de referência para o índice de modulação igual 0,30 para os dois algoritmos propostos. Verifica-se que a identificação do triângulo via RNA é idêntica ao da MV por coordenadas móveis não-ortogonais.

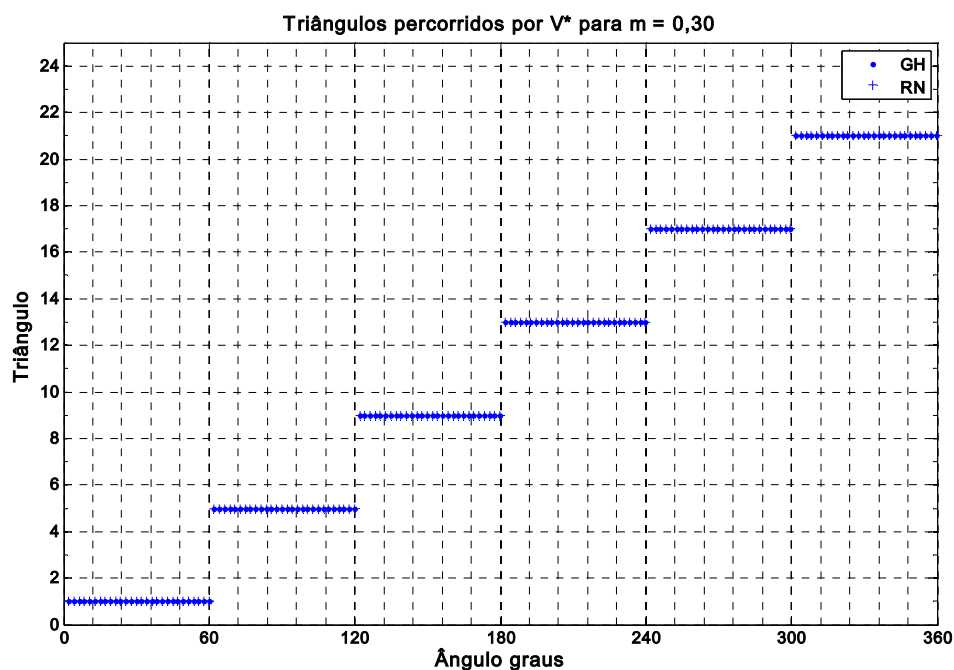


Figura 7.3 - Gráfico dos números dos triângulos percorridos por V^* para $m = 0,30$

A performance do cálculo das razões cíclicas via RNA pode ser visto pelas Figuras 7.4, 7.5 e 7.6 para t_a , t_b e t_c respectivamente. Nota-se que os erros existentes são pouco significativos.

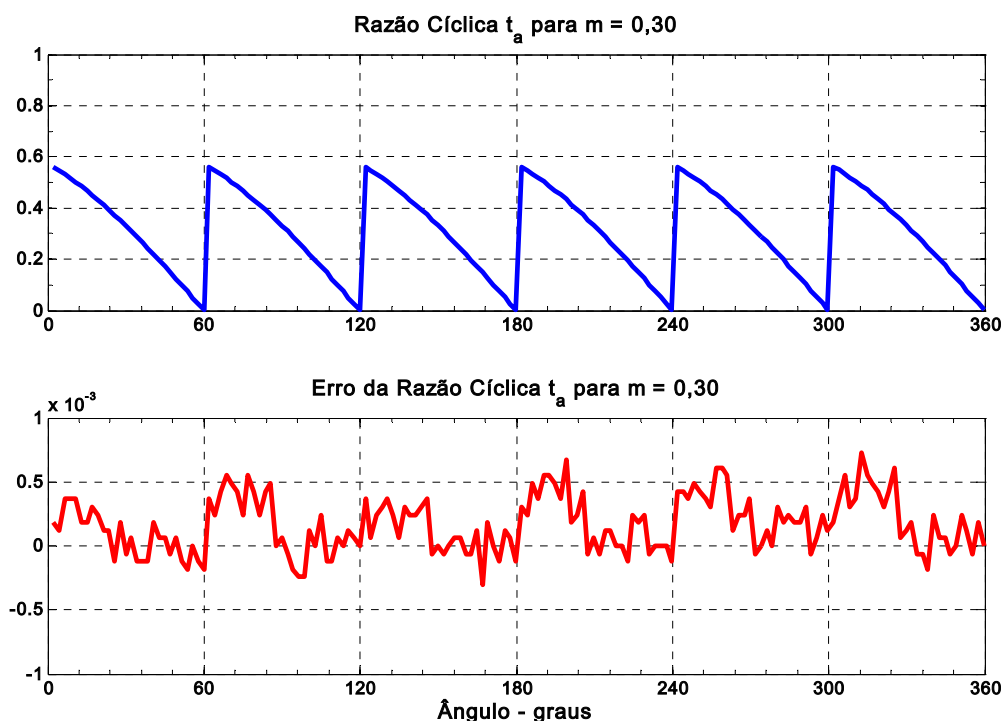


Figura 7.4 - Desempenho da razão cíclica t_a para $m = 0,30$

(a) Gráfico da razão cíclica t_a para $m = 0,30$

(b) Gráfico do erro da razão cíclica t_a para $m = 0,30$

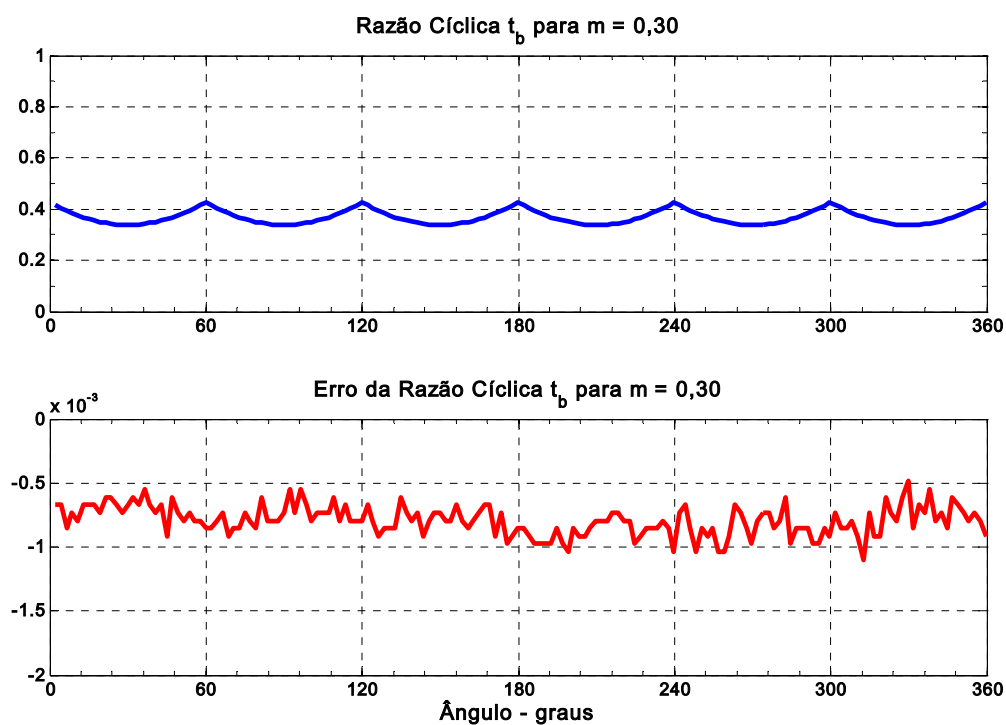


Figura 7.5 - Desempenho da razão cíclica t_b para $m = 0,30$

(a) Gráfico da razão cíclica t_b para $m = 0,30$

(b) Gráfico do erro da razão cíclica t_b para $m = 0,30$

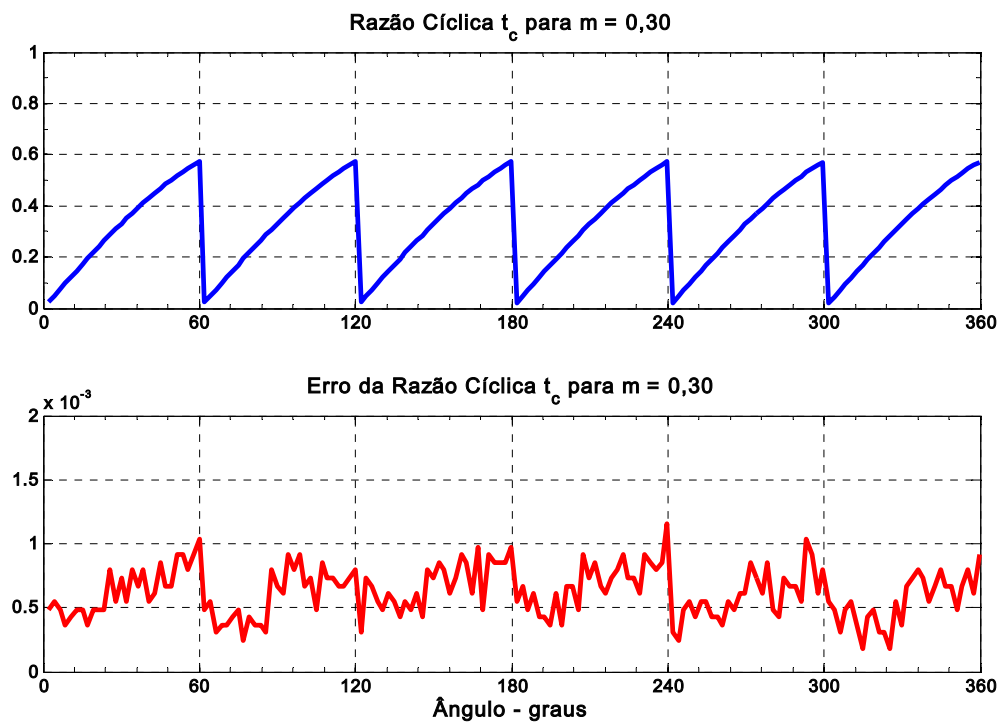


Figura 7.6 - Desempenho da razão cíclica t_c para $m = 0,30$

(a) Gráfico da razão cíclica t_c para $m = 0,30$

(b) Gráfico do erro da razão cíclica t_c para $m = 0,30$

As Figuras 7.7 e 7.8 apresentam respectivamente os gráficos para os valores dos contadores para os interruptores da fase A. Verifica-se que os erros entre os dois algoritmos são irrelevantes e que os erros ocorridos na determinação das razões cíclicas não foram transferidos integralmente para a geração da MLP.

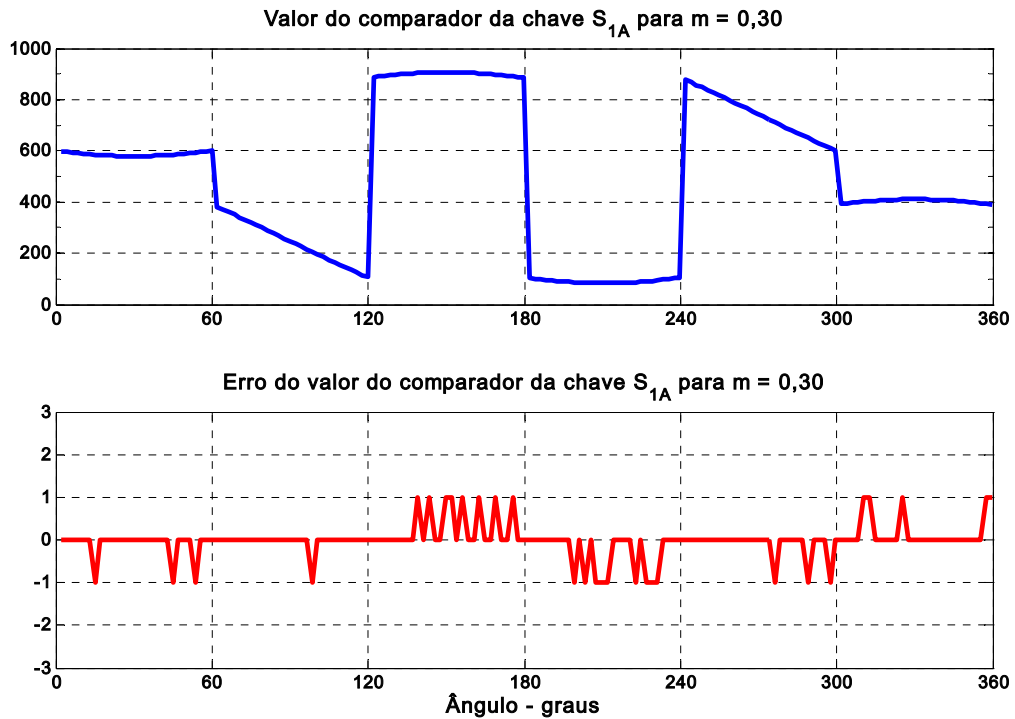


Figura 7.7 - Desempenho do comparador da chave S_{1A} para $m = 0,30$
(a) Gráfico do comparador da chave S_{1A} para $m = 0,30$
(b) Gráfico do erro do comparador da chave S_{1A} para $m = 0,30$

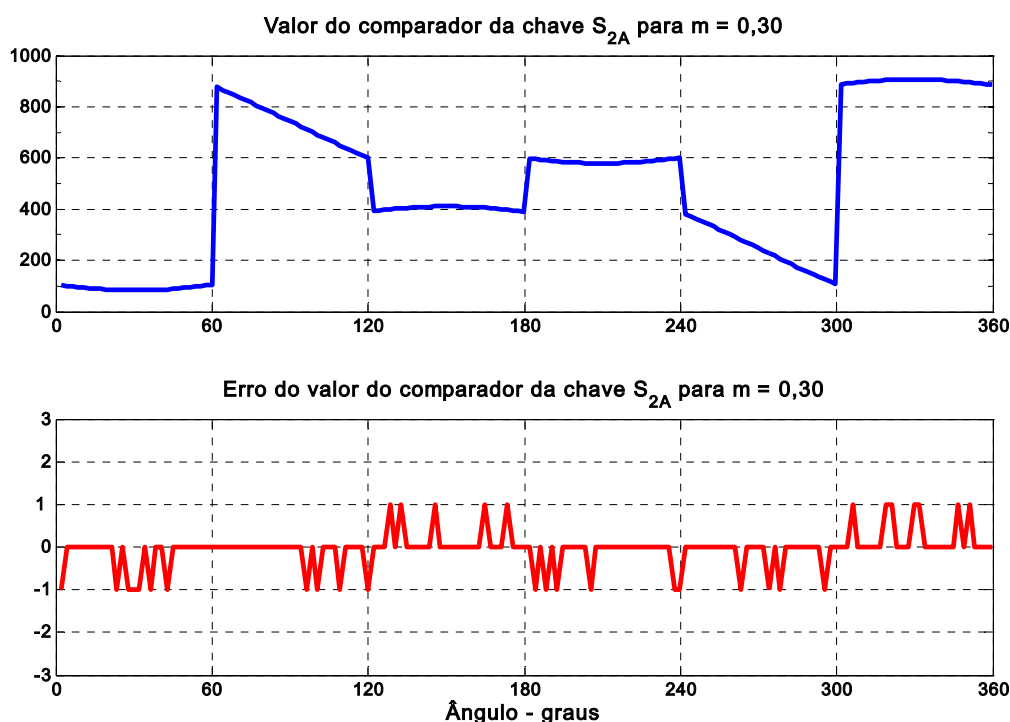


Figura 7.8 - Desempenho do comparador da chave S_{2A} para m = 0,30

(a) Gráfico do comparador da chave S_{2A} para m = 0,30

(b) Gráfico do erro do comparador da chave S_{2A} para m = 0,30

O gráfico dos números dos triângulos percorridos pelo vetor de referência para o índice de modulação igual 0,70 para os dois algoritmos propostos é apresentado na Figura 7.9. Verifica-se que a identificação do triângulo via RNA é idêntica ao da MV por coordenadas móveis não-ortogonais.

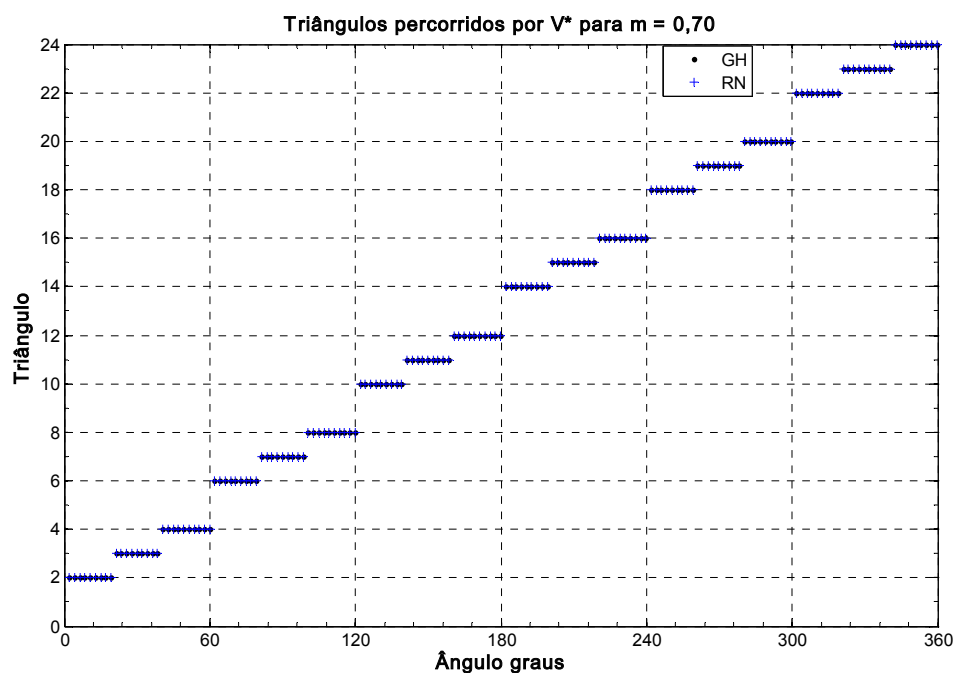


Figura 7.9 - Gráfico dos números dos triângulos percorridos por V* para m = 0,70

O desempenho do cálculo das razões cíclicas via RNA pode ser visto pelas Figuras 7.10, 7.11 e 7.12 para t_a , t_b e t_c respectivamente. Nota-se que os erros existentes são pouco significativos.

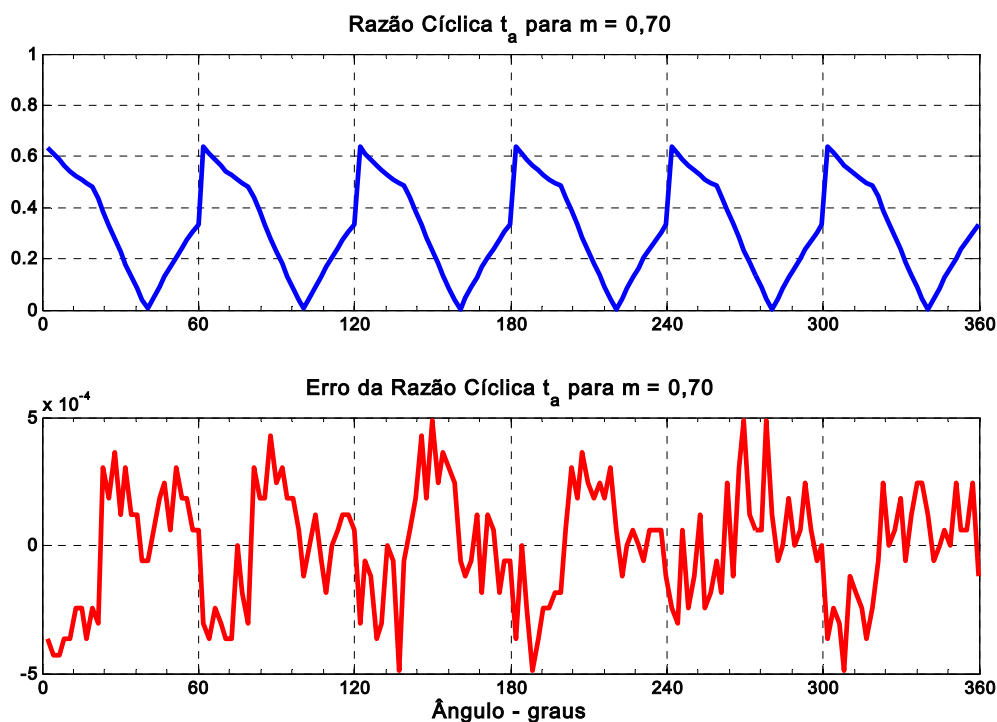


Figura 7.10 - Desempenho da razão cíclica t_a para $m = 0,70$

(a) Gráfico da razão cíclica t_a para $m = 0,70$

(b) Gráfico do erro da razão cíclica t_a para $m = 0,70$

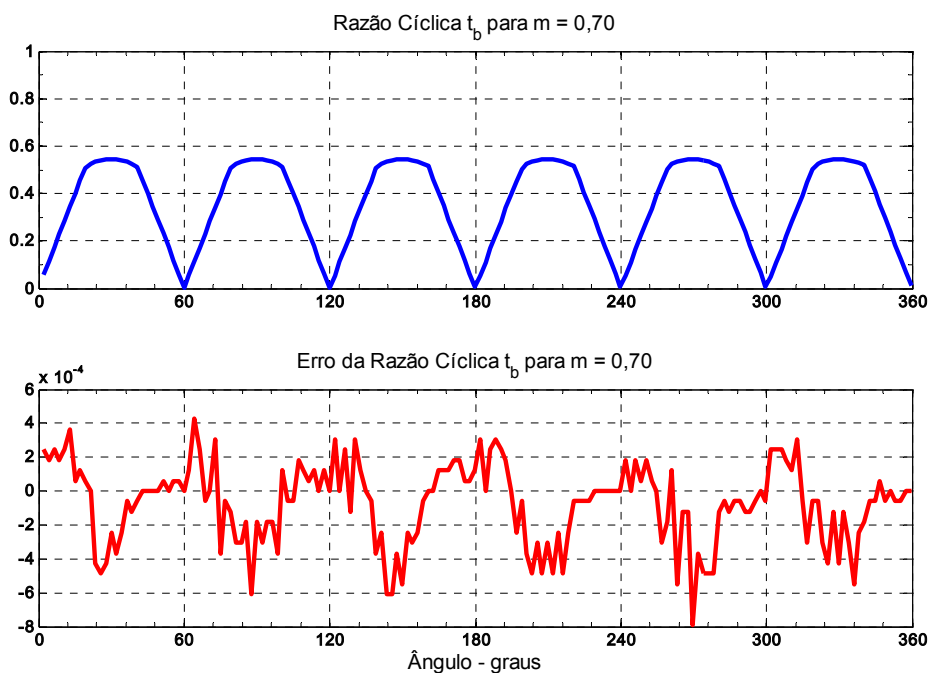


Figura 7.11 - Desempenho da razão cíclica t_b para $m = 0,70$

(a) Gráfico da razão cíclica t_b para $m = 0,70$

(b) Gráfico do erro da razão cíclica t_b para $m = 0,70$

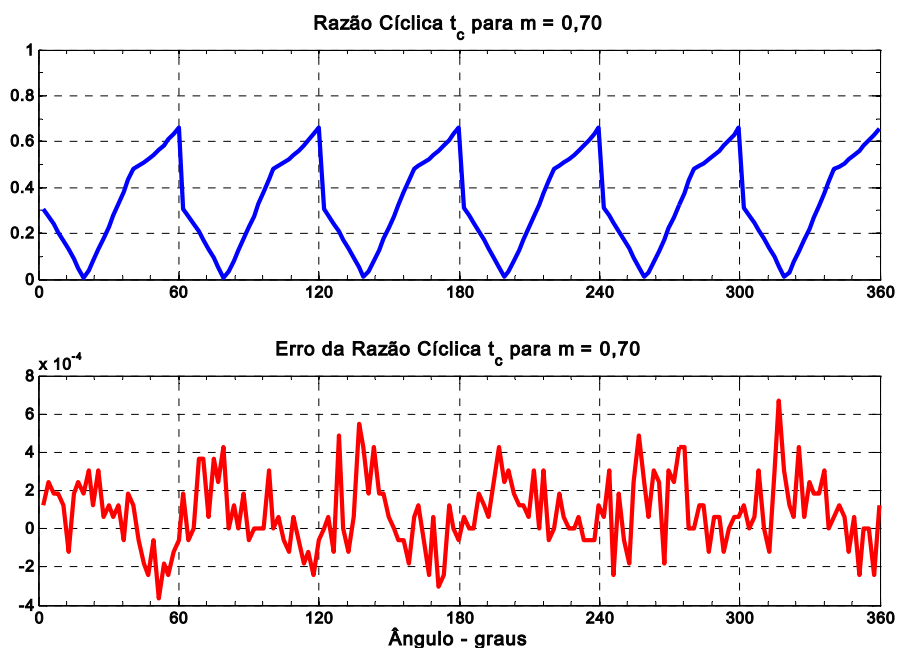


Figura 7.12 - Desempenho da razão cíclica t_c para $m = 0,70$

(a) Gráfico da razão cíclica t_c para $m = 0,70$

(b) Gráfico do erro da razão cíclica t_c para $m = 0,70$

Os gráficos para os valores dos contadores para os interruptores da fase A são apresentados pelas Figuras 7.13 e 7.14. Observa-se que os resultados apresentados pelos dois algoritmos são muito próximos.

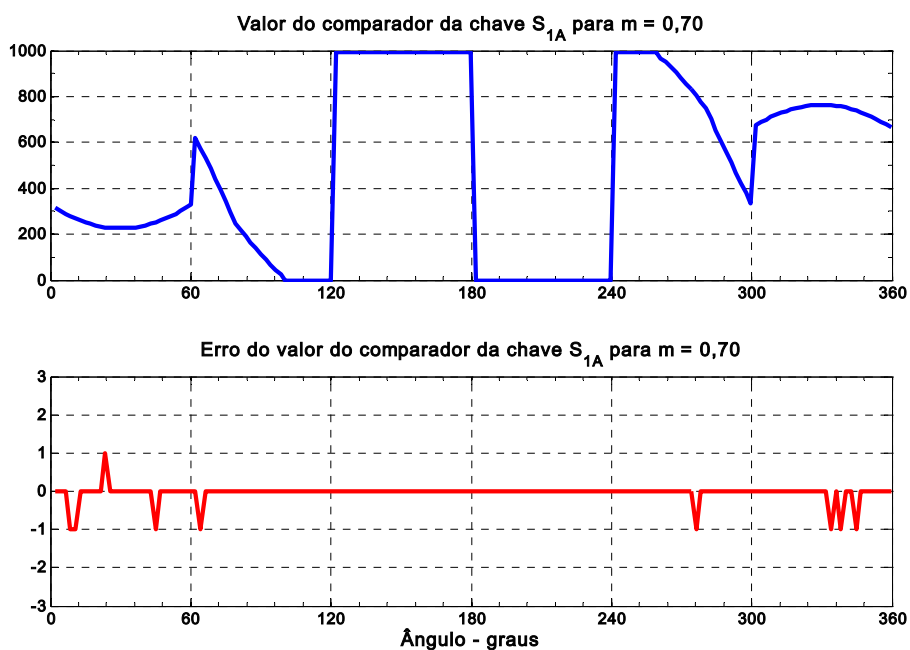


Figura 7.13 - Desempenho do comparador da chave S_{1A} para $m = 0,70$

(a) Gráfico do comparador da chave S_{1A} para $m = 0,70$

(b) Gráfico do erro do comparador da chave S_{1A} para $m = 0,70$

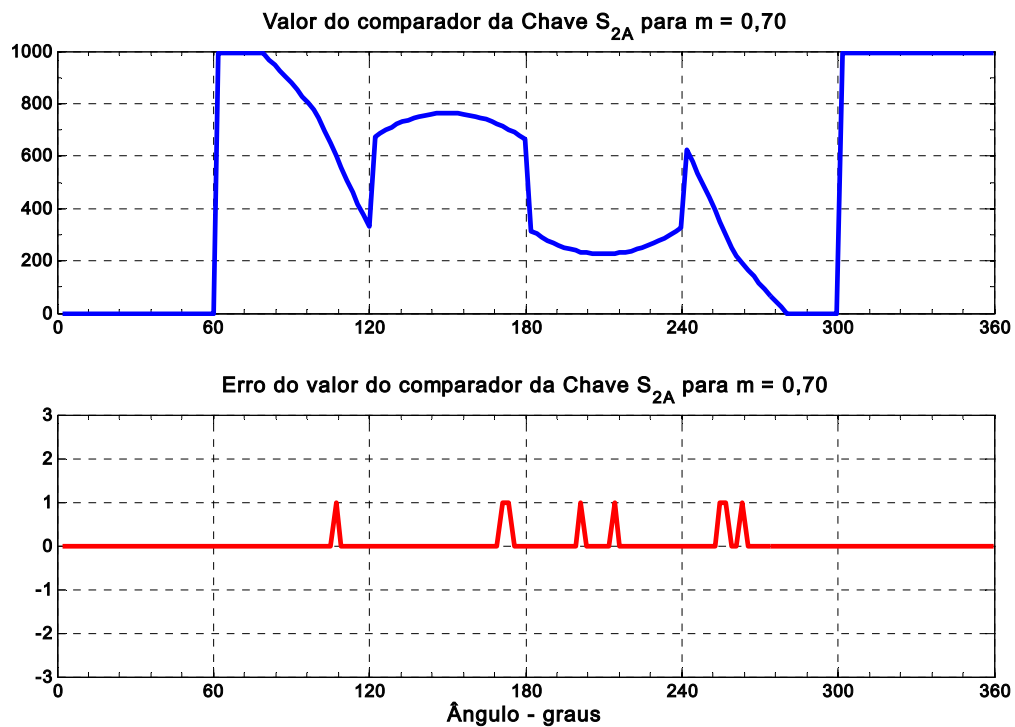


Figura 7.14 - Desempenho do comparador da chave S_{2A} para $m = 0,70$
(a) Gráfico do comparador da chave S_{2A} para $m = 0,70$
(b) Gráfico do erro do comparador da chave S_{2A} para $m = 0,70$

7.4 Resultados Experimentais do Algoritmo MV via Redes Neurais para Inversor de Três níveis

Utilizando o protótipo do inversor de três níveis, foram obtidos os resultados experimentais para o algoritmo da MV via redes neurais para a mesma configuração usada para o algoritmo MV por coordenadas móveis não ortogonais, ou seja:

- Frequência fundamental: 60 Hz
- Frequência de Chaveamento: 10091 Hz
- Tensão do elo CC: 300 V

Foram realizados ensaios para diversos índices de modulação ($m = 0,30$, $m = 0,48$, $m = 0,55$, $m = 0,70$, e $m = 0,90$) objetivando levantar o desempenho do algoritmo proposto em toda faixa linear de operação.

Índice de modulação 0,30

O gráfico da forma de onda da tensão fase-fase V_{ab} é apresentado na Figura 7.15, sendo similar ao gráfico apresentado na Figura 6.27 obtido para o algoritmo MV por coordenadas móveis não-ortogonais. Ambos os gráficos apresentam os seguintes níveis de tensão ($-V_{CC}/2$, 0, e $V_{CC}/2$) caracterizando este modo de operação como similar ao inversor de dois níveis. O espectro harmônico da tensão V_{ab} é apresentado na Figura 7.16, sendo que o valor da componente fundamental obtida utilizando a MV via RNA (94,25 V) é muito próximo ao referido valor obtido experimentalmente utilizando a MV via coordenadas móveis não-ortogonais (93,70 V).

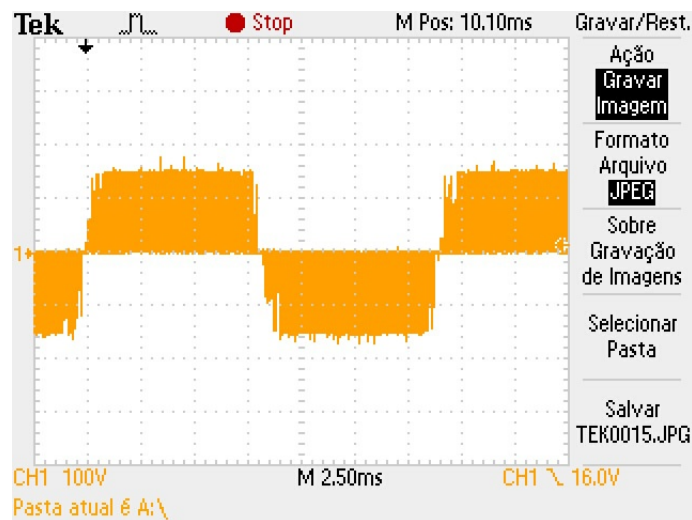


Figura 7.15 – Forma de onda da tensão fase-fase para $m = 0,30$



Figura 7.16 – Espectro harmônico da tensão fase-fase para $m = 0,30$

Índice de modulação 0,48

Para o índice de modulação igual a 0,48, nota-se na forma de onda da tensão V_{ab} (ver Figura 7.17) o aparecimento os níveis de tensão ($-V_{CC}$ e V_{CC}), que também foi constatado para o algoritmo da MV por coordenadas móveis (Figura 6.29). O conteúdo harmônico da tensão V_{ab} para o índice de modulação $m = 0,48$ é apresentado pela Figura 7.18.

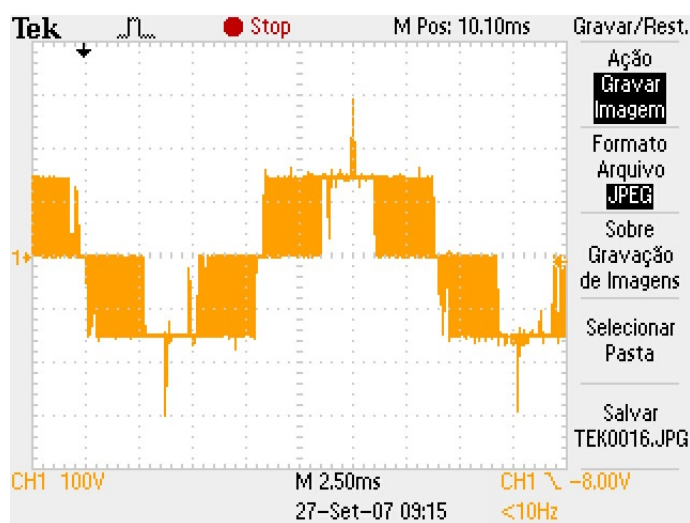


Figura 7.17 – Forma de onda da tensão fase-fase para $m = 0,48$



Figura 7.18 – Espectro harmônico da tensão fase-fase para $m = 0,48$

Índice de modulação 0,55

A Figura 7.19 apresenta tensão de saída V_{ab} para o índice de modulação 0,48. O espectro harmônico da tensão de saída V_{ab} é apresentado na Figura 7.19. Observa-se a similaridade de resultados para os dois algoritmos propostos.

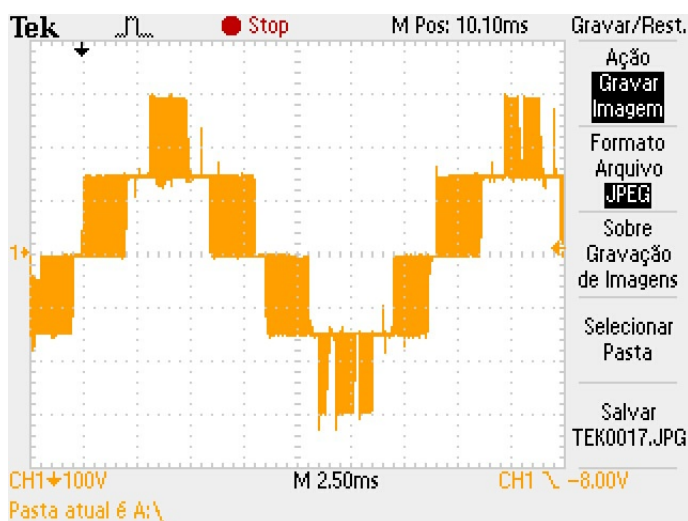


Figura 7.19 – Forma de onda da tensão fase-fase para $m = 0,55$

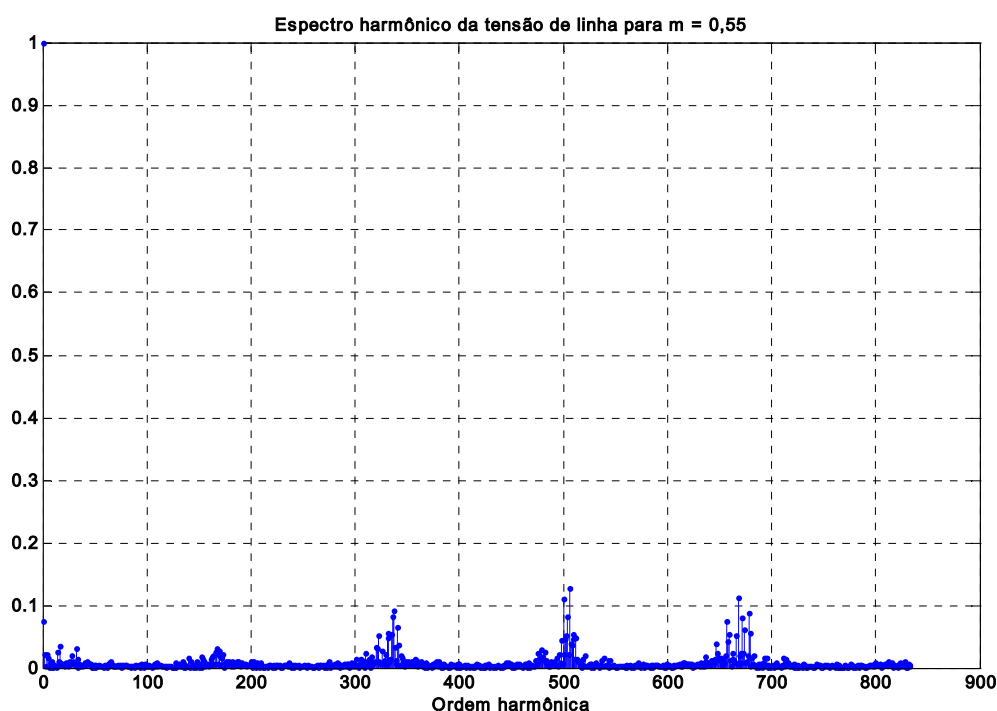


Figura 7.20 – Espectro harmônico da tensão de linha para $m = 0,55$

Índice de modulação 0,70

Na forma de onda da tensão fase-fase para o índice de modulação igual a 0,70 apresentada na Figura 7.21, constata-se que o inversor opera durante o maior intervalo do tempo oscilando entre os níveis de tensão “1” e “2”.

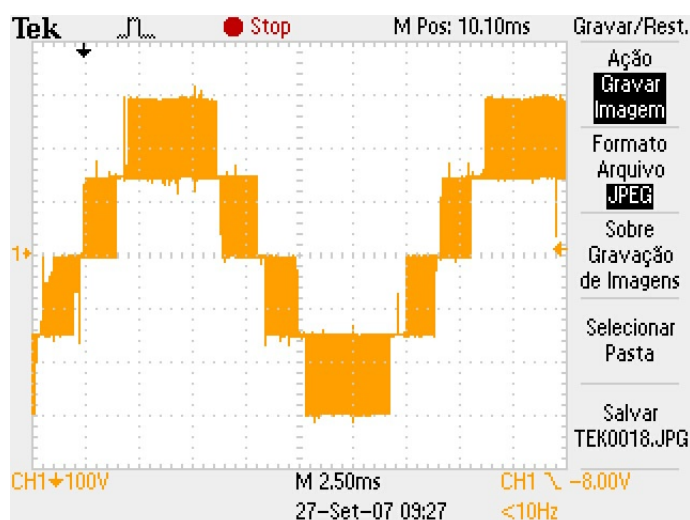


Figura 7.21 – Forma de onda da tensão fase-fase para $m = 0,70$.

O espectro harmônico da tensão fase-fase é apresentado na Figura 7.22. Os valores da tensão das componentes fundamentais para os dois algoritmos propostos mostram-se bem próximos, o valor obtido na simulação é 231,50 V, enquanto que o valor obtido

experimentalmente é 225,50 V para a MV por coordenadas móveis não-ortogonais e 222,85 V para a MV via RNA.

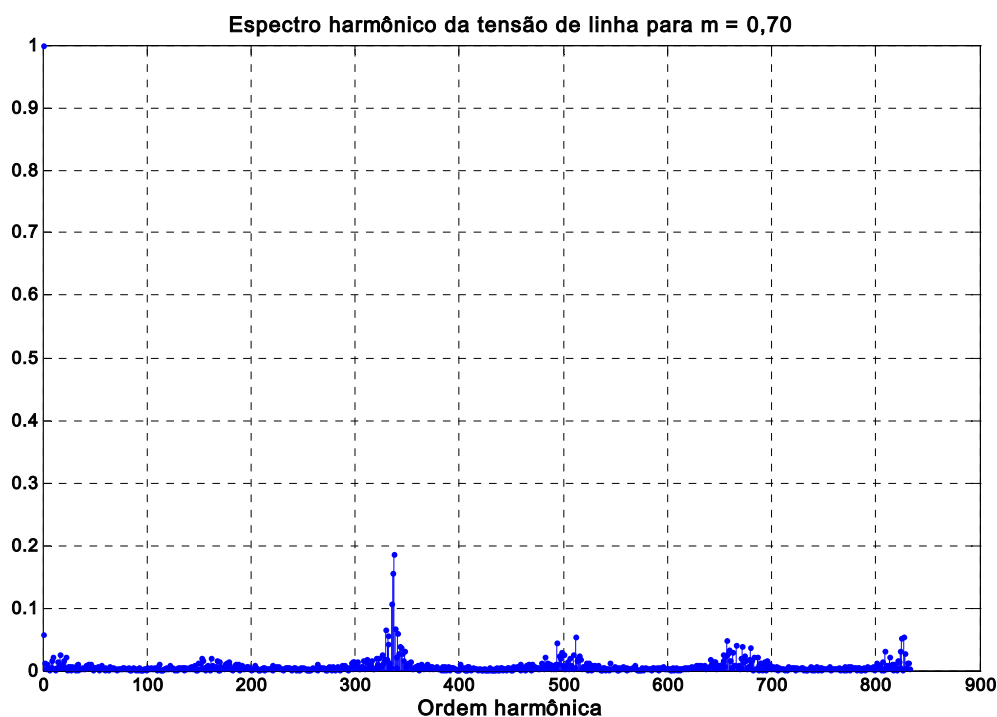


Figura 7.22 – Espectro harmônico da tensão fase-fase para $m = 0,70$

Índice de modulação 0,90

O gráfico da tensão V_{ab} apresentado na Figura 7.23, nota-se a permanência por maior tempo nos níveis de tensão ($+V_{CC}$) no semicíclo positivo e do nível de tensão ($-V_{CC}$) no semicíclo negativo. O conteúdo harmônico da tensão de saída é apresentado na Figura 7.24.

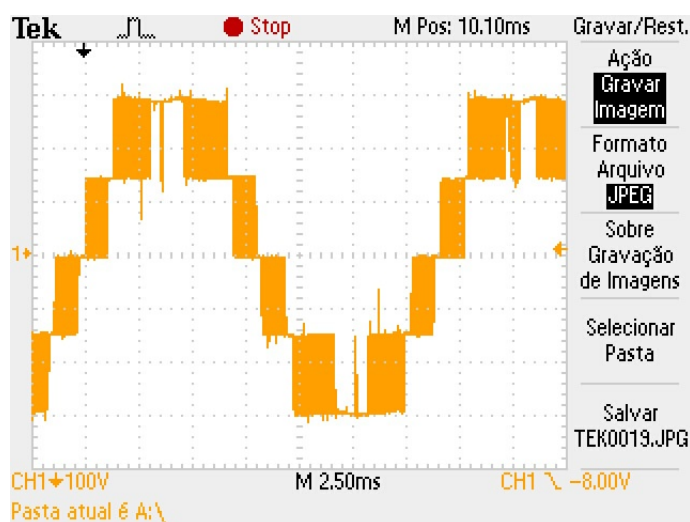


Figura 7.23 – Forma de onda da tensão fase-fase para $m = 0,90$.

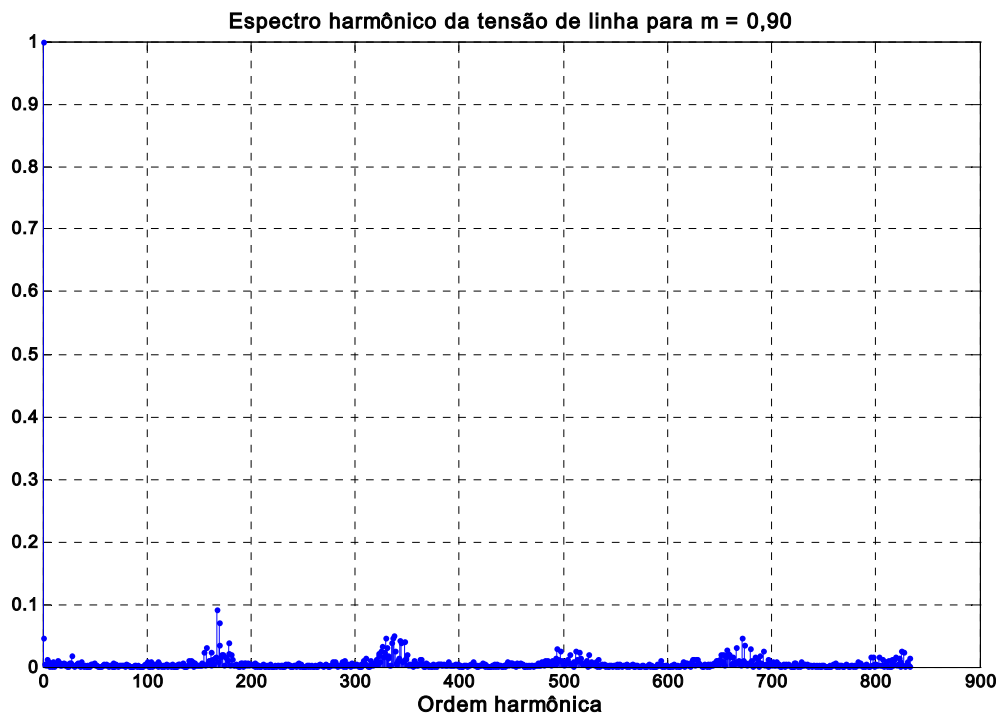


Figura 7.24 – Espectro Harmônico da tensão fase-fase para $m = 0,90$

7.5 - Conclusões

Neste capítulo apresentou-se o algoritmo da MV via RNA. Destaca-se a utilização de RNA “quase-dinâmica” em que os pesos e bias podem ser alterados, neste caso, segundo a região que se encontra o vetor de referência. A utilização das Redes Neurais Adaline mostrou-se adequada para o mapeamento dos triângulos. Os valores das razões cíclicas obtidos pelo algoritmo proposto são pouco significativos, uma vez que, os sinais MLP gerados são muito próximos do padrão. De forma geral, a utilização de DSP de maior precisão (32 bits) diminuiria os erros em operações matemáticas sucessivas, os valores da função de ativação tan-sigmoide seriam mais precisos. Os resultados obtidos experimentalmente comprovam a viabilidade do algoritmo proposto.

Capítulo 8

8 Conclusões Gerais

A modulação por largura de pulso vetorial mostrou-se adequada para a implementação de inversores de dois níveis, bem como, para inversores multiníveis.

O algoritmo da MLP vetorial desenvolvido para o inversor de dois níveis foi bastante simplificado, apresentando as seguintes características: - cobre a região linear e de sobremodulação com um único algoritmo; - extrapola a estratégia da região linear para a região de sobremodulação; há redução do número de equações para o cálculo dos tempos de chaveamento. Como consequência o inversor pode operar em frequências de chaveamento elevadas, superiores a 10 kHz.

O algoritmo da MLP vetorial desenvolvido para o inversor multinível com diodo de grameamento utilizando coordenadas móveis não ortogonais é bem simples, pois as operações matemáticas são de fácil implementação. A estratégia da identificação do triângulo onde se localiza o vetor de referência para a escolha dos três vetores mais próximos, considerada de complexidade alta, tornou-se muito simples. Este algoritmo pode ser facilmente estendido para inversores multiníveis de ordem superior. Os resultados experimentais utilizando esta técnica de modulação foram satisfatórios comprovando a viabilidade do algoritmo proposto. A utilização do padrão de chaveamento completo teoricamente garante o equilíbrio das tensões dos capacitores do elo CC.

O algoritmo da modulação por largura de pulso vetorial utilizando redes neurais foi desenvolvido para um inversor fonte de tensão de com diodo de grameamento de cinco níveis. Duas redes neurais foram utilizadas para realizar as partes mais complexas do algoritmo. A primeira rede neural faz a identificação do triângulo onde o vetor de referência está localizado. A segunda rede neural determina as razões cíclicas dos três vetores mais próximos. O desempenho da RNA quase-dinâmica para o cálculo das razões cíclicas mostrou

o potencial deste tipo de rede, uma vez, que possibilitou a diminuição das não linearidades, melhorando a convergência e treinabilidade das redes. Os resultados experimentais obtidos para o inversor de três níveis com a modulação vetorial usando redes neurais viabilizam esta estratégia.

Como sugestões para trabalhos futuros destacam-se:

- Análise e implementação com DSP da MLP vetorial usando redes neurais artificiais para o inversor com diodo de grampeamento de cinco níveis;
- Análise e implementação com DSP da MLP vetorial usando coordenadas não ortogonais para o inversor com diodo de grampeamento de cinco níveis;
- Desenvolvimento de uma MLP vetorial padrão de chaveamento reduzido para o inversor com diodo de grampeamento de cinco níveis.
- Implementação em FPGA da modulação vetorial usando coordenadas móveis não-ortogonais para inversores multiníveis.
- Utilização da modulação vetorial usando coordenadas móveis não-ortogonais para inversores multiníveis com capacitor flutuante e ponte em cascatas.

Publicações:

Como produtos deste trabalho foram publicados artigos nos principais congressos da área de Eletrônica de Potência e acionamentos de máquinas, discriminados abaixo:

- Industry Applications Society Meeting – IAS ([56])
- Industrial Electronics Society Meeting – IECON ([55])
- Congresso Brasileiro de Eletrônica de Potência – COBEP ([53],[54])

Referências Bibliográficas

- [1] Joachim Holtz, "Pulsewidth modulation – A survey", *IEEE Transactions on Industrial Electronics*, Vol.39, No. 5, Dec.1992, pp. 410-420
- [2] Alfred Busse and Joachin Holtz, "Multiloop control of a unity power factor fast switching AC to DC converter, *Conference Record of IEEE-PESC* 1982, pp. 171-179
- [3] Gerhard Pfaff, Alois Weschta, and Albert F. Wick, "Design and experimental results of a brushless AC servo drive", *IEEE Transactions on Industrial Applications*, Vol. IA-20, No. 4, Jul/Aug, 1984, pp. 814-821
- [4] Joachim Holtz, Peter Lammert and Wolfgang Lotzkat, "High-speed drive system with Ultrasonic MOSFET-PWM inverter and single-chip-microprocessor control", *IEEE Transactions on Industrial Applications*, Vol. IA-23, No. 6, Nov/Dec, 1987, pp. 1010-1015
- [5] Heinz W. Van Der Broeck, Hans-Chirstoph Skundelny, and Geor Viktor Stanke, "Analysis and realization of a pulsewidth modulator based on voltage space vector", *IEEE Transactions on Industrial Applications*, Vol. 24, No. 1, Jan/Feb, 1988, pp. 142-150
- [6] Yoshihiro Murai, Kazahuru Ohashi, and Isamu Hosono, "New PWM method for fully digitized inverters", *IEEE Transactions on Industrial Applications*, Vol. IA-23, No. 5, Sep/Oct, 1987, pp. 887-893
- [7] Shoji Fujuda, Yoshitaka Iwaji and Kirohazu Hasegawa, "PWM technique for inverter with sinusoidal output current" *IEEE Transactions on Power Electronics*, Vol.5, No. 11, Jan 1990
- [8] Thomas G. Habetler, "A space vector-based rectifier regulator for AC/DC/AC converters", *Conference Record of EPE* 1991, pp. 2101-2107
- [9] Joachim Holtz, Wolfgang Lotzkat and Ashwin M. Khambadkone, "On continuous control of PWM inverters in the overmodulation range including the six-step mode", " *IEEE Transactions on Power Electronics*, Vol.8, No. 4, Oct 1993, pp. 546-553
- [10] Johann W. Kolar, Hans Ertl, and Franz C. Zach, "Influence of the modulation method on the conduction and switching losses of a PWM converter system," *IEEE Transactions on Industrial Applications*, Vol. 27, No. 6, Nov/Dec, 1991, pp. 1063-1075

- [11] Victor R. Stefannovic and Slobodan N. Vukosavic, "Space-vector PWM voltage control with optimized switching strategy", *IEEE-IAS Annual Meeting* 1992, pp.1025-1033
- [12] Andrzej M. Trzynadlowski, and Stanislaw Legowski, "Minimum-loss vector PWM strategy for three-phase inverters", *IEEE Transactions on Power Electronics*, Vol.9, No. 1, Jan 1994, pp. 26-34
- [13] Yoshihiro Murai, Yoichi Gohshi, Keiju Matsui, and Isamu Hosono, High-frequency split zero-vector PWM with harmonic reduction for induction motor drive", *IEEE Transactions on Industrial Applications*, Vol. 28, No. 1, Jan/Feb, 1992, pp. 105-112
- [14] H. S. Patel and R. G. Hoft, "Generalized techniques of harmonic elimination and voltage control in thyristors inverters: Part II – Voltages control techniques", *IEEE Transactions on Industrial Applications*, Vol. IA_10, No. 5, Sep./Oct., 1974, pp. 666-673
- [15] G. S. Buja and G. B. Indri, "Optimal pulsewidth modulation for feeding AC motors", *IEEE Transactions on Industrial Applications*, Vol. IA_13, No. 1, Jan./Feb., 1977, pp. 38-44
- [16] K. Tanaguchi and H. Irie, "Trapezoidal modulating signal for three-phase PWM inverter", *IEEE Transactions on Industrial Electronics*, Vol IE-33, No. 2, May 1986, pp. 193-200
- [17] Joachim Holtz and Bernd Beyer, "Optimal synchronous pulsewidth modulation with a trajectory-tracking scheme for high-dynamic performance", *IEEE Transactions on Industrial Applications*, Vol. IA_29, No. 6, Nov./Dec., 1993, pp. 1098-1105
- [18] Phoivos D. Ziogas, "The delta modulation technique in static PWM inverters" *IEEE Transactions on Industrial Applications*, Vol. IA_17, No. 2, Mar./Apr., 1993, pp. 199-204
- [19] G. Venkataramanan and D. Divan, "Pulse width modulation with resonant DC link converters", *IEEE_IAS Annual Meeting Conference Record* 1990, pp. 984-990
- [20] M. H. Kleraluwala and D. M. Divan, "Delta modulation strategies for resonant DC link converters", *IEEE Transactions on Power Electronics*, Vol. 5, No. 2, pp. 220-288
- [21] R. D. Lorenz and D. M. Divan, "Dynamic analysis and experimental evaluation of delta modulators for field-oriented AC machine current regulators", *IEEE Transactions on Industrial Applications*, Vol. IA_26, No. 2, 1990, pp. 296-301

- [22] Géza Joos and Phoivos D. Ziogas, "On maximizing gain and minimizing switching frequency of delta modulated inverters", *IEEE Transactions on Industrial Electronics*, Vol IE-40, No. 4, Aug. 1993, pp. 436-444
- [23] A. M. Trzynadlowki, S. Legowski, and R. L. Kirlin, "Random pulse width modulation technique for voltage controlled power inverters," *IEEE-IAS Annual Meeting Conference Record 1987*, pp. 863-868
- [24] S. Legowski and A. M. Trzynadlowski, "Advanced random pulse width modulation technique for voltage-controlled inverter drive systems", *IEEE-APEC Conference Record 1991*, pp. 100-106
- [25] Thomas G. Habetler and Deepakraj M. Divan, "Acoustic noise reduction in sinusoidal PWM drives using randomly modulated carrier," *IEEE-IAS Annual Meeting Conference Record 1989*, pp. 665-671
- [26] J. Holtz, "Pulsewidth modulation for electric power conversion", *Proc. of IEEE*, v. 82, 1994, pp 1194-1214.
- [27] H.W. Van Der Broeck, H.C. Skudelny and G. Stanke, "Analysis and realization of a pulse width modulator based on voltage space vectors", *IEEE Trans. on Ind. Appl.*, vol. 24, Jan./Feb. 1988, pp. 142-150.
- [28] S. Bolognani and M. Ziglitti, "Novel digital continuous control of SVM inverters in the overmodulation range", *IEEE Trans. on Ind. Appl.*, vol. 33, March/April 1997, pp. 525-530.
- [29] D.C.Lee and G.M.Lee, "A novel overmodulation technique for space vector PWM inverters", *IEEE Trans. Power Electronics*, vol. 13, , Nov. 1998, pp. 1144-1151.
- [30] J. O. P. Pinto, B. K. Bose, L. E. B. Silva and M. P. Kazmierkowski, "A neural-network-based space-vector PWM controller for voltage-fed inverter induction motor drive" *IEEE Trans. Industry Applications*, vol. 36, no. 6, Nov. 2000, pp. 1628-1636.
- [31] Zhenyu Yu, Space-Vector PWM With TMS320C24x/F24x Using Hardware and Software Determined Switching Patterns; Texas Instruments Literature Number SPRA524.

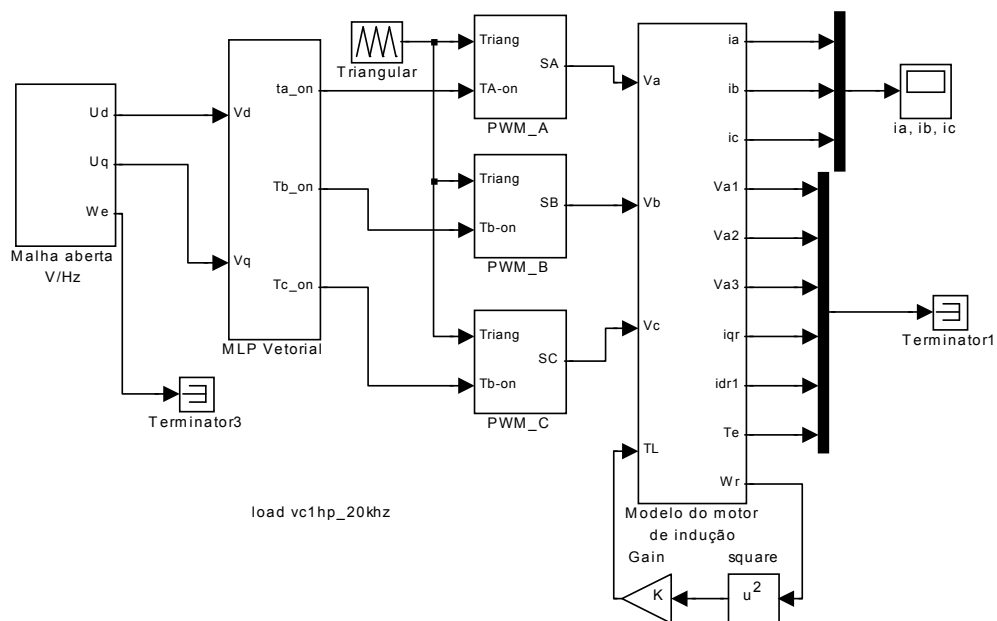
- [32] B. K. Bose, *Modern Power Electronics and AC Drives*, Prentice-Hall, Upper Saddle River, 2002
- [33] A. Nabae, I. Takahashi and H. Akagi, "A New Neutral-Point Clamped PWM Inverter", *IEEE Trans. on Industry Applications*, vol.-17, pp. 518-523, Sept./Oct. 1981.
- [34] B. S. Suh, G. Sinha, M. D. Manjrekar and T. A. Lipo, "Multilevel power conversion – An overview of topologies and modulation strategies", *Optimization of Electrical and Electronic Equipments*, 1998. OPTIM '98. Proceedings of the 6th International Conference on , Vol. 2, pp. AD-11 – AD-24 May 1998
- [35] J. Rodrigues, J. S. Lai and F. Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications", *IEEE Trans. Ind. Electronics*, vol. 49, pp 724-738, August 2002
- [36] J. S. Lai and F. Z. Peng, "Multilevel converters: A new breed of Power converters", *IEEE Trans. Ind. Applications*, vol. 32, pp 509-517, May/June 1996
- [37] O. Alonso, L. Marroyo and P. Sanchis, "A Generalized Methodology to Calculate Switching Times and Regions in SVPWM Modulation of Multilevel Converters", *Proc. EPE'2001*, 2001.
- [38] N. Celanovic and Boroyevich, "A Fast Space Vector Modulation Algorithm for Multilevel Three Phases Converters" *IEEE-IAS*, 1999.
- [39] D. Peng, F. C. Lee, and D. Boroyevich, "A Novel SVM Algorithm for Multilevel Three-Phase Converters", *IEEE PESC 02, 33rd Annual* , vol. 2, pp 509 –513, 2002.
- [40] S. K. Mondal, J. O. P. Pinto and B. K. Bose, "A Neural-Network_based Space-Vector PWM Controller for a Three-Level Voltage-Fed Inverter Induction Motor Drive", *IEEE Transactions On Industry Applications*, vol: 38, , pp 660-669, May/June 2002.
- [41] M. Cosan, H. Mão, D. Borojevic, and F. Lee, "Space Vector Modulation of Three Level Voltage Source Inverter," *VPEC Seminar Proc.*, pp 123-128, 1996.

- [42] P. M. Bhagwt and V. Stefanovic, "Generalized structure of a multilevel PWM inverters, IEEE Trans. on industry applications, vol. IA-19, 1983, pp. 1057-1069.
- [43] N. S. Choi, J. G. Cho, and G. H. Cho, A general circuit topology of multilevel inverter, in IEEE-PESC, 1991. 96-103.
- [44] T. Meynard and H. Foch, Multilevel conversion: High voltage chopper and voltage source inverters, in IEEE-PESC, 1992, pp.397-403.
- [45] M. Marchesoni, M Mazzucchelli, S. Tenconi, "A non conventional power converter for plasma stabilization", *IEEE Transactions on Power Electronics*, vol. 5, no. 2, April 1990
- [46] M. D. Manjrekar, P. Steimer, T. A. Lipo, "Hybrid multilevel power conversion system: A competitive solution for high power applications, " *IEEE-IAS conference Record*, 1999
- [47] M. Marchesoni, "High-performance current control techniques for applications multilevel high-power voltage source inverters," *IEEE Transactions on Power Electronics*, pp. 189-204, vol. 7, no. 1, January 1992
- [48] F. Z. Peng, J. S. Lai, J. McKeever, J. Van Coevering, "A multilevel voltage-source inverter with separate DC sources for static var generation," *IEEE-IAS Conference Record*, pp. 2541-2548, 1995
- [49] Bum-Seok Suh, Dong-Seok Hyun, "A novel n-level high voltage inversion system," *IEEE Transactions on Industrial Electronics*, vol. 44, no. 1, pp. 107-115, February 1997.
- [50] F. R. Dijkhuizen, J. L. Duarte, "Proper choice of flying capacitors based on distinct power dissipation models" *IEEE-IAS Conference Record*, vol.2, pp 1174-1180, 1998.
- [51] Y.Liang, C. O. Nwankpa, "A power line conditioner based on flying capacitor multilevel voltage source converter with phase shift SPWM," *IEEE-IAS Conference Record*, vol. 4, pp. 2337-2343, 1999.
- [52] G. Sinha, T. A. Lipo, "A Four Level inverter Based Drive with a passive front End. " *IEEE-PESC Conference Record*, pp.590-596, Vol. 1 1997.

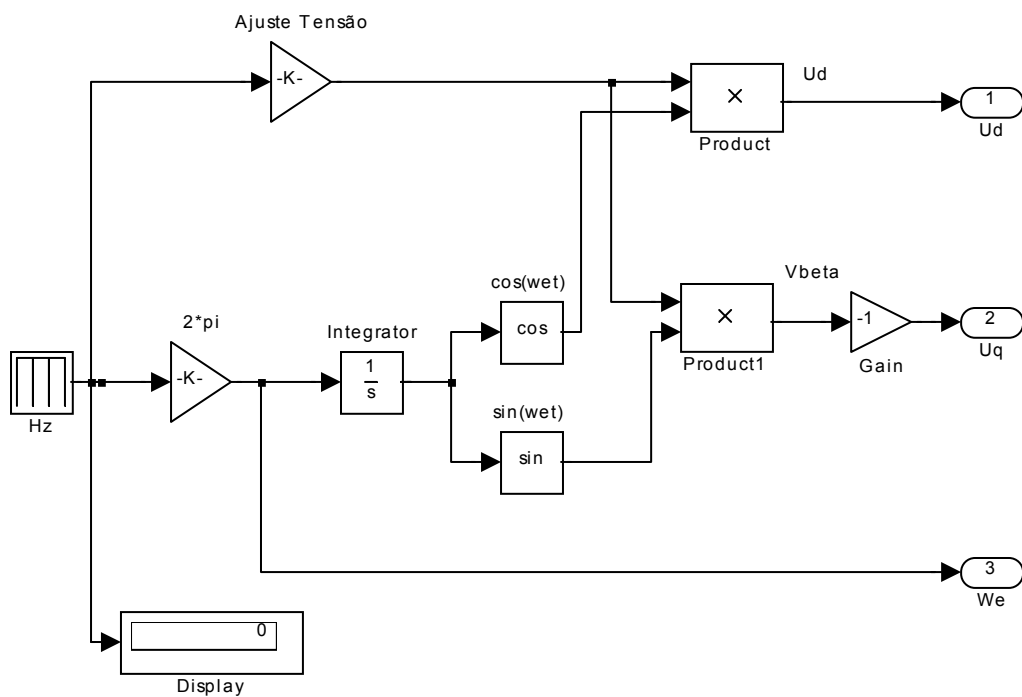
- [53] Nicolau P. Filho, J. O. P. Pinto, L. E. B. da Silva, “A simplified ultrafast DSP based space vector PWM algorithm with operation in under and overmodulation regions – Analyses and implementation” Congresso Brasileiro de Eletrônica de Potência, pp. 174-179, 2003
- [54] Nicolau P. Filho, J. O. P. Pinto, L. E. B. da Silva, B. K. Bose, “Artificial neural network-based space vector PWM for multi-level voltage fed inverters, Congresso Brasileiro de Eletrônica de Potência, pp. 438-443
- [55] Nicolau P. Filho, J. O. P. Pinto, B. K. Bose, L. E. B. da Silva, A simple and ultra-fast DSP-based space vector PWM algorithm and its implementation on a two-level inverter covering undermodulation and overmodulation, *IEEE-IECON Conference Record*, Nov/2004
- [56] Nicolau P. Filho, J. O. P. Pinto, B. K. Bose, L. E. B. da Silva, “A neural-network-based space vector PWM of a five-level voltage-fed inverter” *IEEE-IAS Conference Record*, Out/2004

Anexo A – Simulação do Inversor de Dois Níveis Usando o MatLab-Simulink®

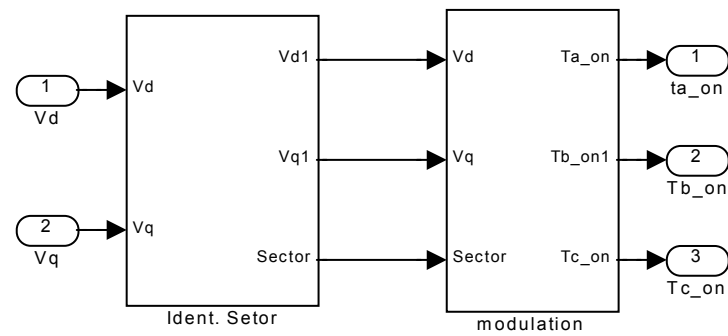
MLP Vetorial para o Inversor de Dois Níveis



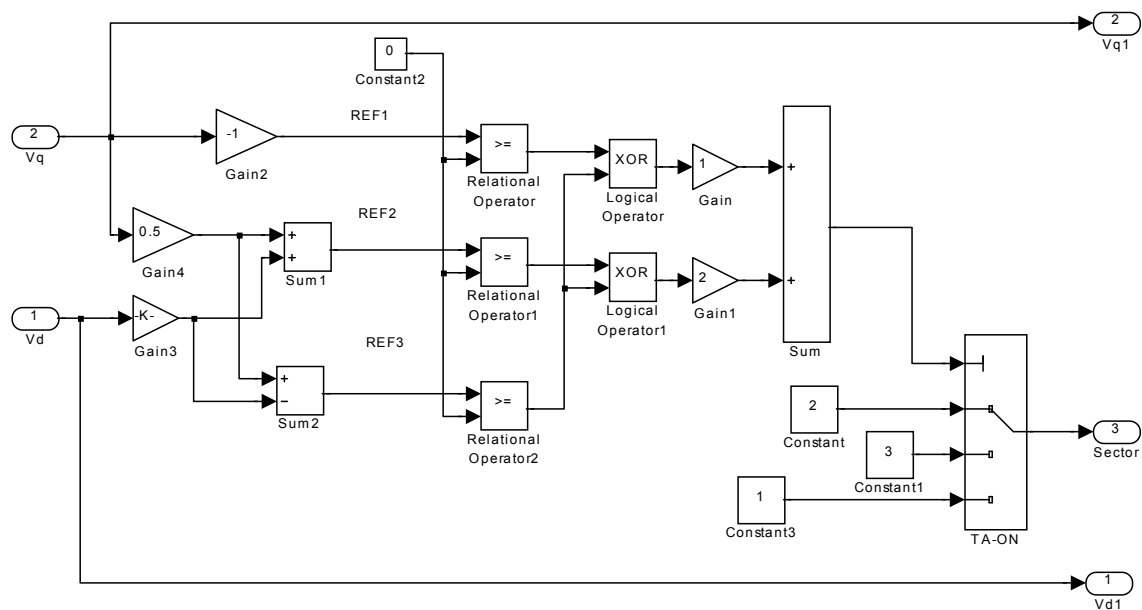
Malha Aberta V/HZ

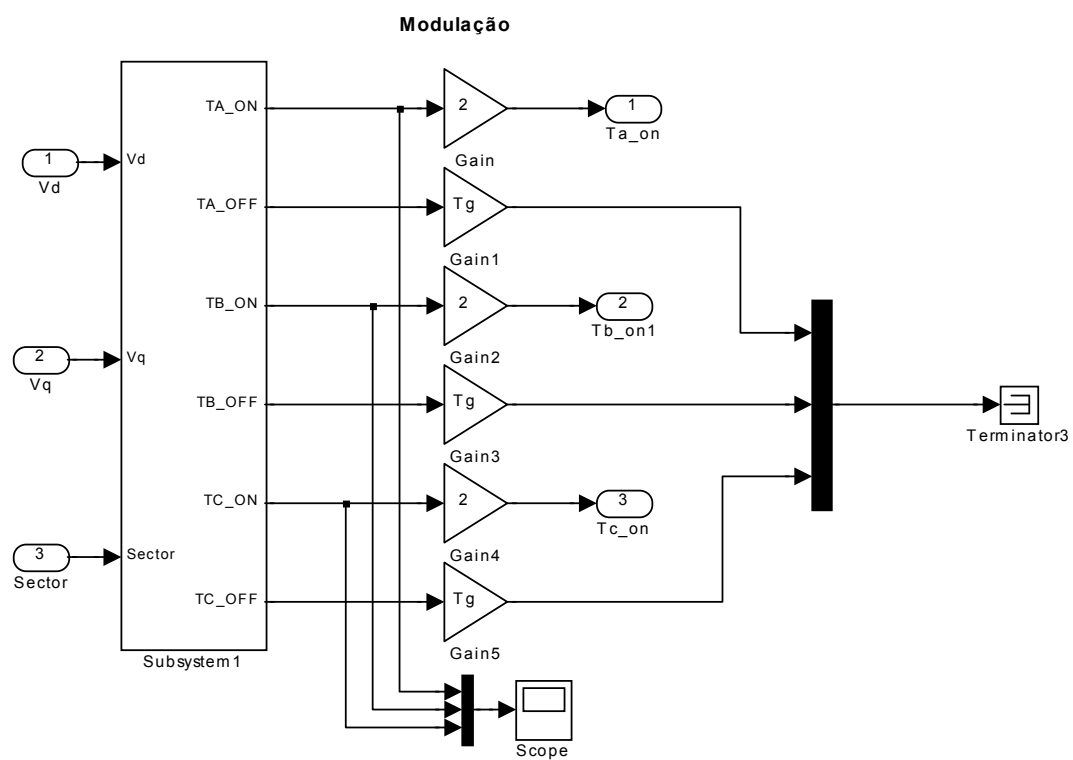


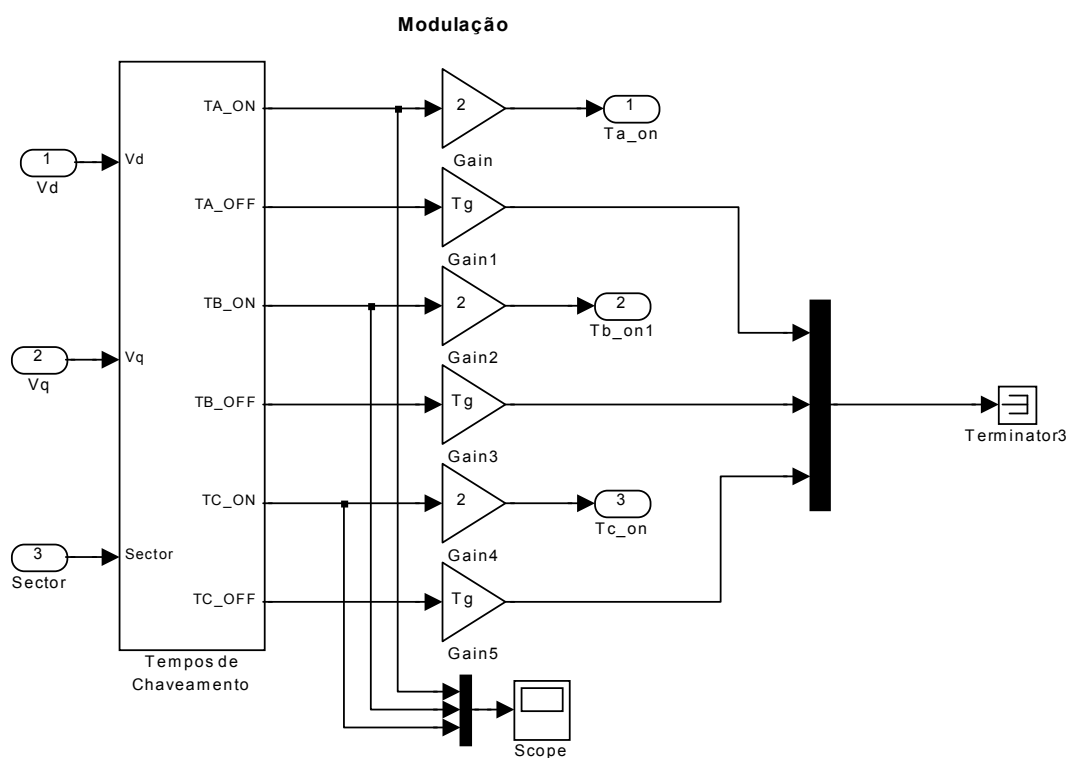
MLP Vetorial

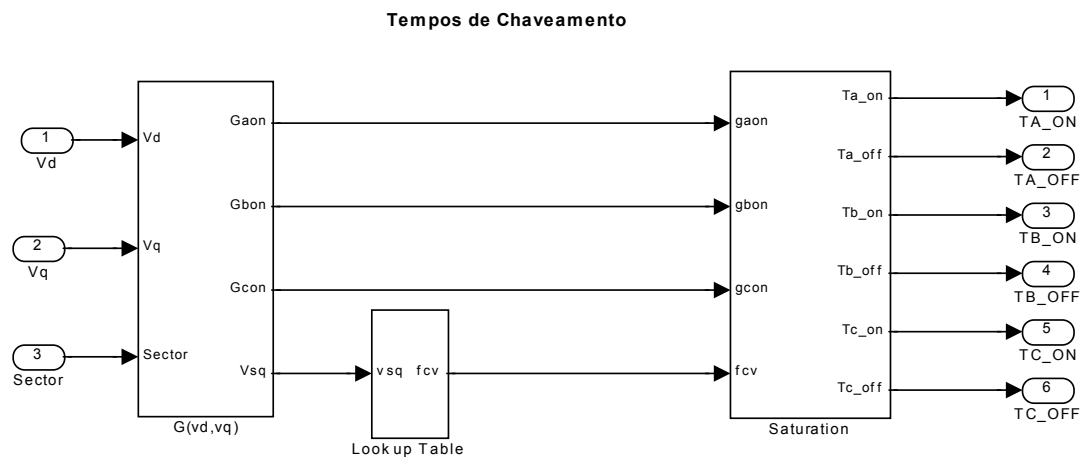


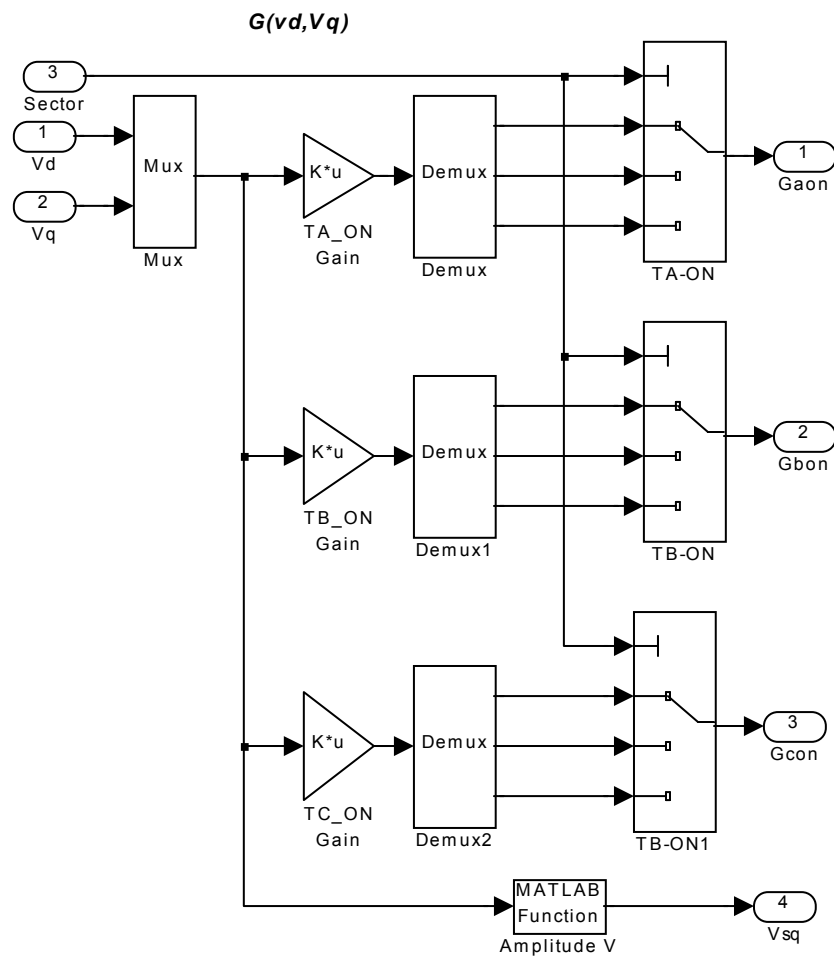
Identificação do Sextante

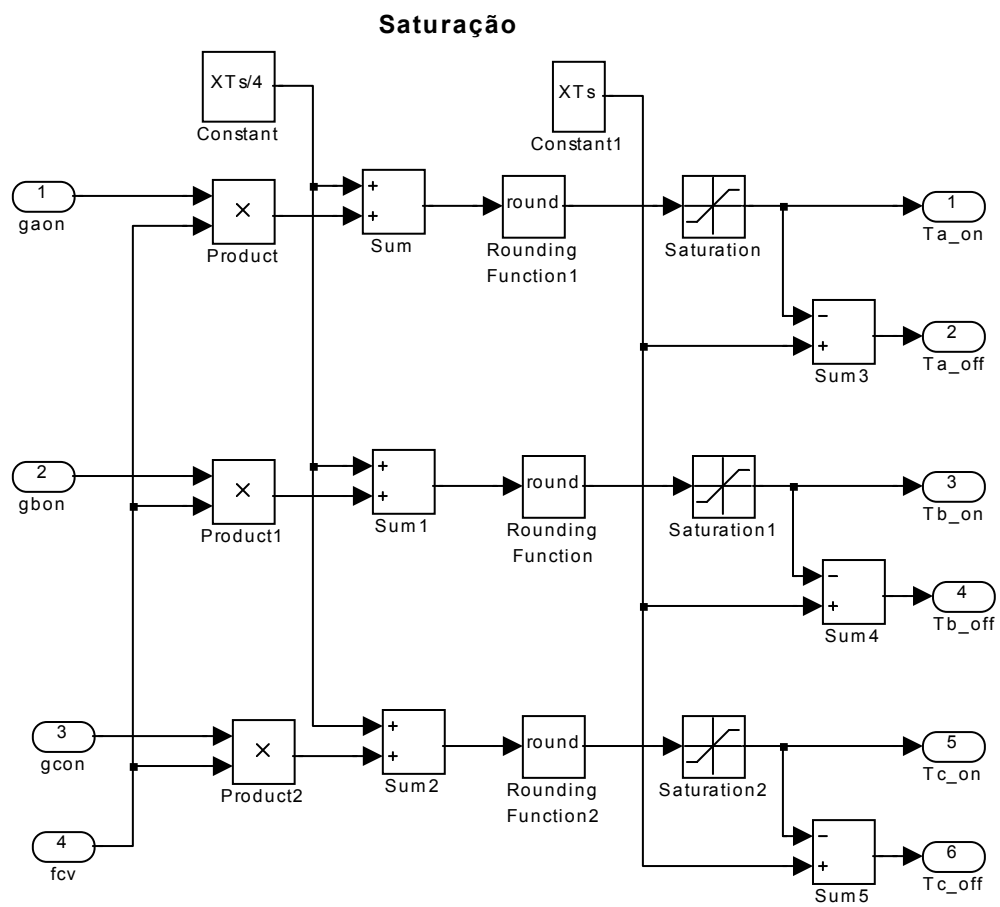


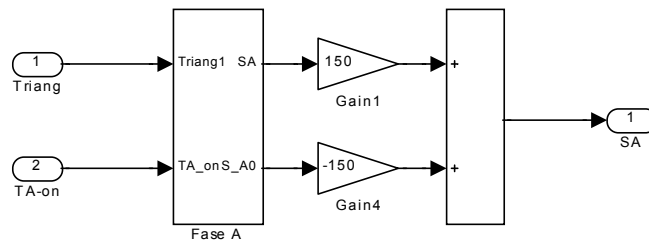
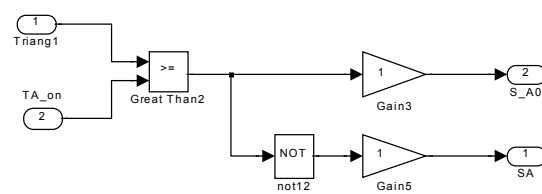










PWM_A e Inversor**Geração dos Sinais dos Estados - Fase A**

Anexo B – Programa Assembler da Modulação Vetorial para o Inversor de Dois Níveis

```

*****
; File Name:  sv20k.asm
*****

; Include Files
;-----
        .include      c:\dsp\geral\F240.inc
        .include      c:\dsp\geral\demos.inc
        .include      C:\dsp\geral\vects.inc
        .include      sv20k.inc
;=====

        .data
SQRT32      .set 0ddbh          ; sqrt(3)/2 no formato Q4.12
SQRT3       .set 01bb6h        ; sqrt(3) no formato Q4.12
SQRT3inv    .set 093dh         ; 1/sqrt(3) no formato Q4.12
kv          .set 06c4h         ; fator de tensão = 108.250 no formato Q12.4
kvindex_    .set 049fbh        ; fator * para obtenção de vindex da look_up Table em Q13.3
ts_4        .set 07d0h         ; ts/4 (125) no formato Q12.4
PWMPRD      .set 500           ; periodo = 500*2*50ns=50 us

debug_data  .set 03fffh ; 1aa5h ;(25 Hz)
A_W_        .set 24151
min_W_      .set 201
* max_W_    .set
A_U_        .set 11597
max_U_      .set 5793
min_U_      .set 97
T_sample_   .set 00346h ; D-9, Ts = 50uS, Fs = 20KHz

        .include C:\dsp\geral\fc20khz_tab.inc
        .include C:\dsp\geral\theta.inc
;=====

        .bss valfa,1
        .bss vbeta,1
        .bss vsq,1
        .bss fcv,1
        .bss kvindex,1
        .bss dx,1
        .bss vindex,1
        .bss vref1,1
        .bss vref2,1
        .bss vref3,1
        .bss sector,1
        .bss wa,1
        .bss wb,1
        .bss wc,1
        .bss taon,1
        .bss tbon,1
        .bss tcon,1
        .bss tmp,1

```



```

SPLK #0,_stop
SPLK #0,index
SPLK #024,num_amostras ;número de amostras igual a
SPLK #kvinde_x,kvinde_x ;fator * para obtenção de vindex em Q13.3
    SPLK #1,one ; +1 => one
SPLK #T_sample,T_sample; sampling period
SPLK #A_W,A_W ; D8, ADC to set W ratio
SPLK #A_U,A_U ; D1, ADC to set U ratio
SPLK #min_W,min_W ; lower limit on set W
SPLK #max_U,max_U ; upper limit on set U
SPLK #min_U,min_U ; lower limit on set U

```

```

SPLK #0,THETA_L ; theta low byte
SPLK #0,THETA_H ; theta high byte
SPLK #25736,theta_360 ; 2*pi
SPLK #19302,theta_270 ;
SPLK #12868,theta_180 ; pi
SPLK #6434,theta_90 ; pi/2
SPLK #1,SP

```

; Init table 1st and last entries and table pointer

```

SPLK #TB_TH,theta_1stent
SPLK #1,SP
SPLK #TB_S,SIN_1stent
SPLK #(TB_S+180),SIN_lastent
SPLK #063cdh,xk

```

* Final Atribuição de variáveis *

;Clear All EV Registers

```

zac
ldp #DP_EV
sac1 GPTCON
sac1 T1CNT
sac1 T1CMP
sac1 T1PER
sac1 T1CON
sac1 T2CNT
sac1 T2CMP
sac1 T2PER
sac1 T2CON
sac1 T3CNT
sac1 T3CMP
sac1 T3PER
sac1 T3CON
sac1 COMCON
sac1 ACTR
sac1 SACTR
sac1 DBTCON
sac1 CMPR1
sac1 CMPR2

```

```

sac1 CMPR3
sac1 SCMPR1
sac1 SCMPR2
sac1 SCMPR3
sac1 CAPCON
sac1 CAPFIFO
sac1 FIFO1
sac1 FIFO2
sac1 FIFO3
sac1 FIFO4

; timer will not start ADC automatically
LDP #DP_EV ; Event Manager Data Page Pointer
LACC GPTCON
AND #AND_T1TOADC_ ; AND mask for DISABLING ADC start on GPT1
SACL GPTCON ; configure GPTCON not to start ADC on GPT1 Event
; load and init timer and PWM registers:
; load GPT1 timer period with the PWM periode
splk #PWMPRD,T1PER
; set GPT1 counter initial value
zac
SACL T1CNT
SACL DBTCON ; set deadbeat parameters

; set action control register Active high/low states of PWM outputs in
splk #666h,ACTR ; upper/lower legs (0x0666)
; set value for full compare unit 1 register
LDP #DP_EV
splk #019h,CMPR1
; set value for full compare unit 2 register
splk #01Fh,CMPR2
; set value for full compare unit 3 register
splk #025h,CMPR3
; set GPT1 control register
splk #0A800h,T1CON ; timer in continuous up-down mode for symmetric PWM
; set FCU control register
splk #0007h,COMCON ; full compare unit works in sym/asym PWM mode #07h
; carrega o endereço ISR p/ o vetor de interrupção no bloco B2
LACC #_t1uf_ISR
LDP #0
SACL tufint1vec ; carrega o endereço _t1uf_ISR no vetor de Int. corresp.
; Desmascarar interrupções
LDP #0
SETBIT IMR,SETB1 ; Desmascarar INT2
LDP #DP_EV
SETBIT IMRA,SETB9; Habilita T1UFINT (ativa geração da int. por período
GPT1)
; start PWM generation
SETBIT COMCON,SETB15 ;enable FCU compare operation
SETBIT COMCON,SETB9 ;enable FCU output pins

```

```

        SETBIT      T1CON,SETB6      ;start GPT1 counter

        ldp #DP_PF1
        splk #0003h,ADCTRL2
        spm 0
        setc ovm
        setc sxm
;
loop:
; call monitor
        CALL MON240
; test if demo ends (_stop =1)
        LDP  #_stop

        BIT  _stop,15
        BCND loop,NTC
        END_DEMO

*****
*      Interupção _t1uf_ISR - Space Vector PWM      *
*****

_t1uf_ISR:

*****
* Context Saving
*****
;      mar *,ar7 ;context save
;      mar *-
;      sst #1,*- ;status register 1
;      sst #0,*- ;status register 0
;      sach *- ;Accu. low saved for context save
;      sacl *- ;Accu. high saved
* END Context Saving *
;      mar *,ar5

; start A/D conversion
        LDP  #DP_PF1
;      splk #180bh,ADCTRL1

conversion
        bit ADCTRL1,8
        bcnd conversion,tc

        Lacc ADCFIFO1
        splk #598bh,ADCTRL1

        ldp #adc0_7
        sfr
        sacl  adc0_7

```

```

*          splk #01aa5h,adc0_7 ;25hz
*          splk #0354bh,adc0_7 ;50hz
*          splk #03badh,adc0_7 ;56hz
*          splk #03edfh,adc0_7 ;59hz
*          splk #03ff0h,adc0_7 ;60hz
          Lacc adc0_7
          sacl freq

*****
*          Calculate radian frequency          *
*****
          lt adc0_7
          MPY A_W
          pac
          sach S_W
          subh min_W
xxz       bgz nolimit
          lacc min_W
          sacl S_W

nolimit

*****
** Calculate magnitude of ref voltage Uout **
*****
; Note const. V/Hz is implied
          MPY A_U ; D0*D1=D(1+1)
          PAC ;
          SACH S_U,1 ; set U: D2
          lacc S_U
          SUB max_U ; compare Uout with its upper
; limit
          BLEZ U_in_uplimit ; continue if within limit
          LACC max_U ; saturate if not
          SACL S_U ;
U_in_uplimit
          LACC S_U ;
          SUB min_U ; compare Uout with its lower
; limit
          BGEZ U_in_lolimit ; continue if within limit
          LACC min_U ; saturate if not
          SACL S_U ;
U_in_lolimit

*****
** Obtain theta (phase of Uout) through 32 bit integration **
*****
          LT S_W ;
          MPY T_sample ; D-9*D11=D(2+1)
          PAC ;

```

```

        ADDS THETA_L ;
        ADDH THETA_H ;
        SACH THETA_H ;
        SACL THETA_L ; accumulate: D3+D3=D3
        SUBH theta_360 ; compare with 2*pi: D3-D3=D3
        BLEZ Theta_in_limit ; continue if within limit
        SACH THETA_H ; mod(2*pi, THETA) if not
Theta_in_limit
        ZALH THETA_H ;
        ADDS THETA_L ;
        ADD one,15 ;
        SACH theta_r ; round up to upper 16 bits

*****
** Determine quadrant **
*****
; assume THETA (THETA_H) is in quadrant 1
        LACC one; assume THETA (THETA_H) is in quadrant 1
        SACL SS ; 1=>SS, sign of SIN(THETA)
        SACL SC ; 1=>SC, sign of COS(THETA)
        LACC theta_r ;
        SACL theta_m ; THETA=>theta_m
        SUB theta_90 ;

        BLEZ E_Q ; jump to end if 90>=THETA
; assume THETA (THETA_H) is in quadrant 2 if not
        splk #-1,SC ; -1=>SC
        LACC theta_180 ;
        SUB theta_r ; 180-THETA
        SACL theta_m ; =>theta_m
        BGEZ E_Q ; jump to end if 180>=THETA
; assume THETA (THETA_H) is in quadrant 3 if not
        splk #-1,SS ; -1=>SS
        LACC theta_r ;
        SUB theta_180 ; THETA-180
        SACL theta_m ; =>theta_m
        LACC theta_270 ;
        SUB theta_r ;
        BGEZ E_Q ; jump to end if 270>=THETA
; THETA (THETA_H) is in quadrant 4 if not
        splk #1,SC ; 1=>SC
        LACC theta_360 ;
        SUB theta_r ;
        SACL theta_m ; 360-THETA_H=>theta_m

E_Q
*****
** Obtain theta table entry **
*****
        LACC theta_1stent ;
        ADD SP ;

```

```

        TBLR GPR0 ; get table(SP)
        LACC theta_m ;
        SUB GPR0 ; compare theta_m with
                    ; table(SP)
        BZ look_end ; end look-up if equal
        BGZ inc_SP ; increase SP if bigger
dec_SP  LACC SP ; decrease SP other wise
        SUB one ;
        SACL SP ; SP-1=>SP
        ADD theta_1stent ; point to SP-1
        TBLR GPR0 ; get table(SP-1)
        LACC theta_m ;
        SUB GPR0 ; compare theta_m with
                    ; table(SP-1)
        BLZ dec_SP ; decrease SP further if
                    ; smaller
        B look_end ; jump to end if not
inc_SP  LACC SP ;
        ADD one ;
        SACL SP ; SP+1=>SP
        ADD theta_1stent ; point to SP+1
        TBLR GPR0 ; get table(SP+1)
        LACC theta_m ;
        SUB GPR0 ; compare theta_m with
                    ; table(SP+1)
        BGZ inc_SP ; increase further if bigger
look_end ; end if not
*****
** Obtenção de sin(theta) **
*****
        LACC SIN_1stent ;
        ADD SP ;
        TBLR sin_theta ; get sin(THETA)
        LT SS ;
        MPY sin_theta ; modify sign: D15*D1=D(16+1)
        PAC ;
        SACL sin_theta ; left shift 16 bits and save:
                    ; D1
*****
** Obtenção de cos(theta) **
*****
        LACC SIN_lastent ;
        SUB SP ;
        TBLR cos_theta ; get cos(THETA)
        LT SC ;
        MPY cos_theta ; modify sin: D15*D1=D(16+1)
        PAC ;
        SACL cos_theta ; left shift 16 bits and save:
                    ; D1
*****

```

** Calculate Ud & Uq **

```
LT S_U ; ; Q3.13
mpy xk ; Q2.14
pac ; Q5.25
sach S_UV,2; Q3.13
```

```
lt S_UV
MPY cos_theta ; Uref*cos(THETA): D2*D1=D(3+1)
PAC ;
SACH Ud,1 ;
zac
MPY sin_theta ; Uref*sin(THETA): D2*D1=D(3+1)
SPAC ;
SACH Uq,1 ;
```

* Entrada dos dados Valfa e Vbeta *

```
lacc Ud
sac1 valfa
lacc Uq
neg
sac1 vbeta
```

* Verifica a Região de Operação e Lê a Look up Table do Fator da Tensão *

```
x1      ldp      #valfa
        splk #kv,fcv ; transfere p/ fcv o valor para região linear
        zac
        lt      valfa ; Calcula
        mpy     valfa ; Vsq^2=valfa^2+vbeta^2
        sqra    vbeta ;
        apac    ;
        sach    vsq,5 ; no formato f3.13
```

=====

```
x2      lacc vsq ;
        sub #2000h ;
        sac1 dx ;
        bend idsect,leq ;
        lt kvindex ;
        mpy dx ;
        pac ;
        add #7ffh ;
        sach vindex ; gera o valor do index da lookup table
```

=====

```
lacc #fcn
add vindex
tblr fcv
```

```

*      Fim da Verificação da Região de Operação e Leitura da Lookup Table      *
*****
*****
*      Identificação do Setor de Operação      *
*****
idsect lt valfa
        mpy #SQRT32
        pac
        sub vbeta,11
        sach vref2,3 ;xSxx xxxx xxxx xxxx Vref2
*=====
        spac
        spac
        sach vref3,3 ;xSxx xxxx xxxx xxxx Vref3

        lacc vref2 ;xSxx xxxx xxxx xxxx
        xor vref3 ;xSxx xxxx xxxx xxxx
        and #4000h ;0100 0000 0000 0000
        sac1 vref2,1 ;S000 0000 0000 0000

        lacc vbeta ;Sxxx xxxx xxxx xxxx Vref1
        ror ;xSxx xxxx xxxx xxxx
        xor vref3 ;xSxx xxxx xxxx xxxx
        and #4000h ;0100 0000 0000 0000
        or vref2 ;0S00 0000 0000 0000
        sach sector,2 ;SS00 0000 0000 0000
*****
*      Final da Identificação do Setor de Operação      *
*****

*****
*      Cálculo do Termo g(valfa,vbeta) segundo o Setor de Operação      *
*****
x5      Lacc #3
        sub sector
        bcnd sec1_4,EQ ;verifica se sector = 1 ou 4
        sub #1
        bcnd sec3_6,EQ ;verifica se sector = 3 ou 6
        ; sector = 2 ou 5
*=====
sec2_5  ldp #valfa
        lacc valfa,1
        neg
        sac1 wa ; wa no format Q4.12
        lt vbeta
        mpy #SQRT3inv
        pac
        sach wc,5 ; wc no format Q4.12
        lacc wc
        neg

```

```

sac1 wb ; wb no format Q4.12
b taon_calc
=====
sec1_4      ldp #valfa
            lt vbeta
            mpy #SQRT3inv
            pac
            add valfa,12
            sach wc,4
            lacc wc
            neg
            sac1 wa
            lt vbeta
            mpy #SQRT32
            pac
            sub valfa,11
            neg
            sach wb,5
            b taon_calc
=====
sec3_6      ldp #valfa
            lt vbeta
            mpy #SQRT3inv
            pac
            sub valfa,12
            sach wa,4
            lacc wa
            neg
            sac1 wb
            lt vbeta
            mpy #SQRT32
            pac
            add valfa,11
            sach wc,5
            b taon_calc
=====
* Final do Cálculo do Termo g(valfa,vbeta) segundo o Setor de Operação *
=====

* Cálculo dos Tempos de Chaveamento e Grampeamento em Ts/2 e zero *
=====
* Cálculo e Grampeamento de taon em Ts/2 e zero *
=====
taon_calc
            lt      fcv      ;formato Q4.12
            mpy     wa      ;formato Q12.4
            pac
            add     #ts_4,12      ; formato Q12.4
            sach    taon

```

```

sat
    bcnd    pstv_a,geq
    zac
    b        neg_a
pstv_a      sub    #ts_4,13      ;(#ts_2,12)
    bcnd    tbon_calc,lt
    lacc     #ts_4,13
neg_a       sach    taon
=====
*           Cálculo e Grampeamento de tbon em Ts/2 e zero           *
=====
tbon_calc
    mpy     wb      ;formato Q12.4
    pac
    add     #ts_4,12      ; formato Q12.4
    sach    tbon
    bcnd    pstv_b,geq
    zac
    b        neg_b
pstv_b      sub    #ts_4,13      ;(#ts_2,12)
    bcnd    tcon_calc,lt
    lacc     #ts_4,13
neg_b       sach    tbon
=====
*           Cálculo e Grampeamento de tcon em Ts/2 e zero           *
=====
tcon_calc
    mpy          wc      ;formato Q12.4
    pac
    add          #ts_4,12      ; formato Q12.4
    sach    tcon
    bcnd    pstv_c,geq
    zac
    b          neg_c

pstv_c sub    #ts_4,13      ;(#ts_2,12)
    bcnd    switch,lt
    lacc     #ts_4,13
neg_c       sach    tcon
switch

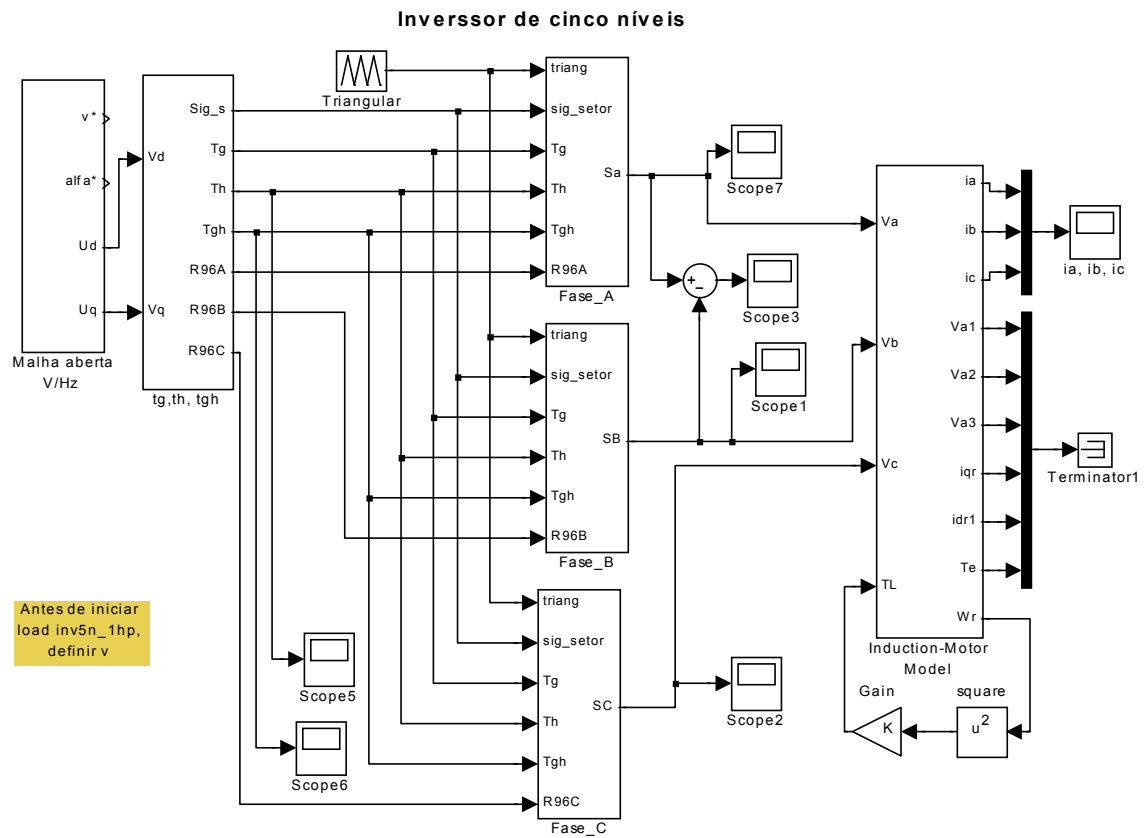
*****
*           SWITCHING
*****
    bldd    taon,#CMPR1
    bldd    tbon,#CMPR2
    bldd    tcon,#CMPR3
finish
*****
* Context restore and Return

```

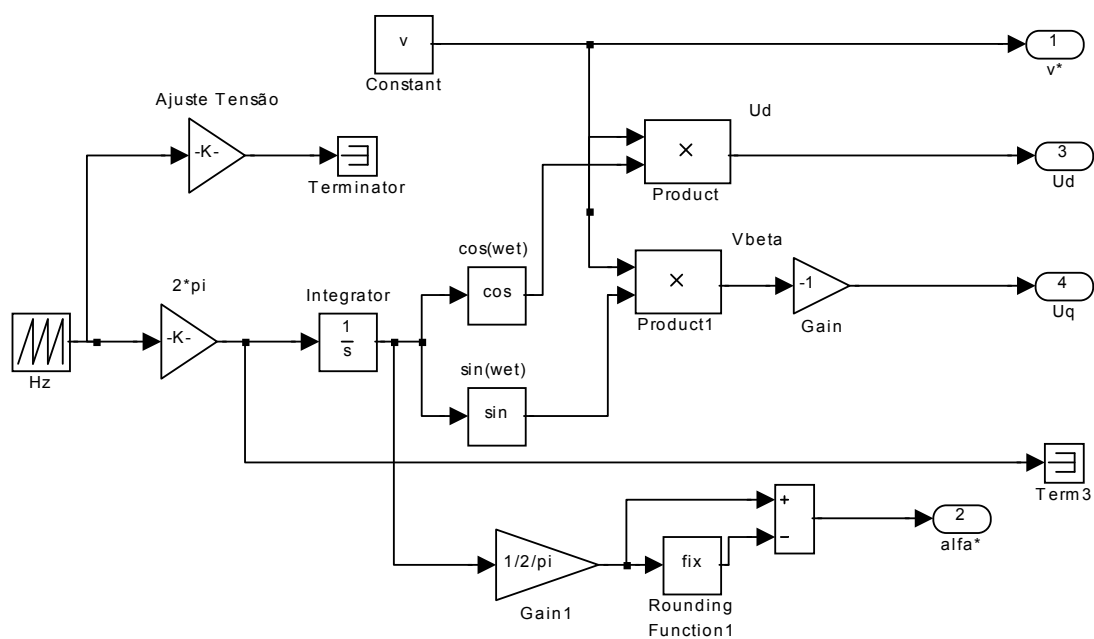
```
*****
;    mar *,ar7
;    mar *+
;    laci *+ ;Accu. restored for context restore
;    add *,16
;    lst #0,*+
;    lst #1,*+
;    clrc INTM
;    ret
*****
* END Context Restore and Return
*****
```

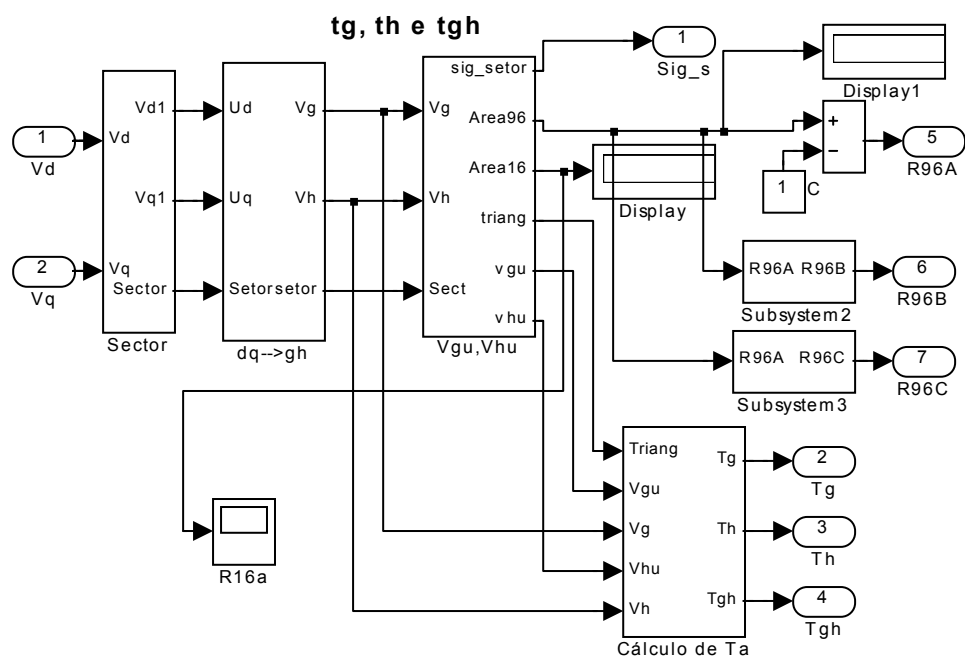
END_ISR

Anexo C – Simulação do Inversor de Cinco Níveis Usando o MatLab-Simulink®

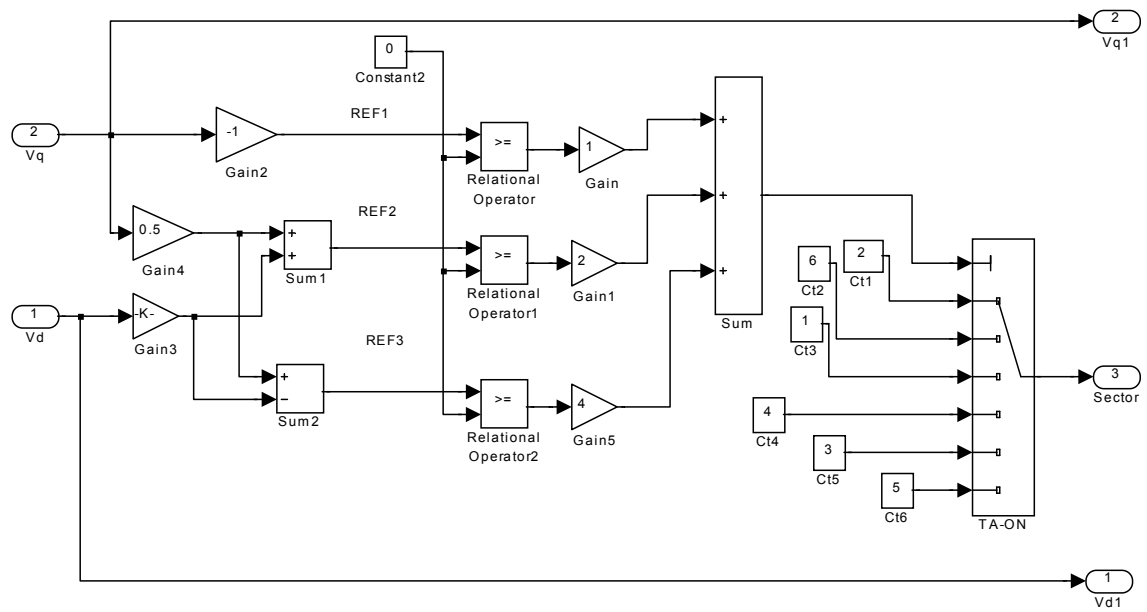


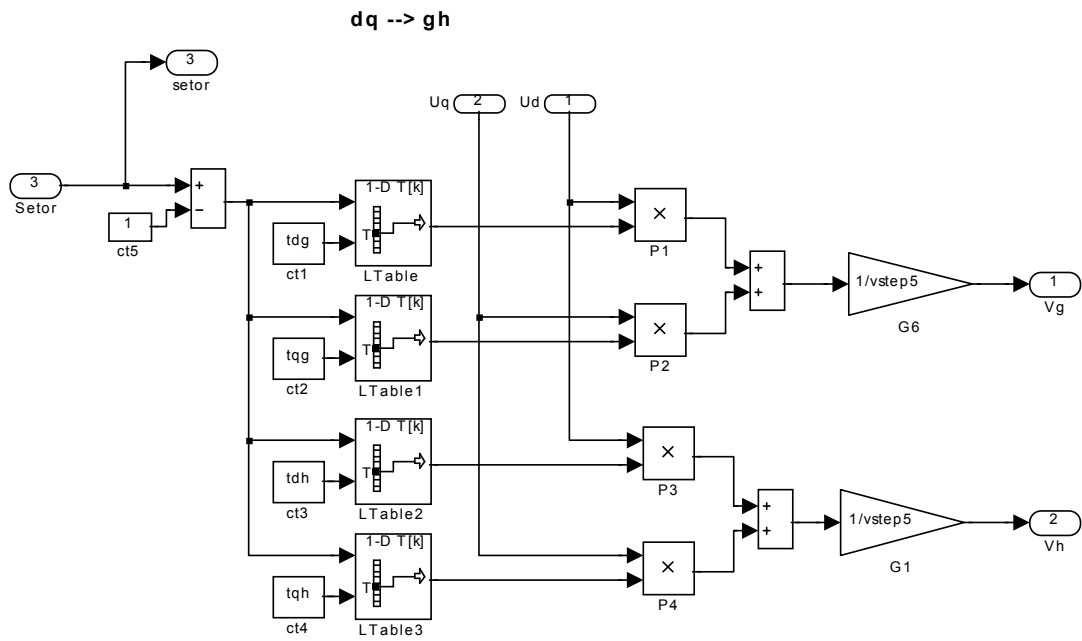
Malha aberta V/Hz

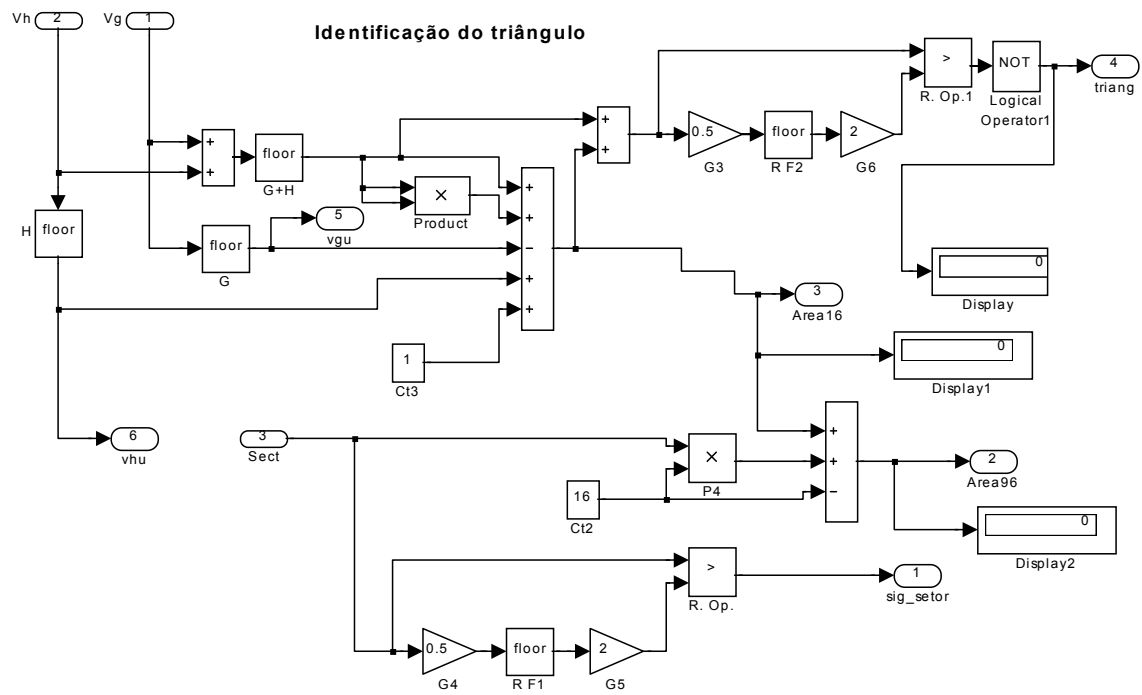




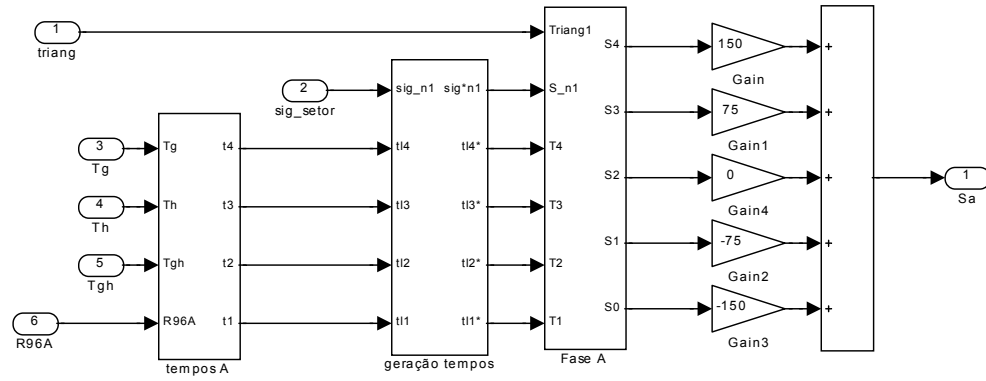
Identificação do Sextante



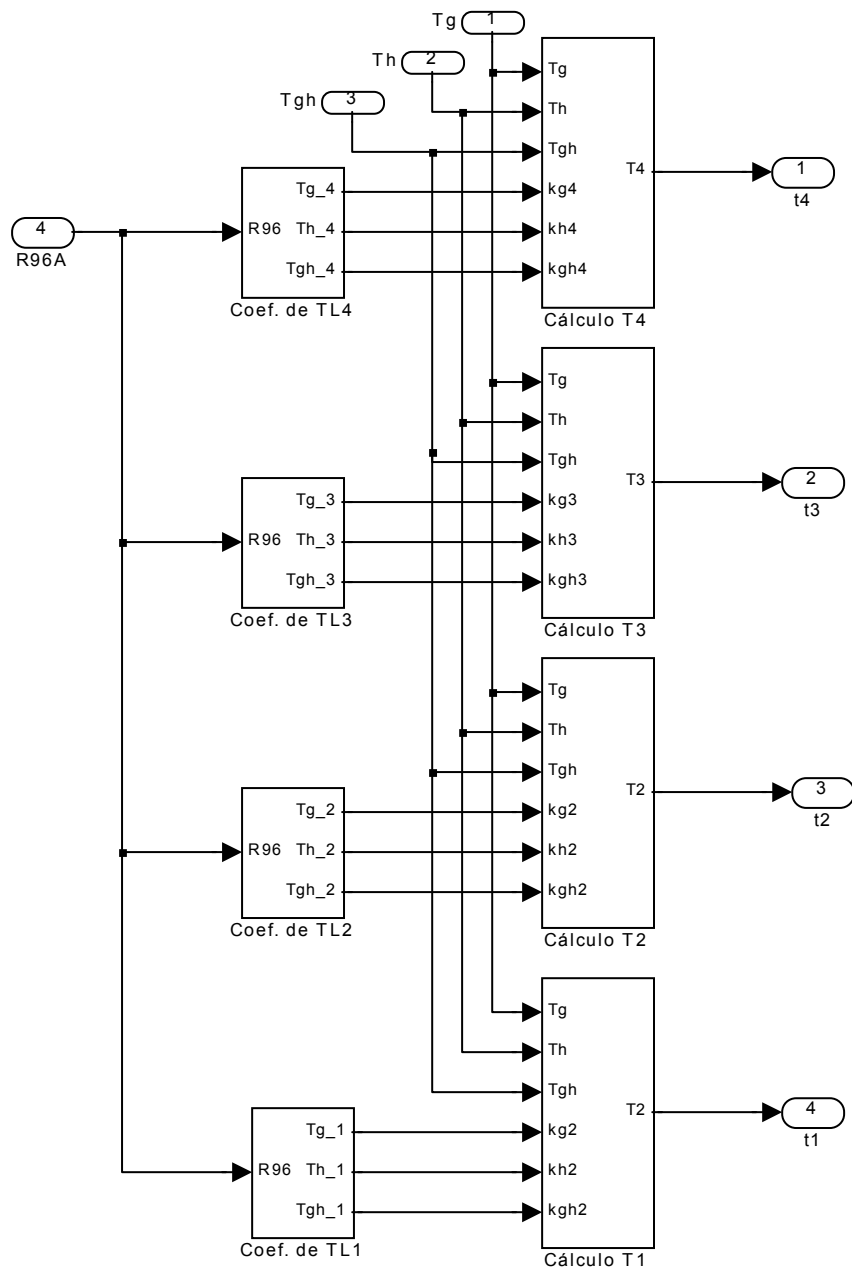




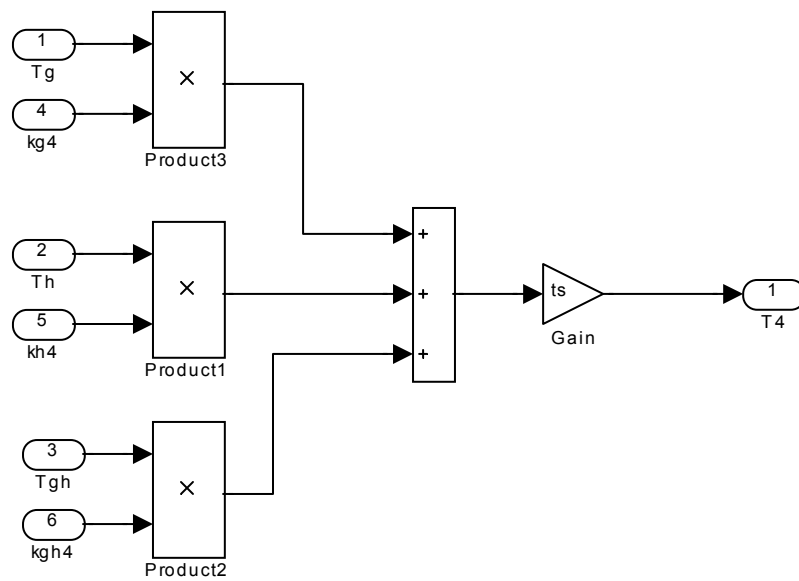
MLP, Inversor - Fase A



Tempos - Fase A



Cálculo de T4



**Anexo D – Programa Assembler da MV usando
Coordenadas Móveis Não-Ortogonais para Inversores de
Três Níveis**

```

*****
; File Name:C:\work\lEX_Vgh\EXl_vgh.asm versao:Final
; Programador: Nicolau Pereira Filho
*****
; Include Files
    .include c:\work\geraln\F240.inc
    .include c:\work\geraln\demos.inc
    .include C:\work\geraln\vects.inc
    .include mexp.inc
;=====
    .data
T_sample_      .set 013301; 10090.81 hz; ns=28 ;cont= 991 (dec)
PWMPRD_        .set 00991; 10090.46 hz; ns=28 ;cont= 991 (dec)
PWMPRDx_       .set 3964

*Vn_ .set 0517Dh; (0.6366), (20861d) = 1.00 pu
*Vn_ .set 04957h; (0.5730), (18775d) = 0.90 pu
*Vn_ .set 04131h; (0.5093), (16689d) = 0.80 pu
*Vn_ .set 0390Bh; (0.4456), (14603d) = 0.70 pu
*Vn_ .set 030E4h; (0.3820), (12516d) = 0.60 pu
*Vn_ .set 02CD1h; (0.3), (11473d) = 0.55 pu
*Vn_ .set 028BEh; (0.3183), (10430d) = 0.50 pu
Vn_ .set 02707h; (), (9991d) = 0.48 pu
*Vn_ .set 02098h; (0.2546), (08344d) = 0.40 pu
*Vn_ .set 01872h; (0.1910), (06258d) = 0.30 pu
*Vn_ .set 0104Ch; (0.1273), (04172d) = 0.20 pu
*Vn_ .set 00826h; (0.0637), (02086d) = 0.10 pu

SQRT32 .set 0ddbh; sqrt(3)/2 no formato Q4.12
raiz3inv_ .set 049e7h ; 1/sqrt(3) no formato Q1.15
raiz3_ .set 06edah ; sqrt(3) no formato Q2.14

theta_iH_ .set 023CFh; index p/ sen450_x1 449,75
theta_iL_ .set 02995h;

watual_H_ .set 01508 ; 05E4h (60 Hz)

    .include C:\work\geraln\Sen450_x1.inc
    .include C:\work\geraln\coef_xtab.inc
    .include C:\work\geraln\Sw1_gh_tab.inc
    .include C:\work\geraln\Sw2_gh_tab.inc
;=====
; variaveis space vector : inicio:a000:
    .bss cs1a,1 ;A000
    .bss cs2a,1 ;A001
    .bss cs1b,1 ;A002
    .bss cs2b,1 ;A003
    .bss cs1c,1 ;A004
    .bss cs2c,1 ;A005
    .bss ts1a,1 ;A006
    .bss ts2a,1 ;A007
    .bss ts1b,1 ;A008
    .bss ts2b,1 ;A009
    .bss ts1c,1 ;A00A
    .bss ts2c,1 ;A00B

```

```

.bss      kS1A_g,1      ;A00C
.bss      kS1B_g,1      ;A00D
.bss      kS1C_g,1      ;A00E
.bss      kS1A_h,1      ;A00F
.bss      kS1B_h,1      ;A010
.bss      kS1C_h,1      ;A011
.bss      kS1A_gh,1     ;A012
.bss      kS1B_gh,1     ;A013
.bss      kS1C_gh,1     ;A014
.bss      kS2A_g,1      ;A015
.bss      kS2B_g,1      ;A016
.bss      kS2C_g,1      ;A017
.bss      kS2A_h,1      ;A018
.bss      kS2B_h,1      ;A019
.bss      kS2C_h,1      ;A01A
.bss      kS2A_gh,1     ;A01B
.bss      kS2B_gh,1     ;A01C
.bss      kS2C_gh,1     ;A01D
.bss      ks1,1;        ;A01E
.bss      ks2,1;        ;A01F
.bss      tipo,1        ;A020
.bss      actrx,1       ;A021
.bss      sactrx,1      ;A022
.bss      gptx,1        ;A023
.bss      PWMPRD,1      ;A024
.bss      PWMPRDx,1     ;A025
.bss      watual_H,1     ;A026
.bss      watual_L,1     ;A027

.bss      theta_60H,1    ;A028
.bss      theta_60L,1    ;A029
.bss      theta_90H,1    ;A02A
.bss      theta_90L,1    ;A02B
.bss      theta_180H,1   ;A02C
.bss      theta_180L,1   ;A02D
.bss      theta_360H,1   ;A02E
.bss      theta_360L,1   ;A02F
.bss      theta_iH,1     ;A030 fator p/ obter th_index
.bss      theta_iL,1     ;A031
.bss      T_sample,1     ;A032; período de amostragem
.bss      THETAH,1       ;A033; posição angular alta
.bss      THETAL,1       ;A034; posição angular baixa
.bss      theta_xH,1     ;A035; posição angular alta
.bss      theta_xL,1     ;A036; posição angular baixa
.bss      temp,1         ;A037
.bss      ptemp2,1       ;A038
.bss      temp1,1        ;A039
.bss      semi_ciclo,1   ;A03A
.bss      sext,1         ;A03B
.bss      sector,1       ;A03C
.bss      sin_indx,1     ;A03D
.bss      sin_end,1      ;A03E fim da tabela de senos
.bss      ss,1           ;A03F sinal senos
.bss      sc,1           ;A040 sinal cossenos
.bss      sin_theta,1    ;A041 sin(THETA)
.bss      cos_theta,1    ;A042 cos(THETA)

```

```

.bss      sin_entry,1      ;A043 início da tabela dos senos
.bss      coef_entry,1     ;A044
.bss      sect_entry,1     ;A045
.bss      xH_temp,1        ;A046
.bss      xL_temp,1        ;A047
.bss      x1_dif,1         ;A048
.bss      Vn,1             ;A049
.bss      Ud,1             ;A04A
.bss      Uq,1             ;A04B
.bss      vref1,1          ;A04C
.bss      vref2,1          ;A04D
.bss      vref3,1          ;A04E
.bss      A11,1            ;A04F
.bss      A12,1            ;A050
.bss      A21,1            ;A051
.bss      A22,1            ;A052
.bss      vg_H,1           ;A053
.bss      vg_L,1           ;A054
.bss      vh_H,1           ;A055
.bss      vh_L,1           ;A056
.bss      vgu,1            ;A057
.bss      vhu,1            ;A058
.bss      md,1             ;A059
.bss      vgf_H,1          ;A05A
.bss      vgf_L,1          ;A05B
.bss      vhf_H,1          ;A05C
.bss      vhf_L,1          ;A05D
.bss      Ls,1             ;A05E
.bss      Ls0,1            ;A05F
.bss      tria_type,1      ;A060
.bss      Lh,1             ;A061
.bss      tg,1             ;A062
.bss      th,1             ;A063
.bss      tgh,1            ;A064

.bss      txx,1            ;A065
.bss      raiz3,1          ;A066
.bss      xtmp,1           ;A067
.bss      _stop,1          ;A068
.bss      index,1          ;A069
.bss      num_amstras,1    ;A06A
.bss      num_conversoes,1 ;A06B

.text

; -----
_entry:

    Call atrib_var

    Call clear_reg

;=====
; M A I N   C O D E   - starts here
; EV PWM Test
;=====
;EV_PWM:    KICK_DOG          ;Resets WD counter

```

```

config_PWM
    LDP    #DP_PF2            ;DP-->7080h-70FFh
    SPLK   #0FFFFh,OPCRA      ;Set IOPA pins and IOPB pins
                                ;to primary function.
    SPLK   #0FFF3h,OPCRB      ;Set IOPC pins to primary
                                ;function
    LDP    #DP_EV             ; change dp for EV control regs

; Initialize counter registers
    SPLK   #00000H,T1CNT      ; GP Timer 1 counter
    SPLK   #00000H,T2CNT      ; GP Timer 2 counter
    SPLK   #00000H,T3CNT      ; GP Timer 3 counter

; Initialize period registers
    LDP    #cs1a
    BLDD   PWMPRD,#T1PER
    BLDD   PWMPRD,#T2PER
    BLDD   PWMPRD,#T3PER

    LDP    #DP_EV
; Initialize compare registers
    SPLK   #0005,CMPR1        ; F. Comp U 1 compare value
    SPLK   #0005,CMPR2        ; F. Comp U 2 compare value
    SPLK   #0005,CMPR3        ; F. Comp U 3 compare value

    SPLK   #0010,SCMPR1       ; S. Comp U 1 compare value
    SPLK   #0010,SCMPR2       ; S. Comp U 2 compare value
    SPLK   #0010,SCMPR3       ; S. Comp U 3 compare value

    SPLK   #0500,T1CMP        ; GP Timer 1 Compare Value
    SPLK   #0500,T2CMP        ; GP Timer 2 Compare Value
    SPLK   #0500,T3CMP        ; GP Timer 3 Compare Value

; Configure ACTR - PWM1-6 outputs active low
    SPLK   #00555h,ACTR      ;

; Configure SACTR - PWM7-9 outputs active low
    SPLK   #00015h,SACTR

; Configure COMCON - GPT1, PWM mode, reload on UF, compare enabled,
outputs enabled
    SPLK   #00307h,COMCON

; Configure GPTCON - All 3 TxCMP outputs configured Active Low
;   SPLK   #00066h,GPTCON      ;active high
; Configure T3CON, but wait for T1CON enable
    SPLK   #0A8C3h,T3CON      ;use T1 ena,int clk,tcmp ena, *reload on UF
; Configure T2CON
    SPLK   #0A8C3h,T2CON      ;use T1 ena,int clk,tcmp ena, reload on UF
; Configure T1CON and start GP Timers 1&2
    SPLK   #0A802h,T1CON      ;C-U, ps=1,int clk,tcmp ena, reload on UF
*   SPLK   #0A80Ah,T1CON      ;C-U,ps=1, int clk, tcmp ena,reload
imediato
; carrega o endereço ISR p/ o vetor de interrupção no bloco B2
    LACC   #_tluf_ISR
    LDP    #0

```

```

        SACL tufintlvec ;carrega endereço _tluf_ISR vetor de Int.
corresp.
; Desmascarar interrupções
        LDP    #0
        SETBIT    IMR,SETB1  ; Desmascara INT2
        LDP    #DP_EV
        SETBIT    IMRA,SETB9 ;Habilita TlUFINT(ativa geração da int.
por período GPT1)

        SETBIT    COMCON,SETB15 ;enable FCU compare operation
        SETBIT    COMCON,SETB9  ;enable FCU output pins
        SETBIT    T1CON,SETB6   ;start GPT1 counter
;*****
; Loop for operation to continue      *
;*****
LOOP
        LDP #xtmp
        LACC xtmp
loop    add #1
        NOP
        NOP
        NOP
        SACL xtmp
        BGEZ loop
        SPLK #00,xtmp
        B    LOOP
;=====

*****
*      Interupção _tluf_ISR - Modulação Vetorial GH
*****
_tluf_ISR:
        SPM            0
        SETC           ovm
        SETC           sxm
        LDP            #cs1a
        SPLK           #watual_H,watual_H
*****
** Obtenção de theta (fase de Uout) através de int de 32 bits      **
*****
Obter_theta
        LT            watual_H
        MPY           T_sample
        PAC
        ADDS          THETA_L ;
        ADDH          THETA_H ;
        SACH          THETA_H ;
        SACL          THETA_L ;
        SUBS          theta_180L ; compara com pi
        SUB           theta_180H,16 ;
        BLEZ          Theta_in_pi ; continue if within limit
        SACH          THETA_H ; mod(pi, THETA) if not
        SACL          THETA_L
        LACC          semi_ciclo
        ADD           #1
        AND           #1

```

```

        SACL          semi_ciclo
Theta_in_pi
        LACC          THETAH,16
        ADDS          THETAH
        SACH          theta_xH
        SACL          theta_xL
        SUBS          theta_90L ; compara com pi/2
        SUB           theta_90H,16 ;
        BLEZ          Theta_in_90
        SUBS          theta_90L ;
        SUB           theta_90H,16 ;
        NEG
        SACH          theta_xH ;2 ou 4 quadrante
        SACL          theta_xL
        SPLK          #0FFFFh,ss
        SPLK          #00001h,sc
        LACC          semi_ciclo
        BLEZ          sin_cos
        SPLK          #00001h,ss
        SPLK          #0FFFFh,sc
        B             sin_cos
Theta_in_90
        SPLK          #0FFFFh,ss
        SPLK          #0FFFFh,sc
        LACC          semi_ciclo
        BLEZ          sin_cos
        SPLK          #00001h,ss
        SPLK          #00001h,sc
*****
*           sin(theta), cos(theta)
*****
sin_cos
        LACL          theta_xL
        SFR
        SACL          temp1
        LT            theta_iL
        MPY            theta_xH
        PAC
        SACH          ptemp2,1
        LT            theta_iH
        MPY            temp1 ;
        PAC
        SACH          ptemp,1
        LACC          ptemp
        ADDS          ptemp2
        MPY            theta_xH
        APAC
        SFR
        SFR
        SACH          sin_indx
        SFR
        AND            #07FFFh
        SACL          temp1

        LACC          sin_entry
        ADD            sin_indx ;

```

```

    TBLR      xL_temp
    ADD       #01
    TBLR      xH_temp
    LACC      xH_temp
    SUB       xL_temp
    SACL      x1_dif
    LACC      xL_temp,15
    LT        templ
    MPY       x1_dif
    APAC
    SACH      sin_theta,1

    LACC      sin_end          ;
    SUB       sin_indx
    TBLR      xH_temp
    SUB       #01
    TBLR      xL_temp
    LACC      xH_temp
    SUB       xL_temp
    SACL      x1_dif
    LACC      xH_temp,15
    LT        templ
    MPY       x1_dif
    SPAC
    SACH      cos_theta,1
    LT        ss
    MPY       sin_theta
    SPL       sin_theta
    LT        sc
    MPY       cos_theta
    SPL       cos_theta
*****
** Calculate Ud & Uq **
*****
    LT        Vn ; (D1) Q1.15
    MPY       cos_theta ; (D1) Q2.14 Uref*cos(THETA)
    PAC       ;Q3.29
    sach      Ud,2 ;Q1.15
    MPY       sin_theta ; Uref*sin(THETA): D2*D1=D(3+1)
    PAC
    Sach      Uq,2 ; Q1.15
*****
*   Identificação de sextante   *
*****
    LDP       #Ud
    LACC      #0
    SACL      vref1
    SACL      vref2
    SACL      vref3
    SUB       Uq
    BGEZ      ref2
    SPLK      01,vref1
ref2 LACC      Uq,14          ;Q1.15 (shift 14)
    LT        raiz3          ;Q2.14
    MPY       Ud             ;Q1.15 --> Q3.29
    SPAC

```

```

        BGEZ      ref3
        SPLK      #02,vref2
ref3    LACC      Uq,14
        APAC
        BGEZ      ref
        SPLK      #04,vref3
ref     LACL      vref1
        Or        vref2
        Or        vref3
        SACL      sext

        LACC      sect_entry
        ADD        sext
        TBLR      sector
*****
*      Normalização para o sist. de coord. Não-ortogonais
*****
        LACC      coef_entry
        ADD        sector
        TBLR      A11
        ADD        #06
        TBLR      A12
        ADD        #06
        TBLR      A21
        ADD        #06
        TBLR      A22
Norma
        LACC      #0
        LT        Ud          ; Q1.15
        MPY       A11          ; Q3.13 --> Q4.28
        LT        Uq
        MPYA      A12

        MPYA      A22
        SACH      vg_H          ;Q4.12
        SACL      vg_L          ;Q0.16
        AND        #00FFh,16
        ADDS      vg_L
        SACH      vgf_H
        SACL      vgf_L
        LACC      #0
        LT        Ud          ; Q1.15
        MPYA      A21          ; Q3.13 --> Q4.28
        APAC
        SACH      vh_H          ;Q4.12
        SACL      vh_L          ;Q0.16
        AND        #00FFh,16
        ADDS      vh_L
        SACH      vhf_H
        SACL      vhf_L
*****
*      Identificação de triângulo *
*****
mdu    LACC      vh_H,16
        ADDS      vh_L

```

```

        ADD      vg_H,16
        ADDS     vg_L
        SACH     md      ; Q4.12
        LACC     vg_H
        AND      #0F000h
        SACH     vgu,4
        LACC     vh_H
        AND      #0F000h
        SACH     vhu,4
        LACC     md
        AND      #0F000h
        SACH     md,4
xLS
        LT      md
        MPY     md
        PAC
        ADD     md
        ADD     vhu
        SUB     vgu

        SACL     Ls0
        ADD     #01
        SACL     Ls
        LACC     Ls,12
        ADD     md,12
        ADD     #1,12
        AND     #01,12
        SACL     tria_type ; Q4.12
=====
*      Cálculo das razões cíclicas      *
=====
duty LACC     tria_type,16
      SUB     vgf_H,16
      SUBS    vgf_L
      ABS
      SACH     tg,2
      LACC     tria_type,16
      SUB     vhf_H,16
      SUBS    vhf_L
      ABS
      SACH     th,2
      LACC     #04000h
      SUB     tg
      SUB     th
      SACL     tgh
=====
*      Cálculo Lh e tipo      *
=====
      LACC     Ls0
      LT      sector
      MPY     #04
      APAC
      SACL     Lh
      LACC     sector
      AND     #01
      SACL     tipo

```

```

=====
* Obtenção das constantes Pesos
=====
temposdaschaves
    LDP      #cs1a
    LACC     ks1
    ADD      Lh
    TBLR     kS1A_g
    ADD      #08
    TBLR     kS1B_g
    ADD      #08
    TBLR     kS1C_g
    ADD      #24
    TBLR     kS1A_h
    ADD      #08
    TBLR     kS1B_h
    ADD      #08
    TBLR     kS1C_h
    ADD      #24
    TBLR     kS1A_gh
    ADD      #08
    TBLR     kS1B_gh
    ADD      #08
    TBLR     kS1C_gh

    LACC     ks2
    ADD      Lh
    TBLR     kS2A_g
    ADD      #08
    TBLR     kS2B_g
    ADD      #08
    TBLR     kS2C_g
    ADD      #24
    TBLR     kS2A_h
    ADD      #08
    TBLR     kS2B_h
    ADD      #08
    TBLR     kS2C_h
    ADD      #24
    TBLR     kS2A_gh
    ADD      #08
    TBLR     kS2B_gh
    ADD      #08
    TBLR     kS2C_gh
=====
* Obtenção dos valores dos tempos
=====
    LACC     #0
    LT       tg          ;Q2.14
    MPY      kS1A_g      ;Q2.14
    LT       th          ;q4.28
    MPYA     kS1A_h
    LT       tgh
    MPYA     kS1A_gh

    MPYA     kS2A_gh

```

SACH	ts1a,2	;Q2.14	ts1a
Lac1	#0		
LT	tg	;Q2.14	
MPYA	ks2A_g	;Q2.14	
LT	th		
MPYA	ks2A_h		
MPYA	ks1B_h		
SACH	ts2a,2	;Q2.14	ts2a
LACL	#0		
LT	tgh		
MPYA	ks1B_gh		
LT	tg		
MPYA	ks1B_g		
MPYA	ks2B_g		
SACH	ts1b,2	;Q2.14	ts1b
LACL	#0		
LT	th		
MPYA	ks2B_h		
LT	tgh		
MPYA	ks2B_gh		
MPYA	ks1C_gh		
SACH	ts2b,2	;Q2.14	ts2b
LACL	#0		
LT	tg		
MPYA	ks1C_g		
LT	th		
MPYA	ks1C_h		
MPYA	ks2C_h		
SACH	ts1c,2	;Q2.14	ts1c
LACL	#0		
LT	tgh		
MPYA	ks2C_gh		
LT	tg		
MPYA	ks2C_g		
APAC			
SACH	ts2c,2	;Q2.14	ts2c

*=====

* Obtenção dos valores dos contadores

*=====

LT	PWMPRDx
MPY	ts1a
SPH	cs1a
MPY	ts2a
SPH	cs2a
MPY	ts1b
SPH	cs1b
MPY	ts2b
SPH	cs2b
MPY	ts1c
SPH	cs1c
MPY	ts2c
SPH	cs2c

```

*=====
*   Tempo mínimo de condução
*=====
    LACC cs1a
    SUB #026
    BLZ Hist_L_S1A
    SUB #0939
    BLEZ next_S2A
    SUB #13
    SPLK #0991,cs1a
    BGEZ next_S2A
    SPLK #0965,cs1a
    B next_S2A
Hist_L_S1A
    ADD #013
    SPLK #0,cs1a
    BLEZ next_S2A
    SPLK #026,cs1a
next_S2A
    LACC cs2a
    SUB #026
    BLZ Hist_L_S2A
    SUB #0939
    BLEZ next_S1B
    SUB #13
    SPLK #0991,cs2a
    BGEZ next_S1B
    SPLK #0965,cs2a
    B next_S1B
Hist_L_S2A
    ADD #013
    SPLK #0,cs2a
    BLEZ next_S1B
    SPLK #026,cs2a
next_S1B
    LACC cs1b
    SUB #026
    BLZ Hist_L_S1B
    SUB #0939
    BLEZ next_S2B
    SUB #13
    SPLK #0991,cs1b
    BGEZ next_S2B
    SPLK #0965,cs1b
    B next_S2B
Hist_L_S1B
    ADD #013
    SPLK #0,cs1b
    BLEZ next_S2B
    SPLK #026,cs1b
next_S2B
    LACC cs2b
    SUB #026
    BLZ Hist_L_S2B
    SUB #0939
    BLEZ next_S1C

```

```

        SUB    #13
        SPLK   #0991,cs2b
        BGEZ   next_S1C
        SPLK   #0965,cs2b
        B      next_S1C
Hist_L_S2B
        ADD    #013
        SPLK   #0,cs2b
        BLEZ   next_S1C
        SPLK   #026,cs2b
next_S1C
        LACC   cs1c
        SUB    #026
        BLZ    Hist_L_S1C
        SUB    #0939
        BLEZ   next_S2C
        SUB    #13
        SPLK   #0991,cs1c
        BGEZ   next_S2C
        SPLK   #0965,cs1c
        B      next_S2C
Hist_L_S1C
        ADD    #013
        SPLK   #0,cs1c
        BLEZ   next_S2C
        SPLK   #026,cs1c
next_S2C
        LACC   cs2c
        SUB    #026
        BLZ    Hist_L_S2C
        SUB    #0939
        BLEZ   next_end
        SUB    #13
        SPLK   #0991,cs2c
        BGEZ   next_end
        SPLK   #0965,cs2c
        B      next_end
Hist_L_S2C
        ADD    #013
        SPLK   #0,cs2c
        BLEZ   next_end
        SPLK   #026,cs2c
next_end
*=====
C_t2on_tlon
        LDP    #sector
        LACC   sector
        AND    #01h
        SACL   tipo
*****
* Configuração do modo de contagem
*****
        SPLK   #0666h,actrx      ; A H, sext impar ativo baixo nos  chaves
        SPLK   #002Ah,sactrx     ; A H, sext impar ativo baixo nas chaves
        SPLK   #006Eh,gptx       ; A H, sext impar ativo baixo nas chaves

```

```

LACC tipo
BLEZ impar
SPLK #0999h,actrx      ; A L; sext par ativo alto nas chaves
SPLK #0015h,sactrx     ; A L; sext par ativo alto nas chaves
SPLK #0061h,gptx      ; A L; sext par ativo alto nas chaves
impar
LDP #actrx
LACC actrx
LDP #DP_EV
SACL ACTR
LDP #cs1a
LACC sactrx
LDP #DP_EV
SACL SACTR
LDP #gptx
LACC gptx
LDP #DP_EV
SACL GPTCON
*****
*   Ativação de contagem para Geração da MLP
*****
LDP #cs1a
BLDD cs1a,#CMPR2
BLDD cs2a,#CMPR3
BLDD cs1b,#SCMPR1
BLDD cs2b,#SCMPR2
BLDD cs1c,#SCMPR3
BLDD cs2c,#T1CMP
BLDD xtmp,#T2CMP

LDP #xtmp
SPLK #00,xtmp
END_ISR
*=====
* END Context Restore and Return
*=====
*   Atribuição de variáveis   *
*****
atrib_var
LDP #cs1a
SPLK #0,_stop
SPLK #0,_index
SPLK #0168,num_amstras      ;número de amostras
SPLK #0,num_conversoes
SPLK #watual_H_,watual_H
SPLK #0,watual_L
SPLK #T_sample_,T_sample; sampling period
SPLK #PWMPRD_,PWMPRD
SPLK #PWMPRDx_,PWMPRDx
SPLK #Vn_,Vn ; D1, ADC to set U ratio
SPLK #0,THETAL ;theta low byte
SPLK #0,THETAH ;theta high byte
SPLK #01,semi_ciclo ;

SPLK #02182h,theta_60H ;
SPLK #0a470h,theta_60L ;

```

```

SPLK #06488h,theta_360H ;
SPLK #012AFh,theta_360L ;
SPLK #06487h,theta_180H ;
SPLK #0ED51h,theta_180L ;

SPLK #03243h,theta_90H ;
SPLK #0F6A9h,theta_90L ;
SPLK #TB_S,sin_entry
SPLK #coef,coef_entry
SPLK #sect,sect_entry
SPLK #TB_C,sin_end

SPLK #theta_iH,theta_iH
SPLK #theta_iL,theta_iL
SPLK #raiz3_,raiz3
SPLK #ws1tg,ks1
SPLK #ws2tg,ks2
SPLK #00,xtmp
RET
*****
*      Final Atribuição de variáveis      *
*****
*      Limpeza dos Registradoresdo gerenciador de Eventos      EV
*****
clear_reg
_ZAC
LDP #DP_EV
SACL GPTCON
SACL T1CNT
SACL T1CMP
SACL T1PER
SACL T1CON
SACL T2CNT
SACL T2CMP
SACL T2PER
SACL T2CON
SACL T3CNT
SACL T3CMP
SACL T3PER
SACL T3CON
SACL COMCON
SACL ACTR
SACL SACTR
SACL DBTCON
SACL CMPR1
SACL CMPR2
SACL CMPR3
SACL SCMPR1
SACL SCMPR2
SACL SCMPR3
SACL CAPCON
SACL CAPFIFO
SACL FIFO1
SACL FIFO2
SACL FIFO3

```

```
SACL FIFO4

CLRC SXM      ; Clear Sign Extension Mode
CLRC OVM      ; Reset Overflow Mode
RET
*****
*   Final da limpeza dos Registradores   *
*=====
```

Anexo E – Programa Assembler da MV via Redes Neurais Artificiais para Inversores de Três Níveis

```

*****
; File Name:C:\work\4nabc\n4abc0.asm versao:Final
*****
; Include Files
;-----
    .include    c:\work\geraln\F240.inc
    .include    c:\work\geraln\demos.inc
    .include    C:\work\geraln\vects.inc
    .include    mexp.inc
;=====
    .data
T_sample_      .set 013301; 10090.81 hz; ns=28 ;cont= 991 (dec)
PWMPRD_        .set      991; 10090.81 hz; ns=28 ;cont= 991 (dec)
PWMPRDx_       .set      3964

*Vn_ .set 0517Dh; (0.6366),      (20861d) = 1.00 pu
*Vn_ .set 04957h; (0.5730),      (18775d) = 0.90 pu
*Vn_ .set 04131h; (0.5093),      (16689d) = 0.80 pu
*Vn_ .set 0390Bh; (0.4456),      (14603d) = 0.70 pu
*Vn_ .set 030E4h; (0.3820),      (12516d) = 0.60 pu
*Vn_ .set 028BEh; (0.3183),      (10430d) = 0.50 pu
*Vn_ .set 02098h; (0.2546),      (08344d) = 0.40 pu
Vn_ .set 01872h; (0.1910),      (06258d) = 0.30 pu
*Vn_ .set 0104Ch; (0.1273),      (04172d) = 0.20 pu
*Vn_ .set 00826h; (0.0637),      (02086d) = 0.10 pu

SQRT32          .set 0ddbh; sqrt(3)/2 no formato Q4.12
raiz3inv_       .set 049e7h      ; 1/sqrt(3) no formato Q1.15
*raiz3_         .set 06edah      ; sqrt(3) no formato Q2.14

A_W_            .set 24151
min_W_          .set 500 ; 5 Hz ;ok
max_W_          .set 6000 ; 60 Hz ;ok
W_dif_          .set 5500 ; max_W-min_W ; ok

theta_iH_       .set 023CFh; index p/ sen450_x1 449,75
theta_iL_       .set 02995h;

watual_H_       .set 01508 ; 1770h      (60 Hz)

* rede
fat_a_          .set 000FA0h
fat_b_          .set 000FA0h
fat_c_          .set 000C80h
fat_d_          .set 0007D0h
fat_e_          .set 000320h
fat_f_          .set 000050h

    .include    C:\work\geraln\Sen450_x1.inc
    .include    C:\work\geraln\tsigx1_tab.inc
    .include    C:\work\geraln\triang_tab.inc
    .include    C:\work\geraln\chaveS1_tab.inc
    .include    C:\work\geraln\chaveS2_tab.inc

```

```

;=====
; variaveis space vector : inicio:a000:
    .bss cs1a,1          ;A000
    .bss cs2a,1          ;A001
    .bss cs1b,1          ;A002
    .bss cs2b,1          ;A003
    .bss cs1c,1          ;A004
    .bss cs2c,1          ;A005
    .bss ts1a,1          ;A006
    .bss ts2a,1          ;A007
    .bss ts1b,1          ;A008
    .bss ts2b,1          ;A009
    .bss ts1c,1          ;A00A
    .bss ts2c,1          ;A00B
    .bss kS1A_a,1        ;A00C
    .bss kS1B_a,1        ;A00D
    .bss kS1C_a,1        ;A00E
    .bss kS1A_b,1        ;A00F
    .bss kS1B_b,1        ;A010
    .bss kS1C_b,1        ;A011
    .bss kS1A_c,1        ;A012
    .bss kS1B_c,1        ;A013
    .bss kS1C_c,1        ;A014
    .bss kS2A_a,1        ;A015
    .bss kS2B_a,1        ;A016
    .bss kS2C_a,1        ;A017
    .bss kS2A_b,1        ;A018
    .bss kS2B_b,1        ;A019
    .bss kS2C_b,1        ;A01A
    .bss kS2A_c,1        ;A01B
    .bss kS2B_c,1        ;A01C
    .bss kS2C_c,1        ;A01D
    .bss ks1,1;          ;A01E
    .bss ks2,1;          ;A01F

    .bss tipo,1          ;A020
    .bss actrx,1         ;A021
    .bss sactrx,1        ;A022
    .bss gptx,1          ;A023
    .bss PWMPRD,1        ;A024
    .bss PWMPRDx,1       ;A025
    .bss watual_H,1      ;A026
    .bss watual_L,1      ;A027
    .bss theta_60H,1     ;A028
    .bss theta_60L,1     ;A029
    .bss theta_180H,1    ;A02A
    .bss theta_180L,1    ;A02B
    .bss theta_360H,1    ;A02C
    .bss theta_360L,1    ;A02D

    .bss theta_iH,1      ;A02E fator p/ obter th_index
    .bss theta_iL,1
    .bss T_sample,1      ;A02D Sampling period: D-9
    .bss THETAH,1        ;A02E posicao angular alta
    .bss THETAL,1        ;A02F posicao angular baixa
    .bss theta_xH,1      ;A030 posicao angular alta

```

```

.bss theta_xL,1      ;A031      posicao angular baixa
.bss ptemp,1         ;A032
.bss ptemp2,1        ;A033
.bss temp1,1         ;A034
.bss semi_ciclo,1    ;A035
.bss sext,1          ;A036

.bss theta_r,1        ;A037 rounded THETAH
.bss theta_m,1        ;A038
.bss sin_indx,1       ;A039
.bss sin_end,1        ;A03A End of sin table
.bss sin_theta,1      ;A03B; sin(THETA): D1
.bss cos_theta,1      ;A03C; cos(THETA): D1
.bss sin_entry,1      ;A03D beginning of sin table

.bss xH_temp,1        ;A03E
.bss xL_temp,1        ;A03F
.bss x1_dif,1         ;A040
.bss Vn,1             ;A041
.bss Ud,1             ;A042
.bss Uq,1             ;A043
.bss th_indx,1        ;A044
.bss th_entry,1       ;A045
.bss th_end,1         ;A046
.bss txx,1            ;A047
.bss theta_s,1        ;A048
.bss xtmp,1           ;A049
.bss tsext,1          ;A04A
.bss a11,1            ;A04B
.bss a12,1            ;A04C
.bss d1,1             ;A04D
.bss a4,1             ;A04E
.bss a5,1             ;A04F
.bss b11,1            ;A050
.bss b12,1            ;A051
.bss d2,1             ;A052
.bss b5,1             ;A053
.bss b6,1             ;A054
.bss c11,1            ;A055
.bss c12,1            ;A056
.bss d3,1             ;A057
.bss c6,1             ;A058
.bss c7,1             ;A059
.bss tria,1           ;A05A
.bss regiao,1         ;A05B
.bss Ls0,1            ;A05C
.bss Lh,1             ;A05D
.bss ta,1             ;A05E
.bss tb,1             ;A05F
.bss tc,1             ;A060

.bss _stop,1          ;A061
.bss index,1          ;A062
.bss num_amstras,1    ;A063
.bss num_conversoes,1 ;A064

```

```
.bss wstep,1          ;A065
.bss wmeta,1          ;A066
.bss A_W,1            ;A067
.bss min_W,1          ;A068
.bss max_W,1          ;A069
.bss W_dif,1          ;A070
.bss tr_nro,1         ;A071
.bss tr_nrob,1        ;A072
.bss tr_nroc,1        ;A073
.bss tg2a,1           ;A074
.bss th2a,1           ;A075
.bss tgh2a,1          ;A076
.bss tg2b,1           ;A078
.bss th2b,1           ;A079
.bss tgh2b,1          ;A07A
.bss tg2c,1           ;A07B
.bss th2c,1           ;A07C
.bss tgh2c,1          ;A07D
.bss tg1a,1           ;A07E
.bss th1a,1           ;A07F
```

* PAGINA 2

```
.bss Vd,1             ;A080
.bss Vq,1             ;A081
.bss am11,1           ;A082
.bss am12,1           ;A083
.bss am21,1           ;A084
.bss am22,1           ;A085
.bss am31,1           ;A086
.bss am32,1           ;A087
.bss ab11,1           ;A088
.bss ab21,1           ;A089
.bss ab31,1           ;A08A
.bss ap11,1           ;A08B
.bss ap21,1           ;A08C
.bss ap31,1           ;A08D
.bss aq11,1           ;A08E
.bss aq21,1           ;A08F
.bss aq31,1           ;A090
.bss an11,1           ;A091
.bss an12,1           ;A092
.bss an13,1           ;A093
.bss an21,1           ;A094
.bss an22,1           ;A095
.bss an23,1           ;A096
.bss ac11,1           ;A097
.bss ac21,1           ;A098
.bss ar11,1           ;A099
.bss ar21,1           ;A09A

.bss bm11,1           ;A09B
.bss bm12,1           ;A09C
.bss bm21,1           ;A09D
.bss bm22,1           ;A09E
.bss bm31,1           ;A09F
```

```
.bss bm32,1      ;A0A0
.bss bb11,1      ;A0A1
.bss bb21,1      ;A0A2
.bss bb31,1      ;A0A3
.bss bp11,1      ;A0A4
.bss bp21,1      ;A0A5
.bss bp31,1      ;A0A6
.bss bq11,1      ;A0A7
.bss bq21,1      ;A0A8
.bss bq31,1      ;A0A9
.bss bn11,1      ;A0AA
.bss bn12,1      ;A0AB
.bss bn13,1      ;A0AC
.bss bn21,1      ;A0AD
.bss bn22,1      ;A0AE
.bss bn23,1      ;A0AF
.bss bc11,1      ;A0B0
.bss bc21,1      ;A0B1
.bss br11,1      ;A0B2
.bss br21,1      ;A0B3

.bss cm11,1      ;A0B4
.bss cm12,1      ;A0B5
.bss cm21,1      ;A0B6
.bss cm22,1      ;A0B7
.bss cm31,1      ;A0B8
.bss cm32,1      ;A0B9
.bss cb11,1      ;A0BA
.bss cb21,1      ;A0BB
.bss cb31,1      ;A0BC
.bss cp11,1      ;A0BD
.bss cp21,1      ;A0BE
.bss cp31,1      ;A0CF
.bss cq11,1      ;A0C0
.bss cq21,1      ;A0C1
.bss cq31,1      ;A0C2
.bss cn11,1      ;A0C3
.bss cn12,1      ;A0C4
.bss cn13,1      ;A0C5
.bss cn21,1      ;A0C6
.bss cn22,1      ;A0C7
.bss cn23,1      ;A0C8
.bss cc11,1      ;A0C9
.bss cc21,1      ;A0CA
.bss cr11,1      ;A0CB
.bss cr21,1      ;A0CC

.bss dm11,1      ;A0CD
.bss dm12,1      ;A0CE
.bss dm21,1      ;A0CF
.bss dm22,1      ;A0D0
.bss dm31,1      ;A0D1
.bss dm32,1      ;A0D2
.bss db11,1      ;A0D3
.bss db21,1      ;A0D4
.bss db31,1      ;A0D5
```

```

.bss dp11,1          ;A0D6
.bss dp21,1          ;A0D7
.bss dp31,1          ;A0D8
.bss dq11,1          ;A0D9
.bss dq21,1          ;A0DA
.bss dq31,1          ;A0DB
.bss dn11,1          ;A0DC
.bss dn12,1          ;A0DD
.bss dn13,1          ;A0DE
.bss dn21,1          ;A0DF
.bss dn22,1          ;A0E0
.bss dn23,1          ;A0E1
.bss dc11,1          ;A0E2
.bss dc21,1          ;A0E3
.bss dr11,1          ;A0E4
.bss dr21,1          ;A0E5

.bss one,1           ;A0E6
.bss tsig_tab,1       ;A0E7
.bss C_frac,1         ;A0E8
.bss c_difer,1        ;A0E9
.bss Term01,1         ;A0EA
.bss Term02,1         ;A0EB
.bss xback,1          ;A0EC
.bss n1,1             ;A0ED
.bss sinal_x,1        ;A0EF
.bss fator,1          ;A0F0
.bss comp_H,1         ;A0F1
.bss comp_L,1         ;A0F2
.text

; -----
_entry:

    Call atrib_var

    Call clear_reg

    CALL config_PWM

;*****
; Loop for operation to continue *
;*****
LOOP
    LDP #xtmp
    LACC xtmp
loop add #1
    NOP
    SACL xtmp
    BGEZ loop
    SPLK #00,xtmp
    B LOOP

;=====
* Interupção _tluf_ISR - Space Vector PWM *
*****
_tluf_ISR:
    SPM 0

```

```

    SETC ovm
    SETC sxm

    LDP #cs1a
    SPLK #watual_H,watual_H ;teste
    *****
    ** Obtain theta (phase of Uout) through 32 bit integration **
    *****
Obter_theta
    LT watual_H
    MPY T_sample ; D-9*D11=D(2+1)
    PAC ;
    ADDS THETAL ;
    ADDH THETAH ;
    SACH THETAH ;
    SACL THETAL ;
    SUBS theta_180L ; compara com pi
    SUB theta_180H,16 ;
    BLEZ Theta_in_pi ; continue if within limit
    SACH THETAH ; mod(pi, THETA) if not
    SACL THETAL
    LACC semi_ciclo
    ADD #3
    SACL semi_ciclo
    SUB #04
    BLEZ Theta_in_pi
    SPLK #01,semi_ciclo
Theta_in_pi
    LACC THETAH,16
    ADDS THETAL
    SACH theta_xH
    SACL theta_xL
    *****
    LACC semi_ciclo
    SUB #01
    SACL sext
theta_out_pi3
    LACC theta_xH,16
    ADDS theta_xL
    SUBS theta_60L
    SUB theta_60H,16
    BLEZ Theta_in_pi3 ; continue if within limit
    SACH theta_xH
    SACL theta_xL
    LACC sext
    ADD #01
    SACL sext
    B theta_out_pi3
Theta_in_pi3
    LACC sext
    AND #001h
    SACL tipo
    *=====
    * Obtenção sin(theta), cos(theta)
    *=====
sin_cos

```

```

LACL      theta_xL
SFR
SACL      temp1  ;
LT        theta_iL
MPY       theta_xH
PAC
SACH      ptemp2,1
LT        theta_iH  ;
MPY       temp1;
PAC
SACH      ptemp,1
LACC      ptemp
ADDS      ptemp2
MPY       theta_xH  ;
APAC
SFR
SFR
SACH      sin_indx;
SFR
AND        #07FFFh
SACL      temp1

```

```

LACC sin_entry ; Look up sin
ADD  sin_indx  ;
TBLR xL_temp
ADD  #01
TBLR xH_temp
LACC xH_temp
SUB  xL_temp
SACL x1_dif
LACC xL_temp,15
LT   temp1
MPY  x1_dif
APAC
SACH sin_theta,1

```

```

LACC sin_end      ;
SUB  sin_indx
TBLR xH_temp
SUB  #01
TBLR xL_temp
LACC xH_temp
SUB  xL_temp
SACL x1_dif
LACC xH_temp,15
LT   temp1
MPY  x1_dif
SPAC
SACH cos_theta,1

```

```

*=====
* Calculate Ud & Uq
*=====

```

```

lt Vn      ; (D1) Q1.15
MPY cos_theta ; (D1) Q2.14 Uref*cos(THETA)
PAC        ;Q3.29
sach Ud,2  ;Q1.15

```

```

LDP    #Vd
sach Vd,2
LDP    #Ud
MPY sin_theta    ; Uref*sin(THETA): D2*D1=D(3+1)
PAC ;
sach Uq,2 ; Q1.15
LDP    #Vd
sach Vq,2
=====
* Obtenção das constantes (Pesos)
=====
rededeidenttriangulos
LDP    #a4
LACC d1,15 ; (shift 15) --> Q3.29
LT     a11 ; Q2.14
MPY    Ud ; Q1.15 --> Q3.29
LT     a12
MPYA Uq
APAC
sach a4 ; Q3.13
ri2 LACC d2,15
LT     b11
MPY    Ud
LT     b12
MPYA Uq
APAC
sach b5 ; Q3.13
ri3 LACC d3,15
LT     c11
MPY    Ud
LT     c12
MPYA Uq
APAC
SACH c6

LACC a4,3
AND #4,16
SACH a5
LACC b5,2
AND #2,16
SACH b6
LACC c6,1
AND #1,16
SACH c7

LACC a5
OR b6
OR c7
SACL tria

LACC regioao
ADD tria
TBLR Ls0

LACC Ls0
LT sext

```

```

        MPY          #04
        APAC
        ADDH Ls0
        SACL Lh          ;Q16.0

        LACC #3
        SUB      Ls0
        BCND redeD,eq    ; rede D (Ls=3)
        SUB      #1
        BCND redeC,eq    ; rede C (Ls=2)
        SUB      #1
        BCND redeB,eq    ; rede B (Ls=1)
        SUB      #1
        BCND redeA,eq    ; rede A (Ls=0)
        Erro B      Erro      ; Erro
*=====
* Obtenção das constantes (Pesos)
*=====
temposdaschaves
        LDP          #cs1a
        LACC ks1
        ADD          Lh
        TBLR ks1A_a
        ADD          #08
        TBLR ks1B_a
        ADD          #08
        TBLR ks1C_a
        ADD          #24
        TBLR ks1A_b
        ADD          #08
        TBLR ks1B_b
        ADD          #08
        TBLR ks1C_b
        ADD          #24
        TBLR ks1A_c
        ADD          #08
        TBLR ks1B_c
        ADD          #08
        TBLR ks1C_c

        LACC ks2
        ADD          Lh
        TBLR ks2A_a
        ADD          #08
        TBLR ks2B_a
        ADD          #08
        TBLR ks2C_a
        ADD          #24
        TBLR ks2A_b
        ADD          #08
        TBLR ks2B_b
        ADD          #08
        TBLR ks2C_b
        ADD          #24
        TBLR ks2A_c
        ADD          #08

```

```

        TBLR  kS2B_c
        ADD   #08
        TBLR  kS2C_c
*=====
* Obtenção dos valores dos tempos
*=====
        LACC  #0
        LT    ta           ;Q2.14
        MPY   kS1A_a       ;Q2.14
        LT    tb           ;q4.28
        MPYA  kS1A_b
        LT    tc
        MPYA  kS1A_c

        MPYA  kS2A_c
        SACH  ts1a,2       ;Q2.14      ts1a
        LACL  #0
        LT    ta           ;Q2.14
        MPYA  kS2A_a       ;Q2.14
        LT    tb
        MPYA  kS2A_b

        MPYA  kS1B_b
        SACH  ts2a,2       ;Q2.14      ts2a
        LACL  #0
        LT    tc
        MPYA  kS1B_c
        LT    ta
        MPYA  kS1B_a

        MPYA  kS2B_a
        SACH  ts1b,2       ;Q2.14      ts1b
        LACL  #0
        LT    tb
        MPYA  kS2B_b
        LT    tc
        MPYA  kS2B_c

        MPYA  kS1C_c
        SACH  ts2b,2       ;Q2.14      ts2b
        LACL  #0
        LT    ta
        MPYA  kS1C_a
        LT    tb
        MPYA  kS1C_b

        MPYA  kS2C_b
        SACH  ts1c,2       ;Q2.14      ts1c
        LACL  #0
        LT    tc
        MPYA  kS2C_c
        LT    ta
        MPYA  kS2C_a
        APAC
        SACH  ts2c,2       ;Q2.14      ts2c
*=====

```

* Obtenção dos valores dos contadores

```
*=====
    LT          PWMPRDx
    MPY          ts1a
    SPH          cs1a
    MPY          ts2a
    SPH          cs2a
    MPY          ts1b
    SPH          cs1b
    MPY          ts2b
    SPH          cs2b
    MPY          ts1c
    SPH          cs1c
    MPY          ts2c
    SPH          cs2c
```

```
*=====
*      Tempo mínimo de condução
*=====
```

```
    LACC cs1a
    SUB  #026
    BLZ  Hist_L_S1A
    SUB  #0939
    BLEZ next_S2A
    SUB  #13
    SPLK #0991,cs1a
    BGEZ next_S2A
    SPLK #0965,cs1a
    B next_S2A
Hist_L_S1A
    ADD  #013
    SPLK #0,cs1a
    BLEZ next_S2A
    SPLK #026,cs1a
next_S2A
    LACC cs2a
    SUB  #026
    BLZ  Hist_L_S2A
    SUB  #0939
    BLEZ next_S1B
    SUB  #13
    SPLK #0991,cs2a
    BGEZ next_S1B
    SPLK #0965,cs2a
    B next_S1B
Hist_L_S2A
    ADD  #013
    SPLK #0,cs2a
    BLEZ next_S1B
    SPLK #026,cs2a
next_S1B
    LACC cs1b
    SUB  #026
    BLZ  Hist_L_S1B
    SUB  #0939
    BLEZ next_S2B
```

```

        SUB    #13
        SPLK   #0991,cs1b
        BGEZ   next_S2B
        SPLK   #0965,cs1b
        B      next_S2B
Hist_L_S1B
        ADD    #013
        SPLK   #0,cs1b
        BLEZ   next_S2B
        SPLK   #026,cs1b
next_S2B
        LACC   cs2b
        SUB    #026
        BLZ    Hist_L_S2B
        SUB    #0939
        BLEZ   next_S1C
        SUB    #13
        SPLK   #0991,cs2b
        BGEZ   next_S1C
        SPLK   #0965,cs2b
        B      next_S1C
Hist_L_S2B
        ADD    #013
        SPLK   #0,cs2b
        BLEZ   next_S1C
        SPLK   #026,cs2b
next_S1C
        LACC   cs1c
        SUB    #026
        BLZ    Hist_L_S1C
        SUB    #0939
        BLEZ   next_S2C
        SUB    #13
        SPLK   #0991,cs1c
        BGEZ   next_S2C
        SPLK   #0965,cs1c
        B      next_S2C
Hist_L_S1C
        ADD    #013
        SPLK   #0,cs1c
        BLEZ   next_S2C
        SPLK   #026,cs1c
next_S2C
        LACC   cs2c
        SUB    #026
        BLZ    Hist_L_S2C
        SUB    #0939
        BLEZ   next_end
        SUB    #13
        SPLK   #0991,cs2c
        BGEZ   next_end
        SPLK   #0965,cs2c
        B      next_end
Hist_L_S2C
        ADD    #013
        SPLK   #0,cs2c

```

```

        BLEZ next_end
        SPLK #026,cs2c
next_end
*=====
C_t2on_t1on
        LDP #sector
        LACC sector
        AND #01h
        SACL tipo
*****
* Configuração do modo de contagem
*****
        SPLK #0666h,actrx ; A H, sext impar ativo baixo nos  chaves
        SPLK #002Ah,sactrx ; A H, sext impar ativo baixo nas chaves
        SPLK #006Eh,gptx ; A H, sext impar ativo baixo nas chaves

        LACC tipo
        BLEZ impar
        SPLK #0999h,actrx ; A L; sext par ativo alto nas chaves
        SPLK #0015h,sactrx ; A L; sext par ativo alto nas chaves
        SPLK #0061h,gptx ; A L; sext par ativo alto nas chaves
impar
        LDP #actrx
        LACC actrx
        LDP #DP_EV
        SACL ACTR
        LDP #cs1a
        LACC sactrx
        LDP #DP_EV
        SACL SACTR
        LDP #gptx
        LACC gptx
        LDP #DP_EV
        SACL GPTCON
*****
* Ativação de contagem para Geração da MLP
*****
        LDP #cs1a
        BLDD cs1a,#CMPR2
        BLDD cs2a,#CMPR3
        BLDD cs1b,#SCMPR1
        BLDD cs2b,#SCMPR2
        BLDD cs1c,#SCMPR3
        BLDD cs2c,#T1CMP
        BLDD xtmp,#T2CMP

        LDP #xtmp
        SPLK #00,xtmp
        END_ISR
*=====
* END Context Restore and Return
*=====
* Rede A - Cálculo de ta e tb *
*****
* redeA 1 camada
redeA

```

```

LDP    #Vd
SPLK   #fat_a_,fator
SPLK   #rota_a,tsig_tab
LACC   ab11,11      ;Q-5.21 x(shift 11) --> Q0.32
LT      am12
MPY     Vq
LT      am11 ;Q-1.17
MPYA    Vd      ;Q1.15 --> Q0.32
SPAC
SFR      ;Q1.31
SACH     ap11      ;Q1.15
CALL     xtsig1
LACC     xback
SACL     aq11
*****
xA2     LACC     ab21,13      ;Q-2.18 x(shift 13) --> Q1.31
LT       am21  ;Q0.16
MPY      Vd      ;Q1.15 ==> Q1.31
LT       am22  ;Q0.16
MPYA     Vq      ;Q1.15 ==> Q1.31
APAC
SACH     ap21  ;Q1.15
CALL     xtsig1
LACC     xback
SACL     aq21
*****
xA3     LACC     ab31,11      ;Q0.16 x(shift 11) --> Q5.27
LT       am32  ;Q4.12
MPY      Vq      ;Q1.15 ==> Q5.27
LT       am31  ;Q5.11
MPYA     Vd      ;Q1.15 ==> Q6.26
SFR      ;Q6.26
APAC
SACH      ap31,2          ;Q4.12
CALL     xtsig2
LACC     xback
SACL     aq31
*****
segcamA
sA1     LDP      #Vd
LACC     ac11,15      ;Q0.16 Shift 15 --> Q1.31
LT       an13  ;Q0.16
MPY      aq31  ;Q1.15 --> Q1.31
LT       an12  ;Q3.13
MPYA     aq21  ;Q1.15 --> Q4.28
SFR      ;--> Q2.30
SFR      ;--> Q3.29
SFR      ;--> Q4.28
LT       an11  ;Q5.11
MPYA     aq11  ;Q1.15 --> Q6.26
SFR      ;--> Q5.27
SFR      ;--> Q6.26
APAC
LDP      #ta
SACH     ta,4  ;Q2.14
***

```

```

sA2  LDP    #Vd
      LACC  ac21,15      ;Q0.16 Shift15 --> Q1.31
      LT    an23 ;Q0.16
      MPY   aq31 ;Q1.15 --> Q1.31
      LT    an22 ;Q4.12
      MPYA  aq21 ;Q1.15 --> Q5.27
      SFR                    ;--> Q2.30
      SFR                    ;--> Q3.29
      SFR                    ;--> Q4.28
      SFR                    ;--> Q5.27
      LT    an21 ;Q5.11
      MPYA  aq11 ;Q1.15 --> Q6.26
      SFR                    ;--> Q6.26
      APAC
      LDP    #tc
      SACH  tc,4 ;Q2.14
sA3  LACC          #04000h      ;one Q2.14
      SUB          ta
      SUB          tc
      SACL       tb            ;Q2.14
      B          temposdaschaves
*****
* Rede B - Cálculo de ta e tb *
*****
redeB
      LDP    #Vd
      LACC  bb11,11      ;Q-4.20 x(shift 11) --> Q1.31
      LT    bm11 ;Q0.16
      MPY   Vd      ;Q1.15 --> Q1.31
      LT    bm12
      MPYA  Vq
      APAC
      SACH  bp11 ;Q1.15
      CALL  xtsig1
      SACL  bq11
***
xB2  LDP    #Vd
      LACC  bb21,14      ;Q-1.17 x(shift 14) --> Q1.31
      LT    bm21 ;Q0.16
      MPY   Vd      ;Q1.15 --> Q1.31
      LT    bm22
      MPYA  Vq
      APAC
      SACH  bp21 ;Q1.15
      CALL  xtsig1
      LACC  xback
      SACL  bq21
***
xB3  LACC  bb31,16      ;Q5.11 x(shift 16) --> Q5.27
      LT    bm31 ;Q4.12
      MPY   Vd      ;Q1.15 --> Q5.27
      LT    bm32 ;Q6.10
      MPYA  Vq      ;Q1.15 --> Q7.25
      SFR                    ;--> Q6.26
      SFR                    ;--> Q7.25
      APAC

```

```

        SACH bp31 ;Q7.9
        CALL xtsig3
        LACC xback
        SACL bq31
*****
segcamB
sB1  LDP  #Vd
      LACC bc11,15 ;Q2.14 Shift15 --> Q3.29
      LT   bn11 ;Q2.14
      MPY  bq11 ;Q1.15 --> Q3.29
      LT   bn13 ;Q2.14
      MPYA bq31 ;Q1.15 --> Q3.29
      LT   bn12 ;Q5.11
      MPYA bq21 ;Q1.15 --> Q6.26
      SFR          ;Q4.28
      SFR          ;Q5.27
      SFR          ;Q6.26
      APAC
      LDP  #ta
      SACH ta,4 ;Q2.14
sB2  LDP  #Vd
      LACC bc21,16 ;Q3.13 Shift16 --> Q3.29
      LT   bn22 ;Q2.14
      MPY  bq21 ;Q1.15 --> Q3.29
      LT   bn23 ;Q2.14
      MPYA bq31 ;Q1.15 --> Q3.29
      LT   bn21 ;Q5.11
      MPYA bq11 ;Q1.15 --> Q6.26
      SFR          ;Q4.28
      SFR          ;Q5.27
      SFR          ;Q6.26
      APAC
      LDP  #tb
      SACH tb,4 ;Q2.14
sB3  LACC #04000h ;one Q2.14
      SUB  ta
      SUB  tb
      SACL tc ;Q2.14
      B    temposdaschaves
*****
* Rede C - Cálculo de ta e tb *
*****
redeC
      LDP  #Vd
      LACC cb11,12 ;Q-3.19 x(shift 12) --> Q1.31
      LT   cm11 ;Q0.16
      MPY  Vd ;Q1.15 --> Q1.31
      LT   cm12
      MPYA Vq
      APAC
      SACH cp11 ;Q1.15
      CALL xtsigl
      LACC xback
      SACL cq11 ;Q2.14
**
xC2  LACC cb21,13 ;Q-2.18 x(shift 13) --> Q1.31

```

```

    LT      cm21  ;Q0.16
    MPY     Vd    ;Q1.15 --> Q1.31
    LT      cm22
    MPYA    Vq
    APAC
    SACH    cp21  ;Q1.15
    CALL    xtsig1
    LACC     xback
    SACL    cq21  ;Q2.14
***
xC3  LACC   cb31,15      ;Q3.13 x(shift 15) --> Q4.28
    LT      cm31  ;Q3.13
    MPY     Vd    ;Q1.15 --> Q4.28
    LT      cm32  ;Q6.10
    MPYA    Vq    ;Q1.15 --> Q7.25
    SFR                     ;Q5.27
    SFR                     ;Q6.26
    SFR                     ;Q7.25
    APAC
    SACH    cp31  ;Q7.9
    CALL    xtsig3
    LACC     xback
    SACL    cq31  ;Q2.14
segcamC
**
sC1  LDP     #Vd
    LACC    cc11,16      ;Q2.14 Shift16 --> Q2.30
    LT      cn11  ;Q1.15
    MPY     cq11  ;Q1.15 --> Q2.30
    LT      cn13  ;Q1.15
    MPYA    cq31  ;Q1.15 --> Q2.30
    LT      cn12  ;Q5.11
    MPYA    cq21  ;Q1.15 --> Q6.26
    SFR                     ;--> Q3.29
    SFR                     ;--> Q4.28
    SFR                     ;--> Q5.27
    SFR                     ;--> Q6.26
    APAC
    LDP     #Ud
    SACH    ta,4  ;Q2.14
***
    LDP     #Vd
    LACC    cc21,15      ;Q0.16 Shift15 --> Q1.31
    LT      cn23  ;Q0.16
    MPY     cq31  ;Q1.15 --> Q1.31
    LT      cn22  ;Q2.14
    MPYA    cq21  ;Q1.15 --> Q3.29
    SFR                     ;--> Q2.30
    SFR                     ;--> Q3.29
    LT      cn21  ;Q5.11
    MPYA    cq11  ;Q1.15 --> Q6.26
    SFR                     ;--> Q4.28
    SFR                     ;--> Q5.27
    SFR                     ;--> Q6.26
    APAC
    LDP     #tc

```

```

SACH tc,4 ;Q2.14

LACC #04000h ;one Q2.14
SUB ta
SUB tc
SACL tb ;Q2.14
B temposdaschaves
*****
* Rede D - Cálculo de ta e tb *
*****
redeD
LDP #Vd
LACC db11,14 ;Q1.15 x(shift 14) --> Q3.29
LT dm11 ;Q2.14
MPY Vd ;Q1.15 --> Q3.29
LT dm12
MPYA Vq
APAC
SFR
SACH dp11 ;Q4.12
CALL xtsig2
LACC xback
SACL dq11 ;Q2.14
****
xD2 LACC db21,14 ;Q-1.17 x(shift 14) --> Q1.31
LT dm21 ;Q0.16
MPY Vd ;Q1.15 --> Q1.31
LT dm22
MPYA Vq
APAC
SACH dp21 ;Q1.15
CALL xtsig1
LACC xback
SACL dq21 ;Q2.14
***
xD3 LACC db31,14 ;Q1.15 x(shift 14) --> Q3.29
LT dm31 ;Q2.14
MPY Vd ;Q1.15 --> Q3.29
LT dm32
MPYA Vq
APAC
SFR
SACH dp31 ;Q4.12
CALL xtsig2
LACC xback
SACL dq31 ;Q2.14
segcamD
sD1 LDP #Vd
LACC dc11,11 ;Q-3.19 x(shift 11) --> Q2.30
LT dn11 ;Q1.15
MPY dq11 ;Q1.15 --> Q2.30
LT dn13 ;Q2.14
MPYA dq31 ;Q1.15 --> Q3.29
SFR ;--> Q3.29
LT dn12 ;Q4.12
MPYA dq21 ;Q1.15 --> Q5.27

```

```

        SFR          ;--> Q4.28
        SFR          ;--> Q5.27
        APAC
        LDP    #ta
        SACH    ta,3 ;Q2.14
sd2    LDP    #Vd
        LACC    dc21,15 ;Q1.15 x(shift 15) --> Q2.30
        LT      dn21 ;Q1.15
        MPY     dq11 ;Q1.15 --> Q2.30
        LT      dn22 ;Q2.14
        MPYA    dq21 ;Q1.15 --> Q3.29
        SFR          ;--> Q3.29
        LT      dn23 ;Q2.14
        MPYA    dq31 ;Q1.15 --> Q3.29
        APAC
        LDP    #tb
        SACH    tb,1 ;Q2.14
sd3    LACC    #04000h ;one Q2.14
        SUB     ta
        SUB     tb
        SACL    tc ;Q2.14
        B       temposdaschaves
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
xtsig4
        SACH    sinal_x ;Q7.9
        ABS
        SUB     one,12 ; (-2)
        BLZ     abaixo8
        SPLK    #07FFFh,xback
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
xtsig3
        SACH    sinal_x ;Q7.9
        ABS
        SUB     one,14 ; (-8)
        BLZ     abaixo8
        SPLK    #07FFFh,xback
        B       sinal
abaixo8
        ADD     one,14 ; (-8)
        SACH    Termo1,3
        SACL    Termo2,3
        LACC    Termo1,16
        ADDS    Termo2
        B       teste4
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
xtsig2
        SACH    sinal_x ;Q4.12
        ABS
teste4
        SUBH    one ; (-4)
        BGEZ    acima4
        ADD     one,15 ; (+2)
        BGEZ    acima2
        ADD     one,14
        BGEZ    acima1
        ADD     one,13

```

```

        BGEZ  acima05
        ADD   one,12
        BGEZ  acima025
        ADD   one,12
        SACH  comp_H,4           ;Q0.16
        SACL  comp_L,4           ;Q0.16
        SPLK  #fat_a_,fator
        SPLK  #rota_a,tsig_tab
        B     xtsig
acima025
        SACH  comp_H,4           ;Q0.16
        SACL  comp_L,4           ;Q0.16
        SPLK  #fat_b_,fator
        SPLK  #rota_b,tsig_tab
        B     xtsig
acima05
        SACH  comp_H,3           ;Q1.15
        SACL  comp_L,3           ;Q0.16
        SPLK  #fat_c_,fator
        SPLK  #rota_c,tsig_tab
        B     xtsig
acima1
        SACH  comp_H,2           ;Q2.14
        SACL  comp_L,2           ;Q0.16
        SPLK  #fat_d_,fator
        SPLK  #rota_d,tsig_tab
        B     xtsig
acima2
        SACH  comp_H,1           ;Q3.13
        SACL  comp_L,1           ;Q0.16
        SPLK  #fat_e_,fator
        SPLK  #rota_e,tsig_tab
        B     xtsig
acima4
        SACH  comp_H             ;Q4.12
        SACL  comp_L             ;Q0.16
        SPLK  #fat_f_,fator
        SPLK  #rota_f,tsig_tab
        B     xtsig
*%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
xtsig1
        SACH  sinal_x            ;Q1.15
        ABS
        SUBH  one ; (-0,50)
        BGEZ  acimax050
        ADD   one,15 ; (+0,25)
        BGEZ  acimax025
        ADD   one,15
        SACH  comp_H,1           ;Q0.16
        SACL  comp_L,1           ;Q0.16
        SPLK  #fat_a_,fator
        SPLK  #rota_a,tsig_tab
        B     xtsig
acimax025
        SACH  comp_H,1           ;Q0.16
        SACL  comp_L,1           ;Q0.16

```

```

        SPLK #fat_b_,fator
        SPLK #rota_b,tsig_tab
        B    xtsig
acimax050
        SACH comp_H          ;Q1.15
        SACL comp_L          ;Q0.16
        SPLK #fat_c_,fator
        SPLK #rota_c,tsig_tab
        B    xtsig
*%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
xtsig
        LACC comp_L
        SFR
        AND  #07FFFh
        SACL comp_L
        LT   fator
        MPY  comp_L
        SPH  c_difer
        LACC c_difer,1
        MPY  comp_H
        APAC
        SFR
        SACH n1
        SFR
        AND  #07FFFh
        SACL C_frac

        LACC tsig_tab
        ADD  n1 ;
        TBLR Termol
        ADD  #01
        TBLR Termo2
        LACC Termo2
        SUB  Termol
        SACL c_difer
        LACC Termol,15
        LT   C_frac
        MPY  c_difer
        APAC
        SACH xback,1
*%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
sinal
        LACC sinal_x
        BCND positivo,geq
        LACC xback,16
        NEG
        SACH xback
positivo
        RET
*%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
*      Atribuição de variáveis      *
*%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
atrib_var
        LDP  #cs1a
        SPLK #0,_stop

```

```
SPLK #0,index
SPLK #0170,num_amstras ;número de amostras
SPLK #0,num_conversoes
```

```
SPLK #watual_H_,watual_H ;
SPLK #0,watual_L
SPLK #watual_H_,wmeta ;
```

```
SPLK #T_sample_,T_sample; sampling period
SPLK #PWMPRD_,PWMPRD
SPLK #PWMPRDx_,PWMPRDx
```

```
SPLK #A_W_,A_W ; D8, ADC to set W ratio
SPLK #Vn_,Vn ; D1, ADC to set U ratio
```

```
SPLK #min_W_,min_W ; lower limit on set W
SPLK #max_W_,max_W
SPLK #W_dif_,W_dif
```

```
SPLK #0,THETAL ;theta low byte
SPLK #0,THETAH ;theta high byte
SPLK #01,semi_ciclo ;
```

```
SPLK #02182h,theta_60H ;
SPLK #0a470h,theta_60L ;
SPLK #06488h,theta_360H ;
SPLK #012AFh,theta_360L ;
SPLK #06487h,theta_180H ;
SPLK #0ED51h,theta_180L ;
```

```
SPLK #TB_S,sin_entry
SPLK #TB_C,sin_end
```

```
SPLK #theta_iH_,theta_iH
SPLK #theta_iL_,theta_iL
SPLK #as1aa,ks1
SPLK #as2aa,ks2
```

```
SPLK #31291,theta_s ; D0
SPLK #00000h,a11
SPLK #06EDAh,a12
SPLK #0E000h,d1
SPLK #0376Dh,b11
SPLK #02000h,b12
SPLK #0ED86h,d2
SPLK #0A000h,c11
SPLK #0376Dh,c12
SPLK #02000h,d3
SPLK #area,regiao
```

```
LDP #Vd ;coeficientes da RN A
SPLK #058B6h,am11 ; Q-1.17 (-0.173259773889695)
SPLK #064B6h,am12 ; Q-1.17 (0.196699630066675)

SPLK #09D06h,am21 ; Q0.16 (-0.386631210066754)
SPLK #0B7EFh,am22 ; Q0.16 (-0.281515744953185)
```

```

SPLK #06095h, am31      ; Q5.11
SPLK #07DEFh, am32      ; Q4.12
SPLK #06F17h, ab11      ; Q-5.21 ou D5
SPLK #06D42h, ab21      ; Q-2,18 ou D2
SPLK #08741h, ab31      ; Q0.16
SPLK #09EEh, an11       ; Q5.11
SPLK #0B5A7h, an12      ; Q3.13
SPLK #00029h, an13      ; Q0.16
SPLK #055DCh, an21      ; Q5.11
SPLK #0B30Fh, an22      ; Q4.12
SPLK #00054h, an23      ; Q0.16
SPLK #0696Eh, ac11      ; Q0.16
SPLK #05DC6h, ac21      ; Q0.16

SPLK #0F895h, bm11      ; Q0.16      ;coeficientes da RN B
SPLK #04CB8h, bm12      ; Q0.16
SPLK #04384h, bm21      ; Q0.16
SPLK #01F5Eh, bm22      ; Q0.16
SPLK #0A780h, bm31      ; Q4.12
SPLK #06376h, bm32      ; Q6.10
SPLK #0B061h, bb11      ; Q-4,20 ou D4;
SPLK #0BAC5h, bb21      ; Q-1,17 ou D1;
SPLK #0B84Ah, bb31      ; Q5.11;
SPLK #0BAE2h, bn11      ; Q2.14      (-1.07997)
SPLK #0A405h, bn12      ; Q5.11      (-11.4974)
SPLK #08E1Dh, bn13      ; Q2.14      (-1.77949)
SPLK #05885h, bn21      ; Q5.11      (11.06508)
SPLK #04DCFh, bn22      ; Q2.14      (1.215745)
SPLK #0729Dh, bn23      ; Q2.14      (1.790826)
SPLK #0A94Dh, bc11      ; Q2.14      (-1.35467)
SPLK #04573h, bc21      ; Q3.13      (2.170243)

SPLK #0BC14h, cm11      ; Q0.16      ;coeficientes da RN C
SPLK #01C91h, cm12      ; Q0.16
SPLK #00512h, cm21      ; Q0.16
SPLK #0523Dh, cm22      ; Q0.16
SPLK #06F91h, cm31      ; Q3.13
SPLK #079E6h, cm32      ; Q6.10
SPLK #07A5Fh, cb11      ; Q-3,19 ou D3
SPLK #0BEE7h, cb21      ; Q-2,18 ou D2
SPLK #04F92h, cb31      ; Q3.13
SPLK #09B8Fh, cn11      ; Q1.15
SPLK #0ABE4h, cn12      ; Q5.11
SPLK #0A7ABh, cn13      ; Q1.15
SPLK #05B56h, cn21      ; Q5.11
SPLK #05B59h, cn22      ; Q2.14
SPLK #01A29h, cn23      ; Q0,16
SPLK #04467h, cc11      ; Q2.14
SPLK #04E7Bh, cc21      ; Q0.16

SPLK #08BEFh, dm11      ; Q2.14      ;coeficientes da RN D
SPLK #05BA5h, dm12      ; Q2.14
SPLK #0BD54h, dm21      ; Q0.16
SPLK #0C409h, dm22      ; Q0.16
SPLK #057D7h, dm31      ; Q2.14
SPLK #0BABEh, dm32      ; Q2.14

```

```

        SPLK #0A932h,db11      ; Q1.15
        SPLK #05675h,db21      ; Q-1.17 ou D1
        SPLK #0AF13h,db31      ; Q1.15
        SPLK #05CF3h,dn11      ; Q1.15
        SPLK #081E5h,dn12      ; Q4.12
        SPLK #0AF02h,dn13      ; Q2.14
        SPLK #08914h,dn21      ; Q1.15
        SPLK #0A392h,dn22      ; Q2.14
        SPLK #0678Ch,dn23      ; Q2.14
        SPLK #06829h,dc11      ; Q-3.19 ou D3
        SPLK #04CE3h,dc21      ; Q1.15
        SPLK #04000h,one
        RET
*****
*      Final Atribuição de variáveis      *
*****
*      Limpeza dos Registradores do gerenciador de Eventos EV      *
*
*****
clear_reg
        ZAC
        LDP #DP_EV
        SACL GPTCON
        SACL T1CNT
        SACL T1CMP
        SACL T1PER
        SACL T1CON
        SACL T2CNT
        SACL T2CMP
        SACL T2PER
        SACL T2CON
        SACL T3CNT
        SACL T3CMP
        SACL T3PER
        SACL T3CON
        SACL COMCON
        SACL ACTR
        SACL SACTR
        SACL DBTCON
        SACL CMPR1
        SACL CMPR2
        SACL CMPR3
        SACL SCMPR1
        SACL SCMPR2
        SACL SCMPR3
        SACL CAPCON
        SACL CAPFIFO
        SACL FIFO1
        SACL FIFO2
        SACL FIFO3
        SACL FIFO4

        CLRC SXM      ; Clear Sign Extension Mode
        CLRC OVM      ; Reset Overflow Mode
        RET

```

```

*****
*      Final da limpeza dos Registradores                                *
;=====
; M A I N      C O D E  - starts here
; EV PWM Test
;=====
;EV_PWM:      KICK_DOG                ;Resets WD counter
config_PWM
    LDP      #DP_PF2                ;DP-->7080h-70FFh
    SPLK     #0FFFFh,OPCRA          ;Set IOPA pins and IOPB pins
                                   ;to primary function.
    SPLK     #0FFF3h,OPCRB          ;Set IOPC pins to primary
                                   ;function

    LDP      #DP_EV                ; change dp for EV control regs

; Initialize counter registers
    SPLK     #00000H,T1CNT          ; GP Timer 1 counter
    SPLK     #00000H,T2CNT          ; GP Timer 2 counter
    SPLK     #00000H,T3CNT          ; GP Timer 3 counter

; Initialize period registers

    LDP      #cs1a
    BLDD     PWMPRD,#T1PER
    BLDD     PWMPRD,#T2PER
    BLDD     PWMPRD,#T3PER

    LDP      #DP_EV
; Initialize compare registers for 50% duty cycle, 100KHz frequency
    SPLK     #0005,CMPR1            ; F. Comp U 1 compare value
    SPLK     #0005,CMPR2            ; F. Comp U 2 compare value
    SPLK     #0005,CMPR3            ; F. Comp U 3 compare value

    SPLK     #0010,SCMPR1           ; S. Comp U 1 compare value
    SPLK     #0010,SCMPR2           ; S. Comp U 2 compare value
    SPLK     #0010,SCMPR3           ; S. Comp U 3 compare value

    SPLK     #050,T1CMP ; GP Timer 1 Comp Value
    SPLK     #050,T2CMP ; GP Timer 2 Comp Value
    SPLK     #050,T3CMP ; GP Timer 3 Comp Value

; Configure ACTR - PWM1-6 outputs active low
    SPLK     #00555h,ACTR            ;

; Configure SACTR - PWM7-9 outputs active low
    SPLK     #00015h,SACTR

; Configure COMCON - GPT1, PWM mode, reload on UF, compare enabled,
outputs enabled
    SPLK     #00307h,COMCON
    SPLK     #08307h,COMCON

; Configure GPTCON - All 3 TxCMP outputs configured Active Low
;    SPLK     #00055h,GPTCON
    SPLK     #0006Ah,GPTCON          ;active high

```

```
; Configure T3CON, but wait for T1CON enable
    SPLK #0A8C3h,T3CON ;C-U,ps=1,use T1 ena,int clk,tcmp ena,
*reload on UF

; Configure T2CON
    SPLK #0A8C3h,T2CON ;C-U,ps=1,use T1 ena,int clk, tcmp ena,
reload on UF

; carrega o endereço ISR p/ o vetor de interrupção no bloco B2
    LACC #_tluf_ISR
    LDP #0
    SACL tufintlvec ; carrega o endereço _tluf_ISR no vetor de
Int. corresp.
; Desmascarar interrupções
    LDP #0
    SETBIT IMR,SETB1 ; Desmascarar INT2
    LDP #DP_EV
    SETBIT IMRA,SETB9 ;Habilita T1UFINT(ativa geração da int.
por período GPT1)

; Configure T1CON and start GP Timers 1&2
    SPLK #0A802h,T1CON ;C-U,ps=1,int clk, tcmp ena, reload on UF
    SPLK #0A842h,T1CON ;C-U,ps=1,int clk, tcmp ena, reload on UF

RET
```

Anexo F - Estratégia para Geração dos Sinais MLP com Inserção de Tempo Morto

Estratégia para Geração dos sinais MLP com inserção de tempo morto

A estratégia para a geração de sinais MLP complementares com inserção de tempo morto baseia-se no uso de circuito combinacionais usando os sinais MLP de entrada e sinais MLP com atrasados. A Figura E.1 apresenta a estratégia usada. Os sinais 1 e 2 são os sinais MLP e complementar na origem, os sinais MLP e complementar são os sinais 3 e 4. Os sinais 5 e 6 são os sinais MLP e seu complementar com a inserção do tempo morto igual ao atraso dos sinais 3 e 4. O sinal de saída 5 pode ser obtido pela operação lógica AND entre os sinais 1 e 3, e sinal 6 pela operação lógica entre os sinais 2 e 4.

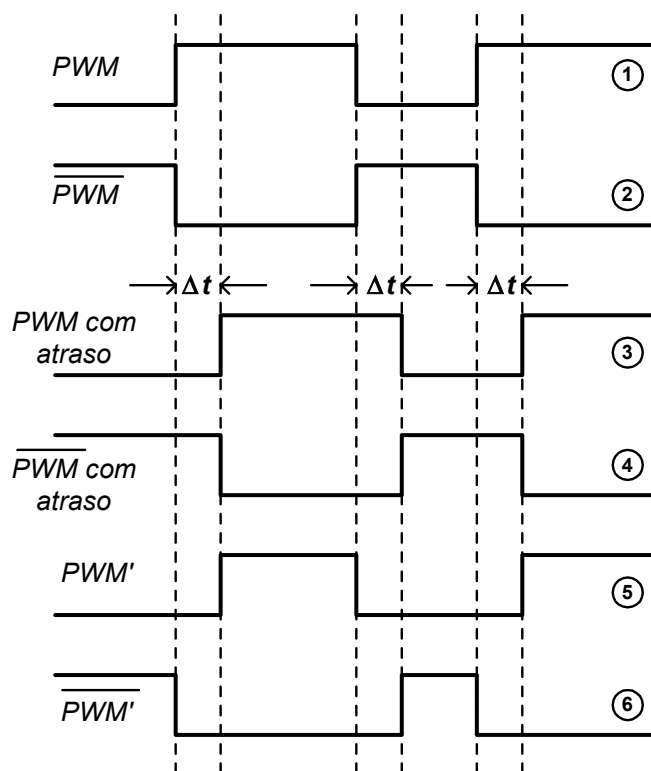


Figura F.1 – Estratégia para a Inserção do tempo Morto

A Figura E-2 apresenta o circuito utilizado para a geração de sinais MLP com inserção de tempo morto. O atraso Δt é obtido com o uso de malha RC. Neste circuito utiliza-se apenas uma malha RC. Os CI's usados foram Inversor Schmitt Triger 74HC14N e Porta NAND de 2 entradas 74HC00N. O valor do tempo morto foi ajustado experimentalmente, com valores malha RC foram $R = 51 \, \Omega$ e $C = 15 \, \eta F$, o tempo morto entre os sinais complementares é $1,40 \, \mu F$.

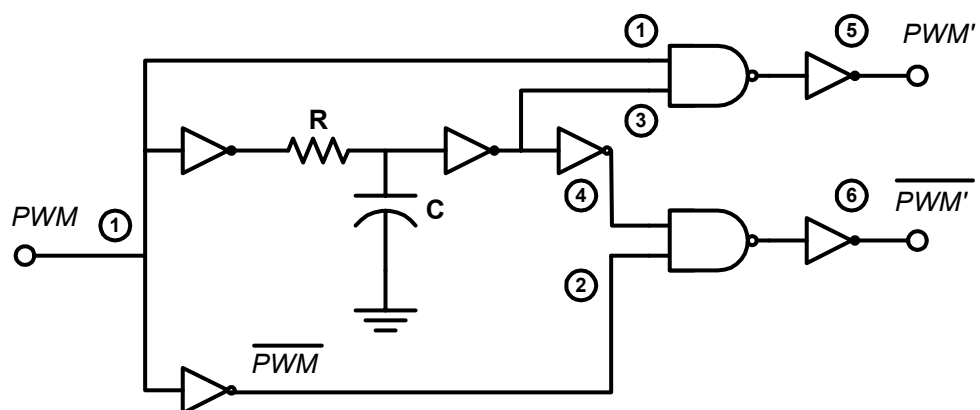


Figura F.2 – Circuito utilizado para Inserção do tempo morto