

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Uma Topologia CMOS Nauta OTA sem
Calibração em Ultra-Baixa Tensão e
Ultra-Baixa Potência

Rodrigo Aparecido da Silva Braga

Novembro de 2018

Itajubá

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Rodrigo Aparecido da Silva Braga

Uma Topologia CMOS Nauta OTA sem
Calibração em Ultra-Baixa Tensão e
Ultra-Baixa Potência

Tese submetida ao Programa de Pós-Graduação
em Engenharia Elétrica como parte dos requisitos
para obtenção do Título de Doutor em Ciências em
Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Dr. Luís Henrique de Carvalho Ferreira
Coorientador: Dr. Gustavo Della Colletta

Novembro de 2018
Itajubá

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Uma Topologia CMOS Nauta OTA sem
Calibração em Ultra-Baixa Tensão e
Ultra-Baixa potência.

Rodrigo Aparecido da Silva Braga

Tese aprovada por banca examinadora em 30 de novembro de 2018, conferindo ao autor o título de **Doutor em Ciências em Engenharia Elétrica.**

Banca Examinadora:

Prof. Dr. Luís Henrique de Carvalho Ferreira
Prof. Dr. Gustavo Della Colletta
Prof. Dr. Robson Luiz Moreno
Prof. Dr. Odilon Oliveira Dutra
Prof. Dr. Dalton Martini Colombro
Prof.a Dra. Paloma Maria Silva Rocha

Itajubá
2018

*À minha esposa, Ana Carolina,
agradeço a Deus todos os dias por nossa união.*

Agradecimentos

Agradeço ao Senhor Deus pela imerecida graça da salvação e por todas as bênçãos em minha vida.

À minha amada esposa, Prof.^a Ana Carolina Oliveira Santos, pelas contribuições a este trabalho, infinita paciência e incondicionais incentivo e amor.

Aos meus pais, Pedro e Janete, pelo suporte em todos os momentos de minha vida.

Ao meu orientador, Prof. Luís Henrique de Carvalho Ferreira, pela confiança depositada e apoio na realização deste trabalho.

Ao meu coorientador, Prof. Gustavo Della Colletta, por ter contribuído na construção do meu aprendizado durante este trabalho.

Ao Prof. Odilon de Oliveira Dutra, pelo compartilhamento do seu conhecimento e auxílio no desenvolvimento deste trabalho.

Aos professores Tales Cleber Pimenta, Robson Luiz Moreno e Paulo Cesar Crepaldi por participarem da minha formação profissional desde a graduação e aos demais professores e colegas do Grupo de Microeletrônica da Unifei, pelas discussões, sugestões e contribuições dadas a esta tese.

Ao Prof. Wilhelmus Adrianus Maria van Noije pelas contribuições dadas a este trabalho durante o exame de qualificação.

A todos os colegas professores da Unifei - *Campus* de Itabira, pelo suporte e solidariedade durante meu período de doutoramento.

Aos meus amigos, que vivenciaram a realização deste projeto, por seu incontestável apoio e pelos momentos de descontração e paciência.

Por fim, agradeço ao CNPq, Capes, Fapemig e Mosis, por promoverem o suporte financeiro necessário para o desenvolvimento deste trabalho.

"Justificados, pois, mediante a fé, temos paz com Deus por meio de nosso Senhor Jesus Cristo; por intermédio de quem obtivemos igualmente acesso, pela fé, a esta graça na qual estamos firmes; e gloriamo-nos na esperança da glória de Deus."

Romanos 5:1-2

Resumo

Este trabalho apresenta a topologia do amplificador operacional de transcondutância Nauta OTA, construído com inversores CMOS intrinsecamente casados, dispensando qualquer tipo de circuito de calibração. Adicionalmente, essa topologia é implementada em um processo CMOS utilizando transistores de canal não uniformemente dopado do tipo halo-implantado, sendo projetada para se adequar a aplicações G_m -C de baixa frequência, tais como aplicações biomédicas. O projeto do inversor CMOS intrinsecamente casado é baseado na utilização do transistor MOS matricial halo-implantado operando em inversão fraca. Neste trabalho é demonstrado que essa técnica é capaz de estabilizar a tensão de *switching point* de um inversor CMOS, reduzindo sua variação estatística e permitindo o aumento do ganho, o que é desejado para projetos de circuitos G_m -C.

Portanto, baseando-se na topologia original proposta por Bram Nauta (e trabalhos derivados), focados na sintonia de filtros VHF, este trabalho adapta o Nauta OTA para aplicações com G_m constante. O circuito proposto apresenta uma transcondutância de $2,46\text{-}\mu\text{S}$ quando alimentado com $0,25\text{-V}$, dissipando 55-nW durante sua operação, o que o torna adequado para aplicações de baixa potência.

Palavras-chave: circuito OTA baseado em inversores, inversão fraca, transistores MOS halo-implantados, aplicações de baixa-tensão e baixa-potência.

Abstract

This thesis presents a calibration-less Nauta operational transconductance amplifier built with intrinsically matched CMOS inverters, therefore, dispensing any kind of calibration circuit. In addition, the circuit is implemented in IBM 130-nm CMOS processes using non-uniformly doped MOS transistors, and is specially designed to suit low frequency G_m -C applications such as biomedical applications. The intrinsically matched CMOS inverters design relies on the utilization of the distributed layout of halo-implanted MOS transistors operating in weak inversion. In this work we demonstrate that this technique stabilizes the threshold voltage of the CMOS inverter, reducing its statistical variation, besides allowing gain enhancement and its adjustment, which is desirable for the G_m -C design.

Based on the original topology proposed by Bram Nauta (and its derivative works), focusing on the tunability of VHF filters, we adapt this topology for constant G_m applications. Moreover, the proposed circuit features a $2,46\text{-}\mu\text{S}$ transconductance when supplied with $0,25\text{-V}$, dissipates 55-nW during operation making it suitable to low power applications.

Key-words: inverter based OTA, weak inversion, halo-implanted MOS transistors, low-voltage and low-power applications.

Lista de ilustrações

Figura 1 – Circuito proposto por Bram Nauta [1]	16
Figura 2 – Circuito esquemático do inversor CMOS.	20
Figura 3 – Estrutura do transistor MOS matricial halo-implantado nMOS $m \times p$	22
Figura 4 – <i>Layout</i> do transistor nMOS matricial halo-implantado 4x4.	23
Figura 5 – Curvas de transferências de tensão dos inversores para os transistores MOS matriciais e equivalentes unitários	24
Figura 6 – Derivadas das CTTs dos inversores para os transistores MOS matriciais e equivalentes unitários	24
Figura 7 – Histogramas para tensão V_{SP} para o transistor MOS matricial	26
Figura 8 – Histogramas para tensão V_{SP} para o transistor equivalente unitário	26
Figura 9 – Circuito esquemático Nauta OTA.	29
Figura 10 – Modelo de pequenos sinais para Nauta OTA.	30
Figura 11 – <i>Layout</i> sobre micrografia do circuito fabricado.	35
Figura 12 – Resposta em frequência típica para Nauta OTA.	37
Figura 13 – Corrente diferencial de saída típica para Nauta OTA.	38
Figura 14 – Transcondutância diferencial de saída típica para Nauta OTA.	39
Figura 15 – Densidade de ruído referenciado à entrada típico para Nauta OTA.	39
Figura 16 – Espectro de saída simulado para distorção harmônica do Nauta OTA.	40
Figura 17 – Histograma do teste de Monte Carlo para a tensão de <i>offset</i>	41
Figura 18 – Histograma do teste de Monte Carlo para a CMRR.	42
Figura 19 – Histograma do teste de Monte Carlo para a PSRR.	42
Figura 20 – Resposta em frequência medida para Nauta OTA.	45
Figura 21 – Corrente diferencial de saída medida para Nauta OTA.	47
Figura 22 – Transcondutância diferencial de saída medida para Nauta OTA.	48
Figura 23 – Medida de densidade de ruído referenciado à entrada	48
Figura 24 – Resposta transiente do integrador G_m -C para entrada quadrada	49
Figura 25 – Resposta transiente do integrador G_m -C para entrada senoidal	50
Figura 26 – Espectro de saída medido com o valor da componente HD ₂	50
Figura 27 – Histograma para tensão de <i>offset</i> V_{OS} estimada para Nauta OTA.	51
Figura 29 – Histograma para PSRR medido para Nauta OTA.	52
Figura 30 – Corrente diferencial de saída calculada para Nauta OTA.	68
Figura 31 – Transcondutância diferencial de saída calculada para Nauta OTA.	68
Figura 32 – Diagrama de Bode calculado para a resposta em frequência.	69

Lista de tabelas

Tabela 1 – Características dos transistores MOS matriciais halo-implantados. . . .	23
Tabela 2 – Comparação entre inversor CMOS matricial e equivalente unitário. . .	25
Tabela 3 – Simulação de Monte Carlo para tensão V_{SP}	27
Tabela 4 – Simulação de <i>corners</i> para tensão V_{SP} em condições nominais de ali- mentação e temperatura	27
Tabela 5 – Simulação de <i>corners</i> para tensão V_{SP} em condições nominais de fabri- cação e temperatura	28
Tabela 6 – Simulação de <i>corners</i> para tensão V_{SP} em condições nominais de fabri- cação e alimentação	28
Tabela 7 – Dimensões do Nauta OTA.	34
Tabela 8 – Capacitância de cada nó da saída para o Nauta OTA sem calibração .	36
Tabela 9 – Resultados para simulação da resposta em frequência para Nauta OTA	36
Tabela 10 – Desempenho simulado típico do Nauta OTA 8x8.	43
Tabela 11 – Resultados para medida da resposta em frequência para Nauta OTA .	46
Tabela 12 – Resumo do desempenho do Nauta OTA.	53
Tabela 13 – Comparação entre Nauta OTA proposto e outros OTAs sub-1V.	55
Tabela 14 – Valores extraídos por meio de simulação computacional.	66
Tabela 15 – Comparação entre valores simulados, medidos e calculados.	70

Lista de símbolos

A_o	Ganho em malha aberta do circuito
C_L	Capacitância de carga
C_P	Capacitância parasita
f_t	Frequência de ganho unitário
G_m	Transcondutância de um amplificador operacional de transcondutância
$G_{m_{CM}}$	Transcondutância de modo-comum um amplificador operacional de transcondutância
$G_{m_{DD}}$	Transcondutância relativa à fonte de alimentação de amplificador operacional de transcondutância
g_m	Transcondutância de um transistor MOS
g_o	Condutância de saída de um transistor MOS
I_{D0}	Corrente característica do transistor MOS em inversão fraca
I_{DS}	Corrente dreno-fonte em um transistor MOS
I_{od}	Corrente de saída diferencial
I_{SC}	Corrente de curto circuito do inversor CMOS
k	Constante de Boltzmann
K_F	Parâmetro de ruído <i>flicker</i>
L	Comprimento do canal de um transistor MOS
n	Fator de inclinação em inversão fraca
q	Carga do elétron
T	Temperatura em Kelvin
V_{DD}	Tensão da fonte de alimentação
V_{DS}	Tensão dreno-fonte em um transistor MOS
V_{GS}	Tensão porta-fonte em um transistor MOS

V_{id}	Tensão de entrada diferencial
V_{OS}	Tensão de <i>offset</i>
V_{SP}	Tensão de <i>switching point</i> do inversor CMOS
V_t	Tensão de limiar de um transistor MOS
W	Largura do canal de um transistor MOS
$\overline{v_n^2}$	Potência de ruído referenciado à entrada

Lista de abreviaturas e siglas

AC	<i>Alternating current</i>
CMOS	<i>Complementary metal-oxide-semiconductor</i>
CMRR	<i>Common mode rejection ratio</i>
CTT	Curva de transferência de tensão
DC	<i>Direct current</i> ou corrente contínua
DIBL	<i>Drain induced barrier lowering</i>
DITS	<i>Drain induced threshold-voltage shift</i>
FoM	<i>Figure of merit</i>
HD	<i>Harmonic distortion</i>
LDIBL	<i>Long drain induced barrier lowering</i>
MF	Margem de fase
MOSFET	<i>Metal-oxide-semiconductor field-effect transistor</i>
OTA	<i>Operational transconductance amplifier</i>
PSRR	<i>Power supply rejection ratio</i>
THD	<i>Total harmonic distortion</i>
VHF	<i>Very high frequency</i>

Sumário

	Sumário	14
1	INTRODUÇÃO	16
1.1	Considerações gerais	16
1.2	Justificativa	17
1.3	Objetivo	18
1.4	Estrutura do trabalho	18
2	INVERSOR CMOS INTRINSECAMENTE CASADO	19
2.1	Inversor CMOS operando inversão fraca	19
2.1.1	Modelo AC para pequenos sinais	21
2.1.2	Modelo de ruído	21
2.2	Projeto do Inversor CMOS intrinsecamente casado	22
2.3	Considerações finais	28
3	MODELAGEM DO NAUTA OTA SEM CALIBRAÇÃO EM INVERSÃO FRACA	29
3.1	Modelagem do Nauta OTA sem calibração em inversão fraca	29
3.1.1	Modelo de transcondutância	29
3.1.2	Modelo AC de pequenos sinais	30
3.1.3	Modelo de ruído	32
3.1.4	Modelo de distorção harmônica	32
3.1.5	Razão de rejeição de tensão de modo-comum	32
3.1.6	Razão de rejeição de tensão de alimentação	33
3.2	Considerações finais	33
4	IMPLEMENTAÇÃO E CARACTERIZAÇÃO DO NAUTA OTA SEM CALIBRAÇÃO EM INVERSÃO FRACA	34
4.1	Implementação do Nauta OTA sem calibração em inversão fraca	34
4.2	Simulação do Nauta OTA sem calibração em inversão fraca	35
4.2.1	Simulação da resposta em frequência	35
4.2.2	Simulação da transcondutância	38
4.2.3	Simulação do ruído	39
4.2.4	Simulação da distorção harmônica	40
4.2.5	Simulação da tensão de <i>offset</i>	40
4.2.6	Simulação da CMRR e PSRR	41

4.2.7	Resumo do desempenho simulado	41
4.3	Caracterização do Nauta OTA sem calibração em inversão fraca . .	43
4.3.1	Caracterização da resposta em frequência	44
4.3.2	Caracterização da transcondutância	46
4.3.3	Caracterização do ruído	47
4.3.4	Caracterização da distorção harmônica	48
4.3.5	Estimativa do valor da tensão de <i>offset</i>	49
4.3.6	Caracterização da CMRR e PSRR	51
4.4	Desempenho do Nauta OTA sem calibração	53
5	CONCLUSÃO	56
5.1	Trabalhos Futuros	57
	APÊNDICE A – EQUACIONAMENTO DAS EXPRESSÕES	58
	APÊNDICE B – VALIDAÇÃO NUMÉRICA DOS MODELOS . . .	66
	REFERÊNCIAS	71

1 Introdução

1.1 Considerações gerais

Circuitos amplificadores operacionais de transcondutância, ou *operational transconductance amplifiers* (OTA), são usualmente associados à capacitores para a implementação de filtros de tempo contínuo do tipo G_m -C, úteis no processamento analógico de sinais. Tradicionalmente, os OTAs têm sido implementados em tecnologia metal-óxido-semicondutor complementar, ou *complementary metal-oxide-semiconductor* (CMOS), utilizando diversas técnicas de projeto e arquiteturas de circuito, sendo a maior parte destas soluções executadas com os transistores MOS operando na região de inversão forte.

No notável trabalho de Bram Nauta [1, 2] é proposto um OTA baseado no uso de seis inversores CMOS, para a implementação de um circuito G_m -C com foco na sintonia de filtros de alta frequência (VHF), por meio da variação do valor de G_m dos inversores.

De forma resumida, a operação do Nauta OTA mostrado na Figura 1, pode ser descrita como: os inversores CMOS Inv1 e Inv2 atuam como os elementos de transcondutância realizando a conversão V-I, enquanto que os inversores CMOS Inv3-Inv6 são responsáveis pela estabilização da tensão de modo-comum e implementação da técnica de aprimoramento de ganho pela condutância negativa [1]

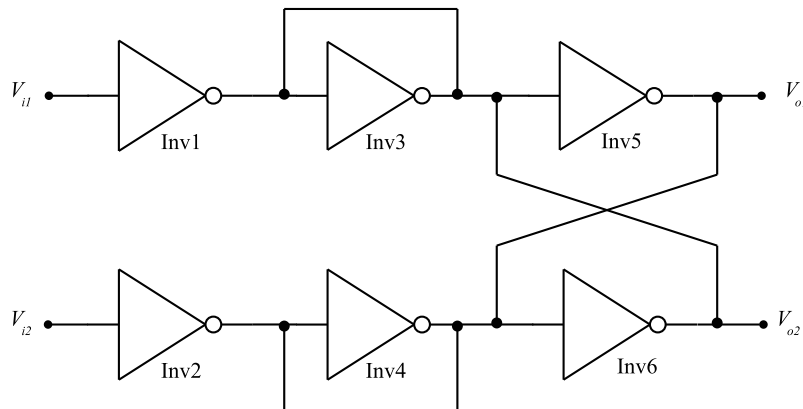


Figura 1 – Circuito proposto por Bram Nauta [1]

Considerando a análise apresentada em [1], tem-se um circuito OTA com duas características de interesse: (i) ser *fully* diferencial sem possuir a estrutura de par diferencial com corrente de *tail* (ou carga ativa) e (ii) possuir um circuito de controle de modo-comum simplificado. Baseando-se nestas características e na avaliação apresentada em [1], conclui-se que é possível obter um OTA com G_m constante, adequado para filtros G_m -C de baixas frequências, mantendo-se todos os seis inversores idênticos. Desta

forma, é viável a implementação deste OTA sem a necessidade de circuitos adicionais para calibração de *offset* e/ou frequência de operação.

Adicionalmente, uma topologia baseada em inversores CMOS, polarizados na região de inversão fraca [3], permite o funcionamento do circuito pela saturação de apenas dois transistores MOS empilhados. Esta característica proporciona a possibilidade operação do Nauta OTA em ultra-baixas tensões de alimentação, desta forma, atendendo aos requisitos de circuitos para dispositivos portáteis, com baixo consumo de potência.

1.2 Justificativa

O circuito Nauta OTA também está inserido no contexto do desenvolvimento das tecnologias CMOS em escala nanométrica, otimizadas para construção de circuitos digitais. Os processos de fabricação para tais tecnologias possuem elevado grau de descasamento de parâmetros e exigem fontes de alimentação com valores cada vez menores [4, 5]. Contudo, o uso de fontes de alimentação com baixos valores vai de encontro à necessidade da construção de circuitos amplificadores para aplicações de baixa-tensão e/ou baixa-potência, promovendo considerável eficiência energética.

Neste contexto, os processos de fabricação possuem um elevado grau de descasamento, o que dificulta a construção de inversores CMOS idênticos. Além disso, a escala nanométrica favorece o surgimento dos efeitos de transistores de canal curto, como a redução da barreira induzida pelo dreno (DIBL), diminuindo a impedância dreno-fonte e, conseqüentemente degradando o ganho intrínseco dos transistores MOS na operação analógica [5].

Para se superar os desafios impostos pelo elevado grau de descasamento e da operação em escala nanométrica, muitas estratégias para construção de filtros G_m -C baseados na topologia do Nauta OTA foram descritas na literatura. Pode-se elencar como estas estratégias: o uso de duas fontes de alimentação [1], transistores *floating-gate* com múltiplas entradas [6], transistores com grande área de *gate* [7], chaveamento de transistores série-paralelo [8], transistores *double-gate* [9], transistores *double-pair* CMOS [10], controle da polarização do substrato dos transistores [11], compensação da polarização pela fonte de alimentação [12], circuito de controle digital para chaveamento de inversores CMOS *tri-state* [13], entre outros. Estas estratégias estão focadas na sintonia de filtros pela mudança da frequência de corte e fator de qualidade para variação da transcondutância de alguns inversores de forma a se contornar as adversidades impostas pelo descasamento no processo de fabricação.

Desta forma, busca-se nesta tese uma topologia que elimine a necessidade de circuitos adicionais para calibração do Nauta OTA, obtendo-se um OTA com G_m constante, superando os desafios impostos pelas tecnologias CMOS em escala nanométrica.

1.3 Objetivo

Esta tese tem como objetivo principal propor a construção do circuito Nauta OTA utilizando-se inversores CMOS intrinsecamente casados, dispensando qualquer tipo de técnica de calibração, abdicando da sintonia pela variação de G_m , tornando-o adequado para aplicações G_m -C com G_m constante, operando com baixa tensão de alimentação. Associado a este objetivo, será modelado e projetado o inversor CMOS intrinsecamente casado utilizando transistores MOS matriciais halo-implantados.

Para alcançar tais objetivos, o Nauta OTA sem calibração será projetado para uma tensão de alimentação de 0,25-V com uma tensão de modo-comum igual a metade da tensão de alimentação, adequado para aplicações G_m -C de baixas frequências. Será utilizada a técnica de transistores MOS halo-implantados em um *layout* matricial [14], originalmente proposta por [15], tornando possível aumentar impedância de saída e reduzir o descasamento da tensão de *switching point* do inversor CMOS intrinsecamente casado, na operação analógica. Com este aprimoramento na célula básica do Nauta OTA será concebido um amplificador *fully* diferencial de baixo consumo de potência e baixa tensão de *offset*, adequado para aplicações biomédicas.

1.4 Estrutura do trabalho

Este documento está organizado em cinco capítulos, sendo um de introdução, um de conclusão e os demais de desenvolvimento. No Capítulo 2, é apresentado o inversor CMOS intrinsecamente casado, sua modelagem em inversão fraca, simulação e características principais. Por fim, no Capítulo 3 o circuito Nauta OTA é modelado para operação em inversão fraca, sendo apresentado todo o equacionamento, projeto, medições e discussões relacionadas à operação do circuito.

O Apêndice A fornece suporte aos equacionamentos apresentados nos Capítulos 2 e 3. Por fim, o Apêndice B apresenta a validação numérica dos modelos apresentados, comparando com os valores medidos e/ou simulados.

2 Inversor CMOS intrinsecamente casado

O circuito Nauta OTA possui em sua arquitetura seis inversores CMOS, idealmente casados, para a amplificação de sinais. Portanto, este capítulo descreve a operação do inversor CMOS como elemento de transcondutância em inversão fraca, apresentando seu modelo de pequenos sinais e de ruído. Posteriormente será apresentado o projeto e simulação do inversor CMOS intrinsecamente casado, construído com transistores MOS matriciais halo-implantados, comparando as características das curvas de transferências da tensão e ganho em malha aberta, com o inversor CMOS construído com transistores MOS halo-implantado unitários equivalentes.

2.1 Inversor CMOS como elemento de transcondutância em inversão fraca

Neste ponto, é importante compreender como o inversor CMOS opera em inversão fraca. Tendo em vista que, os transistores MOS halo-implantados, quando associados em uma estrutura série-paralelo, operam como um único transistor MOS de canal longo uniformemente dopado [14]. Logo, para esta estrutura, tem-se de [3] que a corrente I_{DS} , desconsiderando-se o efeito de corpo, é dada por

$$I_{DS} = I_{D0} \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS}}{nkT} \right) \left[1 - \exp \left(-q \frac{V_{DS}}{kT} \right) \right], \quad (2.1)$$

onde I_{D0} é a corrente característica, n é o fator de inclinação em inversão fraca e todos os outros símbolos possuem seus significados usuais. Sendo que o transistor pode ser considerando saturado em inversão fraca quando $V_{DS} \geq 3kTq$ e o efeito da tensão V_{DS} pode ser desconsiderado em (2.1).

Avaliando-se o esquemático do inversor CMOS, apresentado na Figura 2, e obtendo-se as correntes I_p e I_n em termos de (2.1), tem-se

$$I_p = I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_i}{n_p kT} \right), \quad (2.2a)$$

e

$$I_n = I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{n_n kT} \right), \quad (2.2b)$$

quando os dois transistores estão operando na região de saturação em inversão fraca.

São conhecidas da literatura duas propriedades que definem as características de um inversor CMOS [16]: sua tensão de *switching point*, V_{SP} , e sua corrente de curto circuito, I_{SC} . A tensão de *switching point* é definida quando $V_i = V_o$ e, nesta condição,

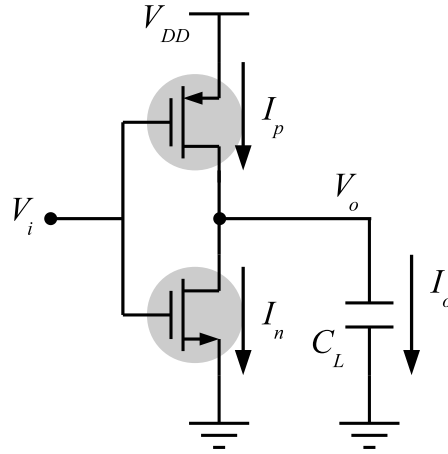


Figura 2 – Circuito esquemático do inversor CMOS.

ambos os transistores conduzem o mesmo valor de corrente, permitindo a definição da corrente de curto circuito. As equações (2.2a) e (2.2b) permitem a definição de uma expressão para a tensão de *switching point* conforme

$$V_{SP} \triangleq \frac{\frac{kT}{q} \ln \left(\frac{I_{D0p} \left(\frac{W}{L} \right)_p}{I_{D0n} \left(\frac{W}{L} \right)_n} \right) + \frac{V_{DD}}{n_p}}{\frac{1}{n_p} + \frac{1}{n_n}}, \quad (2.3)$$

quando os dois transistores estão operando na região de saturação em inversão fraca. Portanto, pode-se estabelecer um valor para a tensão de *switching point* escolhendo-se valores apropriados de geometria para os transistores e/ou valores apropriados para tensão de alimentação.

A análise apresentada em [1] mostra que utilizar a tensão de *switching point* do inversor na metade da tensão de alimentação permite manter todos os transistores na saturação, mesmo que para baixas tensões de alimentação. Desta forma, pode-se assumir a tensão de modo-comum para operação do Nauta igual à metade da tensão de alimentação. Portanto, considerando $V_{DD} = 2V_{SP}$ em (2.2), pode-se definir a corrente de curto circuito como

$$I_{SC} \triangleq I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP}}{n_p kT} \right), \quad (2.4a)$$

ou

$$I_{SC} \triangleq I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP}}{n_n kT} \right), \quad (2.4b)$$

quando os dois transistores estão operando na região de saturação em inversão fraca. Observa-se que as dimensões dos transistores já foram definidas em (2.3) quando se estabeleceu a tensão de *switching point* do inversor. Logo, tem-se a corrente de saída do

inversor CMOS, I_o , igual a

$$I_o = I_{SC} \left[\exp \left(q \frac{V_{SP} - V_i}{n_p kT} \right) - \exp \left(-q \frac{V_{SP} - V_i}{n_n kT} \right) \right], \quad (2.5)$$

sendo a derivada, $\partial I_o / \partial V_i$, dada por

$$\frac{\partial I_o}{\partial V_i} = -q \frac{I_{SC}}{kT} \left[\frac{1}{n_p} \exp \left(q \frac{V_{SP} - V_i}{n_p kT} \right) + \frac{1}{n_n} \exp \left(-q \frac{V_{SP} - V_i}{n_n kT} \right) \right]. \quad (2.6)$$

Assumindo-se a operação em inversão fraca no ponto de polarização $V_i = V_{SP}$, pode-se determinar a transcondutância do inversor CMOS, G_m^{inv} , de acordo com

$$G_m^{inv} = \left. \frac{\partial I_o}{\partial V_i} \right|_{V_i=V_{SP}} = -q \frac{I_{SC}}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right) = -(g_{m_p} + g_{m_n}), \quad (2.7)$$

em que g_{m_p} e g_{m_n} são as transcondutâncias dos transistores pMOS e nMOS no ponto de polarização V_{SP} .

2.1.1 Modelo AC para pequenos sinais

A função de transferência do modelo de pequenos sinais para um inversor CMOS em torno do ponto de polarização V_{SP} é dada por

$$\frac{v_o(s)}{v_i(s)} = \frac{G_m^{inv}}{s(C_L + C_P^{inv}) + g_{o_p} + g_{o_n}}, \quad (2.8)$$

em que C_L é o capacitor de carga, C_P^{inv} representa a capacitância parasita devido a geometria do inversor CMOS e g_{o_p} e g_{o_n} são as condutâncias dos transistores pMOS e nMOS.

Desta forma, a expressão do módulo do ganho para o inversor CMOS, A_o^{inv} , é diretamente obtida de (2.8), conforme

$$A_o^{inv} = \frac{v_o}{v_i} = \frac{g_{m_p} + g_{m_n}}{g_{o_p} + g_{o_n}}, \quad (2.9)$$

e a frequência de ganho unitário para o inversor CMOS, f_t^{inv} , pode ser escrita como

$$f_t^{inv} = \frac{g_{m_p} + g_{m_n}}{2\pi(C_L + C_P^{inv})}. \quad (2.10)$$

2.1.2 Modelo de ruído

O ruído de entrada equivalente para um inversor CMOS, $\overline{v_n^2}^{inv}$, em um intervalo de frequência definido $f_b - f_a$ é dado pela soma da potência de ruído dos transistores pMOS e nMOS na operação em inversão fraca. Considerando a potência de ruído de cada transistor MOS estabelecida em [3], tem-se para o inversor CMOS

$$\overline{v_n^2}^{inv} = 2kT \left(\frac{n_p}{g_{m_p}} + \frac{n_n}{g_{m_n}} \right) (f_b - f_a) + \ln \left(\frac{f_b}{f_a} \right) \left[\frac{K_{F_p}}{C_{ox_p} W_p L_p} + \frac{K_{F_n}}{C_{ox_n} W_n L_n} \right], \quad (2.11)$$

na qual K_{F_i} é o parâmetro de ruído *flicker* e todos os outros símbolos possuem seus significados usuais.

2.2 Projeto do Inversor CMOS intrinsecamente casado

Os transistores MOS halo-implantados possuem as características de baixa impedância de saída e descasamento da tensão de *switching point*, discutidas em [14, 17, 18]. Portanto, para se evitar estes efeitos indesejados, faz-se uso da implementação utilizando-se o transistor MOS matricial halo-implantado, apresentado na Figura 3. Desta forma, pode-se aumentar a impedância de saída e estabilizar a tensão de *switching point* do transistor MOS halo-implantado para um único valor, independente da geometria do dispositivo [14]. Logo, utilizando-se estas características do transistor MOS matricial halo-implantado, pode-se projetar um inversor CMOS intrinsecamente casado, o qual dispensa o uso das técnicas de calibração apresentadas na literatura para o projeto do Nauta OTA. Como exemplo, a Figura 4 apresenta o layout do transistor MOS matricial halo-implantado de dimensão 4x4, ilustrando seus aspectos construtivos e a presença de transistores *dummy*.

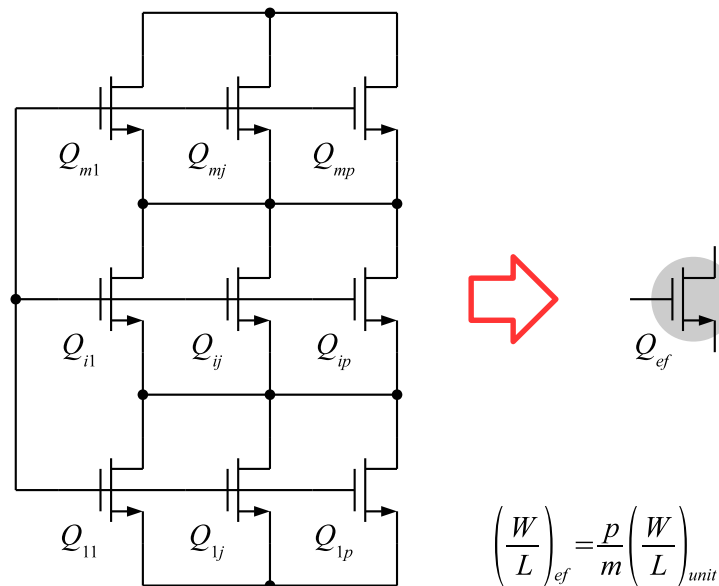


Figura 3 – Estrutura do transistor MOS matricial halo-implantado nMOS construído com $m \times p$ transistores nMOS halo-implantados unitários (a esquerda) e o sua dimensão efetiva (a direita).

Portanto, para o projeto e simulação do inversor CMOS intrinsecamente casado, foram utilizados os transistores MOS matriciais halo-implantados do tipo pMOS e nMOS nas dimensões 1x1, 2x2, 4x4 e 8x8 na ferramenta Cadence Spectre com BSIM4v4 no processo CMOS IBM 130-nm. Todos os transistores unitários pMOS do transistor MOS matricial halo-implantado possuem sua relação largura/comprimento iguais a $2,0\text{-}\mu\text{m}/2,0\text{-}\mu\text{m}$ e os transistores nMOS possuem a relação $0,4\text{-}\mu\text{m}/0,6\text{-}\mu\text{m}$. Esta razão de aspecto estabiliza as tensões de *switching point* dos transistores MOS matriciais halo-implantados do tipo pMOS e nMOS em 230-mV e 190-mV, respectivamente. A Tabela 1 apresenta um resumo das características dos transistores MOS matriciais halo-implantados. Neste

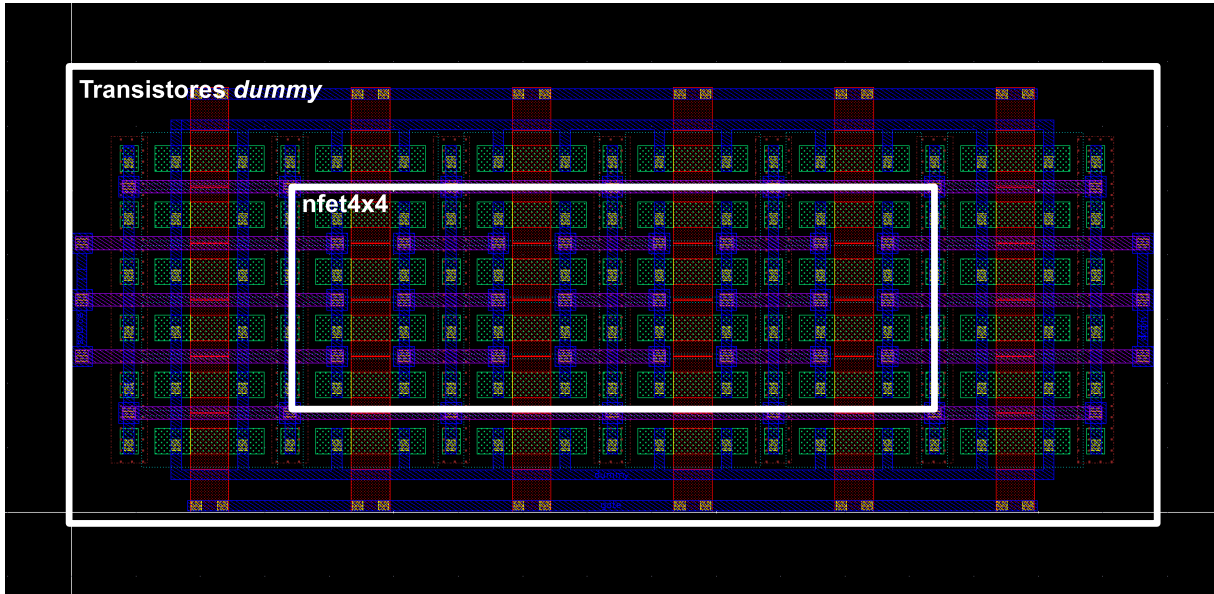


Figura 4 – *Layout* do transistor nMOS matricial halo-implantado 4x4.

Tabela 1 – Características dos transistores MOS matriciais halo-implantados.

$(W/L)_{eq}$	pMOS	nMOS
1x1	2,0- $\mu\text{m}/2,0\text{-}\mu\text{m}$	0,4- $\mu\text{m}/0,6\text{-}\mu\text{m}$
2x2	4,0- $\mu\text{m}/4,0\text{-}\mu\text{m}$	0,8- $\mu\text{m}/1,2\text{-}\mu\text{m}$
4x4	8,0- $\mu\text{m}/8,0\text{-}\mu\text{m}$	1,6- $\mu\text{m}/2,4\text{-}\mu\text{m}$
8x8	16,0- $\mu\text{m}/16,0\text{-}\mu\text{m}$	3,2- $\mu\text{m}/4,8\text{-}\mu\text{m}$
V_t	230-mV	190-mV
n	1,16	1,36

ponto, deve-se deixar claro que o inversor CMOS intrinsicamente casado construído com os transistores MOS matriciais halo-implantados 1x1 é igual ao seu equivalente unitário e é utilizado apenas como referência nas simulações realizadas durante o projeto.

Adicionalmente, foram conectados em paralelo seis transistores pMOS e três transistores nMOS matriciais para garantir a operação em inversão fraca do inversor CMOS, atendendo às especificações para uma tensão de alimentação, V_{DD} , de 0,25-V, uma tensão de *switching point*, V_{SP} , de 125-mV e uma corrente de curto circuito, I_{SC} , de 35-nA. Estas especificações conduzem a uma relativamente baixa transcondutância, na ordem de unidades de μS , tornando o Nauta OTA adequado para aplicações G_m -C em baixas frequências.

A Figura 5 mostra as Curvas de Transferência de Tensão (CTT) dos inversores construídos com os transistores MOS matriciais halo-implantados (linhas sólidas) e seus respectivos transistores equivalentes (linhas tracejadas). Avaliando-se as CTTs dos inversores CMOS com transistores MOS matriciais halo-implantados, pode-se observar a estabilização da tensão de *switching point* como definido em (2.3). Ademais, a tensão de

switching point dos inversores CMOS construídos com transistores equivalentes diminui para dimensões maiores devido ao efeito DITS [17], já que a mudança nas dimensões dos transistores MOS halo-implantados também altera o ponto de operação V_{SP} do transistor CMOS.

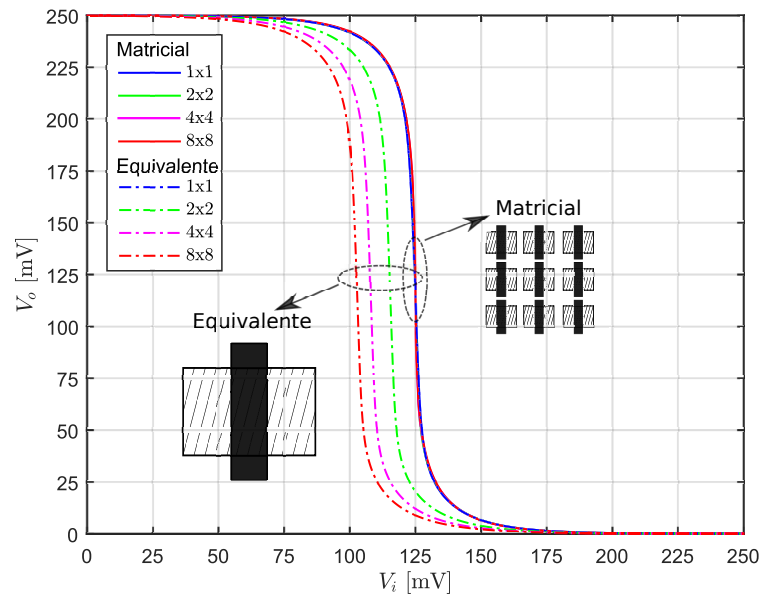


Figura 5 – Curvas de transferências de tensão dos inversores para os transistores MOS matriciais halo-implantados (linhas sólidas) e equivalentes unitários (linhas sólidas) alimentados com $V_{DD} = 0,25 \cdot V$.

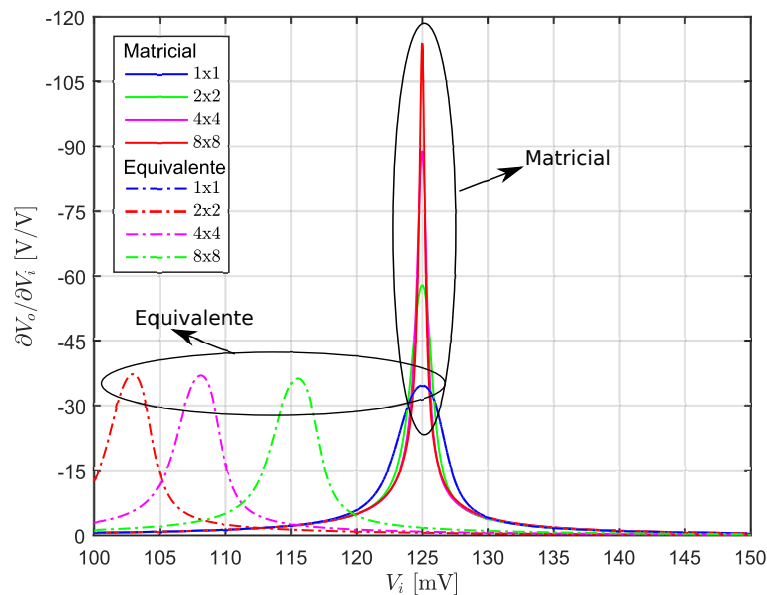


Figura 6 – Derivadas das CTTs dos inversores para os transistores MOS matriciais halo-implantados (linhas sólidas) e equivalentes unitários (linhas sólidas) alimentados com $V_{DD} = 0,25 \cdot V$.

A Figura 6 mostra as derivadas das CTTs, $\partial V_o/\partial V_i$, dos inversores construídos com os transistores MOS matriciais halo-implantados (linhas sólidas) e seus respectivos transistores equivalentes unitários (linhas tracejadas). Por meio delas é possível determinar a magnitude do ganho A_o^{inv} , definido em (2.9). Pode-se observar que a magnitude de A_o^{inv} para o transistor MOS matricial halo-implantado aumenta juntamente com o aumento da dimensão do transistor MOS matricial, já que isto aumenta a impedância de saída dos transistores do inversor CMOS. Na prática, esta característica reduz os valores das condutâncias de saída g_{o_p} e g_{o_n} em (2.9), melhorando a magnitude do ganho do inversor CMOS com transistores MOS matriciais.

Além disso, a Figura 6 também mostra que a magnitude do ganho dos inversores CMOS com transistores MOS equivalentes halo-implantados permanece constante, independente da geometria. Ademais, a Figura 6 reforça o deslocamento do ponto de polarização V_{SP} para os inversores CMOS com transistores MOS equivalentes halo-implantados. Os valores quantitativos para a magnitude do ganho A_o^{inv} para os inversores CMOS estão mostrados na Tabela 2 e sustentam a análise realizada por meio das Figuras 5 e 6.

Tabela 2 – Magnitude do ganho dos inversores CMOS com transistor MOS matricial halo-implantado e respectivo equivalente.

A_o^{inv} [V/V]	Matricial	Equivalente
1x1	34,63	34,63
2x2	57,79	36,27
4x4	88,85	36,99
8x8	113,90	37,29

Conforme mostrado na Figura 1, a topologia do circuito Nauta OTA utiliza dois inversores CMOS *self-connected* como parte do arranjo responsável por manter a tensão de modo-comum constante. Desta forma, a estabilização da tensão de *switching point* é traduzida em uma estabilização da tensão de modo-comum para o inversor CMOS *self-connected*. Além disso, espera-se que o uso do transistor MOS matricial halo-implantado reduza o espalhamento estatístico natural da tensão de *switching point*, causado pelo descasamento associado ao uso de transistores MOS halo-implantados [14, 17, 18]. Para comprovar tais expectativas, foi realizada a simulação de Monte Carlo para os inversores CMOS, comparando o uso do transistor MOS matricial halo-implantando e seu respectivo equivalente.

Os histogramas das Figuras 7 e 8 mostram a dispersão dos valores de V_{SP} para os inversores CMOS com transistor MOS matricial halo-implantado e equivalente, respectivamente. Na Figura 7, pode-se observar que, independente da geometria, o inversor CMOS com transistor MOS matricial halo-implantado mantém a tensão de *switching point* em torno de 125-mV, sendo este o valor especificado para o projeto. Adicionalmente, o au-

mento na dimensão do transistor MOS matricial halo-implantando reduz o espalhamento estatístico de V_{SP} do inversor CMOS e, portanto, permite a construção do inversor CMOS intrinsecamente casado.

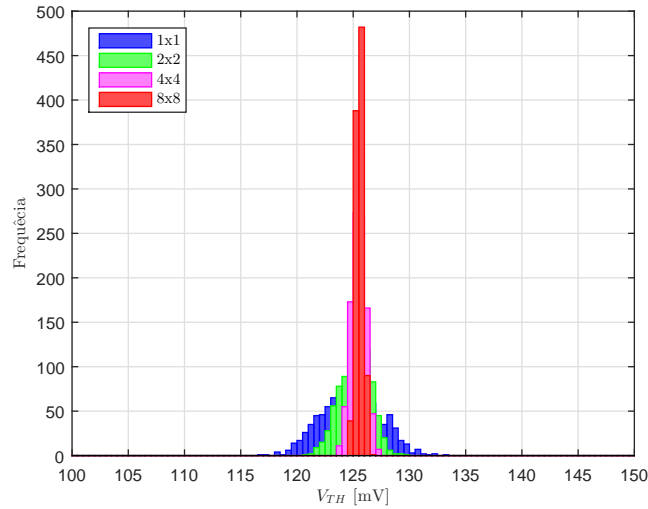


Figura 7 – Histogramas da simulação de Monte Carlo para tensão V_{SP} com curto-circuito entre entrada e saída dos inversores CMOS com transistor MOS matricial halo-implantado com $V_{DD} = 0,25\text{-V}$ (1000 rodadas).

Não obstante, na Figura 8, pode-se verificar o efeito do deslocamento da tensão V_{SP} do inversor CMOS com o aumento da dimensão do transistor MOS equivalente halo-implantado, tornando o circuito desbalanceado e deteriorando sua operação.

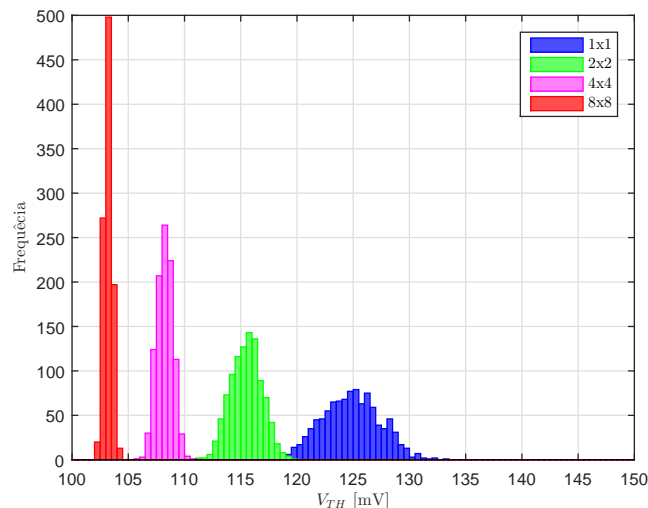


Figura 8 – Histogramas da simulação de Monte Carlo para tensão V_{SP} com curto-circuito entre entrada e saída dos inversores CMOS com transistor MOS equivalente halo-implantado com $V_{DD} = 0,25\text{-V}$ (1000 rodadas).

A Tabela 3 dá suporte à análise realizada por meio das Figuras 7 e 8. Os valores da tensão V_{SP} para os inversores CMOS com transistores MOS matriciais halo-implantados

permanecem em torno do valor $V_{DD}/2$ especificado, ou seja, 125-mV. Entretanto, os valores de V_{SP} para os inversores CMOS com transistores MOS equivalentes unitários halo-implantados deslocam-se para valores menores com o aumento da dimensão dos transistores. Embora, para ambos os tipos de inversores CMOS, com transistor MOS matricial halo-implantado ou equivalente, o espalhamento estatístico da tensão V_{SP} seja reduzido com o aumento da dimensão dos transistores, apenas o inversor CMOS com transistores MOS matriciais halo-implantados é adequado para a aplicação proposta.

Tabela 3 – Simulação de Monte Carlo para tensão V_{SP} com curto-circuito entre entrada e saída dos inversores CMOS construídos com transistor MOS matricial halo-implantado e equivalente unitário alimentados com $V_{DD} = 0,25\text{-V}$ (1000 rodadas).

V_{SP} [mV]	Transistor MOS matricial		Transistor MOS equivalente	
	Média	Desvio Padrão	Média	Desvio Padrão
1x1	124,8	2,6	124,8	2,6
2x2	125,1	1,3	115,4	1,4
4x4	125,4	0,6	108,2	0,7
8x8	125,5	0,3	103,2	0,4

Para mostrar a robustez do circuito em relação ao processo de fabricação, à fonte de alimentação e às variações de temperatura, a análise de *corners* da tensão de *switching point* é mostrada nas Tabelas 4, 5 e 6. Como pode ser observado, os inversores CMOS intrinsecamente casados *self-connected* são robustos para essas variações, mantendo ambos os transistores saturados sob todas as condições simuladas, conforme modelado neste capítulo. Além disso, o transistor MOS matricial também melhora o ajuste de ganho, já que sua aplicação resulta em melhorias na impedância de saída. O mesmo não é verdade para o transistor MOS equivalente. Esta característica é chave ao projetar o OTA baseado em inversores para aplicações de G_m -C.

Tabela 4 – Simulação de *corners* para tensão V_{SP} do inversor CMOS *self-connected* para variações de processo, tensão de alimentação nominal (0,25-V) em temperatura ambiente (27°C).

V_{SP} [mV]	Transistor MOS matricial					Transistor MOS equivalente				
	TT	FF	FS	SF	SS	TT	FF	FS	SF	SS
1x1	124.7	119.0	100.4	151.7	132.2	124.7	119.0	100.4	151.7	132.2
2x2	125.1	118.1	99.9	158.8	133.6	115.4	112.4	93.4	140.1	120.6
4x4	125.3	120.1	101.3	152.0	132.4	108.2	107.0	87.6	131.5	111.8
8x8	125.5	121.5	102.3	151.4	131.5	103.2	103.0	83.4	125.7	105.9

Tabela 5 – Simulação de *corners* para tensão V_{SP} do inversor CMOS *self-connected* para variações da tensão de alimentação, processo típico e temperatura ambiente (27°C).

V_{SP} [mV]	Transistor MOS matricial			Transistor MOS equivalente		
	225-mV	250-mV	275-mV	225-mV	250-mV	275-mV
1x1	113.4	124.7	136.0	113.4	124.7	136.0
2x2	113.7	125.1	136.5	104.1	115.4	126.7
4x4	113.9	125.3	136.7	96.9	108.2	119.4
8x8	113.9	125.5	136.9	91.9	103.2	114.4

Tabela 6 – Simulação de *corners* para tensão V_{SP} do inversor CMOS *self-connected* para variações da tensão de temperatura, processo típico e tensão de alimentação nominal (0,25-V).

V_{SP} [mV]	Transistor MOS matricial			Transistor MOS equivalente		
	0°C	27°C	70°C	0°C	27°C	70°C
1x1	129.3	124.7	118.6	129.3	124.7	118.6
2x2	129.7	125.1	118.9	120.6	115.4	109.1
4x4	129.9	125.3	119.1	113.5	108.2	102.0
8x8	130.0	125.5	119.2	108.5	103.2	97.1

2.3 Considerações finais

Neste capítulo foram apresentadas duas alternativas de projeto para um inversor utilizando transistores MOS de canal não uniformemente dopado halo-implantados: (i) aumentar o número de transistores MOS halo-implantados em um *layout* matricial ou (ii) aumentar a dimensão dos transistores MOS halo-implantados equivalentes em um *layout* comum.

Embora o projeto tradicional de circuitos integrados analógicos sugira que ambas as alternativas produzam o mesmo resultado, foi mostrado que apenas usando os transistores MOS matriciais halo-implantados pode-se aumentar a magnitude do ganho e estabilizar a tensão de *switching point* V_{SP} do inversor CMOS.

Portanto, o uso do transistor MOS matricial halo-implantados permite o projeto de um inversor CMOS intrinsecamente casado, apropriado para o projeto da topologia do circuito Nauta OTA sem calibração em inversão fraca, conforme será apresentado no próximo capítulo.

3 Modelagem do Nauta OTA sem calibração em inversão fraca

Este capítulo descreve em detalhes a operação do Nauta OTA em inversão fraca, destacando a sua dependência em relação aos parâmetros do inversor CMOS intrinsicamente casado. Serão abordados os modelos de pequenos sinais, ruído, distorção harmônica CMRR e PSRR considerando a arquitetura apresentada na Figura 9.

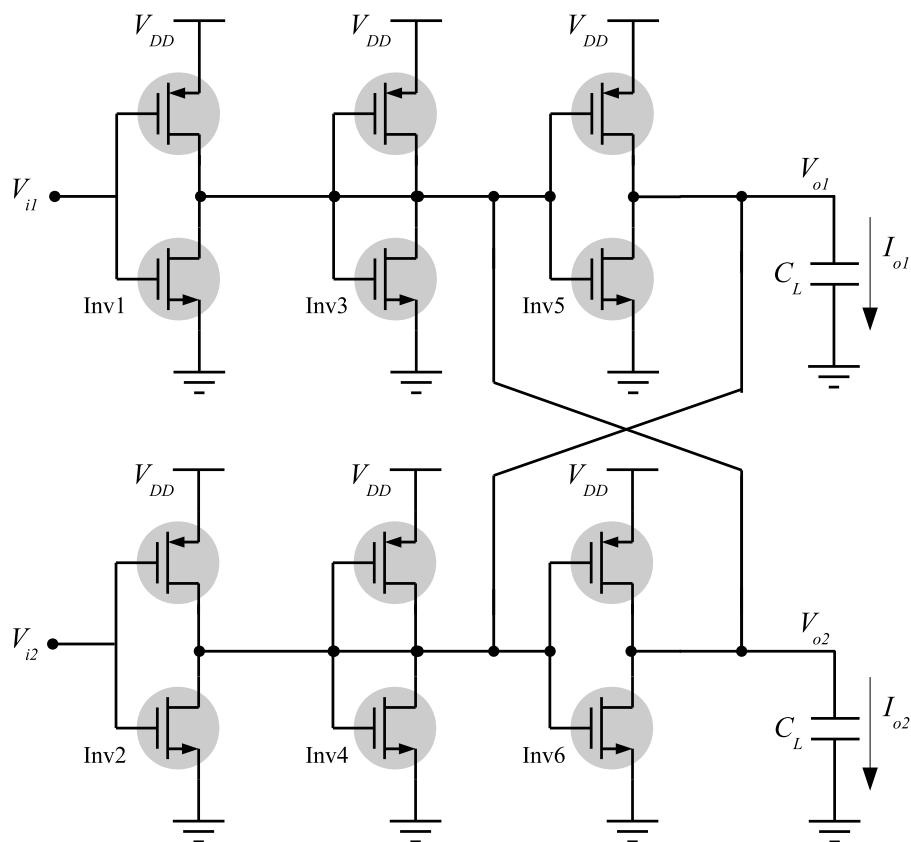


Figura 9 – Circuito esquemático Nauta OTA.

3.1 Modelagem do Nauta OTA sem calibração em inversão fraca

3.1.1 Modelo de transcondutância

Considerando a arquitetura do circuito Nauta OTA, conforme apresentado na Figura 9, operando em inversão fraca, e uma tensão de entrada em modo diferencial, $V_{id} = V_{i1} - V_{i2}$, pode-se aplicar os seguintes sinais

$$V_{i1} = V_{SP} + \frac{V_{id}}{2} \text{ e } V_{i2} = V_{SP} - \frac{V_{id}}{2}, \quad (3.1)$$

às entradas V_{i1} e V_{i2} para se encontrar a expressão da corrente diferencial de saída, $I_{od} = I_{o1} - I_{o2}$.

Partindo-se do circuito da Figura 9 e utilizando os inversores CMOS intrinsicamente casados, apresentados no Capítulo 2, com $V_{SP} = V_{DD}/2$, a corrente diferencial de saída, I_{od} , é dada pela expressão

$$I_{od} = 2I_{SC} \left[\sinh \left(q \frac{V_{id}}{2n_p kT} \right) + \sinh \left(q \frac{V_{id}}{2n_n kT} \right) \right], \quad (3.2)$$

e sua derivada em função da tensão de entrada em modo diferencial, $\partial I_{od}/\partial V_{id}$, é dada por

$$\frac{\partial I_{od}}{\partial V_{id}} = q \frac{I_{SC}}{kT} \left[\frac{1}{n_p} \cosh \left(q \frac{V_{id}}{2n_p kT} \right) + \frac{1}{n_n} \cosh \left(q \frac{V_{id}}{2n_n kT} \right) \right]. \quad (3.3)$$

Desta forma, pode-se encontrar a transcondutância diferencial do Nauta OTA, G_m^{ota} , quando $V_{id} = 0$, como sendo

$$G_m^{ota} = \left. \frac{\partial I_{od}}{\partial V_{id}} \right|_{V_{id}=0} = q \frac{I_{SC}}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right), \quad (3.4)$$

e, usando-se (2.7), pode-se escrever $G_m^{ota} = -G_m^{inv}$.

3.1.2 Modelo AC de pequenos sinais

Considerando o uso dos inversores CMOS intrinsicamente casados, pode-se assumir que possuem os mesmos valores de g_{m_p} , g_{m_n} , g_{o_p} e g_{o_n} . Desde que todos os inversores CMOS estejam operando com o mesmo ponto de polarização, o modelo de pequenos sinais será conforme ilustrado na Figura 10.

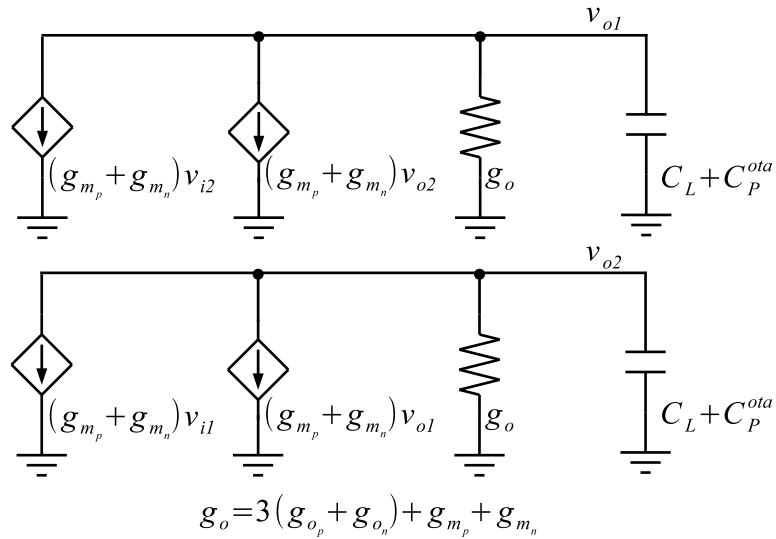


Figura 10 – Modelo de pequenos sinais para Nauta OTA.

Portanto, a partir da análise do modelo da Figura 10, as tensões de saída v_{o1} e v_{o2} , são dadas por

$$v_{o1}(s) = \frac{G_m^{inv}(v_{i2}(s) + v_{o2}(s))}{s(C_L + C_P^{ota}) + 3(g_{op} + g_{on}) - G_m^{inv}}, \quad (3.5a)$$

e

$$v_{o2}(s) = \frac{G_m^{inv}(v_{i1}(s) + v_{o1}(s))}{s(C_L + C_P^{ota}) + 3(g_{op} + g_{on}) - G_m^{inv}}, \quad (3.5b)$$

em que C_L é o capacitor de carga e C_P^{ota} representa as capacitâncias parasitas associadas ao uso do transistor MOS matricial halo-implantado.

Logo, a expressão para o ganho em malha aberta, A_o^{ota} , pode ser obtida diretamente de (3.5), conforme

$$A_o^{ota} = \frac{v_{o1} - v_{o2}}{v_{i1} - v_{i2}} = \frac{1}{3} \frac{g_{mp} + g_{mn}}{g_{op} + g_{on}}, \quad (3.6)$$

e considerando o ganho em malha aberta do inversor CMOS definido em (2.9), tem-se

$$A_o^{ota} = \frac{1}{3} A_o^{inv}. \quad (3.7)$$

Ademais, a frequência de ganho unitário, f_t^{ota} , para o Nauta OTA é dada por

$$f_t^{ota} = \frac{g_{mp} + g_{mn}}{2\pi(C_L + C_P^{ota})}. \quad (3.8)$$

Tendo em vista (3.7), pode-se concluir que o ganho de tensão do Nauta OTA, A_o^{ota} , é um terço do ganho do inversor. Portanto, para se aumentar A_o^{ota} , a condutância dos inversores deve ser a menor praticável, resultando na maior impedância possível. Deve-se também observar que em (2.10) e (3.8) os valores C_P^{inv} e C_P^{ota} são distintos, já que C_P^{ota} é a capacitância acumulada devido ao uso dos transistores MOS matriciais halo-implantados e provocam a redução da frequência de ganho unitário f_t .

Adicionalmente, definindo-se a tensão AC de saída diferencial, $v_{od} = v_{o1} - v_{o2}$, obtêm-se a seguinte função de transferência

$$\frac{v_{od}(s)}{v_{id}(s)} = \frac{G_m^{ota}}{s(C_L + C_P^{ota}) + 3(g_{op} + g_{on})}, \quad (3.9)$$

a qual modela o comportamento da aplicação do circuito como um filtro G_m -C. Considerando-se que

$$|v_{od}(j\omega)| \approx \frac{G_m^{ota}}{\omega(C_L + C_P^{ota})} |v_{id}(j\omega)|, \quad (3.10)$$

quando $\omega \gg 3(g_{op} + g_{on})/(C_L + C_P^{ota})$, verifica-se que não é necessário um alto ganho para A_o^{ota} desde que a largura de banda escolhida seja adequada. Esta característica será abordada com maiores detalhes na Seção 4.

3.1.3 Modelo de ruído

Pode-se calcular o ruído de entrada equivalente para o Nauta OTA, dada uma largura de banda, somando-se a contribuição da potência de ruído de cada inversor CMOS nesta mesma largura de banda. Desta forma, pode-se escrever que

$$\overline{v_n^{2ota}} = \sum_{i=1}^6 \overline{v_{n_i}^{2inv}}, \quad (3.11)$$

na qual $\overline{v_n^{2inv}}$ é definida em (2.11).

3.1.4 Modelo de distorção harmônica

Adicionando-se uma tensão de *offset*, V_{OS} , apenas à entrada V_{i1} em (3.1) e fazendo-se $V_{id} = V_{ID} \cos(\omega t)$, as componentes harmônicas para a corrente diferencial de saída, I_{od} , são dadas por

$$\text{HD}_2 = \frac{1}{16} \frac{\frac{1}{n_p^3} + \frac{1}{n_n^3}}{\frac{1}{n_p} + \frac{1}{n_n}} \left(q \frac{V_{ID}}{kT} \right) \left(q \frac{V_{OS}}{kT} \right) \quad (3.12a)$$

e

$$\text{HD}_3 = \frac{1}{96} \frac{\frac{1}{n_p^3} + \frac{1}{n_n^3}}{\frac{1}{n_p} + \frac{1}{n_n}} \left(q \frac{V_{ID}}{kT} \right)^2. \quad (3.12b)$$

Avaliando-se a expressão (3.12a), pode-se concluir que a componente harmônica HD_2 depende da tensão de *offset*. Considerando-se que a tensão de *offset* é relacionada ao descasamento na estrutura do amplificador, baixas amplitudes nas componentes harmônicas pares, como HD_2 , podem confirmar o desempenho do Nauta OTA sem calibração proposto. Em outras palavras, espera-se que o Nauta OTA construído com inversores CMOS intrinsecamente casados apresente a característica de possuir um valor de HD_2 menor que HD_3 .

3.1.5 Razão de rejeição de tensão de modo-comum

Dado que a razão de rejeição da tensão de modo-comum, CMRR, pode ser definida como a relação entre a variação da transcondutância de modo diferencial e a variação da transcondutância de modo-comum, $G_m^{ota}/G_{m_{CM}}^{ota}$, a CMRR é dada por

$$\text{CMRR} = \frac{\frac{1}{n_p} + \frac{1}{n_n}}{q \frac{V_{OS}}{kT} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right)}. \quad (3.13)$$

A expressão (3.13) denota a dependência da CMRR com a tensão de *offset*. Para V_{OS} nulo, a CMRR tende a um valor infinito, o que corresponde ao comportamento esperado para um circuito *fully* diferencial.

3.1.6 Razão de rejeição de tensão de alimentação

De maneira similar, a razão de rejeição da tensão de alimentação, PSRR, pode ser definida como a relação entre a variação da transcondutância de modo diferencial e a variação da transcondutância relativa à tensão de alimentação, $G_m^{ota}/G_{m_{DD}}^{ota}$, PSRR é dada por

$$\text{PSRR} = \frac{\frac{1}{n_p} + \frac{1}{n_n}}{q \frac{V_{OS}}{2kT} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right)}. \quad (3.14)$$

De (3.14), verifica-se a PSRR também depende da tensão de *offset*. No caso de um perfeito casamento da estrutura V_{OS} seria nulo, o valor de PSRR seria infinito, conforme esperado na operação *fully* diferencial.

3.2 Considerações finais

Em resumo, as expressões (3.4), (3.7), e (3.11) mostram que o desempenho do Nauta OTA sem calibração operando em inversão fraca é diretamente relacionado ao projeto dos inversores CMOS intrinsecamente casados, mostrados no Capítulo 2.

Adicionalmente, (3.8) mostra que as capacitâncias parasitas, C_P^{ota} , podem reduzir o intervalo da frequência de operação do Nauta OTA. Para um cenário com a capacitância de carga muito maior que a capacitância parasita, $C_L \gg C_P^{ota}$, a capacitância de carga é predominante na resposta em frequência. No entanto, quando se utiliza o transistor MOS matricial halo-implantado, deve-se observar que as capacitâncias parasitas possuem a mesma ordem de grandeza das capacitâncias de carga devido aos nós internos adicionais e aumento de área. Esta característica representa um compromisso de projeto entre casamento e frequência de operação.

Além disso, (3.12a), (3.13) e (3.14) demonstram que a distorção harmônica, CMRR e PSRR do Nauta OTA são afetadas pelo valor da tensão de *offset* V_{OS} . O uso dos inversores CMOS intrinsecamente casados deve contribuir para melhoria destes indicadores de desempenho, reduzindo o valor de V_{OS} . Tais aspectos serão discutidos em detalhes durante o processo de caracterização do Nauta OTA apresentado no próximo capítulo.

4 Implementação e caracterização do Nauta OTA sem calibração em inversão fraca

Neste capítulo é apresentado o projeto do Nauta OTA utilizando inversores CMOS intrinsecamente casados e as etapas de caracterização, confrontado os resultados obtidos com a modelagem apresentada no Capítulo 3.

4.1 Implementação do Nauta OTA sem calibração em inversão fraca

Baseando-se na modelagem do Capítulo 3, foi implementada a topologia Nauta OTA sem calibração, mostrada na Figura 9, utilizando-se inversores CMOS intrinsecamente casados, operando na região de inversão fraca com uma tensão de alimentação de 0,25-V. Para esta tensão de alimentação, o Nauta OTA foi balanceado para uma tensão de modo-comum igual à tensão de *switching point* do inversor, V_{SP} , ou seja, 125-mV. Tendo em vista o uso deste OTA em um filtro G_m -C para aplicação biomédica, torna-se dispensável o ganho muito alto e uma grande largura de banda.

A Figura 11 mostra a micrografia do circuito fabricado, obtido com uma estação microprovadora *Cascade Microtech MPS150*, onde o *layout* está sobreposto para uma melhor visualização. Foram projetados três estruturas Nauta OTA sem calibração com inversores CMOS intrinsecamente casados com dimensões iguais a 2x2, 4x4 e 8x8, descritos no Capítulo 2. A Tabela 7 apresenta as dimensões de cada Nauta OTA e a área total ocupada.

Tabela 7 – Dimensões do Nauta OTA.

Nauta OTA	Comprimento [μm]	Largura [μm]	Área [mm^2]
2x2	123,93	89,25	0,011
4x4	174,71	126,00	0,022
8x8	267,05	194,83	0,052

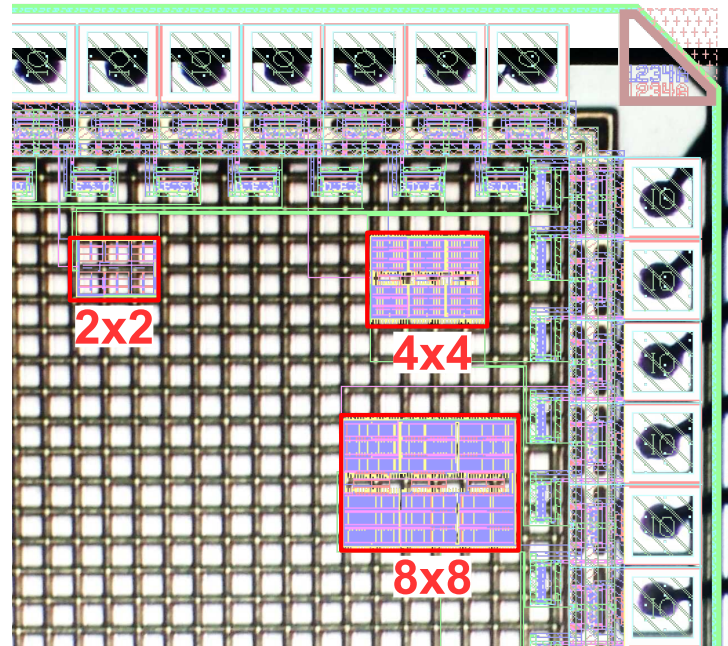


Figura 11 – *Layout* sobre micrografia do circuito fabricado.

4.2 Simulação do Nauta OTA sem calibração em inversão fraca

Nesta Seção são apresentadas as simulações dos Nauta OTAs utilizando inversores CMOS intrinsecamente casados nas dimensões 2x2, 4x4 e 8x8 na ferramenta Cadence Spectre com BSIM4v4 no processo CMOS IBM 130-nm. Esta etapa tem a finalidade de estabelecer as respostas típicas de comportamento para posterior comparação com os valores medidos.

Esta Seção está organizada em três etapas principais. Na primeira etapa, é realizada a simulação da resposta em frequência típica das três estruturas Nauta OTA, estabelecendo relações com o equacionamento apresentado na Seção 3.1. Também é mostrado o resultado do teste de Monte Carlo para a resposta em frequência, estabelecendo o Nauta OTA 8x8 como a estrutura com melhor desempenho em relação ao descasamento. Na segunda etapa, é obtida a resposta típica para a transcondutância, o ruído e distorção harmônica do Nauta OTA 8x8. Por fim, na terceira etapa, são realizados os testes de Monte Carlo para a tensão de *offset*, CMRR e PSRR da estrutura do Nauta OTA 8x8.

4.2.1 Simulação da resposta em frequência

A Figura 12 mostra os resultados simulados para a resposta em frequência dos circuitos Nauta OTA, na configuração de malha aberta, alimentados com 0,25-V. Em uma análise qualitativa, o ganho em malha aberta do Nauta OTA A_o^{ota} é incrementado com o aumento da dimensão do inversor CMOS intrinsecamente casado. Em contrapartida, a frequência de ganho unitário f_t^{ota} é reduzida.

Ambos os resultados refletem características do transistor MOS matricial halo-implantado discutidas na Seção 2.2. O aumento da dimensão do transistor MOS matricial halo-implantado aumenta a impedância de saída reduzindo o denominador de (3.6) e incrementando o valor de A_o^{ota} . A redução da frequência de ganho unitário f_t^{ota} é causada pelo crescimento do valor da capacitância parasita C_P^{ota} que aumenta o denominador de (2.10). Os valores estimados para as capacitâncias parasitas, C_P^{ota} , das estruturas Nauta OTA estão mostrados na Tabela 8.

Tabela 8 – Capacitância de cada nó da saída para o Nauta OTA sem calibração

Nauta OTA	C_P^{ota} [pF]
2x2	2,32
4x4	5,03
8x8	13,4

Tabela 9 – Resultados do teste de Monte Carlo para a resposta em frequência para Nauta OTA sem calibração alimentado com 0,25-V (1000 rodadas).

A_o^{ota} [dB]	Típico	Média	Desvio Padrão	Desvio Padrão/Média
Nauta 2x2	25,48	27,27	8,35	30,61%
Nauta 4x4	28,93	30,05	7,27	24,41%
Nauta 8x8	30,68	30,61	4,65	15,20%
MF [°]	Típico	Média	Desvio Padrão	Desvio Padrão/Média
Nauta 2x2	87,04	93,09	2,43	2,61%
Nauta 4x4	88,27	91,92	1,27	1,38%
Nauta 8x8	89,17	90,96	0,72	0,79%
f_t^{ota} [Hz]	Típico	Média	Desvio Padrão	Desvio Padrão/Média
Nauta 2x2	10,96k	11,93k	4,57k	38,31%
Nauta 4x4	10,23k	11,19k	4,05k	36,17%
Nauta 8x8	8,12k	8,92k	2,98k	33,43%

A Tabela 9 mostra o resultado obtido para o teste de Monte Carlo para a resposta em frequência das estruturas Nauta OTA, na configuração de malha aberta, alimentadas com 0,25-V. Em uma avaliação quantitativa, nota-se que o ganho médio é aumentado e frequência de ganho unitário é reduzida com o aumento da dimensão do transistor MOS matricial halo-implantado, corroborando com a avaliação da Figura 12. Adicionalmente, a margem de fase se aproxima do valor esperado para um sistema de primeira ordem, 90°. Para todos os parâmetros em análise, ganho, margem de fase e frequência de ganho unitário, o desvio padrão e a relação desvio padrão/média diminuem com o aumento da

dimensão do transistor MOS matricial halo-implantado, demonstrando a característica de redução do descasamento do inversor CMOS intrinsecamente casado, discutida na Seção 2.2.

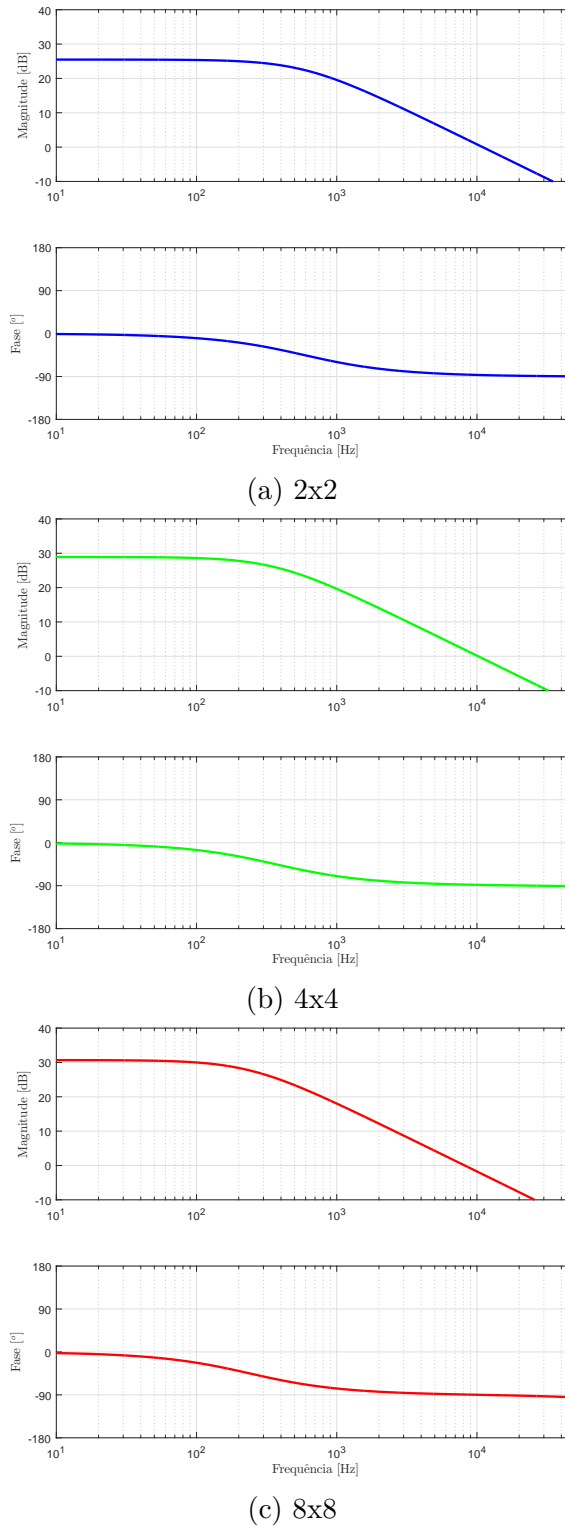


Figura 12 – Resposta em frequência típica para Nauta OTA sem calibração alimentado com 0,25-V.

Utilizando-se (3.7) pode-se realizar uma validação cruzada entre o ganho simulado

para o inversor CMOS intrinsicamente casado e o ganho típico simulado para o Nauta OTA. Os dados para o ganho típico simulado dos Nauta OTAs, mostrados na Tabela 9 em decibéis, podem ser convertidos em V/V, sendo 18,79, 27,96 e 34,19 para as dimensões 2x2, 4x4 e 8x8, respectivamente. Estes valores representam 1/3 do ganho dos inversores CMOS intrinsicamente casados de dimensão correspondente, apresentados na Tabela 2, validando ambos os resultados.

Esta primeira etapa de simulação dos circuitos Nauta OTA mostrou que, a estrutura construída com o inversor CMOS intrinsicamente casado de dimensão 8x8 possui o melhor desempenho com relação ao descasamento. Portanto, esta será utilizada para simulação da transcondutância, ruído, distorção harmônica, tensão de *offset*, CMRR e PSRR.

4.2.2 Simulação da transcondutância

A transcondutância da estrutura Nauta OTA 8x8 foi obtida realizando-se a simulação da corrente de saída I_{od} em função da variação da tensão de entrada $V_{id}/2$ no intervalo de -125-mV até 125-mV, mantendo-se em ambas as entradas a tensão de modo-comum de 125-mV. A Figura 13 apresenta a curva simulada típica para I_{od} , mostrando que, quando $V_{id} = 0$, a corrente saída I_{od} é simétrica em torno de 0-A. Isso demonstra que, nesta condição simulada, o circuito está perfeitamente casado. Adicionalmente, a curva da Figura 13 possui o comportamento da soma de senos hiperbólicos apresentada em (3.2) com um coeficiente de determinação $R^2 = 0,99$.

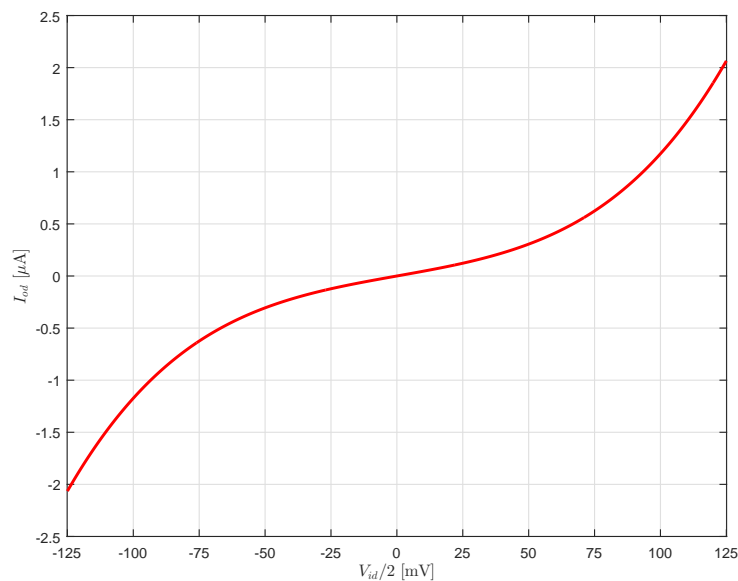


Figura 13 – Corrente diferencial de saída I_{od} típica para estrutura Nauta OTA 8x8.

A Figura 14 apresenta a curva típica simulada para $\partial I_{od}/\partial V_{id}$, correspondendo à soma de cossenos hiperbólicos apresentada em (3.3), com um coeficiente de determinação

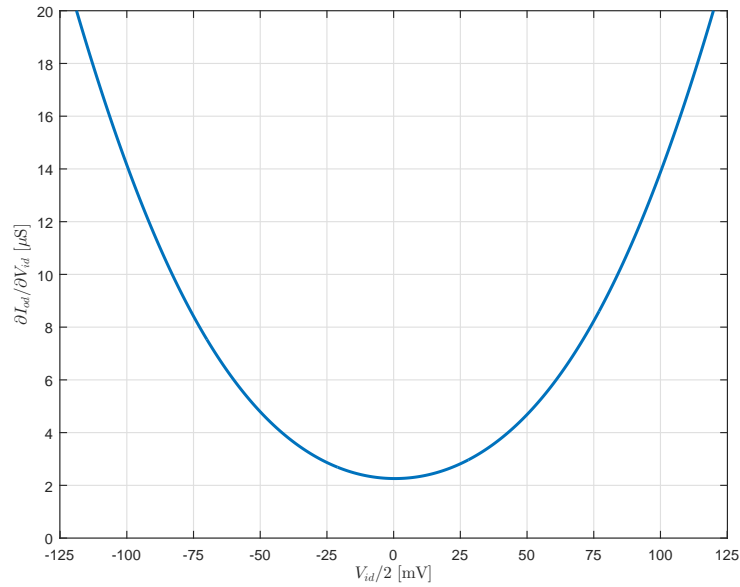


Figura 14 – Transcondutância diferencial $\partial I_{od}/\partial V_{id}$ típica para estrutura Nauta OTA 8x8.

igual a $R^2 = 0,99$. O valor mínimo de $\partial I_{od}/\partial V_{id}$ ocorre quando o valor de V_{id} é nulo, onde é possível definir o valor de G_m^{ota} como sendo $2,26\text{-}\mu\text{S}$.

4.2.3 Simulação do ruído

A simulação da densidade espectral de ruído equivalente referenciado à entrada do Nauta OTA 8x8 foi obtida aplicando-se em ambas as entradas uma tensão de modo-comum de 125-mV. Para a curva apresentada na Figura 15 a densidade de ruído térmico é de $157\text{-nV}_{\text{rms}}/\sqrt{\text{Hz}}$.

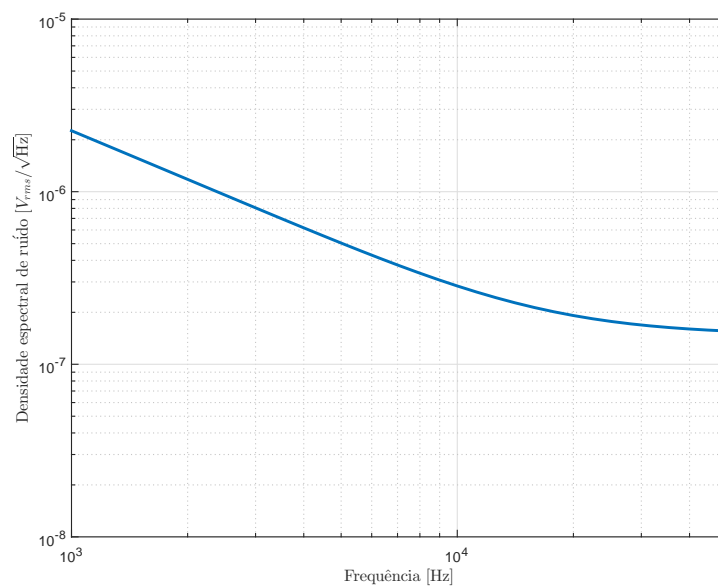


Figura 15 – Simulação da densidade de ruído equivalente referenciado à entrada para estrutura Nauta OTA 8x8.

4.2.4 Simulação da distorção harmônica

Para a simulação da distorção harmônica utilizou-se o Nauta 8x8 na topologia de um integrador G_m -C com um capacitor de 22-nF, aplicando-se nas entradas um sinal senoidal diferencial de 19-mV_{pk}@10-Hz.

A Figura 16 apresenta o resultado obtido para a distorção harmônica de 5-Hz até 35-Hz. Pode-se observar a inexistência da componente do segundo harmônico. Isso ocorre devido a ausência de uma tensão de *offset* V_{OS} , já que no ambiente de simulação os inversores são perfeitamente casados. A inexistência de uma tensão *offset* V_{OS} torna nulo o valor de HD₂ em (3.12a).

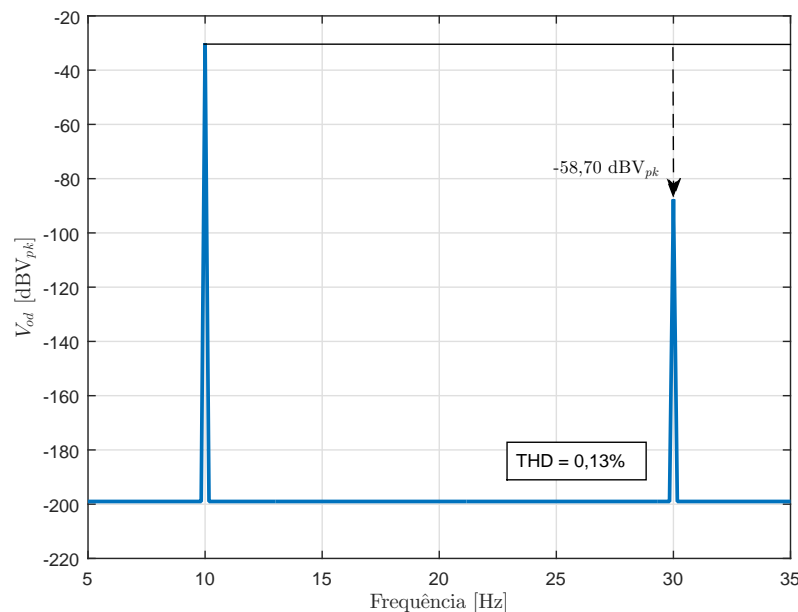


Figura 16 – Espectro de saída simulado para distorção harmônica do Nauta OTA 8x8.

Na configuração utilizada, espera-se um valor de HD₃ igual a 0,1% de acordo com (3.12b). Da Figura 16, a amplitude para HD₃ é de 0,13%, próximo ao valor esperado, validando o modelo discutido na Seção 3.1.4.

4.2.5 Simulação da tensão de *offset*

Para se avaliar o comportamento da tensão de *offset* em relação ao descasamento foi realizado o teste de Monte Carlo. A Figura 17 apresenta o resultado obtido para a tensão de *offset* do Nauta OTA 8x8 aplicando-se em ambas as entradas uma tensão de modo-comum de 125-mV medindo-se a tensão diferencial entre as saídas.

Conforme a Figura 17, a tensão de *offset* se espalha em torno do valor de 0-V, com um desvio padrão de 6,33-mV, que é o comportamento esperado considerando o descasamento que ocorre durante o processo de fabricação.

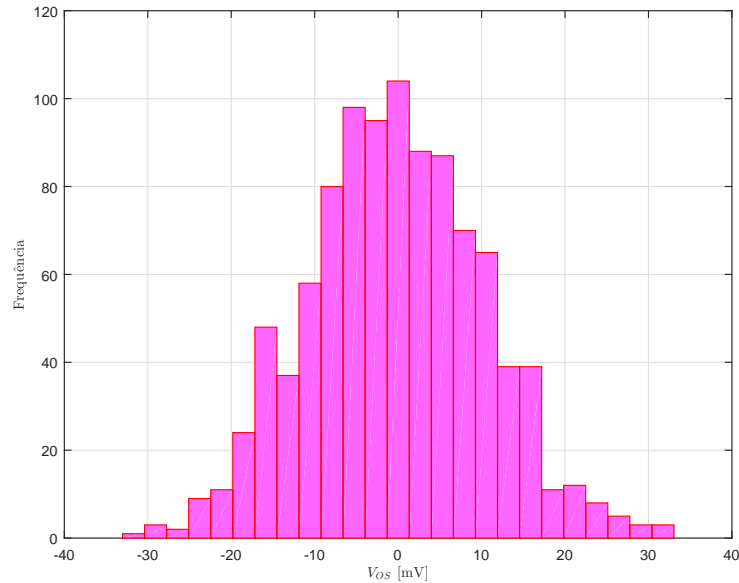


Figura 17 – Histograma do teste de Monte Carlo para tensão de *offset* V_{OS} para Nauta OTA 8x8 (1000 rodadas).

4.2.6 Simulação da CMRR e PSRR

Conforme definido na Seção 3.1, a CMRR e a PSRR dependem da tensão de *offset* V_{OS} . No caso de um perfeito casamento da estrutura Nauta OTA, tem-se o valor de 0-V para a tensão de *offset*, o que torna nulo os denominadores de (3.13) e (3.14), e faz com que a CMRR e a PSRR tendem ao infinito.

Logo, para se avaliar o comportamento da CMRR, a tensão de modo-comum foi variada de 0-V até 250-mV e tomado o valor de $G_{m_{CM}}^{ota}$ quando $V_{SP}=125$ -mV. O histograma da Figura 18 foi obtido relacionando-se G_m^{ota} com $G_{m_{CM}}^{ota}$, conforme (3.13). Por meio da Figura 18, a CMRR possui um valor médio de 38,54-dB e um desvio padrão de 10,36-dB.

Para a avaliação da PSRR, ambas as entradas do Nauta OTA 8x8 foram mantidas com uma tensão de modo-comum de 125-mV e foi variada a tensão de alimentação entre 230-mV e 270-mV, tomando-se o valor de $G_{m_{DD}}^{ota}$ quando $V_{DD}=250$ -mV. O valor da PSRR foi obtida por meio da relação $G_m^{ota}/G_{m_{DD}}^{ota}$, conforme (3.14). A Figura 19 mostra o histograma obtido para a PSRR, com um valor médio de 47,69-dB e um desvio padrão de 10,57-dB.

Por meio dos histogramas para CMRR e PSRR, pode-se comprovar sua relação com a variação do processo de fabricação e, portanto, com a variação da tensão de *offset*, conforme discutido nas Seções 3.1.5 e 3.1.6.

4.2.7 Resumo do desempenho simulado

A Tabela 10 apresenta os dados do desempenho simulado típico do Nauta OTA 8x8. Para a tensão de *offset*, CMRR e PSSR são apresentados os valores médios obtidos

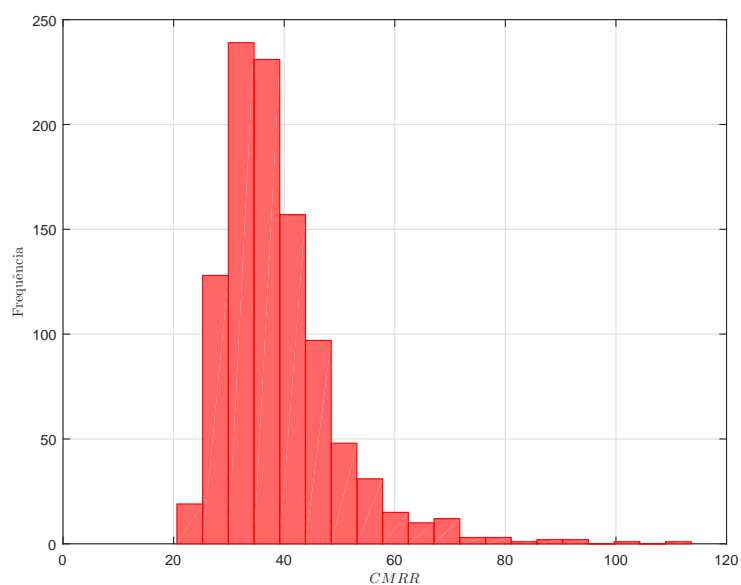


Figura 18 – Histograma do teste de Monte Carlo para a CMRR do Nauta OTA 8x8 (1000 rodadas).

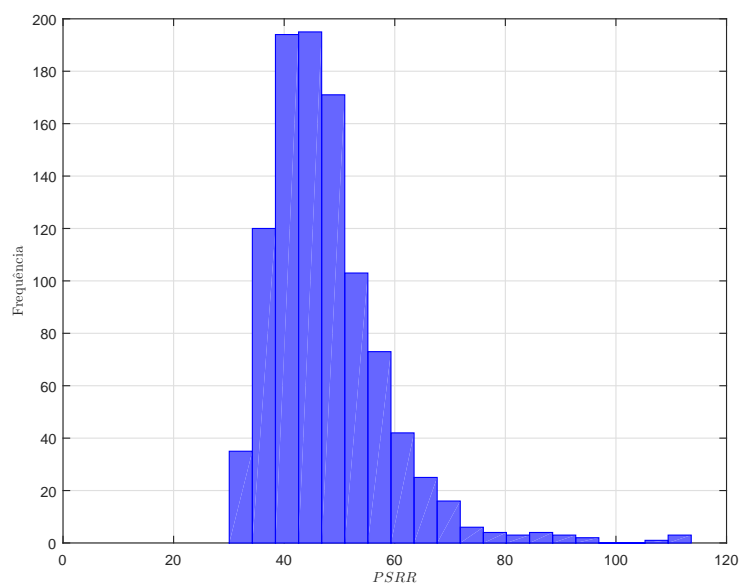


Figura 19 – Histograma do teste de Monte Carlo para a PSRR do Nauta OTA 8x8 (1000 rodadas).

no teste de Monte Carlo.

Tabela 10 – Desempenho simulado típico do Nauta OTA 8x8.

Parâmetro	Valor
Transcondutância [μS]	2,26
Frequência de ganho unitário [kHz]	8,12
Margem de fase [$^\circ$]	89,17
Ganho em malha aberta [dB]	30,68
<i>White noise floor</i> [$\text{nV}_{\text{rms}}/\sqrt{\text{Hz}}$]	157
<i>Linear input range</i> $\text{HD}_3 \leq 0,1\%$ [mV_{pk}]	18,8
Desvio padrão da Tensão <i>offset</i> [mV]	6,33
CMRR @DC [dB]	38,54
PSRR @DC [dB]	47,69

4.3 Caracterização do Nauta OTA sem calibração em inversão fraca

O procedimento de caracterização foi organizado em quatro etapas. Na primeira etapa, foi realizada a medida da resposta em frequência das três estruturas Nauta OTA fabricadas, validando a discussão apresentada na Seção 3.1 e determinando o Nauta OTA com melhor desempenho com relação ao descasamento. Com este propósito, foram caracterizadas 25 amostras de cada estrutura do Nauta OTA em 25 *dies* diferentes, os resultados obtidos estão apresentados na Figura 20 e na Tabela 11. Na segunda etapa, foi realizada a caracterização da transcondutância e da potência espectral de ruído apenas da estrutura do Nauta OTA 8x8, considerando que, na primeira etapa de caracterização, esta apresentou os melhores indicadores de desempenho com relação ao descasamento. Os resultados da segunda etapa de caracterização estão mostrados nas Figuras 21, 22 e 23. Na terceira etapa, foi montado um integrador G_m -C utilizando o Nauta OTA 8x8 como elemento de transcondutância e realizada a medida da distorção harmônica, mostrada Figura 26. Utilizando os resultados desta etapa, foram estimados os valores para a tensão de *offset* V_{OS} . Na quarta etapa, foi realizada a caracterização da transcondutância de modo-comum e da transcondutância relativa à fonte de alimentação do Nauta OTA 8x8, para cálculo da CMRR e PSRR, respectivamente. Os resultados desta etapa estão apresentados nas Figuras 28a e 29.

O ambiente de testes e medidas foi composto por um Analisador de Semicondutores B1500A e um Analisador Dinâmico de Sinais DSA35670A, operando em temperatura

ambiente (27°C) com uma capacitância de carga C_L estimada em 30-pF com uma tensão de alimentação de 0,25-V com o Nauta OTA na configuração *fully* diferencial.

4.3.1 Caracterização da resposta em frequência

A Figura 20 e a Tabela 11 mostram os resultados medidos para a resposta em frequência das estruturas Nauta OTA, na configuração de malha aberta, alimentadas com 0,25-V. Em uma análise qualitativa da Figura 20, o espalhamento das curvas para o ganho em malha aberta e margem de fase é reduzido pelo aumento do tamanho do inversor CMOS intrinsecamente casado. Isto reflete uma característica do transistor MOS matricial halo-implantado, discutido na Seção 2.2.

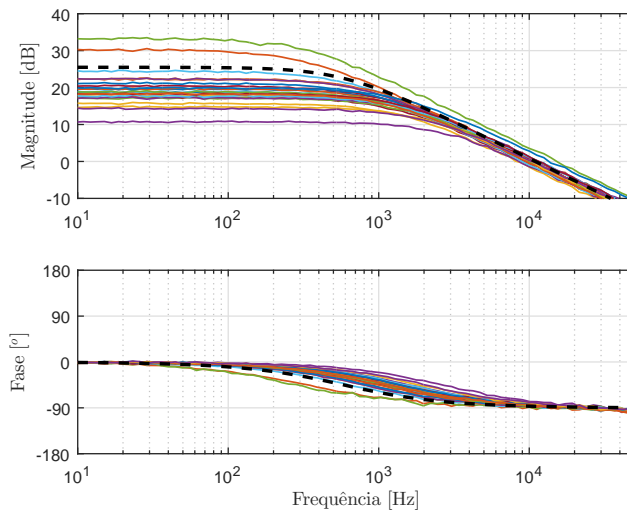
A avaliação quantitativa da resposta em frequência, realizada na Tabela 11, endossa a redução do espalhamento estatístico da resposta em frequência em função da utilização do transistor MOS matricial halo-implantado. A relação entre o desvio padrão e a média para o ganho em malha aberta (A_o^{ota}), margem de fase (MF) e frequência de ganho unitário (f_t^{ota}) é reduzida com o aumento da dimensão do inversor CMOS intrinsecamente casado. Isto comprova a operação sem calibração do Nauta OTA proposto. Na Figura 20 ainda é mostrada a resposta típica (linha tracejada), obtida por meio da simulação do circuito utilizando a ferramenta Cadence Spectre com BSIM4v4 para o processo CMOS IBM 130-nm.

O aumento no ganho médio A_o^{ota} , apresentado na Tabela 11, é modelado pela equação (3.6). O aumento na impedância de saída, causado pelo transistor MOS matricial halo-implantado, utilizado no inversor CMOS intrinsecamente casado, reduz os valores do termos g_{op} e g_{on} em (3.6), aumentando o ganho total do Nauta OTA.

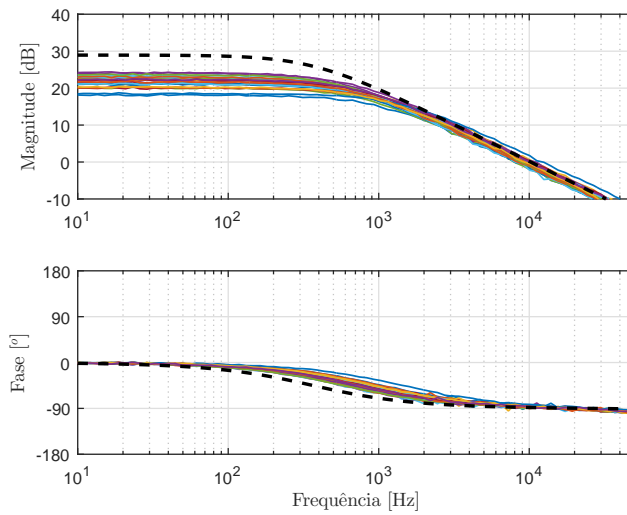
Os resultados para a margem de fase do Nauta OTA proposto, apresentados na Tabela 11, correspondem à resposta de um sistema de primeira ordem, próximo a 90°.

Observando-se a Tabela 11, pode-se verificar que o valor de f_t^{ota} é reduzido com o aumento das dimensões do inversor CMOS intrinsecamente casado. Isto ocorre devido ao aumento da capacitância porta-substrato C_{gb} e porta-dreno C_{gd} , causado pelo aumento da área da porta do transistor MOS matricial halo-implantado. O crescimento de C_{gb} e C_{gd} é refletido na capacitância parasita C_P^{ota} em (3.8), reduzindo f_t^{ota} . Portanto, deve-se destacar a relação de projeto existente entre a redução do descasamento e resposta em frequência, imposto pela utilização do transistor MOS matricial halo-implantado, conforme discutido na Seção 3.1. Os valores estimados para as capacitâncias parasitas, C_P^{ota} , das estruturas Nauta OTA foram apresentados anteriormente na Tabela 8.

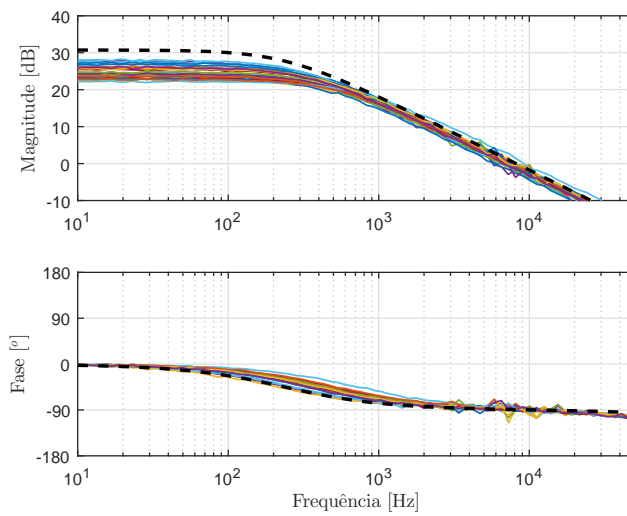
Deve-se também comentar que o transcondutor proposto originalmente por Bran Nauta [1] não possui nós internos e, portanto, é capaz de operar em uma ampla largura de banda. No projeto proposto neste trabalho, deve-se considerar que o uso do transistor



(a) 2x2



(b) 4x4



(c) 8x8

Figura 20 – Resposta em frequência medida (linhas sólidas) e típica (linha tracejada) para $V_{DD} = 0,25\text{-V}$.

Tabela 11 – Resultados para medida da resposta em frequência para Nauta OTA sem calibração alimentado com 0,25-V (25 amostras).

A_o^{ota} [dB]	Típico	Média	Desvio Padrão	Desvio Padrão/Média
Nauta 2x2	25,48	19,63	4,66	23,78%
Nauta 4x4	28,93	21,67	1,59	7,34%
Nauta 8x8	30,68	24,92	1,72	6,92%
MF [°]	Típico	Média	Desvio Padrão	Desvio Padrão/Média
Nauta 2x2	87,04	90,24	1,76	1,95%
Nauta 4x4	88,27	90,12	1,62	1,81%
Nauta 8x8	89,17	90,04	1,06	1,18%
f_t^{ota} [Hz]	Típico	Média	Desvio Padrão	Desvio Padrão/Média
Nauta 2x2	10,96k	10,67k	1,50k	14,09%
Nauta 4x4	10,23k	9,63k	1,01k	10,52%
Nauta 8x8	7,32k	7,23k	751,9	10,39%

MOS matricial halo-implantado adiciona muitos nós internos por transistor, embora isso possa afetar a banda de operação, seu impacto pode ser desconsiderado em relação à capacitância C_P^{ota} .

Resumidamente, a primeira etapa de caracterização mostrou que a estrutura Nauta OTA 8x8 apresentou a melhor relação Desvio Padrão/Média para ganho, margem de fase e frequência de ganho unitário, confirmando as inferências realizadas por meio das simulações na Seção 4.2. Portanto, esta estrutura será utilizada nas etapas de caracterização da transcondutância, ruído, distorção harmônica, CMRR e PSRR.

4.3.2 Caracterização da transcondutância

A caracterização da transcondutância da estrutura Nauta OTA 8x8 foi obtida realizando-se a medida da corrente diferencial de saída, I_{od} em função da variação da tensão de entrada $V_{id}/2$, conforme mostrado em (3.1). Foram medidas as 25 amostras disponíveis em 25 *dies* diferentes, utilizando-se o Analisador de Semicondutores B1500A.

Considerando que o fator de inclinação das curvas medidas representam a transcondutância, esse valor pode ser encontrado por meio da derivada $\partial I_{od}/\partial V_{id}$. Partindo-se de (3.1), foi realizada a variação de $V_{id}/2$ no intervalo de -125-mV até 125-mV, mantendo-se em ambas as entradas a tensão de modo-comum de 125-mV, sem nenhuma calibração da tensão de *offset* nas entradas do Nauta OTA 8x8.

Para simplificação, na apresentação dos resultados para I_{od} e $\partial I_{od}/\partial V_{id}$, nas Figuras 21 e 22, respectivamente, estão apresentadas somente as curvas obtidas das amostras

que apresentaram a maior (linha vermelha) e menor (linha azul) transcondutância, possuindo os valores de $2,74\text{-}\mu\text{S}$ e $2,12\text{-}\mu\text{S}$, respectivamente. Adicionalmente, a média de todas as 25 amostras medidas foi de $2,46\text{-}\mu\text{S}$ com um desvio padrão de $0,17\text{-}\mu\text{S}$, resultando em uma relação Desvio Padrão/Média de $7,24\%$. Observa-se, para as curvas de I_{od} da Figura 21 que, mesmo na presença do descasamento entre os *dies*, ambas são simetricamente centralizadas em torno de 0-A quando a tensão diferencial é 0-V, indicando que a tensão de modo-comum durante a operação está estabilizada em torno do valor projetado de 125-mV, sendo adequada à resposta típica simulada (linha tracejada).

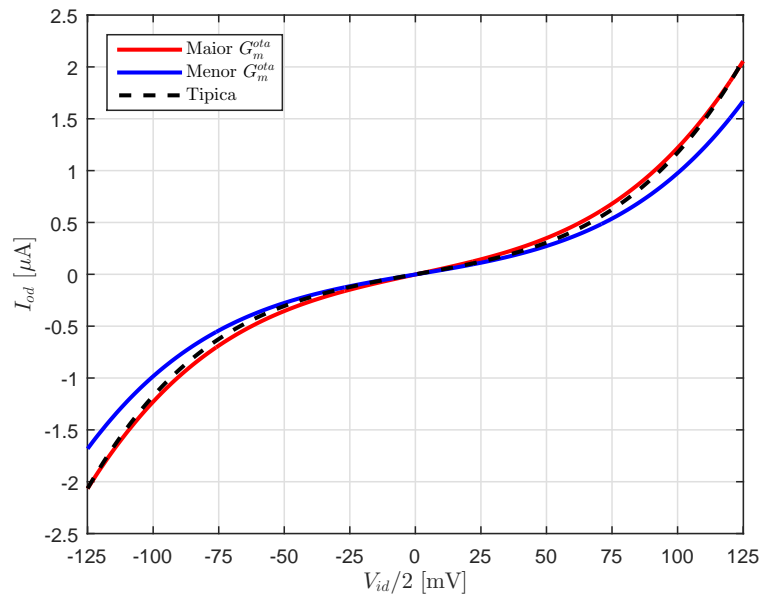


Figura 21 – Corrente diferencial de saída I_{od} medida para estrutura Nauta OTA 8x8.

As medidas para $\partial I_{od}/\partial V_{id}$, apresentadas na Figura 22, correspondem à soma dos cossenos hiperbólicos apresentada em (3.3), com um coeficiente de determinação igual a $R^2 = 0,98$. Os valores mínimos para cada uma das curvas acontece quando a tensão diferencial é 0-V, indicando que ambas são simetricamente centralizadas, seguindo a mesma avaliação realizada para as correntes I_{od} da Figura 21.

4.3.3 Caracterização do ruído

Foi também realizada a medida da densidade de ruído espectral equivalente referenciado à entrada de todas as 25 amostras, utilizando-se o Analisador Dinâmico de Sinais DSA35670A, aplicando-se em ambas as entradas do Nauta OTA 8x8 uma tensão de modo-comum de 125-mV. A Figura 23 mostra a maior (linha vermelha) e a menor (linha azul) curva medida para o densidade de ruído térmico, apresentando valores de $134\text{-nV}_{\text{rms}}/\sqrt{\text{Hz}}$ e $144\text{-nV}_{\text{rms}}/\sqrt{\text{Hz}}$, respectivamente. A pequena diferença encontrada entre ambas também aponta para a estabilização das transcondutâncias g_{m_p} e g_{m_n} , que influenciam no comportamento do ruído, conforme apresentado em (2.11) e, portanto,

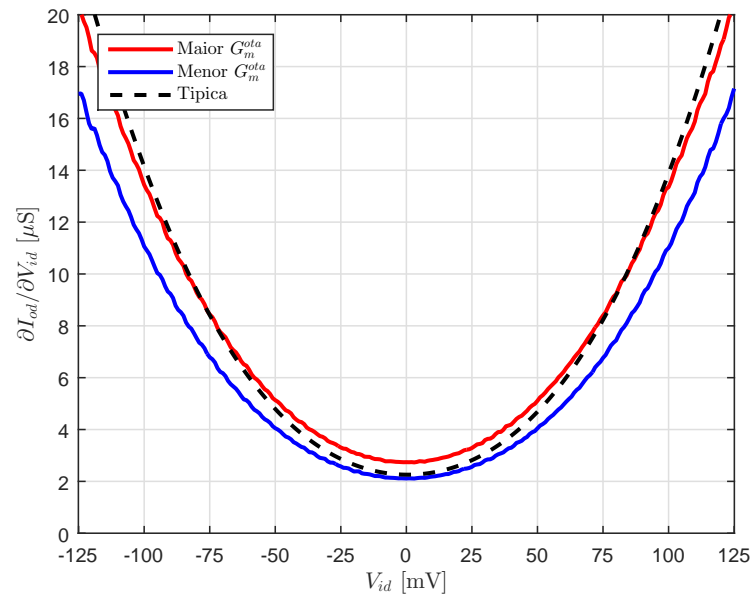


Figura 22 – Transcondutância diferencial $\partial I_{od}/\partial V_{id}$ medida para estrutura Nauta OTA 8x8.

em (3.11). A resposta medida apresenta a mesma ordem de grandeza do curva simulada típica (linha tracejada).

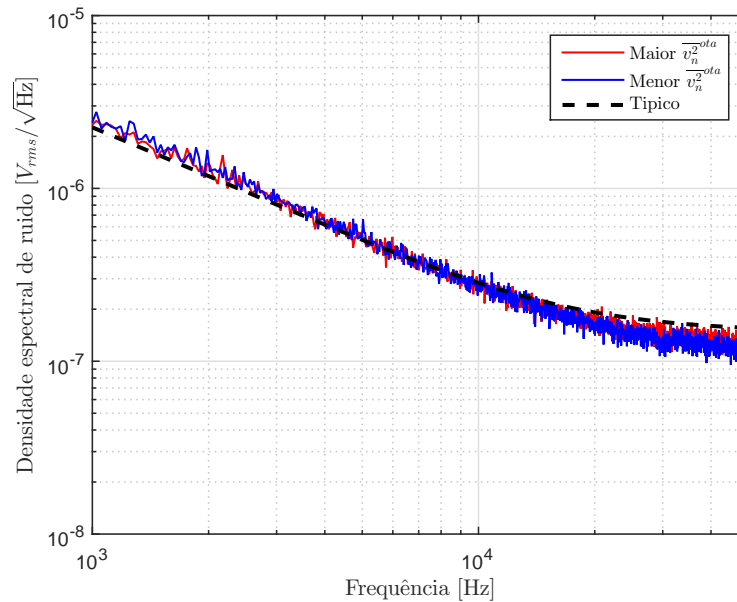


Figura 23 – Medida de densidade de ruído equivalente referenciado à entrada para estrutura Nauta OTA 8x8.

4.3.4 Caracterização da distorção harmônica

Na terceira etapa de caracterização, foi configurado um integrador G_m -C utilizando um capacitor de 22-nF e aplicado na entrada um sinal quadrado $20\text{-mV}_{pk}@10\text{-Hz}$

comprovando a operação como integrador mostrada na Figura 24. Foi realizada a medida da distorção harmônica com o Analisador Dinâmico de Sinais DSA35670A para um sinal senoidal diferencial de $18,8\text{-mV}_{pk}@10\text{-Hz}$ nas entradas do integrador $G_m\text{-C}$ para se obter a medida da distorção harmônica de 5-Hz até 35-Hz. Na Figura 25 estão mostrados os sinais de entrada e de saída do sinal senoidal e na Figura 26 é apresentado o espectro medido para o maior valor da componente harmônica HD_2 , ou seja, a amostra que possui o maior valor para a tensão de *offset*.

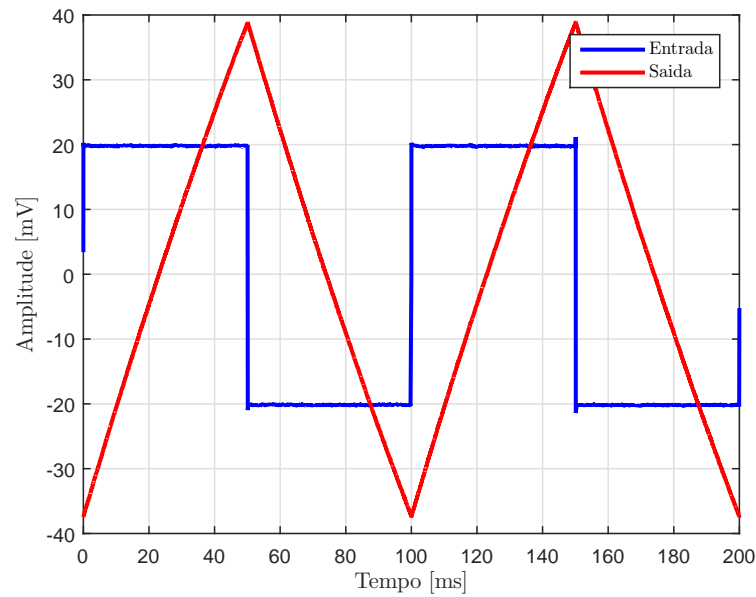


Figura 24 – Resposta transitiente medida para integrador $G_m\text{-C}$ com sinal de entrada quadrado $20\text{-mV}_{pk}@10\text{-Hz}$

Deve-se observar que a escolha do capacitor e da frequência do sinal de entrada devem garantir a operação do integrador de primeira ordem de acordo com (3.10). Nesta configuração é esperado um valor de HD_3 igual a 0,1% de acordo com (3.12b). O valor total medido para a distorção harmônica foi de 0,098%, próximo ao valor esperado para HD_3 . Na Figura 26 também se pode observar que a amplitude de HD_2 está controlada, permitindo concluir que a estrutura do Nauta OTA está, de fato, intrinsecamente casada e operando sem circuitos adicionais de calibração.

4.3.5 Estimativa do valor da tensão de *offset*

Considerando o mesmo ambiente de medida para distorção harmônica, não foi possível realizar a medição do valor da tensão de *offset* V_{OS} introduzido pelo descasamento devido ao seu baixo valor. Contudo, pode-se estimar seu valor utilizando-se (3.12a) e (3.12b) para calcular a relação HD_2/HD_3 ,

$$\frac{HD_2}{HD_3} = 6 \frac{V_{OS}}{V_{ID}}. \quad (4.1)$$

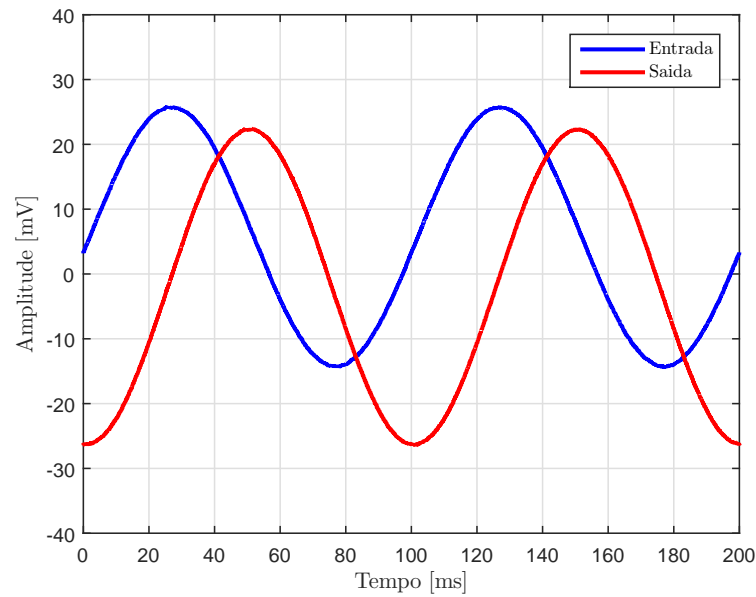


Figura 25 – Resposta transiente medida para integrador G_m -C com sinal de entrada senoidal $18,8\text{-mV}_{pk}@10\text{-Hz}$

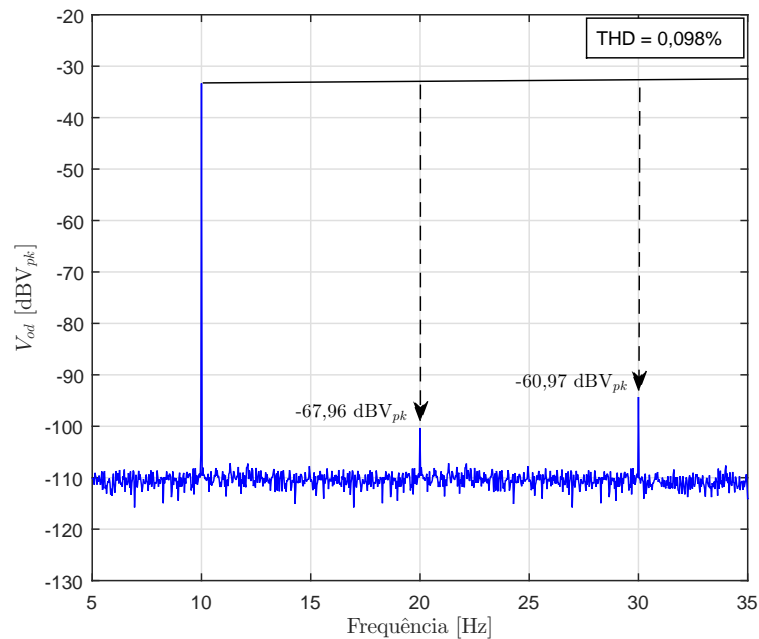


Figura 26 – Espectro de saída medido com o valor da componente HD_2 .

Tendo em vista que o espectro mostrado na Figura 26 apresenta a pior HD_2 medida dentre as 25 amostras, a aplicação de (4.1) permite estimar uma tensão de *offset* de $0,78\text{-mV}$. Este pequeno valor medido endossa que esta amostra está intrinsecamente calibrada, dispensando qualquer tipo de ajuste para a tensão de *offset*.

No entanto, é possível realizar pequenos ajustes nas entradas do integrador G_m -C para se cancelar o termo V_{OS} em (3.12a) e, desta forma, eliminar HD_2 do espectro. Porém,

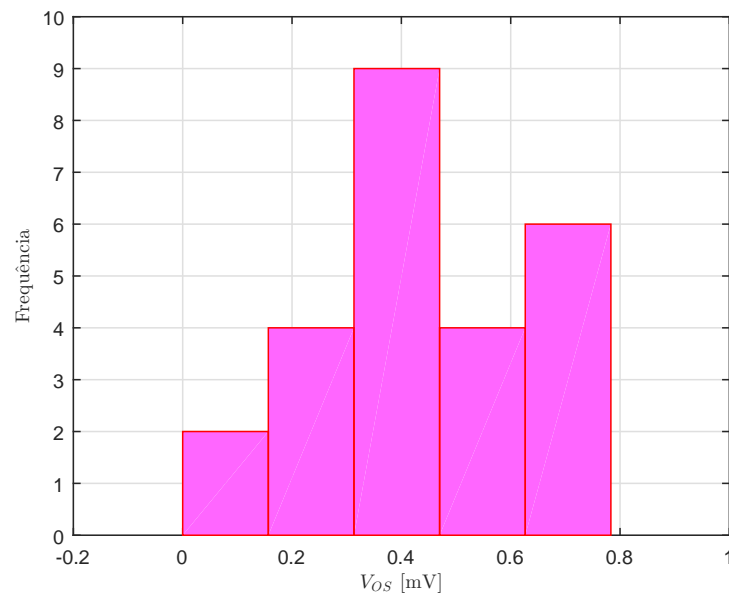


Figura 27 – Histograma para tensão de *offset* V_{OS} estimada para Nauta OTA 8x8.

o Analisador Dinâmico de Sinais DSA35670A possui como menor variação de tensão 0,98-mV, sendo inadequado para calibrações com valores menores. Contudo, este resultado comprova a implementação de um Nauta OTA sem calibração, conforme proposto neste trabalho.

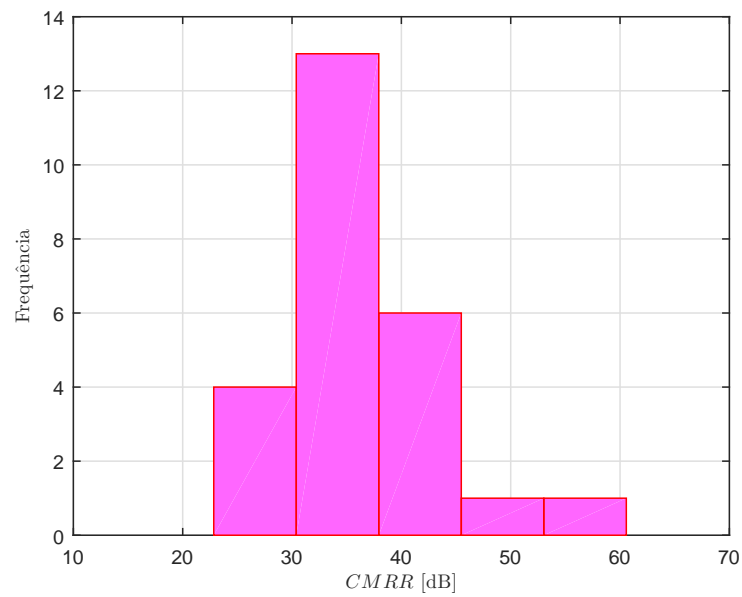
A Figura 27 apresenta o histograma para os valores absolutos da tensão de *offset* estimada por meio de (4.1) para as 25 amostras medidas. O valor médio para V_{OS} estimado é igual a 0,406-mV com um desvio padrão de 0,206-mV.

4.3.6 Caracterização da CMRR e PSRR

Para a caracterização da CMRR e PSRR é necessário o valor da transcondutância de modo-comum $G_{m_{CM}}^{ota}$ e da transcondutância relativa à fonte de alimentação $G_{m_{dd}}^{ota}$. Ambas podem ser obtidas pela medida da corrente diferencial de saída, I_{od} , em função da variação de uma tensão de entrada de modo-comum V_{CM} e da variação na tensão de alimentação V_{DD} , respectivamente. Foram medidas as 25 amostras disponíveis em 25 *dies* diferentes utilizando o Analisador de Semicondutores B1500A.

Seguindo o mesmo teste aplicado na simulação, para se avaliar o comportamento da CMRR, a tensão de modo-comum foi variada de 0-V até 250-mV e tomado o valor de $G_{m_{CM}}^{ota}$ quando $V_{SP}=125$ -mV. Para a avaliação da PSRR, ambas as entradas do Nauta OTA 8x8 foram mantidas com uma tensão de modo-comum de 125-mV e foi variada a tensão de alimentação entre 230-mV e 270-mV, tomando-se o valor de $G_{m_{DD}}^{ota}$ quando $V_{DD}=250$ -mV.

As Figuras 28a e 29 apresentam os histogramas para os valores de CMRR e PSRR



(a) Histograma para CMRR medido para Nauta OTA 8x8.

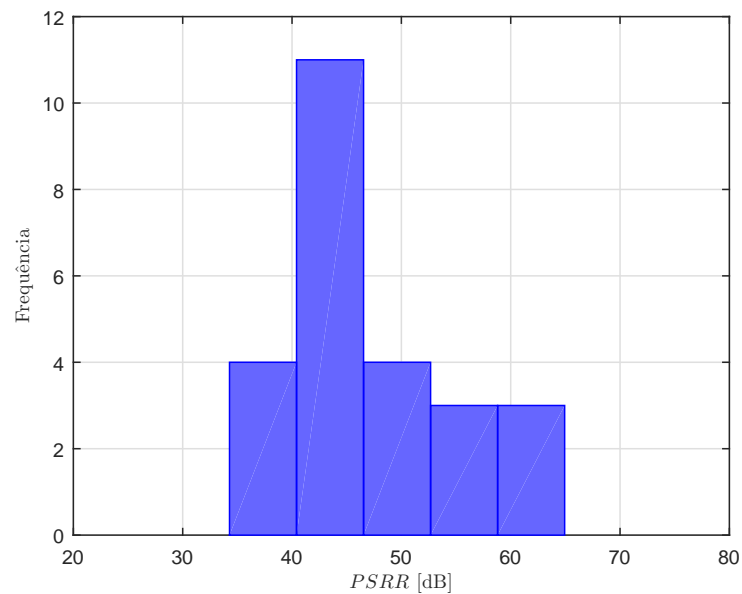


Figura 29 – Histograma para PSRR medido para Nauta OTA 8x8.

das 25 amostras do Nauta OTA 8x8. Tem-se para CMRR o valor médio de 36,83-dB com um desvio padrão de 7,54-dB e, para o PSRR, um valor médio de 46,97-dB e um desvio padrão de 7,53-dB.

Os valores de CMRR e PSRR são dependentes dos valores da tensão de *offset*, conforme (3.13) e (3.14), respectivamente. Portanto, utilizando-se o valor médio da tensão de *offset* é possível se estimar os valores médios para CMRR e PSRR do Nauta OTA operando em inversão fraca, como sendo 38-dB e 44-dB, respectivamente.

Tabela 12 – Resumo do desempenho do Nauta OTA 8x8.

Parâmetro	Valor	
	Simulado	Medido
Tecnologia [nm]	130	130
Tensão de alimentação [V]	0,25	0,25
Transcondutância [μS]	2,26	2,46
Frequência de ganho unitário [kHz]	8,12	7,32
Margem de fase [$^\circ$]	89,17	90,04
Ganho em malha aberta [dB]	30,68	24,92
<i>White noise floor</i> [$\text{nV}_{\text{rms}}/\sqrt{\text{Hz}}$]	157	139
<i>Linear input range</i> $\text{HD}_3 \leq 0,1\%$ [mV_{pk}]	18,8	19
Tensão <i>offset</i> [mV]	-	$\leq 0,78$
Consumo de potência [nW]	52,50	54,75
CMRR @DC [dB]	38,54	36,83
PSRR @DC [dB]	47,69	46,97
Área ativa [mm^2]	0,052	0,052

4.4 Desempenho do Nauta OTA sem calibração

A Tabela 12 mostra o resumo do desempenho do Nauta OTA sem calibração proposto comparando os resultados simulados com os medidos. A Tabela 13 realiza a comparação dos indicadores de desempenho deste trabalho com outros circuitos OTA com tensão de alimentação inferior a 1-V. Tendo como objetivo uma comparação mais adequada, utiliza-se a figura de mérito para eficiência energética, FoM_1 , definida como

$$\text{FoM}_1 = 100 \times \frac{f_t^{\text{ota}} C_L}{I}, \quad (4.2a)$$

e sua versão modificada, proposta em [14], FoM_2 , definida como

$$\text{FoM}_2 = 100 \times \frac{f_t^{\text{ota}} C_L}{I} \times \frac{V_{tn} + |V_{tp}|}{V_{DD}}, \quad (4.2b)$$

onde o segundo termo considera a operação em baixa tensão.

Comparando-se as FoMs apresentadas na Tabela 13, pode-se afirmar que o Nauta OTA sem calibração proposto apresenta um melhor desempenho que os demais. Além disso, a arquitetura proposta apresenta os menores valores de tensão de alimentação, consumo de potência e tensão de *offset*.

Tabela 13 – Indicadores de desempenho do Nauta OTA sem calibração proposto e outros OTAs de baixa tensão de alimentação.

Parâmetro	Este trabalho	TCAS 2014 [14]	TCAS 2015 [19]	TCAS 2016 [20]	TCAS 2017 [21]
Tecnologia	130-nm	130-nm	65-nm	180-nm	350-nm
Arquitetura	Fully Diferencial	Diferencial	Diferencial	Diferencial	Diferencial
Tensão de alimentação	0,25-V	0,25-V	0,35-V	0,7-V	0,9-V
Transcondutância	2,5- μ S	9,3-nS	-	-	-
Open loop gain	25-dB	60-dB	43-dB	58-dB	65-dB
Ganho em malha aberta	7,32-kHz	1,88-kHz	3,6-MHz	3,0-MHz	1,0-MHz
Margem de fase	90,2°	52,5°	56°	60°	60°
THD	-60-dB@18,8-mV _{pk} ,10-Hz	-54-dB@75-mV _{pk} ,10-Hz	-44-dB@175-mV _{pk} ,50-Hz	-54-dB@200-mV _{pk} ,100-kHz	-59-dB@25-mV _{pk} ,100-kHz
Tensão de <i>offset</i>	\leq 0,8-mV	2,8-mV	7,3-mV	11,0-mV	11,9-mV
Consumo de potência	55-nW	18-nW	17- μ W	25,4- μ W	24,3- μ W
CMRR	37-dB@DC	-	46-dB@DC	19-dB@DC	45-dB@10-kHz
PSRR	47-dB@DC	-	35-dB@DC	52-dB@DC	51-dB@10-kHz
Área total	0,052-mm ²	0,083-mm ²	0,005-mm ²	0,02-mm ²	0,014-mm ²
FoM ₁	143,3-V ⁻¹	39,2-V ⁻¹	22,2-V ⁻¹	165,3-V ⁻¹	37,0-V ⁻¹
FoM ₂	240,7-V ⁻¹	67,4-V ⁻¹	38,1-V ⁻¹	188,9-V ⁻¹	56,2-V ⁻¹

5 Conclusão

Este trabalho apresentou uma implementação para o amplificador operacional de transcondutância *fully* diferencial Nauta OTA, operando em inversão fraca, sem a necessidade de circuitos adicionais de calibração para estabilização da transcondutância, indicado para aplicações biomédicas de baixa-tensão e ultra baixa-potência. Este projeto baseou-se na construção de um inversor CMOS intrinsecamente casado, célula básica do Nauta OTA, utilizando-se transistores MOS matriciais halo-implantados para superar a baixa impedância de saída e o deslocamento da tensão de limiar características dos transistores MOS halo-implantados.

No projeto do inversor CMOS intrinsecamente casado, operando em inversão fraca, descrito no Capítulo 2, foi apresentada uma técnica para estabilização da tensão de *switching point* e diminuição da condutância de saída desta célula. As simulações computacionais mostraram que o aumento nas dimensões dos transistores MOS matriciais halo-implantados são capazes de aumentar o ganho em malha aberta do inversor em relação ao uso de transistores MOS unitários equivalentes halo-implantados. Além disso, o uso dos transistores MOS matriciais permite a estabilização da tensão de *switching point* em torno de um valor projetado, reduzindo o espalhamento estatístico.

O projeto do Nauta OTA, apresentado no Capítulo 3, foi desenvolvido no processo CMOS IBM-130nm, utilizando-se seis inversores CMOS intrinsecamente casados, projetados para um tensão de alimentação de 0,25-V, uma tensão de *switching point* de 125-mV e uma corrente de curto circuito de 35-nA. Apesar do fato desta abordagem inserir vários nós internos na topologia Nauta OTA, ela disponibiliza um OTA *fully* diferencial (i) sem o uso da estrutura de par diferencial com corrente de *tail* (ou carga ativa) e (ii) com um circuito de controle de modo-comum simplificado, com G_m constante e baixa tensão de *offset*, adequado para aplicações G_m -C em baixa frequência.

Os protótipos caracterizados apresentaram uma transcondutância de $2,46\text{-}\mu\text{S}$, um ganho em malha aberta de 25-dB, uma frequência de ganho unitário de 7,32-kHz e um consumo de potência de 55-nW em valores médios, considerando uma capacitância de carga de 30-pF. A tensão de *offset* estimada foi inferior a 0,8-mV, diminuindo o efeito da segunda harmônica na distorção harmônica total, permitindo uma THD de 0,1% para um sinal senoidal diferencial de 18,8-mV na configuração de integrador. Os valores obtidos para CMRR e PSRR foram de 49-dB e 47-dB, respectivamente, que são compatíveis com outros OTAs de baixa tensão de alimentação reportados na literatura. De fato, utilizando-se figuras de mérito para comparação com outros OTAs operando em inversão fraca, pode-se verificar que o Nauta OTA proposto apresenta desempenho superior.

5.1 Trabalhos Futuros

Durante a realização deste projeto foram vislumbradas três possibilidades de desenvolvimento futuros, permitindo a continuidade das pesquisas relacionadas ao trabalho apresentado.

5.1.1 Implementação de um modulador delta-sigma assíncrono

Os moduladores delta-sigma assíncronos são utilizados para a conversão de dados analógicos em digitais, pela variação do período e do ciclo de trabalho do sinal de saída em função do sinal de entrada [22]. Esta arquitetura de circuito necessita de um bloco integrador em sua malha de operação, o que pode ser implementado utilizando o Nauta OTA proposto utilizando adaptações na topologias propostas em [23, 24].

5.1.2 Filtros OTA-C de alta ordem para baixa frequências

Filtros G_m -C para baixas frequências são adequados para aplicações biomédicas. Utilizando-se o Nauta OTA proposto neste trabalho como elemento de transcondutância, é possível o projeto de topologias de filtros de alta ordem que possuem G_m constante, sendo a sintonia realizada por meio dos capacitores. Como aplicação prática, pretende-se implementar a topologia de um filtro Butterworth de quinta ordem, apresentada em [25], para aplicações em eletrocardiogramas.

5.1.3 Transistor MOS matricial projetado com outros tipos de transistores

Considerando que os transistores MOS halo-implantados arranjados no formato de uma matriz de transistores tem o comportamento aproximado de um transistor MOS de canal uniformemente dopado, é natural estender a aplicação desta estrutura para transistores com diferentes dopagens. Neste sentido, pretende-se projetar e caracterizar o transistor MOS matricial utilizando transistores do tipo *low threshold voltage* e de depleção. Adicionalmente, pretende-se investigar a redução da corrente de *leakage* presente no empilhamento de transistores [26, 27] utilizando-se ferramentas TCAD de simulação de processo e dispositivos.

APÊNDICE A – Equacionamento das expressões

Este apêndice fornece suporte aos equacionamentos apresentados nos Capítulos 2 e 3. Todas as equações que não podem ser inferidas diretamente a partir dos circuitos esquemáticos e/ou outras equações são reapresentadas com maiores detalhes neste apêndice.

A.1 Equacionamento da tensão *switching point* do inversor CMOS

A tensão de *switching point* é definida quando $V_i = V_o$. Nesta condições os dois transistores conduzem a mesma corrente, sendo $I_p = I_n$. Portanto, utilizando-se (2.2a) e (2.2b), reproduzidas aqui por conveniência

$$I_p = I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_i}{n_p k T} \right) \quad (2.2a)$$

e

$$I_n = I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{n_n k T} \right), \quad (2.2b)$$

pode-se obter a expressão para $I_p = I_n$ como sendo

$$I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_i}{n_p k T} \right) = I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{n_n k T} \right). \quad (A.1)$$

Fazendo $V_{SP} = V_i$ e aplicando-se logaritmo neperiano em (A.1), obtêm-se

$$\ln \left[I_{D0p} \left(\frac{W}{L} \right)_p \right] + q \frac{V_{DD}}{n_p k T} - q \frac{V_{SP}}{n_p k T} = \ln \left[I_{D0n} \left(\frac{W}{L} \right)_n \right] + q \frac{V_{SP}}{n_n k T}, \quad (A.2)$$

portanto, multiplicando-se todos os termos de (A.2) por kT/q e isolando V_{SP} é possível determinar (2.3)

$$V_{SP} \triangleq \frac{\frac{kT}{q} \ln \left(\frac{I_{D0p} \left(\frac{W}{L} \right)_p}{I_{D0n} \left(\frac{W}{L} \right)_n} \right) + \frac{V_{DD}}{n_p}}{\frac{1}{n_p} + \frac{1}{n_n}}. \quad (2.3)$$

A.2 Equacionamento da corrente de saída do inversor CMOS

A corrente de saída do inversor CMOS é definida, de acordo com Figura 2, como $I_o = I_p - I_n$. Portanto, utilizando-se (2.2a) e (2.2b), reproduzidas aqui por conveniência

$$I_p = I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_i}{n_p k T} \right), \quad (2.2a)$$

e

$$I_n = I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{n_n k T} \right), \quad (2.2b)$$

pode-se obter I_o como sendo

$$I_o = I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_i}{n_p k T} \right) - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{n_n k T} \right). \quad (A.3)$$

Em (A.3) pode-se utilizar a relação $V_{DD} = 2V_{SP}$ para se obter

$$I_o = I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{2V_{SP} - V_i}{n_p k T} \right) - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{n_n k T} \right), \quad (A.4)$$

que pode ser organizada como

$$I_o = I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP}}{n_p k T} \right) \left(q \frac{V_{SP} - V_i}{n_p k T} \right) - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP}}{n_n k T} \right) \exp \left(q \frac{V_i - V_{SP}}{n_n k T} \right), \quad (A.5)$$

onde se pode aplicar as definições da corrente de curto circuito do inversor CMOS apresentadas em (2.4a) e (2.4b) permitindo escrever I_o como

$$I_o = I_{SC} \left[\exp \left(q \frac{V_{SP} - V_i}{n_p k T} \right) - \exp \left(-q \frac{V_{SP} - V_i}{n_n k T} \right) \right]. \quad (2.5)$$

A.3 Equacionamento da corrente de saída do Nauta OTA

Considerando a arquitetura do circuito Nauta OTA, conforme apresentada na Figura 9, a corrente diferencial de saída é dada pelas correntes de saída dos inversores Inv1 e Inv2, I_{o1} e I_{o2} , respectivamente.

Portanto, considerando-se e uma tensão de entrada em modo diferencial, $V_{id} = V_{i1} - V_{i2}$, e aplicando-se os sinais definidos no Capítulo 3, como sendo

$$V_{i1} = V_{SP} + \frac{V_{id}}{2} \text{ e } V_{i2} = V_{SP} - \frac{V_{id}}{2}, \quad (3.1)$$

pode-se encontrar a expressão para I_{o1}

$$I_{o1} = I_{SC} \left[\exp \left(q \frac{V_{SP} - (V_{SP} + V_{id}/2)}{n_p k T} \right) - \exp \left(-q \frac{V_{SP} - (V_{SP} + V_{id}/2)}{n_n k T} \right) \right], \quad (A.6)$$

$$I_{o1} = I_{SC} \left[\exp \left(q \frac{V_{id}}{2n_p k T} \right) - \exp \left(-q \frac{V_{id}}{2n_n k T} \right) \right]. \quad (\text{A.7})$$

Da mesma forma, pode-se obter I_{o2}

$$I_{o2} = I_{SC} \left[\exp \left(-q \frac{V_{id}}{2n_p k T} \right) - \exp \left(q \frac{V_{id}}{2n_n k T} \right) \right]. \quad (\text{A.8})$$

A expressão para a corrente diferencial de saída, $I_{od} = I_{o1} - I_{o2}$ é dada por

$$I_{od} = I_{SC} \left[\exp \left(q \frac{V_{id}}{2n_p k T} \right) - \exp \left(-q \frac{V_{id}}{2n_n k T} \right) - \exp \left(-q \frac{V_{id}}{2n_p k T} \right) + \exp \left(q \frac{V_{id}}{2n_n k T} \right) \right], \quad (\text{A.9})$$

e utilizando-se a identidade trigonométrica

$$\exp \left(\frac{x}{2} \right) - \exp \left(-\frac{x}{2} \right) = 2 \sinh \left(\frac{x}{2} \right), \quad (\text{A.10})$$

pode-se escrever (A.9) no formato

$$I_{od} = 2I_{SC} \left[\sinh \left(q \frac{V_{id}}{2n_p k T} \right) + \sinh \left(q \frac{V_{id}}{2n_n k T} \right) \right]. \quad (\text{3.2})$$

A.4 Equacionamento do ganho em malha aberta

Considerando a análise do modelo de pequeno sinais do Nauta OTA, apresentado na Figura 10, as tensões de saída v_{o1} e v_{o2} , são dadas por

$$v_{o1}(s) = \frac{G_m^{inv}(v_{i2}(s) + v_{o2}(s))}{s(C_L + C_P^{ota}) + 3(g_{op} + g_{on}) - G_m^{inv}}, \quad (\text{3.5a})$$

e

$$v_{o2}(s) = \frac{G_m^{inv}(v_{i1}(s) + v_{o1}(s))}{s(C_L + C_P^{ota}) + 3(g_{op} + g_{on}) - G_m^{inv}}, \quad (\text{3.5b})$$

Realizando a subtração $v_{o1} - v_{o2}$, considerando-se a operação em baixa frequência em malha aberta, pode-se obter

$$v_{o1} - v_{o2} = \frac{G_m^{inv}(v_{i2} + v_{o2})}{3(g_{op} + g_{on}) - G_m^{inv}} - \frac{G_m^{inv}(v_{i1} + v_{o1})}{3(g_{op} + g_{on}) - G_m^{inv}}, \quad (\text{A.12})$$

que pode ser manipulada como

$$\begin{aligned} 3(g_{op} + g_{on})v_{o1} - G_m^{inv}v_{o1} - 3(g_{op} + g_{on})v_{o2} + G_m^{inv}v_{o2} \\ = G_m^{inv}v_{i2} + G_m^{inv}v_{o2} - G_m^{inv}v_{i1} - G_m^{inv}v_{o1}. \end{aligned} \quad (\text{A.13})$$

Eliminando-se os termos comuns em ambos os membros, tem-se

$$3(g_{op} + g_{on})v_{o1} - 3(g_{op} + g_{on})v_{o2} = G_m^{inv}v_{i2} - G_m^{inv}v_{i1}, \quad (\text{A.14})$$

e evidenciando-se a relação $(v_{o1} - v_{o2})/(v_{i1} - v_{i2})$, tem-se

$$\frac{v_{o1} - v_{o2}}{v_{i1} - v_{i2}} = \frac{1}{3} \frac{-C_m^{inv}}{(g_{op} + g_{on})} \quad (A.15)$$

Logo, a expressão para o ganho em malha aberta, A_o^{ota} , pode ser obtido diretamente de (A.15), como sendo

$$A_o^{ota} = \frac{v_{o1} - v_{o2}}{v_{i1} - v_{i2}} = \frac{1}{3} \frac{g_{mp} + g_{mn}}{g_{op} + g_{on}} \quad (3.6)$$

A.5 Equacionamento da distorção harmônica

Adicionando-se uma tensão de *offset*, V_{OS} , apenas à entrada V_{i1} em (3.1) tem-se como sinais de entrada

$$V_{i1} = V_{SP} + \frac{V_{id}}{2} + V_{OS} \text{ and } V_{i2} = V_{SP} - \frac{V_{id}}{2} \quad (A.16)$$

de forma que a corrente de saída, I_{od} , pode ser definida como

$$\begin{aligned} I_{od} = & \left[I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_{SP} + \frac{V_{id}}{2}}{n_p kT} \right) - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP} - \frac{V_{id}}{2}}{n_n kT} \right) \right] \\ & - \left[I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_{SP} - \frac{V_{id}}{2} - V_{OS}}{n_p kT} \right) \right. \\ & \left. - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP} + \frac{V_{id}}{2} + V_{OS}}{n_n kT} \right) \right]. \quad (A.17) \end{aligned}$$

Considerando-se que $V_{DD} = 2V_{SP}$, pode se utilizar a relação I_{SC} definida em (2.4), de forma que

$$\begin{aligned} I_{od} = I_{SC} & \left[\exp \left(q \frac{V_{id}}{2n_p kT} \right) - \exp \left(-q \frac{V_{id}}{2n_n kT} \right) \right. \\ & \left. - \exp \left(-q \frac{V_{id} + 2V_{OS}}{2n_p kT} \right) + \exp \left(q \frac{V_{id} + 2V_{OS}}{2n_n kT} \right) \right]. \quad (A.18) \end{aligned}$$

Escrevendo-se os termos exponenciais utilizando-se a série de Taylor, a corrente I_{od} pode ser definida como

$$\begin{aligned} I_{od} = I_{SC} & \left[\frac{q}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right) V_{id} + \frac{q}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right) V_{OS} + \right. \\ & \left. \frac{1}{8} \left(\frac{q}{kT} \right)^3 \left(\frac{1}{n_p^3} + \frac{1}{n_n^3} \right) V_{id}^2 V_{OS} + \frac{1}{24} \left(\frac{q}{kT} \right)^3 \left(\frac{1}{n_p^3} + \frac{1}{n_n^3} \right) V_{id}^3 \right]. \quad (A.19) \end{aligned}$$

Fazendo-se $V_{id} = V_{ID} \cos(\omega t)$, a corrente diferencial de saída, I_{od} , é dada por

$$\begin{aligned}
 I_{od} = I_{SC} \left[\frac{q}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right) V_{ID} \cos(\omega t) + \frac{q}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right) V_{OS} \right. \\
 + \frac{1}{16} \left(\frac{q}{kT} \right)^3 \left(\frac{1}{n_p^3} + \frac{1}{n_n^3} \right) V_{OS} V_{ID}^2 \cos(2\omega t) + \frac{1}{2} \left(\frac{q}{kT} \right)^3 \left(\frac{1}{n_p^3} + \frac{1}{n_n^3} \right) V_{OS} V_{ID}^2 \\
 \left. + \frac{1}{32} \left(\frac{q}{kT} \right)^3 \left(\frac{1}{n_p^3} + \frac{1}{n_n^3} \right) V_{ID}^3 \cos(\omega t) + \frac{1}{96} \left(\frac{q}{kT} \right)^3 \left(\frac{1}{n_p^3} + \frac{1}{n_n^3} \right) V_{ID}^3 \cos(3\omega t) \right], \quad (\text{A.20})
 \end{aligned}$$

de onde pode-se extrair as componentes harmônicas

$$f_0 \approx q \frac{I_{SC}}{kT} \left(\frac{1}{n_n} + \frac{1}{n_p} \right) V_{OS}, \quad (\text{A.21a})$$

$$f_1 \approx q \frac{I_{SC}}{kT} \left(\frac{1}{n_n} + \frac{1}{n_p} \right) V_{ID}, \quad (\text{A.21b})$$

$$f_2 \approx \frac{1}{16} q^3 \frac{I_{SC}}{(kT)^3} \left(\frac{1}{n_n^3} + \frac{1}{n_p^3} \right) V_{ID}^2 V_{OS} \quad \text{e} \quad (\text{A.21c})$$

$$f_3 \approx \frac{1}{96} q^3 \frac{I_{SC}}{(kT)^3} \left(\frac{1}{n_n^3} + \frac{1}{n_p^3} \right) V_{ID}^3. \quad (\text{A.21d})$$

Pode-se determinar HD_2 e HD_3 por meio das relações

$$\text{HD}_2 = \frac{f_2}{f_1} = \frac{\frac{1}{16} q^3 \frac{I_{SC}}{(kT)^3} \left(\frac{1}{n_n^3} + \frac{1}{n_p^3} \right) V_{ID}^2 V_{OS}}{q \frac{I_{SC}}{kT} \left(\frac{1}{n_n} + \frac{1}{n_p} \right) V_{ID}} = \frac{\frac{1}{16} \frac{1}{n_p^3} + \frac{1}{n_n^3}}{\frac{1}{n_p} + \frac{1}{n_n}} \left(q \frac{V_{ID}}{kT} \right) \left(q \frac{V_{OS}}{kT} \right) \quad (\text{3.12a})$$

e

$$\text{HD}_3 = \frac{f_3}{f_1} = \frac{\frac{1}{96} q^3 \frac{I_{SC}}{(kT)^3} \left(\frac{1}{n_n^3} + \frac{1}{n_p^3} \right) V_{ID}^3}{q \frac{I_{SC}}{kT} \left(\frac{1}{n_n} + \frac{1}{n_p} \right) V_{ID}} = \frac{1}{96} \frac{\frac{1}{n_p^3} + \frac{1}{n_n^3}}{\frac{1}{n_p} + \frac{1}{n_n}} \left(q \frac{V_{ID}}{kT} \right)^2. \quad (\text{3.12b})$$

A.6 Equacionamento da razão de rejeição de tensão de modo-comum

Considerando-se a arquitetura do circuito Nauta OTA, conforme apresentado na Figura 9, operando em inversão fraca e aplicando-se às entradas V_{i1} e V_{i2} , os sinais definidos em (A.16), para se encontrar a expressão para a corrente de saída, I_{od} , conforme (A.17),

reproduzida a seguir

$$\begin{aligned}
 I_{od} = & \left[I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_{SP} + \frac{V_{id}}{2}}{n_p k T} \right) - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP} - \frac{V_{id}}{2}}{n_n k T} \right) \right] \\
 & - \left[I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_{SP} - \frac{V_{id}}{2} - V_{OS}}{n_p k T} \right) \right. \\
 & \left. - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP} + \frac{V_{id}}{2} + V_{OS}}{n_n k T} \right) \right]. \quad (A.17)
 \end{aligned}$$

Fazendo-se $V_{DD} = 2V_{SP}$ e $V_{id} = 0$ em (A.17), tem-se

$$\begin{aligned}
 I_{od} = & \left[I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP}}{n_p k T} \right) - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP}}{n_n k T} \right) \right] \\
 & - \left[I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP} - V_{OS}}{n_p k T} \right) - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP} + V_{OS}}{n_n k T} \right) \right], \quad (A.22)
 \end{aligned}$$

que pode ser reescrita como sendo

$$\begin{aligned}
 I_{od} = & I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP}}{n_p k T} \right) - I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP}}{n_n k T} \right) \\
 & - I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP}}{n_p k T} \right) \exp \left(-q \frac{V_{OS}}{n_p k T} \right) \\
 & + I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP}}{n_n k T} \right) \exp \left(q \frac{V_{OS}}{n_n k T} \right). \quad (A.23)
 \end{aligned}$$

Conforme definido no projeto apresentado no Capítulo 3 tensão de modo-comum estabelecida para o Nauta OTA é igual a tensão de *switching point* do inversor CMOS, portando, derivando-se (A.23) em relação a V_{SP} tem-se

$$\begin{aligned}
 \frac{\partial I_{od}}{\partial V_{SP}} = & q \frac{1}{n_p k T} I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP}}{n_p k T} \right) - q \frac{1}{n_n k T} I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP}}{n_n k T} \right) \\
 & - q \frac{1}{n_p k T} I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP}}{n_p k T} \right) \exp \left(-q \frac{V_{OS}}{n_p k T} \right) \\
 & + q \frac{1}{n_n k T} I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP}}{n_n k T} \right) \exp \left(q \frac{V_{OS}}{n_n k T} \right), \quad (A.24)
 \end{aligned}$$

e utilizando-se a relação estabelecida para I_{SC} , pode-se ser reescrever $\partial I_{od}/\partial V_{SP}$ como

$$\begin{aligned}
 \frac{\partial I_{od}}{\partial V_{SP}} = & q \frac{I_{SC}}{n_p k T} - q \frac{I_{SC}}{n_n k T} - q \frac{I_{SC}}{n_p k T} \exp \left(-q \frac{V_{OS}}{n_p k T} \right) + q \frac{I_{SC}}{n_n k T} \exp \left(q \frac{V_{OS}}{n_n k T} \right), \\
 & = q \frac{I_{SC}}{k T} \left[\frac{1}{n_p} \left(1 - \exp \left(-q \frac{V_{OS}}{n_p k T} \right) \right) - \frac{1}{n_n} \left(1 - \exp \left(q \frac{V_{OS}}{n_n k T} \right) \right) \right] \quad (A.25)
 \end{aligned}$$

Aplicando-se a expansão em série de Taylor para as exponenciais em (A.25), transcondutância de modo-comum do Nauta OTA, $G_{m_{CM}}^{ota}$ pode ser reescrita como

$$\begin{aligned} G_{m_{CM}}^{ota} &= \left. \frac{\partial I_{od}}{\partial V_{SP}} \right|_{V_{SP}=V_{DD}/2} = q \frac{I_{SC}}{kT} \left[\frac{1}{n_p} \left[1 - 1 + q \frac{V_{OS}}{n_p kT} \right] - \frac{1}{n_n} \left[1 - 1 - q \frac{V_{OS}}{n_n kT} \right] \right] \\ &= q \frac{I_{SC}}{kT} \left(q \frac{V_{OS}}{n_p^2 kT} + q \frac{V_{OS}}{n_n^2 kT} \right) = q^2 \frac{I_{SC}}{k^2 T^2} V_{OS} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right). \end{aligned} \quad (A.26)$$

Pode-se estabelecer a taxa de rejeição da tensão de modo-comum, CMRR, como a relação entre a transcondutância de modo diferencial e a transcondutância de modo-comum. Desta forma, utilizando-se G_m^{ota} definida em (3.4) e $G_{m_{CM}}^{ota}$ definida em (A.26), a CMRR é dada por

$$\text{CMRR} = \frac{G_m^{ota}}{G_{m_{CM}}^{ota}} = \frac{q \frac{I_{SC}}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right)}{q^2 \frac{I_{SC}}{k^2 T^2} V_{OS} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right)} = \frac{\frac{1}{n_p} + \frac{1}{n_n}}{q \frac{V_{OS}}{kT} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right)}. \quad (3.13)$$

A.7 Equacionamento da razão de rejeição da fonte de alimentação

Utilizando-se a equação para a corrente diferencial de saída do Nauta OTA, definida em (A.17), reproduzida a seguir

$$\begin{aligned} I_{od} &= \left[I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_{SP} + \frac{V_{id}}{2}}{n_p kT} \right) - I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP} - \frac{V_{id}}{2}}{n_n kT} \right) \right] \\ &\quad - \left[I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_{SP} - \frac{V_{id}}{2} - V_{OS}}{n_p kT} \right) \right. \\ &\quad \left. - I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP} + \frac{V_{id}}{2} + V_{OS}}{n_n kT} \right) \right], \end{aligned} \quad (A.17)$$

e fazendo-se $V_{SP} = V_{DD}/2$ considerando V_{id} nulo, tem-se

$$\begin{aligned} I_{od} &= \left[I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD}}{2n_p kT} \right) - I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{DD}}{2n_n kT} \right) \right] \\ &\quad - \left[I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD}/2 - V_{OS}}{n_p kT} \right) \right. \\ &\quad \left. - I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{DD}/2 + V_{OS}}{n_n kT} \right) \right], \end{aligned} \quad (A.27)$$

que pode ser reescrita como

$$\begin{aligned}
 I_{od} = & I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD}}{2n_p kT} \right) - I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{DD}}{2n_n kT} \right) \\
 & - I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD}}{2n_p kT} \right) \exp \left(-q \frac{V_{OS}}{n_p kT} \right) \\
 & + I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{DD}}{2n_n kT} \right) \exp \left(q \frac{V_{OS}}{n_n kT} \right), \quad (\text{A.28})
 \end{aligned}$$

Portanto, para se obter a transcondutância relativa à fonte de alimentação, pode-se derivar (A.28) em relação a V_{DD} , obtendo-se

$$\begin{aligned}
 \frac{\partial I_{od}}{\partial V_{DD}} = & q \frac{1}{2n_p kT} I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD}}{2n_p kT} \right) - q \frac{1}{2n_n kT} I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{DD}}{2n_n kT} \right) \\
 & - q \frac{1}{2n_p kT} I_{D0_p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD}}{2n_p kT} \right) \exp \left(-q \frac{V_{OS}}{n_p kT} \right) \\
 & + q \frac{1}{2n_n kT} I_{D0_n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{DD}}{2n_n kT} \right) \exp \left(q \frac{V_{OS}}{n_n kT} \right), \quad (\text{A.29})
 \end{aligned}$$

utilizando-se $V_{SP} = V_{DD}/2$ e a relação estabelecida para I_{SC} , pode-se ser reescrever $\partial I_{od}/\partial V_{DD}$ como

$$\begin{aligned}
 \frac{\partial I_{od}}{\partial V_{DD}} = & q \frac{I_{SC}}{2n_p kT} - q \frac{I_{SC}}{2n_n kT} - q \frac{I_{SC}}{2n_p kT} \exp \left(-q \frac{V_{OS}}{n_p kT} \right) + q \frac{I_{SC}}{2n_n kT} \exp \left(q \frac{V_{OS}}{n_n kT} \right), \\
 = & q \frac{I_{SC}}{2kT} \left[\frac{1}{n_p} \left(1 - \exp \left(-q \frac{V_{OS}}{n_p kT} \right) \right) - \frac{1}{n_n} \left(1 - \exp \left(q \frac{V_{OS}}{n_n kT} \right) \right) \right]. \quad (\text{A.30})
 \end{aligned}$$

Aplicando-se a expansão em série de Taylor nas exponenciais em (A.30), tem-se que a transcondutância relativa à fonte de alimentação do Nauta OTA, $G_{m_{DD}}^{ota}$, pode ser escrita como

$$\begin{aligned}
 G_{m_{DD}}^{ota} = & \left. \frac{\partial I_{od}}{\partial V_{DD}} \right|_{V_{DD}=2V_{SP}} = q \frac{I_{SC}}{2kT} \left[\frac{1}{n_p} \left[1 - 1 + q \frac{V_{OS}}{n_p kT} \right] - \frac{1}{n_n} \left[1 - 1 - q \frac{V_{OS}}{n_n kT} \right] \right] \\
 = & q \frac{I_{SC}}{2kT} \left(q \frac{V_{OS}}{n_p^2 kT} + q \frac{V_{OS}}{n_n^2 kT} \right) = q^2 \frac{I_{SC}}{2k^2 T^2} V_{OS} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right). \quad (\text{A.31})
 \end{aligned}$$

Pode-se estabelecer a taxa de rejeição da tensão de alimentação, PSRR, como a relação entre a transcondutância de modo diferencial e a transcondutância referenciada à tensão de alimentação. Desta forma, utilizando-se G_m^{ota} definida em (3.4) e $G_{m_{DD}}^{ota}$ definida em (A.31), a PSRR é dada por

$$\text{PSRR} = \frac{G_m^{ota}}{G_{m_{DD}}^{ota}} = \frac{q \frac{I_{SC}}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right)}{q^2 \frac{I_{SC}}{2k^2 T^2} V_{OS} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right)} = \frac{\frac{1}{n_p} + \frac{1}{n_n}}{q \frac{V_{OS}}{2kT} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right)}. \quad (\text{3.14})$$

APÊNDICE B – Validação numérica dos modelos

Tendo em vista as especificações estabelecidas para a operação em inversão fraca do inversor CMOS intrinsecamente casado, a saber: (i) uma tensão de alimentação, V_{DD} , de 0,25-V, (ii) uma tensão de *switching point*, V_{SP} , de 125-mV e (iii) uma corrente de curto circuito, I_{SC} , de 35-nA, pode-se realizar a aplicação de valores nas equações para validação numérica do modelo.

B.1 Valores extraídos por meio de simulação computacional

A Tabela 14 apresenta os valores extraídos, por meio de simulação computacional, considerando as especificações estabelecidas para o inversor CMOS intrinsecamente casado e a capacitância de saída do Nauta OTA, construído com transistor MOS matricial halo-implantado 8x8. Adicionalmente, para os cálculos foi utilizado o valor da tensão térmica, kT/q , de 25,9-mV.

Tabela 14 – Valores extraídos por meio de simulação computacional.

Parâmetro	Valor
C_P^{ota}	13,4-pF
g_{op}	9,46-n Ω^{-1}
g_{on}	9,45-n Ω^{-1}
n_p	1,36
n_n	1,16

B.2 Validação numérica do modelo do inversor CMOS intrinsecamente casado

Aplicando-se a expressão definida em [3] para a transcondutância em inversão fraca, sendo

$$g_m = q \frac{I_{DS}}{nkT}, \quad (\text{B.1})$$

e com $I_{DS} = I_{SC}$, tem-se

$$g_{m_p} = q \frac{I_{SC}}{n_p kT} = \frac{35\text{n}}{1,36 \times 25,9\text{m}} = 1,02\mu\text{S} \quad (\text{B.2})$$

e

$$g_{m_n} = q \frac{I_{SC}}{n_n kT} = \frac{35\text{n}}{1,16 \times 25,9\text{m}} = 1,20\mu\text{S} . \quad (\text{B.3})$$

De forma que G_m^{inv} , definida em (2.7), seja dada por

$$G_m^{inv} = -(g_{m_p} + g_{m_n}) = -(1,02\mu + 1,20\mu) = -2,22\mu\text{S} \quad (\text{2.7})$$

Aplicando estes valores em (2.9), pode-se determinar o ganho em malha aberta do inversor CMOS intrinsecamente casado 8x8 como sendo

$$A_o^{inv} = \frac{v_o}{v_i} = \frac{g_{m_p} + g_{m_n}}{g_{o_p} + g_{o_n}} = \frac{2,22\mu}{9,46\text{n} + 9,45\text{n}} = 117,59 \quad (\text{2.9})$$

B.3 Validação numérica do modelo do Nauta OTA 8x8

B.3.1 Transcondutância

A equação para a corrente diferencial de saída é dada pela expressão (3.2), reproduzida aqui por conveniência, fornece o comportamento de I_{od} em função da variação da tensão V_{id} . Substituindo-se valores, tem-se

$$\begin{aligned} I_{od} &= 2I_{SC} \left[\sinh \left(q \frac{V_{id}}{2n_p kT} \right) + \sinh \left(q \frac{V_{id}}{2n_n kT} \right) \right] \\ &= 2 \times 35\text{n} \left[\sinh \left(\frac{V_{id}}{2 \times 1,36 \times 25,9\text{m}} \right) + \sinh \left(\frac{V_{id}}{2 \times 1,16 \times 25,9\text{m}} \right) \right] , \end{aligned} \quad (\text{3.2})$$

e, traçando-se o gráfico para (3.2), obtêm-se a Figura 30, que apresenta o mesmo comportamento para a corrente de saída I_{od} medida, mostrada na Figura 21.

A equação para a derivada de (3.2), $\partial I_{od}/\partial V_{id}$, dada por (3.3), reproduzida aqui por conveniência, fornece o comportamento para a transcondutância do Nauta OTA em função da variação da tensão V_{id} . Substituindo-se valores, tem-se

$$\begin{aligned} \frac{\partial I_{od}}{\partial V_{id}} &= q \frac{I_{SC}}{kT} \left[\frac{1}{n_p} \cosh \left(q \frac{V_{id}}{2n_p kT} \right) + \frac{1}{n_n} \cosh \left(q \frac{V_{id}}{2n_n kT} \right) \right] \\ &= \frac{35\text{n}}{25,9\text{m}} \left[\frac{1}{1,36} \cosh \left(\frac{V_{id}}{2 \times 1,36 \times 25,9\text{m}} \right) + \frac{1}{1,16} \cosh \left(\frac{V_{id}}{2 \times 1,16 \times 25,9\text{m}} \right) \right] , \end{aligned} \quad (\text{3.3})$$

e traçando o gráfico para (3.3), obtêm-se a Figura 31, que é compatível com o comportamento medido para $\partial I_{od}/\partial V_{id}$ mostrado na Figura 22.

A transcondutância do Nauta OTA 8x8, G_m^{ota} , quando $V_{id}=0$, definida em (3.4), é dada por

$$G_m^{ota} = q \frac{I_{SC}}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right) = \frac{35\text{n}}{25,9\text{m}} \left(\frac{1}{1,36} + \frac{1}{1,16} \right) = 2,22\mu\text{S} . \quad (\text{3.4})$$

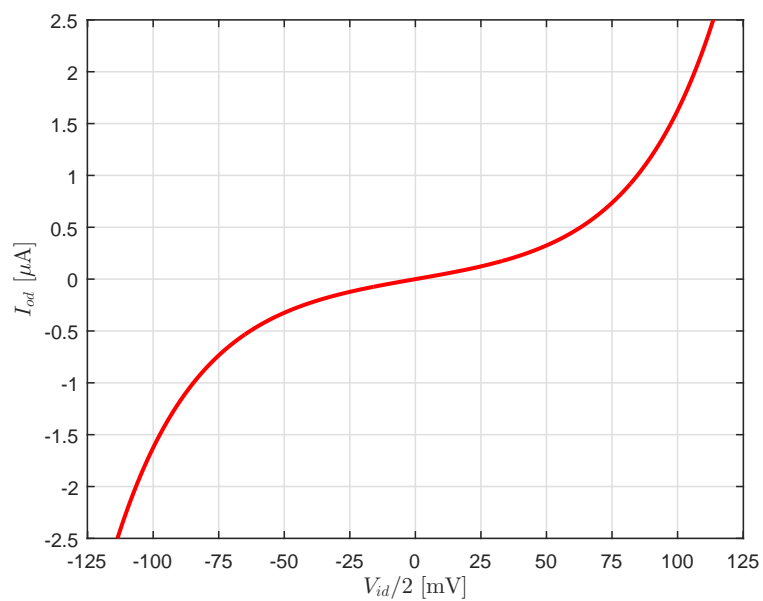


Figura 30 – Corrente diferencial de saída, I_{od} , calculada para estrutura Nauta OTA 8x8.

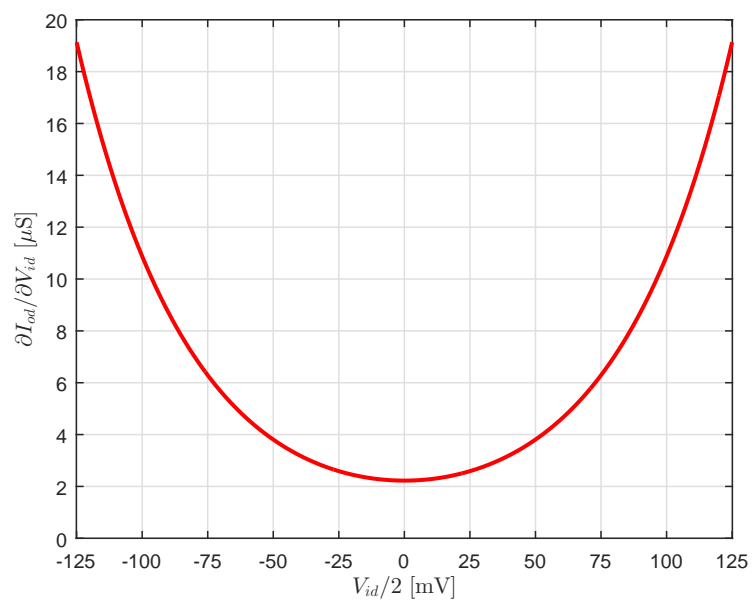


Figura 31 – Transcondutância diferencial $\partial I_{od}/\partial V_{id}$ calculada para estrutura Nauta OTA 8x8.

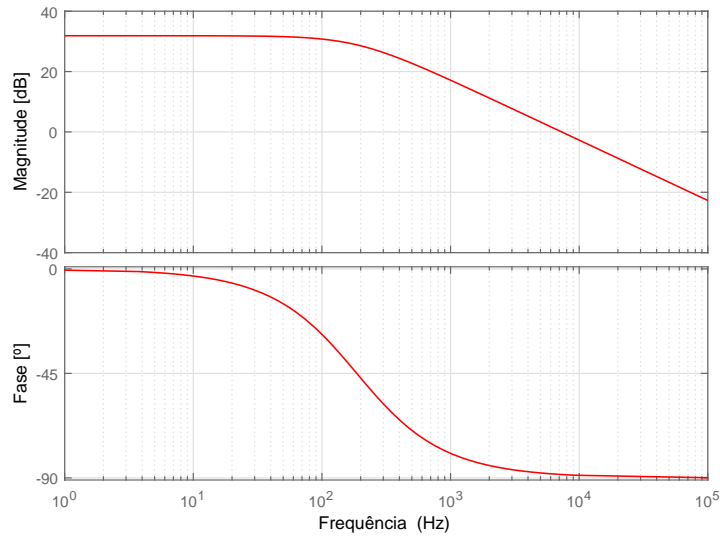


Figura 32 – Diagrama de Bode para a função de transferência definida em (3.9).

B.3.2 Resposta em frequência

O ganho em malha aberta do Nauta OTA é dado pela relação definida em (3.7), sendo

$$A_o^{ota} = \frac{1}{3} \frac{g_{m_p} + g_{m_n}}{g_{o_p} + g_{o_n}} = \frac{1}{3} \frac{2,22\mu}{9,46n + 9,45n} = 39,20, \quad (3.7)$$

que pode ser expresso decibéis, sendo 31,87-dB.

Ademais, a frequência de ganho unitário, f_t^{ota} , definida em para o Nauta OTA é dada por

$$f_t^{ota} = \frac{g_{m_p} + g_{m_n}}{2\pi(C_L + C_P^{ota})} = \frac{2,22\mu}{2\pi(30p + 13,40p)} = 8,14kHz. \quad (3.8)$$

A função de transferência definida em (3.9), estabelece a resposta em frequência para o Nauta OTA 8x8, sendo

$$\frac{v_{od}(s)}{v_{id}(s)} = \frac{G_m^{ota}}{s(C_L + C_P^{ota}) + 3(g_{o_p} + g_{o_n})} = \frac{2,22\mu}{s43.4p + 56,75n}, \quad (3.9)$$

a qual apresenta o diagrama de Bode, mostrado na Figura 32, onde a magnitude para baixas frequências é de 31,87-dB, a frequência de ganho unitário é de 8,14-kHz e a margem de fase é de 88,5°. Este resultado é compatível com a medida mostrada na Figura 20c à exceção do ganho, que sofre atenuação pelo ambiente de caracterização.

B.3.3 Taxa de rejeição da tensão de modo-comum CMRR

A taxa de rejeição da tensão de modo-comum, CMRR, definida em (3.13), é dependente da tensão de *offset*. Por meio dos valores absolutos da tensão de offset, determinados

por meio da relação (4.1), escolheu o valor típico de 0,40-mV, logo

$$\text{CMRR} = \frac{\frac{1}{n_p} + \frac{1}{n_n}}{q \frac{V_{OS}}{kT} \left(\frac{1}{n_n^2} + \frac{1}{n_p^2} \right)} = \frac{\frac{1}{1,36} + \frac{1}{1,16}}{\frac{0,40\text{m}}{25,9\text{m}} \left(\frac{1}{1,16^2} + \frac{1}{1,36^2} \right)} = 80,41 \quad (3.13)$$

que se pode expressar em decibéis, sendo CMRR igual a 38-dB.

B.3.4 Taxa de rejeição da tensão da fonte de alimentação PSRR

Da mesma forma, a taxa de rejeição da tensão de alimentação, PSRR, definida em (3.14), também é dependente da tensão de *offset*. Utilizando-se o valor típico de 0,40-mV para a tensão de *offset*, tem-se

$$\text{PSRR} = \frac{\left(\frac{1}{n_p} + \frac{1}{n_n} \right)}{q \frac{V_{OS}}{2kT} \left(\frac{1}{n_p^2} + \frac{1}{n_n^2} \right)} = \frac{\left(\frac{1}{1,36} + \frac{1}{1,16} \right)}{\frac{0,40\text{m}}{2 \times 25,9\text{m}} \left(\frac{1}{1,36^2} + \frac{1}{1,16^2} \right)} = 160,58, \quad (3.14)$$

que pode expresso em decibéis, sendo PSRR igual a 44-dB.

B.4 Comparação entre valores medidos e calculados para o inversor CMOS intrinsecamente casado e para o Nauta OTA 8x8

A Tabela 15 apresenta uma comparação entre os indicadores de desempenho medidos e calculados para o inversor CMOS intrinsecamente casado e para o Nauta OTA 8x8.

Tabela 15 – Comparação entre valores medidos e calculados para inversor e Nauta OTA.

Parâmetro	Simulado	Medido	Calculado
Ganho em malha aberta inversor CMOS [dB]	113,90	-	117,59
Transcondutância [μS]	2,26	2,46	2,22
Frequência de ganho unitário [kHz]	8,12	7,32	8,14
Margem de fase [$^\circ$]	89,17	90,04	88,50
Ganho em malha aberta Nauta OTA [dB]	30,68	24,92	31,87
CMRR @DC [dB]	39	37	38
PSRR @DC [dB]	48	47	44

Referências

- 1 NAUTA, B. A CMOS transconductance-C filter technique for very high frequencies. *IEEE Journal of Solid-State Circuits*, IEEE, v. 27, n. 2, p. 142–153, 1992.
- 2 NAUTA, B.; SEEVINCK, E. Linear CMOS transconductance element for VHF filters. *Electronics Letters*, v. 25, n. 7, p. 448–450, 1989.
- 3 TSIVIDIS, Y. *Operation and Modeling of the MOS Transistor*. [S.l.]: Oxford University Press, USA, 2010.
- 4 ANNEMA, A. J.; NAUTA, B.; LANGEVELDE, R. V.; TUINHOUT, H. Analog circuits in ultra-deep-submicron CMOS. *IEEE Journal of Solid-State Circuits*, IEEE, v. 40, n. 1, p. 132–143, 2005.
- 5 SANSEN, W. Analog design challenges in nanometer CMOS technologies. In: IEEE. *IEEE Asian Solid-State Circuits Conference, 2007. ASSCC'07*. [S.l.], 2007. p. 5–9.
- 6 MUNOZ, F.; TORRALBA, A.; CARVAJAL, R.; TOMBS, J.; RAMIREZ-ANGULO, J. Floating-gate-based tunable CMOS low-voltage linear transconductor and its application to HF gm-C filter design. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, IEEE, v. 48, n. 1, p. 106–110, 2001.
- 7 ANDREANI, P.; MATTISSON, S. On the use of Nauta's transconductor in low-frequency CMOS gm-C bandpass filters. *IEEE Journal of Solid-State Circuits*, v. 37, n. 2, p. 114–124, 2002. ISSN 00189200.
- 8 CROMBEZ, P.; CRANINCKX, J.; WAMBACQ, P.; STEYAERT, M. A 100-kHz to 20-MHz reconfigurable power-linearity optimized gm-C biquad in 0.13- μm CMOS. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 55, n. 3, p. 224–228, 2008. ISSN 10577130.
- 9 PIRMOHAMMADI, A.; ZARIFI, M. H. A low power tunable Gm-C filter based on double CMOS inverters in 0.35- μm . *Analog Integrated Circuits and Signal Processing*, v. 71, n. 3, p. 473–479, 2012. ISSN 15731979.
- 10 RAMASAMY, S.; VENKATARAMANI, B. A low power reconfigurable analog base-band block for software defined radio. *Journal of Signal Processing Systems*, v. 62, n. 2, p. 131–144, 2011. ISSN 19398018.
- 11 VLASSIS, S. 0.5V CMOS inverter-based tunable transconductor. *Analog Integrated Circuits and Signal Processing*, Springer, v. 72, n. 1, p. 289–292, 2012.
- 12 JANSEN, R. J. E.; HAANSTRA, J.; SILLARS, D. Complementary Constant-gm Biasing of Nauta-Transconductors in Low-Power gm-C Filters to $\pm 2\%$ Accuracy Over Temperature. *IEEE Journal of Solid-State Circuits*, v. 48, n. 7, p. 1585–1594, 2013. ISSN 00189200.

- 13 NICHOLSON, A. P.; IBERZANOV, A.; JENKINS, J.; HAMILTON, T. J.; LEHMANN, T. A Statistical Design Approach for a Digitally Programmable Mismatch-Tolerant High-Speed Nauta Structure Differential OTA in 65-nm CMOS. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 24, n. 9, p. 2899–2910, 2016. ISSN 10638210.
- 14 FERREIRA, L. H. C.; SONKUSALE, S. R. A 60-dB gain OTA operating at 0.25-V power supply in 130-nm digital CMOS process. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 61, n. 6, p. 1609–1617, 2014.
- 15 GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. Series-parallel association of FET's for high gain and high frequency applications. *IEEE Journal of Solid-State Circuits*, IEEE, v. 29, n. 9, p. 1094–1101, 1994.
- 16 ALLEN, P. E.; HOLBERG, D. R. *CMOS analog circuit design*. [S.l.]: Oxford Univ. Press, 2002.
- 17 CAO, K. M.; LIU, W.; JIN, X.; VASHANTH, K.; GREEN, K.; KRICK, J.; VROT-SOS, T.; HU, C. Modeling of pocket implanted MOSFETs for anomalous analog behavior. In: IEEE. *Electron Devices Meeting, 1999. IEDM'99. Technical Digest. International*. [S.l.], 1999. p. 171–174.
- 18 CHAKRABORTY, S.; MALLIK, A.; SARKAR, C. K.; RAO, V. R. Impact of halo doping on the subthreshold performance of deep-submicrometer CMOS devices and circuits for ultralow power analog/mixed-signal applications. *IEEE Transactions on Electron Devices*, IEEE, v. 54, n. 2, p. 241–248, 2007.
- 19 ABDELFAHATTAH, O.; ROBERTS, G. W.; SHIH, I.; SHIH, Y. C. An ultra-low-voltage CMOS process-insensitive self-biased OTA with rail-to-rail input range. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 62, n. 10, p. 2380–2390, 2015. ISSN 15498328.
- 20 CABRERA-BERNAL, E.; PENNISI, S.; GRASSO, A. D.; TORRALBA, A.; Gonzalez Carvajal, R. 0.7-V Three-Stage Class-AB CMOS Operational Transconductance Amplifier. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 63, n. 11, p. 1807–1815, 2016. ISSN 15498328.
- 21 GRASSO, A. D.; PENNISI, S.; SCOTTI, G.; TRIFILETTI, A. 0.9-V Class-AB Miller OTA in 0.35- μ m CMOS With Threshold-Lowered Non-Tailed Differential Pair. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 64, n. 7, p. 1740–1747, 2017.
- 22 ROZA, E. Analog-to-digital conversion via duty-cycle modulation. *IEEE transactions on circuits and systems II: Analog and digital signal processing*, IEEE, v. 44, n. 11, p. 907–914, 1997.
- 23 FERREIRA, L. H.; SONKUSALE, S. R. A 0.25-V 28-nW 58-dB dynamic range asynchronous delta sigma modulator in 130-nm digital CMOS process. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, IEEE, v. 23, n. 5, p. 926–934, 2015.
- 24 COLLETTA, G. D.; FERREIRA, L. H.; SONKUSALE, S. R.; ROCHA, G. V. A 20-nW 0.25-V Inverter-Based Asynchronous Delta-Sigma Modulator in 130-nm Digital

CMOS Process. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, IEEE, v. 25, n. 12, p. 3455–3463, 2017.

25 SUN, C.-Y.; LEE, S.-Y. A fifth-order butterworth OTA-C LPF with multiple-Output differential-Input OTA for ECG applications. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 65, n. 4, p. 421–425, 2018.

26 NARENDRA, S.; DE, V.; BORKAR, S.; ANTONIADIS, D. A.; CHANDRAKASAN, A. P. Full-chip subthreshold leakage power prediction and reduction techniques for sub-0.18- μm CMOS. *IEEE Journal of Solid-State Circuits*, v. 39, n. 3, p. 501–510, 2004. ISSN 00189200.

27 EDWARDS, H.; CHATTERJEE, T.; KASSEM, M.; GOMEZ, G.; HOU, F.-C.; WU, X. Device physics origin and solutions to threshold voltage fluctuations in sub 130 nm CMOS incorporating halo implant. In: IEEE. *Circuits and Systems Workshop (DCAS), 2010 IEEE Dallas*. [S.l.], 2010. p. 1–4.