

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Uma Metodologia para Projeto de
uma Referência de Corrente CMOS
Independente da Temperatura
Otimizada para Aplicações
de Sinais Mistos

Thiago Pouza Mussolini

Itajubá, junho de 2019

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Thiago Pouza Mussolini

Uma Metodologia para Projeto de
uma Referência de Corrente CMOS
Independente da Temperatura
Otimizada para Aplicações
de Sinais Mistos

Tese submetida ao Programa de Pós-Graduação
em Engenharia Elétrica como parte dos requisitos
para obtenção do Título de Doutor em Ciências em
Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Prof. Dr. Robson Luiz Moreno

Coorientador: Prof. Dr. Luís Henrique C. Ferreira

Junho de 2019

Itajubá

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Uma Metodologia para Projeto de
uma Referência de Corrente CMOS
Independente da Temperatura
Otimizada para Aplicações
de Sinais Mistos

Thiago Pouza Mussolini

Tese aprovada por banca examinadora em 06 de
junho de 2019, conferindo ao autor o título de
Doutor em Ciências em Engenharia Elétrica.

Banca Examinadora:

Prof. Dr. Leonardo Mesquita
Prof. Dr. Dalton Martini Colombo
Prof. Dr. Leonardo Breseghello Zoccal
Prof. Dr. Paulo César Crepaldi
Prof. Dr. Luís Henrique de Carvalho Ferreira
Prof. Dr. Robson Luiz Moreno

Itajubá
2019

*"No final das contas, sou um professor.
É assim que realmente me vejo."
Jorge Paulo Lemann*

A minha esposa, Juliana, que sempre me incentivou e esteve presente no desenvolvimento deste trabalho.

Agradecimentos

Ao meu orientador, Robson Luiz Moreno e, ao meu coorientador, Luís Henrique Carvalho Ferreira, pela disponibilidade que sempre tiveram em me orientar, pelas importantes contribuições no desenvolvimento da pesquisa e, principalmente, pela confiança que depositaram no meu trabalho. Aos demais professores do Grupo de Microeletrônica da UNIFEI, que sempre estiveram dispostos a me ajudar, sobretudo com o conhecimento adquirido ao longo das aulas assistidas.

À minha família pelo carinho e amor incondicional ao longo de toda a trajetória. Meus pais, Maria do Carmo e Reinaldo. Em especial, a minha esposa, Juliana, que me acompanhou durante toda a trajetória da pós-graduação, sempre me incentivando e dividindo os momentos de conquista.

Ao amigo Filipe Ramos por todo o conhecimento compartilhado ao longo dos anos de trabalho em conjunto nos projetos em microeletrônica, principalmente na execução e sucesso do projeto Sentinela.

Aos colegas do GEPE de Microeletrônica pelo companheirismo e por fazerem a jornada mais prazerosa e a todos os meus amigos que contribuíram direta ou indiretamente para essa conquista.

Ao projeto BNDES/UNIFEI/FUPAI/SENSE, a CAPES e ao CNPQ pelo apoio financeiro concedido para a realização desta tese.

Resumo

Este trabalho apresenta uma metodologia de projeto para uma referência de corrente CMOS independente da temperatura. Esta referência de corrente possui como características: alta precisão, boa PSRR e baixa variação; sendo otimizada para aplicações de sinais mistos. A topologia é baseada em referências de corrente de *bootstrap* que apresentam uma PSRR de até 60 dB, o qual é necessário para a aplicação proposta, uma vez que elas empregam circuitos em que o ruído de chaveamento de alta frequência está presente. A abordagem proposta foi verificada com sucesso em um processo padrão CMOS 0.35 μm através das simulações elétricas e medidas em laboratório, para uma fonte de alimentação entre 2,6 V e 3,6 V e temperaturas entre $-40\text{ }^\circ\text{C}$ e $80\text{ }^\circ\text{C}$. Por fim, a referência de corrente proposta apresenta uma precisão de $\pm 0,5\%$ após o processo de calibração e uma dependência média da temperatura relativa de 62,5 ppm/ $^\circ\text{C}$.

Palavras-chaves: Referência de corrente, baixa variação, circuitos com boa PSRR, aplicações de sinais misto.

Abstract

This work presents a design methodology for a CMOS temperature-independent current reference. This current reference has the following characteristics: high accuracy, good PSRR and low variation; being optimized for mixed signal applications. The topology is based on bootstrap current references that present a PSRR up to 60 dB, which is required for the proposed applications since they employ circuits where high-frequency switching noise is present. The proposed approach was successfully verified in a standard CMOS 0.35 μm process. The electrical simulations and laboratory measurements confirm that for a power supply between 2.7 V and 3.6 V and temperatures between $-40\text{ }^{\circ}\text{C}$ to $80\text{ }^{\circ}\text{C}$ range. Finally, the proposed current reference exhibits an accuracy of $\pm 0.5\%$ and a mean relative temperature dependency of 62.5 ppm/ $^{\circ}\text{C}$.

Keywords: Current reference, low-drift, good PSRR circuits, mixed-signal applications.

Lista de ilustrações

Figura 1.1 – Circuito genérico de sinais mistos. Adaptado de [1].	16
Figura 2.1 – Referência de corrente apenas-MOS [5].	20
Figura 2.2 – Referência de corrente CMOS utilizando circuito <i>square root</i> [5].	21
Figura 2.3 – Referência de corrente MOS [6]. (a) Referência de corrente MOS padrão. (b) Referência de corrente MOS compensada em temperatura de primeira ordem. (c) Referência de corrente MOS compensada em temperatura de primeira ordem modificada.	22
Figura 2.4 – Referência TPC-CM. Adaptado de [7].	26
Figura 2.5 – Esquema elétrico do circuito proposto com M1s e M4s empilhados. C0 e C1 são adicionados para diminuir os efeitos do ruído de alta frequência da fonte de alimentação. Adaptado de [8].	27
Figura 2.6 – Esquema elétrico do circuito proposto da referência de corrente 3T. Adaptado de [9].	27
Figura 2.7 – (a) Diagrama de blocos de uma referência de corrente autopolarizada; (b) Determinação do ponto de operação. Adaptado de [13]	29
Figura 2.8 – Referência de corrente V_{BE} autopolarizada típica de processos CMOS. Adaptado de [13].	30
Figura 2.9 – Referência de corrente V_T autopolarizada típica de processos CMOS. Adaptado de [13].	32
Figura 3.1 – Diagrama de blocos do trabalho proposto.	33
Figura 3.2 – Esquema elétrico do bloco de polarização.	34
Figura 3.3 – Esquema elétrico da polarização da referência <i>bootstrap</i> PTAT.	37
Figura 3.4 – Esquema elétrico da polarização da referência <i>bootstrap</i> CTAT.	37
Figura 3.5 – Esquema elétrico da corrente de calibração.	40
Figura 3.6 – Fluxograma das etapas da calibragem da referência de corrente.	41
Figura 4.1 – Simulações de variação de temperatura (135 casos de PVT).	44
Figura 4.2 – Simulações PSRR (405 casos de PVT).	45
Figura 4.3 – Simulações da rampa de subida e estado permanente (405 casos de PVT).	46
Figura 4.4 – Simulações de precisão (1108 pontos de Monte Carlo).	46
Figura 4.5 – Leiaute da referência de corrente independente da temperatura.	47
Figura 4.6 – Identificação dos componentes do leiaute da referência de corrente independente da temperatura.	47
Figura 4.7 – Esboço do leiaute dos resistores R_1 e R_2	49
Figura 4.8 – Fotografia de microscópio com leiaute sobreposto do trabalho proposto.	50
Figura 4.9 – Fotografia de microscópio sem leiaute sobreposto do trabalho proposto.	50

Figura 4.10–Medidas de laboratório da referência de corrente proposta (amostras não calibradas).	52
Figura 4.11–Medidas de laboratório da referência de corrente proposta (amostras calibradas).	52
Figura 4.12–Estação de medidas de temperatura no laboratório.	53
Figura 4.13–Estação de calibração no laboratório.	53
Figura 4.14–Medidas de PSRR	54
Figura 4.15–Estação de medidas de PSRR no laboratório	55

Lista de tabelas

Tabela 2.1 – Resumo dos principais pontos.	28
Tabela 3.1 – Parâmetros do Bloco de Polarização - Projeto 3σ	39
Tabela 3.2 – Valores das correntes de calibragem.	42
Tabela 3.3 – Comandos para calibragem da referência de corrente.	42
Tabela 3.4 – Passos de calibragem da referência de corrente ($T = 27\text{ }^{\circ}\text{C}$).	43
Tabela 4.1 – Comparação dos resultados da referência de corrente proposta.	56
Tabela 4.2 – Dimensões dos dispositivos da Referência de Corrente proposta	57
Tabela 4.3 – Comparação dos Parâmetros das Referências de Corrente	58
Tabela A.1 – Definição dos Parâmetros.	60

Lista de símbolos

A/D	Conversor analógico-digital
ASIC	Circuito Integrado de Aplicação Específica (<i>Application Specific Integrated Circuit</i>)
CA	Corrente Alternada
CC	Corrente Contínua
CTAT	Complementar à temperatura absoluta (<i>Complementary To Absolute Temperature</i>)
D/A	Conversor digital-analógico
DSP	Processadores Digitais de Sinais (<i>Digital Signal Processors</i>)
IC	Circuito Integrado (<i>Integrated Circuit</i>)
IoT	Internet das Coisas (<i>Internet-of-Things</i>)
I_E	Corrente de Entrada
I_S	Corrente de Saída
PSRR	Razão de Rejeição de Ruído de Fonte (<i>Power Supply Rejection Ratio</i>)
PTAT	Proporcional à temperatura absoluta (<i>Proportional To Absolute Temperature</i>)
PVT	Processo-Tensão-Temperatura (<i>Process-Voltage-Temperature</i>)
TPC-CM	espelho de corrente com compensação em temperatura e de processo (<i>Temperature and Process Compensation Current Mirror</i>)
T	Temperatura de operação do circuito integrado em °C
T_0	Temperatura de operação ambiente do circuito integrado em °C
TC_F	Coefficiente térmico fracional (<i>fractional temperature coefficient</i>)
USB	Barramento Série Universal (<i>Universal Serial Bus</i>)
VLSI	Integração em escala muito ampla (<i>Very-Large-Scale Integration</i>)
V_{BS}	Tensão de Corpo-Fonte

V_{BG}	Tensão de referência <i>Bandgap</i>
V_{DD}	Tensão de Alimentação
V_{GS}	Tensão de Porta-Fonte
V_{BE}	Tensão de Base-Emissor
V_{th}	Tensão de Limiar (<i>Threshold Voltage</i>)
WCS	Pior caso (<i>Worst Case</i>)
α_R	Coefficiente de temperatura linear de resistor

Sumário

1	INTRODUÇÃO	16
1.1	Considerações Gerais	16
1.2	Justificativas	17
1.3	Objetivos	17
1.4	Estrutura do Trabalho	18
2	REFERÊNCIA DE CORRENTE	19
2.1	Introdução	19
2.2	Circuitos Analisados	19
2.2.1	Circuito 1	19
2.2.2	Circuito 2	22
2.2.3	Circuito 3	26
2.2.4	Circuitos 4 e 5	26
2.2.5	Comparativo	28
2.3	Padrões de Tensão Utilizados em Referências	28
2.4	Fontes de Corrente Autopolarizadas	29
2.5	Referência de Corrente V_{EB}	30
2.6	Referência de Corrente V_T	31
3	REFERÊNCIA DE CORRENTE PROPOSTA	33
3.1	Introdução	33
3.2	Equações Fundamentais	33
3.3	Polarização e Casamentos	36
3.4	Circuito de Calibração	38
3.5	Circuito de Inicialização	43
4	RESULTADOS	44
4.1	Introdução	44
4.2	Simulações	44
4.3	Leiaute	47
4.4	Medidas em laboratório	51
5	CONCLUSÕES E TRABALHOS FUTUROS	59
	APÊNDICE A – CRITÉRIOS DE PROJETO	60

APÊNDICE B – LEIAUTE CIRCUITO INTEGRADO	61
APÊNDICE C – TRABALHOS PUBLICADOS	62
REFERÊNCIAS	63

1 Introdução

1.1 Considerações Gerais

Os modernos circuitos integrados de aplicação específica (*Application Specific Integrated Circuit - ASIC*) são sistemas geralmente compostos por blocos de sinais mistos (analógicos e digitais), como mostrado na Fig. 1.1 [1]. Os blocos analógicos, em particular, precisam ser polarizados por uma referência de tensão e corrente, cuja precisão determina o máximo desempenho de todos os blocos.

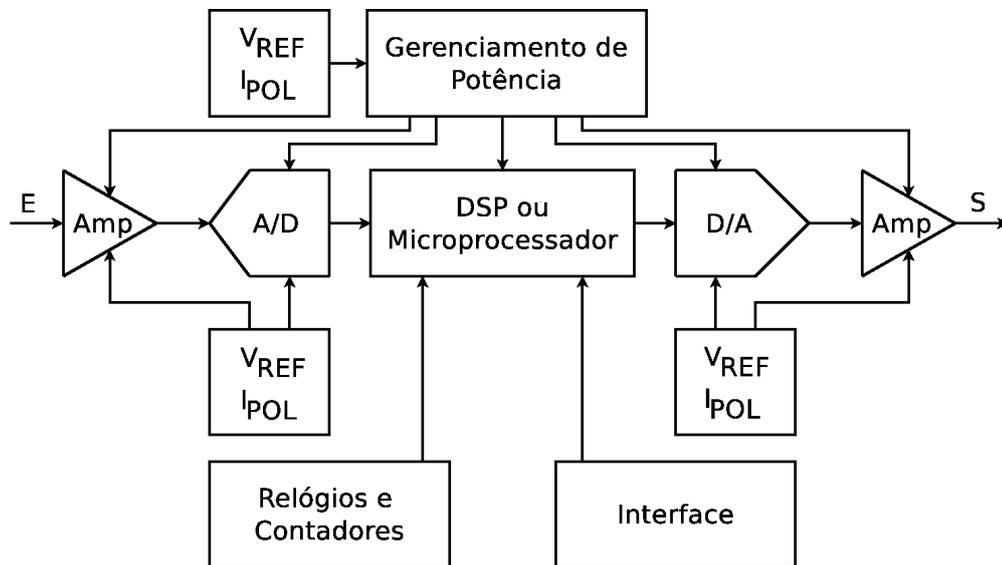


Figura 1.1 – Circuito genérico de sinais mistos. Adaptado de [1].

Desde os primeiros trabalhos, derivados das referências de tensão *bandgap*, inicialmente proposta por Widlar [2] e, posteriormente, por Kuijk [3] e Brokaw [4], evoluções significativas foram apresentadas para o projeto de referência de corrente independente da temperatura. Este trabalho é uma evolução das propostas apresentadas nos últimos anos, tendo especial atenção aos aspectos de qualidade de uma topologia de uma referência de corrente independente da temperatura e considerando a variação de processo para a produção de circuitos integrados (*Integrated Circuit - IC*) com escala de integração muito grande (*Very-Large-Scale Integration - VLSI*).

A referência de corrente é um bloco básico, porém de grande importância em circuitos analógicos. Garantir que o seu circuito seja insensível à variação da temperatura, do processo de fabricação e da tensão de alimentação são condições necessárias para se alcançar circuitos integrados analógicos de alto desempenho. Nas últimas décadas, diversos circuitos de referência de alta precisão, com compensação da temperatura e baixo consumo de energia foram propostos em [5], [6], [7], [8] e [9].

1.2 Justificativas

Um dos pontos críticos de um ASIC genérico, conforme ilustrado na Fig. 1.1, é que cada bloco poderia requerer uma referência de tensão e corrente com um aspecto de qualidade específico como, por exemplo:

- Operação em baixa tensão/corrente e baixo ruído, para os amplificadores operacionais utilizados, por exemplo, em aplicações biomédicas [10];
- Correção de curvatura ou compensação de segunda ordem da dependência com a temperatura da tensão de *bandgap*, para os conversores A/D e D/A [11];
- Múltiplas referências de tensão e corrente, para os conversores DC/DC alimentarem os demais blocos do IC. Atualmente, processadores digitais de sinais (*Digital Signal Processors – DSPs*) são alimentados com 1,2 V; grande parte dos blocos analógicos são projetados com alimentação em 2,5 V; circuitos que utilizam barramentos seriais universais (*Universal Serial Buses – USBs*) são alimentados com 5,0 V [12].

Deste modo, conclui-se que seria inviável o projeto de várias referências de tensão e corrente devido à grande área e consumo de potência destas células que utilizam transistores bipolares, resistores e capacitores de compensação. Assim sendo, o ponto crítico que deve ser superado para se obter um circuito analógico de alto desempenho é que ele seja insensível à variação da tensão de alimentação, possua independência da variação de temperatura e do processo de fabricação [7]. Por fim, essa superação de sensibilidades serão tratadas na proposta desta tese.

1.3 Objetivos

O objetivo principal desta tese é apresentar uma metodologia de projeto para uma referência de corrente CMOS independente da temperatura que atenda aos requisitos técnicos exigidos de um projeto como, por exemplo, um determinado valor de corrente de saída além de apresentar um valor o mais baixo possível de sensibilidade suscetível às:

- variações da temperatura em sua faixa de operação;
- oscilações na tensão de alimentação;
- variações no processo de fabricação.

Além destes pontos, a topologia proposta também deve atender aos aspectos de qualidade requeridos pelos atuais ASICs comerciais atendendo as condições de projeto 3σ . Ressaltando que a característica 3σ representa uma variação máxima definida como 100 nA para uma corrente alvo de 20 μ A estabelecida para este trabalho.

As considerações de projeto da topologia da referência de corrente serão discutidas e abordadas nos capítulos seguintes, através do equacionamento e modelagem matemática

das suas fontes de erro (como as variações de processo de transistores e resistores). Em seguida, será exposto o projeto detalhado de cada célula, utilizando a tecnologia X-FAB CMOS 0,35 μm , acompanhado pelas simulações elétricas e leiaute de cada uma delas, bem como do circuito integrado completo.

Para a validação das equações encontradas, as considerações feitas e os resultados das simulações obtidos, a referência de corrente CMOS independente da temperatura será submetida a variação de temperatura entre -40°C a $+80^{\circ}\text{C}$ em ambiente controlado no Laboratório de Testes e Caracterização em Microeletrônica do Grupo de Microeletrônica da Universidade Federal de Itajubá. Também será realizado o processo de calibração manual das amostras e, novamente, à submissão de variação de temperatura. Outro processo de medição que será realizado é a utilização de equipamento adequado para a obtenção da Razão de Rejeição de Ruído da Fonte (*Power Supply Rejection Ratio - PSRR*).

1.4 Estrutura do Trabalho

Esta tese está organizada em cinco capítulos, sendo um de introdução, um de conclusão e os demais de desenvolvimento.

O Capítulo 2 apresenta cinco circuitos de referência de corrente independente da temperatura. Também são apresentados os conceitos e equacionamento das referências de corrente em função de V_T e V_{EB} utilizadas nesse trabalho.

O Capítulo 3 apresenta o projeto detalhado da proposta de referência de corrente independente da temperatura e todo o equacionamento para dimensionamento de seus componentes.

O Capítulo 4 apresenta os resultados das simulações, das medidas realizadas em laboratório e um comparativo entre ambas para confirmar a eficácia da metodologia proposta. Também é apresentado o leiaute desenvolvido e a fotografia de microscópio do circuito integrado.

Por fim, o Capítulo 5 apresenta as conclusões desta tese e as sugestões para trabalhos futuros.

2 Referência de Corrente

2.1 Introdução

Este capítulo apresenta e discute a proposta de cinco trabalhos de referência de corrente independente da temperatura mostrando os equacionamentos envolvidos, as considerações e as deficiências de cada circuito. Apesar das três primeiras referências não serem tão atuais, elas foram consideradas pelas suas relevâncias e possuem características semelhantes ao deste trabalho, como a tecnologia de fabricação. As outras duas referências são trabalhos atuais, porém com características diferentes do que será apresentado neste como, por exemplo, o processo de fabricação. Para complementar, é realizada uma breve introdução aos equacionamentos de cada topologia individualmente e algumas considerações utilizadas no circuito desse trabalho.

2.2 Circuitos Analisados

2.2.1 Circuito 1

O trabalho de Lee e Park [5] foi um dos pioneiros em referências de corrente baseadas apenas em transistores MOS, abordando a polarização na inversão fraca e seu comportamento exponencial, semelhante ao da tecnologia bipolar. O diagrama do circuito é mostrado na Fig. 2.1 e a corrente de saída I_O é expressa por:

$$I_O = \frac{1 - \sqrt{m_3}}{1 + 2\sqrt{m_2}} \sqrt{m_1 m_4} \frac{(V_{DD} - 3|V_{tp}|)}{R} \quad (2.1)$$

em que

$$\beta = (W/L)\mu C_{OX}$$

$$m_1 = \beta_3 \beta_4 / \beta_1 \beta_2$$

$$m_2 = \beta_5 / \beta_6$$

$$m_3 = \beta_{18} / \beta_{16}$$

$$m_4 = \beta_5 \beta_{10} \beta_{13} \beta_{15} / \beta_9 \beta_{14} \beta_{17} \beta_{18}$$

A equação (2.1) foi obtida através dos seguintes passos e considerações. O circuito CMOS *square root* mostrado na Fig. 2.2 foi derivado de um circuito bipolar desenvolvido

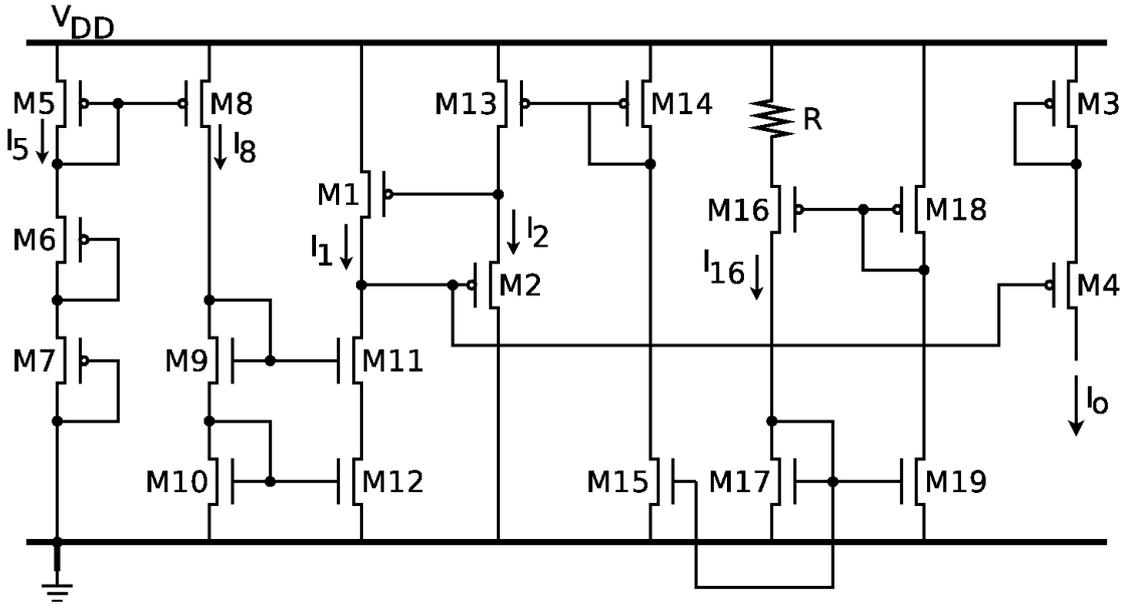


Figura 2.1 – Referência de corrente apenas-MOS [5].

em [13] e é composto por quatro transistores operando na região de sublimiar. A curva característica I-V de transistores PMOS nesta região é dado por:

$$\begin{aligned}
 I_D &= \frac{W}{L} I_{DO} \exp^{-\frac{V_{GS}-V_{tp}}{n\phi_t}} \left(1 - \exp^{-\frac{V_{DS}}{\phi_t}}\right) \\
 &\approx \frac{W}{L} I_{DO} \exp^{-\frac{V_{GS}-V_{tp}}{n\phi_t}} \text{ para } V_{DS} \gg \phi_t
 \end{aligned} \tag{2.2}$$

em que $I_{DO} = \mu_p C_{OX} \phi_t^2 [\gamma / \sqrt{(1,5\phi_F + V_{SB})}] \exp^{-0,5\phi}$, n é o fator de inclinação da tensão de sublimiar, ϕ_t é a tensão térmica e V_{tp} é a tensão de limiar dos transistores PMOS.

Considerando que $(V_{SG1} + V_{SG2}) = (V_{SG3} + V_{SG4})$, a corrente de saída I_O pode ser escrita conforme:

$$I_O = \sqrt{m_1} \sqrt{I_1} \sqrt{I_2} \tag{2.3}$$

Os oito transistores ($M5-M12$) são os responsáveis por gerar a corrente I_1 a qual é proporcional a mobilidade. Os sete transistores ($M13-M19$) e o resistor R são os responsáveis por gerar a corrente I_2 a qual é inversamente proporcional à mobilidade. Os quatro transistores PMOS ($M1-M4$) utilizados no circuito *square root* estão trabalhando na região de sublimiar e os demais em inversão forte no regime de saturação.

Cada transistor PMOS na Fig. 2.2 está localizado em um poço isolado *n-well* para minimizar o descasamento da tensão de limiar causado pelo efeito de corpo que os

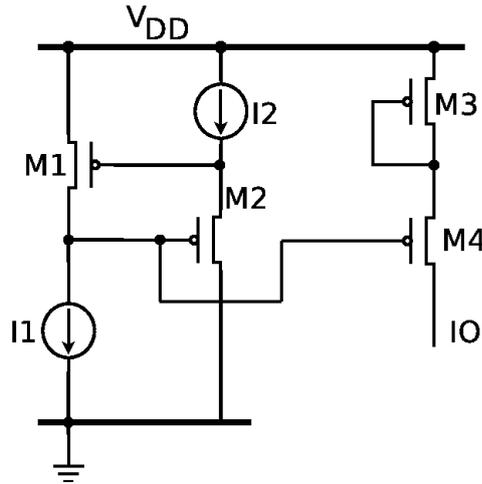


Figura 2.2 – Referência de corrente CMOS utilizando circuito *square root* [5].

transistores $M2$ e $M4$ sofrem. Um circuito espelho de corrente comum gera uma corrente I_5 que é expressa por:

$$I_5 = \frac{\beta_5(V_{DD} - 3|V_{tp}|)^2}{2(1 + 2\sqrt{m_2})^2} \quad (2.4)$$

em que

$$m_2 = \beta_5/\beta_6$$

e

$$\beta_6 = \beta_7 \text{ é assumido.}$$

Como a queda de tensão através do resistor R é igual a diferença de potencial entre os terminais fonte dos transistores M_{16} e M_{18} , a corrente I_{16} pode ser obtida através da utilização da equação da corrente em inversão forte:

$$I_{16} = \frac{2(1 - \sqrt{m_3})^2}{R^2\beta_{18}} \quad (2.5)$$

em que

$$m_3 = \beta_{18}/\beta_{16}$$

e

$$\beta_{17} = \beta_{19} \text{ é assumido.}$$

As correntes I_1 e I_2 podem ser obtidas através das correntes I_5 e I_{16} multiplicadas pela relação dos tamanhos dos transistores do circuito espelho de corrente *cascoded* (M9-M12) e o circuito espelho de corrente comum (M13-M15). Assim, pode-se obter a corrente I_O conforme definido em (2.1).

Embora este circuito apresente um baixo consumo de corrente, é possível verificar

dos dois ramos, enquanto o espelho de corrente Wildar $M_1 - M_2 - R_1$ define o valor da corrente de referência I .

Todos os transistores MOS do circuito trabalham na região de saturação, portanto sua corrente de dreno I_D pode ser expressa em termos de tensão de porta-fonte V_{GS} conforme [14].

$$I_D = \frac{\mu C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2.6)$$

em que μ é a mobilidade dos elétrons (lacunas) em dispositivos nMOS (pMOS), C_{OX} é a capacitância de porta por unidade de área, W/L é a relação dos dispositivos MOS e V_{th} é a tensão de limiar.

Com referência ao circuito da Fig. 2.3 (a), a equação da lei de Kirchoff's para tensões (*Kirchoff Voltage Law - KVL*):

$$V_{GS1} - V_{GS2} - mR_1I = 0 \quad (2.7)$$

pode ser reescrito como:

$$\sqrt{\frac{I}{\beta_{n0}}} \left(\frac{1}{\sqrt{\alpha_1}} - \sqrt{\frac{m}{\alpha_2}} \right) - mR_1I = 0 \quad (2.8)$$

em que $\beta_{n0} = \mu_n C_{OX}/2$, μ_n é a mobilidade dos elétrons do transistor nMOS e α_i é a relação de proporção do transistor M_i .

Os únicos termos dependentes da temperatura da equação (2.8) são μ_n e R_1 , com isso o coeficiente de temperatura da referência de corrente I pode ser escrito como:

$$\frac{1}{I} \frac{dI}{dT} = -\frac{1}{\mu_n} \frac{d\mu_n}{dT} - \frac{2}{R_1} \frac{dR_1}{dT} \quad (2.9)$$

ou

$$k_I = -k_{\mu_n} - 2k_{R_1} \quad (2.10)$$

em que a notação para o coeficiente da temperatura relativa $k_X = (1/X)/(dX/dT) = d \ln X / dT$ é adotado.

O coeficiente de temperatura da referência de corrente I apenas depende de k_{μ_n} e k_{R_1} os quais são parâmetros de processo e portanto, não podem ser levados a zero através do projeto. Uma compensação de temperatura da referência de corrente pode ser possível pelo projeto se a queda da tensão através do resistor R_1 for uma soma de dois termos com coeficientes de temperatura diferentes.

Para o equacionamento da referência de corrente com compensação de temperatura de primeira ordem, que supera as limitações do circuito discutido anteriormente. Em particular, a referência de corrente padrão na Fig. (2.3) (a) foi modificada como mostrado na Fig. (2.3) (b). Neste novo circuito, o transistor nMOS M_5 foi adicionado com uma conexão diodo. Com base em (2.6), o KVL:

$$V_{GS1} + V_{GS5} - V_{GS2} - mR_1I = 0 \quad (2.11)$$

com isso

$$\sqrt{\frac{I}{\beta_{n0}}} \left(\frac{1}{\sqrt{\alpha_1}} + \frac{1}{\sqrt{\alpha_5}} - \sqrt{\frac{m}{\alpha_2}} \right) + V_{th} - mR_1I = 0 \quad (2.12)$$

Como referência para este circuito, a queda de tensão através do resistor R_1 é dada pela soma de dois termos com coeficientes de temperatura diferentes. Em particular, um termo está relacionado a tensão de *overdrive* dos transistores M_1 , M_2 e M_5 , e tem uma variação de temperatura positiva que é devido à variação negativa da mobilidade μ_n , enquanto o outro termo é a tensão de limiar V_{th} cuja variação de temperatura está relacionada a diferentes mecanismos físicos (tipicamente negativa) [14]. Portanto, uma referência de corrente com coeficiente de temperatura zero pode ser obtida se a relação e o sinal destes termos forem devidamente escolhidos pelo projetista e, com isso, a compensação de temperatura é assim alcançável.

Este raciocínio pode ser formalizado pelo cálculo do coeficiente de temperatura da corrente I com referência a nova estrutura. Se a relação de corrente m é não dependente da temperatura, como no espelho de corrente MOS padrão $M_3 - M_4$, da Eq. (2.12), o coeficiente de temperatura da corrente pode ser obtido da diferencial total de (2.12), a qual define implicitamente a corrente de referência I como uma função dos parâmetros de tecnologia e projeto. Este diferencial é avaliado assumindo a corrente I e a temperatura absoluta T como variáveis independentes e tendo em conta que apenas as variáveis dependentes da temperatura que aparecem em (2.12) são μ_n , V_{Tn} e R_1 . Este diferencial, com base na Eq. (2.12), pode ser escrito como:

$$-\frac{1}{2} \left(\frac{V_{th}}{I} + mR_1 \right) dI + \left[\left(k_{V_{th}} + \frac{1}{2} k_{\mu_n} \right) V_{th} + - \left(k_{R_1} + \frac{1}{2} k_{\mu_n} \right) mR_1I \right] dT = 0 \quad (2.13)$$

De Eq. (2.13), a derivada da referência de corrente com a respectiva temperatura absoluta é encontrado:

$$\frac{dI}{dT} = \frac{(2k_{V_{th}} + k_{\mu_n})V_{th} - (2k_{R_1} + k_{\mu_n})mIR_1}{\frac{V_{th}}{I} + mR_1} \quad (2.14)$$

e então, o coeficiente da temperatura relativa da referência de corrente k_I é

$$k_I = \frac{(2k_{V_{th}} + k_{\mu_n})V_{th} - (2k_{R_1} + k_{\mu_n})mIR_1}{V_{th} + mR_1I} \quad (2.15)$$

O coeficiente de temperatura de primeira-ordem da referência de corrente no circuito do compensador de temperatura de segunda ordem pode ser obtido em um modo similar, se considerarmos também a dependência da temperatura de m .

Baseado na Eq. (2.15), se:

$$\frac{k_{\mu_n} + 2k_{V_{th}}}{k_{\mu_n} + 2k_{R_1}} > 0 \quad (2.16)$$

k_I pode ser levado a zero se:

$$R_1 = \frac{V_{th} k_{\mu_n} + 2k_{V_{th}}}{mI k_{\mu_n} + 2k_{R_1}} \quad (2.17)$$

Além disso, assumindo que a condição (2.16) não é verificada para um dado conjunto de parâmetros do processo, a compensação de temperatura de primeira ordem também pode ser obtida, com referência ao circuito modificado mostrado na Fig. 2.3 (c). Neste caso, o coeficiente de temperatura de primeira ordem é dado por

$$k_I = \frac{(2k_{V_{th}} + k_{\mu_n})V_{th} + (2k_{R_1} + k_{\mu_n})mIR_1}{V_{th} - mR_1I} \quad (2.18)$$

e pode ser levado a zero se:

$$R_1 = -\frac{V_{th} k_{\mu_n} + 2k_{V_{th}}}{mI k_{\mu_n} + 2k_{R_1}} \quad (2.19)$$

em que é positivo se a condição (2.17) não for verificada.

Em conclusão, a compensação de temperatura de primeira ordem pode ser alcançada para qualquer conjunto de parâmetros tecnológicos pela abordagem descrita nesta seção, usando a topologia de circuito na Fig. 2.3 (b) ou a da Fig. 2.3 (c) e dimensionando o resistor R_1 de acordo com a Eq. (2.17) ou para a Eq. (2.19). Além disso, pode-se observar que esta compensação de temperatura pode ser alcançada independentemente do valor da referência de corrente. Porém para a Eq. (2.19), pode-se concluir que o resistor R_1 depende do valor absoluto de V_{th} e o coeficiente de temperatura de três variáveis - mobilidade de elétrons (lacunas) em dispositivos NMOS (PMOS) k_{μ} , tensão limiar $k_{V_{th}}$ e resistor k_R , apresentando dispersão significativa, sendo, portanto, complexa a sua compensação de temperatura e calibração.

2.2.3 Circuito 3

O trabalho desenvolvido em [7] apresenta uma compensação em temperatura e de processo através de espelho de corrente (*Temperature and Process Compensation Current Mirror - TPC-CM*), cujo diagrama de blocos é mostrado na Fig. 2.4. Seu princípio de operação é através de uma corrente de referência proporcional à temperatura absoluta (*Proportional To Absolute Temperature - PTAT*) que é adicionada a uma referência de corrente programável complementar a temperatura absoluta (*Complementary To Absolute Temperature - CTAT*), obtendo uma compensação de temperatura em corrente I_{REF} , que recebe um circuito de calibração.

Embora o circuito da Fig. 2.4 demonstre alta exatidão de I_{REF} ($\pm 0,52\%$), ele é composto por espelhos de corrente *cascode high-swing* com polarização adicional e, portanto, consumo adicional de corrente. Além disso, requer um grande número de bits de calibração (18 bits) consumindo uma maior área de silício e tem uma dependência média de temperatura relativa $280 \text{ ppm}/^\circ\text{C}$ que é comparável com os trabalhos anteriores com $227 \text{ ppm}/^\circ\text{C}$ e $150 \text{ ppm}/^\circ\text{C}$.

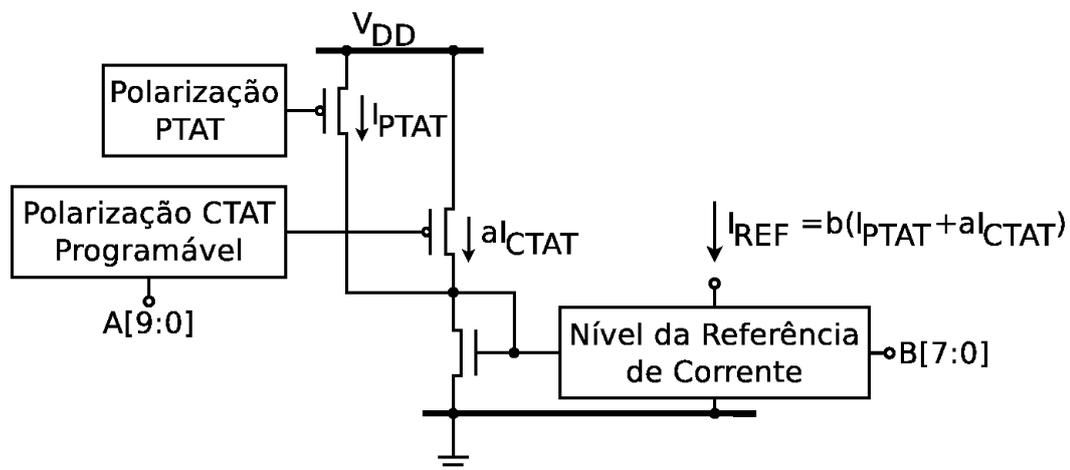


Figura 2.4 – Referência TPC-CM. Adaptado de [7].

2.2.4 Circuitos 4 e 5

A literatura mais recente aborda os desafios de projeto para aplicações de Internet das Coisas (*Internet-of-Things - IoT*), em que a eficiência energética, o baixo consumo de energia em espera e a operação de tensão ultra baixa são requisitos. Referências [8] e [9] apresentam projetos com apenas 4, Fig. 2.5, e 3, Fig. 2.6, transistores, consumo de energia de $1,02 \text{ nW}$ e 213 nW , e áreas de $17000 \mu\text{m}^2$ e $750 \mu\text{m}^2$, respectivamente, que são parâmetros atrativos para as aplicações propostas. Em contraste, a dependência média da temperatura relativa de $428 \text{ ppm}/^\circ\text{C}$ e $1046 \text{ ppm}/^\circ\text{C}$ e a sensibilidade do processo de $\pm 8,8 \%$ e $\pm 2,7 \%$, respectivamente, pode não ser adequada para algumas aplicações que necessitam de uma alta precisão, além do fato de que eles não empregam circuitos de

calibração ou estruturas *cascode* para melhorar a precisão e a PSRR; este último não foi considerado em ambas as referências bibliográficas.

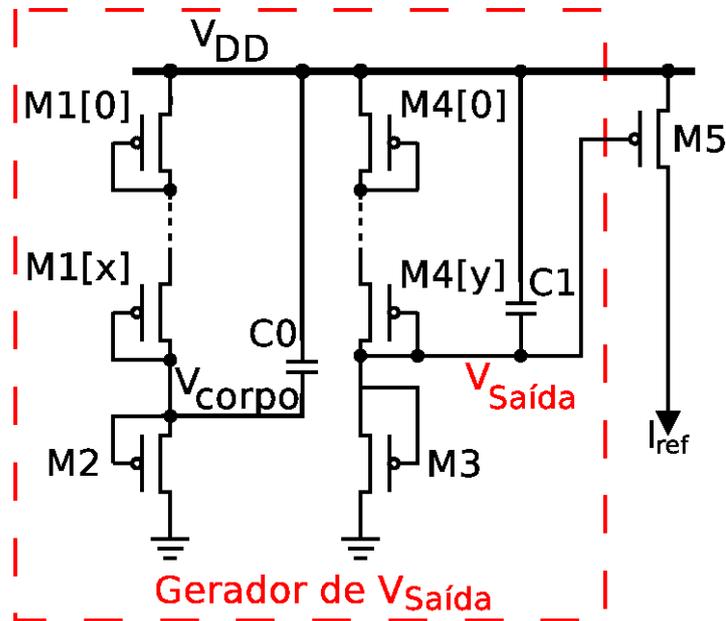


Figura 2.5 – Esquema elétrico do circuito proposto com M1s e M4s empilhados. C0 e C1 são adicionados para diminuir os efeitos do ruído de alta frequência da fonte de alimentação. Adaptado de [8].

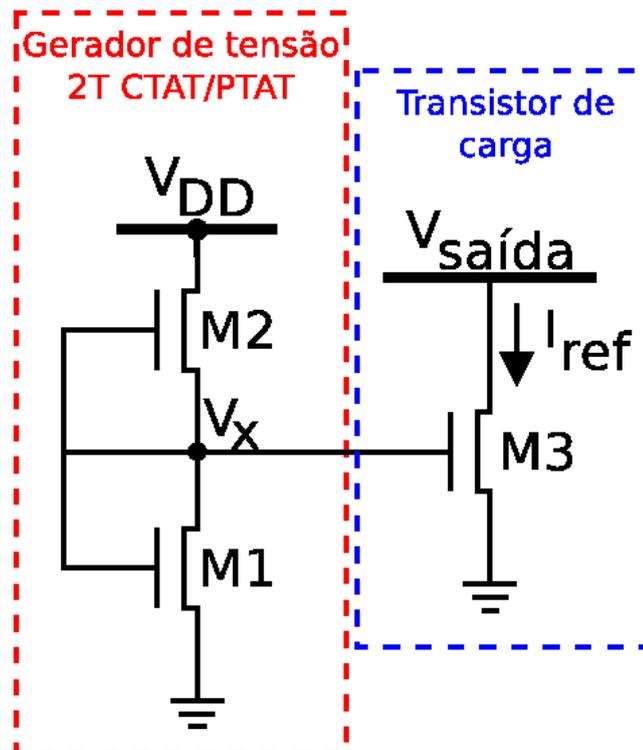


Figura 2.6 – Esquema elétrico do circuito proposto da referência de corrente 3T. Adaptado de [9].

2.2.5 Comparativo

A Tabela 2.1 apresenta um resumo dos pontos positivos e negativos de cada estrutura analisada.

Tabela 2.1 – Resumo dos principais pontos.

Circuito	Pontos Positivos	Pontos Negativos
1 [5]	Baixo consumo de corrente	PSRR baixa (dependente de V_{DD}) Dependente da variação do processo de $ V_{tp} $ e R
2 [6]	A compensação de temperatura de primeira ordem pode ser alcançada para qualquer conjunto de parâmetros tecnológicos. Além disso, pode-se observar que esta compensação de temperatura pode ser alcançada independentemente do valor da referência de corrente.	O resistor R_1 depende do valor absoluto de V_{th} . O coeficiente de temperatura de três variáveis - mobilidade de elétrons (lacunas) em dispositivos NMOS (PMOS) k_{μ} , tensão limiar $k_{V_{th}}$ e resistor k_R , apresentando dispersão significativa, sendo, portanto, complexa a sua compensação de temperatura e calibração.
3 [7]	Apresenta alta precisão.	Requer grande número de bits para calibração (18 bits). Dependência média da temperatura relativa comparável com os trabalhos anteriores.
4 [8]	4 transistores Baixo consumo de energia	Alta dependência média da temperatura relativa Alta sensibilidade do processo Não emprega circuitos de calibração Sem estruturas para melhorar a precisão e a PSRR
5 [9]	3 transistores Baixo consumo de energia	Alta dependência média da temperatura relativa Alta sensibilidade do processo Não emprega circuitos de calibração Sem estruturas para melhorar a precisão e a PSRR

2.3 Padrões de Tensão Utilizados em Referências

Os circuitos de referência podem ser classificados de acordo com os padrões de tensão nas quais as correntes de polarização são geradas [13]. Os padrões mais convencionais são:

- A tensão V_{BE} dos transistores bipolares ou V_t dos transistores MOS;
- A tensão térmica V_T dos transistores bipolares;
- A tensão de ruptura de uma junção pn reversamente polarizada (diodo Zener).

Cada um destes padrões pode ser usado em circuitos de baixa sensibilidade às variações da tensão de alimentação, ainda que estes sejam dependentes das variações de temperatura. O diodo Zener tem a desvantagem de requerer tensões de alimentação na faixa de 7 a 10 V porque processos padrões de circuitos integrados produzem uma tensão de ruptura mínima de 6 V através das junções altamente dopadas (tipicamente

junção base-emissor de transistores npn). Os padrões de tensão V_{BE} e V_T são de interesse particular deste trabalho e serão discutidos nos itens subsequentes considerando, também, o motivo da escolha desses padrões.

2.4 Fontes de Corrente Autopolarizadas

A sensibilidade às variações da tensão de alimentação pode ser reduzida com o uso da chamada técnica de polarização *bootstrap* ou também referida como autopolarizada [13]. Nas fontes de corrente autopolarizadas, a corrente de entrada I_E é projetada como diretamente dependente da corrente de saída I_S , conforme ilustrado na Fig. 2.7 (a), sendo estas as duas variáveis chaves. A relação entre estas variáveis é governada por ambas as fontes de corrente e espelho de corrente. Do ponto de vista da fonte de corrente, I_S é constante e independente de I_E para uma grande excursão desta última, conforme ilustrado na Fig. 2.7 (b). Do ponto de vista do espelho de corrente, I_E é sempre igual à I_S , considerando que o ganho de corrente seja igual a 1. O ponto de operação do circuito precisa atender ambos requerimentos, portanto, as intersecções em ambas as curvas definem os possíveis pontos de operação A e B . O ponto A é o desejado e o B é indesejado, visto que neste $I_E = I_S = 0$.

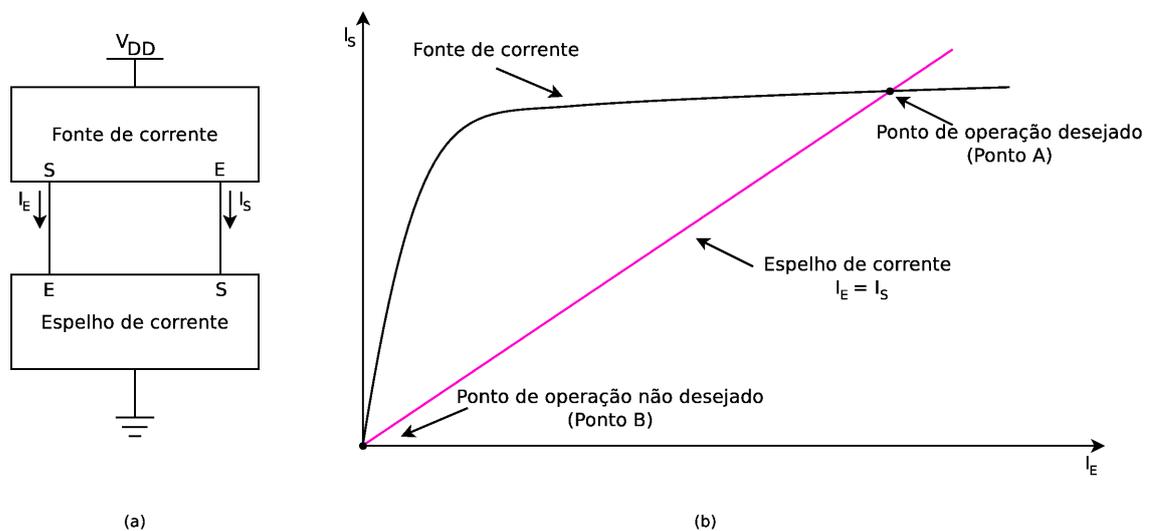


Figura 2.7 – (a) Diagrama de blocos de uma referência de corrente autopolarizada; (b) Determinação do ponto de operação. Adaptado de [13]

A maior possibilidade da fonte de corrente autopolarizada operar no ponto B é durante o instante no qual a tensão de alimentação V_{DD} é ligada e a fonte de corrente não possui carga suficiente para ser ativada e então permanece estável com corrente zero. Este estado pode ser evitado através de um circuito de partida que injete uma carga inicial na fonte de corrente, fazendo com que $I_E = I_S \neq 0$ [13]. Desta forma passa a operar fora do ponto B e convergindo para operação no ponto A , visto que este circuito possui uma malha de realimentação positiva formada entre a fonte e espelho de corrente [13].

Outro requerimento é que o circuito de partida não interfira no funcionamento normal do circuito em regime permanente [13].

2.5 Referência de Corrente V_{EB}

O circuito da Fig. 2.8 ilustra uma referência de corrente V_{EB} tipicamente usada em processos CMOS, em que o transistor pnp é um componente parasita inerente aos substratos p-well [13]. A malha formada pelos transistores M_2 , M_3 , M_4 e M_5 forçam a corrente no transistor Q_1 ser a mesma no resistor R . Assumindo-se que os transistores M_2 e M_3 são casados, $V_{GS2} = V_{GS3}$ e então:

$$I_S = \frac{V_{EB1}}{R} \quad (2.20)$$

Na Eq. (2.20), observa-se independência da corrente de saída com variações na tensão de alimentação, desde que para estas, os transistores M_2 , M_3 , M_4 , M_5 e M_6 estejam sempre saturados.

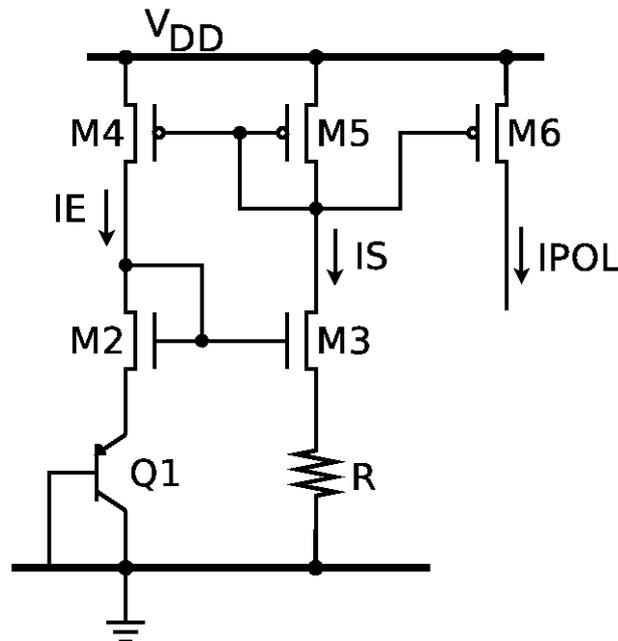


Figura 2.8 – Referência de corrente V_{BE} autopolarizada típica de processos CMOS. Adaptado de [13].

Assim como a sensibilidade, outro importante aspecto do desempenho dos circuitos de polarização é a dependência com a variação na temperatura. Esta variação é tipicamente expressa em termos de variações infinitesimais na corrente de saída por grau Celsius, no qual é chamada de coeficiente térmico fracional (*fractional temperature coef-*

cient - TC_F) [13]:

$$TC_F = \frac{1}{I_S} \frac{\partial I_S}{\partial T} \quad (2.21)$$

Para o circuito da Fig. 2.8:

$$\frac{\partial I_S}{\partial T} = \frac{1}{R} \frac{\partial V_{EB1}}{\partial T} - \frac{V_{EB1}}{R^2} \frac{\partial R}{\partial T} \quad (2.22)$$

$$\frac{\partial I_S}{\partial T} = I_S \left(\frac{1}{V_{EB1}} \frac{\partial V_{EB1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \right) \quad (2.23)$$

Logo,

$$TC_F = \frac{1}{I_S} \frac{\partial I_S}{\partial T} = \frac{\partial I_S}{\partial T} = \frac{1}{V_{EB1}} \frac{\partial V_{EB1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \quad (2.24)$$

Então, a dependência da temperatura da corrente de saída é relacionada à diferença entre os coeficientes térmicos fracionais da junção V_{EB1} do transistor bipolar parasita e do resistor. Novamente, considerando o processo XFAB XH035 [15], $(1/R)(\partial R/\partial T) = -610$ ppm/°C, então:

$$TC_F = \frac{\partial I_S}{\partial T} = \frac{1}{V_{EB1}} \frac{\partial V_{EB1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} = -\frac{0,0019}{0,695} - 0,00061 = -0,00334381/^\circ C = -3343,81 ppm/^\circ C \quad (2.25)$$

2.6 Referência de Corrente V_T

O circuito da Fig. 2.9 ilustra uma referência de corrente V_T tipicamente usada em processos CMOS, em que ambos transistores pnp Q_1 e Q_2 são componentes parasitas inerentes a substratos p-well [13]. Neste circuito, a área do emissor do transistor Q_2 é projetada como n vezes maior do que a área do emissor do transistor Q_1 . Se os transistores M_3 e M_4 são casados e $V_{GS3} = V_{GS4}$, a malha de realimentação força ambos a operarem com a mesma corrente de polarização. Como consequência, a diferença entre as tensões das junções base-emissor V_{EB1} e V_{EB2} é a resultante no resistor R . Logo, a corrente de saída é expressa como [13]:

$$I_S = \frac{V_T \ln(n)}{R} \quad (2.26)$$

A fim de reduzir a diferença entre as tensões dreno-fonte V_{DS4} e V_{DS5} esta referência utiliza os transistores projetados com comprimento de canal L longo, portanto,

reduzindo os efeitos da modulação de canal λ e garantindo a condição $I_E = I_S$ deste circuito autopolarizado.

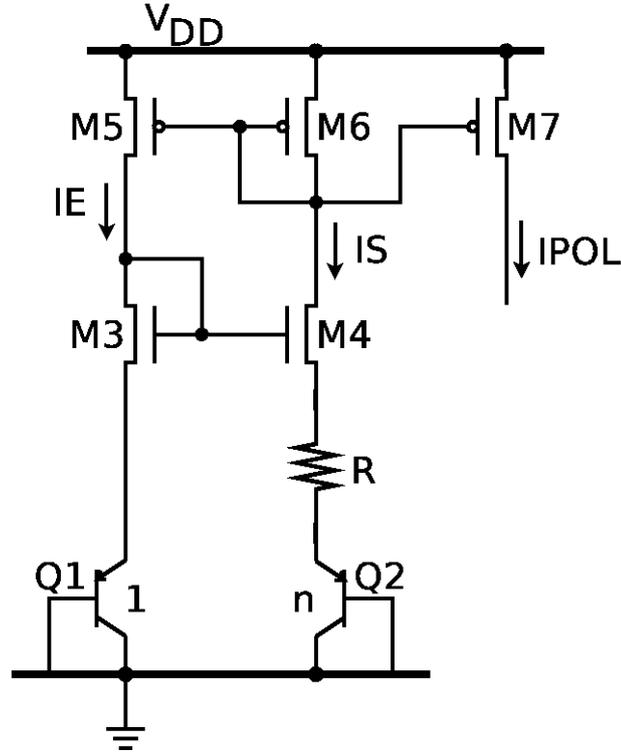


Figura 2.9 – Referência de corrente V_T autopolarizada típica de processos CMOS. Adaptado de [13].

Para o circuito da Fig. 2.9:

$$\frac{\partial I_S}{\partial T} = \ln(n) \frac{R \frac{\partial V_T}{\partial T} - V_T \frac{\partial R}{\partial T}}{R^2} \quad (2.27)$$

$$\frac{\partial I_S}{\partial T} = \frac{V_T \ln(n)}{R} \left(\frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \right) \quad (2.28)$$

Aplicando-se a Eq. (2.26) na Eq. (2.28), obtém-se:

$$TC_F = \frac{1}{I_S} \frac{\partial I_S}{\partial T} = \frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \quad (2.29)$$

Então, a dependência da temperatura da corrente de saída é relacionada à diferença entre os coeficientes térmicos do resistor e da tensão V_T dos transistores bipolares parasitas. Considerando-se o processo XFAB XH035 [15], tem-se $(1/R)(\partial R/\partial T) = -610$ ppm/ $^{\circ}$ C. Portanto,

$$TC_F = \frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} = \frac{0,0000866}{0,026} - 0,00061 = 0,002720769/^{\circ}C = +2720,77 \text{ ppm}/^{\circ}C \quad (2.30)$$

3 Referência de Corrente Proposta

3.1 Introdução

Com o objetivo de aperfeiçoar os parâmetros apresentados no capítulo anterior sobre as referências de corrente, esta tese propõe uma metodologia de projeto para uma referência de corrente independente da temperatura, em tecnologia CMOS, que supere o estado da arte com uma dependência reduzida da temperatura relativa média, alta precisão, alta PSRR e compatível com aplicações modernas de sinais mistos e produção em larga escala em 3σ (99,73% de peças aproveitadas em um lote de fabricação do circuito integrado).

3.2 Equações Fundamentais

A Fig. 3.1 ilustra o diagrama de blocos do trabalho proposto. No bloco de polarização é gerado uma referência de corrente independente da temperatura e não calibrada, I_{BG_u} , que pode ser ajustada com a utilização de apenas 5 bits no bloco calibração para uma corrente de saída calibrada I_{BG} . Em seguida, será apresentada uma descrição detalhada de cada bloco, visando demonstrar as características dos circuitos propostos.

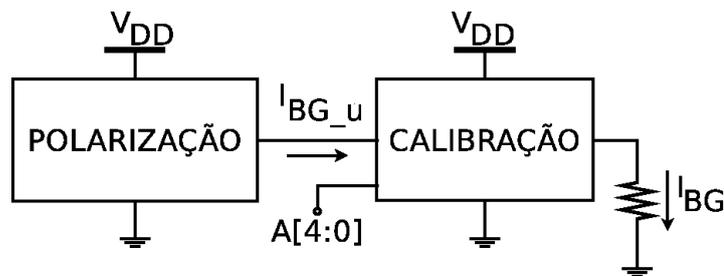


Figura 3.1 – Diagrama de blocos do trabalho proposto.

A Fig. 3.2 apresenta os circuitos que compõem a fonte de corrente independente da temperatura. Ela é composta por duas referências *bootstrap* extraídas de [13] sendo uma referência de corrente em função de V_T que entrega uma corrente proporcional à temperatura absoluta e será definida como I_{PTAT} . A outra referência de corrente em função de V_{EB} gera uma corrente complementar à temperatura absoluta e foi definida como I_{CTAT} . Conforme [13] uma referência de corrente opera com nós de alta impedância, fazendo necessário um circuito de inicialização, o qual é responsável por injetar uma corrente de inicialização durante a etapa da rampa de subida da tensão de alimentação V_{DD} e, após o processo de inicialização ela deve-se isolar dos demais circuitos durante o regime permanente, com isso, permitindo evitar o mau funcionamento desta topologia.

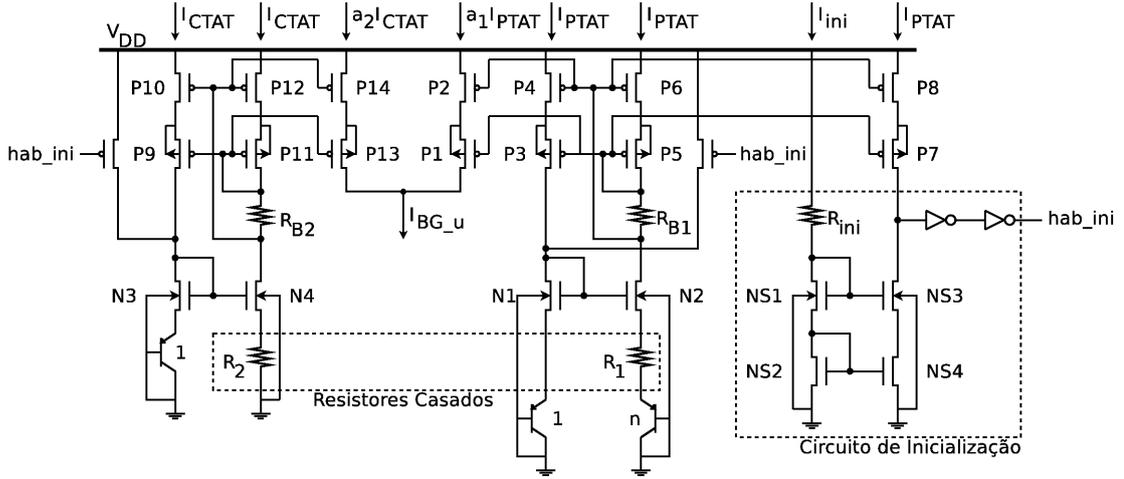


Figura 3.2 – Esquema elétrico do bloco de polarização.

A corrente I_{BG_u} não calibrada é expressa por:

$$I_{BG_u}(T) = a_1 I_{PTAT}(T) + a_2 I_{CTAT}(T) \quad (3.1)$$

A referência [13] afirma que:

$$I_{PTAT}(T) = \frac{V_T \ln(n)}{R_1(T)} \quad (3.2)$$

$$I_{CTAT}(T) = \frac{V_{EB}(T)}{R_2(T)}$$

Com isso, tem-se que:

$$I_{BG_u}(T) = a_1 \frac{V_T \ln(n)}{R_1(T)} + a_2 \frac{V_{EB}(T)}{R_2(T)} \quad (3.3)$$

Considerando a Eq. (3.1) e a Fig. 3.2, observa-se que a referência de corrente independente da temperatura é uma função da relação das correntes dos espelhos de corrente *bootstrap* a_1 e a_2 , dos resistores R_1 e R_2 e seus respectivos casamentos.

A Eq. (3.1) é reescrita como:

$$I_{BG_u}(T) = a_1 \left(\frac{\frac{k}{q} T \ln(n)}{R_1(T_o) [1 + \alpha_R (T - T_o)]} \right) + a_2 \left(\frac{V_{EB}(T_o) + \alpha_{EB} (T - T_o)}{R_2(T_o) [1 + \alpha_R (T - T_o)]} \right) \quad (3.4)$$

em que k/q é o coeficiente da referência de temperatura PTAT em $[\mu\text{V}/\text{K}]$, n é a razão entre as áreas dos emissores dos seus transistores bipolares, α_{EB} é o coeficiente de referência da temperatura CTAT em $[\text{mV}/\text{K}]$, α_R é o coeficiente da temperatura do resistor

integrado em $[K^{-1}]$, $R_1(T_o)$ e $R_2(T_o)$ são os valores absolutos dos resistores R_1 e R_2 na temperatura ambiente em $[\Omega]$, T e T_o são as temperaturas de operação e ambiente em $[K]$, respectivamente.

Assim a Eq. (3.4) pode ser reescrita como:

$$I_{BG_u}(T) = a_1 \frac{A_0 T}{B_1 T + B_0} + a_2 \frac{C_1 T + C_0}{D_1 T + D_0} \quad (3.5)$$

Em que

$$\begin{aligned} A_0 &= \frac{k}{q} \ln(n) \\ B_1 &= \alpha_R R_1(T_0) \\ B_0 &= R_1(T_0)[1 - \alpha_R T_0] \\ C_1 &= \alpha_{EB} \\ C_0 &= V_{EB}(T_0) - \alpha_{EB} T_0 \\ D_1 &= \alpha_R R_2(T_0) \\ D_0 &= R_2(T_0)[1 - \alpha_R T_0] \end{aligned}$$

Fazendo a derivada da Eq. (3.5) igual a zero para se obter a independência da temperatura:

$$\frac{\partial I_{BG_u}(T)}{\partial T} = a_1 \left(\frac{A_0}{B_1 T + B_0} - \frac{A_0 B_1 T}{(B_1 T + B_0)^2} \right) + a_2 \left(\frac{C_1}{D_1 T + D_0} - \frac{(C_1 T + C_0) D_1}{(D_1 T + D_0)^2} \right) = 0 \quad (3.6)$$

Finalmente, a relação fundamental para alcançar a não dependência da temperatura no circuito proposto é:

$$\frac{a_2}{a_1} = - \frac{A_0 B_0}{(B_1 T + B_0)^2} \cdot \frac{(D_1 T + D_0)^2}{C_1 D_0 - C_0 D_1} \quad (3.7)$$

Das especificações do processo CMOS [15] para cada variável envolvida na Eq. (3.7) e com o auxílio da planilha do Apêndice A, o ponto de operação para a referência de corrente proposta é estabelecido, seguindo os critérios de projeto a serem discutidos a seguir.

3.3 Polarização e Casamentos

Considerando o circuito da Fig. 3.2 e para evitar circuitos adicionais de polarização, garantir um consumo de corrente reduzido e uma faixa de operação significativa da fonte de alimentação V_{DD} todos os espelhos de correntes devem ser auto polarizados com alta excursão e *folded-cascode* conforme [16]. Os valores absolutos das resistências R_{B1} e R_{B2} e suas dependências com a temperatura de operação tem efeito insignificante na polarização dos respectivos espelhos de corrente, como será mostrado pelas equações e simulações elétricas deste projeto.

Os transistores bipolares parasitas devem operar com correntes de coletor I_C na região ótima extraída do gráfico de h_{FE} x I_C , fornecido pelo fabricante CMOS e de uso restrito (cláusula de confidencialidade imposta pelo fabricante), no qual o comprometimento entre ganho de corrente h_{FE} e o erro mínimo de corrente do coletor $\sigma(\Delta I_C/I_C)$ deve ser observado.

Os resistores R_1 e R_2 , nos quais definem o valor da corrente I_{PTAT} e I_{CTAT} , respectivamente, devem apresentar baixas taxas de primeira e segunda ordem para os coeficientes de temperatura e tamanho com moderada correspondência ($\pm 0,1\%$) segundo [17], e seguindo os modelos de [18] ou [19]. As mesmas considerações foram feitas para todos os transistores MOSFET que são polarizados em inversão forte.

Um parâmetro fundamental do projeto é a tensão mínima de alimentação $V_{DD(min)}$ que para deduzir é necessário referir-se às Figs. 3.3 e 3.4 em que as tensões de polarização das referências PTAT e CTAT são mostrados.

Na Fig. 3.3, a tensão de saturação do espelho PMOS $V_{ON(p1)}$ é expressa por:

$$V_{ON(p1)} = R_{B1}(T)I_{PTAT}(T) \quad (3.8)$$

$$V_{ON(p1)} = \frac{R_{B1}(T_0)[1 + \alpha_R(T - T_0)]V_T \ln(n)}{R_1(T_0)[1 + \alpha_R(T - T_0)]} = \frac{R_{B1}}{R_1} V_T \ln(n)$$

Pela Eq. (3.8), R_{B1} e R_1 devem ser resistores do mesmo tipo para cancelar seus coeficientes térmicos. A condição para operação de N1 na saturação é:

$$V_{DS(N1)} \geq V_{ON(n1)} \quad (3.9)$$

$$V_{DD} - 2V_{ON(p1)} - V_{EB}(T) \geq V_{ON(n1)}$$

Das Eqs. (3.8) e (3.9), a tensão mínima de alimentação para a referência *bootstrap* PTAT $V_{DD(min)_PTAT}$ é expressa por:

$$V_{DD(min)_PTAT} = V_{ON(n1)} + 2\frac{R_{B1}}{R_1} \frac{k}{q} T \ln(n) + V_{EB}(T_0) + \alpha_{EB}(T - T_0) \quad (3.10)$$

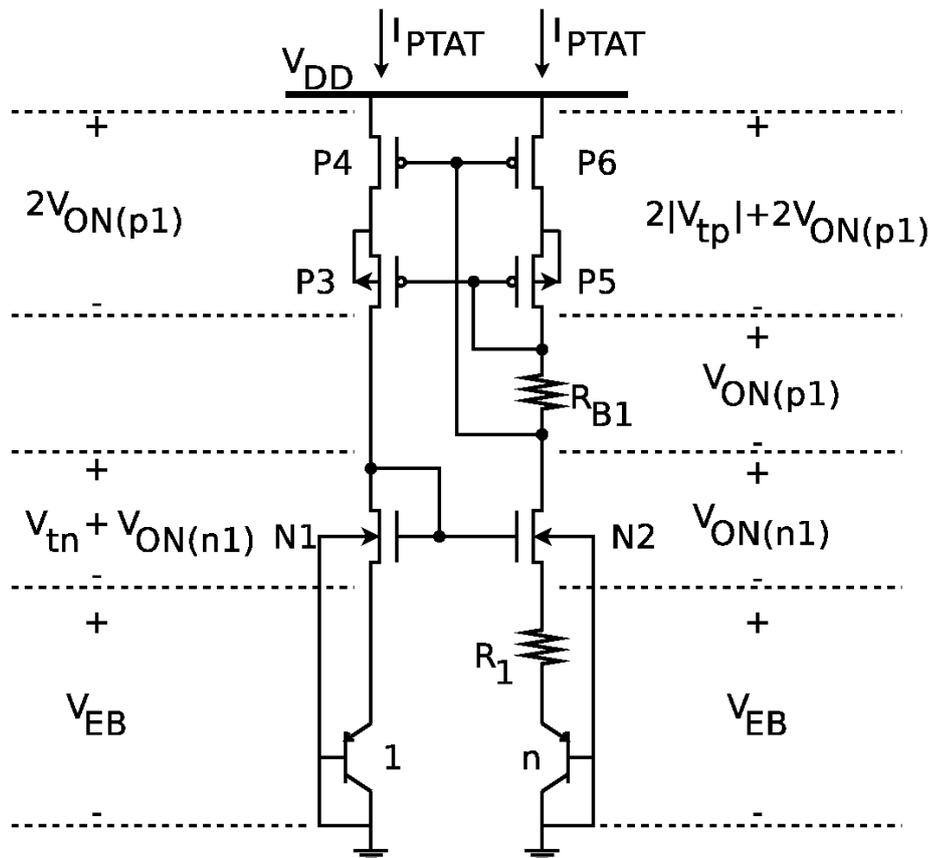


Figura 3.3 – Esquema elétrico da polarização da referência *bootstrap* PTAT.

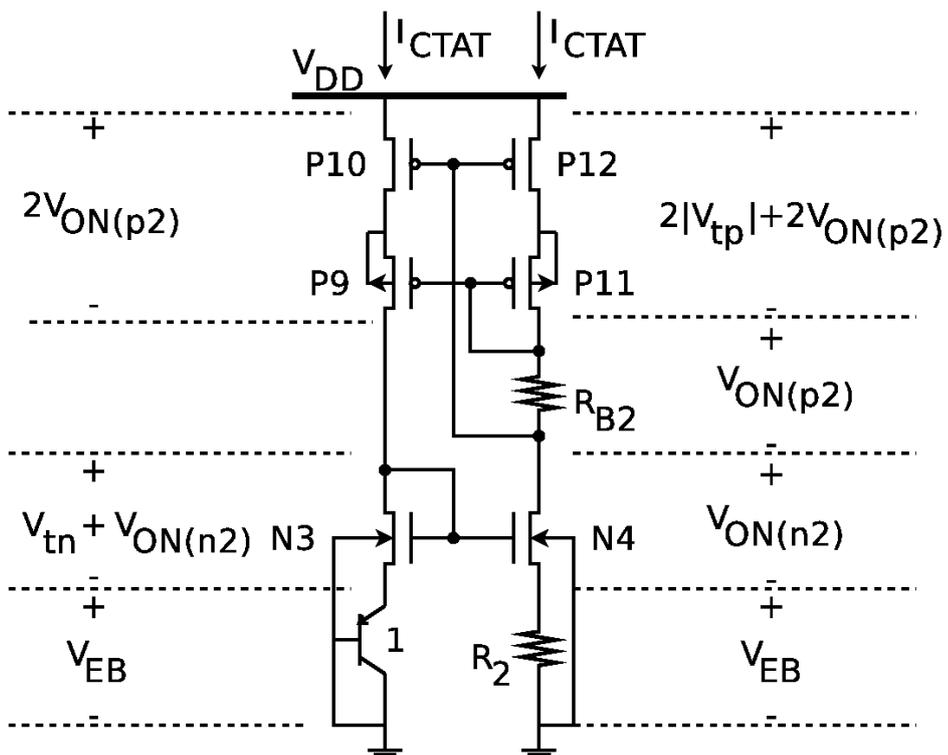


Figura 3.4 – Esquema elétrico da polarização da referência *bootstrap* CTAT.

Na Eq. (3.10), pode-se deduzir que $V_{DD(min)_PTAT}$ pode ser compensado em temperatura, escolhendo os valores adequados para R_{B1}/R_1 e $V_{ON(p1)}$. A mesma análise é feita para a tensão de alimentação mínima para a referência de *bootstrap* CTAT $V_{DD(min)_CTAT}$, que é expressa por:

$$V_{DD(min)_CTAT} = V_{ON(n2)} + \left[2 \frac{R_{B2}}{R_2} + 1 \right] * [V_{EB}(T_0) + \alpha_{EB}(T - T_0)] \quad (3.11)$$

Na Eq. (3.11), $V_{DD(min)_CTAT}$ não pode ser compensado em temperatura e apresenta mais sensibilidade que $V_{DD(min)_PTAT}$. Finalmente, com o auxílio de uma planilha é possível calcular todos os valores de $V_{DD(min)_PTAT}$ e $V_{DD(min)_CTAT}$ para o intervalo de $T_{(min)} \leq T \leq T_{(max)}$ e:

$$V_{DD(min)} = MAX(V_{DD(min)_PTAT}, V_{DD(min)_CTAT}) \quad (3.12)$$

Os critérios de projeto utilizados para este trabalho seguem os seguintes passos:

- Fixar $a_1 = 1$ e a_2 é calculado como função do restante das variáveis;
- A corrente I_{BG_u} escolhida deve ser suficiente para ter as correntes I_{PTAT} e I_{CTAT} operando na região de saturação (inversão forte) para todas as variações de processo-tensão-temperatura (*Process-Voltage-Temperature - PVT*);
- n e $R_1(T_o)$ são escolhidos para alcançar a melhor relação de $R_2(T_o)/R_1(T_o)$ (não maior que 10) e um a_2 (múltiplo de 0,25), a fim de otimizar o erro sistemático.

A Tabela 3.1 apresenta os resultados das variáveis do projeto do bloco de polarização, incluindo os parâmetros do processo e os resultados extraídos das simulações CC e das Eqs. (3.1) – (3.12).

O valor de 20 μA foi definido pois é um número inteiro e, também, múltiplas correntes podem ser derivadas deste valor, como, por exemplo, 5 μA , 10 μA , 40 μA , 100 μA e etc. Com isso, fazendo $I_{PTAT(T_0)} = 7 \mu A$ e $I_{CTAT(T_0)} = 13 \mu A$ são condições suficiente para o circuito operar na região de saturação (inversão forte) para os casos de PVT. a_1 e a_2 definem o múltiplo dos números de transistores derivados dos espelhos de corrente de PTAT e CTAT para compor a corrente de saída $I_{BG_u}(T)$. Com $a_1 = 1$, isto causa um erro menor comparado a $a_1 = 2$, o qual seria menor do que $a_1 = 4$ e assim por diante. Portanto, alcançar um valor menor possível para a_1 e a_2 , é desejado para melhorar o casamento dos espelhos de corrente CMOS, e conseqüentemente, contribuir menos com o erro da corrente de saída.

3.4 Circuito de Calibração

O circuito apresentando na Fig. 3.5 é o responsável pela etapa de calibração da corrente I_{BG_u} para a corrente I_{BG} . Essa etapa é necessária para realizar a correção da

Tabela 3.1 – Parâmetros do Bloco de Polarização - Projeto 3σ

Parâmetros de processo	$T_0 = 300 \text{ K (} 27 \text{ °C)}$
	$\alpha_R = -610 \mu\text{K}^{-1}$
	$\alpha_{EB} = -1,90 \text{ mV/K}$
	$V_{EB}(300 \text{ K}) = 695 \text{ mV}$
Parâmetros de projeto	$I_{BG_u} = 20 \mu\text{A}$
	$n = 4$
	$R_1(300 \text{ K}) = 5145 \Omega$
	$I_{PTAT}(300 \text{ K}) = 7 \mu\text{A}$
	$R_2(300 \text{ K})/R_1(300 \text{ K}) = 9,833$
	$I_{CTAT}(300 \text{ K}) = 13 \mu\text{A}$
	$\alpha_2 = 1$
$V_{DD(min)} = 2,5 \text{ V}$	

variação do processo. Do circuito, a equação de calibração da corrente é apresentada como:

$$I_{BG}(T) = (1 \pm \varepsilon\%) I_{BG_u} \left[1 + \frac{A_{32} - A_{31}}{12,5} + \frac{A_{22} - A_{21}}{25} + \frac{A_{12} - A_{11}}{50} + \frac{A_{02} - A_{01}}{100} \right] \quad (3.13)$$

em que $\varepsilon\%$ é o erro percentual entre o valor da corrente de saída teórica ($20 \mu\text{A}$) e a corrente de saída medida na saída do bloco de polarização e, I_{BG_u} é o valor teórico da corrente ($20 \mu\text{A}$) e,

$$\begin{aligned} A_{32} &= \overline{A[4]}A[3] & A_{31} &= A[4]A[3] \\ A_{22} &= \overline{A[4]}A[2] & A_{21} &= A[4]A[2] \\ A_{12} &= \overline{A[4]}A[1] & A_{11} &= A[4]A[1] \\ A_{02} &= \overline{A[4]}A[0] & A_{01} &= A[4]A[0] \end{aligned}$$

é um decodificador formado por portas lógicas E, não-E e um inversor para ativar os ramos necessários para a compensação da corrente de saída sendo que os ramos formados por transistores PMOS contribuem com o acréscimo de corrente e os ramos compostos por transistores NMOS com o decréscimo de corrente. Cada ramo da Fig.3.5 contribui com um valor específico para o processo de calibragem sendo 200 nA , 400 nA , 800 nA e 1600 nA .

Da Eq. (3.13) e dos dados da análise de Monte Carlo, como será mostrado na próxima seção, a referência de corrente proposta tem uma precisão de $\pm 0,5\%$. A variação máxima de processo em que o bloco de calibração cobre I_{BG_u} é de $\pm 15\%$ ($\pm 3,0 \mu\text{A}$), sendo demonstrado na Tabela 3.2 todas as combinações dos cinco bits com os respectivos valores de correntes para o processo de calibragem.

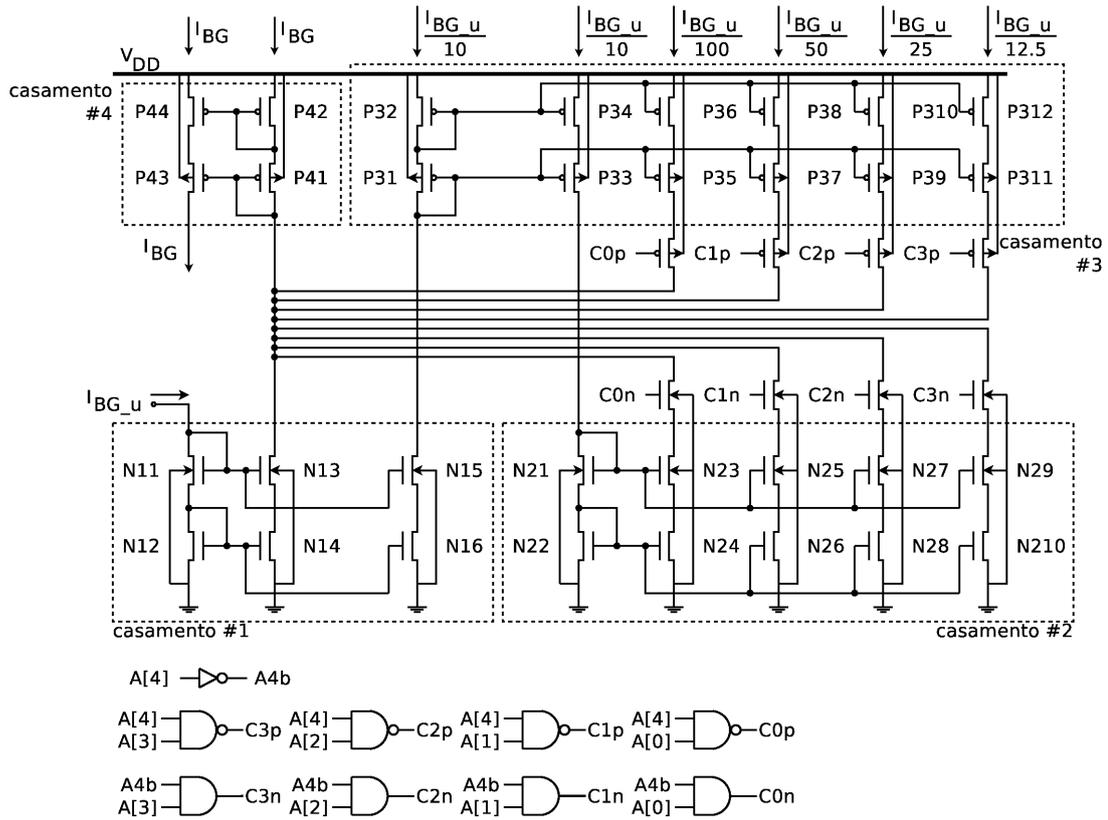


Figura 3.5 – Esquema elétrico da corrente de calibração.

Para que a referência de corrente seja calibrada com sucesso, o software do testador deve seguir o fluxograma exibido na Fig. 3.6. Neste, os comandos de CMD_1 a CMD_4 são de escrita, e relacionados com os números das Tabelas 3.3 e 3.4. A Tabela 3.4 exibe os passos de corrente de decremento e incremento relacionado a cada número de comando e normalizado à I_{BG} @ +27 °C. Caso o processo de calibração falhe a amostra será descartada, pois não será possível realizar a compensação da variação do processo.

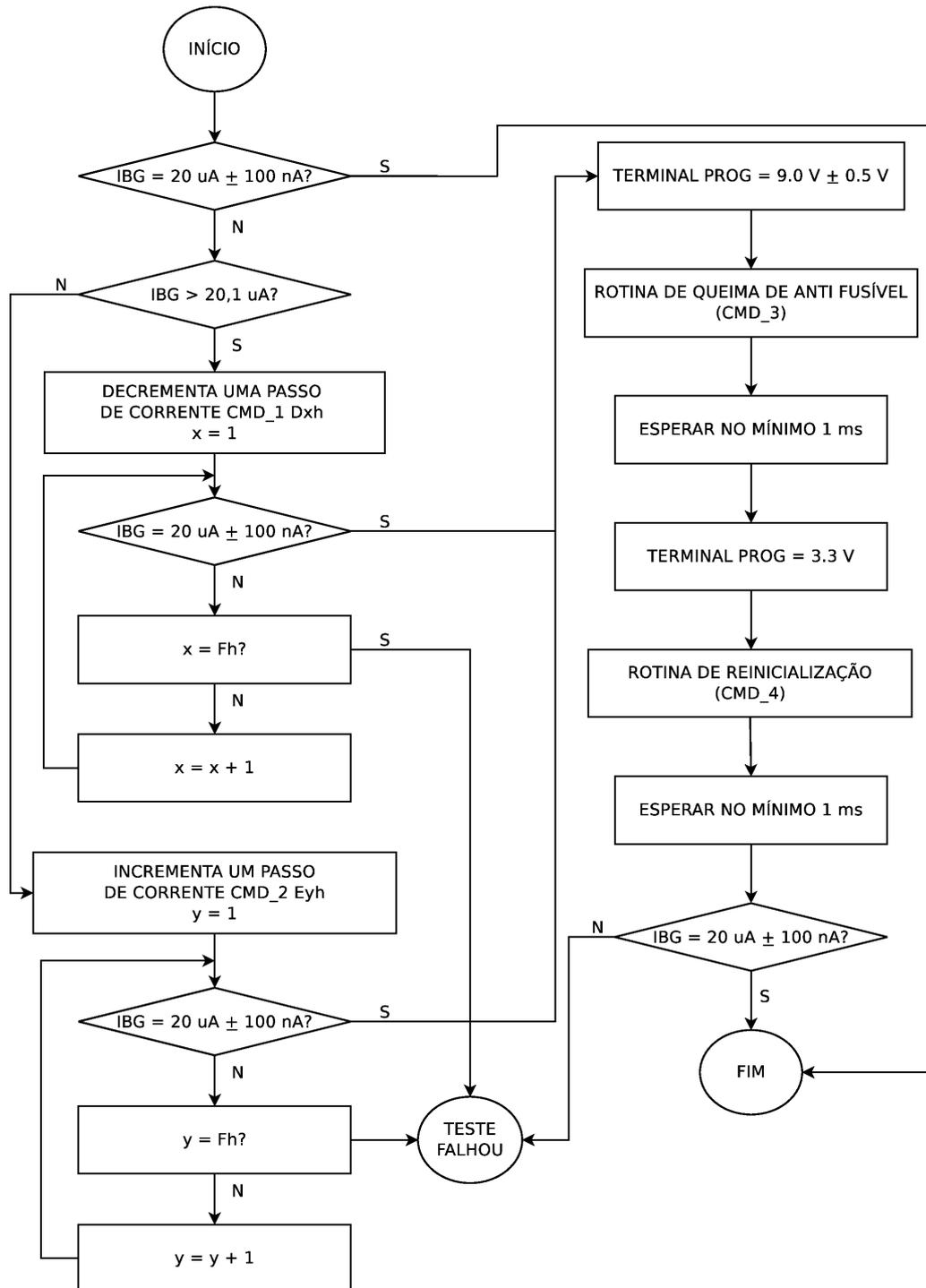


Figura 3.6 – Fluxograma das etapas da calibragem da referência de corrente.

Tabela 3.2 – Valores das correntes de calibragem.

COMBINAÇÕES					I_{REF}
A4	A3	A2	A1	A0	
1	1	1	1	1	-3.0 uA
1	1	1	1	0	-2.8 uA
1	1	1	0	1	-2.6 uA
1	1	1	0	0	-2.4 uA
1	1	0	1	1	-2.2 uA
1	1	0	1	0	-2.0 uA
1	1	0	0	1	-1.8 uA
1	1	0	0	0	-1.6 uA
1	0	1	1	1	-1.4 uA
1	0	1	1	0	-1.2 uA
1	0	1	0	1	-1.0 uA
1	0	1	0	0	-800 nA
1	0	0	1	1	-600 nA
1	0	0	1	0	-400 nA
1	0	0	0	1	-200 nA
1	0	0	0	0	0 uA
0	0	0	0	0	0 uA
0	0	0	0	1	+200 nA
0	0	0	1	0	+400 nA
0	0	0	1	1	+600 nA
0	0	1	0	0	+800 nA
0	0	1	0	1	+1.0 uA
0	0	1	1	0	+1.2 uA
0	0	1	1	1	+1.4 uA
0	1	0	0	0	+1.6 uA
0	1	0	0	1	+1.8 uA
0	1	0	1	0	+2.0 uA
0	1	0	1	1	+2.2 uA
0	1	1	0	0	+2.4 uA
0	1	1	0	1	+2.6 uA
0	1	1	1	0	+2.8 uA
0	1	1	1	1	+3.0 uA

Tabela 3.3 – Comandos para calibragem da referência de corrente.

Número do comando	Descrição
CMD_1	D1h a DFh Decrementa um passo de corrente proporcional à IBG @ 27 °C.
CMD_2	E1h a EFh Incrementa um passo de corrente proporcional à IBG @ 27 °C.
CMD_3	F0h Chama a rotina de queima de anti fusíveis (baseada na X-FAB EasyZap)
CMD_4	00h Reinicializa o bloco interno.

Tabela 3.4 – Passos de calibragem da referência de corrente ($T = 27\text{ }^\circ\text{C}$).

Número do comando	IBG (calibragem)	Número do comando	IBG (calibragem)
D1h	IBG - 1%IBG	E1h	IBG + 1%IBG
D2h	IBG - 2%IBG	E2h	IBG + 2%IBG
...
DFh	IBG - 15%IBG	EFh	IBG + 15%IBG

3.5 Circuito de Inicialização

O princípio de funcionamento do circuito de inicialização presente na Fig. 3.2 segue o seguinte comportamento: durante a etapa de inicialização do circuito integrado uma corrente denominada de I_{ini} acompanha a tensão de alimentação. Enquanto a corrente I_{PTAT} for menor que a corrente I_{ini} , $hab_ini = 0$ (zero) e os terminais drenos dos transistores NS1 e NS3 estão diretamente conectados ao V_{DD} e, assim, forçando esses nós a estarem em baixa impedância e conseqüentemente permitindo o fluxo de correntes. Quando a corrente I_{PTAT} for maior que I_{ini} , então $hab_ini = V_{DD}$ e o circuito de inicialização é isolado do restante do circuito da referência de corrente. Para o funcionamento adequado da referência de corrente, é obrigatório a condição $I_{PTAT} > I_{ini}$ em todas as análises transientes de PVT. A corrente I_{ini} é expressa pela Eq. (3.14) (negligenciando o efeito de corpo do transistor NS1):

$$I_{ini} = \frac{V_{DD} - 2(V_{tn} + V_{ON})}{R_{ini}} \quad (3.14)$$

4 Resultados

4.1 Introdução

Este capítulo apresenta os resultados das simulações e das medidas realizadas no circuito da referência de corrente independente da temperatura e suas considerações. Também é apresentado o leiaute desenvolvido e sua respectiva área. As etapas de desenvolvimento do esquema elétrico, das simulações e do leiaute foram realizadas no software Virtuoso[®] da empresa Cadence[®].

4.2 Simulações

A referência de corrente independente da temperatura da Fig. 3.1 foi projetada sob um processo de fabricação CMOS X-FAB de $0,35 \mu\text{m}$ para validar essa tese. A Fig. 4.1 considera o desempenho do circuito sob uma faixa industrial de operação da temperatura, ou seja, entre $-40 \text{ }^\circ\text{C}$ a $80 \text{ }^\circ\text{C}$. Nota-se que o valor da corrente I_{BG} é igual a $20 \mu\text{A}$, conforme especificado, e com uma variação de $\pm 2 \mu\text{A}$ (sendo $\pm 10\%$ a variação do processo). A dependência média da temperatura relativa é tipicamente de $62 \text{ ppm}/^\circ\text{C}$ e o pior caso (*Worst Case - WCS*) é de $180 \text{ ppm}/^\circ\text{C}$, a qual é menor do que as literaturas anteriores apresentadas no capítulo 2. Para esta simulação em regime CC foram considerados 135 casos pois considera-se cinco casos do processo de fabricação, três casos dos resistores, três casos dos transistores bipolares e três valores de tensões.

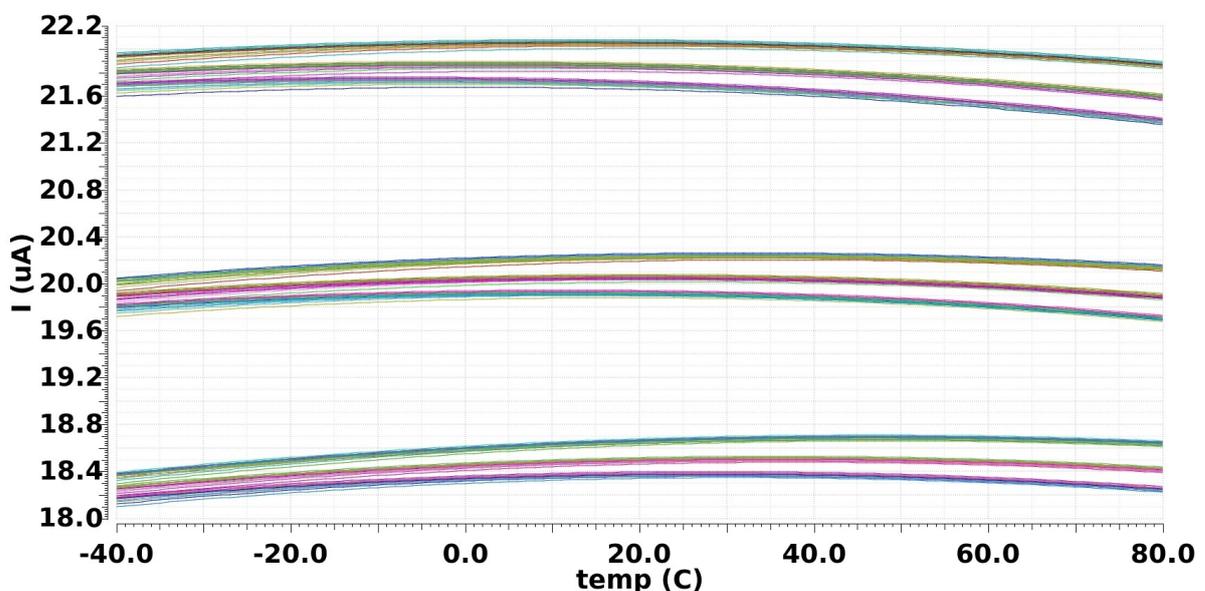


Figura 4.1 – Simulações de variação de temperatura (135 casos de PVT).

A Fig. 4.2 analisa o valor de PSRR para uma saída com carga resistiva R_L igual a $10\text{ k}\Omega$ (considerado pior caso para a carga sendo sua utilização para polarização de fentodiodos em que a impedância da carga deve ser menor do que a impedância do espelho), variando de 50 dB a 60 dB para frequências de até 1 kHz, sendo tais considerações necessárias para aplicações de sinais mistos, no qual o ruído de comutação de alta frequência está presente. Para esta simulação em regime CA foram considerados 405 casos pois considera-se cinco casos do processo de fabricação, três casos dos resistores, três casos dos capacitores, três casos dos transistores bipolares e três valores de temperatura.

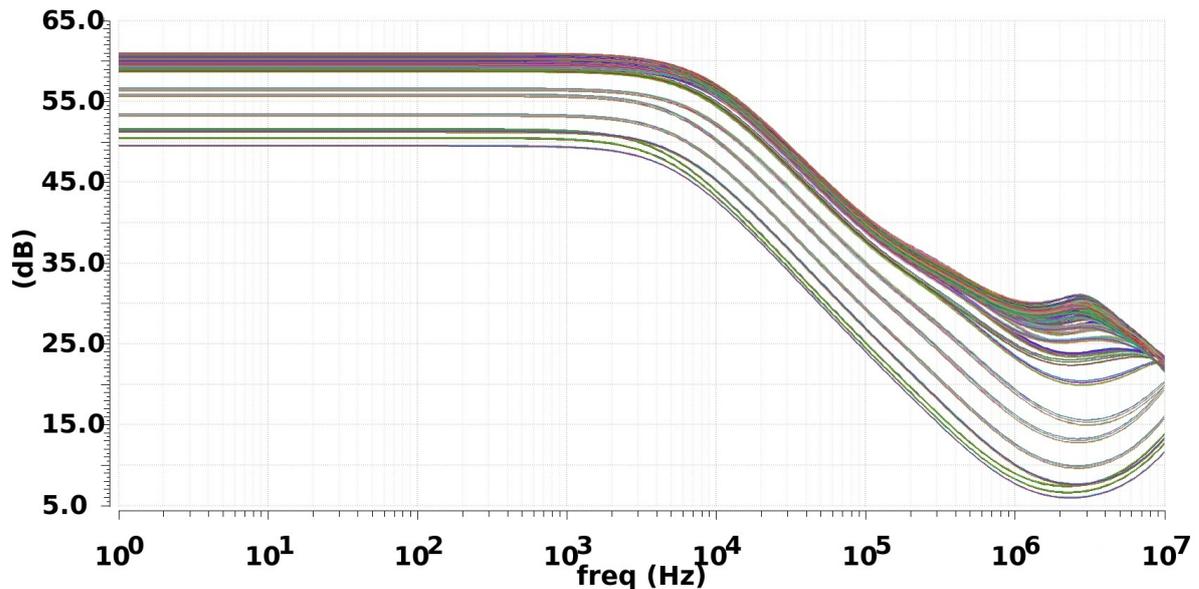


Figura 4.2 – Simulações PSRR (405 casos de PVT).

A Fig. 4.3 mostra análises da rampa de subida da fonte de alimentação, em que a referência de corrente atinge com sucesso o estado permanente e o circuito de inicialização está completamente desconectado do circuito da referência de corrente. Para esta simulação transiente foram considerados 405 casos pois considera-se cinco casos do processo de fabricação, três casos dos resistores, três valores de temperatura, três casos dos transistores bipolares e três valores de tensões.

Finalmente, a Fig. 4.4 mostra 1108 pontos da análise de Monte Carlo, em que a média da corrente $I_{BG(av)}$ é igual a $20,044\ \mu\text{A}$ e o desvio padrão $\sigma(I_{BG})$ é igual a $171,070\ \text{nA}$. Foram definidos 1108 pontos para análise, pois a ferramenta apresenta uma função que calcula, estaticamente, a quantidade de pontos necessários para se encontrar um valor de rendimento desejado de 99,73% e um alvo com 95% de confiança. Com esta simulação é possível garantir que o projeto irá atender aos requisitos para um projeto 3σ e, além disso, garantir que o erro da corrente I_{BG} seja de $\pm 0,5\%$ após a etapa de calibração caracterizando uma variação máxima de corrente de $100\ \text{nA}$.

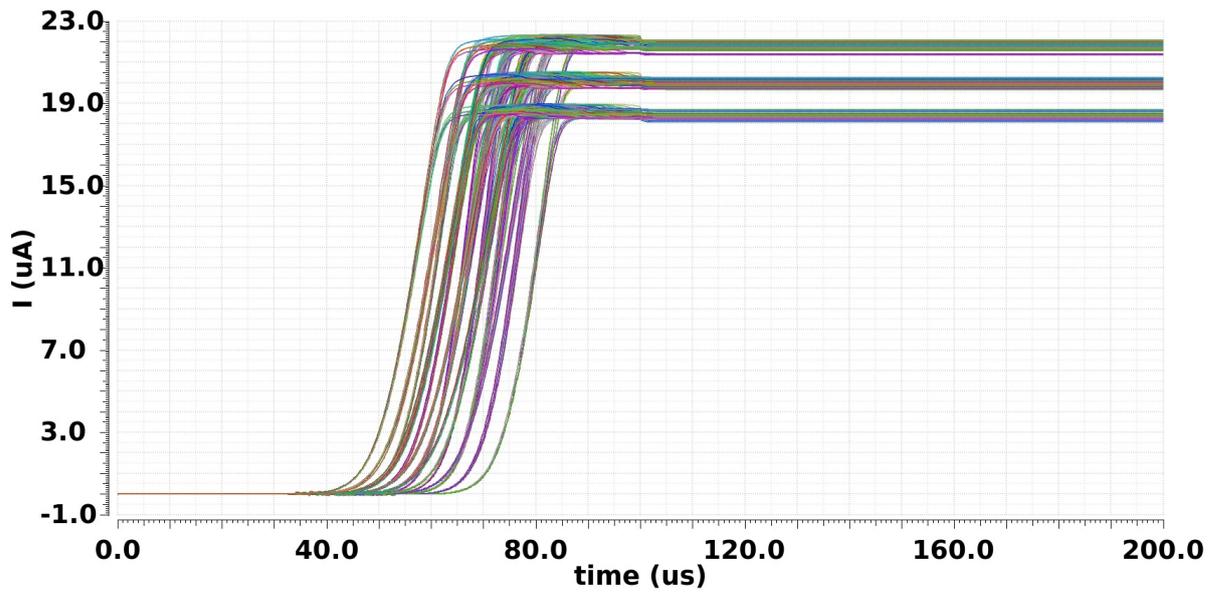


Figura 4.3 – Simulações da rampa de subida e estado permanente (405 casos de PVT).

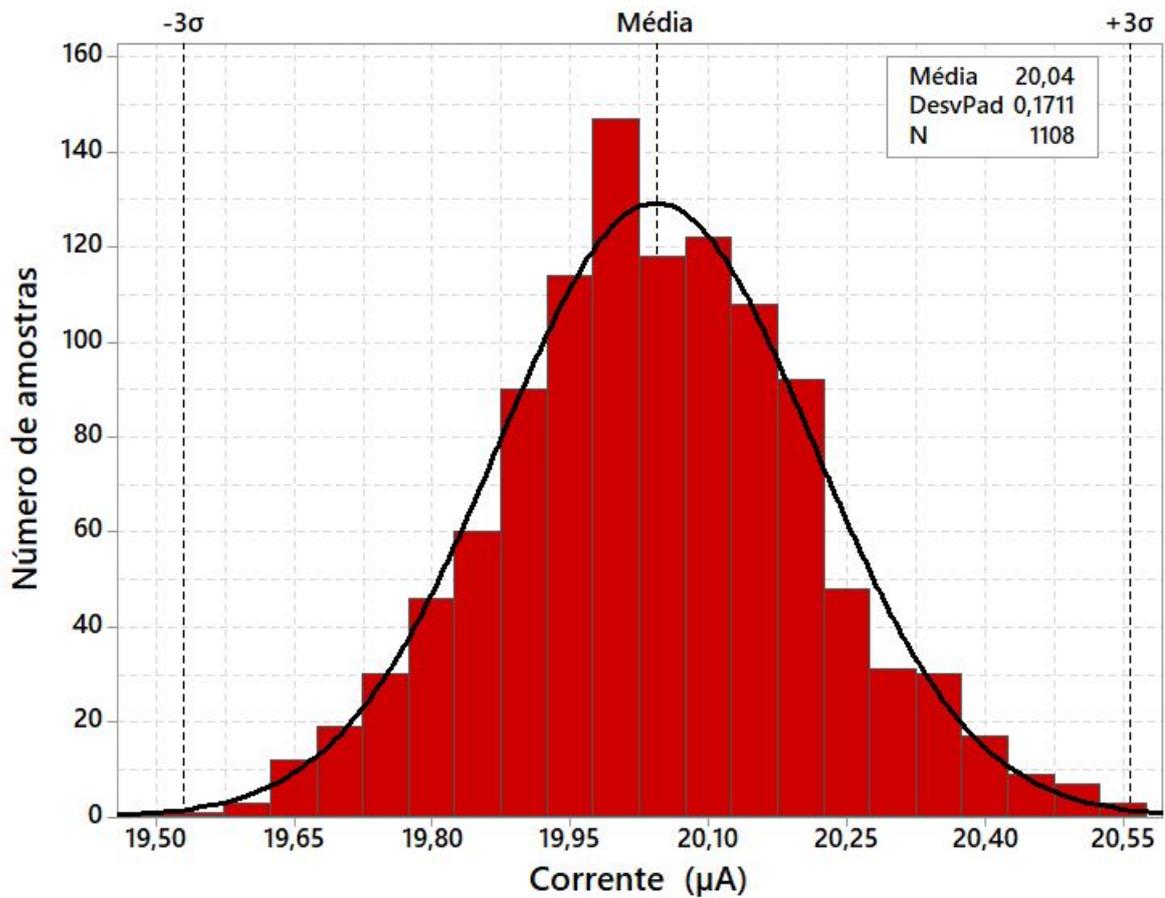


Figura 4.4 – Simulações de precisão (1108 pontos de Monte Carlo).

4.3 Leiaute

A Fig. 4.5 mostra o leiaute desenvolvido por processo totalmente manual da referência de corrente independente da temperatura sendo que este ocupa uma área de $139.401 \mu\text{m}^2$ com $434,95 \mu\text{m}$ em X e $320,5 \mu\text{m}$ em Y. Na própria figura é identificado as áreas dos blocos de polarização e calibração.

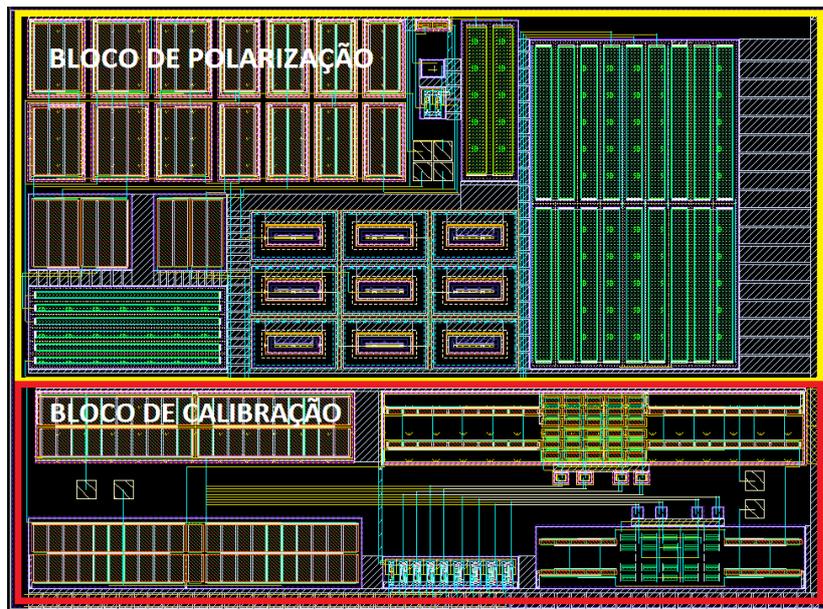


Figura 4.5 – Leiaute da referência de corrente independente da temperatura.

A Fig. 4.6 demarca todas as áreas do leiaute informadas na Fig. 4.5 com o detalhamento da numeração por componentes.

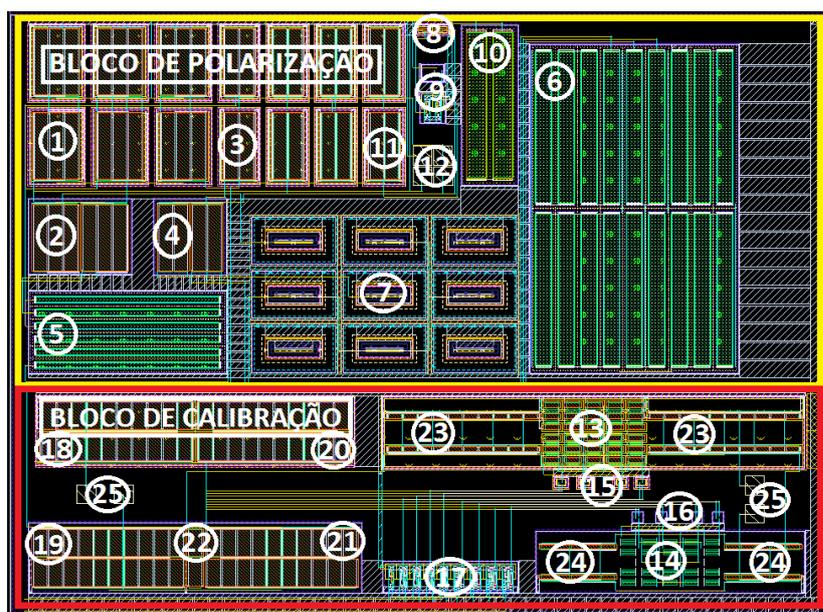


Figura 4.6 – Identificação dos componentes do leiaute da referência de corrente independente da temperatura.

Considerando a área referente ao bloco de polarização, tem-se abaixo a descrição da numeração da Fig. 4.6 que identifica a região:

- 1: seis transistores PMOS da referência CTAT;
- 2: seis transistores CMOS da referência CTAT;
- 3: seis transistores PMOS da referência PTAT;
- 4: seis transistores NMOS da referência PTAT;
- 5: resistores R_{B1} e R_{B2} os quais não são casados;
- 6: resistores R_1 e R_2 que são casados e seguem conforme o esboço da Fig. 4.7;
- 7: nove transistores bipolares PNP. O circuito necessita de 6 transistores bipolares, porém foram utilizados mais três *dummies* para efeito de simetria tanto horizontal quanto vertical da distribuição dos transistores dispostos em uma matriz 3x3. Os três *dummies* foram alocados nas posições 1x3, 3x1 e 3x3 da matriz. Já os quatro transistores Q2 da referência V_{EB} estão alocados nas posições 1x2, 2x1, 2x3 e 3x2 da matriz. Na posição 1x1 da matriz encontra-se o transistor Q1 da referência V_T e, por fim, na posição 2x2 da matriz encontra-se o transistor Q1 da referência V_{EB} ;
- 8: dois transistores habilitadores das referências CTAT e PTAT;
- 9: quatro transistores NMOS do circuito de inicialização e mais dois inversores;
- 10: resistor de inicialização feito de polisilício, porém de tipo diferente dos demais resistores do projeto devido ao fato de possui um valor maior e com isso, precisar de uma resistência de superfície superior para ocupar uma menor área no leiaute;
- 11: dois transistores PMOS do circuito de inicialização;
- 12: quatro pontos para medidas do circuito entre os terminais portas dos transistores P10 e P12, P4 e P6, N3 e N4 e N1 e N2 conforme o esquema elétrico da Fig. 3.2.

Considerando a área referente ao bloco de calibração, tem-se abaixo a descrição da numeração da Fig. 4.6 que identifica a região:

- 13: transistores PMOS dos ramos responsáveis pelas correntes de acréscimo;
- 14: transistores NMOS dos ramos das correntes de decréscimo;
- 15 e 16: oito transistores habilitadores de cada ramo, sendo PMOS e NMOS respectivamente;
- 17: quatro portas não-E, quatro portas E e os dois inversores sendo todas células padrões disponíveis no *design kit* da X-FAB;
- 18 e 20: quatro transistores PMOS responsáveis pela corrente calibrada I_{BG} ;

- 19, 21 e 22: seis transistores NMOS que recebem a corrente não calibrada I_{BG_u} ;
- 23: quatro transistores PMOS são representados em duas regiões;
- 24: dois transistores NMOS são representados em duas regiões;
- 25: quatro pontos para medidas do circuito entre os terminais portas dos transistores P44 e P42, P32 e P34, N12 e N14 e N22 e N24 conforme o esquema elétrico da Fig. 3.5.

A Fig. 4.7 apresenta um esboço do leiaute que foi desenvolvido para os resistores R_1 e R_2 (polisilício) com o objetivo de alcançar os valores determinados através do equacionamento e que sofressem um mínimo erro, com isso, melhorando o casamento. Ambos os resistores foram fracionados em resistores de 5145Ω e uma combinação de ligações série e paralelo permitem alcançar os valores desejados.

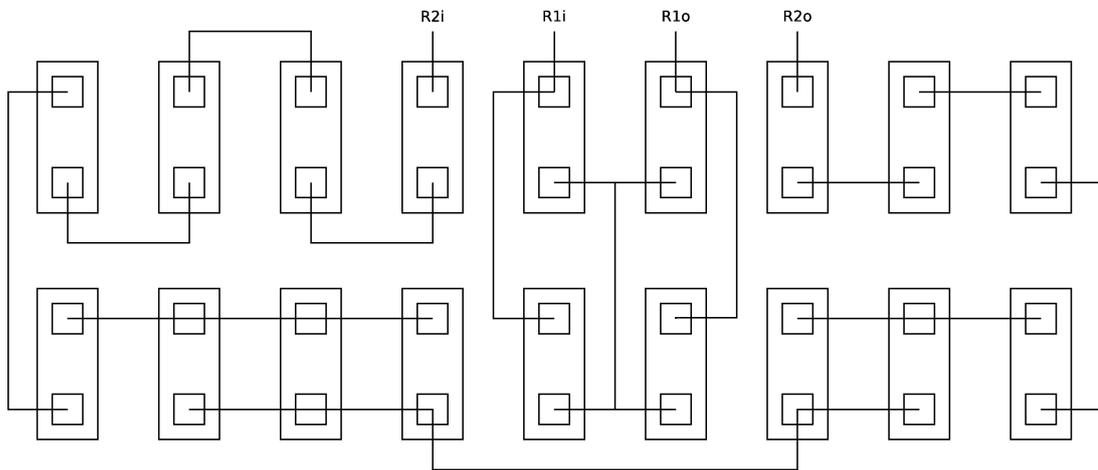


Figura 4.7 – Esboço do leiaute dos resistores R_1 e R_2 .

A Fig. 4.8 mostra a fotografia através de microscópio do circuito desta tese, com leiaute sobreposto devido a utilização da camada de passivação pela X-FAB na fabricação do circuito integrado que impede a completa visualização do leiaute.

A Fig. 4.9 mostra a fotografia de microscópio do circuito desta tese sem o leiaute sobreposto e com a marcação de suas dimensões.

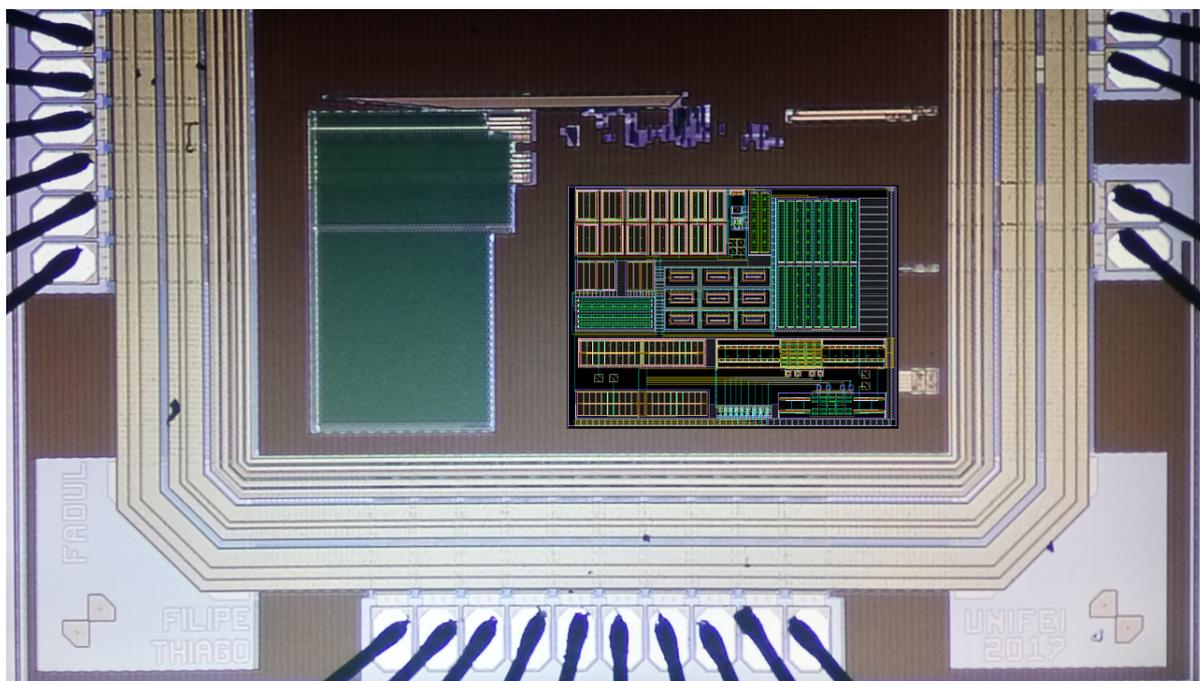


Figura 4.8 – Fotografia de microscópio com leiaute sobreposto do trabalho proposto.



Figura 4.9 – Fotografia de microscópio sem leiaute sobreposto do trabalho proposto.

4.4 Medidas em laboratório

O circuito integrado desta tese, disponível no Apêndice B, foi fabricado através de uma rodada de engenharia incluindo 3 *wafers* totalizando aproximadamente 11.000 amostras. Testes automáticos foram realizados na empresa suíça APTASIC e no Laboratório de Caracterização e Testes em Microeletrônica os testes manuais. Os resultados que serão apresentados a seguir foram obtidos através dos testes manuais realizados em 26 amostras com encapsulamento DIP40.

A Fig. 4.10 mostra o resultado das medidas realizadas para as amostras não calibradas (A1 a A26) e a Fig. 4.11 para as mesmas amostras após o processo de calibração de 16 delas. Em ambos os casos o circuito foi alimentado com V_{DD} igual a 3,3 V (valor nominal). Pode ser visto que todas as curvas combinam com os resultados simulados da Fig. 4.1, o que permite validar através das medidas realizadas os equacionamentos e os resultados teóricos (simulações) deste trabalho, como, também, o processo de calibração.

Outro ponto a se destacar na Fig. 4.11 é o valor médio da corrente de 20,01 μA com uma variação 3σ de 0,1857 nA considerando a temperatura de 27°C por se tratar da temperatura de projeto do circuito. Para a etapa de medidas no Laboratório de Caracterização e Testes da Universidade Federal de Itajubá foram utilizados os seguintes equipamentos: câmara de teste de temperatura Binder MK53, fonte de alimentação Hewlett-Packard HP3631A e Multímetro Agilent U1252B conforme ilustra a Fig. 4.12. Na etapa de calibração foi utilizado um kit de desenvolvimento de FPGA com uma estrutura de microcontrolador embarcada conforme [20] e [21] e, também, foi desenvolvido um código específico para a utilização da comunicação serial I²C para envio dos comandos de calibração para o circuito integrado como é mostrado na Fig. 4.13.

A Fig. 4.14 apresenta o resultado das medidas de PSRR que foram obtidas através do analisador de sinais Keysight 35670A com um sinal de entrada de V_{DD} igual a 3,1 V $\pm 0,3 V_p$ e R_L igual a 10 k Ω conforme Fig. 4.15. Pelo gráfico os valores de PSRR obtidos estão na faixa de 51 a 54 dB, dentro do intervalo esperado demonstrado nas simulações, e novamente, comprovando o alcance do desempenho desejado para mais um parâmetro. É possível notar que a curva apresentada na tela do equipamento de medida está invertida em relação a curva exposta no gráfico da Fig 4.2, pois, no processo de medição, as variáveis de entrada e saída estavam invertidas. Contudo este fato não apresenta nenhum efeito prático nos valores das medidas.

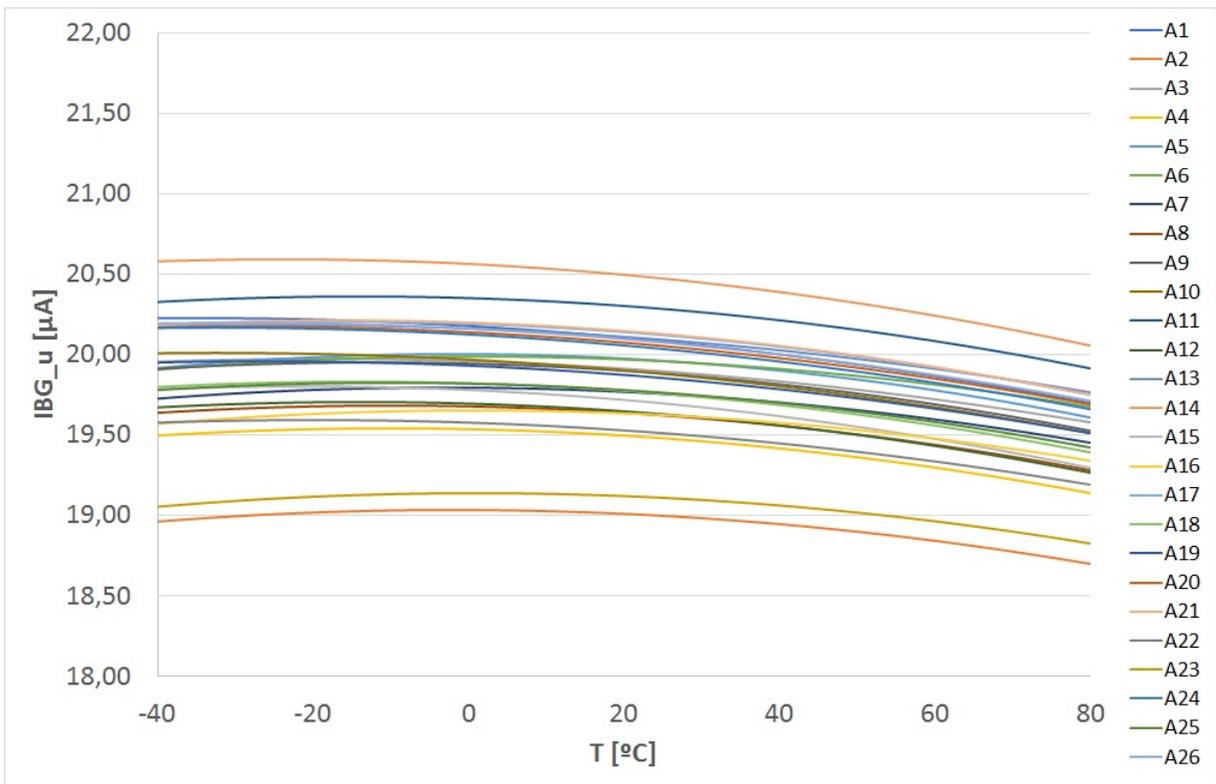


Figura 4.10 – Medidas de laboratório da referência de corrente proposta (amostras não calibradas).

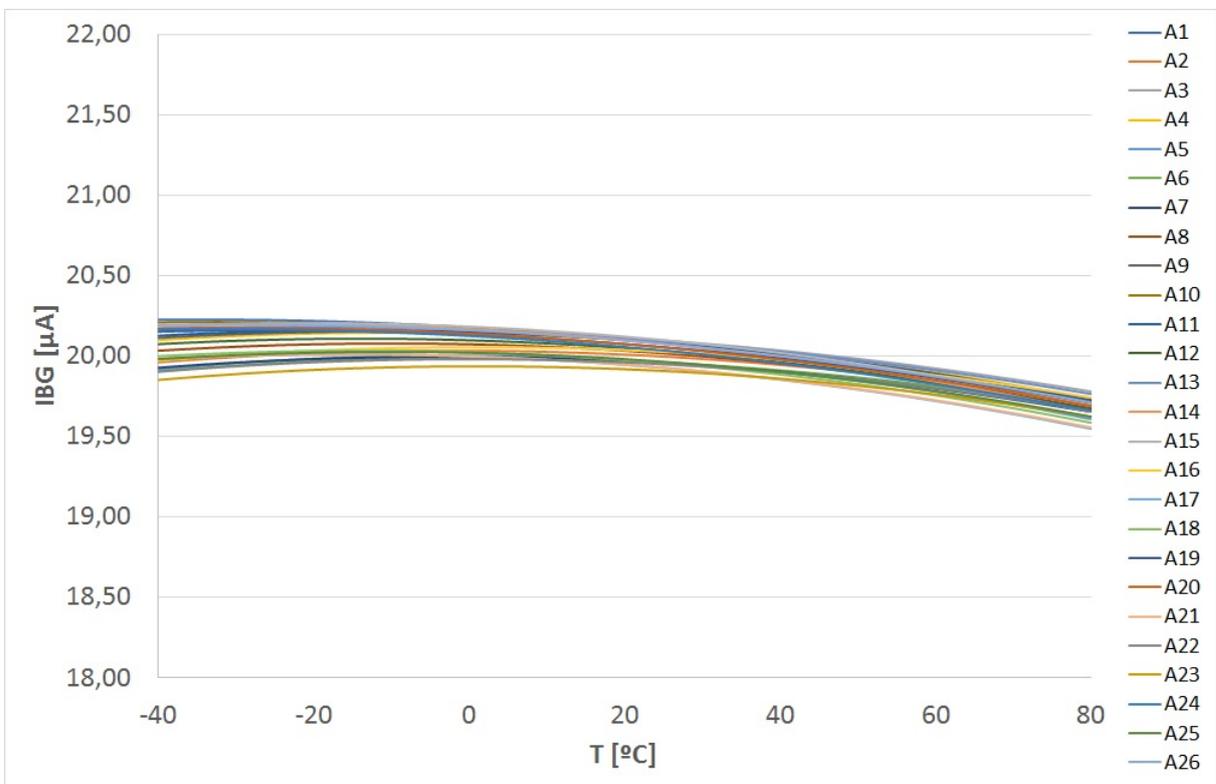


Figura 4.11 – Medidas de laboratório da referência de corrente proposta (amostras calibradas).



Figura 4.12 – Estação de medidas de temperatura no laboratório.

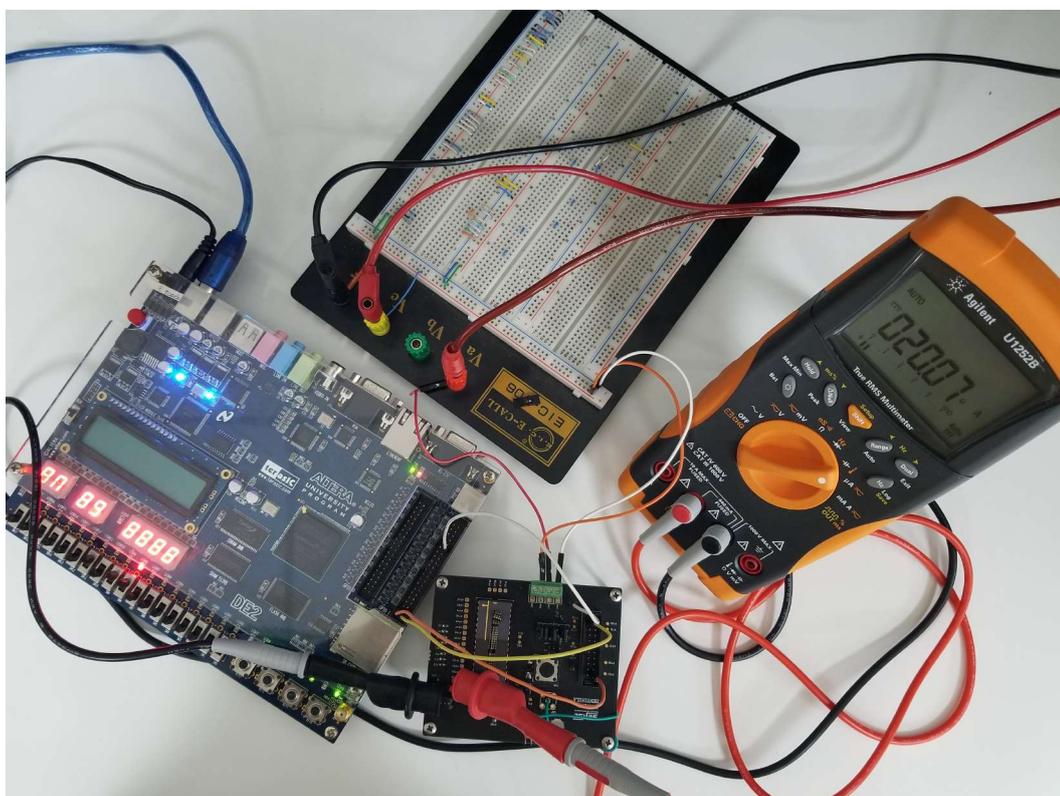


Figura 4.13 – Estação de calibração no laboratório.

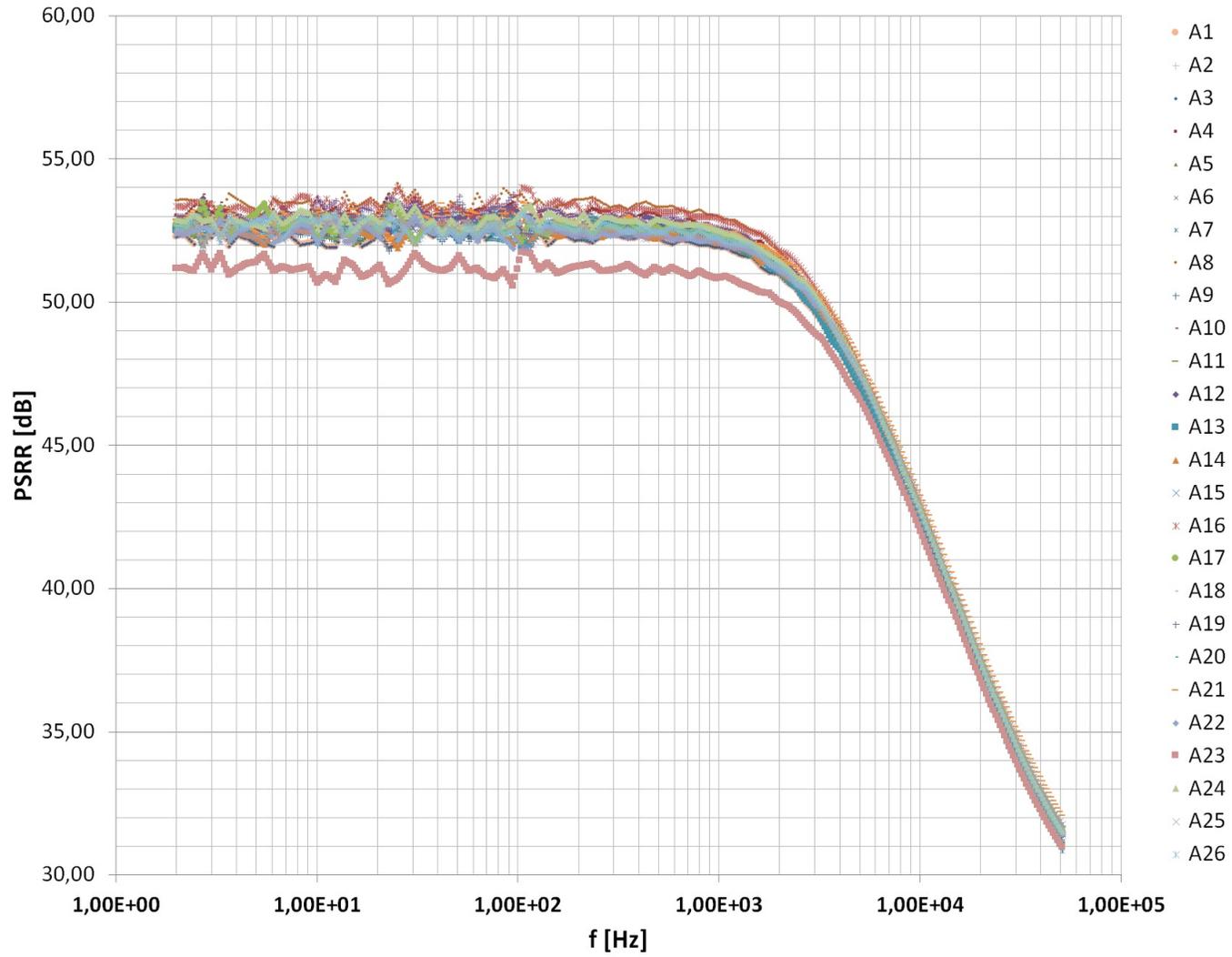


Figura 4.14 – Medidas de PSRR

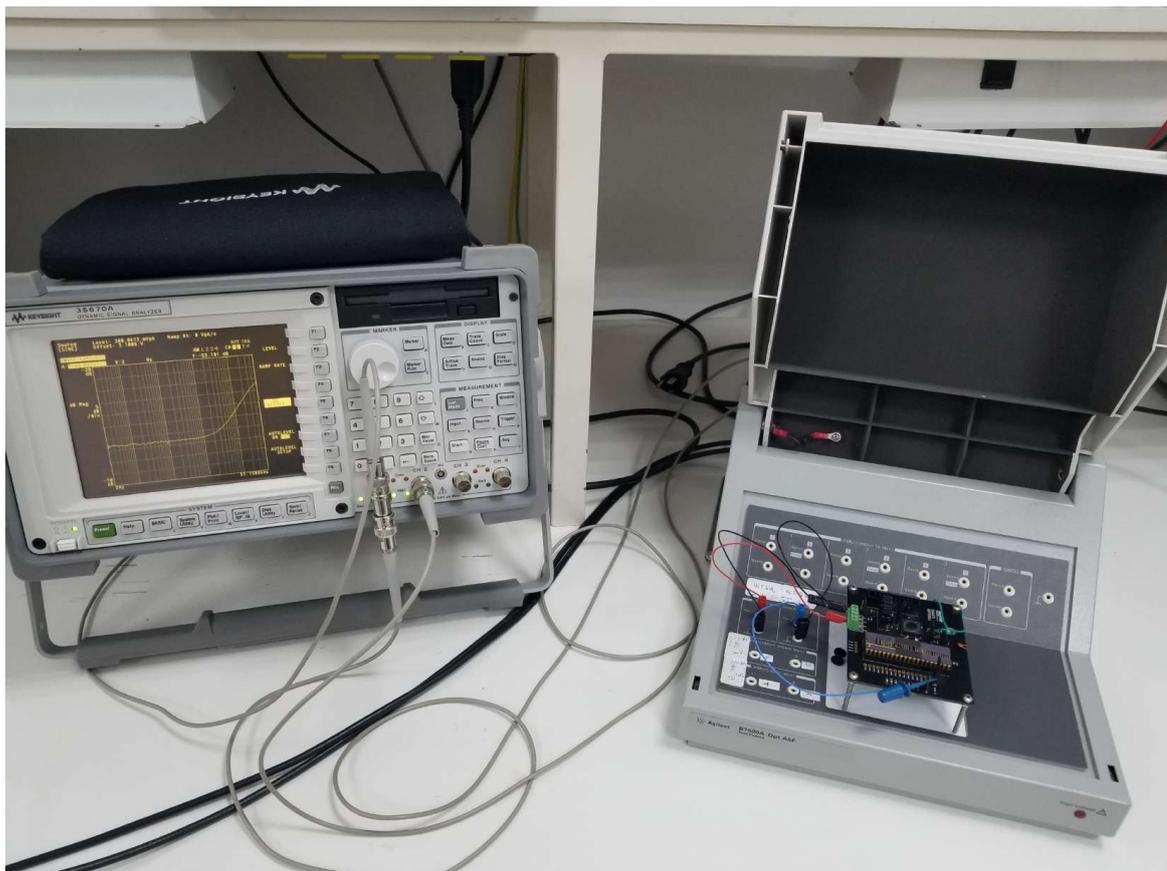


Figura 4.15 – Estação de medidas de PSRR no laboratório

A Tabela 4.1 apresenta os valores de erro de saída, TC_F e PSRR para as amostras após o processo de calibração. Também é apresentado os valores obtidos através da simulação para comparar e validar os resultados obtidos através das medições das 26 amostras.

Tabela 4.1 – Comparação dos resultados da referência de corrente proposta.

	Erro de Saída @ 27 °C	TC _F [ppm/°C]	PSRR [dB] @ 2 Hz
Simulação	±0,5% (MC)	62 (típico) 180 (máximo)	50 (mínimo) 60 (máximo)
A01	+0,35%	176,19	52,27
A02	-0,03%	140,43	53,03
A03	+0,44%	162,02	52,49
A04	+0,37%	168,44	52,59
A05	-0,23%	167,55	52,51
A06	-0,22%	131,60	53,55
A07	-0,26%	144,20	52,70
A08	+0,06%	168,96	53,38
A09	+0,37%	176,00	52,50
A10	+0,36%	175,87	52,93
A11	+0,37%	177,90	52,65
A12	+0,11%	177,94	52,80
A13	+0,43%	174,56	52,50
A14	+0,32%	176,27	52,49
A15	+0,44%	176,17	52,77
A16	+0,09%	130,53	53,35
A17	-0,42%	179,31	52,70
A18	-0,27%	179,88	53,04
A19	+0,24%	179,57	52,99
A20	+0,23%	176,85	52,72
A21	-0,40%	177,17	52,90
A22	-0,27%	134,99	52,42
A23	-0,48%	130,94	51,18
A24	+0,13%	177,94	52,88
A25	-0,22%	169,44	52,37
A26	+0,34%	177,49	52,62

A Tabela 4.2 mostra as dimensões finais para a proposta do circuito da referência de corrente e a Tabela 4.3 uma comparação entre este trabalho (valores das simulações) e as referências consideradas o estado da arte e discutidas no capítulo 2. Este trabalho alcança resultados superiores e totalmente adequados para aplicações de sinal misto que permitem o consumo de energia até $350 \mu\text{W}$ como a dependência média da temperatura relativa, PSRR e número reduzido de 5 bits para o processo de calibração. Além disso, a precisão alcançada foi significativamente alta ($\pm 0,5\%$).

Tabela 4.2 – Dimensões dos dispositivos da Referência de Corrente proposta

N1..2	2(35 μ m/7 μ m)	N11..14	10(14 μ m/7 μ m)
N3..4	3(35 μ m/7 μ m)	N15..16	1(14 μ m/7 μ m)
NS1..4	1.125 μ m/1.75 μ m	N21..22	10(1.65 μ m/7 μ m)
P1..8	2(35 μ m/7 μ m)	N23..24	1(1.65 μ m/7 μ m)
P9..14	3(35 μ m/7 μ m)	N25..26	2(1.65 μ m/7 μ m)
R ₁ ^a	80.65 μ m/8 μ m	N27..28	4(1.65 μ m/7 μ m)
R ₂ ^a	9.833(80.65 μ m/8 μ m)	N29..210	8(1.65 μ m/7 μ m)
R _{B1} ^a	4(96.7 μ m/3 μ m)	P31..34	10(2.25 μ m/7 μ m)
R _{B2} ^a	2(96.7 μ m/3 μ m)	P35..36	1(2.25 μ m/7 μ m)
R _{ini} ^b	2(69.68 μ m/3 μ m)	P37..38	2(2.25 μ m/7 μ m)
C0n..3n	700nm/350nm	P39..310	4(2.25 μ m/7 μ m)
C0p..3p			
P41..44	10(14 μ m/7 μ m)	P311...312	8(2.25 μ m/7 μ m)

^a $\rho_{sh} = 500 \Omega/\square$, $\alpha_R = -610 \mu\text{K}^{-1}$.

^b $\rho_{sh} = 10 \text{ k}\Omega/\square$, $\alpha_R = -4100 \mu\text{K}^{-1}$.

Tabela 4.3 – Comparação dos Parâmetros das Referências de Corrente

	Este Trabalho	[5]	[6]	[7]	[8]	[9]
Amostras de laboratório	26	12	Não	N/D	32	45
Faixa de temperatura [°C]	-40~80	0~75	-30~100	-20~100	-40~120	0~80
Precisão [%]	±0,5	N/D	±15	±0,52	±8,8	±2,7
TC _F [ppm/°C]	62,5	227	28	280	146	110
TC _F (WCS) [ppm/°C]	180	N/D	150	N/D	428	1046
PSRR [dB]	60	N/D	48	N/D	N/D	N/D
Bits para calibração	5	Não	Não	18	Não	não
Área [μm^2]	139.400	N/D	4.200	57.600	17.000	750
Corrente de saída [μA]	20	0,25	15,15	16,5	0,035	0,338
Consumo de potência [μW]	312	N/D	N/D	N/D	0,102	0,213
Mínima tensão de alimentação [V]	2,6	N/D	2,5	2,0	1,5	0,45
Tecnologia	CMOS 0,35 μm	CMOS 0,35 μm	CMOS 0,35 μm	CMOS 0,35 μm	CMOS 0,18 μm	CMOS 0,18 μm

5 Conclusões e Trabalhos Futuros

Este trabalho apresentou uma metodologia de projeto para implementação de uma referência de corrente independente da temperatura CMOS para aplicações de sinais mistos no processo de fabricação XFAB CMOS 0,35 μm . A fonte proposta foi baseada em duas referências de *bootstrap* e, também, foram consideradas condições de projeto que proporcionaram os devidos equacionamentos. Esta proposta buscou alcançar um alto desempenho para todos os aspectos de qualidade requeridos para uma referência de corrente com compensação de temperatura como uma dependência reduzida da temperatura relativa média (62,5 ppm/ $^{\circ}\text{C}$), alta precisão ($\pm 0,5$), alta PSRR (60 dB) e baixo número de bits para o processo de calibração (5 bits).

Para o desenvolvimento desta tese, a metodologia 3σ foi adotada com o objetivo de garantir confiabilidade e produção em larga escala. Tal metodologia é utilizada em projetos de circuitos integrados comerciais, com o intuito de garantir um rendimento superior a 99% das peças fabricadas e, desta forma, reduzir-se os custos de produção do circuito conforme comprovam as simulações de Monte Carlo. Essas simulações comprovaram que as especificações técnicas do projeto foram atendidas em nível:

- da faixa de operação de temperatura (-40°C a 80°C);
- da variação da tensão de alimentação (2,6 V a 3,6 V);
- da variação do processo de fabricação.

Além das condições impostas pela simulação de Monte Carlo, medidas do circuito integrado fabricado foram realizadas no Laboratório de Caracterização e Testes em Microeletrônica da Universidade Federal de Itajubá. Com técnicas de instrumentação e os equipamentos adequados as medidas comprovaram as teorias aplicadas, os equacionamentos desenvolvidos e a metodologia de projeto apresentada. Como resultado, foi detectado que a curva corrente versus temperatura dos valores medidos em laboratório se sobrepõem a curva obtida pelas simulações impostas as condições do projeto. Desse modo, permite-se validar os resultados teóricos deste trabalho.

Como sugestão para trabalhos futuros, sugere-se realizar o mesmo estudo e sequência de equacionamentos visando desenvolver esta referência de corrente independente da temperatura em inversão fraca e, assim, provavelmente obter-se um menor consumo de potência. Outro ponto que pode ser trabalhado é seguir esta metodologia para outros processos de fabricação, ou seja, migrar para outras tecnologias e, com isso, comparar os resultados encontrados e as possíveis dificuldades na migração.

APÊNDICE A – Critérios de Projeto

A Tabela A.1 foi utilizada para definição dos parâmetros da Eq. (3.5)

Tabela A.1 – Definição dos Parâmetros.

Dados de entrada da tecnologia			
Passo inicial (suposição)			
To	27	[°C]	Temperatura ambiente em °C
α_R	-6,10E-04	[K ⁻¹]	Coefficiente da temperatura do resistor integrado
α_{EB}	-1,90E-03	[V/K]	Coefficiente da temperatura do transistor bipolar
VEB(To)	0,695	[V]	Tensão entre emissor e base na temperatura ambiente
n	4		Razão entre os emissores dos transistores bipolares
R1(To)	5145	[ohm]	Valor absoluto do resistor R1 na temperatura ambiente (10 * Rmin do processo (rpp1))
To	300	[K]	Temperatura ambiente em K
IPTAT(To)	7,00E-06	[A]	Corrente IPTAT em temperatura ambiente
ICTAT(To)	1,30E-05	[A]	Corrente ICTAT em temperatura ambiente
R2(To)	53462	[ohm]	Valor absoluto do resistor R2 na temperatura ambiente
R2(To)/R1(To)	10,391		Razão entre os resistores R2 e R1 na temperatura ambiente
A0	1,20E-04		
B1	-3,14E+00		
B0	6,09E+03		
C1	-1,90E-03		
C0	1,27E+00		
D1	-3,26E+01		
D0	6,32E+04		
Num_1	7,31E-01		
Den_1	2,65E+07		
Num_2	2,86E+09		
Den_2	-7,89E+01		
a2	1,000		
IBG(To)	2,00E-05	[A]	$IBG(T) = IPTAT(T) + a2*ICTAT(T)$

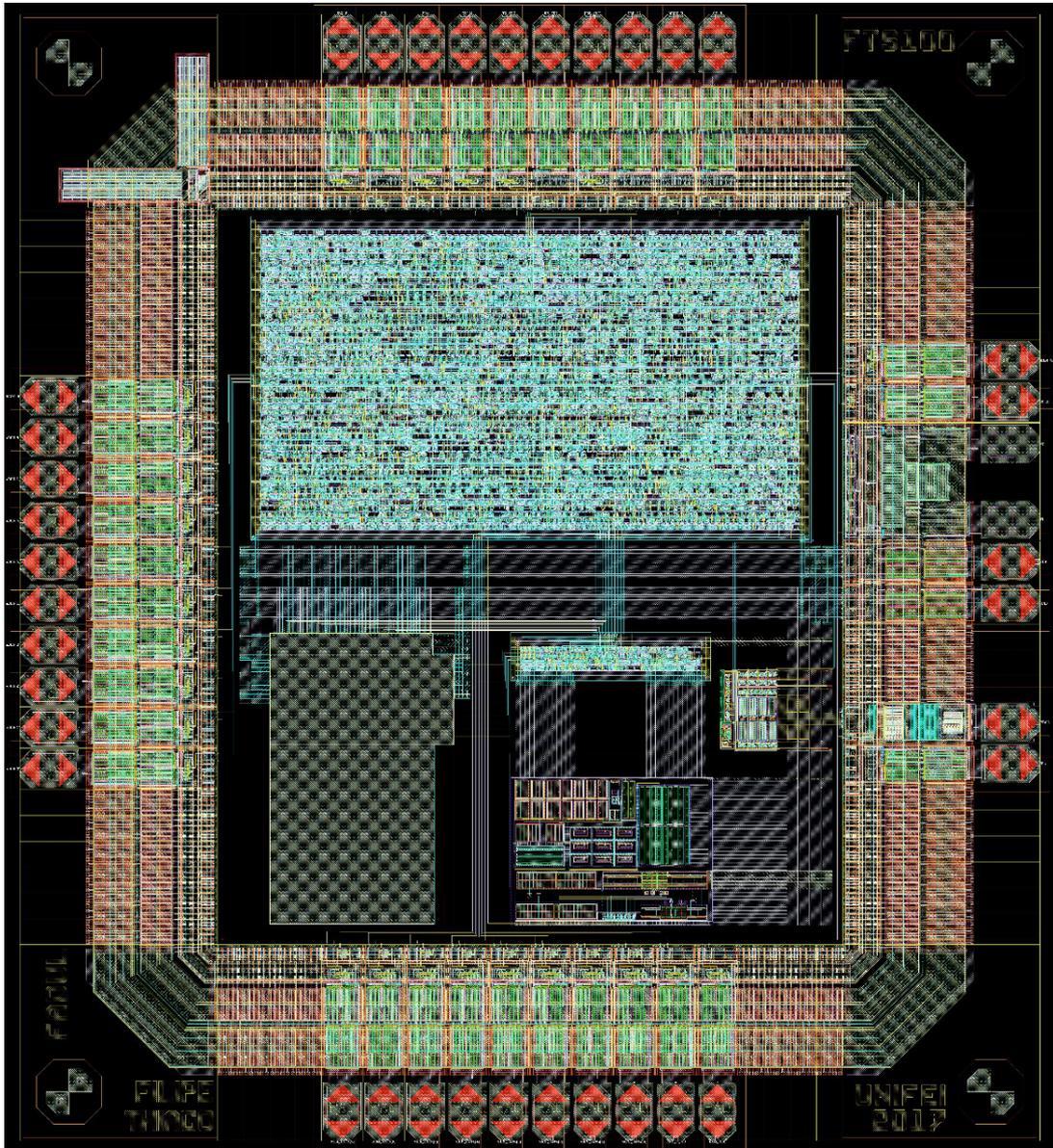
Critérios de Projeto

Para definir o valor da corrente I_{BG} deve-se:

- Definir um I_{BG} suficiente para ter IPTAT e ICTAT operando na região de saturação para todos os casos de PVT.
- h_{FE} operando na melhor região (considerando polarização e casamento).

Para n e $R1(T_O)$ deve-se obter a melhor relação entre $R2(T_O)/R1(T_O)$ (não sendo maior que 10) e $a2$ (multiplo de 0,25 e não maior que 8).

APÊNDICE B – Leiaute Circuito Integrado



APÊNDICE C – Trabalhos Publicados

RAMOS, F. G. R.; MUSSOLINI, T. P.; MORENO, R. L.; PIMENTA, T. C. A CMOS temperature-independent current reference optimized for mixed-signal applications. INTEGRATION, the VLSI journal, vol. 66, pp. 88-95, May 2019. DOI: 10.1016/j.vlsi.2019.01.006

MUSSOLINI, T. P.; RAMOS, F. G. R.; MORENO, R. L.; PIMENTA, T. C. Development of Foundation Fieldbus H1 Controller IC. X IEEE Latin American Symposium on Circuits and Systems, Armenia, Quindio, Colombia, February 2019. DOI: 10.1109/LAS-CAS.2019.8667588

MUSSOLINI, T. P.; RAMOS, F. G. R.; MORENO, R. L.; PIMENTA, T. C. Implementation of an I2C to Profibus Serial Communication Interface. 2019 IEEE 26th International Conference Mixed Design of Integrated Circuits and Systems.

MUSSOLINI, T. P.; PIMENTA, T. C.; MORENO, R. L. Microcontrolador de 8 bits em VHDL baseado no 8051 com I2C e AES128. 1. ed. Novas Edições Acadêmicas, 2016. 88p.

Referências

- 1 MOK, P. K.; LEUNG, K. N. Design considerations of recent advanced low-voltage low-temperature-coefficient cmos bandgap voltage reference. In: *Custom Integrated Circuits Conference*. [S.l.]: IEEE, 2004. p. 635–642. [16](#)
- 2 WIDLAR, R. New developments in ic voltage regulators. In: *Solid-State Circuits Conference*. [S.l.]: IEEE, 1970. v. 13, p. 158–159. [16](#)
- 3 KUIJK, K. E. A precision reference voltage source. *IEEE Journal of Solid-State Circuits*, p. 222–226, 1973. [16](#)
- 4 BROKAW, A. P. A simple three-terminal ic bandgap reference. *IEEE Journal of Solid-State Circuits*, p. 388–393, 1974. [16](#)
- 5 LEE, C. H.; PARK, H. J. V. All-cmos temperature independent current reference. *Electronics Letters*, v. 32, n. 14, p. 1280–1281, 1996. [16](#), [19](#), [28](#)
- 6 FIORI, F.; CROVETTI, P. S. A new compact temperature-compensated cmos current reference. In: *IEEE Transactions on Circuits and Systems II: Express Briefs*. [S.l.: s.n.], 2005. p. 724–728. [16](#), [22](#), [28](#)
- 7 YANG, B. D. et al. An accurate current reference using temperature and process compensation current mirror. In: *Solid-State Circuits Conference*. [S.l.]: IEEE, 2009. p. 241–244. [16](#), [17](#), [26](#), [28](#)
- 8 DONG, Q. et al. A 1.02nV pmos-only, trim-free current reference with 282 ppm/°C from -40°C to 120°C and 1.6% within-wafer inaccuracy. In: •. [S.l.: s.n.], 2017. [16](#), [26](#), [28](#)
- 9 CRUPI, F. et al. A portable class of 3-transistor current references with low-power sub-0.5 V operation. *Int. J. Circuit Theory Appl.*, v. 46, p. 779–795, 2018. [16](#), [26](#), [28](#)
- 10 STAVAREN, A. V.; VERHOEVEN, C. J. M.; ROERMUND, A. H. M. The design of low-noise bandgap references. *IEEE Transactions on Circuits and Systems*, v. 43, p. 290–300, April 1996. [17](#)
- 11 GUNAWAN, M. et al. A curvature-corrected low-voltage bandgap reference. *IEEE Journal of Solid-State Circuits*, v. 28, p. 667–670, June 1993. [17](#)
- 12 RAMOS, F. G. R.; FERREIRA, L. H. C.; PIMENTA, T. C. A programmable voltage reference optimized for power management applications. *Analog Integrated Circuits and Signal Processing*, v. 57, p. 3–9, July 2008. [17](#)
- 13 GRAY, P. et al. *Analysis and Design of Analog Integrated Circuits*. [S.l.]: Wiley, 2001. [20](#), [22](#), [28](#), [29](#), [30](#), [31](#), [33](#), [34](#)
- 14 SZE, S. M. *Physics of Semiconductor Devices*. [S.l.]: Wiley, 1969. [23](#), [24](#)
- 15 XFAB. *0.35 Micron Modular Analog Mixed Signal Technology with RF capability and HV Extensions*. [S.l.], 2018. [31](#), [32](#), [35](#)

-
- 16 ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Integrated Circuit Design*. [S.l.]: Oxford, 2002. 36
- 17 HASTINGS, R. A. *The Art of Analog Layout*. [S.l.]: Pearson Prentice Hall, 2006. 36
- 18 PELGROM, M. J.; DUINMAIJER, A. C.; WELBERS, A. P. Matching properties of mos transistors. *Journal of solid-state circuits*, p. 1433–1439, 1989. 36
- 19 DRENNAN, P. G.; MCANDREW, C. C. Understanding mosfet mismatch for analog design. In: *Custom Integrated Circuits Conference*. [S.l.]: IEEE, 2002. p. 449–452. 36
- 20 MUSSOLINI, T. P. et al. Integration of ips into the m8051 microcontroller. In: *2012 VIII Southern Conference on Programmable Logic (SPL)*. [S.l.: s.n.], 2012. 51
- 21 MUSSOLINI, T. P. *Desenvolvimento de um microcontrolador de 8 bits em VHDL baseado no conjunto de instruções do 8051 com comunicação serial I2C e criptografia AES128*. Dissertação (Mestrado) — Universidade Federal de Itajubá, 2011. 51