

Universidade Federal de Itajubá – UNIFEI

Programa de Pós-Graduação
em Engenharia Elétrica

**SISTEMA EM FPGA PARA DETECÇÃO PRECOCE DE DANOS NO ISOLAMENTO
DE MÁQUINAS ELÉTRICAS BASEADO NA ANÁLISE DO ESPECTRO DE
IMPEDÂNCIAS**

Bruno Renó Gama

Itajubá, dezembro de 2019

Universidade Federal de Itajubá – UNIFEI

Programa de Pós-Graduação
em Engenharia Elétrica

Bruno Renó Gama

**SISTEMA EM FPGA PARA DETECÇÃO PRECOCE DE DANOS NO ISOLAMENTO
DE MÁQUINAS ELÉTRICAS BASEADO NA ANÁLISE DO ESPECTRO DE
IMPEDÂNCIAS**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Mestre em Ciências em Engenharia Elétrica.

Área de Concentração: Automação e Sistemas Elétricos Industriais.

Orientador: Prof. Dr. Luiz Eduardo Borges da Silva

Coorientador: Dr. Wilson César Sant'Ana

Itajubá, dezembro de 2019

Universidade Federal de Itajubá – UNIFEI

Programa de Pós-Graduação
em Engenharia Elétrica

Bruno Renó Gama

**SISTEMA EM FPGA PARA DETECÇÃO PRECOCE DE DANOS NO ISOLAMENTO
DE MÁQUINAS ELÉTRICAS BASEADO NA ANÁLISE DO ESPECTRO DE
IMPEDÂNCIAS**

Dissertação aprovada por banca examinadora em
06 de dezembro de 2019, conferindo ao autor o título
de **Mestre em Ciências em Engenharia Elétrica.**

Banca Examinadora:

Prof. Dr. Luiz Eduardo Borges da Silva

Dr. Wilson César Sant'Ana

Prof. Dr. Rondineli Rodrigues Pereira

Dr. Ismael Noronha

Itajubá, dezembro de 2019

Este trabalho é dedicado aos meus pais, Júlio e Geovana.

AGRADECIMENTOS

Agradeço, especialmente, aos meus pais, Júlio e Geovana, e à minha avó, Raimunda, por todo o apoio e incentivo durante a realização deste trabalho.

Agradeço à CAPES pelo financiamento desta pesquisa por dois anos.

Agradeço aos amigos pelo companheirismo e contribuições indiretas para este trabalho.

Agradeço ao Instituto Gnarus, e à empresa PS Soluções pelo apoio fornecido com laboratórios, equipamentos, e materiais para a realização desta pesquisa.

Agradeço aos meus colegas de trabalho e pesquisa, Carlos, Mateus, Ramon, Daniel, Fernanda, Isac, Bruno Torres, Bruno Guimarães, Ricardo, Camila, Cássia, Fred, Adriano, Guilherme, Anelise, Ellyara, e Luiz, pelas contribuições diretas e indiretas neste trabalho. Agradeço também ao técnico de eletrônica da UNIFEI, José Anderson, pelo apoio fornecido.

Agradeço a Erik Leandro Bonaldi, Levy Ely de Lacerda de Oliveira, e Germano Lambert-Torres, pelas contribuições e oportunidades oferecidas.

Agradeço ao meu Orientador, Professor Dr. Luiz Eduardo, pela oportunidade e confiança para a elaboração deste trabalho.

Agradeço ao meu Coorientador, Wilson, que exerceu papel fundamental no desenvolvimento deste trabalho, disponibilizando seu tempo, experiência e conhecimento durante toda a pesquisa.

RESUMO

Este trabalho apresenta um sistema desenvolvido para a detecção precoce de falhas no isolamento de máquinas elétricas. O sistema é composto por *hardware* e *software*, e realiza a análise do espectro de impedâncias para a detecção precoce dos danos.

O sistema desenvolvido é responsável por injetar sinais em uma ampla faixa de frequências na máquina sob teste. Para cada sinal injetado, realiza-se a medição da impedância da máquina. No final do processo, é obtido o espectro de impedâncias.

Os espectros obtidos são então comparados com um espectro base, chamado de *baseline*. Diferenças entre o *baseline* e o espectro sob análise são indicações de danos no isolamento da máquina.

Como uma comparação visual entre os espectros permite interpretações subjetivas, é utilizado um indicador estatístico para a correta análise dos espectros, e melhor precisão ao se realizar o diagnóstico da falha.

Foi utilizada a plataforma STEMLab para o desenvolvimento do sistema. É uma placa nova no mercado e apresenta os periféricos necessários para a criação de um sistema de instrumentação completo e de baixo custo. A placa possui o dispositivo SoC Zynq-7000, que integra um FPGA com um processador ARM. Possui também dois ADCs e dois DACs de alta velocidade.

O *hardware* é responsável pelo sistema de geração e aquisição de sinais, e também pela execução de um servidor TCP/IP. O servidor atende solicitações remotas de clientes e executa as operações de geração e aquisição. Realiza também a transmissão, via rede, dos dados adquiridos. O *software*, desenvolvido em linguagem C#, além de fornecer as configurações de operação do *hardware*, permite a visualização dos espectros obtidos e calcula o índice estatístico proposto para análise dos resultados.

Palavras-chave: análise por resposta em frequência, FPGA, manutenção preditiva, isolamento de máquinas elétricas.

ABSTRACT

This work presents a system developed for early fault detection on insulation of electrical machines. The system is composed by hardware and software, and uses the impedance spectrum analysis for early damage detection.

The developed system is responsible for injection of wide range of frequencies into the machine under test. For each injected signal, the machine impedance is measured. At the end of the process, the impedance spectrum is obtained.

The obtained spectra are compared with a reference spectrum, called baseline. Differences between the baseline and the spectrum under analysis indicate damages into machine insulation.

Since a visual comparison between spectra allows to subjective interpretations, a statistical indicator is used for the correct spectrum analysis, and better precision at fault diagnosis.

It was used the STEMLab platform for the system development. It is a new board in the market and presents the necessary peripherals for the building of a complete instrumentation low cost system. The board has a SoC Zynq-7000 device, which integrates an FPGA and an ARM processor. It also has two ADCs and two DACs of high speed.

The hardware is responsible for the signal generation and acquisition system, and also for a TCP/IP server execution. The server responds to remote clients solicitations and executes generation and acquisition operations. It also executes the transmission, via network, of the acquired data. The software, build in c# language, besides supplying the operations configurations for the hardware, allows the visualization of the acquired spectra and calculates the statistical indices proposed for the results analysis.

Keywords: frequency response analysis, FPGA, predictive maintenance, electrical machine insulation.

SUMÁRIO

1	INTRODUÇÃO	19
1.1	CONSIDERAÇÕES INICIAIS.....	19
1.2	OBJETIVO E CONTRIBUIÇÕES	21
1.3	METODOLOGIA DE PESQUISA	21
1.4	ORGANIZAÇÃO DO TRABALHO	22
2	REVISÃO TEÓRICA	23
2.1	ESTUDO DO PROCESSO DE FALHAS EM MÁQUINAS ELÉTRICAS.....	23
2.2	ESTUDO DE TÉCNICAS CONVENCIONAIS UTILIZADAS PARA DETECÇÃO DE FALHAS EM MÁQUINAS ELÉTRICAS	23
2.2.1	Teste de resistência do isolamento e índice de polarização.....	23
2.2.2	Teste AC Hipot	24
2.2.3	Teste DC Hipot	24
2.2.4	Teste Fator de Potência Tip-Up.....	25
2.2.5	Surge Test	25
2.2.6	Teste de Descarga Parcial	26
2.3	ESTUDO DA TÉCNICA DE ESPECTROSCOPIA DE IMPEDÂNCIA PARA DETECÇÃO DE FALHAS EM MÁQUINAS ELÉTRICAS	26
2.3.1	Técnica de análise por resposta em frequência (FRA).....	27
2.4	ESTUDO DE INDICADORES ESTATÍSTICOS PARA UTILIZAÇÃO COM A TÉCNICA FRA	29
2.4.1	Coeficiente de correlação (CC).....	29
2.4.2	Erro médio quadrático (MSE)	29
2.4.3	Raiz do erro médio quadrático (RMSE)	30
2.4.4	Soma Quadrática das Razões do Erro (SSRE)	30
2.4.5	Soma quadrática das razões máximo-mínimo de erro (SSMMRE)	30
2.4.6	Soma absoluta de erros logarítmicos (ASLE).....	31
3	DESENVOLVIMENTO DO SISTEMA	32
3.1	DESENVOLVIMENTO DO <i>HARDWARE</i>	32
3.1.1	Sistema de geração de sinais.....	32
3.1.2	Sistema de aquisição de sinais.....	50

3.1.3	Sistema de Geração e Aquisição de sinais	70
3.2	DESENVOLVIMENTO DO SOFTWARE.....	81
3.2.1	Software do Servidor	81
3.2.2	Software do Cliente	83
4	RESULTADOS	91
4.1	CIRCUITO DE MEDIÇÃO	91
4.1.1	Circuito de medição com conector sindal	92
4.1.2	Circuito de medição com placa de circuito impressa	93
4.2	ANÁLISE DE VALIDAÇÃO DO SISTEMA.....	95
4.2.1	Varreduras em resistor	95
4.2.2	Varreduras em capacitor	96
4.2.3	Varreduras em arranjo RC.....	98
4.3	EXECUÇÃO DOS ENSAIOS	101
4.4	ENSAIOS NO GERADOR DE INDUÇÃO	103
4.4.1	Aplicação da técnica FRA no gerador de indução	106
4.5	ENSAIOS NO GERADOR SÍNCRONO DE POLOS LISOS.....	113
4.5.1	Aplicação da técnica FRA no gerador síncrono de polos lisos	116
5	CONCLUSÕES	125
	REFERÊNCIAS.....	128
	APÊNDICES.....	131
	ANEXOS	146

LISTA DE ABREVIATURAS E SÍMBOLOS

AC	Corrente alternada (alternating current)
ADC	Conversor analógico para digital (Analog to Digital Converter)
ASLE	Soma absoluta de erros logarítmicos (Absolute Sum of Logarithmic Error)
C	Capacitor / Capacitância
CC	Coeficiente de correlação (Correlation Coefficient)
CIGRE	Conselho Internacional de Grandes Sistemas Elétricos (Conseil International des Grands Réseaux Electriques)
CMOS	Condutor de metal-óxido complementar (Complementary Metal Oxide Semiconductor)
DAC	Conversor digital para analógico (Digital to Analog Converter)
DC	Corrente contínua (direct current)
DDS	Síntese direta digital (Direct digital synthesis)
EIS	Espectroscopia de impedância eletroquímica (Electrochemical Impedance Spectroscopy)
f	Frequência
FIFO	Primeiro a entrar, primeiro a sair (first in, first out)
FPGA	Arranjo de Portas Programáveis em Campo (Field Programmable Gate Array)
FRA	Análise por resposta em frequência (Frequency Response Analysis)
GPIO	Portas de entrada e saída de propósito geral (General Purpose Input/Output)
I, i	Corrente
I2C	Circuito Inter-integrado (Inter-Integrated Circuit)
IEEE	Instituto de Engenheiros Eletricistas e Eletrônicos (Institute of Electrical and Electronics Engineers)

IFRA	FRA por impulso (Impulse FRA)
IP	Protocolo de Internet, ou ainda, protocolo de interconexão (Internet Protocol)
IR	Resistência do isolamento (Insulation resistance)
IS	Espectroscopia de impedância (Impedance Spectroscopy)
L	Indutor / Indutância
LUT	Look-up table
MSE	Erro médio quadrático (Mean Squared Error)
PCI	Placa de circuito impresso
PD	Descargas parciais (Partial Discharge)
PF _{hv}	Fator de potência alta tensão (Power factor – high voltage)
PF _{lv}	Fator de potência baixa tensão (Power factor – low voltage)
PI	Índice de polarização (Polarization Index)
PL	Lógica programável (Programmable Logic)
PLL	Malha de Captura de Fase (Phase Locked Loop)
PS	Sistema de processamento (Processing System)
R	Resistor / Resistência
RAM	Memória de acesso aleatório (Random Access Memory)
RMS	Valor eficaz (Root Mean Square)
RMSE	Raiz do erro médio quadrático (Root Mean Squared Error)
R _{sh}	Resistor shunt
RTL	Register Transfer Level
SATA	Serial AT Attachment
SFRA	FRA por varredura (Sweep FRA)
SoC	System on chip
SPI	Serial Peripheral Interface

SSE	Soma quadrática do erro (Sum squared error)
SSMMRE	Soma quadrática das razões máximo-mínimo de erro (Sum Squared Max-Min Ratio Error)
SSRE	Soma quadrática das razões de erro (Sum Squared Ratio Error)
TCP	Protocolo de Controle de Transmissão (Transmission Control Protocol)
UART	Universal Asynchronous Receiver/Transmitter
USB	Porta universal (Universal Serial Bus)
V, v	Tensão
V_{hf}	Tensão em alta frequência
Z	Impedância

LISTA DE FIGURAS

Figura 2.1: Circuito analisador de impedância. Fonte: Autor.....	28
Figura 3.1 - Ideia inicial para projeto do sistema de geração de sinais.	32
Figura 3.2 - Circuito RTL do bloco DDS. Fonte: Autor.	35
Figura 3.3 - Simulação sinal de 1MHz com bloco DDS. Fonte: Autor.	36
Figura 3.4 - Bloco Configurações - Conexão entre PS e PL.	38
Figura 3.5 - Endereços de acesso aos GPIOs do circuito. Fonte: Autor.	39
Figura 3.6 - Circuito RTL do sistema de geração de sinais. Fonte: Autor.	40
Figura 3.7 - Simulação sistema de geração de sinais. Fonte: Autor.	41
Figura 3.8 - Geração de sinal de 1KHz para o canal 1 e canal 2. Fonte: Autor.	42
Figura 3.9 - Geração de sinal de 10KHz para o canal 1 e canal 2. Fonte: Autor.....	42
Figura 3.10 - Geração de sinal de 100KHz para o canal 1 e canal 2. Fonte: Autor...42	
Figura 3.11 - Geração de sinal de 500KHz para o canal 1 e canal 2. Fonte: Autor...43	
Figura 3.12 - Geração de sinal de 1MHz para o canal 1 e canal 2. Fonte: Autor.....43	
Figura 3.13 - Geração de sinal de 2MHz para o canal 1 e canal 2. Fonte: Autor.....43	
Figura 3.14 - Geração de sinal de 5MHz para o canal 1 e canal 2. Fonte: Autor.....44	
Figura 3.15 - Sistema de geração de sinais final – parte 1. Fonte: Autor.....46	
Figura 3.16 - Sistema de geração de sinais final - parte 2. Fonte: Autor.....47	
Figura 3.17 - Geração de sinal de 1KHz para o canal 1 e canal 2 com amplitude modificada. Fonte: Autor.	48
Figura 3.18 - Geração de sinal de 10KHz para o canal 1 e canal 2 com amplitude modificada. Fonte: Autor.	48
Figura 3.19 - Geração de sinal de 100KHz para o canal 1 e canal 2 com amplitude modificada. Fonte: Autor.	49
Figura 3.20 - Geração de sinal de 500KHz para o canal 1 e canal 2 com amplitude modificada. Fonte: Autor.	49
Figura 3.21 - Geração de sinal de 1MHz para o canal 1 e canal 2 com amplitude modificada. Fonte: Autor.	49
Figura 3.22 - Ideia inicial para projeto do sistema de aquisição de sinais. Fonte: Autor.....	50
Figura 3.23 - Circuito RTL bloco FIFO. Fonte: Autor.....	54
Figura 3.24 - Simulação operação de escrita da FIFO. Fonte: Autor.	54
Figura 3.25 - Simulação operação de leitura da FIFO. Fonte: Autor.	55

Figura 3.26 - Composição do bloco Controle FIFO. Fonte: Autor.	56
Figura 3.27 - Bloco Programmable System. Fonte: Autor.	61
Figura 3.28 - Endereços dos GPIOs para sistema de aquisições. Fonte: Autor.....	61
Figura 3.29 - Sistema de aquisição de sinais – parte 1. Fonte: Autor.	63
Figura 3.30 - Sistema de aquisição de sinais – parte 2. Fonte: Autor.	64
Figura 3.31 - Aquisição de sinal de 1KHz com frequência de amostragem de 30517Hz. Fonte: Autor.	66
Figura 3.32 - Aquisição de sinal de 10KHz com frequência de amostragem de 244140Hz. Fonte: Autor.	66
Figura 3.33 - Aquisição de sinal de 100KHz com frequência de amostragem de 3906250Hz. Fonte: Autor.	67
Figura 3.34 - Aquisição de sinal de 500KHz com frequência de amostragem de 15625000. Fonte: Autor.....	67
Figura 3.35 - Aquisição de sinal de 1MHz com frequência de amostragem de 31,25MHz. Fonte: Autor.	68
Figura 3.36 - Aquisição de sinal de 2MHz com frequência de amostragem de 62,5MHz. Fonte: Autor.	69
Figura 3.37 - Aquisição de sinal de 5MHz com frequência de amostragem de 125MHz. Fonte: Autor.	69
Figura 3.38 - Aquisição de sinal de 10MHz com frequência de amostragem de 125MHz. Fonte: Autor.	70
Figura 3.39 - Diagrama sistema de geração e aquisição de sinais. Fonte: Autor.....	71
Figura 3.40 - Bloco Programmable System. Fonte: Autor.	72
Figura 3.41 - Endereços sistema de geração e aquisição. Fonte: Autor.	73
Figura 3.42 - Circuito RTL sistema de geração e aquisição de sinais – parte 1. Fonte: Autor.....	74
Figura 3.43 - Circuito RTL sistema de geração e aquisição de sinais – parte 2. Fonte: Autor.....	75
Figura 3.44 - Circuito RTL sistema de geração e aquisição de sinais – parte 3. Fonte: Autor.....	76
Figura 3.45 - Aquisição de sinal de 1KHz com frequência de amostragem de 30517Hz. Fonte: Autor.	77
Figura 3.46 - Aquisição de sinal de 10KHz com frequência de amostragem de 244140Hz. Fonte: Autor.	78

Figura 3.47 - Aquisição de sinal de 100KHz com frequência de amostragem de 3906250Hz. Fonte: Autor.	79
Figura 3.48 - Aquisição de sinal de 500KHz com frequência de amostragem de 15625000Hz. Fonte: Autor.	79
Figura 3.49 - Aquisição de sinal de 1MHz com frequência de amostragem de 31250000Hz. Fonte: Autor.	80
Figura 3.50 - Fluxograma software servidor. Fonte: Autor.	81
Figura 3.51 - Tela de configurações do software do cliente. Fonte: Autor.	84
Figura 3.52 - Tela de aquisições do software do cliente. Fonte: Autor.	85
Figura 3.53 - Tela análise do software do cliente. Fonte: Autor.	86
Figura 3.54 - Tela sinais no tempo do software do cliente. Fonte: Autor.	87
Figura 3.55 - Fluxograma código de varredura em espectro de impedâncias. Fonte: Autor.	88
Figura 4.1 - Circuito para aplicação da técnica FRA. Fonte: Autor.	91
Figura 4.2 - Arranjo dos cabos para sistema de medição. Fonte: Autor.	92
Figura 4.3 - Placa de circuito impressa desenvolvida - Vista superior (esquerda) e inferior (direita). Fonte: Autor.	93
Figura 4.4 - Placa desenvolvida acoplada com STEMLab. Fonte: Autor.	94
Figura 4.5 - Varredura em resistor de 330 Ω . Fonte: Autor.	95
Figura 4.6 - Varredura em resistor de 330 Ω . Região ampliada. Fonte: Autor.	96
Figura 4.7 - Varredura em capacitor de 220pF. Fonte: Autor.	97
Figura 4.8 - Varredura em capacitor de 220pF. Região ampliada. Fonte: Autor.	98
Figura 4.9 - Varredura em arranjo RC série. Fonte: Autor.	99
Figura 4.10 - Varredura arranjo RC série. Parte resistiva. Fonte: Autor.	100
Figura 4.11 - Varredura arranjo RC série. Parte capacitiva. Fonte: Autor.	101
Figura 4.12 – Esquemático da aplicação do sistema ao enrolamento de uma das fases da máquina. Fonte: Autor.	102
Figura 4.13 – Esquemático de uma das fases da máquina com capacitor inserido em tap do enrolamento. Fonte: Autor.	102
Figura 4.14 – Gerador de Indução utilizado nos ensaios. 1: Máquina de Indução 3HP 460V. 2:Painel para acesso aos taps de um dos enrolamentos. 3: Elemento de falhas para ser inserido entre taps. Fonte: Autor.	103
Figura 4.15 - Setup final para ensaios no gerador de indução. 1: Máquina de indução. 2: Conexão do sistema de detecção de falhas com taps para acesso a uma	

das fases do gerador. 3: Elemento de falhas conectado aos taps 1-3 do enrolamento. 4: Sistema desenvolvido para detecção de falhas. Fonte: Autor.....	104
Figura 4.16 - Espectros de Impedâncias do Gerador de Indução - 11% do enrolamento. Fonte: Autor.....	106
Figura 4.17 - Indicadores ASLE do Gerador de Indução – 11% do enrolamento. Fonte: Autor.....	108
Figura 4.18 - Espectros de Impedâncias do Gerador de Indução - 5% do enrolamento. Fonte: Autor.....	109
Figura 4.19 - Indicadores ASLE do Gerador de Indução – 5% do enrolamento. Fonte: Autor.....	110
Figura 4.20 - Espectros de Impedâncias do Gerador de Indução - 5% do enrolamento. Rotor em nova posição. Fonte: Autor.....	111
Figura 4.21 - Indicadores ASLE do Gerador de Indução – 5% do enrolamento. Rotor em nova posição. Fonte: Autor.....	112
Figura 4.22 - Gerador utilizado para ensaios. 1:Gerador síncrono 2kW, 220V; 2: taps para acesso ao enrolamento do estator; 3: taps para acesso ao enrolamento de campo. Fonte: Autor.....	113
Figura 4.23 - Painel máquina síncrona. Fonte: Autor.....	114
Figura 4.24 - Setup de teste utilizado. 1: Elemento de falha inserido entre os taps C-D do enrolamento. 2: Sistema desenvolvido para detecção das falhas. 3: Máquina síncrona. Fonte: Autor.....	115
Figura 4.25 - Espectros de Impedâncias do Gerador Síncrono de Polos Lisos - 2% do enrolamento. Fonte: Autor.....	117
Figura 4.26 - Indicadores ASLE do Gerador Síncrono de Polos Lisos – 2% do enrolamento. Fonte: Autor.....	118
Figura 4.27 - Espectros de Impedâncias do Gerador Síncrono de Polos Lisos - 1% do enrolamento. Fonte: Autor.....	119
Figura 4.28 - Indicadores ASLE do Gerador Síncrono de Polos Lisos – 1% do enrolamento. Fonte: Autor.....	121
Figura 4.29 - Espectros de Impedâncias do Gerador Síncrono de Polos Lisos - 1% do enrolamento. Rotor em nova posição. Fonte: Autor.....	122
Figura 4.30 - Indicadores ASLE do Gerador Síncrono de Polos Lisos – 1% do enrolamento. Rotor em nova posição. Fonte: Autor.....	124
Figura A.1 - Visão Geral Red Piataya. Fonte: Autor.....	132

Figura A.2 – Diagrama de blocos ADC. Fonte: (LINEAR TECHNOLOGY, 2011). ...	135
Figura A.3 - Esquemático STEMLab ADC. Fonte: (RED PITAYA, 2014b).	136
Figura A.4 - Modo de operação e tempos do ADC. Fonte: (LINEAR TECHNOLOGY, 2011).	139
Figura A.5 - Conexão entre FPGA e ADC. Fonte: (RED PITAYA, 2014b).	141
Figura A.6 - Diagrama de blocos DAC. Fonte: (IDT, 2012).	142
Figura A.7 - Conexão entre FPGA e DAC. Fonte: (RED PITAYA, 2014b).	143
Figura A.8 - Circuito <i>interleaved mode</i> . Fonte: (IDT, 2012).	144
Figura A.9 - DAC <i>interleaved mode</i> . Fonte: (IDT, 2012).	145

LISTA DE TABELAS

Tabela 3.1 - Portas bloco DDS	34
Tabela 3.2 - Portas bloco FIFO.	52
Tabela 3.3 - Composição do sinal de configuração.....	57
Tabela 3.4 - Possíveis frequências de saída do bloco Divisor de Clock	59
Tabela 4.1 – Contribuição de cada tap de um enrolamento do gerador de indução.	105
Tabela 4.2 - Contribuição dos taps da fase analisada, medidos entre tap 1 e outros taps do gerador de indução.....	105
Tabela 4.3 - Contribuição de cada tap da fase A do gerador de polos lisos.	115
Tabela 4.4 - Contribuição dos taps da fase A, medidos entre tap A e outros taps do gerador de polos lisos.	116
Tabela A.1 - Informações básicas	133
Tabela A.2 – Conectividade	134
Tabela A.3 - Conectores de extensão	134
Tabela A.4 - Canal de entrada	135
Tabela A.5 - Modo de programação paralela	138
Tabela A.6 - Código de saída vs Sinal de entrada	140
Tabela A.7 - Canal de saída.....	142

1 INTRODUÇÃO

São duas motivações principais para a realização deste trabalho. A primeira motivação foi a análise de um estudo estatístico que afirma que a maior parte das falhas em máquinas elétricas são geradas por danos no isolamento. Paradas não programadas de máquinas elétricas, ocasionadas por eventuais falhas, podem gerar grandes transtornos e incontáveis prejuízos para indústrias que dependem desses equipamentos. Justificando assim estudos na área de predição de falhas em máquinas elétricas. A segunda motivação, é a inexistência de uma tecnologia nacional e de baixo custo para a detecção precoce e análise dessas falhas, sendo essa a principal contribuição deste trabalho.

1.1 CONSIDERAÇÕES INICIAIS

Estudos estatísticos apontam que, das falhas ocorridas em máquinas elétricas, a maioria é ocasionada por danos no isolamento. Em Sumereder (2008) e Brutsch et al. (2008) é relatado um levantamento internacional feito pelo CIGRE em mais de 20 concessionárias em 5 países durante 10 anos. Durante o tempo que durou a pesquisa, foram analisados 1199 geradores. De todos os geradores que foram acompanhados, 69 apresentaram falhas, e, de todas as falhas ocorridas, 56% foram ocasionadas por danos no isolamento da máquina. Levando em consideração motores de indução, Drif et al. (2014) aponta que entre 26% a 36% das falhas são geradas por danos no isolamento.

Existem inúmeras técnicas para a realização do diagnóstico de falhas em máquinas elétricas, em Stone et al. (2004), Klempner et al. (2004), Stone (2005), e James et al. (2008), são apresentadas algumas delas. Porém, segundo Dister et al. (2000) e Kending et al. (2002), as técnicas convencionais apresentam a desvantagem de identificar apenas a presença ou não das falhas, não permitindo a identificação da falha que está em processo de formação. As patentes Dister et al. (2000) e Kending et al. (2002) propõem a solução deste problema através de uma técnica que permite a identificação de danos no enrolamento estático que estão em sua fase inicial. A técnica proposta é baseada em análises dos espectros de impedâncias da máquina sob teste. Então, um especialista, através da avaliação destes espectros, é capaz de fornecer um diagnóstico da máquina.

O funcionamento da técnica apresentada em Dister et al. (2000) e Kending et al. (2002) se baseia na injeção de sinais de diversas frequências nos enrolamentos da máquina, para cada frequência injetada, é feita a medição da impedância do enrolamento. Como esse processo abrange uma larga faixa de frequências, o espectro de impedâncias da máquina é obtido. Então, de tempos em tempos esse processo é repetido, e um novo espectro de impedâncias é obtido. A análise para detecção de falhas vem justamente da comparação dos novos espectros obtidos com um espectro base, tomado como um padrão para comparação, chamado de *baseline*. Através das diferenças entre os espectros obtidos e o *baseline*, o especialista consegue dizer se uma falha está em processo de formação e também consegue acompanhar sua evolução. Permitindo maior autonomia para tomada de decisão de substituição ou reparo do equipamento pela equipe de manutenção.

Existe uma técnica muito semelhante à utilizada em Dister et al. (2000) e Kending et al. (2002), é a FRA (Análise por Resposta em Frequência, do inglês *Frequency Response Analysis*). É uma técnica utilizada amplamente para a detecção de danos em transformadores, a norma IEEE-STD-C57 (2013) apresenta o procedimento para a utilização da técnica e interpretação dos resultados. Basicamente, o método mencionado faz a comparação entre um espectro de impedâncias obtido recentemente com espectros históricos, diferenças entre os espectros são capazes de identificar mudanças nas características físicas do enrolamento da máquina sob teste. A utilização desta técnica para máquinas rotativas é feita apenas de forma experimental, como comentado em Platero et al. (2012), o complexo comportamento que os enrolamentos apresentam em alta frequência dificultam sua aplicação nessas máquinas. Outro problema encontrado em máquinas rotativas, segundo Sant'ana et al. (2016a), é que a posição do rotor influencia a medida da impedância, acarretando, então, a falta de repetibilidade nas medidas. Métodos estatísticos são apresentados em Sant'ana et al. (2016a), Sant'ana et al. (2016b), e Sant'ana et al. (2017) para resolver os problemas de falta de repetibilidade.

Existem também estudos que utilizam a técnica FRA em máquinas elétricas de forma *online*. A realização da análise e diagnóstico de uma máquina em operação elimina o tempo que a máquina ficaria ociosa para a realização dos testes, sendo uma vantagem muito interessante para a indústria. O maior problema encontrado ao se realizar a operação *online* é no acoplamento entre a máquina sob teste (que pode

estar energizada com centenas, ou, até mesmo, milhares de volts), com o sistema de injeção de sinais em alta frequência, que opera em alguns poucos volts. Visando resolver esse problema, Gomez-Luna et al. (2013) aponta para a utilização de acoplamentos capacitivos para a medição *online*. Um acoplamento do tipo C-L-C é apresentado em Sant'ana et al. (2016c), o trabalho mostra que este tipo de acoplamento apresenta melhor performance que um acoplamento capacitivo, possibilitando uma melhor atenuação da tensão que o enrolamento da máquina sob teste aplica ao sistema de teste, e garantindo que, em altas frequências, a resposta em frequência do acoplamento seja semelhante ao capacitivo.

1.2 OBJETIVO E CONTRIBUIÇÕES

O principal objetivo deste trabalho é o desenvolvimento de um sistema de análise por espectro de impedâncias, podendo substituir o sistema desenvolvido em Sant'ana et al. (2016a), Sant'ana et al. (2016b), Sant'ana et al. (2016c), e Sant'ana et al. (2017), que utiliza o PicoScope 5203. Trazendo assim a contribuição com um equipamento de medição de baixo custo e com tecnologia brasileira.

Utilizou-se a plataforma STEMLab para a realização do trabalho, os resultados obtidos desta pesquisa foram publicados em Gama et al. (2019). No artigo, é apresentado o sistema de varredura em frequências desenvolvido e sua utilização para a detecção precoce de danos no isolamento de máquinas elétricas.

1.3 METODOLOGIA DE PESQUISA

A metodologia deste trabalho é apresentada a seguir:

- Revisão bibliográfica e estudo teórico de várias técnicas utilizadas para o diagnóstico de falhas em máquinas elétricas. As técnicas estudadas incluem desde as técnicas convencionais até a técnica de análise por resposta em frequência.
- Revisão bibliográfica e estudo teórico de indicadores estatísticos para análise dos resultados obtidos com a técnica de análise por resposta em frequência.
- Desenvolvimento do *hardware*, que inclui:
 - Desenvolvimento e teste do sistema de geração de sinais.
 - Desenvolvimento e teste do sistema de aquisição de sinais.
 - Implementação do protocolo de comunicação TCP/IP.

- Desenvolvimento do *software*, que inclui:
 - Desenvolvimento da tela gráfica utilizada para definição e envio das configurações de operação ao hardware.
 - Desenvolvimento da tela gráfica para realizar a operação de varredura de frequência e visualização dos espectros de impedância obtidos.
 - Desenvolvimento da tela gráfica para cálculo dos índices estatísticos e visualização gráfica dos resultados
- Testes em laboratório com o sistema completo.

1.4 ORGANIZAÇÃO DO TRABALHO

O Capítulo 2 apresenta uma revisão da literatura, contendo a utilização das técnicas convencionais para diagnóstico e também das técnicas que utilizam o espectro de impedância. Também são apresentados os indicadores estatísticos que podem ser utilizados para a realização dos diagnósticos.

O Capítulo 3 apresenta o desenvolvimento do sistema de análise por resposta em frequência. Apresentando a parte de *hardware*, que inclui o sistema de geração e aquisição de sinais, e a parte de *software*.

O Capítulo 4 apresenta os resultados obtidos com o sistema desenvolvido. Foi utilizado, primeiramente, um gerador de indução com rotor do tipo gaiola de esquilo, e, em sequência, utilizou-se um gerador síncrono de polos lisos para a realização dos testes de laboratório.

O Capítulo 5 conclui este trabalho, apresentando possíveis linhas de pesquisa para a continuação do trabalho.

2 REVISÃO TEÓRICA

Este capítulo apresenta os principais fatores que geram as falhas no isolamento. Também são apresentadas as técnicas convencionais para diagnósticos, as técnicas por espectroscopia de impedâncias, e os indicadores estatísticos que auxiliam nos diagnósticos.

2.1 ESTUDO DO PROCESSO DE FALHAS EM MÁQUINAS ELÉTRICAS

Como mencionado em Sumereder (2008), o início do envelhecimento e do aparecimento de mecanismos de falhas nos enrolamentos do estator de hidrogeradores é ocasionado por algum tipo de estresse sofrido pela máquina. São vários os tipos de estresses que a máquina está sujeita: mecânico, elétrico, químico, térmico. A consequência direta do estresse sofrido pela máquina é a alteração da estrutura química e física do material do isolamento, gerando os mecanismos de falhas no corpo do isolamento. Se o estresse estiver presente continuamente no sistema, o mecanismo de falha irá progressivamente reduzir a força do isolamento até o ponto em que a falha acontece. Segundo Brutsch et al. (2008), o estresse térmico e mecânico são os principais fatores de envelhecimento do isolante. O estresse térmico pode gerar o envelhecimento da resina utilizada no isolamento, e, também, gerar danos devido aos diferentes coeficientes de expansão térmica. O estresse do tipo mecânico é principalmente gerado pela vibração da máquina.

2.2 ESTUDO DE TÉCNICAS CONVENCIONAIS UTILIZADAS PARA DETECÇÃO DE FALHAS EM MÁQUINAS ELÉTRICAS

O Capítulo 2 de Sant'ana (2016) apresenta uma revisão da literatura com os métodos convencionais de detecção de falhas em máquinas elétricas. Aqui é apresentado um resumo.

2.2.1 Teste de resistência do isolamento e índice de polarização

Em Stone (2005), afirma-se que este teste é um dos mais utilizados para o diagnóstico de rotores e estatores em motores e geradores elétricos, sendo utilizados por mais de 70 anos. Ele consegue identificar problemas relacionados a poluição e contaminação nos enrolamentos, e, em sistemas com isolamentos antigos, consegue detectar deterioração térmica. Os testes de resistência do isolamento (IR, do inglês

insulation resistance), e índice de polarização (PI, do inglês polarization index) são praticados com o mesmo instrumento e, normalmente, ao mesmo tempo.

O teste de IR faz a medição da resistência do isolamento que existe entre os condutores de cobre do enrolamento e a carcaça da máquina. Teoricamente, o valor dessa resistência deve ser infinito, visto que, o isolante deve bloquear totalmente a passagem de corrente entre o enrolamento e a carcaça. Porém, na prática, esse valor é um número bem alto, mas não infinito. Normalmente, quanto menor o valor da resistência, maior a chance da existência de algum problema com o isolamento.

O teste de PI é a razão entre a resistência apresentada pelo isolamento durante a aplicação do teste IR por 10 minutos pela resistência apresentada pelo isolamento durante a aplicação do teste IR por 1 minuto. A fórmula utilizada pelo teste é apresentada na equação (2.1), a seguir.

$$PI = R_{10}/R_1 \quad (2.1)$$

Sendo que, R_{10} é o valor medido da resistência do isolamento em 10 minutos, e R_1 o valor da resistência medido em 1 minuto. Um valor baixo de PI indica a possível contaminação do enrolamento por óleo, sujeira, água, entre outros.

2.2.2 Teste AC Hipot

Outro teste apresentado por Stone (2005) é o denominado AC Hipot. A palavra Hipot vem do inglês: “*high potential*”, ou seja, alto potencial. Portanto, para a realização do teste, é aplicada uma tensão acima da tensão normal de operação ao enrolamento. A ideia da técnica é de que, se a enrolamento não falhar em uma condição de operação crítica, não falhará em um futuro próximo em condições normais de funcionamento. Porém, se o enrolamento falhar no teste, o reparo ou substituição do equipamento deve ser providenciado imediatamente, visto que o isolamento foi comprometido.

2.2.3 Teste DC Hipot

Segundo Stone (2005), assim como o teste AC Hipot, o teste DC Hipot faz a injeção de uma tensão acima da tensão de operação normal da máquina, e, com isso, verifica-se o aparecimento ou não de alguma falha no equipamento. A descrição da técnica é semelhante à apresentada na seção anterior, porém existem diferenças nos

resultados obtidos. Stone (2005) aponta que, alguns tipos de falhas, que seriam facilmente identificadas com o teste AC, podem não ser identificadas com o teste DC. Por essa e outras razões, o teste AC é considerado superior ao teste DC.

2.2.4 Teste Fator de Potência Tip-Up

Em Stone (2005) é apresentado também o teste de fator de potência tip-up, também chamado de teste de fator de dissipação tip-up, o método está descrito na norma IEEE-STD-286 (2000). É uma forma de, indiretamente, determinar a ocorrência de descargas parciais no enrolamento do estator. Como a ocorrência de descargas parciais são indício de diversos mecanismo de deterioração no isolamento, esse tipo de teste consegue identificar diversas falhas de isolamento.

O teste mede o fator de potência no mínimo de dois níveis. Em uma tensão baixa, denominada PF_{lv} , que indica as perdas dielétricas normais do isolante, e em uma tensão alta, denominada PF_{hv} . O fator tip-up é então calculado conforme a equação (2.2).

$$tipup = PF_{hv}/PF_{lv} \quad (2.2)$$

Quanto maior o tip-up, maior o consumo de energia pelas descargas parciais.

2.2.5 Surge Test

Também chamado de teste de impulso, em Stone (2005) a técnica é comentada. A norma IEEE-STD-522 (2004) apresenta a descrição do teste. É aplicada um impulso nos enrolamentos a serem testados, se o isolamento falhar, significa que ele não aguentaria um surto de tensão enquanto estivesse operando. Caso o isolamento aguarde o teste, ele não apresentaria problemas durante surtos que possam ocorrer durante sua operação pelos próximos anos.

Nesse teste, um capacitor é carregado com uma tensão DC, e então é descarregado no enrolamento da máquina. Como o enrolamento apresenta um comportamento indutivo, surgirá uma frequência de ressonância, conforme a equação (2.3).

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (2.3)$$

Sendo L a indutância do enrolamento, e C a capacitância do capacitor. Um enrolamento sem falhas apresenta uma frequência constante de oscilação, visto que a indutância do enrolamento permanecerá a mesma com o aumento da tensão de carga. Enrolamentos com falhas, apresentam frequências de oscilações variadas, visto que a indutância do enrolamento diminuirá com o aumento da tensão de carga.

2.2.6 Teste de Descarga Parcial

A norma IEEE-STD-1434 (2000) apresenta um guia para medição de descargas parciais em máquinas rotativas. Como definição de descarga parcial (PD, do inglês Partial Discharge), tem-se que é uma descarga que ocorre parcialmente no isolamento de dois condutores. Os testes de PD medem diretamente os pulsos de correntes geradas pelas descargas parciais, geralmente são pulsos de apenas alguns nanosegundos. O guia ainda descreve testes de medição online e offline. Em Stone (2005) também é discutido sobre esse teste, comentando que essas descargas podem gerar, ou, então, ser uma consequência dos processos de falhas no enrolamento do estator de uma máquina elétrica.

2.3 ESTUDO DA TÉCNICA DE ESPECTROSCOPIA DE IMPEDÂNCIA PARA DETECÇÃO DE FALHAS EM MÁQUINAS ELÉTRICAS

Segundo Macdonald (1992), existem duas categorias principais de técnicas de espectroscopia de impedância (IS – do inglês, *impedance spectroscopy*). A primeira é destinada à técnica de espectroscopia de impedâncias eletroquímica (EIS – do inglês, *electrochemical impedance spectroscopy*), a segunda categoria é destinada às demais técnicas.

Ainda, conforme Macdonald (1992), EIS aborda a realização de medidas e análises em materiais que a condução iônica predomina. Como exemplo de materiais, tem-se eletrólitos sólidos e líquidos, vidros e polímeros ionicamente condutores. A técnica também pode ser utilizada para estudo de células combustíveis e baterias recarregáveis.

A outra categoria é utilizada para subdividir a aplicação da técnica de espectroscopia de impedâncias para materiais dielétricos. Exemplos de materiais são o monocristal ou semicondutores amorfos, vidros, polímeros. Esta é a técnica que será utilizada neste trabalho.

2.3.1 Técnica de análise por resposta em frequência (FRA)

A utilização da técnica de análise por resposta em frequência (FRA – do inglês, *frequency response analysis*) é uma técnica muito popular para a identificação de danos em transformadores. A norma IEEE-STD-C57 (2013) apresenta os procedimentos para a preparação e execução dos testes em transformadores com a técnica, assim como a análise dos resultados obtidos.

Em Ryder (2003), é apresentada uma descrição completa da técnica. Ela consiste na medição da impedância do enrolamento da máquina sob teste para uma grande faixa de frequências, obtendo-se assim o espectro de impedâncias da máquina. Esse espectro é então comparado com um espectro base, chamado de *baseline*. Com isso, um especialista consegue analisar as diferenças entre os espectros medidos e o *baseline* e fazer a identificação de possíveis problemas na máquina. Para a realização da injeção dos sinais em variadas frequências, tem-se duas opções, a primeira é a injeção de um impulso, a segunda é através da execução de uma varredura de frequências com um sinal senoidal no enrolamento da máquina. O primeiro método é normalmente conhecido como método de resposta ao impulso (IFRA), o segundo como método de varredura em frequências (SFRA).

Em Tenbohlen et al. (2003), é realizada uma comparação entre as formas de injeção de sinais, e as seguintes vantagens e desvantagens para cada forma de injeção são apresentadas:

Principais vantagens para o método de varredura em frequências:

- Relação sinal ruído alta.
- Uma grande faixa de frequências pode ser analisada.
- Possibilidade de uma boa resolução de frequência para baixas frequências.

Principais desvantagens do método de varredura em frequências:

- Para cada frequência injetada, é necessário a realização de uma medição. Só ao final do processo é possível calcular o espectro.
- A varredura é realizada um pouco mais lentamente.

Principais vantagens do método de resposta ao impulso:

- Com apenas a injeção de um impulso (que contém uma ampla faixa de frequências) e uma medição, já é possível realizar o cálculo do espectro.

- O tempo gasto para realizar a varredura é bem menor.

Principais desvantagens do método de resposta ao impulso:

- A resolução de frequência é fixa, e, para baixas frequência, possui resolução insatisfatória.
- A quantidade de energia injetada na máquina sob teste não é fixa para todas as frequências, ocasionando precisões diferentes para diferentes frequências.

Em Ryder (2003) é afirmado que a maioria dos trabalhos utilizam a técnica de varredura em frequência, e, como comentado em Sant'ana (2016), para aplicações de FRA em máquinas elétricas, a resolução é preferida em relação ao tempo de execução. Sendo assim, a técnica utilizada neste trabalho será a de varredura em frequências, e será tratada apenas como FRA.

Ao se utilizar a técnica de FRA, é necessário a utilização de um circuito de medição. Em Lamarre et al. (2008), é apresentado o circuito da Figura 2.1 para realizar as medições.

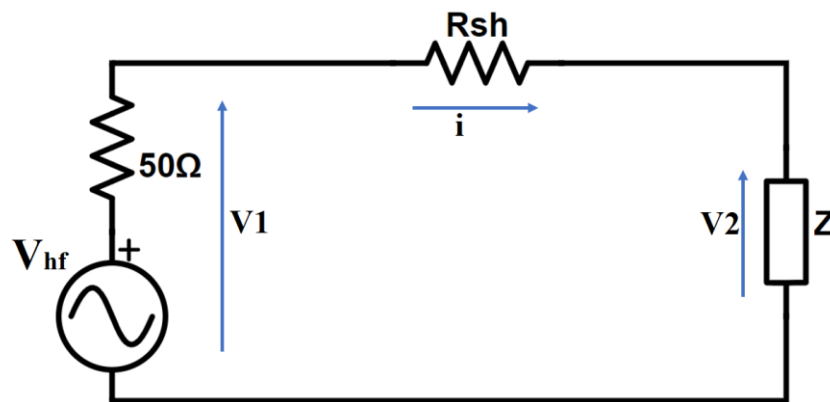


Figura 2.1: Circuito analisador de impedância.
Fonte: Autor.

Para a configuração do circuito analisador de impedâncias apresentado anteriormente, o cálculo da impedância é realizado através da Equação (2.4).

$$\vec{Z} = R_{sh} \frac{\vec{V}_2}{\vec{V}_1 - \vec{V}_2} \quad (2.4)$$

2.4 ESTUDO DE INDICADORES ESTATÍSTICOS PARA UTILIZAÇÃO COM A TÉCNICA FRA

O diagnóstico de uma máquina elétrica, em que foi aplicado a técnica de FRA, é obtido através da comparação do *baseline* com os espectros de impedância da máquina. Dessa forma, é imprescindível uma equipe altamente qualificada para realizar a análise e comparação entre os espectros, e, ainda assim, o parecer final está sujeito às subjetividades dos analistas. A utilização dos indicadores estatísticos é, segundo Kim et al. (2005), uma forma de auxiliar o correto diagnóstico da máquina, tornando a análise mais objetiva. Uma revisão sobre os índices estatísticos é apresentada em Sant'ana (2016) e aqui será feito apenas um resumo.

2.4.1 Coeficiente de correlação (CC)

Conforme Ryder (2003), para o cálculo do coeficiente de correlação, considera-se dois conjuntos contendo n números, o conjunto $X\{x_1, x_2, x_3, \dots, x_n\}$, e o conjunto $Y\{y_1, y_2, y_3, \dots, y_n\}$. O coeficiente de correlação entre esses dois conjuntos é dado pela equação (2.5), apresentada abaixo. Segundo Kim et al. (2005), o indicador apresenta a semelhança entre os conjuntos X e Y , sendo que, caso $CC = 0$, os conjuntos não apresentam correlação, e, se $CC = 1$, os conjuntos são iguais. Em Ryder (2002), e Ryder (2003), encontram-se aplicações da utilização do índice com a técnica FRA.

$$\rho = \frac{\sum_{x=i}^n x_i y_i}{\sqrt{\sum_{x=i}^n x_i^2 \sum_{x=i}^n y_i^2}} \quad (2.5)$$

2.4.2 Erro médio quadrático (MSE)

O erro médio quadrático (MSE, do inglês *mean square error*), também denominado em Kim et al. (2005) de soma quadrática do erro (SSE, do inglês *sum squared error*), é definido, segundo Badgujar et al. (2012), pela equação (2.6).

$$MSE = \frac{\sum_{i=1}^n (x_i - y_i)^2}{n} \quad (2.6)$$

Ainda, segundo Badgujar et al. (2012), a ideia desse método é indicar a severidade da diferença entre dois conjuntos de dados. Uma das vantagens do MSE

é que esse método minimiza pequenos erros e maximiza grandes erros. Se os dois conjuntos de dados são exatamente iguais, MSE terá um valor de zero. Pequenas diferenças (valores menores que 1), serão reduzidos ainda mais, enquanto que grandes valores (acima de 1), serão maximizados.

2.4.3 Raiz do erro médio quadrático (RMSE)

A raiz do erro médio quadrático (RMSE, do inglês *root mean square error*), é, segundo Badgujar et al. (2012), definido pela equação (2.7).

$$RMSE = \sqrt{\frac{\sum_{i=1}^n (x_i - y_i)^2}{n - 1}} \quad (2.7)$$

Quanto menor o valor de RMSE, menor é a diferença entre um dado e o *baseline*, quanto maior o valor de RMSE, maior a diferença entre o dado e o *baseline*.

2.4.4 Soma Quadrática das Razões do Erro (SSRE)

A soma quadrática das razões do erro (SSRE, do inglês *sum squared ratio error*), é apresentado em Kim et al. (2005) pela equação (2.8).

$$SSRE = \frac{\sum_{i=1}^n \left(\frac{y_i}{x_i} - 1\right)^2}{n} \quad (2.8)$$

Esse indicador foi desenvolvido, segundo Kim et al. (2005), para normalizar o MSE, que apresenta o problema de ser mal condicionado. Quando mais próximo de zero o SSRE, mais semelhança existe entre o conjunto de dados e o *baseline*, quanto maior o SSRE, maior a diferença entre os dados e o *baseline*.

2.4.5 Soma quadrática das razões máximo-mínimo de erro (SSMMRE)

A soma quadrática das razões máximo-mínimo de erro (SSMMRE, do inglês *sum squared max-min ratio error*), segundo Kim et al. (2005), é dado pela equação (2.9).

$$SSMMRE = \frac{\sum_{i=1}^n \left(\frac{\max(x_i, y_i)}{\min(x_i, y_i)} - 1\right)^2}{n} \quad (2.9)$$

É uma versão modificada do método SSRE. Essa nova versão visa amenizar o problema do método antigo, onde SSRE tende a 1 quando $y_i \ll x_i$. Porém, um outro

problema é relatado por Kim et al. (2005), que é quando as duas medidas se aproximam de zero. O exemplo apresentado é o caso de $x_i = 0.0001$ e $y_i = 0.01$, nesse caso, o indicador apresenta um valor consideravelmente alto, sendo que, teoricamente, deveria ser próximo de 0.

2.4.6 Soma absoluta de erros logarítmicos (ASLE)

Segundo Kim et al. (2005), um critério mais avançado que os apresentados acima, é o indicador da soma absoluta de erros logarítmicos (ASLE, do *inglês absolute sum of logarithmic error*), o cálculo desse índice é apresentado na equação (2.10).

$$ASLE(x, y) = \frac{\sum_{i=1}^N |20 \log_{10} y_i - 20 \log_{10} x_i|}{N} \quad (2.10)$$

Esse indicador é proposto para comparar os dados em uma escala logarítmica, resolvendo, assim, os problemas apresentados pelos métodos MSE, SSRE, e SSMMRE. Segundo Badgujar (2012), o valor ideal do ASLE é 0, que ocorre se os dois conjuntos de valores forem exatamente iguais. Quanto maior o valor do ASLE, maior a diferença entre os dois conjuntos de dados. Esse será o indicador utilizado neste trabalho.

3 DESENVOLVIMENTO DO SISTEMA

Este capítulo apresenta todo o desenvolvimento do sistema proposto para detecção de falhas em máquinas elétricas. Antes de iniciar o desenvolvimento, foi necessário realizar um estudo da plataforma de desenvolvimento utilizada para elaboração do sistema final, esse estudo é apresentado no Apêndice A. A seguir é apresentado a elaboração dos circuitos de geração e aquisição de sinais, e, em sequência, os *softwares* do cliente e do servidor são apresentados.

3.1 DESENVOLVIMENTO DO *HARDWARE*

Para desenvolvimento do *hardware*, foi utilizado o *software* Vivado 2018.2. Com ele foi possível elaborar os circuitos de geração e aquisição de sinais, que serão descritos no decorrer desta seção.

3.1.1 Sistema de geração de sinais

O sistema será desenvolvido de forma gradual, com a inclusão de blocos na medida que as necessidades forem surgindo. A ideia inicial para o desenvolvimento de um sistema de geração de sinais é representada pela Figura 3.1 a seguir.

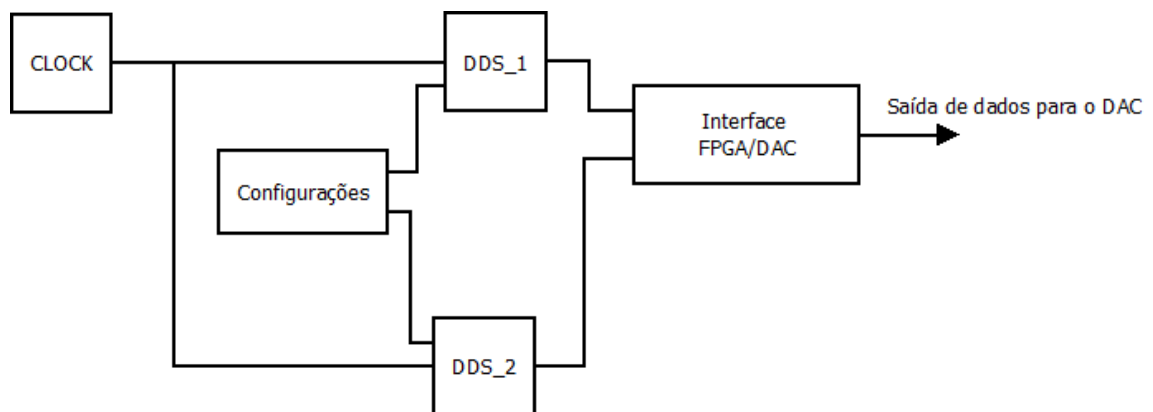


Figura 3.1 - Ideia inicial para projeto do sistema de geração de sinais.
Fonte: Autor.

Com a figura anterior, já se pode ter uma ideia geral de como será o sistema de geração de sinais. Os blocos necessários são:

- Clock: um bloco que fornecerá um sinal confiável de *clock* para todo o circuito.
- DDS: Síntese direta digital (do inglês, *Direct digital synthesis*) é um bloco que utiliza uma técnica para sintetizar um sinal de saída, esse sinal apresenta uma

determinada frequência e fase, que são definidas com informações de entrada no bloco.

- Configurações: bloco que fornecerá as configurações necessárias aos blocos DDSs, e, futuramente, aos outros blocos que serão adicionados ao circuito.
- Interface FPGA/DAC: Bloco que fornece as saídas do FPGA, responsável por integrar essas saídas ao DAC físico presente na placa.

Agora, cada um dos blocos será apresentado em detalhes para o desenvolvimento do FPGA.

3.1.1.1 Bloco de Clock do sistema

É necessário um *clock* constante para alimentar o circuito. Esse *clock*, de 125MHz, é fornecido através de um circuito oscilador conectado à entrada de *clock* do ADC, como pode ser observado na Figura A.3. E, como demonstra a Figura A.5, seu sinal, de forma diferencial, está disponível ao FPGA pelos pinos U18 e U19. Portanto, ao se desenvolver o projeto em FPGA, será necessária a utilização de um bloco específico para trabalhar com esse *clock* diferencial, transformando-o em um *clock* único, que alimentará o circuito.

O bloco escolhido para tratar do *clock* diferencial foi um bloco próprio do *software* Vivado, denominando IP *Clocking Wizard*. A documentação para a utilização desse bloco é encontrada em Xilinx (2016a). Para o desenvolvimento deste projeto, o bloco foi utilizado como uma PLL (do inglês, *Phase Locked Loop*), utilizando como entrada um *clock* diferencial, e, como saída, um *clock single-ended*. Fornecendo, assim, um *clock* constante de 125MHz a todo o circuito.

É importante salientar que, como será demonstrado na seção 3.1.1.3, além do *clock* de 125MHz, também será necessário um *clock* de 250MHz (com uma defasagem de 90° entre esses dois sinais) para a correta atualização de dados na saída do DAC. Esse sinal pode ser obtido utilizando-se o mesmo IP *Clocking Wizard*, que, em suas configurações, apresenta opções para geração de outros sinais (defasados ou não) do sinal principal.

Esse bloco ainda apresenta um importante sinal de saída denominado *locked*, esse sinal, segundo Xilinx (2016a), estará em nível lógico 1 caso o sinal de *clock* estiver instável, e estará em nível lógico 0 caso o sinal de *clock* estiver estável.

3.1.1.2 Bloco DDS

O bloco DDS utilizado, juntamente com sua documentação, pode ser encontrado em Opencores (2019). É um bloco gratuito, e faz perfeitamente a função de gerar sinais senoidais em frequências e fases definidas, tais valores podem ser ajustados durante a operação do bloco.

A resolução da frequência a ser gerada é determinada pelo parâmetro genérico *ftw_width*, as resoluções da amplitude e da fase do sinal são determinadas através de uma look-up table (LUT) gerada em Matlab, que deve ser inserida no projeto para o funcionamento do bloco.

Para este projeto, como o DAC é de 14 bits, é necessário a utilização de uma LUT com 14 bits para amplitude, e, para a resolução da fase, foi selecionada também de 14 bits. Como parâmetro *ftw_width*, foi selecionado o valor de 32 bits. Portanto, considerando-se uma frequência de *clock* de 125MHz, tem-se uma resolução de 0,029Hz.

Os pinos de entrada e saída do bloco estão representados na Tabela 3.1.

Tabela 3.1 - Portas bloco DDS

Nome	Direção	Tamanho	Descrição
clk_i	Entrada	1	Sinal de clock.
rst_i	Entrada	1	Sinal de reset.
ftw_i	Entrada	Tamanho ftw_i	Frequência a ser gerada, conforme equação (3.1).
phase_i	Entrada	Tamanho phase_i	Fase a ser gerada, conforme equação (3.2).
phase_o	Saída	Tamanho phase_o	Fase de saída.
ampl_o	Saída	Tamanho ampl_o	Amplitude de saída.

Fonte: (OPENCORES, 2019).

$$ftw_i = f_{Hz} \frac{2^M}{f_s} \quad (3.1)$$

$$phase_i = fase_{graus} \frac{2^N}{360} \quad (3.2)$$

Nas equações acima:

- M é o parâmetro ftw_width . Portanto, neste projeto, o valor de M é 32.
- N é o parâmetro $phase_width$. Portanto, neste projeto, o valor de N é 14.
- f_{Hz} é o valor desejado de frequência.
- f_s é o valor da frequência do *clock*, operando, neste projeto, em 125MHz.
- $fase_{graus}$ é o valor desejado da fase do sinal. Neste projeto, este parâmetro não é utilizado.

A Figura 3.2 apresenta o circuito RTL do bloco DDS, com suas entradas e saídas.

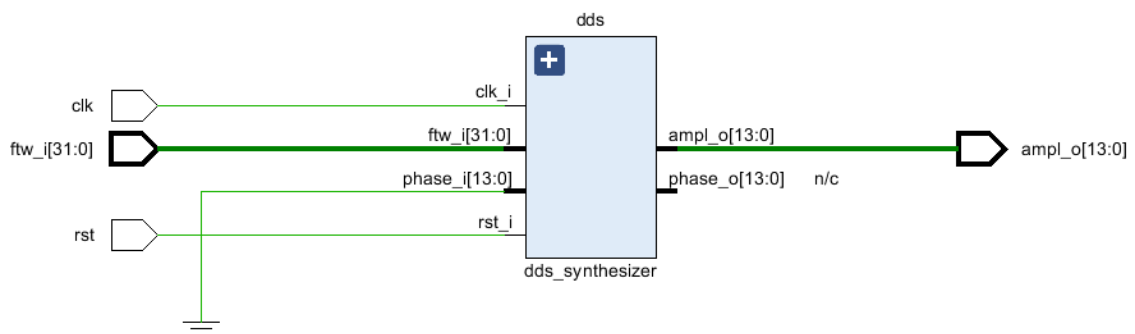


Figura 3.2 - Circuito RTL do bloco DDS.
Fonte: Autor.

Para verificar o funcionamento do bloco, foram realizadas simulações no *software* Vivado. Será apresentado aqui uma dessas simulações.

Supondo que seja necessário gerar um sinal de 1MHz com o bloco em questão, portanto, utilizando-se a equação (3.1), conclui-se que o valor, em decimal, que deve ser fornecido na entrada ftw_i do bloco é 34359738. O resultado da simulação é apresentado na Figura 3.3.

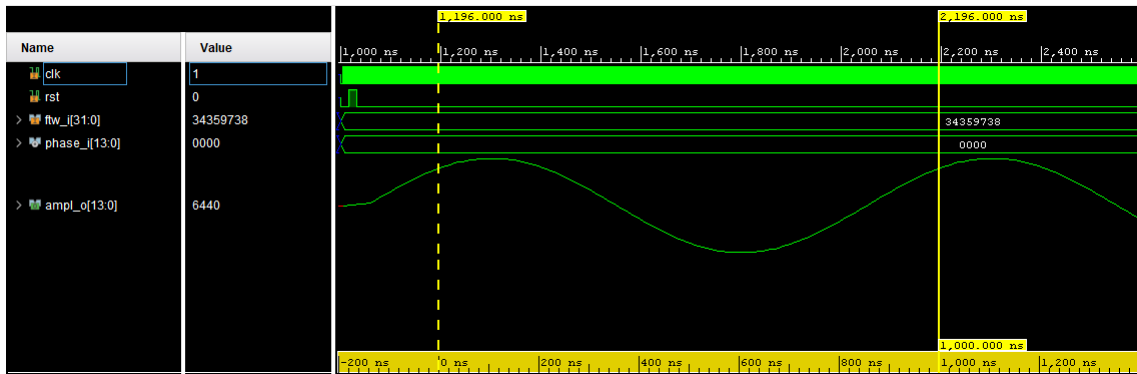


Figura 3.3 - Simulação sinal de 1MHz com bloco DDS.

Fonte: Autor.

Verifica-se que o sinal gerado possui a frequência esperada de 1MHz (observe-se o período de 1ns na figura anterior). O sinal de saída varia de -8192 até 8191, sendo essa a faixa de variação para um número de 14 bits sinalizado.

3.1.1.3 Bloco de interface FPGA/DAC

Esse é o bloco que fará a comunicação entre o FPGA e o DAC físico da placa. Portanto, todas as portas de entrada apresentadas na Figura A.8 (DA13-DA0, IQWRT, IQSEL, IQCLK, IQRESET), serão os sinais de saída desse bloco de interface. Os sinais da Figura A.9 ajudam a projetar o bloco de interface, da figura e das explicações já fornecidas na seção A.3, conclui-se que, os sinais IQWRT e IQCLK devem ser conectados ao sinal de *clock* de 250MHz, enquanto que o sinal IQSEL deve ser conectado ao sinal de *clock* de 125MHz, e, além disso, esses dois sinais (*clock* de 125MHz e *clock* de 250MHz) devem estar defasados de 90° um do outro. O sinal IQRESET é conectado ao sinal *locked*, que é fornecido pelo bloco de *clock*. E, por fim, os sinais DA13-DA0 são atualizados na saída do bloco em uma frequência de 250MHz, eles são os sinais de entrada fornecidos pelos blocos DDSs de forma multiplexada.

3.1.1.4 Bloco de Configurações

O bloco de configurações deve fornecer o valor de *ftw_i* aos DDSs, mas esse deve ser um valor passível de alteração pelo usuário da aplicação. Portanto, não deve ser um valor definido no lado PL (FPGA), mas, sim, no lado PS. Desta forma, esse bloco deve realizar a conexão entre os lados PS e PL, onde, no lado PS estará sendo executado um *software* que fornecerá dados de configurações ao lado PL.

A Figura 3.4 apresenta o circuito desenvolvido utilizando o editor *Block Design* do *software* Vivado. O bloco principal dessa estrutura é o *ZYNQ Processing System*, ele funciona como uma conexão lógica entre PS e PL. O bloco *AXI Interconnect* liga diferentes dispositivos mestres e escravos, utilizando o protocolo de comunicação AXI. O bloco *AXI GPIO*, é um bloco de portas de entrada e saída, utilizado para troca de dados dentro do sistema, podendo receber e/ou enviar dados entre os lados PS e PL. Neste caso, foram utilizados três blocos GPIOs, sendo, dois deles para enviar as configurações das frequências a serem geradas, e, o terceiro, para o envio de um sinal de reset aos DDSs.

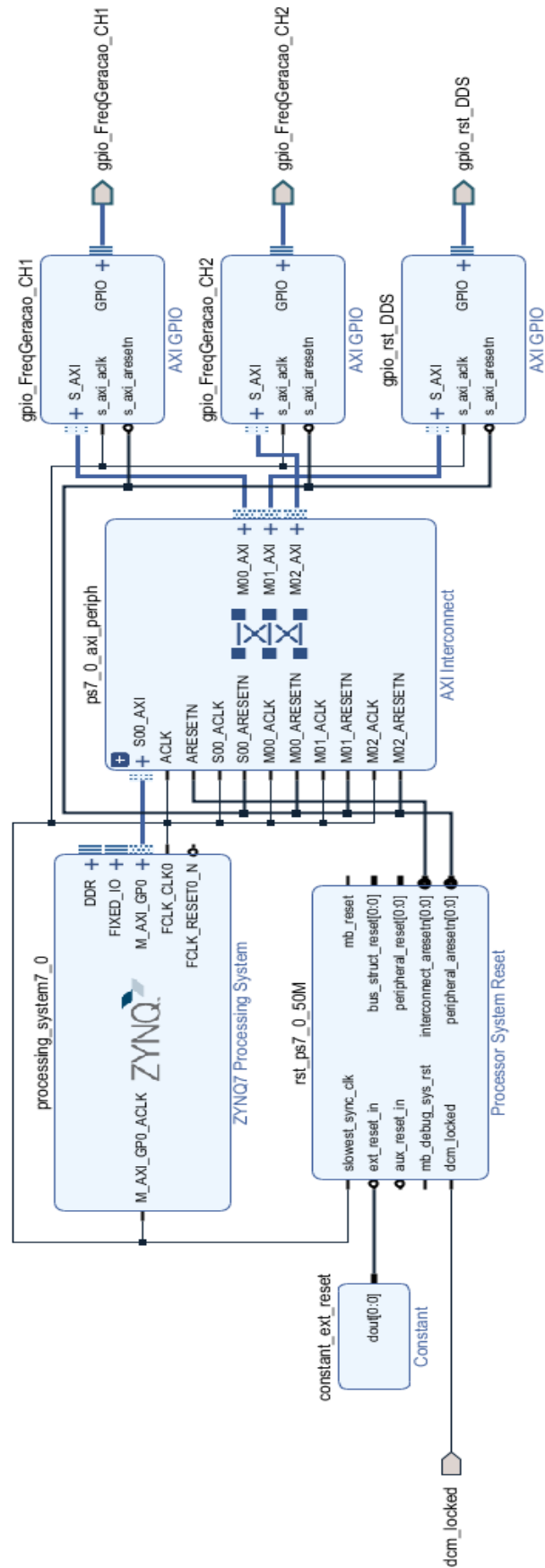


Figura 3.4 - Bloco Configurações - Conexão entre PS e PL.
 Fonte: Autor.

O acesso aos GPIOs pelo lado PS é realizado através de um mapeamento de memória pelo *software*, os endereços a serem acessados são definidos juntamente com o desenvolvimento do circuito de *hardware*, na Figura 3.5 são apresentados os endereços de memória definidos para os GPIOs.

Cell	Slave Interface	Base Name	Offset Address	Range	High Address
processing_system7_0					
Data (32 address bits : 0x40000000 [1G])					
gpio_FreqGeracao_CH1	S_AXI	Reg	0x4120_0000	64K	0x4120_FFFF
gpio_rst_DDS	S_AXI	Reg	0x4127_0000	64K	0x4127_FFFF
gpio_FreqGeracao_CH2	S_AXI	Reg	0x4126_0000	64K	0x4126_FFFF

Figura 3.5 - Endereços de acesso aos GPIOs do circuito.
Fonte: Autor.

3.1.1.5 Teste e aperfeiçoamento do sistema desenvolvido

Com as informações fornecidas até aqui, foram desenvolvidos os blocos no *software* Vivado, e foi elaborado o circuito de geração de sinais. Na Figura 3.6 é apresentado o circuito RTL do sistema.

O bloco controleDDS faz o papel de ponte entre o bloco Configurações e os blocos DDSs, sendo, portanto, responsável por transmitir os sinais de configurações do bloco Configurações.

Um sinal de saída muito importante (ver Tabela A.5) é o representado pela porta `adc_csn_o`, esse é o sinal do *duty cycle*, que, como pode ser observado, é mantido sempre em 1.

Na Figura 3.7 é apresentada a simulação para o sistema de geração de sinais. Foram gerados três sinais em diferentes frequências, são elas: 1MHz, 2MHz, 5MHz (os dois canais foram mantidos com a mesma frequência para facilitar a visualização, porém poderiam ter valores distintos). Observa-se que a geração se iniciou depois que o pino de *reset* foi desativado (ver sinal `wire_rst_dds_controleDDS`). Os sinais de `wire_freq_ch1_config` e `wire_freq_ch2_config` são onde as palavras que definem a frequência do sinal são fornecidas. `Ampl_data_ch1` e `ampl_data_ch2` são os sinais de saída dos DDSs, e, finalmente, `dac_dat_o` é o sinal de saída do bloco de interface entre FPGA e DAC, ou seja, é esse sinal que é fornecido na entrada do DAC físico presente na placa.

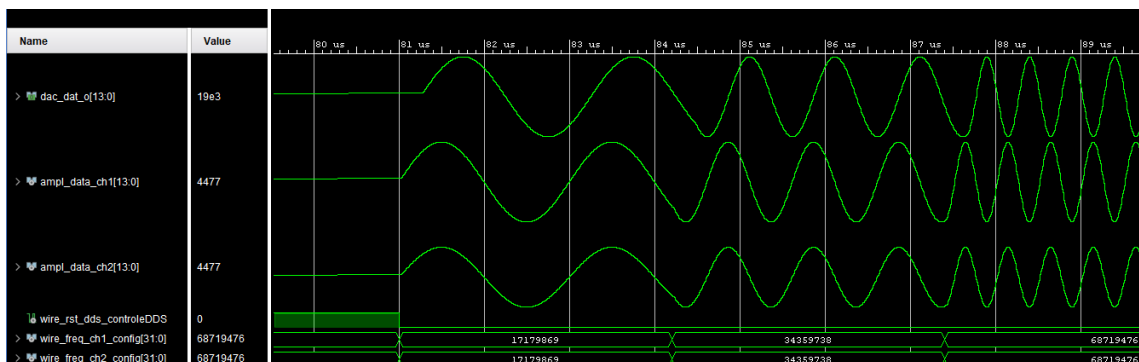


Figura 3.7 - Simulação sistema de geração de sinais.
Fonte: Autor.

Agora, são apresentados os resultados com a geração real dos sinais. Em todos os casos foram mantidas as mesmas frequências para os dois canais. Nas figuras: Figura 3.8 Figura 3.9 Figura 3.10 Figura 3.11 Figura 3.12 Figura 3.13 Figura 3.14 são apresentadas os sinais gerados nas frequências 1KHz, 10KHz, 100KHz, 500KHz, 1MHz, 2MHz, 5MHz, respectivamente.

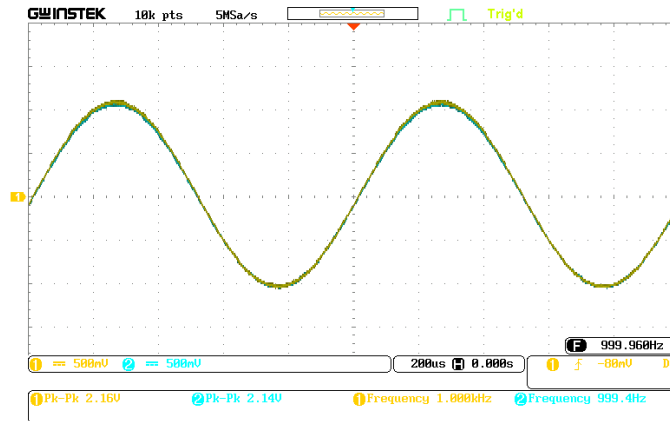


Figura 3.8 - Geração de sinal de 1KHz para o canal 1 e canal 2.
Fonte: Autor.

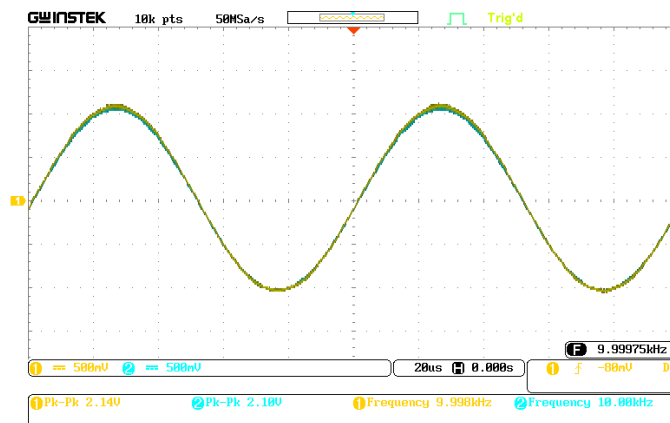


Figura 3.9 - Geração de sinal de 10KHz para o canal 1 e canal 2.
Fonte: Autor.

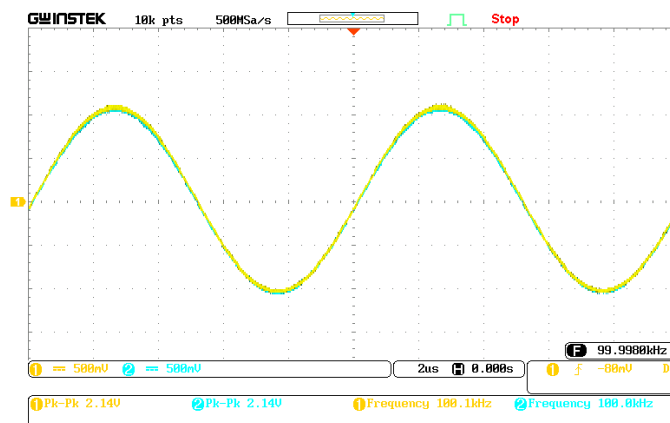


Figura 3.10 - Geração de sinal de 100KHz para o canal 1 e canal 2.
Fonte: Autor.



Figura 3.11 - Geração de sinal de 500KHz para o canal 1 e canal 2.
Fonte: Autor.

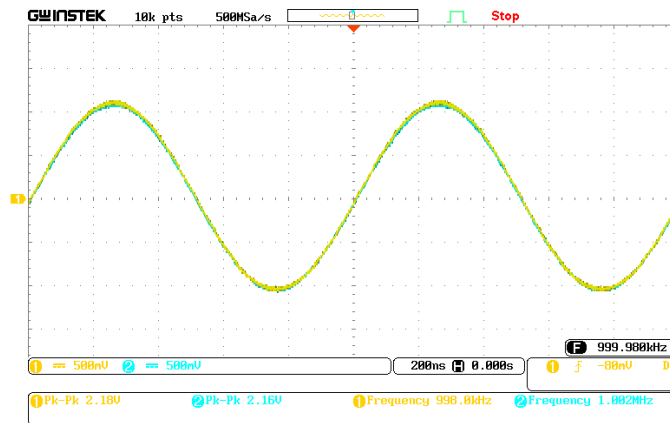


Figura 3.12 - Geração de sinal de 1MHz para o canal 1 e canal 2.
Fonte: Autor.

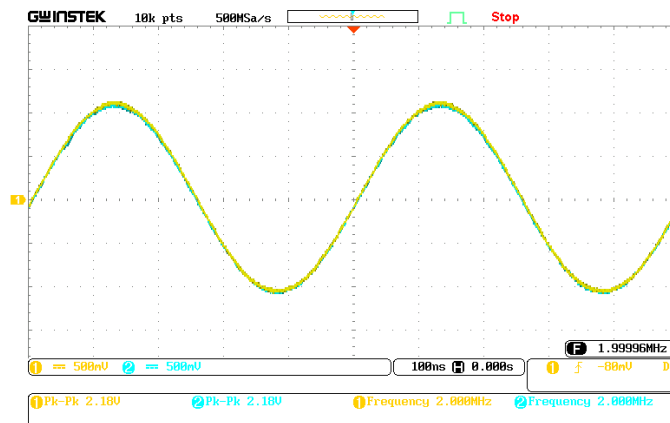


Figura 3.13 - Geração de sinal de 2MHz para o canal 1 e canal 2.
Fonte: Autor.

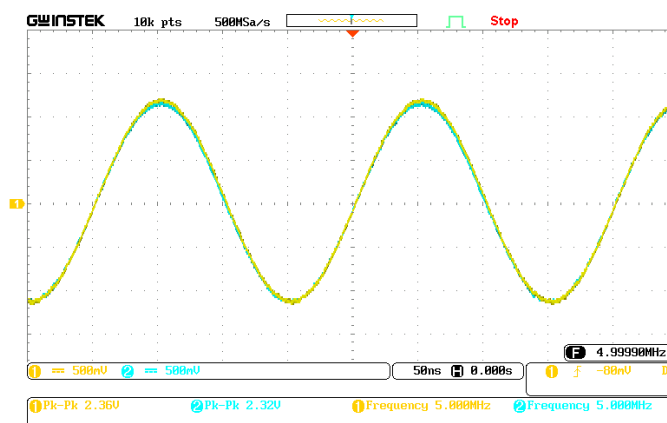


Figura 3.14 - Geração de sinal de 5MHz para o canal 1 e canal 2.
Fonte: Autor.

Observa-se que, para os sinais de 1KHz até 1MHz os valores de pico a pico estão praticamente estáveis, o sinal de 2MHz começa a apresentar uma pequena distorção (imperceptível na figura) em sua amplitude, já o sinal de 5MHz essa distorção é bem perceptível. Sendo assim, para garantir uma amplitude estável dos sinais, o sistema desenvolvido será limitado na geração de sinais entre 1KHz e 1MHz.

Como pode ser observado, o sistema de geração está funcionando corretamente, porém, ainda existe um pequeno problema: o sinal de referência para o ADC é de $\pm 0,5V$, e, neste caso, estão sendo gerados sinais de aproximadamente $\pm 1,1V$. Portanto, é necessário a redução desse valor de tensão para a correta leitura do sinal pelo ADC, sem correr o risco de saturação do sinal.

Para isso, foram introduzidos dois novos blocos ao circuito, um multiplicador e um divisor de sinais. A ideia é multiplicar o sinal da saída do bloco do DDS por um fator e depois dividir o sinal resultante por um outro fator. Por exemplo: caso se deseje um sinal final com um valor de 40% do sinal inicial de $\pm 1,1V$, ou seja, $\pm 0,44V$, para isso, o fator multiplicativo deve ser 40, e o fator de divisão deve ser 100.

O circuito final do sistema de geração de sinais foi dividido em duas figuras para melhor visualização (Figura 3.15 e Figura 3.16). As letras “a”, “b”, “c”, “d”, “e”, “f” determinam os pontos de conexão entre as duas figuras. Nele, já estão adicionados os blocos responsáveis pela multiplicação e divisão dos sinais, são eles: *bloco Multiplier*, e *bloco Divider Generator*, sendo que, no diagrama apresentado, os blocos de multiplicação estão instanciados com os nomes *multiplicador_ch1* e *multiplicador_ch2*, e os blocos de divisão estão instanciados com os nomes

divisor_ch1 e divisor_ch2. São blocos disponibilizados pelo Vivado, as respectivas documentações podem ser consultadas em Xilinx (2015) e Xilinx (2016b).

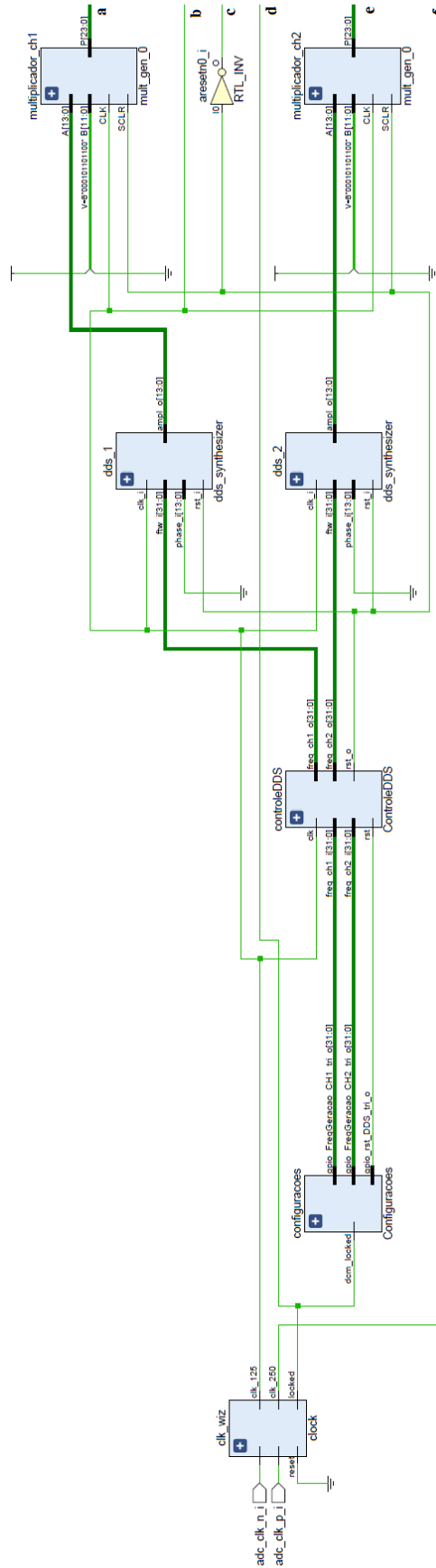


Figura 3.15 - Sistema de geração de sinais final – parte 1.
 Fonte: Autor.

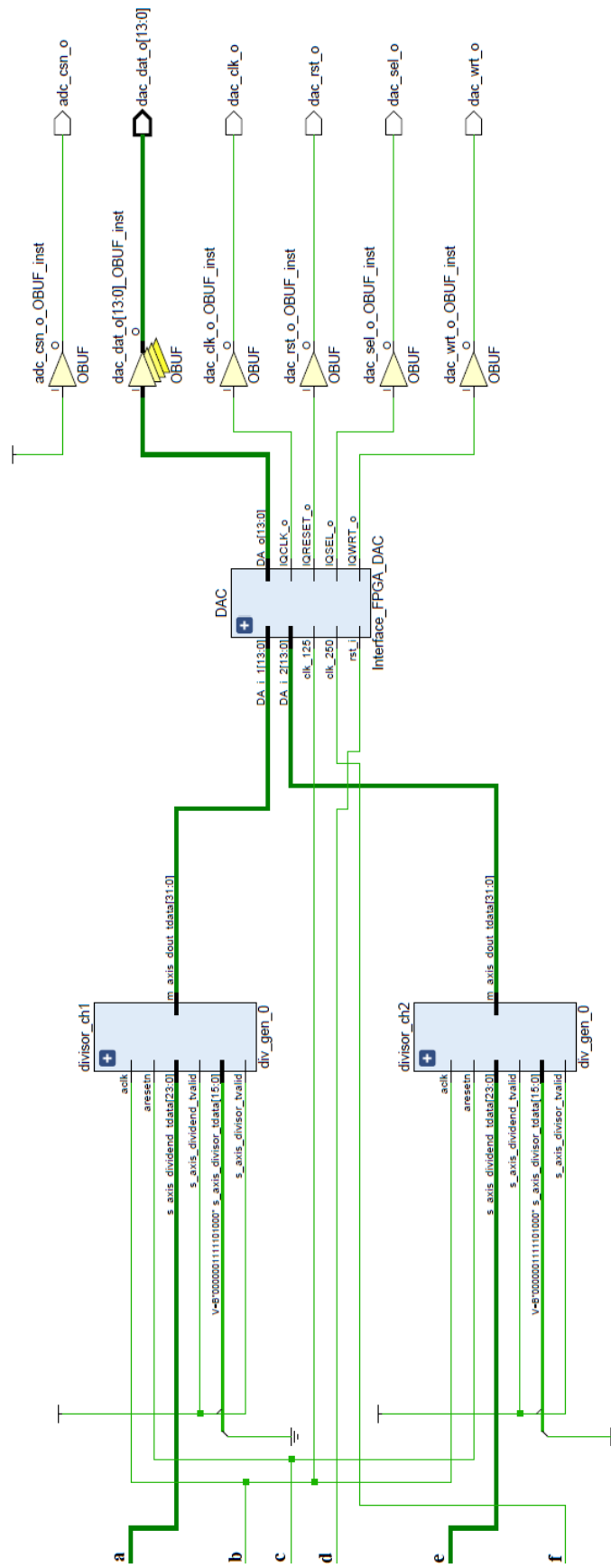


Figura 3.16 - Sistema de geração de sinais final - parte 2.
Fonte: Autor.

Nas figuras: Figura 3.17 Figura 3.18 Figura 3.19 Figura 3.20 Figura 3.21 são apresentados os resultados de geração de sinais para as respectivas frequências de 1KHz, 10KHz, 100KHz, 500KHz, 1MHz. O fator de multiplicação utilizado foi de 364, e o fator de divisão utilizado foi de 1000. Sendo assim, tem-se, aproximadamente, 0,364% do valor de $\pm 1,1V$, o que corresponde a um novo sinal dentro da faixa de $\pm 0,4V$, portanto, respeitando os limites da escala do ADC de $\pm 0,5V$.

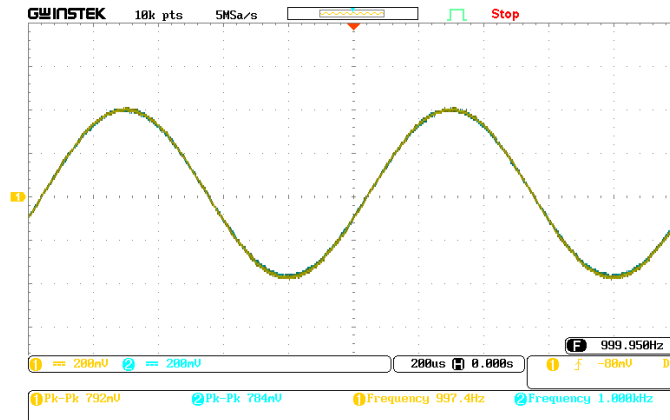


Figura 3.17 - Geração de sinal de 1KHz para o canal 1 e canal 2 com amplitude modificada.
Fonte: Autor.

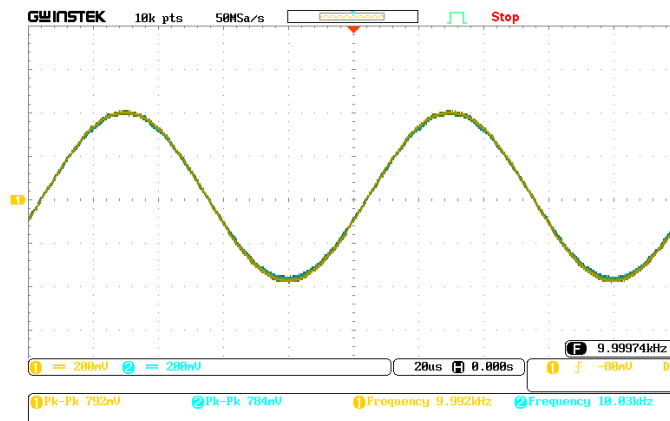


Figura 3.18 - Geração de sinal de 10KHz para o canal 1 e canal 2 com amplitude modificada.
Fonte: Autor.

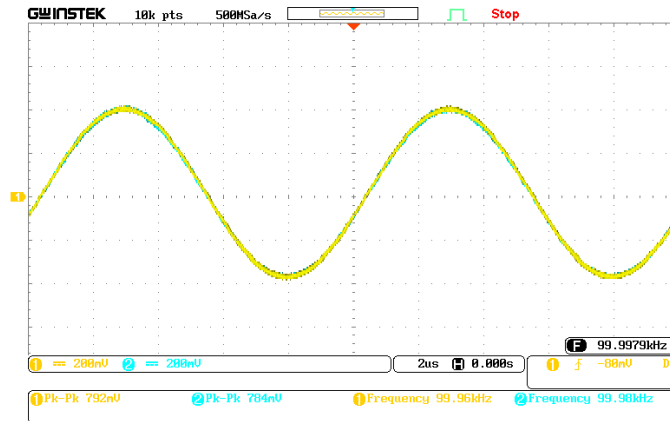


Figura 3.19 - Geração de sinal de 100KHz para o canal 1 e canal 2 com amplitude modificada.
Fonte: Autor.

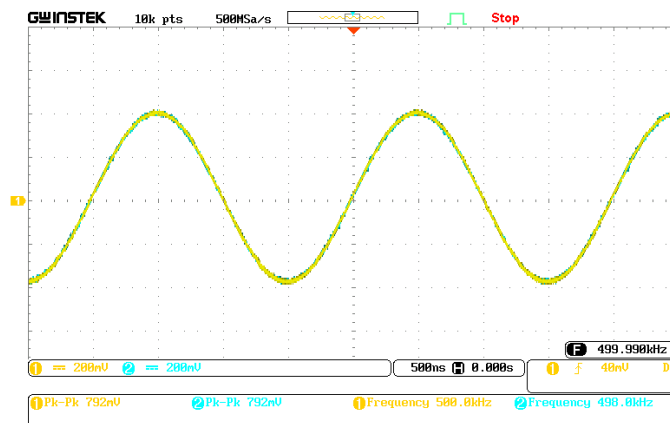


Figura 3.20 - Geração de sinal de 500KHz para o canal 1 e canal 2 com amplitude modificada.
Fonte: Autor.

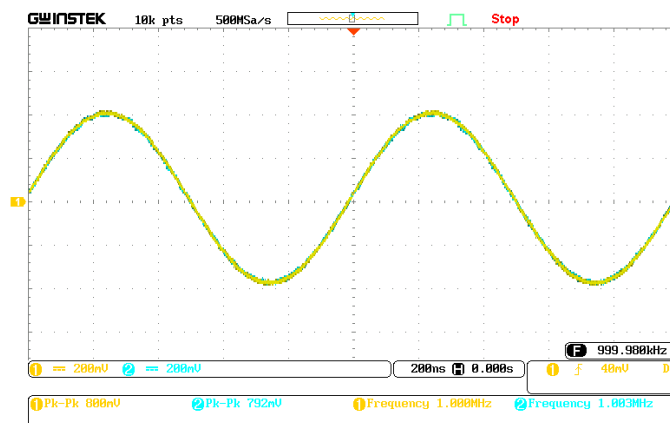


Figura 3.21 - Geração de sinal de 1MHz para o canal 1 e canal 2 com amplitude modificada.
Fonte: Autor.

Os valores de pico a pico mantiveram dentro de uma faixa de, aproximadamente, 780mV e 800mV, portanto, estão dentro do esperado para o correto funcionamento do sistema.

3.1.2.1 Bloco de clock do sistema

O bloco utilizado é o *Clocking Wizard*, o mesmo da seção 3.1.1.1, portanto, todas as considerações feitas na seção mencionada são válidas para essa. A única diferença é que, para o projeto apenas do sistema de aquisição de sinais, não é necessário um segundo *clock* de 250MHz. Portanto, esse bloco apenas será responsável por transformar o *clock* diferencial do oscilador externo para um *clock single-ended*, fornecendo esse sinal, de forma estável, para todo o circuito.

3.1.2.2 Interface ADC/FPGA

Esse é o bloco que fará a conexão entre o ADC físico da placa e o FPGA. Apresenta três entradas, duas delas destinadas à recepção dos dados do ADC (canal 1 e canal 2), e outra destinada ao sinal de *clock*, que é fornecido pelo bloco “Controle FIFO”. Como consta em Linear Technology (2011), os dados do ADC estão em formato *offset binary*, o bloco faz a conversão desses dados para complemento de 2, e transmite-os para as FIFOs. A conversão para complemento de dois não é necessária nesse momento, porém, optou-se por trabalhar com os dados de aquisição sempre em complemento de dois, dessa forma, os dados ficam padronizados, facilitando sua manipulação futura.

As duas entradas de dados do bloco são portas com 14 bits, visto que essa é a quantidade de bits do ADC, porém, para a saída do bloco, definiu-se uma quantidade de 32 bits. Isso foi feito pois, ao salvar os dados de aquisição através do software em C, como será visto em seções posteriores, os dados são salvos como inteiros (um inteiro equivale a 4 bytes, ou seja, 32 bits), por isso optou-se por trabalhar sempre com os dados nesse tamanho, e não com 14 bits. A conversão de um dado de 14 bits para um de 32 bits é realizada apenas copiando-se o bit mais significativo (14ª posição) para os bits extras adicionados (18 novos bits).

Desta forma, a cada borda de subida do sinal de *clock*, os dois sinais de dados de 14 bits presentes na entrada são fornecidos na saída como dois sinais de 32 bits.

3.1.2.3 FIFO

O bloco FIFO (do inglês, *first in, first out*), é um bloco para armazenamento e leitura de dados, sendo que esse armazenamento e leitura é feito em formato de fila.

Os primeiros dados que entram no bloco, são os primeiros dados a saírem. O bloco FIFO utilizado é gratuito, sua documentação e código está disponível em Opencores (2019). A Tabela 3.2 apresenta as portas disponíveis no bloco, juntamente as respectivas descrições.

Tabela 3.2 - Portas bloco FIFO.

Porta	Tamanho (bits)	Direção	Descrição
Reset	1	Entrada	Ativação do reset de forma síncrona em nível alto.
Clk	1	Entrada	Sinal de clock.
Data_in	Parâmetro "Width"	Entrada	Dados de entrada na FIFO.
Data_out	Parâmetro "Width"	Saída	Dados de saída da FIFO.
Write	1	Entrada	Ativo em nível alto. Permite a escrita na FIFO na borda de subida do clock.
Read	1	Entrada	Ativo em nível alto. Permite leitura da FIFO na borda de subida do clock.
Data_present	1	Saída	Síncrono com sinal de clock. Vai para nível alto se existe dado(s) na FIFO.
Half_full	1	Saída	Síncrono com o sinal de clock. Nível alto quando FIFO estiver cheia pela metade.
Full	1	Saída	Síncrono com o sinal de clock. Nível alto quando FIFO está cheia.

Fonte: (OPENCORES, 2019).

O parâmetro "Width" possui, como valor padrão, 8 bits. É o tamanho, em bits, de cada dado que será salvo na FIFO. Como os dados que chegam nas FIFOs (vindos

do bloco “Interface ADC/FPGA”) apresentam 32 bits, esse parâmetro será definido com o tamanho de 4 Bytes (32 bits).

3.1.2.3.1 Sinal *reset* do bloco FIFO

O sinal de reset é ativo em nível alto, e precisa ficar ativado por no mínimo dois ciclos do *clock* para a inicialização da FIFO.

3.1.2.3.2 Sinal *writing* do bloco FIFO

Os dados podem ser escritos na FIFO se esta não estiver cheia (sinal *full* em nível lógico 1). A escrita ocorre quando o sinal *writing* estiver ativo (nível lógico 1), e existir um sinal estável na entrada do bloco (*data_in*) durante a borda de subida do *clock*. Caso ocorra a tentativa de escrita na FIFO com ela cheia, o bloco simplesmente irá ignorar o dado de entrada.

3.1.2.3.3 Sinal *reading* do bloco FIFO

É possível realizar a leitura de dados em uma FIFO que possua, no mínimo, um dado salvo. Isso é indicado pelo sinal *data_present* em nível lógico 1. A leitura é realizada quando o sinal *reading* se encontra em nível lógico 1 durante a rampa de subida do sinal de *clock*.

3.1.2.3.4 Sinal *full* do bloco FIFO

O sinal *full* é ativado quando, durante a rampa de subida do *clock*, é escrito um novo dado na última posição disponível da FIFO, e, também, a leitura da FIFO não está sendo executada. O sinal retornará para nível lógico 0 assim que uma leitura for realizada na FIFO e nenhuma escrita for feita. Existe também o sinal *half_full*, que é acionado de forma semelhante ao *full*, porém ele ocorre na escrita do próximo dado, quando metade da FIFO já estiver completa.

3.1.2.3.5 Sinal *data_present* do bloco FIFO

O sinal *data_present* mudará para nível lógico 1 logo que o primeiro dado for escrito na FIFO. Voltará para nível lógico 0 quando, durante uma rampa de subida do *clock*, o último dado da FIFO for lido, considerando-se que nenhuma escrita seja feita.

3.1.2.3.6 Circuito RTL do bloco FIFO

A Figura 3.23 apresenta o circuito RTL do bloco FIFO, com suas entradas e saídas. Observa-se que, o tamanho do dado de aquisição de entrada e saída estão definidos para 32 bits nesse circuito. Utilizou-se o *software* Vivado para a elaboração do circuito.

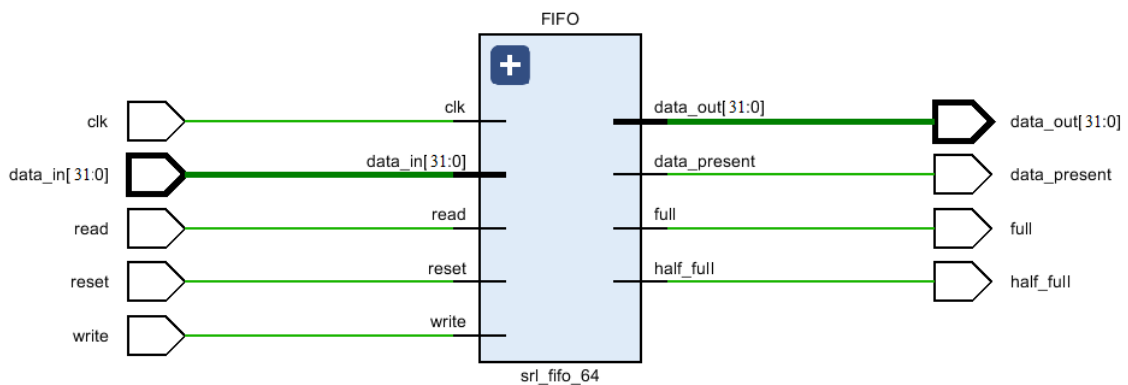


Figura 3.23 - Circuito RTL bloco FIFO.
Fonte: Autor.

3.1.2.3.7 Simulação de escrita e leitura do bloco FIFO

Para verificar o correto funcionamento do bloco, simulações são apresentadas. Utilizou-se o *software* Vivado para a realização das simulações.

Na Figura 3.24 é apresentada uma simulação de escrita na FIFO. Observa-se que, para facilitar a explicação e entendimento, foi definido que o tamanho da FIFO seria de 4 posições de 16 bits cada. Portanto, essa FIFO pode guardar 4 valores de 16 bits.

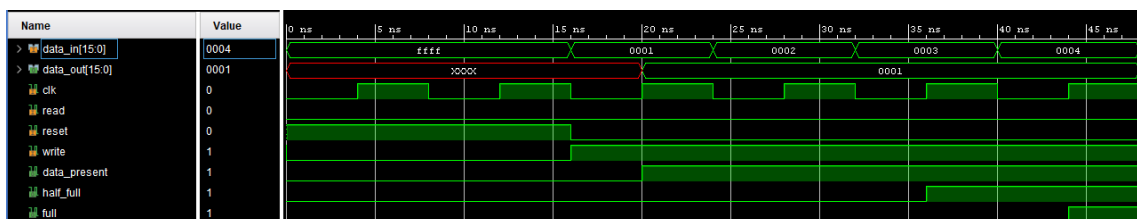


Figura 3.24 - Simulação operação de escrita da FIFO.
Fonte: Autor.

Como pode ser observado, o sinal *reset* foi mantido em nível alto por dois ciclos de *clock* seguidos para a inicialização da FIFO. Quando o *reset* foi para zero (16 ns),

o sinal de *write* foi ativado e foi fornecido a entrada de valor 1 na porta *data_in*, iniciando-se a escrita na FIFO na próxima borda de subida do *clock* (20 ns). Nota-se que, logo que o primeiro dado entra no bloco (20 ns), ele já fica disponível na saída (porta *data_out*). Outro sinal a ser notado na primeira escrita de dado é o *data_present*, que foi para nível alto logo que o primeiro dado foi escrito.

Na sequência, foram fornecidos na entrada *data_in* os valores 2, 3, e 4. Percebe-se que o sinal *full* vai para nível alto assim que o último dado entra na FIFO (44 ns). Com o bloco cheio, qualquer novo dado que seja colocado na entrada, será rejeitado.

A Figura 3.25 apresenta o processo de leitura dos dados da FIFO.

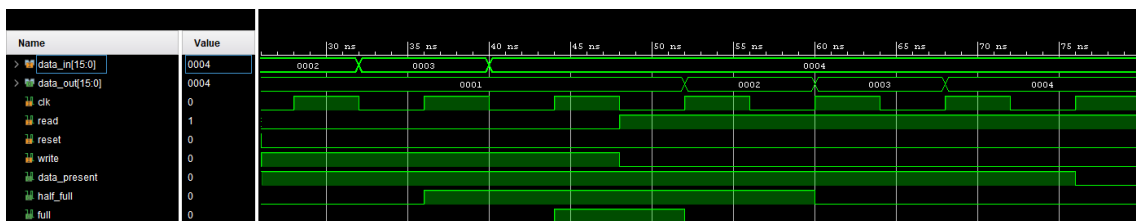


Figura 3.25 - Simulação operação de leitura da FIFO.
Fonte: Autor.

Como pode ser observado, depois que o sinal *full* foi ativo (44 ns), o sinal *write* foi definido para nível baixo e o sinal *read* foi definido para nível alto (48 ns), portanto, colocando o bloco em função de leitura de dados.

Na borda de subida do *clock* do tempo 52ns, o primeiro dado (de valor 1) é retirado da FIFO, fazendo com que o segundo dado (de valor 2) seja transferido para a porta de saída do bloco (*data_out*). Esse procedimento então é repetido a cada borda de subida do *clock*, que, a cada repetição, um dado é retirado da FIFO e o dado seguinte é transferido para a saída do bloco, sempre durante a borda de subida do *clock*.

Observa-se no tempo de 76 ns que o último dado (de valor 4) é retirado do bloco, fazendo com que o sinal *data_present* vá para nível baixo. A saída do bloco será mantida nesse valor até que um próximo dado seja escrito na FIFO.

3.1.2.4 Controle FIFO

O bloco Controle FIFO é composto por três blocos, exemplificados na Figura 3.26, a seguir.

Tabela 3.3 - Composição do sinal de configuração.

Bits [8:0]	Função	
0 (menos significativo)	Sinal de escrita (<i>write</i>) para as FIFOs, quando esse bit estiver ativo, as FIFOs estarão em modo escrita.	
1	Sinal de leitura (<i>read</i>) para as FIFOs, quando esse bit estiver ativo, as FIFOs estarão em modo leitura.	
2	Sinal de <i>reset</i> para as FIFOs.	
3	Sinal de <i>clock</i> manual (ver seção 3.1.2.4.3).	
8:4	7:4	Comando de 4 bits para definir o valor da divisão do <i>clock</i> (ver seção 3.1.2.4.2).
	8 (mais significativo)	Bit para informar se o <i>clock</i> de saída do bloco “Divisor de clock” será o valor máximo (125MHz), ou, então, se sofrerá divisão em seu valor (ver seção 3.1.2.4.2).

Fonte: Autor.

3.1.2.4.2 Bloco Divisor de Clock

O bloco recebe duas entradas, a primeira é o sinal de *clock* de 125MHz fornecido pelo bloco “Clock”. A segunda entrada é o sinal de configuração, que, como foi visto anteriormente, é um sinal composto por 9 bits, porém, para o bloco “Divisor de Clock”, apenas os últimos 5 bits são utilizados, essa seleção de bits é realizada durante o desenvolvimento do *hardware* em FPGA. Os 5 bits recebidos pelo bloco possuem duas informações, são elas:

- Bit 8 (considerando-se a palavra de 9 bits, conforme Tabela 3.3): Necessidade ou não de se realizar a divisão do *clock*. Caso não seja necessário realizar a divisão do *clock* (bit 8 é definido em nível alto), o sinal de *clock* da entrada do bloco passa diretamente para a saída, tendo seu valor de 125MHz inalterado. Caso seja necessário realizar a divisão (bit 8 é definido em nível baixo), o *clock*

de entrada de 125MHz será dividido por um múltiplo de dois, sendo esse sinal a saída do bloco.

- Bit 7 até bit 4 (considerando-se a palavra de 9 bits, conforme Tabela 3.3): A segunda informação só é válida quando a divisão do *clock* é necessária (bit 8 em nível baixo). Esses bits (7 até o 4) contém o valor da divisão que será aplicada ao sinal de *clock*. Neste caso, o bloco implementa um contador de 16 bits que, a cada borda de subida do *clock*, é incrementado. Então, cada bit desse contador, iniciando-se pelo menos significativo, alternará entre 0 e 1 em uma frequência dada pela frequência do *clock* (125MHz) dividido por 2 elevado ao número de posição do bit.

A Tabela 3.4 relaciona a palavra de configuração (2ª e 3ª coluna) recebida na entrada do bloco, com a frequência que será gerada na saída do bloco (4ª coluna). A 1ª coluna mostra qual bit do contador de 16 bits está sendo responsável por gerar a frequência de saída, lembrando que, essa seleção de bit é realizada pela palavra de configuração.

Tabela 3.4 - Possíveis frequências de saída do bloco Divisor de Clock

Posição do bit do contador de 16 bits	Bit 8	Bit 7 a bit 4	Frequência de saída do bloco
Não utilização do contador	1	Qualquer valor	125000000Hz
1º bit (menos significativo)	0	0000	$\frac{125 * 10^6}{2^1} = 62500000Hz$
2º bit	0	0001	$\frac{125 * 10^6}{2^2} = 31250000Hz$
3º bit	0	0010	$\frac{125 * 10^6}{2^3} = 15625000Hz$
4º bit	0	0011	$\frac{125 * 10^6}{2^4} = 7812500Hz$
5º bit	0	0100	$\frac{125 * 10^6}{2^5} = 3906250Hz$
6º bit	0	0101	$\frac{125 * 10^6}{2^6} = 1953125Hz$
7º bit	0	0110	$\frac{125 * 10^6}{2^7} = 976562Hz$
8º bit	0	0111	$\frac{125 * 10^6}{2^8} = 488281Hz$
9º bit	0	1000	$\frac{125 * 10^6}{2^9} = 244140Hz$
10º bit	0	1001	$\frac{125 * 10^6}{2^{10}} = 122070Hz$
11º bit	0	1010	$\frac{125 * 10^6}{2^{11}} = 61035Hz$
12º bit	0	1011	$\frac{125 * 10^6}{2^{12}} = 30518Hz$
13º bit	0	1100	$\frac{125 * 10^6}{2^{13}} = 15259Hz$
14º bit	0	1101	$\frac{125 * 10^6}{2^{14}} = 7629Hz$
15º bit	0	1110	$\frac{125 * 10^6}{2^{15}} = 3815Hz$
16º bit (mais significativo)	0	1111	$\frac{125 * 10^6}{2^{16}} = 1907Hz$

Fonte: Autor.

O sinal do *clock* de saída desse bloco tem dois destinos, o primeiro é o bloco “Seleção de Clock”, que será explicado adiante. O outro destino é o bloco “Interface ADC/FPGA”, portanto, o bloco que recebe diretamente os dados do ADC pode operar

em frequências variadas conforme a Tabela 3.4, essa é a forma utilizada para controlar a frequência com que o sinal de entrada será amostrado.

3.1.2.4.3 Bloco Seleção do Clock

O bloco “Seleção do Clock” apresenta duas entradas, a primeira é o sinal de *clock* vindo do bloco “Divisor de Clock”. A segunda é um sinal de configuração, que contém duas informações:

- Bit 0 (considerando-se palavra de 9 bits, conforme Tabela 3.3): Esse é o bit que informa se o sistema está em processo de escrita das FIFOs.
- Bit 3 (considerando-se palavra de 9 bits, conforme Tabela 3.3) A segunda informação, só será utilizada se o bloco estiver em modo de escrita, é um sinal que simula um *clock*, mas de forma manual.

O bloco funciona da seguinte forma, se o sistema estiver em processo de escrita nas FIFOs, o sinal de saída do bloco será o *clock* de entrada (vindo do bloco “Divisor de Clock”), dessa forma, durante a escrita de dados, o bloco “Interface ADC/FPGA” e os blocos das FIFOs estarão operando na mesma frequência. Caso o sistema esteja em processo de leitura dos dados das FIFOs, a saída do bloco será o sinal de *clock* manual. Dessa maneira, os dados serão retirados das FIFOs na frequência que esse *clock* manual estiver operando, garantindo ao sistema total segurança para retirar e salvar devidamente os dados das FIFOs, sem correr o risco de perda de informação.

3.1.2.5 Programmable System – PS

Esse é o bloco que faz a conexão entre os lados PS e PL do sistema. É responsável por enviar, através de um *software* desenvolvido em linguagem C (e rodando no lado PS), os sinais de comando para o circuito em FPGA, e por receber como entrada os dados dos blocos FIFOs e os dados dos estados das FIFOs (sinais *full*, *half_full*, *data_present*). Os dados recebidos são interpretados pelo software em C, que será responsável por salvar os dados das FIFOs em memória, e, também, por tomar decisões conforme os sinais de estados das FIFOs.

Utilizando-se o *block design* do *software* Vivado, desenvolveu-se o circuito da Figura 3.27. O bloco apresenta duas GPIOs. A GPIO “gpio_ADC_data_ch1_ch2” apresenta dois canais de entrada de 32 bits cada, e é utilizada para receber os dados

das FIFOs. A outra GPIO, denominada “gpio_configuracoes_status”, apresenta, no primeiro canal, uma saída de 9 bits, que é utilizada para enviar o sinal de configuração aos blocos do FPGA, o outro canal é uma entrada de 4 bits, que é utilizada para receber os sinais dos estados das FIFOs.

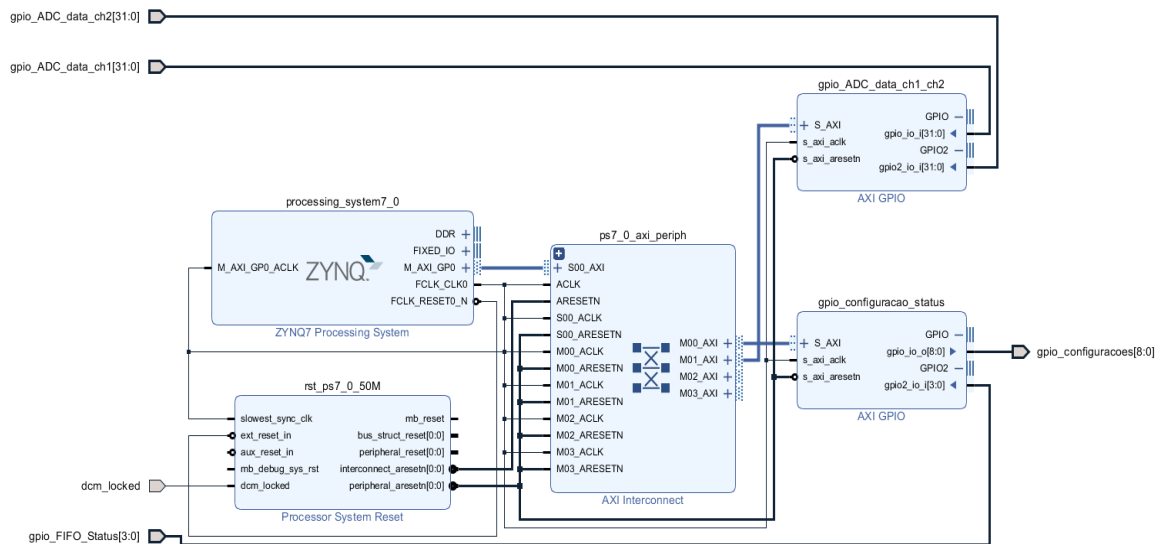


Figura 3.27 - Bloco Programmable System.
Fonte: Autor.

O acesso aos GPIOs será feito através de um mapeamento de memória no *software* desenvolvido em C através dos endereços definidos no *software* Vivado, como mostra a Figura 3.28.

Cell	Slave Interface	Base Name	Offset Address	Range	High Address
processing_system7_0					
Data (32 address bits : 0x40000000 [1G])					
gpio_ADC_data_ch...	S_AXI	Reg	0x4121_0000	64K	0x4121_FFFF
gpio_configuracao...	S_AXI	Reg	0x4122_0000	64K	0x4122_FFFF

Figura 3.28 - Endereços dos GPIOs para sistema de aquisições.
Fonte: Autor.

É importante salientar que, conforme Xilinx (2016c), o segundo canal da GPIO é sempre acessado 8 posições acima da definida. Portanto, o canal 1 da GPIO “gpio_ADC_data_ch1_ch2” será acessado em 0x4121_0000, e, o segundo canal, será acessado em 0x4121_0008. Para o GPIO “gpio_configuracoes_status”, a ideia é a mesma, para acessar o primeiro canal, utiliza-se o endereço 0x4122_0000, para acesso ao segundo canal, utiliza-se o endereço 0x4122_0008.

3.1.2.6 Circuito RTL do sistema

O circuito RTL do sistema final de aquisição de sinais é apresentado, de forma dividida, na Figura 3.29 e na Figura 3.30. As letras “a”, “b”, “c”, “d”, “e”, “f”, “g”, “h”, determinam os pontos de conexão entre as duas figuras. O circuito já incorpora todos os blocos comentados anteriormente e já está em seu estado final de desenvolvimento.

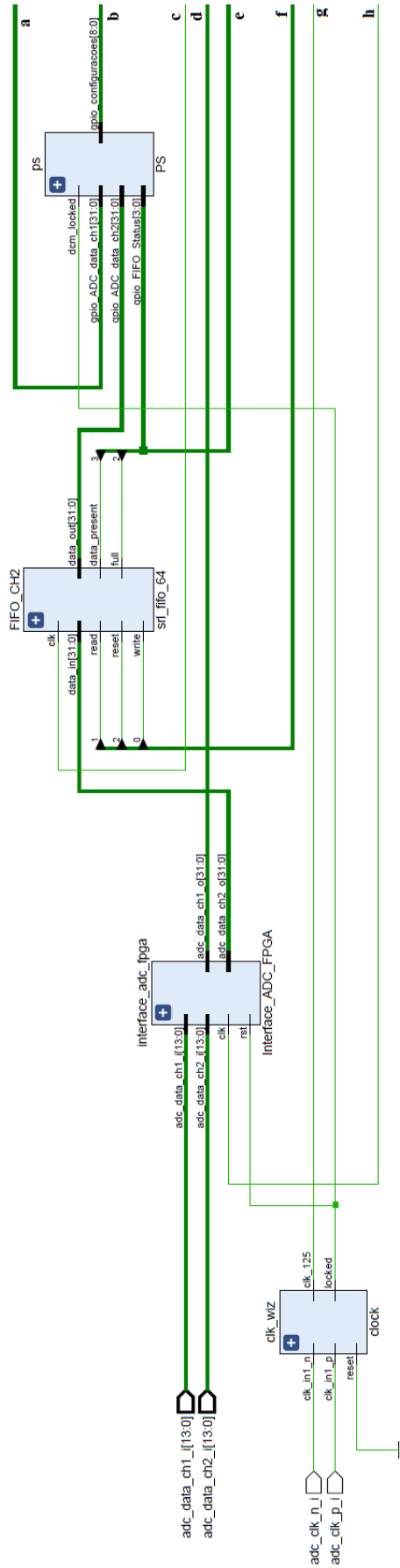


Figura 3.29 - Sistema de aquisição de sinais – parte 1.
Fonte: Autor.

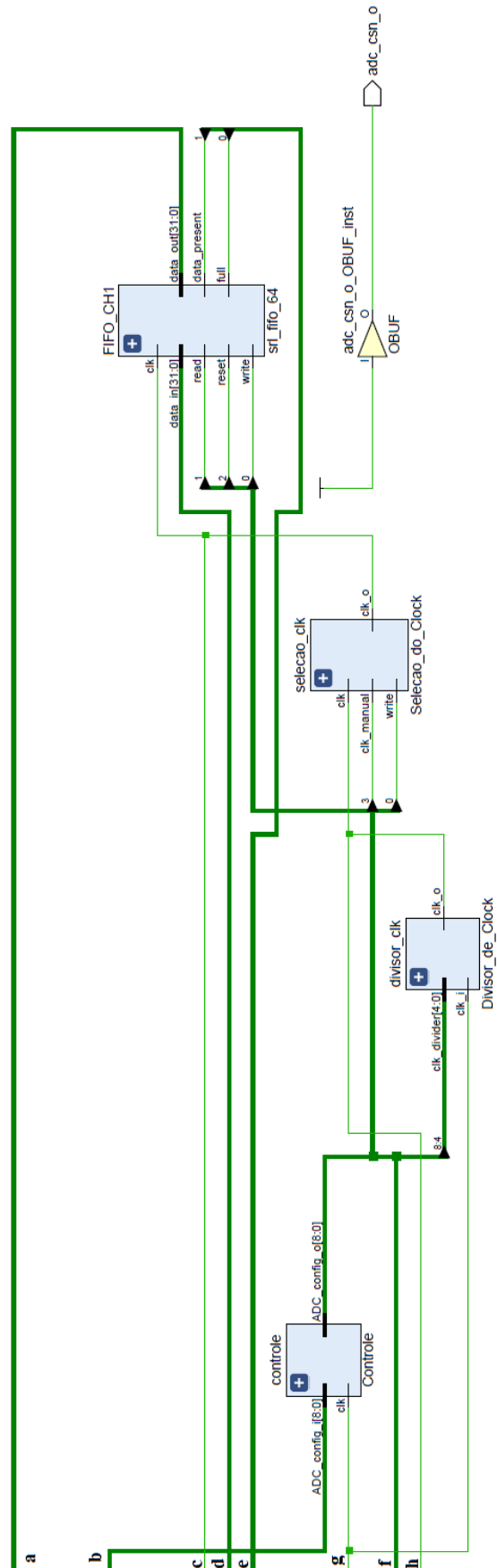


Figura 3.30 - Sistema de aquisição de sinais – parte 2.
Fonte: Autor.

3.1.2.7 Resultados experimentais com o circuito de aquisição de sinais

Para a realização dos testes do circuito de aquisição, utilizou-se o gerador de sinais Minipa MFG-4210B certificado e calibrado. O gerador foi utilizado para a geração e aplicação de diversos sinais senoidais nos dois canais de entrada da plataforma STEMLab. Utilizou-se sinais de 1KHz até a frequência máxima de geração do gerador, que é de 10MHz, para a verificação do sistema desenvolvido.

Foi desenvolvido um *software* em linguagem C para rodar no Linux embarcado presente na placa, esse *software* funciona como um servidor que recebe comandos de um cliente remoto, e troca dados com o FPGA através de um mapeamento de memória. Esse programa será explicado em seções futuras.

Também foi desenvolvido, em Matlab, um *software* do cliente, responsável por enviar os comandos de configurações e controle ao servidor. O *software* em Matlab não é o programa final utilizado no projeto, ele apenas foi desenvolvido como uma primeira abordagem de *software* para o cliente. O programa final utilizado no projeto foi desenvolvido em C#, e é descrito em seções futuras.

A seguir, são apresentados os resultados obtidos da aquisição de sinais com o sistema desenvolvido.

Na Figura 3.31, o gerador de sinais foi configurado para a geração de um sinal de 1KHz com uma amplitude de 1V de pico a pico. A frequência de amostragem utilizada foi de 30517Hz, portanto, cerca de 30 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0.9V.

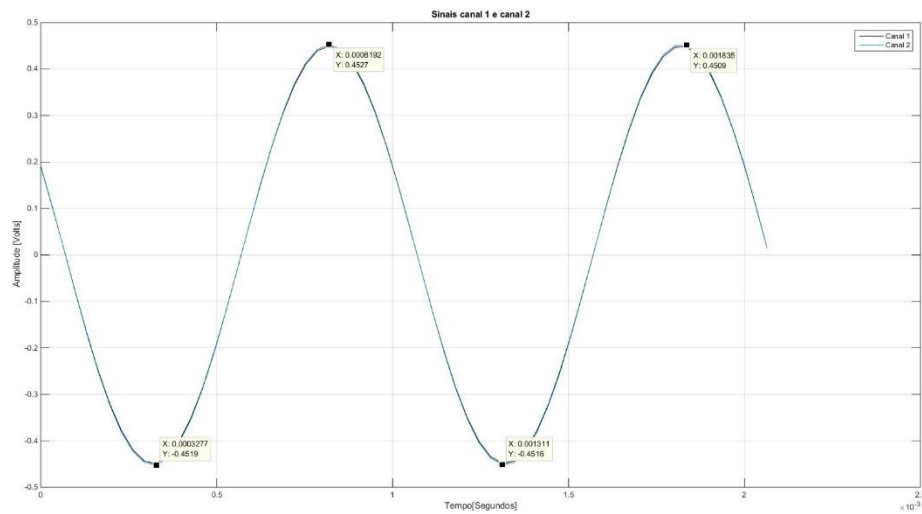


Figura 3.31 - Aquisição de sinal de 1KHz com frequência de amostragem de 30517Hz.
Fonte: Autor.

Na Figura 3.32, o gerador de sinais foi configurado para a geração de um sinal de 10KHz com uma amplitude de 1V de pico a pico. A frequência de amostragem utilizada foi de 244140Hz, portanto, cerca de 24 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0.9V.

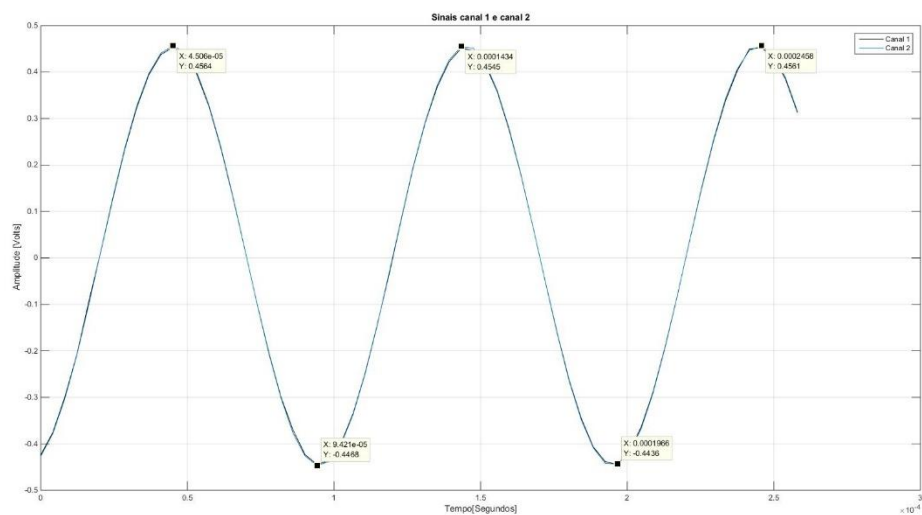


Figura 3.32 - Aquisição de sinal de 10KHz com frequência de amostragem de 244140Hz.
Fonte: Autor.

Na Figura 3.33, o gerador de sinais foi configurado para a geração de um sinal de 100KHz com uma amplitude de 1V de pico a pico. A frequência de amostragem utilizada foi de 3906250Hz, portanto, cerca de 39 pontos foram obtidos por ciclo do

senal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,9V.

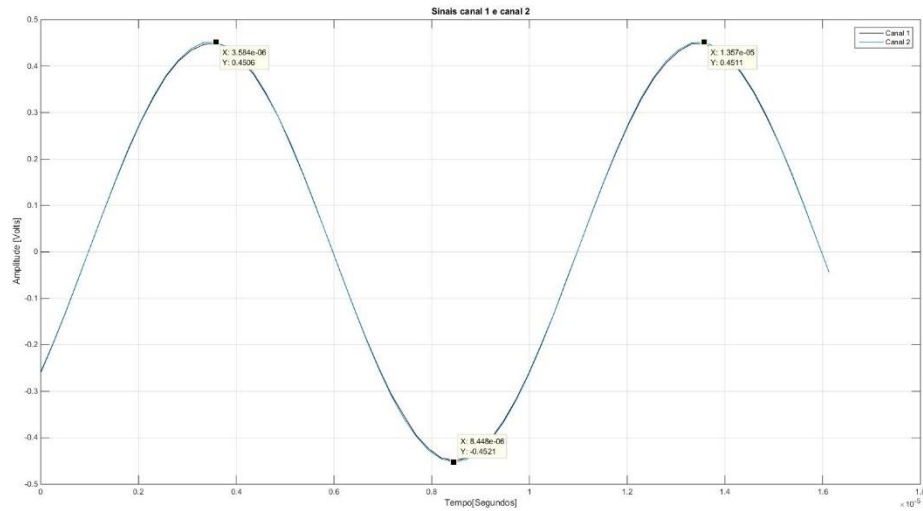


Figura 3.33 - Aquisição de sinal de 100kHz com frequência de amostragem de 3906250Hz.
Fonte: Autor.

Na Figura 3.34, o gerador de sinais foi configurado para a geração de um sinal de 500kHz com uma amplitude de 1V de pico a pico. A frequência de amostragem utilizada foi de 15625000Hz, portanto, cerca de 31 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,9V.

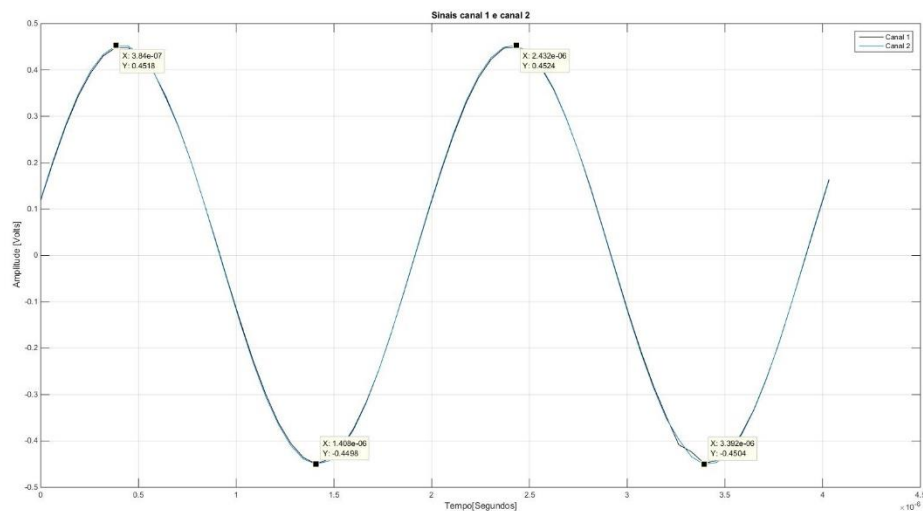


Figura 3.34 - Aquisição de sinal de 500kHz com frequência de amostragem de 15625000.
Fonte: Autor.

Na Figura 3.35, o gerador de sinais foi configurado para a geração de um sinal de 1MHz com uma amplitude de 1V de pico a pico. A frequência de amostragem utilizada foi de 31,25MHz, portanto, cerca de 31 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,9V.

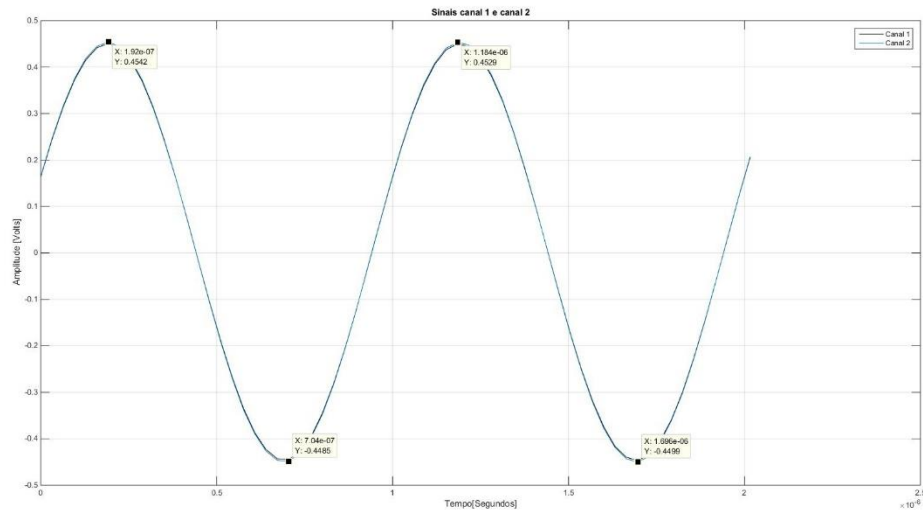


Figura 3.35 - Aquisição de sinal de 1MHz com frequência de amostragem de 31,25MHz.
Fonte: Autor.

Na Figura 3.36, o gerador de sinais foi configurado para a geração de um sinal de 2MHz com uma amplitude de 1V de pico a pico. A frequência de amostragem utilizada foi de 62,5MHz, portanto, cerca de 31 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,9V.

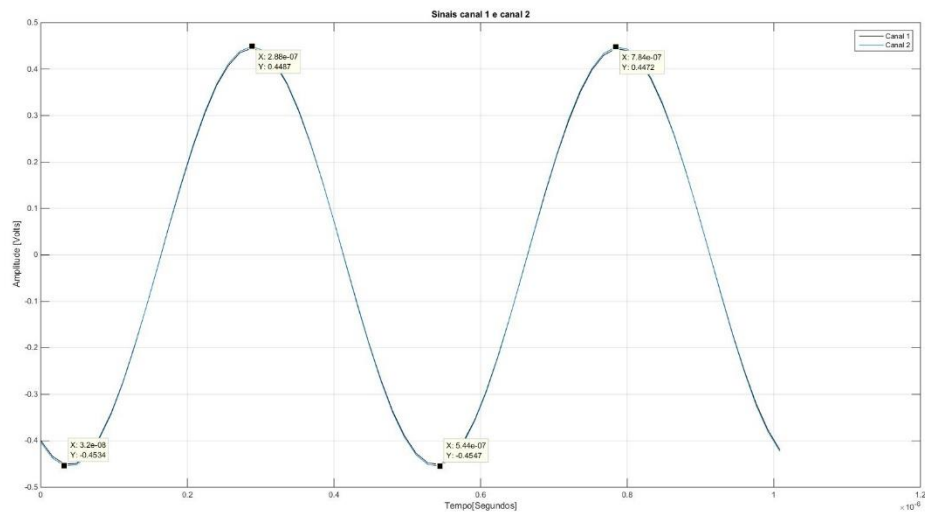


Figura 3.36 - Aquisição de sinal de 2MHz com frequência de amostragem de 62,5MHz.
Fonte: Autor.

Na Figura 3.37, o gerador de sinais foi configurado para a geração de um sinal de 5MHz com uma amplitude de 1V de pico a pico. A frequência de amostragem utilizada foi de 125MHz, portanto, cerca de 25 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,9V.

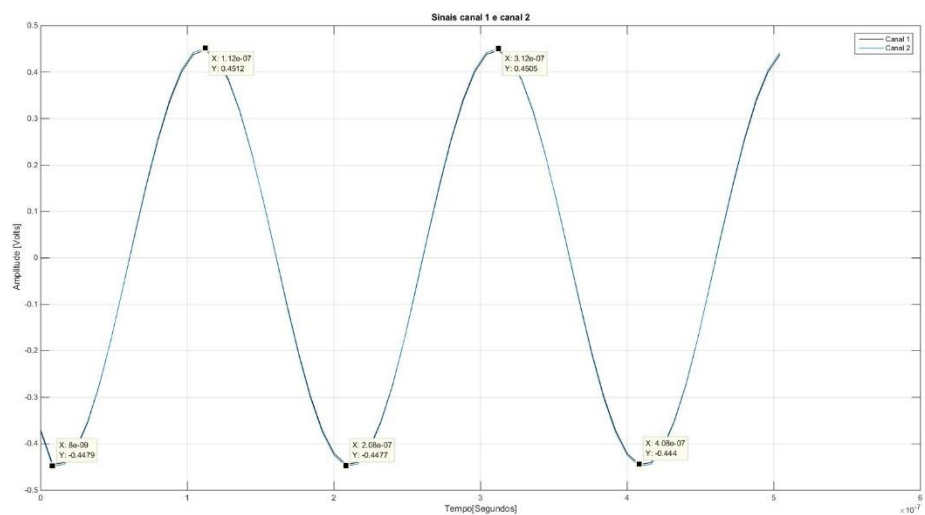


Figura 3.37 - Aquisição de sinal de 5MHz com frequência de amostragem de 125MHz.
Fonte: Autor.

Na Figura 3.38, o gerador de sinais foi configurado para a geração de um sinal de 10MHz com uma amplitude de 1V de pico a pico. A frequência de amostragem utilizada foi de 125MHz, portanto, cerca de 12 pontos foram obtidos por ciclo do sinal.

Observa-se que os valores de pico a pico encontrados variaram entre, aproximadamente, 0,87 e 0,89, portanto, bem próximo dos últimos valores encontrados de 0,9V.

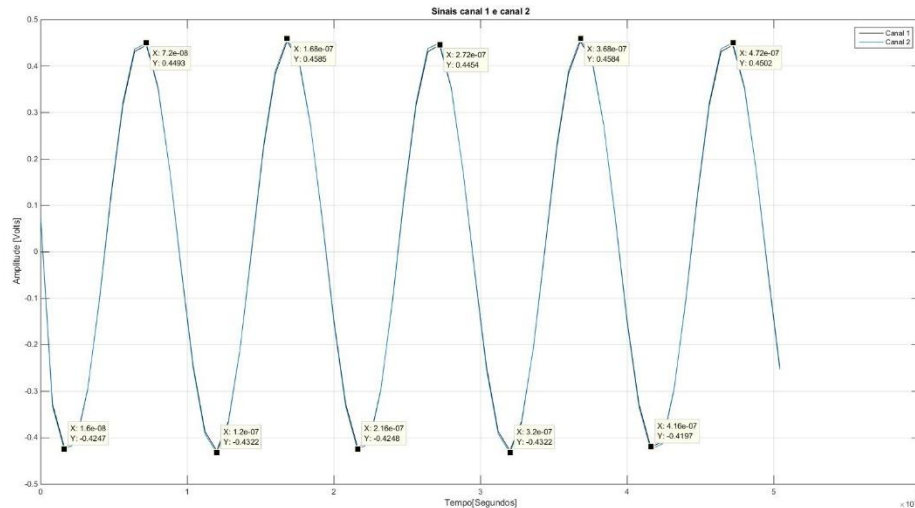


Figura 3.38 - Aquisição de sinal de 10MHz com frequência de amostragem de 125MHz.
Fonte: Autor.

Os experimentos apresentaram ótimos resultados, o sistema respondeu bem até mesmo para o sinal de entrada máximo de 10MHz, apenas apresentando, para este último caso, uma menor resolução, visto que foram obtidos cerca de 12 pontos por ciclo. Como o sistema de geração opera com sinais de até 1MHz, o sistema de aquisição não apresentará nenhuma limitação para esta aplicação. Observa-se, também, que a amplitude dos sinais se manteve em torno de 0,9V de pico a pico, mesmo o sinal de entrada sendo 1V de pico a pico. Essa pequena diferença já é esperada, visto as perdas nos cabos utilizados, e, também, no circuito interno da própria placa. Como será demonstrado em seções futuras, essa pequena diferença não afetará o resultado final do sistema desenvolvido.

3.1.3 Sistema de Geração e Aquisição de sinais

Com os sistemas de geração e de aquisição de sinais desenvolvidos separadamente, a ideia agora é juntar esses dois projetos em um só, permitindo, assim, a geração e aquisição de sinais em um mesmo circuito. A Figura 3.39 apresenta o diagrama de blocos do sistema de geração e aquisição de sinais.

Observa-se que, para não poluir a figura, não são representadas as ligações diretas entre o bloco de *clock* (presente no canto superior esquerdo da figura) e os demais blocos do circuito.

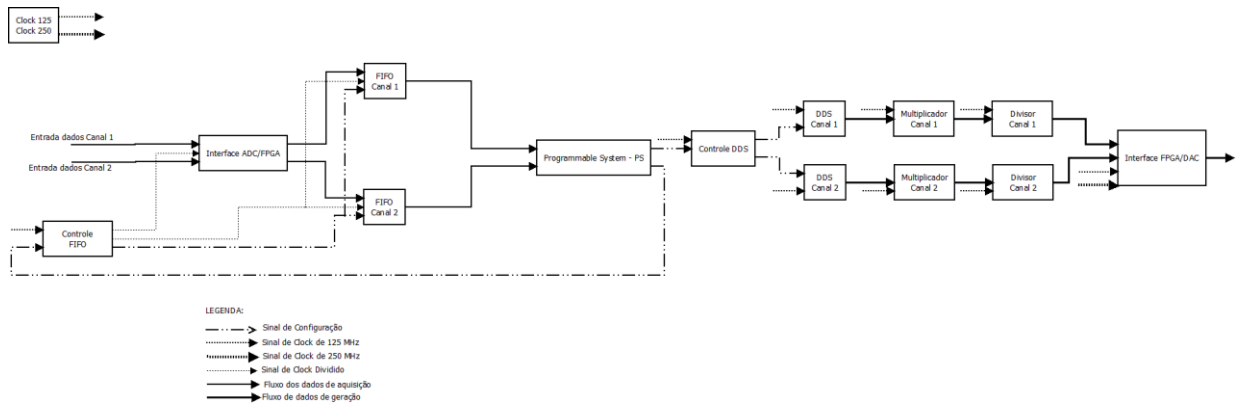


Figura 3.39 - Diagrama sistema de geração e aquisição de sinais.
Fonte: Autor.

O sistema funciona exatamente da mesma forma que os dois sistemas já explicados anteriormente. Na região à esquerda do bloco “Programmable System – PS” estão os componentes responsáveis pelas aquisições dos sinais. Na região direita do mesmo bloco, estão os componentes responsáveis pela geração dos sinais.

O único bloco que sofreu alteração dos sistemas anteriormente apresentados foi o bloco “Programmable System – PS”. Ele ainda continua sendo um bloco de configurações, porém, agora, com a função integrada de configurar tanto o sistema de geração quanto o sistema de aquisição. A Figura 3.40 apresenta o circuito elaborado para esse bloco através da ferramenta *block design* do software Vivado.

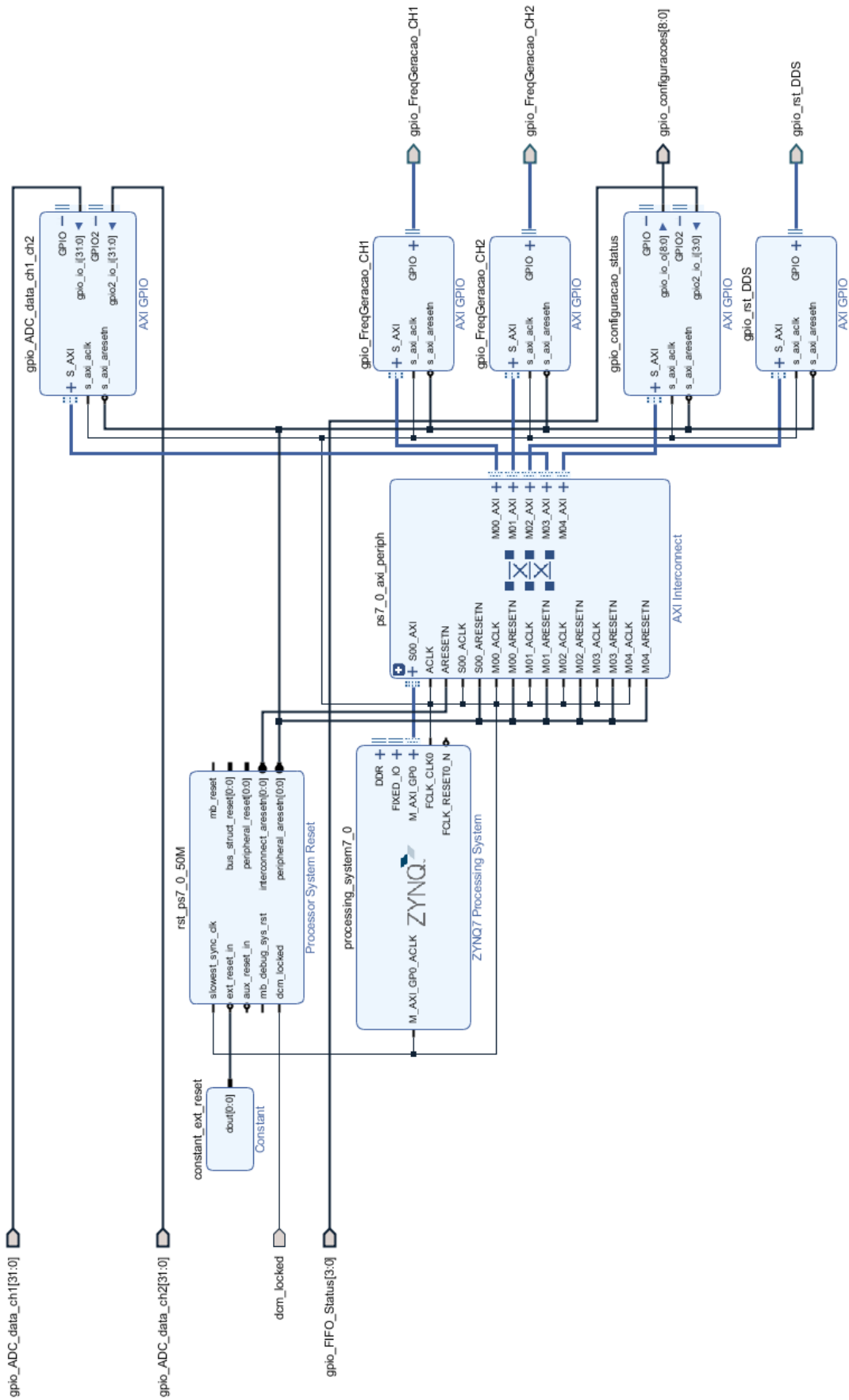


Figura 3.40 - Bloco Programmable System.
Fonte: Autor.

Observa-se na figura anterior que os blocos e portas utilizados nos dois projetos anteriores são os mesmos, porém, agora, estão sendo utilizados de forma conjunta em um mesmo projeto.

Os endereços utilizados são apresentados na Figura 3.41 a seguir. Observa-se, também, que os endereços utilizados nos dois sistemas anteriormente apresentados foram mantidos.

Cell	Slave Interface	Base Name	Offset Address	Range	High Address
processing_system7_0					
Data (32 address bits : 0x40000000 [1G])					
gpio_ADC_data_ch1_ch2	S_AXI	Reg	0x4121_0000	64K	0x4121_FFFF
gpio_FreqGeracao_CH1	S_AXI	Reg	0x4120_0000	64K	0x4120_FFFF
gpio_FreqGeracao_CH2	S_AXI	Reg	0x4126_0000	64K	0x4126_FFFF
gpio_configuracao_status	S_AXI	Reg	0x4122_0000	64K	0x4122_FFFF
gpio_rst_DDS	S_AXI	Reg	0x4127_0000	64K	0x4127_FFFF

Figura 3.41 - Endereços sistema de geração e aquisição.
Fonte: Autor.

3.1.3.1 Circuito RTL do sistema de geração e aquisição de sinais

O circuito RTL é apresentado em três figuras, são elas: Figura 3.42, Figura 3.43 e Figura 3.44. As letras “a”, “b”, “c”, “d”, “e”, “f”, “g”, “h”, “i”, “j”, “k”, “l”, “m”, “n”, determinam os pontos de conexão entre as duas figuras.

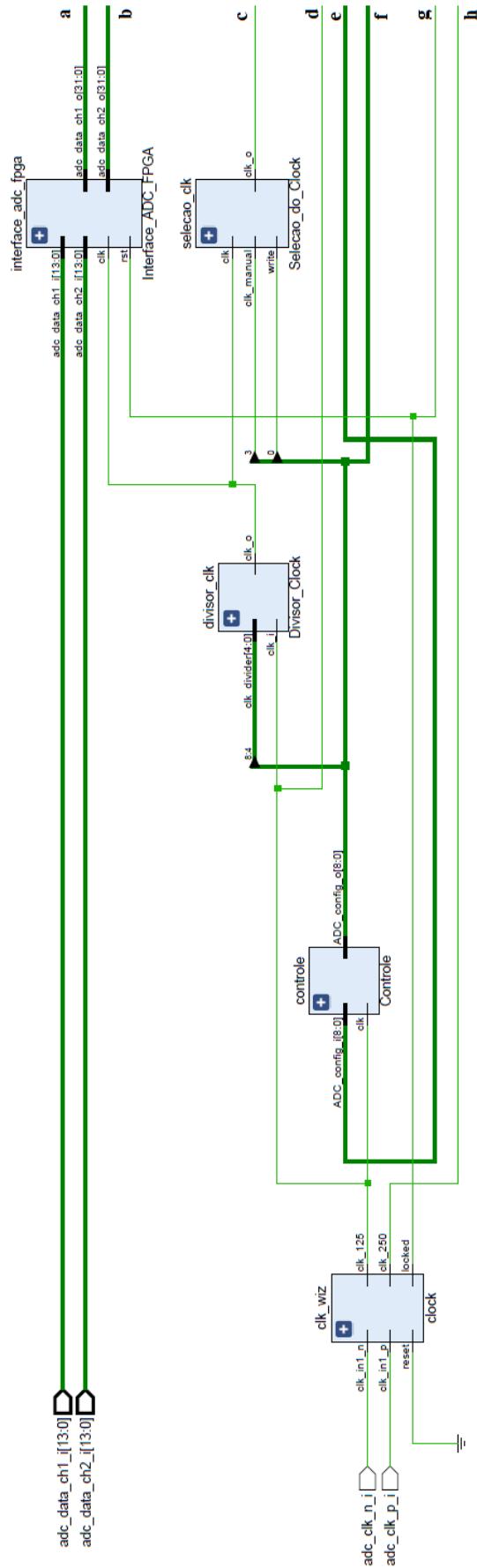


Figura 3.42 - Circuito RTL sistema de geração e aquisição de sinais – parte 1.
Fonte: Autor.

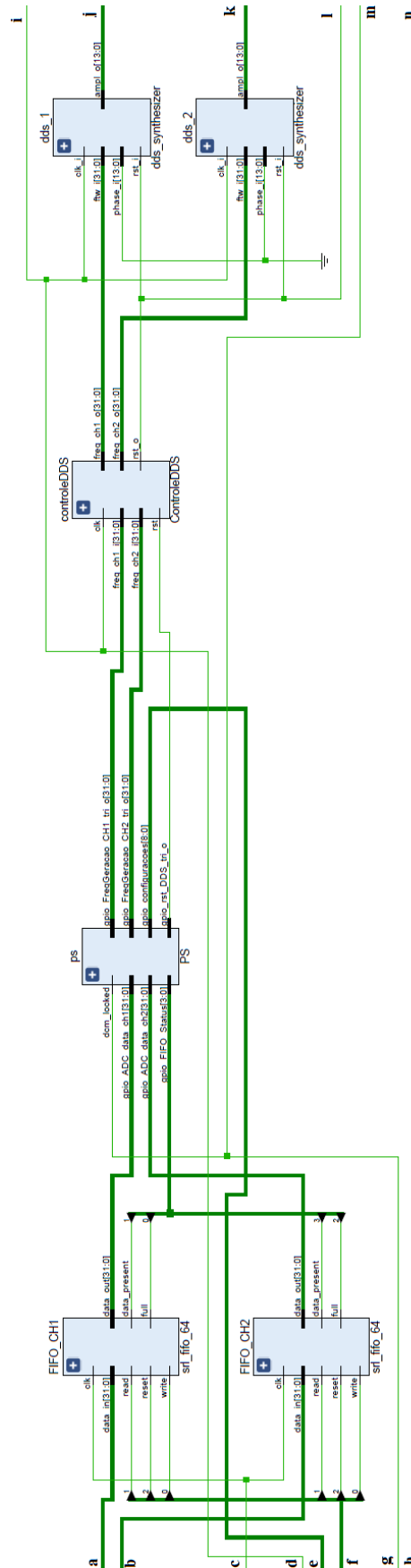


Figura 3.43 - Circuito RTL sistema de geração e aquisição de sinais – parte 2.
Fonte: Autor.

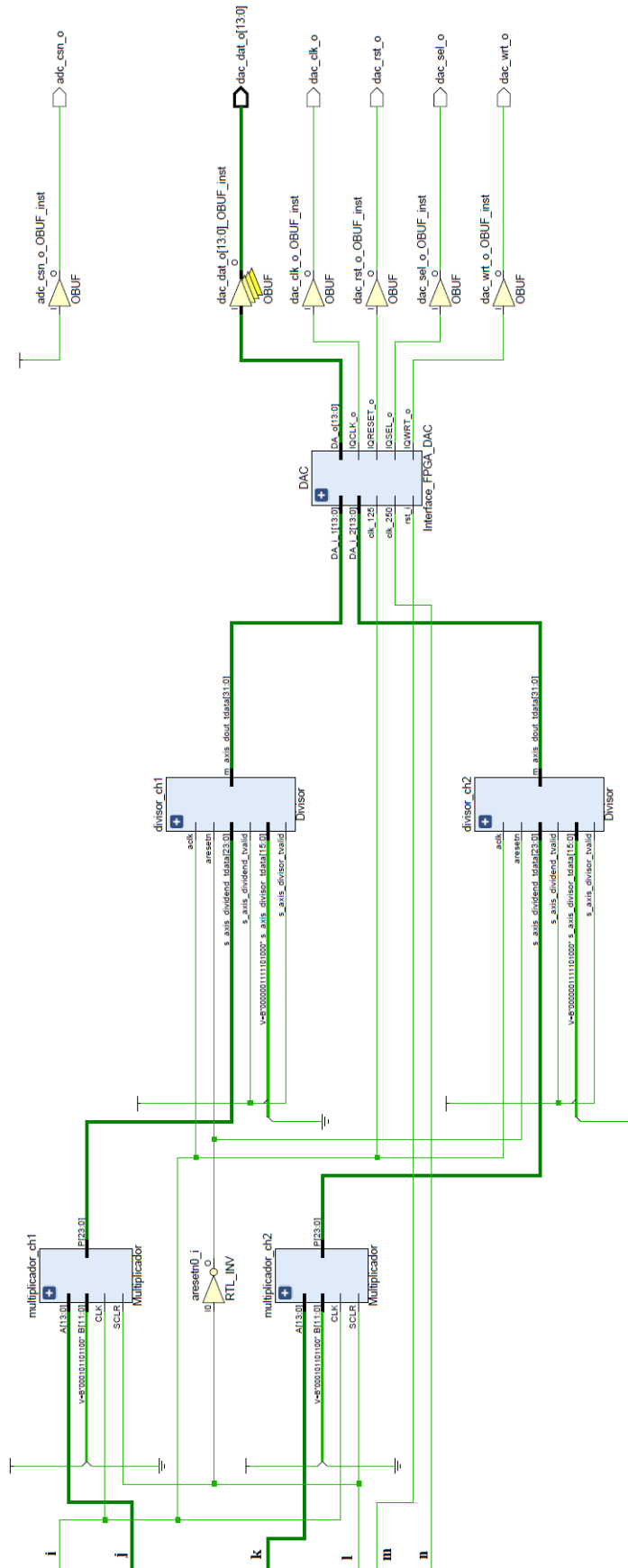


Figura 3.44 - Circuito RTL sistema de geração e aquisição de sinais – parte 3.
Fonte: Autor.

3.1.3.2 Resultados experimentais com o circuito de geração e aquisição de sinais

Para certificar o correto funcionamento do sistema, utilizou-se o próprio sistema para a geração e aquisição dos sinais. Os resultados são apresentados na sequência.

Como *software* do servidor, foi utilizado o programa já mencionado anteriormente (seção 3.1.2.7), desenvolvido em linguagem C. O funcionamento do programa do servidor é comentado em seções futuras. Como *software* do cliente, utilizou-se o programa também já mencionado na seção 3.1.2.7, desenvolvido em Matlab. É importante ressaltar que, o *software* final do cliente, que calcula e constrói os espectros de impedância, foi desenvolvido na linguagem C# e será comentado em seções futuras. Nesta seção, utiliza-se um *software* do cliente desenvolvido em Matlab apenas pela facilidade que o Matlab oferece na manipulação dos gráficos, o que facilita a visualização dos sinais de aquisição.

Na Figura 3.45, o gerador de sinais foi configurado para a geração de um sinal de 1KHz com uma amplitude de 0,8V de pico a pico. A frequência de amostragem utilizada foi de 30517Hz, portanto, cerca de 30 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,68V.

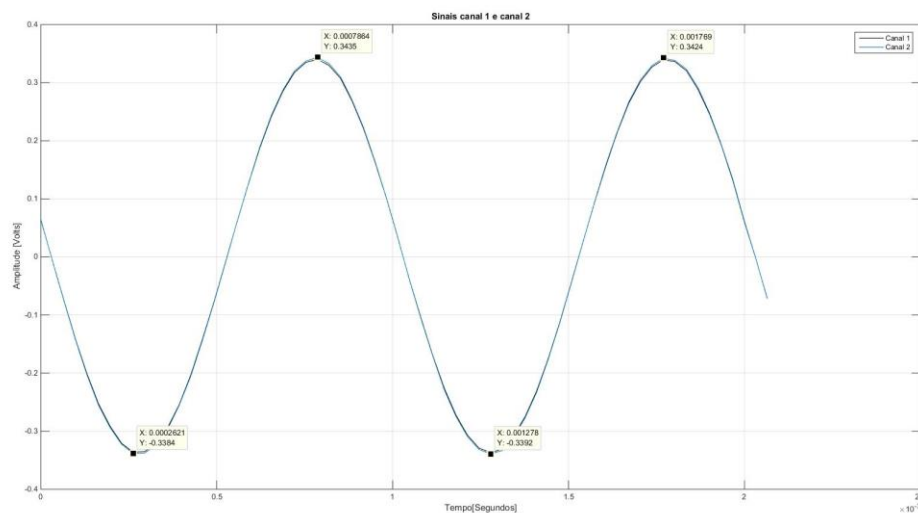


Figura 3.45 - Aquisição de sinal de 1KHz com frequência de amostragem de 30517Hz.
Fonte: Autor.

Na Figura 3.46, o gerador de sinais foi configurado para a geração de um sinal de 10KHz com uma amplitude de 0,8V de pico a pico. A frequência de amostragem

utilizada foi de 244140Hz, portanto, cerca de 24 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,68V.

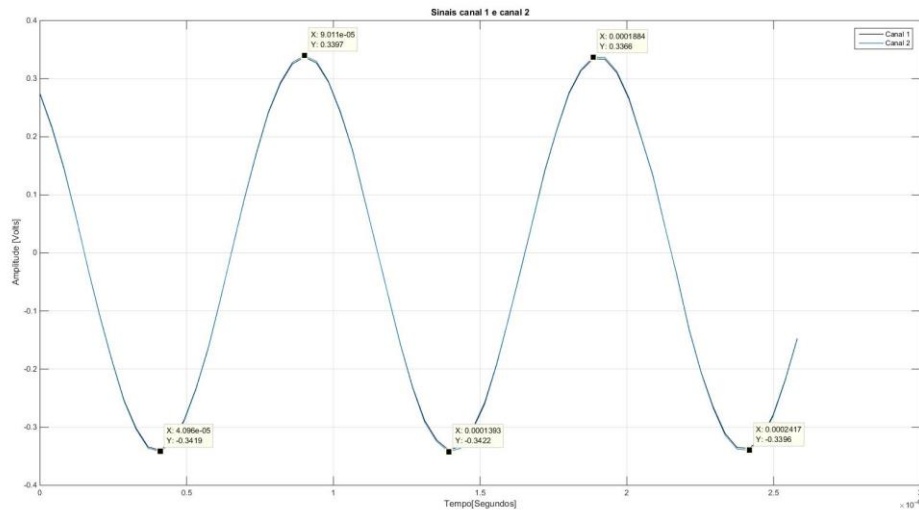


Figura 3.46 - Aquisição de sinal de 10KHz com frequência de amostragem de 244140Hz.
Fonte: Autor.

Na Figura 3.47, o gerador de sinais foi configurado para a geração de um sinal de 100KHz com uma amplitude de 0,8V de pico a pico. A frequência de amostragem utilizada foi de 3906250Hz, portanto, cerca de 39 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,68V.

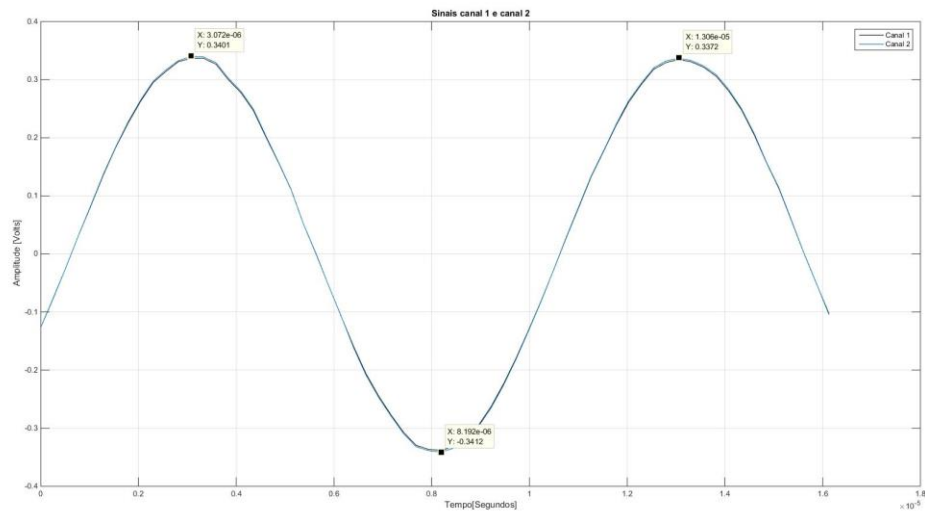


Figura 3.47 - Aquisição de sinal de 100KHz com frequência de amostragem de 3906250Hz.
Fonte: Autor.

Na Figura 3.48, o gerador de sinais foi configurado para a geração de um sinal de 500KHz com uma amplitude de 0,8V de pico a pico. A frequência de amostragem utilizada foi de 15625000Hz, portanto, cerca de 31 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,68V.

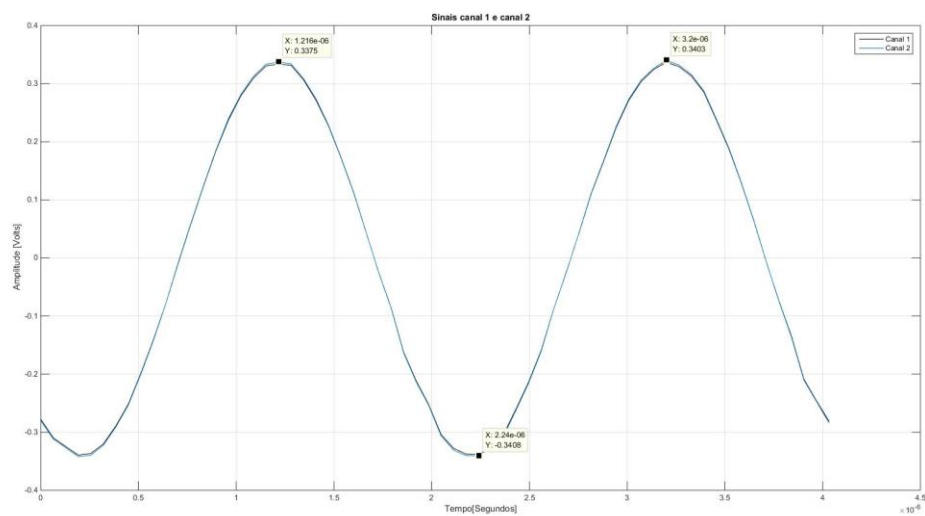


Figura 3.48 - Aquisição de sinal de 500KHz com frequência de amostragem de 15625000Hz.
Fonte: Autor.

Na Figura 3.49, o gerador de sinais foi configurado para a geração de um sinal de 1MHz com uma amplitude de 0,8V de pico a pico. A frequência de amostragem utilizada foi de 31250000Hz, portanto, cerca de 31 pontos foram obtidos por ciclo do sinal. Observa-se que o valor de pico a pico encontrado pelo sistema de aquisições foi de, aproximadamente, 0,68V.

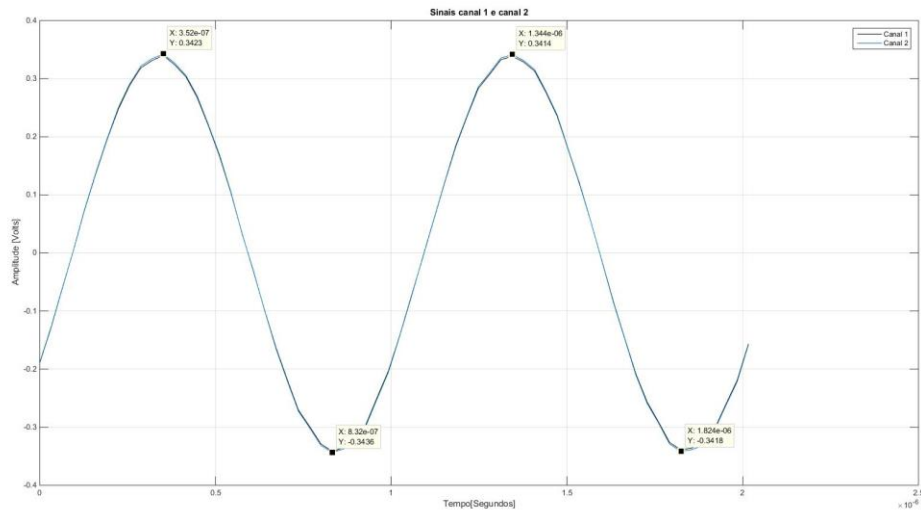


Figura 3.49 - Aquisição de sinal de 1MHz com frequência de amostragem de 31250000Hz.
Fonte: Autor.

Como pode ser observado, o sistema apresentou ótimos resultados para a geração e aquisição dos sinais. As frequências definidas pelo sistema de geração correspondem corretamente às frequências obtidas pelo sistema de aquisição.

Em todos os sinais apresentados, verifica-se que o valor da tensão de pico a pico manteve-se em torno de 0,68V, apesar de estar definido o valor de 0,8V de pico a pico. Essa diferença já é esperada, visto que, como observado em 3.1.1, os sinais de saída não são exatamente 0,8V, podendo sofrer pequenas alterações. E, também, como observado em 3.1.2, o sistema de aquisição também acarreta perdas devido aos cabos utilizados e ao próprio circuito da placa. Desta forma, o valor de 0,68V de pico a pico é um valor aceitável para a utilização do sistema, e, como será visto no 4, não apresentará alterações para os resultados e conclusões obtidas do experimento.

3.2 DESENVOLVIMENTO DO SOFTWARE

Com todo o sistema de *hardware* desenvolvido, agora é necessário o desenvolvimento de dois *softwares*. O primeiro é o *software* que é executado no Linux embarcado da plataforma STEMLab. Este será o *software* servidor, desenvolvido em C, e é responsável por realizar a troca de dados com o *hardware*, fazendo o gerenciamento do envio de informações de configurações ao FPGA, recebimento de informações de estado do sistema, e salvando os dados de aquisição. O *software* servidor recebe remotamente os comandos de configurações de um cliente conectado à rede. O *software* do cliente é responsável pelo envio de dados de configurações ao servidor. É também nesse *software* que são realizadas as análises gráficas e estatísticas dos sinais, portanto, ele apresenta as ferramentas necessárias para tais análises.

3.2.1 Software do Servidor

O *software* do servidor foi desenvolvido utilizando-se a linguagem de programação C. A estrutura geral do programa é apresentada na Figura 3.50, a seguir. Como já foi mencionado, o objetivo principal do código do servidor é realizar uma “ponte” entre o cliente e o circuito em FPGA, é o servidor que realiza e monitora as atividades no circuito FPGA, com base nas configurações fornecidas pelo cliente.

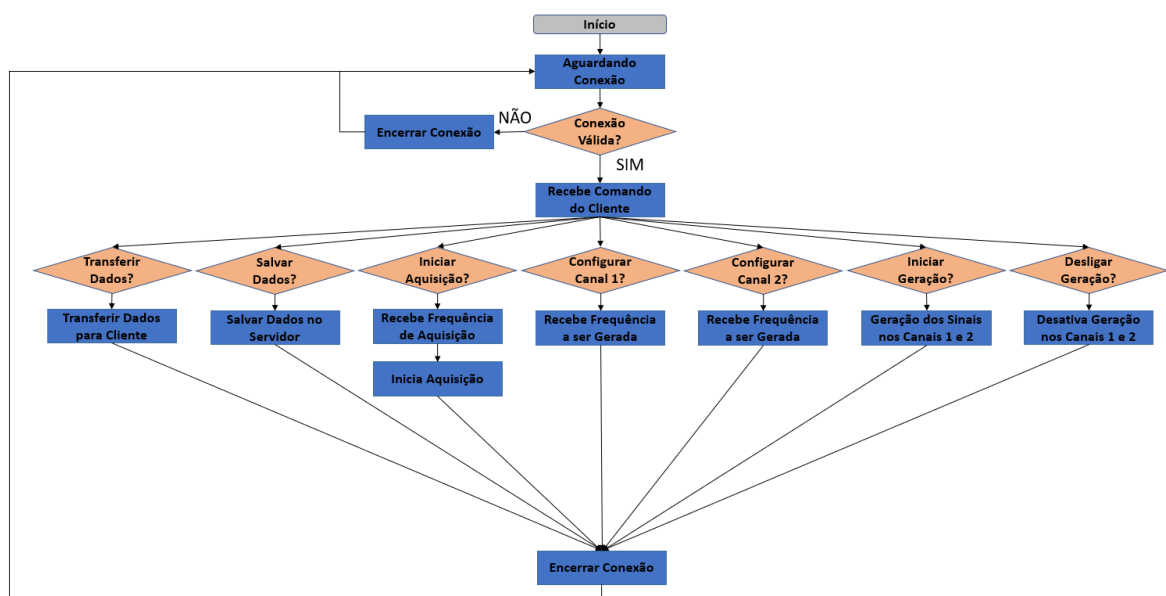


Figura 3.50 - Fluxograma software servidor.
Fonte: Autor.

Como pode ser observado na figura anterior, as etapas de execução do *software* servidor são as seguintes:

- **Início:** Iniciação do *software* Servidor no Linux embarcado na plataforma STEMLab.
- **Aguardando Conexão:** Após a iniciação do programa, ele permanece em um estado de espera, aguardando a conexão de algum cliente para iniciar sua operação.
- **Conexão Válida:** Caso algum cliente se conecte ao servidor, e essa conexão for válida, o servidor passa para a próxima etapa de execução, caso a conexão não seja válida, o servidor retorna ao estado de espera, aguardando uma nova conexão de um cliente.
- **Recebe Comando do Cliente:** Tendo a conexão aceita, o servidor recebe do cliente um comando. Dependendo do comando recebido, o código executa uma determinada tarefa. São 7 opções possíveis de comandos, são eles:
 - **Configurar Canal 1:** Comando para configurar a frequência de geração do sinal no canal 1. O valor da frequência é enviado ao FPGA através de um mapeamento de memória no *software* do servidor.
 - **Configurar Canal 2:** Comando para configurar a frequência de geração do sinal no canal 2. O valor da frequência é enviado ao FPGA através de um mapeamento de memória no *software* do servidor.
 - **Iniciar Geração:** Comando para iniciar a geração dos sinais nos canais 1 e 2. Os sinais são gerados conforme as frequências configuradas.
 - **Desligar Geração:** Comando para interromper a geração de sinais nos canais 1 e 2.
 - **Iniciar Aquisição:** Comando que determina a frequência de amostragem do sistema, e inicia o processo de aquisição de dados nessa frequência. O valor da frequência de amostragem é enviado ao FPGA através de um mapeamento de memória no *software* do servidor.

- Salvar Dados: Comando para salvar os dados de aquisição na memória RAM da placa.
- Transferir Dados: Comando para transferir os dados salvos no servidor para a máquina do cliente.
- Encerrar Conexão: A conexão com o cliente é encerrada, voltado ao estado de espera de uma nova conexão.

Como pode ser observado, o servidor sempre fica aguardando uma conexão e uma palavra de comando para executar uma tarefa, desta forma, a responsabilidade por enviar os comandos na ordem e tempo correto é toda do *software* do cliente. O servidor apenas executa as ordens do cliente.

3.2.2 Software do Cliente

O *software* do cliente foi desenvolvido utilizando-se a linguagem C#. São duas as funções do *software*, a primeira delas é a manipulação do servidor para que o processo de varredura em frequências ocorra corretamente. Para que isso seja possível, é necessário que o programa envie, de forma ordenada, os comandos e dados de configurações ao servidor. A segunda função é fornecer ferramentas para a análise (estatística e visual) dos dados provenientes das aquisições realizadas pelo sistema.

3.2.2.1 Tela de Configurações

Na Figura 3.51 é apresentada a tela configurações do *software* do cliente. É nessa tela que o usuário informa todas as configurações necessárias para a realização das varreduras.

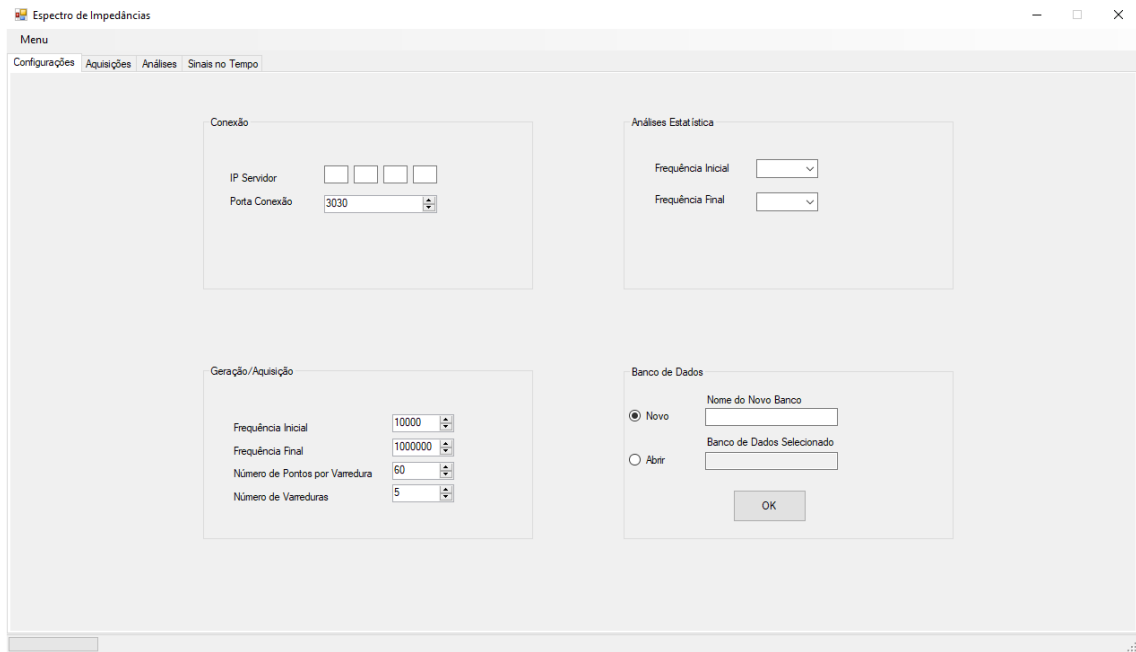


Figura 3.51 - Tela de configurações do software do cliente.
Fonte: Autor.

Nessa tela, é possível observar quatro principais grupos de campos de informações, são eles:

- **Conexão:** Apresenta campos responsáveis pela conexão do cliente com o servidor.
 - IP Servidor: Ip em que será realizada a conexão com o servidor.
 - Porta Conexão: Porta que será realizada a conexão com o servidor.
- **Geração/Aquisição:** Apresenta os campos responsáveis por definir as configurações de varredura do sistema.
 - Frequência Inicial: Frequência inicial a ser gerada pelo sistema.
 - Frequência Final: Frequência final a ser gerada pelo sistema.
 - Número de Pontos por Varredura: Número de sinais a serem gerados a cada varredura. No caso apresentado na figura, serão gerados 60 sinais, de diferentes frequências, entre a frequência inicial e final. É importante salientar que essas frequências são espaçadas logaritmicamente.
 - Número de Varreduras: Quantidade de vezes que o processo de varredura em frequência será executado.
- **Análise Estatística:** Apresenta os campos responsáveis por definir a faixa de frequência que será considerada para a realização da análise estatística.

- Frequência Inicial: Frequência inicial que será levada em conta para a realização da análise estatística.
- Frequência Final: Frequência final que será levada em conta para a realização da análise estatística.
- Banco de Dados: Apresenta os campos responsáveis por criar ou abrir um banco de dados.
 - Novo/Nome do Novo Banco: Nome do novo banco de dados a ser criado.
 - Abrir/Banco de Dados Selecionado: Opção para abrir um banco de dados já criado.

3.2.2.2 Tela de Aquisições

Na Figura 3.52 a seguir, é apresentada a tela de aquisições do *software* do cliente. Nessa tela, o usuário pode selecionar e visualizar graficamente até 6 grupos de espectros de impedância simultâneos, cada um com uma cor diferente.

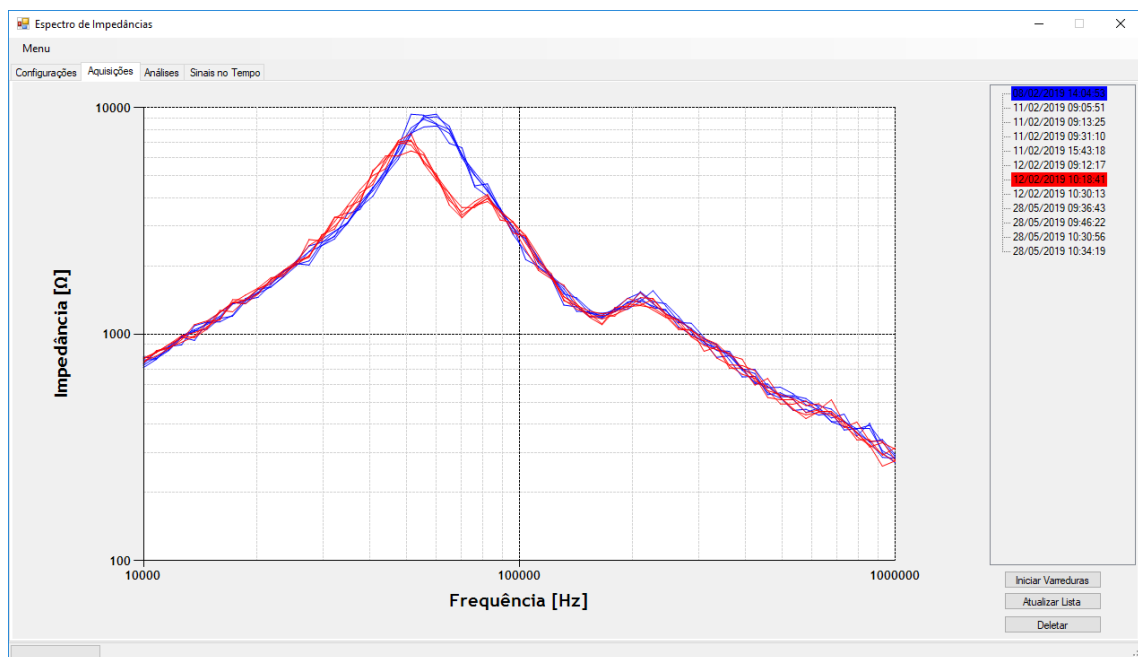


Figura 3.52 - Tela de aquisições do software do cliente.
Fonte: Autor.

Na tela, é possível observar uma área gráfica utilizada para visualização dos espectros, na figura, dois grupos de espectros são apresentados. Ao lado direito, observa-se uma lista selecionável, ordenada por data e hora, de todos os espectros

salvos no banco de dados selecionado, e, também, na parte inferior direita, três botões, são eles:

- Iniciar Varreduras: Inicia o processo de varredura em frequência conforme é apresentado na seção 3.2.2.5.
- Atualizar Lista: Atualiza a lista de espectros salvos.
- Deletar: Deleta os espectros selecionados na lista de espectros.

3.2.2.3 Tela de Análise

Na Figura 3.53 a seguir, é apresentada a tela de análise do *software* do cliente. É nessa tela que o usuário pode visualizar os resultados da análise estatística feita pelo *software*.

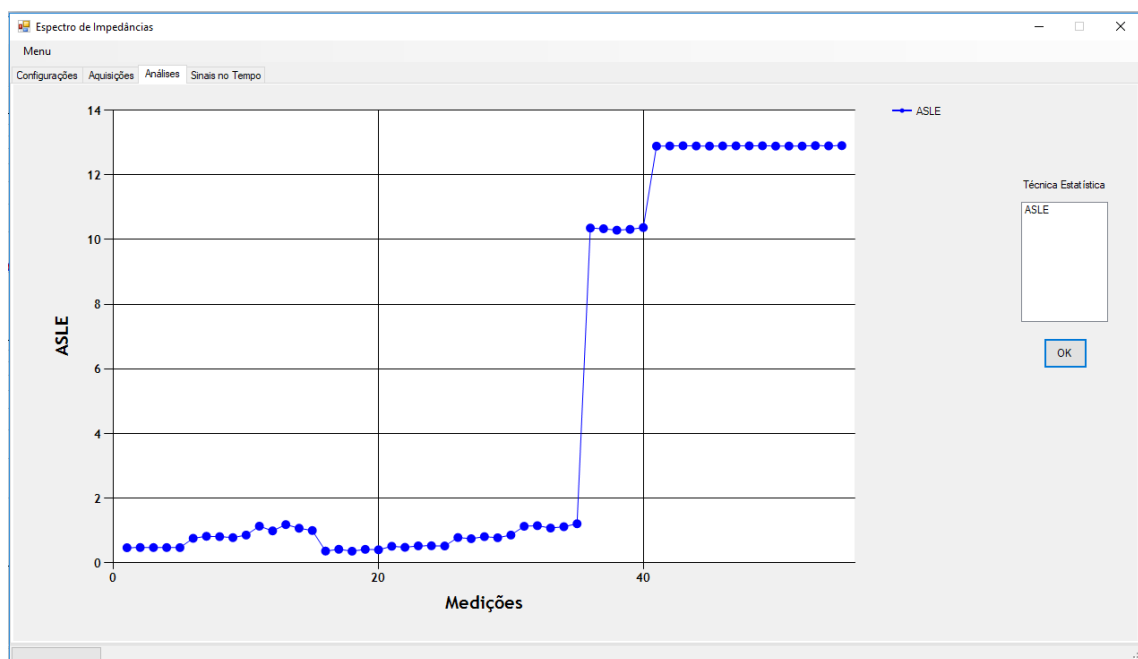


Figura 3.53 - Tela análise do software do cliente.
Fonte: Autor.

Como pode ser observado, existe uma área gráfica para visualização da análise estatística realizada, e, também, um menu lateral para seleção da análise estatística a ser feita. Para esse trabalho, utilizou-se o indicador ASLE.

3.2.2.4 Tela de Sinais no Tempo

Na Figura 3.54 a seguir, é apresentada a tela de sinais no tempo do *software* do cliente. Essa tela permite ao usuário visualizar os sinais de aquisição nos dois canais

presentes na placa. A tela de visualização dos sinais no tempo é uma ferramenta que auxilia o usuário a verificar o correto funcionamento do sistema. Uma eventual falha do sistema de geração e/ou aquisição dos sinais, acarretaria a obtenção de sinais totalmente fora do esperado. Desta forma, a visualização dos sinais no tempo permite que o usuário tenha certeza de que o sistema está funcionando corretamente.

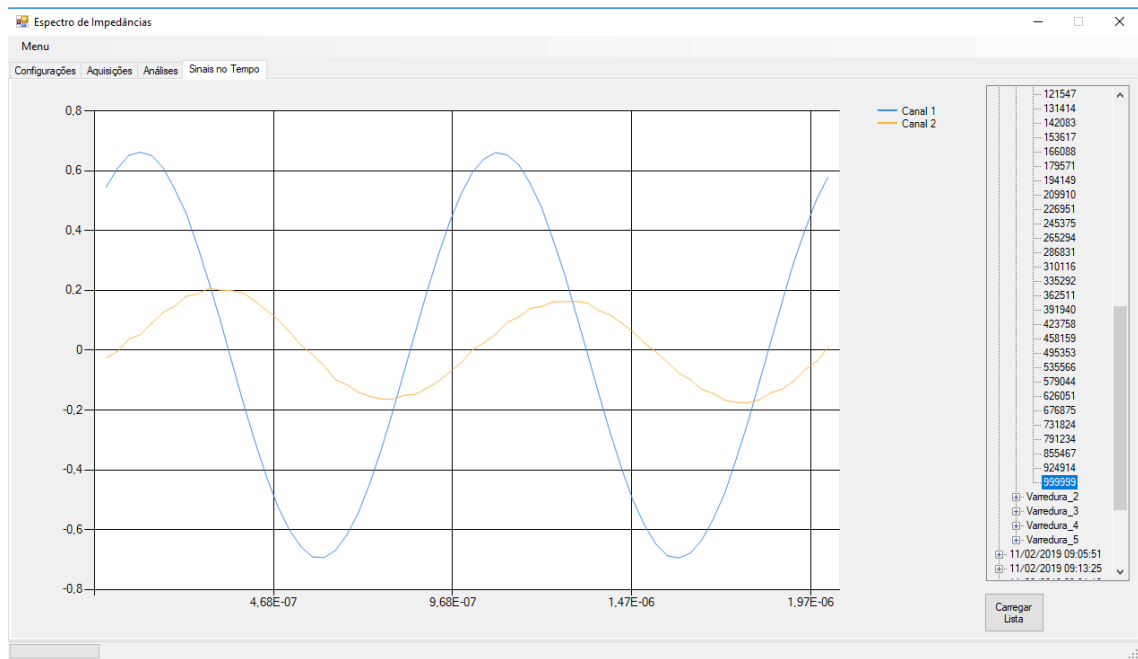


Figura 3.54 - Tela sinais no tempo do software do cliente.
Fonte: Autor.

Como pode ser observado, existe uma área gráfica para visualização dos dois sinais de aquisição, e, também, um menu lateral contendo uma árvore dos dados de aquisição, separados por data, número da varredura, e frequência que foi feita a aquisição.

3.2.2.5 Código de varredura em frequência

Uma das partes principais do *software* do cliente é o código responsável por, através da comunicação com o servidor, realizar a varredura em frequência da impedância de um dispositivo conectado ao sistema, obtendo-se, assim, seu espectro de impedâncias. A estrutura geral do código responsável por essa varredura é apresentada na Figura 3.55. A estrutura é explicada em detalhes logo a seguir, mas, resumidamente, o *software* cliente envia um comando para a geração de um sinal em uma determinada frequência ao servidor, quando o servidor sinalizar que essa

frequência está sendo gerada corretamente, o cliente envia o comando de aquisição de dados ao servidor. Quando o processo de aquisição é finalizado, o sinal é salvo internamente na placa para, em sequência, ser transferido pela rede, do servidor para o cliente. Esse processo é repetido para uma grande faixa de frequências (determinada durante a fase de configuração), realizando-se assim a varredura em frequências. O protocolo de comunicação entre o servidor e o cliente foi baseado no TCP/IP.

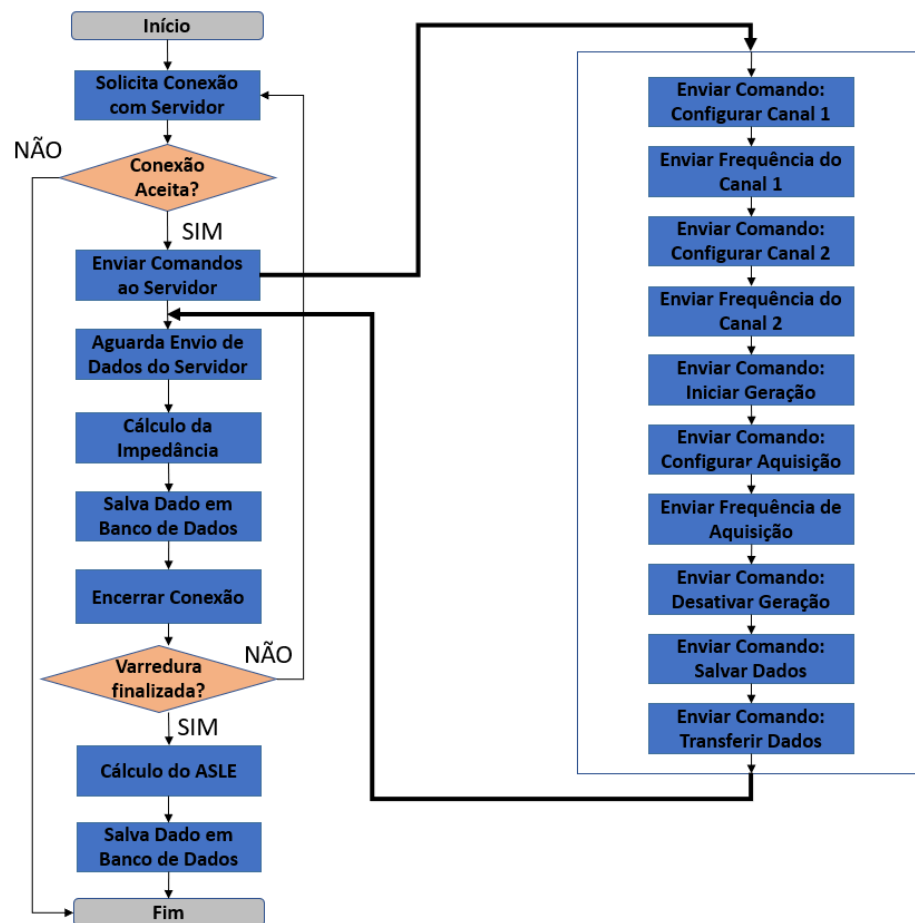


Figura 3.55 - Fluxograma código de varredura em espectro de impedâncias.
Fonte: Autor.

Como pode ser observado na figura anterior, as etapas de execução do *software* cliente são as seguintes:

- Início: Inicialização do código de varredura no *software* cliente, o código inicia sua execução quando o usuário pressionar o botão “Iniciar Varreduras” da tela “Aquisições”.

- Solicita Conexão com o Servidor: É enviada uma solicitação de conexão para o servidor.
- Conexão Aceita: Caso o servidor esteja disponível na rede, a conexão será aceita, e o código passa para a etapa seguinte. Caso o servidor não esteja disponível no momento da solicitação de conexão, o processo de varredura é encerrado.
- Enviar Comandos ao Servidor: Etapa de envio de uma sequência de comandos e configurações ao servidor, é a fase responsável por realizar a varredura em frequências. A sequência de comandos e configurações são as seguintes.
 - Enviar Comando Configurar Canal 1: Envia ao servidor o comando para configurar a frequência do canal 1.
 - Enviar Frequência do Canal 1: Envia a frequência a ser configurada no canal 1.
 - Enviar Comando Configurar Canal 2: Envia ao servidor o comando para configurar a frequência do canal 2.
 - Enviar Frequência do Canal 2: Envia a frequência a ser configurada no canal 2.
 - Enviar Comando Iniciar Geração: Envia ao servidor o comando para que a geração dos sinais nas frequências configuradas seja iniciada.
 - Enviar Comando Configurar Aquisição: Enviar ao servidor comando para configurar a aquisição dos sinais.
 - Enviar Frequência de Aquisição: Enviar a frequência de aquisição definida pelo cliente, e iniciar a aquisição dos sinais.
 - Enviar Comando Desativar Geração: Enviar ao servidor comando para que a geração dos sinais seja encerrada.
 - Enviar Comando Salvar Dados: Enviar ao servidor comando para que os dados obtidos sejam salvos na memória RAM da placa.
 - Enviar Comando Transferir Dados: Enviar comando ao servidor para transferir ao cliente, pela rede, os dados obtidos.
- Aguarda Envio de Dados ao Servidor: O cliente aguarda o envio dos dados de aquisição do servidor.
- Cálculo da Impedância: Com os dados de aquisição, é possível realizar o cálculo da impedância do dispositivo sob teste para uma determinada frequência.

- Salva Dados em Banco de Dados: Os dados de aquisição e de impedância são salvos no banco de dados selecionado.
- Encerra Conexão: A conexão com o servidor é encerrada.
- Varredura Finalizada?: Verifica se a varredura em frequências foi finalizada, caso todo o processo já tenha sido concluído, o programa passa para a etapa seguinte de cálculo do ASLE, caso ainda existam mais operações a serem realizadas, o código retorna para a solicitação de conexão.
- Cálculo do ASLE: Com a obtenção do espectro de impedâncias, é, então, calculado o indicador estatístico ASLE.
- Salva Dados em Banco de Dados: Os dados são salvos no banco de dados selecionado.
- Fim: O processo de varredura em frequência é finalizado.

Como pode ser observado, o *software* do cliente é responsável pelo maior processamento dos dados. O cliente que realiza o controle do processo de obtenção dos espectros de impedâncias, enviando os comandos e configurações ao servidor, que executa as operações. Também, é nele que o processamento gráfico é feito, apresentando nas telas do *software* os resultados das aquisições e análise estatística realizada.

4 RESULTADOS

No presente capítulo, são apresentados os resultados obtidos com a utilização do sistema de análise de espectro de impedâncias desenvolvido. Primeiramente, são apresentados os resultados da utilização do sistema para análise de espectros de impedâncias de circuitos contendo apenas resistores e capacitores. No segundo momento, o sistema é aplicado em dois geradores elétricos, com falhas simuladas em seu isolamento, esses testes visam confirmar a capacidade do sistema de realizar a detecção de danos no isolamento da máquina sob teste.

4.1 CIRCUITO DE MEDIÇÃO

Como comentado em 2.3.1, para a utilização da técnica de FRA, é necessário um circuito de medição. Desta forma, o circuito utilizado para realização das medições é o circuito apresentado na Figura 4.1.

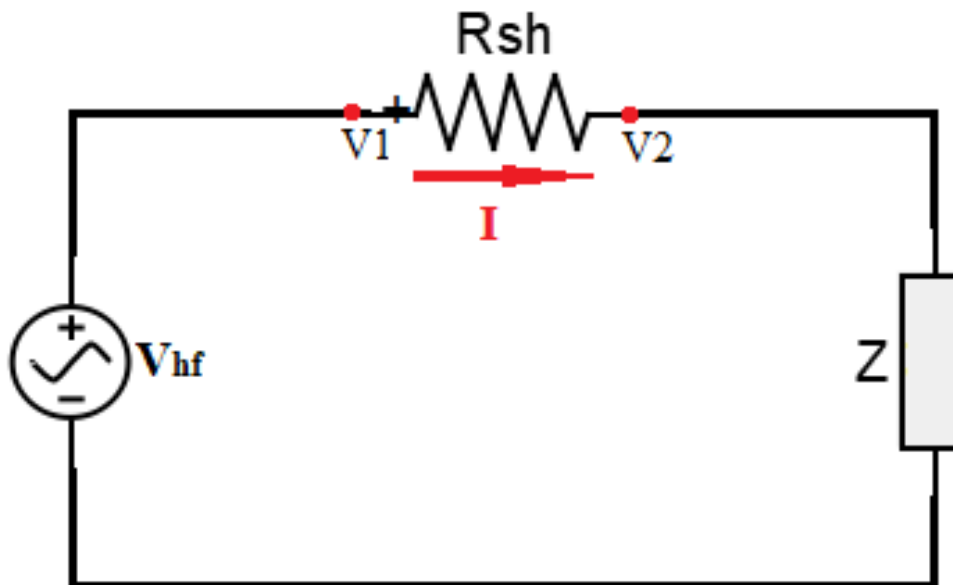


Figura 4.1 - Circuito para aplicação da técnica FRA.
Fonte: Autor.

O valor do resistor shunt R_{sh} foi escolhido como sendo $1K\Omega$. Analisando o circuito anterior, a equação (4.1) é encontrada.

$$Z = \frac{V_2}{I} = \frac{V_2}{\frac{V_1 - V_2}{R_{sh}}} = R_{sh} \cdot \frac{V_2}{V_1 - V_2} \quad (4.1)$$

Portanto, uma forma de se obter a impedância Z para uma determinada frequência é através do cálculo do RMS das tensões V_2 e $(V_1 - V_2)$, e aplicar esse cálculo na equação (4.1), gerando, assim, a equação (4.2). Levando em consideração todas as impedâncias para cada frequência gerada, tem-se o espectro de impedâncias do dispositivo sob teste.

$$|Z| = R_{sh} \cdot \frac{rms(V_2)}{rms(V_1 - V_2)} \quad (4.2)$$

Desta forma, o primeiro canal de entrada da plataforma STEMLab mede a tensão no ponto marcado como V_1 na figura anterior, e o segundo canal mede a tensão no ponto V_2 . O canal de saída da placa, que fornece os sinais para a varredura, é conectado ao circuito todo (resistor shunt e dispositivo sob teste).

Na sequência, são apresentadas duas abordagens para o circuito de medição, a primeira, utilizando um conector sindal, a segunda, utilizando uma placa de circuito impressa (PCI).

4.1.1 Circuito de medição com conector sindal

Como primeira abordagem, os cabos para se realizarem as medições foram arranjados como mostra a Figura 4.2. Como pode ser observado, utilizou-se um conector sindal para facilitar, caso seja preciso, a troca do resistor shunt. A indicação de Canal1 e Canal2 são as entradas analógicas da plataforma STEMLab. As garras jacarés são ligadas ao dispositivo sob teste. Na figura não foi indicado o local onde o cabo utilizado para geração dos sinais será conectado, porém, como é possível notar na Figura 4.1, esse cabo será conectado em paralelo com o Canal 1 de entrada.

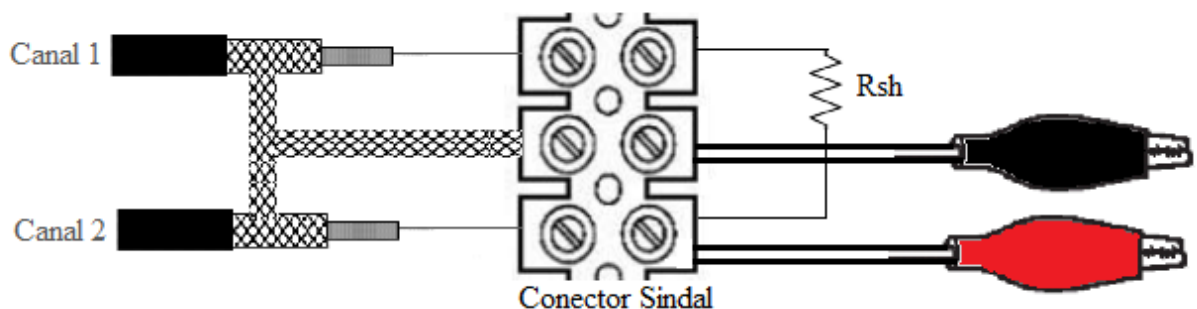


Figura 4.2 - Arranjo dos cabos para sistema de medição.
Fonte: Autor.

Esse primeiro arranjo possui a vantagem de ser bastante simples de se elaborar, porém, é uma opção com maiores riscos de apresentar problemas de mau contato em toda extensão do arranjo, além de ser mais susceptível a ruídos externos. Pensando nisso, foi proposto uma segunda abordagem para o circuito de medição, que é apresentado a seguir.

4.1.2 Circuito de medição com placa de circuito impressa

Visando um melhor layout do sistema, e, também, pensando em possíveis problemas com mau contato e ruídos externos, o circuito de medição foi implementado em uma placa de circuito impresso. Essa placa é apresentada na Figura 4.3, a seguir.

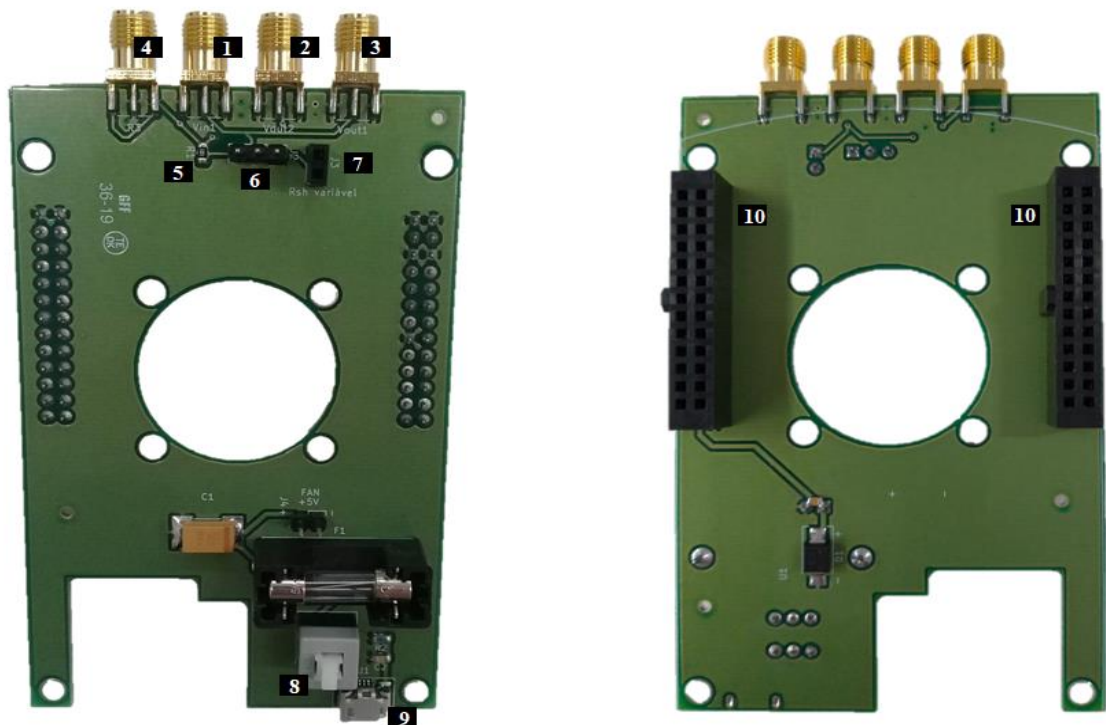


Figura 4.3 - Placa de circuito impressa desenvolvida - Vista superior (esquerda) e inferior (direita).
Fonte: Autor.

Na figura anterior, os componentes destacados são:

- 1 – Conector SMA para sinal de entrada, vindo da saída do canal 1 da plataforma STEMLab.
- 2 – Conector SMA para sinal de saída, indo para a entrada do canal 2 da plataforma STEMLab.

- 3 – Conector SMA para sinal de saída, indo para a entrada do canal 1 da plataforma STEMLab.
- 4 – Conector SMA para conexão com a carga a ser analisada. Neste caso, será utilizado um cabo coaxial com uma ponta e um conector Plug-SMA, e outra ponta com duas garras jacaré (ver Figura 4.4).
- 5 – Resistor shunt de $1K\Omega$ (resistor fixo).
- 6 – Barra macho de pinos com três posições utilizada para selecionar ou o resistor shunt fixo ($1K\Omega$), ou, então, um outro resistor a ser adicionado na barra de pinos fêmea (numeração 7).
- 7 – Barra fêmea de pinos com duas posições para seleção de um resistor shunt que pode ser alterado.
- 8 – Botão para ligar/desligar a plataforma STEMLab.
- 9 – Entrada micro USB para alimentação da plataforma STEMLab.
- 10 – Barra fêmea de pinos dupla com treze posições para encaixe na plataforma STEMLab.

A PCI implementa o circuito da Figura 4.1, e, também, faz a conexão com o sistema principal de geração e aquisição de sinais, na Figura 4.4 é apresentado o sistema de geração e aquisição de sinais já acoplado à placa desenvolvida.

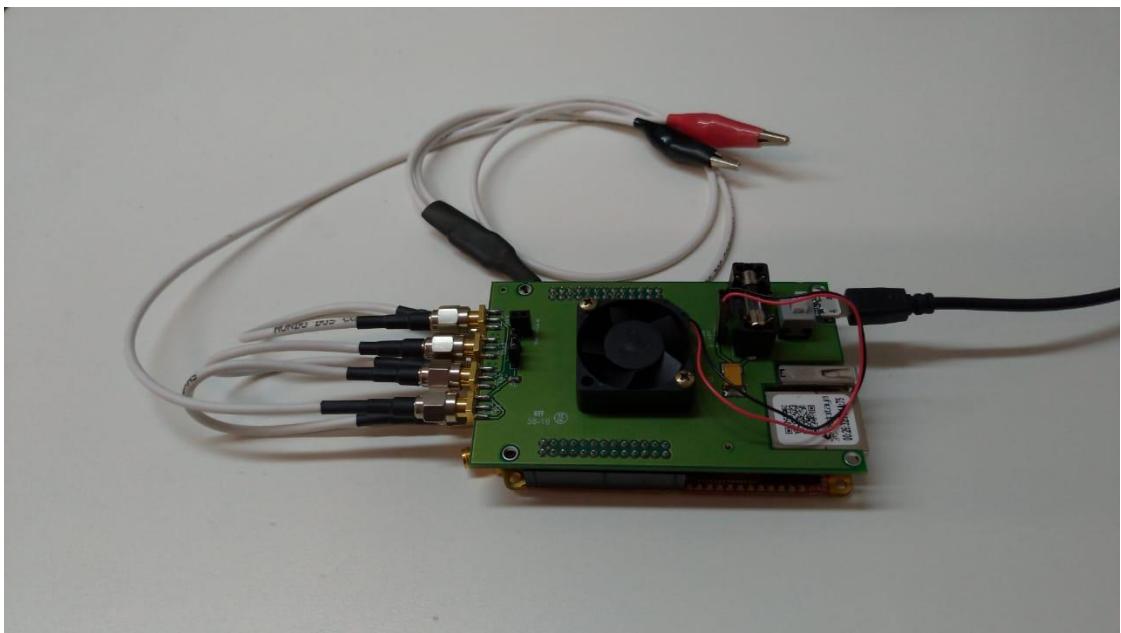


Figura 4.4 - Placa desenvolvida acoplada com STEMLab.
Fonte: Autor.

Essa será a configuração utilizada para a realização das varreduras apresentadas nas seções seguintes.

4.2 ANÁLISE DE VALIDAÇÃO DO SISTEMA

Como mencionado, o circuito será testado, primeiramente, com arranjos mais simples para validação de seu funcionamento. São três varreduras de validação realizadas, a primeira em um resistor, a segunda em um capacitor, e a terceira em um arranjo composto por um resistor e um capacitor em série.

4.2.1 Varreduras em resistor

Foram feitas 5 varreduras em um resistor de 330Ω ($\pm 10\%$), os espectros são apresentados na Figura 4.5. As varreduras foram feitas iniciando-se na frequência de 10KHz e finalizando na frequência de 1MHz. O sistema foi configurado para a geração de 60 frequências logaritmicamente espaçadas entre a frequência inicial e final.

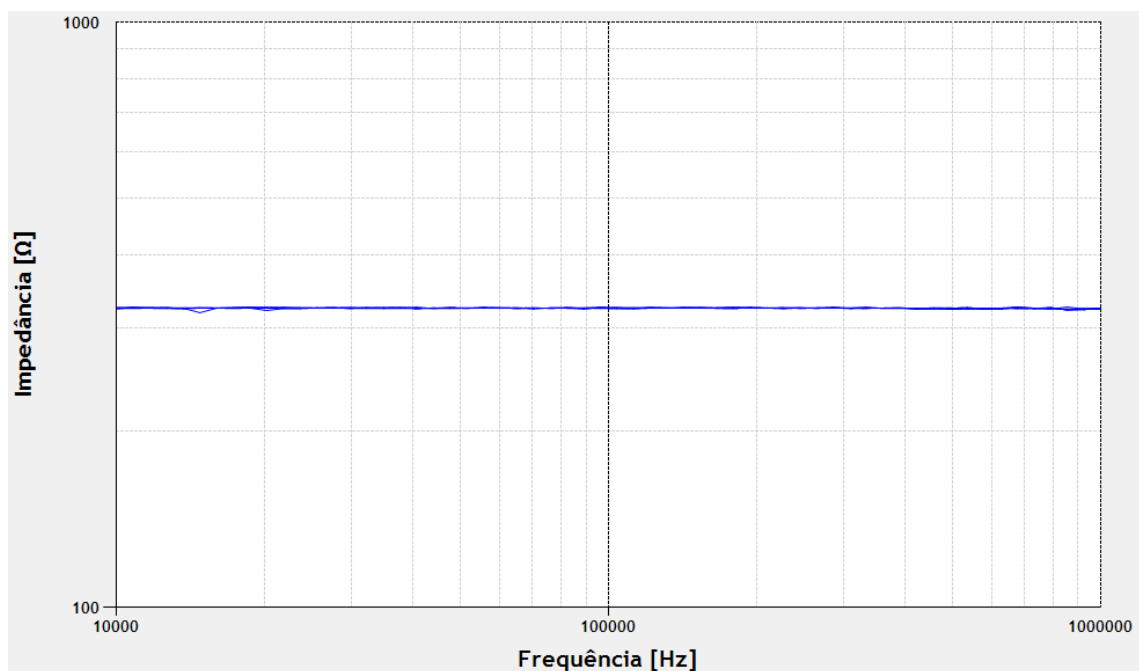


Figura 4.5 - Varredura em resistor de 330Ω .
Fonte: Autor.

Como pode ser observado, o valor da impedância se manteve constante em todo o espectro para as 5 varreduras realizadas. Como o circuito é puramente resistivo, sua impedância não sofre alterações conforme a frequência do sinal é variada. O

máximo valor encontrado para a impedância do resistor foi de $326,3\Omega$, e, o menor valor, foi de $319,11\Omega$.

Para uma comparação com o sistema, o resistor foi medido utilizando-se um multímetro Minipa ET-2615A, apresentando uma resistência de, aproximadamente, $325,1\Omega$. Desta forma, conclui-se que, para o pior caso observado (medição de $319,11\Omega$), o erro do valor de impedância medido pelo sistema, para o valor de impedância medido pelo multímetro, foi menor que 2%.

Na Figura 4.6, é apresentada uma ampliação de uma região do espectro da Figura 4.5. Como pode ser observado, o ponto selecionado apresenta uma impedância de $325,26\Omega$, isso para a frequência de 103979Hz .

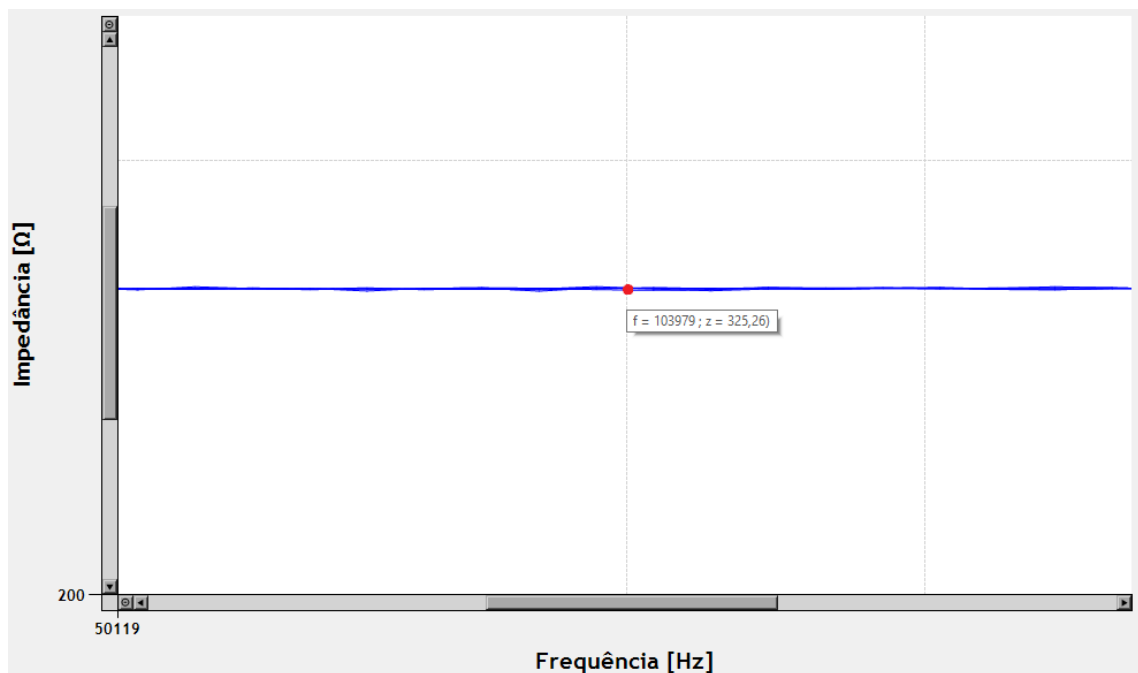


Figura 4.6 - Varredura em resistor de 330Ω . Região ampliada.
Fonte: Autor.

4.2.2 Varreduras em capacitor

Foram feitas 5 varreduras com o capacitor de 220pF com tolerância de $\pm 20\%$, os espectros são apresentados na Figura 4.7. As varreduras foram feitas iniciando-se na frequência de 10kHz e finalizando na frequência de 1MHz . O sistema foi configurado para a geração de 60 frequências logaritmicamente espaçadas entre a frequência inicial e final.

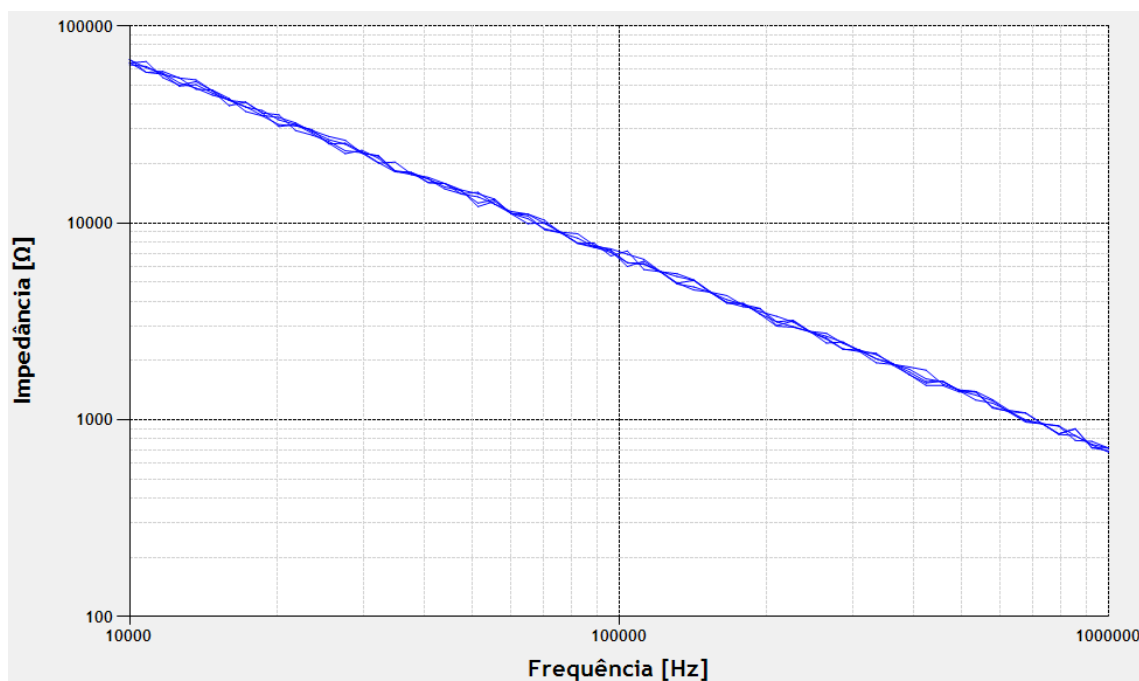


Figura 4.7 - Varredura em capacitor de 220pF.
Fonte: Autor.

O circuito é puramente capacitivo, sabe-se que a reatância capacitiva varia proporcionalmente com o inverso da frequência do sinal aplicado à carga. Dessa forma, a impedância deve apresentar uma reta decrescente (quando se utiliza uma escala log-log), como pode ser observado na figura anterior.

Para uma comparação com o sistema, o capacitor foi medido utilizando-se um multímetro Minipa ET-2615A, apresentando uma capacitância de, aproximadamente, 230,2pF. Desta forma, para os piores casos observados, o erro do valor de impedância medido pelo sistema, para o valor de impedância medido pelo multímetro, foi de, aproximadamente, 10%.

Na Figura 4.8 é apresentada uma ampliação de uma região da Figura 4.7. Como pode ser observado, foram marcados quatro pontos. Para o ponto com a frequência de 70381Hz, encontrou-se a impedância de 9235,74Ω, que corresponde a uma capacitância de, aproximadamente, 245pF. Para um dos pontos com a frequência de 103979Hz, encontrou-se a impedância de 6006,72Ω, que corresponde a uma capacitância de, aproximadamente, 255pF. Para o outro ponto com a frequência de 103979Hz, encontrou-se a impedância de 7198,59Ω, que corresponde a uma capacitância de, aproximadamente, 213pF. Para o ponto com a frequência de 142083Hz, encontrou-se a impedância de 5134,61Ω, que corresponde a uma

capacitância de, aproximadamente, 218pF. Desta forma, todos os pontos analisados apresentaram valores de capacitância próximos do valor medido com o multímetro.

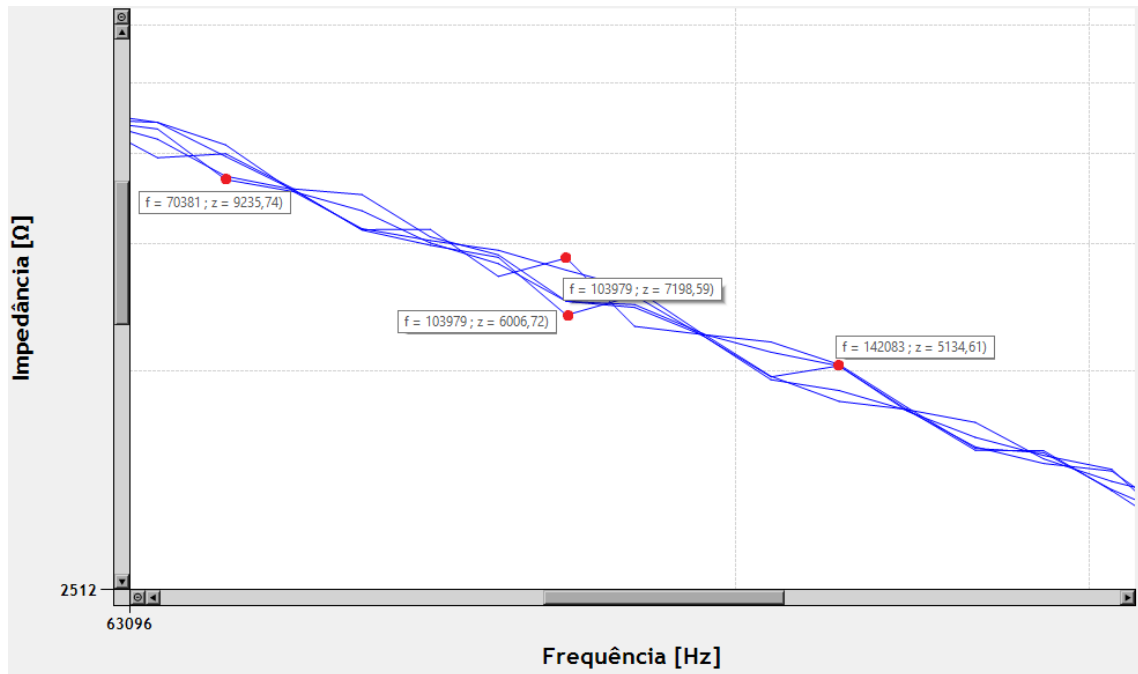


Figura 4.8 - Varredura em capacitor de 220pF. Região ampliada.
Fonte: Autor.

4.2.3 Varreduras em arranjo RC

Foram feitas 5 varreduras em um arranjo composto por um resistor de 330Ω ($\pm 10\%$) e um capacitor de 10nF ($\pm 20\%$) em série, os espectros são apresentados na Figura 4.9. As varreduras foram feitas iniciando-se na frequência de 10KHz e finalizando na frequência de 1MHz. O sistema foi configurado para a geração de 60 frequências logaritmicamente espaçadas entre a frequência inicial e final.

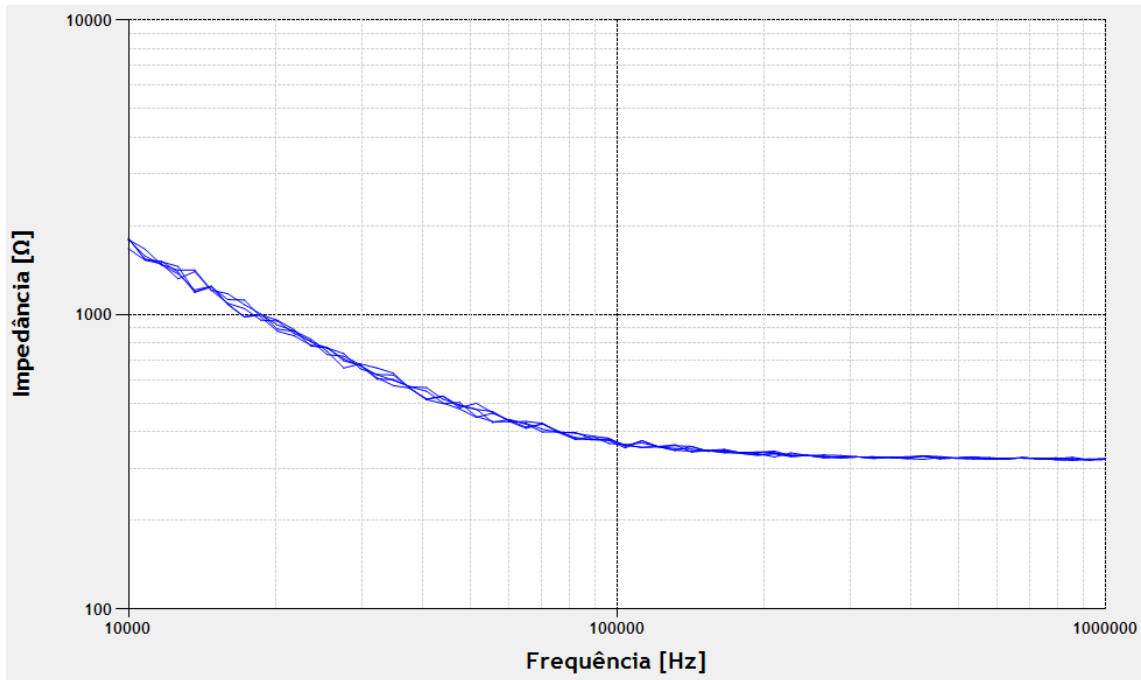


Figura 4.9 - Varredura em arranjo RC série.
Fonte: Autor.

Como pode ser observado na figura anterior, o espectro apresenta duas regiões, a primeira região, para menores frequências, o espectro apresenta uma reta decrescente (utilizando-se uma escala log-log), igual ao comportamento apresentado para o circuito puramente capacitivo. Isso ocorre pois, para baixas frequências, a impedância do capacitor é significativamente maior que a impedância do resistor, fazendo com que a impedância do capacitor se sobressaia em relação ao resistor. Já na segunda região do espectro, para frequências mais altas, ocorre o oposto, e o comportamento apresentado é igual ao do circuito puramente resistivo. A impedância do resistor fica significativamente maior que a impedância do capacitor, fazendo com que a primeira se sobressaia em relação à segunda.

Na Figura 4.10, a seguir, é apresentado a região resistiva ampliada. Como pode ser observado, quatro pontos foram marcados. Para um dos pontos com frequência de 209910Hz, o circuito apresentou impedância de 344,36Ω, para o outro ponto com a mesma frequência, o circuito apresentou impedância de 328,83Ω. Para o ponto com frequência de 423758Hz, o circuito apresentou impedância de 331,92Ω. Para o ponto com frequência de 924914Hz, o circuito apresentou impedância de 321,64Ω. Portanto, todos os valores analisados apresentaram erro menor que 6% ao se comparar com o valor da impedância encontrado com o multímetro – seção 4.2.1.

Na Figura 4.11 é apresentada a região capacitiva ampliada. Como pode ser observado, quatro pontos foram marcados. Para o ponto com frequência de 10000Hz, o circuito apresentou impedância de $1796,71\Omega$, que corresponde a uma capacitância de, aproximadamente, $8,86\text{nF}$. Para o ponto com frequência de 13664Hz, o circuito apresentou impedância de $1194,3\Omega$, que corresponde a uma capacitância de, aproximadamente, $9,75\text{nF}$. Para o ponto com frequência de 17269Hz, o circuito apresentou impedância de $1120,62\Omega$, que corresponde a uma capacitância de, aproximadamente, $8,22\text{nF}$. Para o ponto com frequência de 27585Hz, o circuito apresentou impedância de $658,72\Omega$, que corresponde a uma capacitância de, aproximadamente, $8,76\text{nF}$.

Para uma comparação com o sistema, o capacitor foi medido utilizando-se um multímetro Minipa ET-2615A, apresentando uma capacitância de, aproximadamente, $9,55\text{nF}$. Desta forma, a maior diferença encontrada entre a capacitância medida com o multímetro e a capacitância obtida com o sistema, para os pontos analisados, foi de, aproximadamente, 14%.

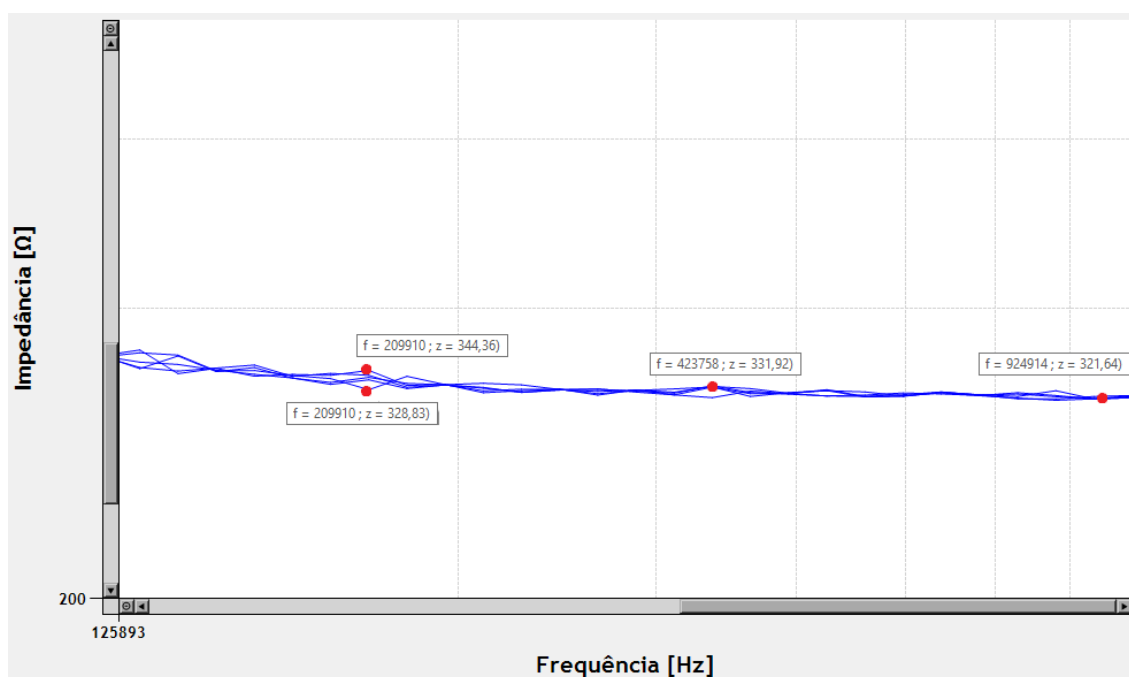


Figura 4.10 - Varredura arranjo RC série. Parte resistiva.
Fonte: Autor.

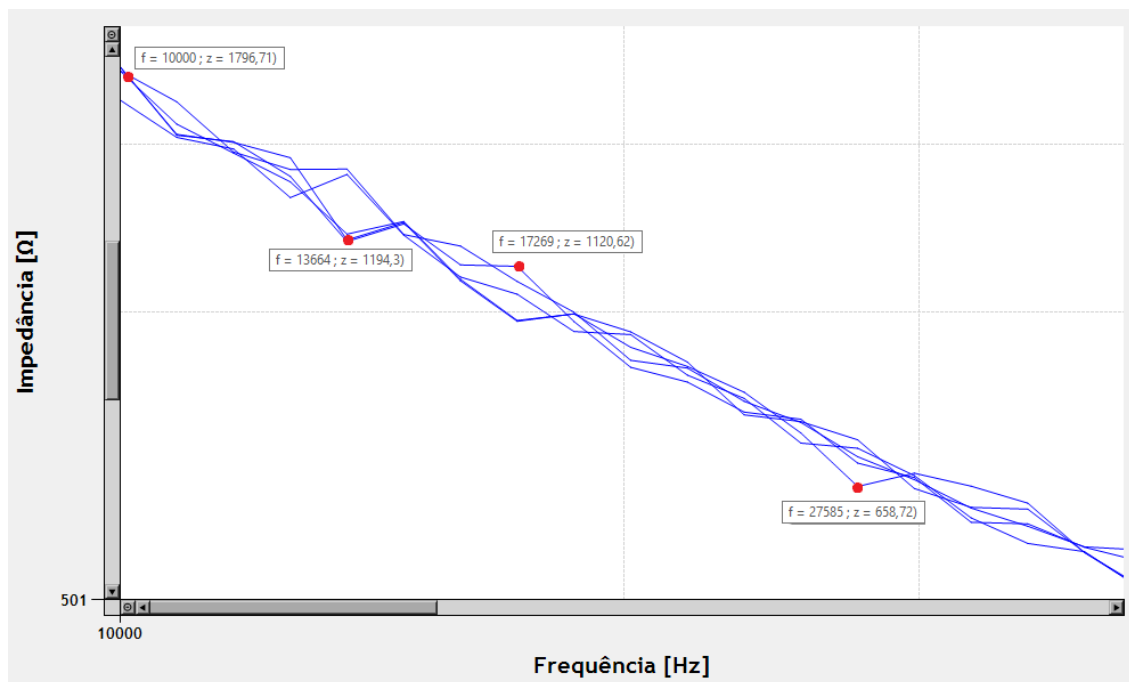


Figura 4.11 - Varredura arranjo RC série. Parte capacitiva.
Fonte: Autor.

Como pode ser observado, através da realização de varreduras em elementos de valores e espectros já conhecidos, foi possível validar o sistema, visto que os resultados obtidos são totalmente condizentes com os esperados.

Com o sistema de varredura em frequências validado, são apresentados, nas seções seguintes, os resultados da aplicação da técnica de FRA em duas máquinas diferentes

4.3 EXECUÇÃO DOS ENSAIOS

Para a realização dos ensaios, o sistema de varreduras foi aplicado ao enrolamento de uma das fases da máquina a ser analisada, como mostra a Figura 4.12 a seguir.

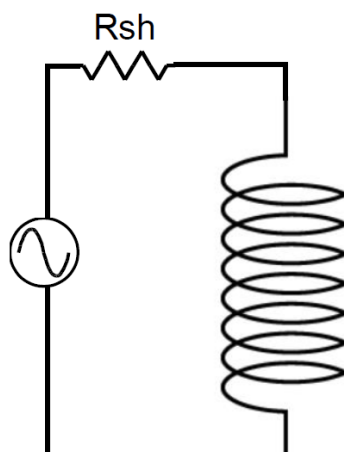


Figura 4.12 – Esquemático da aplicação do sistema ao enrolamento de uma das fases da máquina.
Fonte: Autor.

Como consta em Perisse et al. (2007), a capacitância do enrolamento de uma máquina elétrica aumenta com o envelhecimento do isolamento, portanto, para simular o envelhecimento do isolamento, capacitores são inseridos nos taps da máquina, conforme apresentado na Figura 4.13.

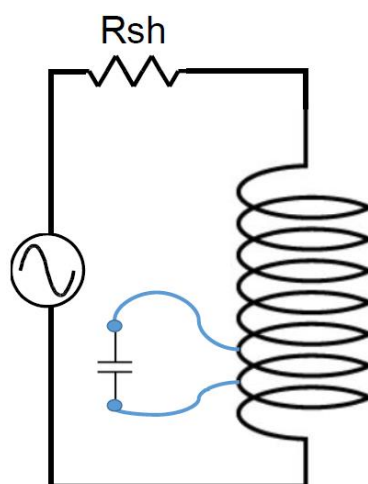


Figura 4.13 – Esquemático de uma das fases da máquina com capacitor inserido em tap do enrolamento.
Fonte: Autor.

É importante ressaltar que os capacitores utilizados para a simulação das falhas foram capacitores cerâmicos e capacitores multicamadas. O formato do espectro varia conforme o tipo de capacitor utilizado para simular a falha, porém, essas diferenças não são levadas em consideração neste trabalho, visto que estão sendo analisadas somente as progressões dos danos simulados conforme o aumento da capacitância do circuito.

4.4 ENSAIOS NO GERADOR DE INDUÇÃO

Utilizou-se, nos ensaios seguintes, uma máquina de indução do tipo gaiola de esquilo de 3 HP, 460 V, com 4 polos. A máquina apresenta taps no enrolamento do estator, que foram utilizados para simular falhas no isolamento do estator. A máquina utilizada é apresentada na Figura 4.14.

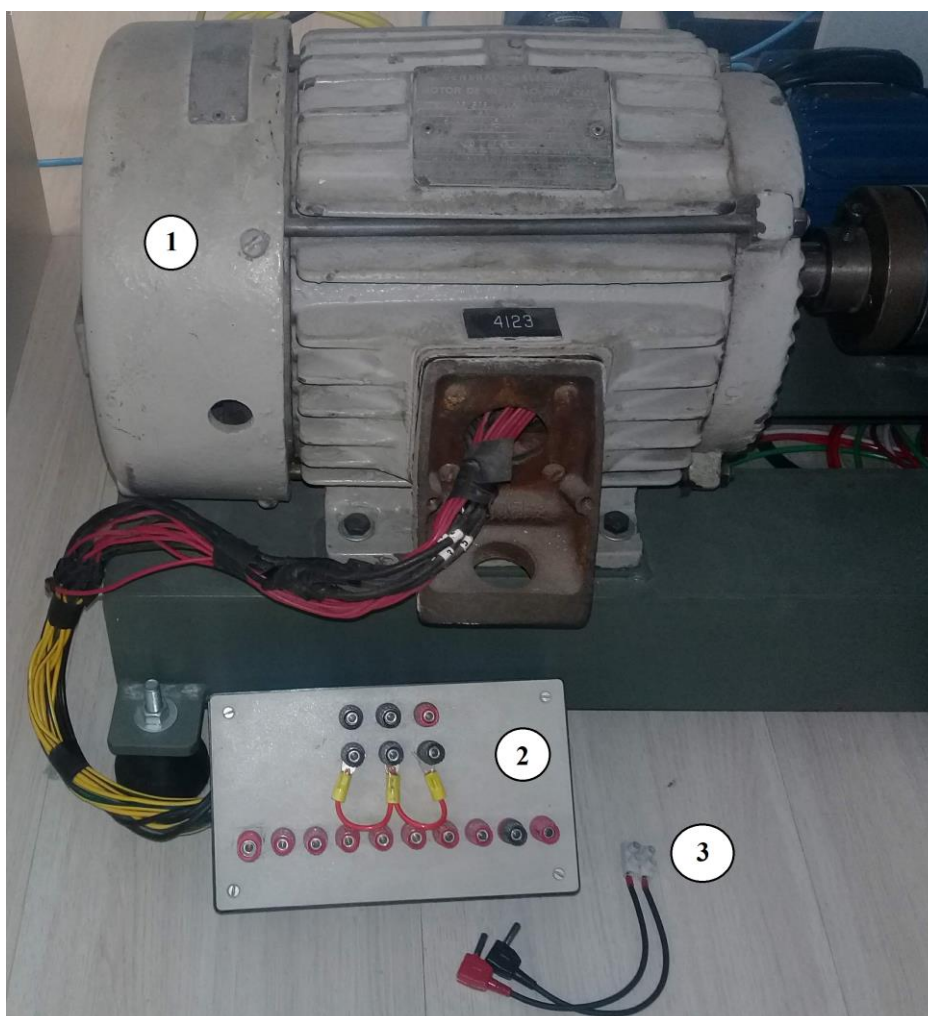


Figura 4.14 – Gerador de Indução utilizado nos ensaios. 1: Máquina de Indução 3HP 460V. 2: Painel para acesso aos taps de um dos enrolamentos. 3: Elemento de falhas para ser inserido entre taps.
Fonte: Autor.

A Figura 4.15 apresenta a máquina de indução com o sistema de detecção de falhas instalado, esse é o setup final para a realização dos ensaios neste gerador. Na figura, é possível observar o gerador, o sistema de detecção conectado a um enrolamento da máquina, e o elemento de falhas conectado entre taps do enrolamento.

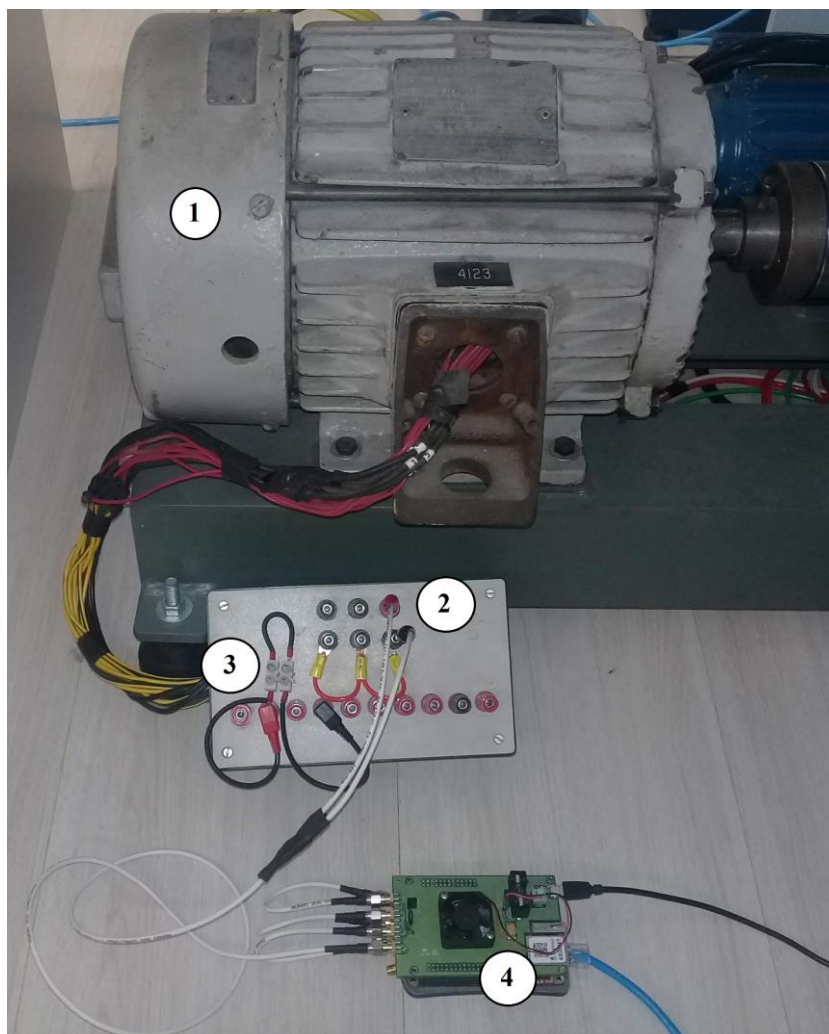


Figura 4.15 - Setup final para ensaios no gerador de indução. 1: Máquina de indução. 2: Conexão do sistema de detecção de falhas com taps para acesso a uma das fases do gerador. 3: Elemento de falhas conectado aos taps 1-3 do enrolamento. 4: Sistema desenvolvido para detecção de falhas.
Fonte: Autor.

Antes da realização dos testes com o gerador, é necessário quantificar cada tap do gerador com relação ao enrolamento total da máquina. Esse procedimento é descrito em Sant'ana (2016), onde é feita a relação entre a queda de tensão entre cada um dos taps e a queda de tensão total da fase, obtendo-se a Tabela 4.1 e, na Tabela 4.2, é apresentada a relação entre a queda de tensão do tap 1 para os outros taps e a queda de tensão total da fase analisada.

Tabela 4.1 – Contribuição de cada tap de um enrolamento do gerador de indução.

Taps	Queda de Tensão [V]	% de cada tap
A2-A1	137	100%
tap1-tap2	7,3	5%
tap2-tap3	7,3	5%
tap3-tap4	7,9	6%
tap4-tap5	7,8	6%
tap5-tap6	8,4	6%
tap6-tap7	7,8	6%
tap7-tap8	7,3	5%
tap8-tap9	7,95	6%

Fonte: (SANT'ANA, 2016).

Tabela 4.2 - Contribuição dos taps da fase analisada, medidos entre tap 1 e outros taps do gerador de indução.

Taps	Queda de Tensão [V]	% de cada tap
tap1-tap2	7,3	5%
tap1-tap3	14,7	11%
tap1-tap4	22,7	17%
tap1-tap5	30,4	22%
tap1-tap6	38,8	28%
tap1-tap7	46,4	34%
tap1-tap8	53,5	39%
tap1-tap9	62,4	46%

Fonte: (SANT'ANA, 2016).

Como pode ser observado, a contribuição entre taps sucessivos é relativamente baixa (entre 5% e 6%). Desta forma, para melhor visualização das falhas, primeiramente, serão inseridos capacitores em maior proporção do enrolamento (11%), em seguida, são simuladas as falhas em 5% do enrolamento. No primeiro momento, é realizado a varredura sem nenhuma falha simulada, obtendo-se, assim, a linha de base para a análise. Em sequência, capacitores são inseridos nos taps, com a finalidade de simular falhas no isolamento da máquina, novos espectros são gerados e comparados com o de base, dessa análise, é possível observar a formação, ou não, de mecanismos de falha na máquina sob teste.

4.4.1 Aplicação da técnica FRA no gerador de indução

4.4.1.1 Simulação de falhas em 11% do enrolamento (taps 1-3)

Na aplicação da técnica FRA, o sistema foi configurado para realizar a varredura de 60 frequências distintas, separadas logaritmicamente, entre a frequência inicial de 10KHz e a final de 1MHz. Para cada operação, são realizadas 5 varreduras em frequência, obtendo-se, portanto, 5 espectros.

Primeiramente, são realizadas varreduras sem nenhuma falha simulada, portanto, sem nenhum capacitor entre os taps 1-3, desta forma, obtém-se os espectros originais da máquina sob teste (*baseline*). Em seguida, falhas são simuladas através da adição de capacitores de variados valores entre os taps 1-3, para cada capacitor diferente adicionado, a técnica de FRA é aplicada e novos espectros são obtidos. Por fim, os espectros são comparados e os indicadores estatísticos são calculados.

A Figura 4.16 apresenta 6 conjuntos de sinais, contendo, cada conjunto, 5 espectros.

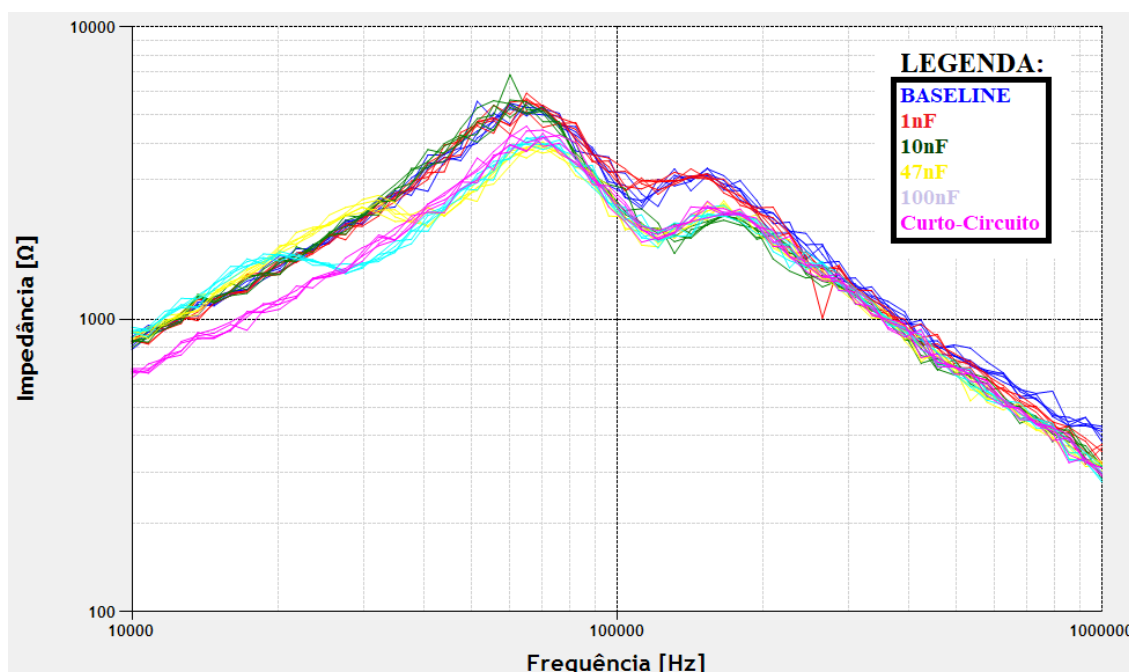


Figura 4.16 - Espectros de Impedâncias do Gerador de Indução - 11% do enrolamento.
Fonte: Autor.

Na figura anterior, em azul, são representados os 5 espectros correspondentes ao *baseline*, portanto, os espectros sem falhas simuladas. Em vermelho, são

apresentados 5 espectros obtidos com um capacitor de 1nF entre os taps 1-3. Em verde, são apresentados 5 espectros obtidos com um capacitor de 10nF entre os taps 1-3. Em amarelo, são apresentados 5 espectros obtidos com um capacitor de 47nF entre os taps 1-3. Em ciano, são apresentados 5 espectros obtidos com um capacitor de 100nF entre os taps 1-3, e, em magenta, são apresentados 5 espectros obtidos com um curto-circuito entre os taps 1-3. Através de uma observação superficial dos espectros, conclui-se que o espectro obtido com o capacitor de 1nF (vermelho) se assemelha ao espectro base (azul), todos os outros espectros diferem visualmente do espectro base. Agora, através da análise dos indicadores estatísticos, essas diferenças podem ser melhores discernidas.

4.4.1.1.1 Cálculo dos indicadores ASLEs para os espectros do Gerador de Indução com 11% do enrolamento

A Figura 4.17 apresenta os resultados do cálculo dos indicadores estatísticos ASLE. Cada 5 pontos no gráfico representa uma configuração de teste realizada. Os 5 primeiros pontos são os indicadores calculados com base nos espectros gerados com a utilização do capacitor de 1nF entre os taps. Os próximos 5 pontos são os indicadores obtidos com o capacitor de 10nF, os 5 pontos seguintes foram obtidos com o capacitor de 47nF, os próximos 5 pontos são os indicadores obtidos com o capacitor de 100nF, e, finalmente, os últimos 5 pontos, são obtidos com um curto-circuito entre os taps.

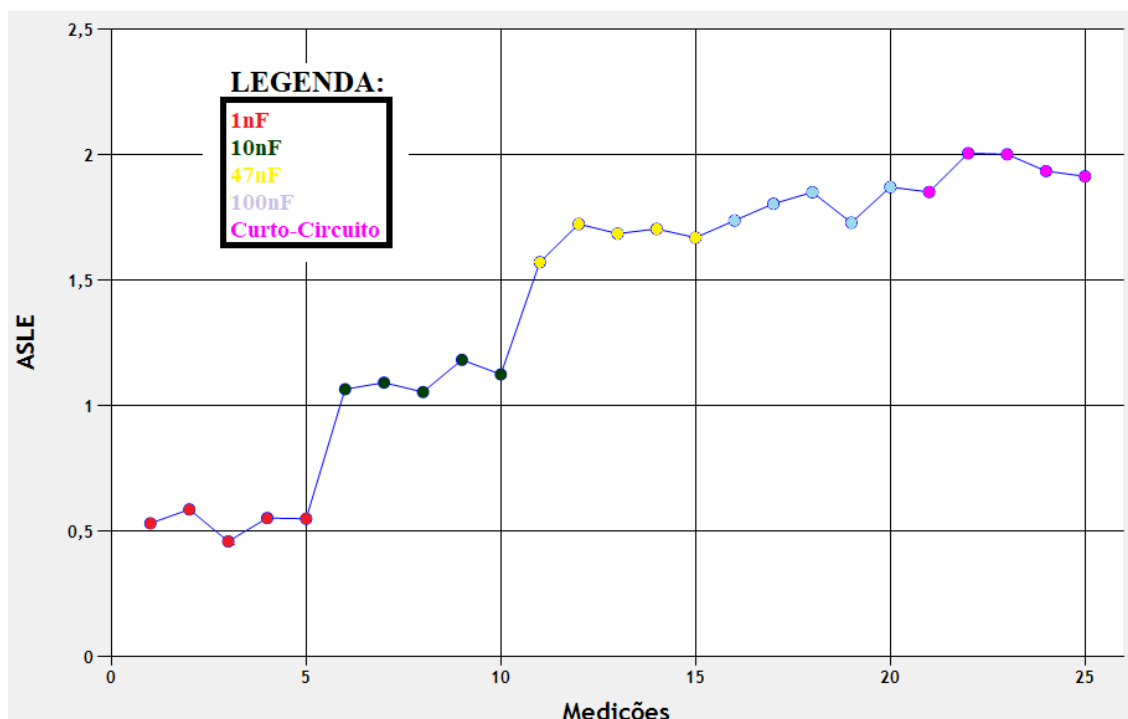


Figura 4.17 - Indicadores ASLE do Gerador de Indução – 11% do enrolamento.
Fonte: Autor.

Como pode ser observado, à medida que o valor da capacitância entre os taps aumenta, o valor do ASLE aumenta, o que significa que o espectro está mais distante do baseline, e, portanto, com danos cada vez mais severos no isolamento.

4.4.1.2 Simulação de falhas em 5% do enrolamento (taps 1-2)

Na aplicação da técnica FRA, o sistema foi configurado para realizar a varredura de 60 frequências distintas, separadas logaritmicamente, entre a frequência inicial de 10KHz e a final de 1MHz. Para cada operação, são realizadas 5 varreduras em frequência, obtendo-se, portanto, 5 espectros.

Primeiramente, são realizadas varreduras sem nenhuma falha simulada, portanto, sem nenhum capacitor entre os taps 1-2, desta forma, obtém-se os espectros originais da máquina sob teste (*baseline*). Em seguida, falhas são simuladas através da adição de capacitores de variados valores entre os taps 1-2, para cada capacitor diferente adicionado, a técnica de FRA é aplicada e novos espectros são obtidos. Por fim, os espectros são comparados e os indicadores estatísticos são calculados.

A Figura 4.18 apresenta 6 conjuntos de sinais, contendo, cada conjunto, 5 espectros.

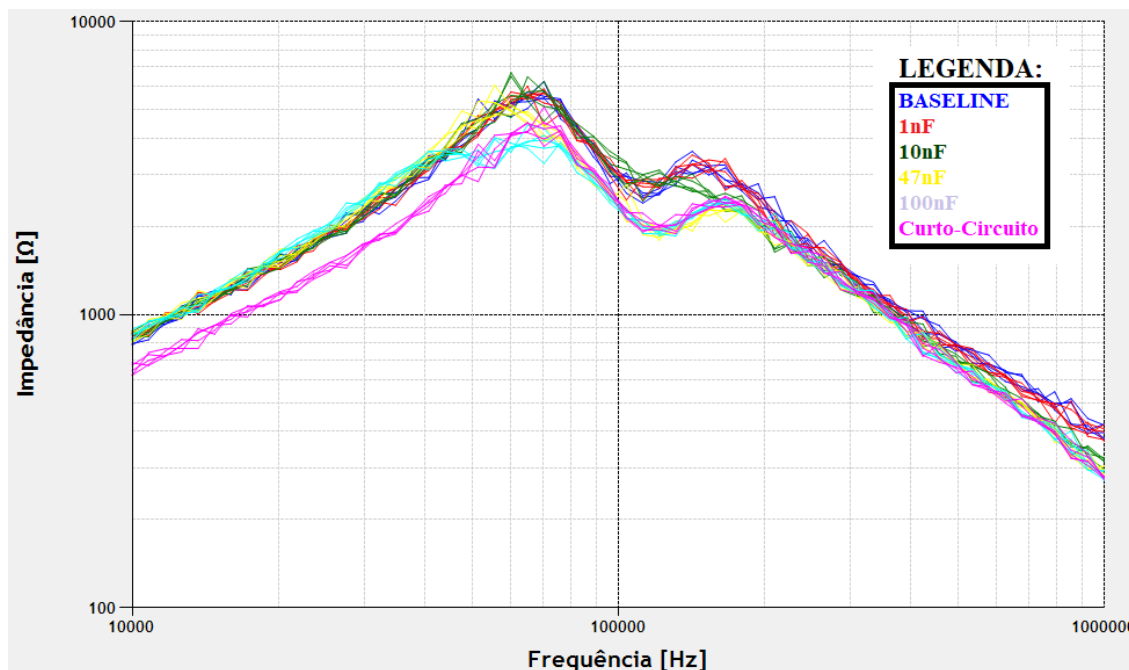


Figura 4.18 - Espectros de Impedâncias do Gerador de Indução - 5% do enrolamento.
Fonte: Autor.

Na figura anterior, em azul, são representados os 5 espectros correspondentes ao *baseline*, portanto, os espectros sem falhas simuladas. Em vermelho, são apresentados 5 espectros obtidos com um capacitor de 1nF entre os taps 1-2. Em verde, são apresentados 5 espectros obtidos com um capacitor de 10nF entre os taps 1-2. Em amarelo, são apresentados 5 espectros obtidos com um capacitor de 47nF entre os taps 1-2, em ciano, são apresentados 5 espectros obtidos com um capacitor de 100nF entre os taps 1-2, e, em magenta, são apresentados 5 espectros obtidos com um curto-circuito entre os taps 1-2. Através de uma observação superficial, conclui-se que os espectros em verde, amarelo, ciano e magenta diferiram visualmente do espectro base, em azul. Agora, através da análise dos indicadores estatísticos, essas diferenças podem ser melhores discernidas.

4.4.1.2.1 Cálculo dos indicadores ASLEs para os espectros do Gerador de Indução com 5% do enrolamento

A Figura 4.19 apresenta os resultados do cálculo dos indicadores estatísticos ASLE. Cada 5 pontos no gráfico representa uma configuração de teste realizada. Os 5 primeiros pontos são os indicadores calculados com base nos espectros gerados com a utilização do capacitor de 1nF entre os taps. Os próximos 5 pontos são os indicadores obtidos com o capacitor de 10nF, os 5 pontos seguintes foram obtidos

com o capacitor de 47nF, os próximos 5 pontos são os indicadores obtidos com o capacitor de 100nF, e, finalmente, os últimos 5 pontos, são obtidos com um curto-circuito entre os taps.

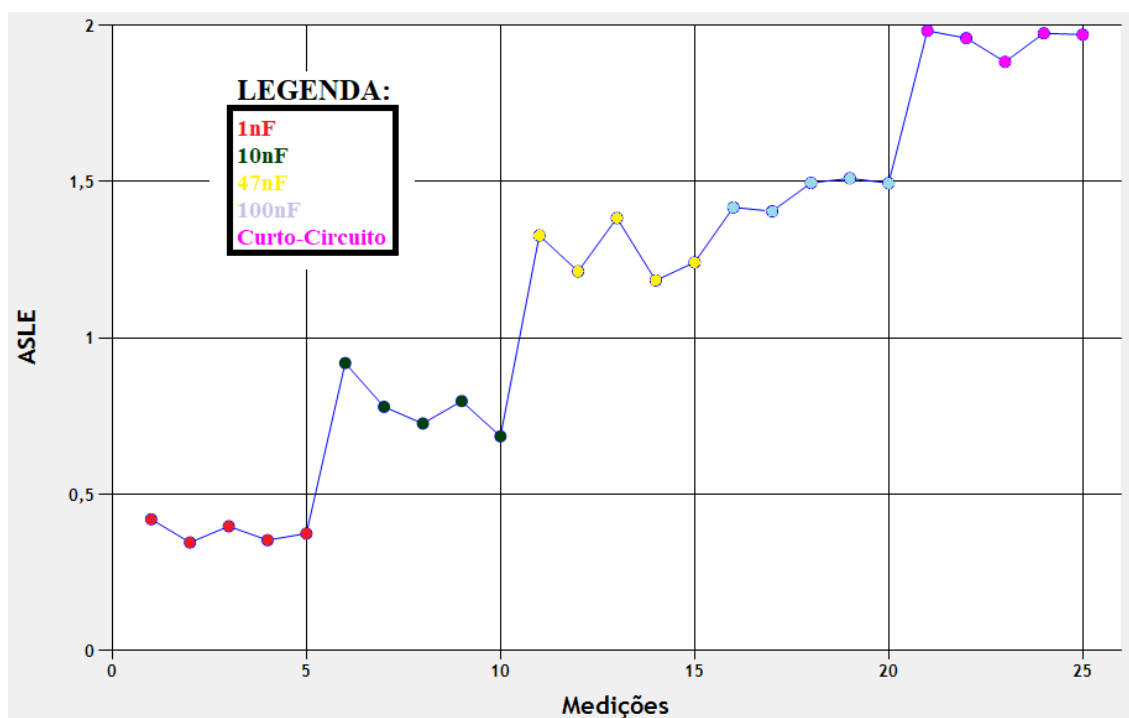


Figura 4.19 - Indicadores ASLE do Gerador de Indução – 5% do enrolamento.
Fonte: Autor.

Como pode ser observado, à medida que o valor da capacitância entre os taps aumenta, o valor do ASLE aumenta, o que significa que o espectro está mais distante do baseline, e, portanto, com danos cada vez mais severos no isolamento.

4.4.1.3 Simulação de falhas em 5% do enrolamento (taps 1-2) com o rotor em uma nova posição

Este ensaio foi feito com a finalidade de verificar que, desde que mantida sempre a mesma posição do rotor para aplicação da técnica, o resultado final da análise não será alterado. Para isso, variou-se o ângulo inicial, deixando o rotor em uma posição diferente das apresentadas nos ensaios anteriores. As falhas foram simuladas, novamente, em 5% do enrolamento. Na sequência, seguem os resultados.

Na aplicação da técnica FRA, o sistema foi configurado para realizar a varredura de 60 frequências distintas, separadas logaritmicamente, entre a frequência inicial de

10KHz e a final de 1MHz. Para cada operação, são realizadas 5 varreduras em frequência, obtendo-se, portanto, 5 espectros.

Primeiramente, são realizadas varreduras sem nenhuma falha simulada, portanto, sem nenhum capacitor entre os taps 1-2, desta forma, obtém-se os espectros originais da máquina sob teste (*baseline*). Em seguida, falhas são simuladas através da adição de capacitores de variados valores entre os taps 1-2, para cada capacitor diferente adicionado, a técnica de FRA é aplicada e novos espectros são obtidos. Por fim, os espectros são comparados e os indicadores estatísticos são calculados.

A Figura 4.20 apresenta 6 conjuntos de sinais, contendo, cada conjunto, 5 espectros.

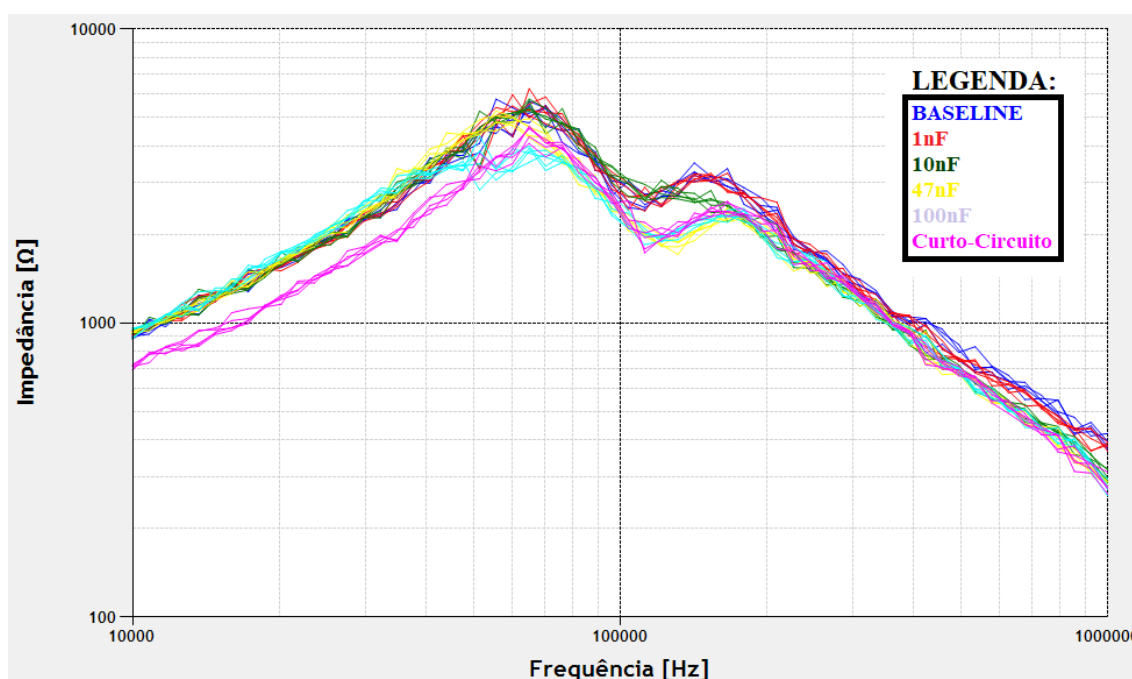


Figura 4.20 - Espectros de Impedâncias do Gerador de Indução - 5% do enrolamento. Rotor em nova posição.
Fonte: Autor.

Na figura anterior, em azul, são representados os 5 espectros correspondentes ao *baseline*, portanto, os espectros sem falhas simuladas. Em vermelho, são apresentados 5 espectros obtidos com um capacitor de 1nF entre os taps 1-2. Em verde, são apresentados 5 espectros obtidos com um capacitor de 10nF entre os taps 1-2. Em amarelo, são apresentados 5 espectros obtidos com um capacitor de 47nF entre os taps 1-2. Em ciano, são apresentados 5 espectros obtidos com um capacitor

de 100nF entre os taps 1-2, e, em magenta, são apresentados 5 espectros obtidos com um curto-circuito entre os taps 1-2. Através de uma observação superficial, conclui-se que os espectros em verde, amarelo, ciano e magenta diferiram visualmente do espectro base, em azul. Agora, através da análise dos indicadores estatísticos, essas diferenças podem ser melhores discernidas.

4.4.1.3.1 Cálculo dos indicadores ASLEs para os espectros do Gerador de Indução com 5% do enrolamento com o rotor em nova posição

A Figura 4.21 apresenta os resultados do cálculo dos indicadores estatísticos ASLE. Cada 5 pontos no gráfico representa uma configuração de teste realizada. Os 5 primeiros pontos são os indicadores calculados com base nos espectros gerados com a utilização do capacitor de 1nF entre os taps. Os próximos 5 pontos são os indicadores obtidos com o capacitor de 10nF, os 5 pontos seguintes foram obtidos com o capacitor de 47nF. Os próximos 5 pontos foram obtidos com o capacitor de 100nF, e, finalmente, os últimos 5 pontos, são obtidos com um curto-circuito entre os taps.

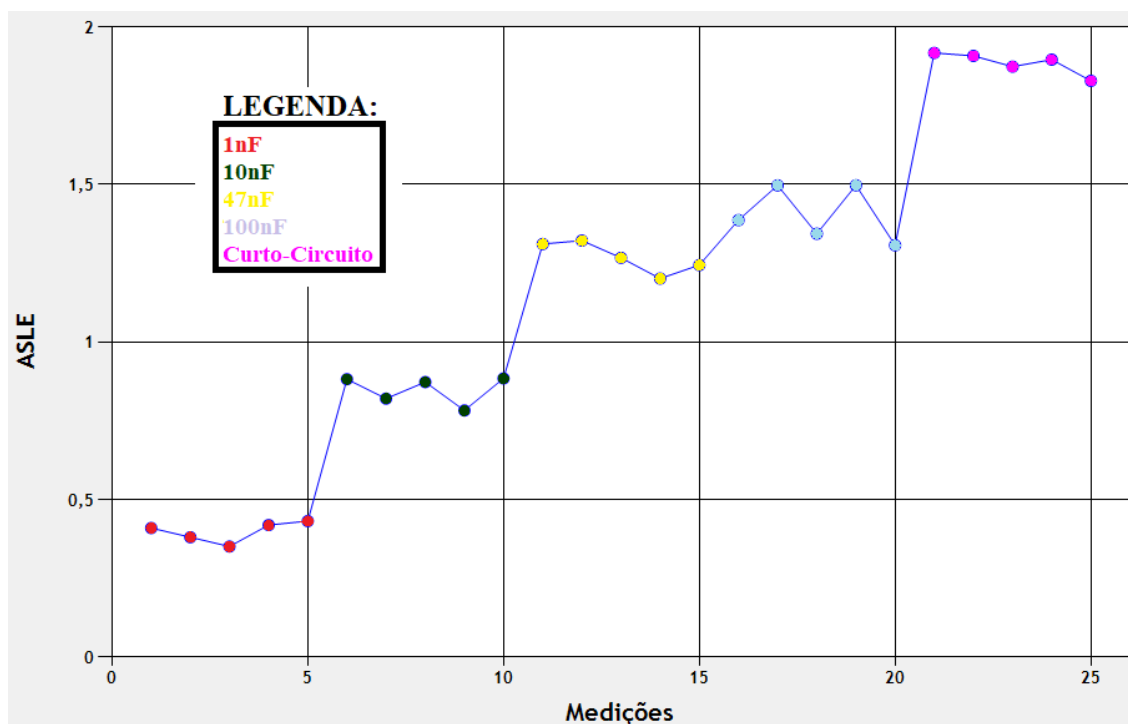


Figura 4.21 - Indicadores ASLE do Gerador de Indução – 5% do enrolamento. Rotor em nova posição.

Fonte: Autor.

Como pode ser observado, à medida que o valor da capacitância entre os taps aumenta, o valor do ASLE aumenta, o que significa que o espectro está mais distante do baseline, e, portanto, com danos cada vez mais severos no isolamento. Outro ponto a ser observado é que, ao se realizar a varredura com o rotor sempre em uma mesma posição, independentemente de qual seja essa posição, a análise final não é alterada, ou seja, o teste pode ser realizado com qualquer ângulo do rotor, desde que este ângulo se mantenha para as medições futuras.

4.5 ENSAIOS NO GERADOR SÍNCRONO DE POLOS LISOS

Utilizou-se um gerador síncrono de dois polos lisos de 2kW, 220V, construído de forma customizada em Salomon et al. (2015), para a realização dos ensaios. Essa máquina apresenta taps nos enrolamentos do estator e de campo, que são utilizados para simular falhas nos isolamentos da máquina. A máquina utilizada é apresentada na Figura 4.22. Como consta em Perisse et al. (2007), a capacitância do enrolamento de uma máquina elétrica aumenta conforme o envelhecimento do isolamento, portanto, para simular o envelhecimento do isolamento, capacitores são inseridos nos taps da máquina.

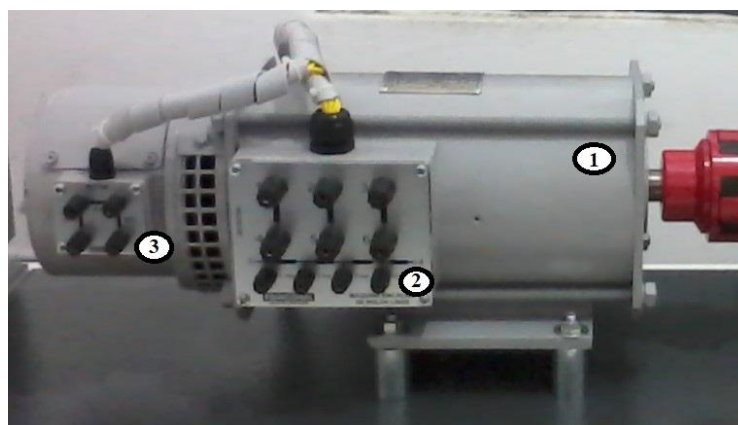


Figura 4.22 - Gerador utilizado para ensaios. 1:Gerador síncrono 2kW, 220V; 2: taps para acesso ao enrolamento do estator; 3: taps para acesso ao enrolamento de campo.

Fonte: Autor.

O acesso aos taps do enrolamento do gerador pode ser realizado de duas maneiras, primeiramente, diretamente através dos taps do gerador, ou então, através de um painel de controle, que é observado na Figura 4.23, a seguir.



Figura 4.23 - Painel máquina síncrona.
Fonte: Autor.

Os terminais 1-4 fornecem o acesso ao enrolamento da fase A do gerador, através das entradas A, B, C, D, e E, é possível acessar os taps do enrolamento da fase A. São nessas entradas que os cabos do sistema são instalados, e é onde é inserido o capacitor para a simulação de falhas no isolamento.

Para os ensaios realizados, o acesso foi feito diretamente pelo gerador, a Figura 4.24 apresenta o sistema de detecção de falhas desenvolvido juntamente com o gerador e o elemento de falha, já no setup final para teste.

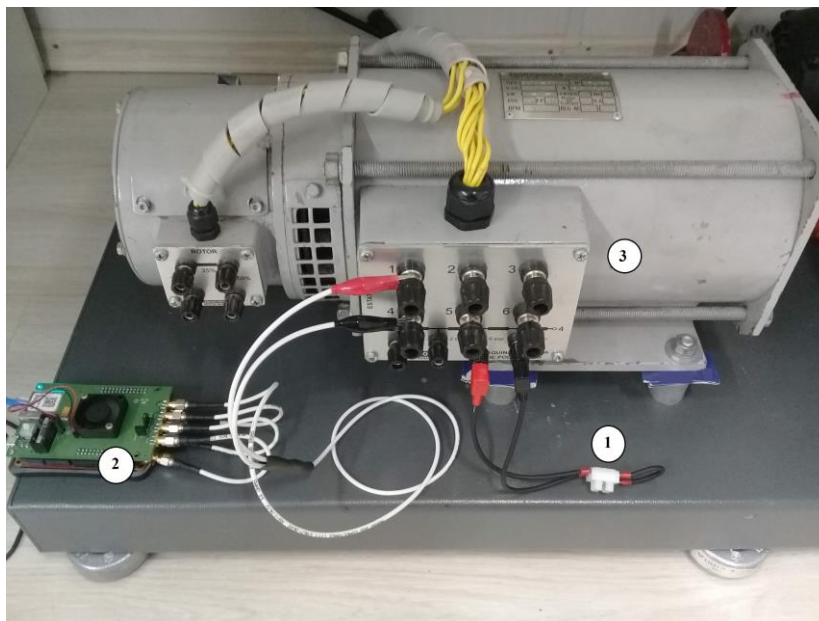


Figura 4.24 - Setup de teste utilizado. 1: Elemento de falha inserido entre os taps C-D do enrolamento. 2: Sistema desenvolvido para detecção das falhas. 3: Máquina síncrona.
Fonte: Autor.

Antes da realização dos testes com o gerador, é necessário quantificar cada tap do gerador com relação ao enrolamento total da máquina. Esse procedimento é descrito em Sant'ana (2016), onde é feita a relação entre a queda de tensão entre cada um dos taps e a queda de tensão total da fase, obtendo-se a Tabela 4.3 e, na Tabela 4.4, é apresentada a relação entre a queda de tensão do tap A para os outros taps e a queda de tensão total da fase A.

Tabela 4.3 - Contribuição de cada tap da fase A do gerador de polos lisos.

Taps	Queda de Tensão [V]	% de cada tap
1-4	125	100%
1-A	0,01	0%
A-B	0,01	0%
B-C	1,49	1%
C-D	1,49	1%
D-E	123	98%
E-4	0,01	0%

Fonte: (SANT'ANA, 2016).

Tabela 4.4 - Contribuição dos taps da fase A, medidos entre tap A e outros taps do gerador de polos lisos.

Taps	Queda de Tensão [V]	% com relação ao tap A
A-B	0,01	0%
A-C	1,49	1%
A-D	2,97	2%
A-E	125	100%

Fonte: (SANT'ANA, 2016).

Como pode ser observado, é entre os taps D e E que ocorre a maior contribuição com relação ao enrolamento total da fase analisada. Nos testes apresentados, primeiramente, as falhas foram inseridas entre os taps A e D, portanto, em 2% do enrolamento total da fase. No segundo momento, as falhas foram introduzidas entre os taps C e D, portanto, com 1% do enrolamento total da fase. Ainda, com o objetivo de verificar a influência da posição do rotor no espectro de impedâncias, foi realizado um terceiro teste com rotor em uma nova posição.

4.5.1 Aplicação da técnica FRA no gerador síncrono de polos lisos

4.5.1.1 Simulação de falhas em 2% do enrolamento (taps A-D)

Na aplicação da técnica FRA, o sistema foi configurado para realizar a varredura de 60 frequências distintas, separadas logaritmicamente, entre a frequência inicial de 10KHz e a final de 1MHz. Para cada operação, são realizadas 5 varreduras em frequência, obtendo-se, portanto, 5 espectros.

Primeiramente, são realizadas varreduras sem nenhuma falha simulada, portanto, sem nenhum capacitor entre os taps A-D, desta forma, obtém-se os espectros originais da máquina sob teste (baseline). Em seguida, falhas são simuladas através da adição de capacitores de variados valores entre os taps A-D, para cada capacitor diferente adicionado, a técnica de FRA é aplicada e novos espectros são obtidos. Por fim, os espectros são comparados e os indicadores estatísticos são calculados.

A Figura 4.25 apresenta 6 conjuntos de sinais, contendo, cada conjunto, 5 espectros.

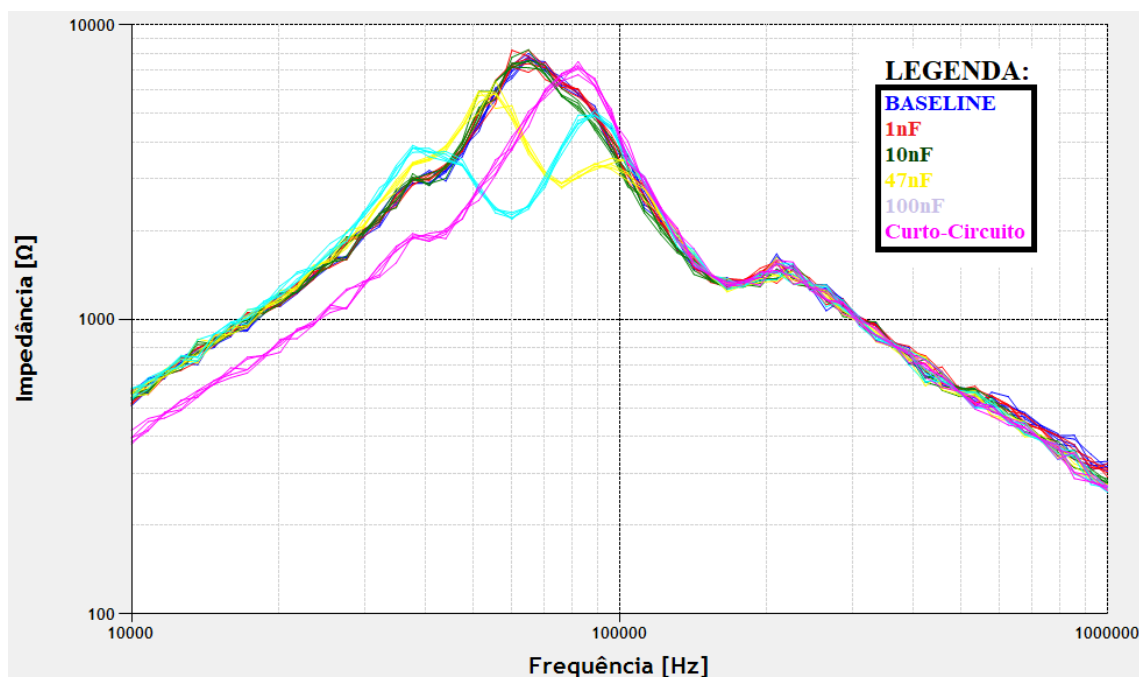


Figura 4.25 - Espectros de Impedâncias do Gerador Síncrono de Polos Lisos - 2% do enrolamento.
Fonte: Autor.

Na figura anterior, em azul, são representados os 5 espectros correspondentes ao *baseline*, portanto, os espectros sem falhas simuladas. Em vermelho, são apresentados 5 espectros obtidos com um capacitor de 1nF entre os taps A-D. Em verde, são apresentados 5 espectros obtidos com um capacitor de 10nF entre os taps A-D. Em amarelo, são apresentados 5 espectros obtidos com um capacitor de 47nF entre os taps A-D. Em ciano, são apresentados 5 espectros obtidos com um capacitor de 100nF entre os taps A-D, e, em magenta, são apresentados 5 espectros obtidos com um curto-circuito entre os taps A-D. Através de uma observação superficial, conclui-se que os espectros em amarelo (capacitor de 47nF), em ciano (capacitor de 100nF), e, em magenta (curto-circuito), apresentam maiores diferenças em relação ao espectro base (*baseline*), em azul. Tal diferença condiz com a falha simulada no isolamento da máquina. Para os demais espectros (1nF e 10nF), a diferença entre o *baseline* não é tão perceptível, sendo necessária, portanto, uma análise mais cuidadosa.

4.5.1.1.1 Cálculo dos indicadores ASLEs para os espectros do Gerador Síncrono de Polos Lisos com 2% do enrolamento

A Figura 4.26 apresenta os resultados do cálculo dos indicadores estatísticos ASLE. Cada 5 pontos no gráfico representa uma configuração de teste realizada. Os

5 primeiros pontos são os indicadores calculados com base nos espectros gerados com a utilização do capacitor de 1nF entre os taps. Os próximos 5 pontos são os indicadores obtidos com o capacitor de 10nF, os 5 pontos seguintes foram obtidos com o capacitor de 47nF. Os próximos 5 pontos foram obtidos com o capacitor de 100nF, e, os últimos 5 pontos, são obtidos com um curto-circuito entre os taps.

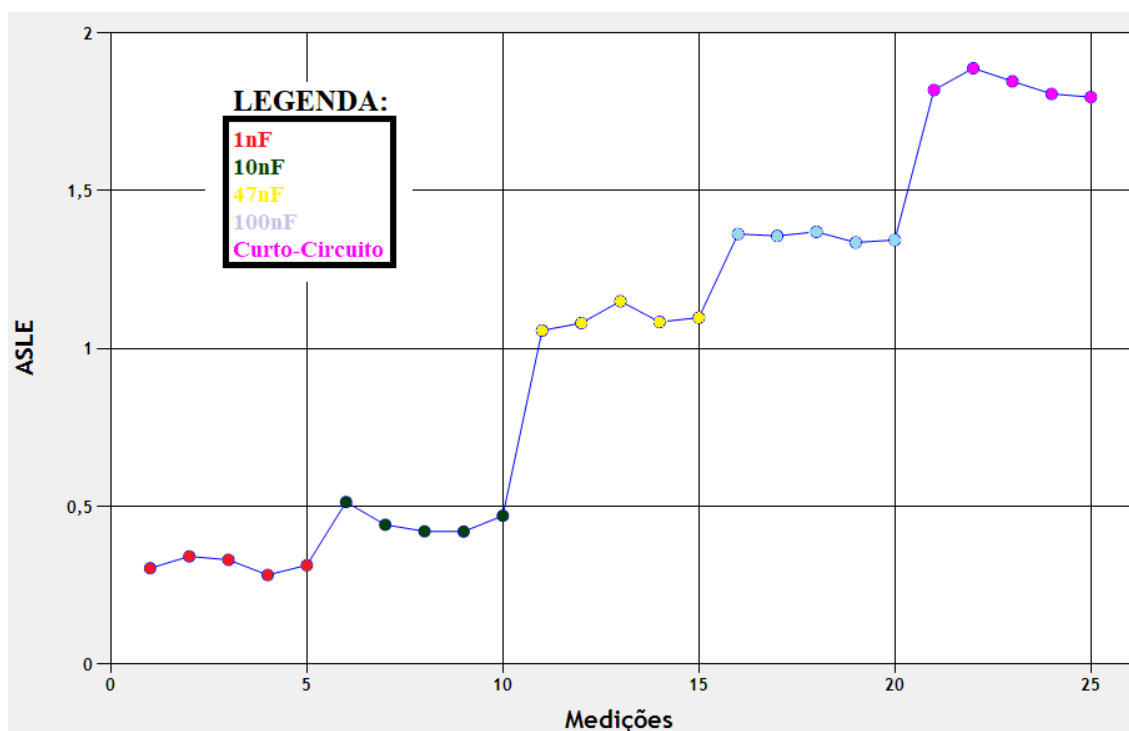


Figura 4.26 - Indicadores ASLE do Gerador Síncrono de Polos Lisos – 2% do enrolamento.
Fonte: Autor.

Como pode ser observado, à medida que o valor da capacitância entre os taps aumenta, o valor do ASLE aumenta, o que significa que o espectro está mais distante do *baseline*, e, portanto, com danos cada vez mais severos no isolamento. Outro ponto a ser notado é que, como observado na Figura 4.25, as diferenças entre os espectros gerados com as falhas simuladas com os capacitores de 1nF e 10nF (espectros vermelho e verde, respectivamente) são, praticamente, imperceptíveis, porém, ao se utilizar o indicador ASLE, tais diferenças se tornaram claramente visíveis (pontos em vermelho – capacitor de 1nF e pontos em verde – capacitor de 10nF), facilitando a interpretação dos resultados.

4.5.1.2 Simulação de falhas em 1% do enrolamento (taps C-D)

Na aplicação da técnica FRA, o sistema foi configurado para realizar a varredura de 60 frequências distintas, separadas logaritmicamente, entre a frequência inicial de 10KHz e a final de 1MHz. Para cada operação, são realizadas 5 varreduras em frequência, obtendo-se, portanto, 5 espectros.

Primeiramente, são realizadas varreduras sem nenhuma falha simulada, portanto, sem nenhum capacitor entre os taps C-D, desta forma, obtém-se os espectros originais da máquina sob teste (*baseline*). Em seguida, falhas são simuladas através da adição de capacitores de variados valores entre os taps C-D, para cada capacitor diferente adicionado, a técnica de FRA é aplicada e novos espectros são obtidos. Por fim, os espectros são comparados e os indicadores estatísticos são calculados.

A Figura 4.27 apresenta 6 conjuntos de sinais, contendo, cada conjunto, 5 espectros.

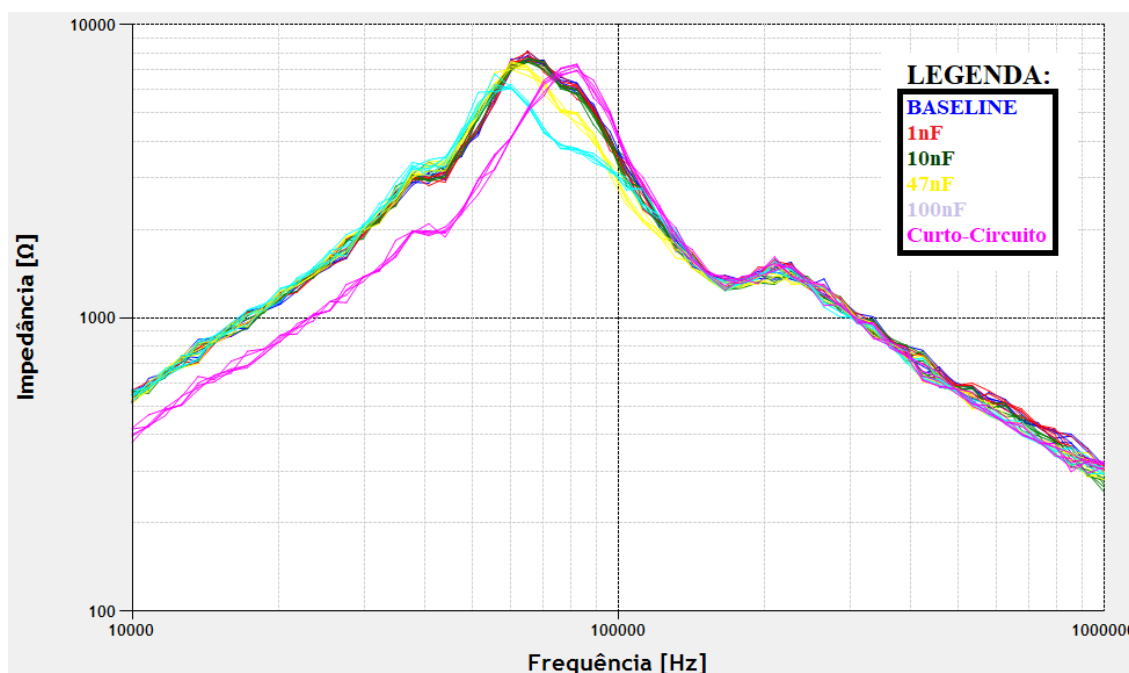


Figura 4.27 - Espectros de Impedâncias do Gerador Síncrono de Polos Lisos - 1% do enrolamento.
Fonte: Autor.

Na figura anterior, em azul, são representados os 5 espectros correspondentes ao baseline, portanto, os espectros sem falhas simuladas. Em vermelho, são apresentados 5 espectros obtidos com um capacitor de 1nF entre os taps C-D. Em

verde, são apresentados 5 espectros obtidos com um capacitor de 10nF entre os taps C-D. Em amarelo, são apresentados 5 espectros obtidos com um capacitor de 47nF entre os taps C-D. Em ciano são apresentados 5 espectros obtidos com um capacitor de 100nF, e, em magenta, são apresentados 5 espectros obtidos com um curto-circuito entre os taps C-D. Através de uma observação superficial, conclui-se que os espectros em amarelo (capacitor de 47nF), em ciano (capacitor de 100nF), e em magenta (curto-circuito) apresentam maiores diferenças em relação ao espectro base (baseline), em azul. Tal diferença condiz com a falha simulada no isolamento da máquina. Para os outros espectros (1nF e 10nF), a diferença entre o baseline não é tão perceptível, sendo necessária, portanto, uma análise mais cuidadosa.

4.5.1.2.1 Cálculo dos indicadores ASLEs para os espectros do Gerador Síncrono de Polos Lisos com 1% do enrolamento

A Figura 4.28 apresenta os resultados do cálculo dos indicadores estatísticos ASLE. Cada 5 pontos no gráfico representa uma configuração de teste realizada. Os 5 primeiros pontos são os indicadores calculados com base nos espectros gerados com a utilização do capacitor de 1nF entre os taps. Os próximos 5 pontos são os indicadores obtidos com o capacitor de 10nF, os 5 pontos seguintes foram obtidos com o capacitor de 47nF, os próximos 5 pontos foram obtidos com o capacitor de 100nF, e, os últimos 5 pontos, são obtidos com um curto-circuito entre os taps.

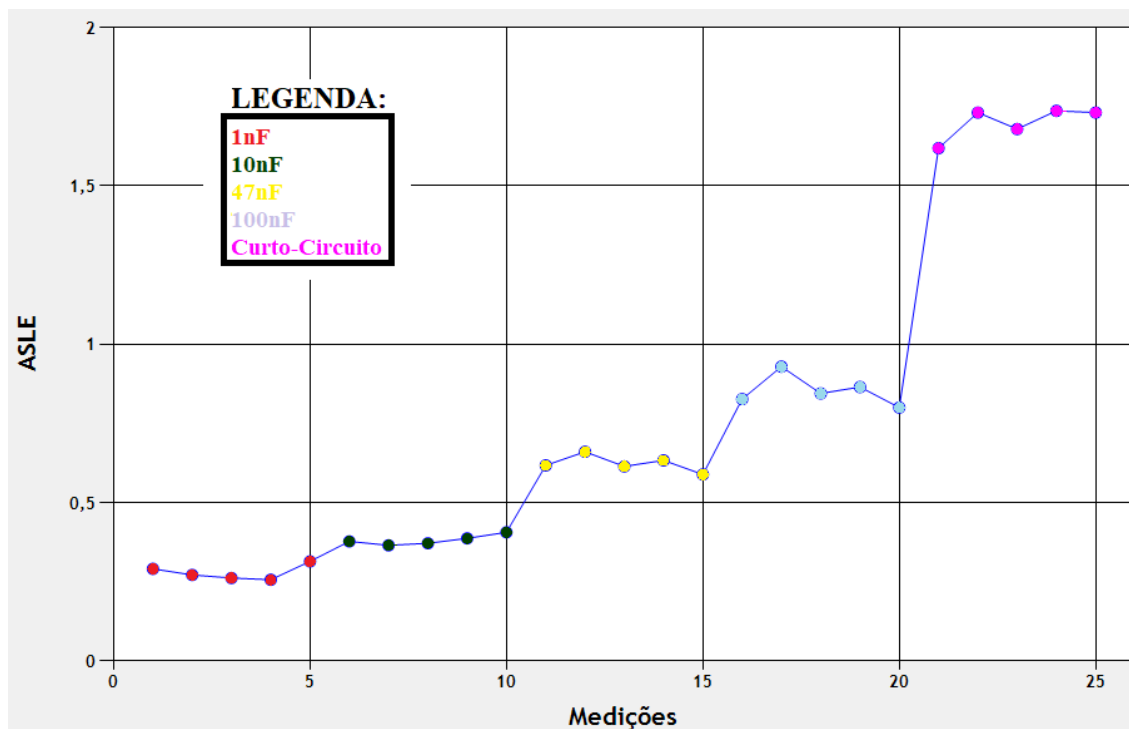


Figura 4.28 - Indicadores ASLE do Gerador Síncrono de Polos Lisos – 1% do enrolamento.
Fonte: Autor.

Como pode ser observado, à medida que o valor da capacitância entre os taps aumenta, o valor do ASLE aumenta, o que significa que o espectro está mais distante do baseline, e, portanto, com danos cada vez mais severos no isolamento. Outro ponto a ser notado é que, como observado na Figura 4.27, as diferenças entre os espectros gerados com as falhas simuladas com os capacitores de 1nF e 10nF (espectros vermelho e verde, respectivamente) são, praticamente, imperceptíveis, porém, ao se utilizar o indicador ASLE, tais diferenças se tornaram claramente visíveis (pontos em vermelho – capacitor de 1nF e pontos em verde – capacitor de 10nF), facilitando a interpretação dos resultados.

4.5.1.3 Simulação de falhas em 1% do enrolamento (taps C-D) com o rotor em uma nova posição

Este ensaio foi feito com a finalidade de verificar que, desde que mantida sempre a mesma posição do rotor para aplicação da técnica, o resultado final da análise não será alterado. Para isso, variou-se o ângulo inicial, deixando o rotor em uma posição diferente das apresentadas nos ensaios anteriores. As falhas foram simuladas, novamente, em 1% do enrolamento. Na sequência, seguem os resultados.

Na aplicação da técnica FRA, o sistema foi configurado para realizar a varredura de 60 frequências distintas, separadas logaritmicamente, entre a frequência inicial de 10KHz e a final de 1MHz. Para cada operação, são realizadas 5 varreduras em frequência, obtendo-se, portanto, 5 espectros.

Primeiramente, são realizadas varreduras sem nenhuma falha simulada, portanto, sem nenhum capacitor entre os taps C-D, desta forma, obtém-se os espectros originais da máquina sob teste (*baseline*). Em seguida, falhas são simuladas através da adição de capacitores de variados valores entre os taps C-D, para cada capacitor diferente adicionado, a técnica de FRA é aplicada e novos espectros são obtidos. Por fim, os espectros são comparados e os indicadores estatísticos são calculados.

A Figura 4.29 apresenta 6 conjuntos de sinais, contendo, cada conjunto, 5 espectros.

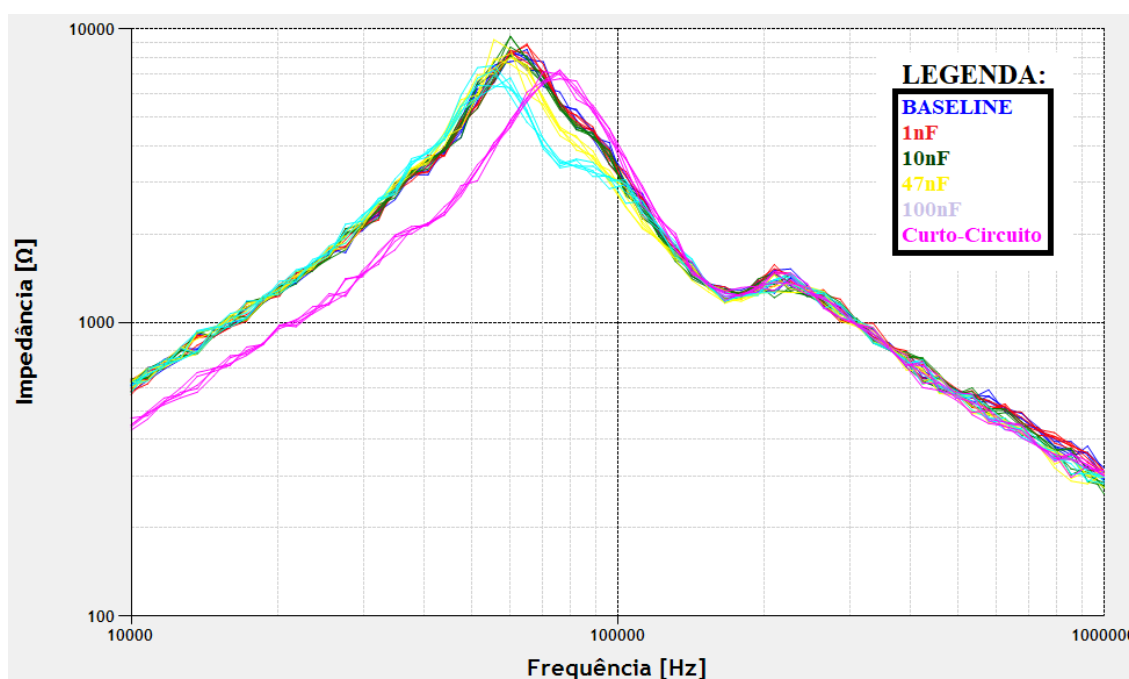


Figura 4.29 - Espectros de Impedâncias do Gerador Síncrono de Polos Lisos - 1% do enrolamento. Rotor em nova posição.
Fonte: Autor.

Na figura anterior, em azul, são representados os 5 espectros correspondentes ao *baseline*, portanto, os espectros sem falhas simuladas. Em vermelho, são apresentados 5 espectros obtidos com um capacitor de 1nF entre os taps C-D. Em verde, são apresentados 5 espectros obtidos com um capacitor de 10nF entre os taps

C-D. Em amarelo, são apresentados 5 espectros obtidos com um capacitor de 47nF entre os taps C-D. Em ciano, são apresentados 5 espectros obtidos com um capacitor de 100 nF entre os taps C-D, e, em magenta, são apresentados 5 espectros obtidos com um curto circuito entre os taps C-D. Através de uma observação superficial, conclui-se que os espectros em amarelo (capacitor de 47nF), em ciano (capacitor de 100nF), e em magenta (curto-circuito) apresentam maiores diferenças em relação ao espectro base (*baseline*), em azul. Tal diferença condiz com a falha simulada no isolamento da máquina. Para os outros espectros (10nF e 100nF), a diferença entre o *baseline* não é tão perceptível, sendo necessária, portanto, uma análise mais cuidadosa.

4.5.1.3.1 Cálculo dos indicadores ASLEs para os espectros do Gerador Síncrono de Polos Lisos com 1% do enrolamento com o rotor em uma nova posição

A Figura 4.30 apresenta os resultados do cálculo dos indicadores estatísticos ASLE. Cada 5 pontos no gráfico representa uma configuração de teste realizada. Os 5 primeiros pontos são os indicadores calculados com base nos espectros gerados com a utilização do capacitor de 1nF entre os taps. Os próximos 5 pontos são os indicadores obtidos com o capacitor de 10nF, os 5 pontos seguintes foram obtidos com o capacitor de 47nF. Os seguintes 5 pontos são obtidos com o capacitor de 100nF entre os taps, e, finalmente, os últimos 5 pontos, são obtidos com um curto-circuito entre os taps.

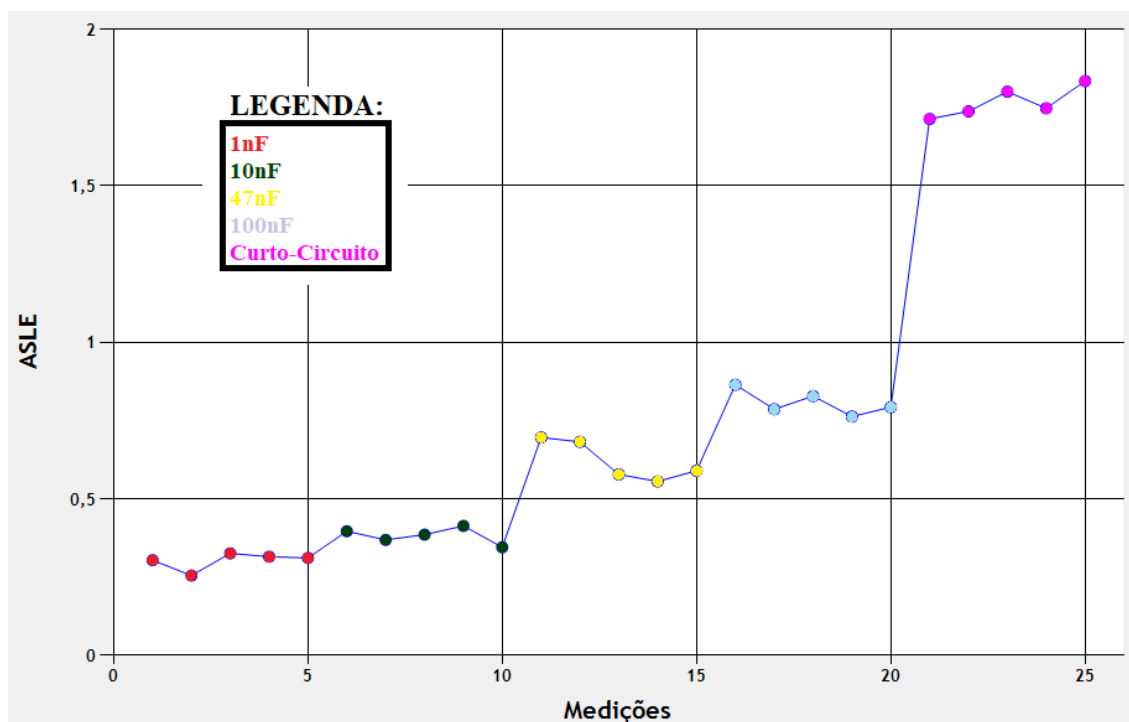


Figura 4.30 - Indicadores ASLE do Gerador Síncrono de Polos Lisos – 1% do enrolamento. Rotor em nova posição.
Fonte: Autor.

Como pode ser observado, à medida que o valor da capacitância entre os taps aumenta, o valor do ASLE aumenta, o que significa que o espectro está mais distante do baseline, e, portanto, com danos cada vez mais severos no isolamento. Outro ponto a ser notado é que, como observado na Figura 4.29, as diferenças entre os espectros gerados com as falhas simuladas com os capacitores de 1nF e 10nF (espectros vermelho e verde, respectivamente) são, praticamente, imperceptíveis, porém, ao se utilizar o indicador ASLE, tais diferenças se tornaram claramente visíveis (pontos em vermelho – capacitor de 1nF e pontos em verde – capacitor de 10nF), facilitando a interpretação dos resultados. Como última conclusão, tem-se que, ao se realizar a varredura com o rotor sempre em uma mesma posição, independentemente de qual seja essa posição, a análise final não é alterada, ou seja, o teste pode ser realizado com qualquer ângulo do rotor, desde que este ângulo se mantenha para as medições futuras.

5 CONCLUSÕES

Este trabalho propôs a elaboração de um sistema embarcado, baseado em FPGA, para detecção precoce de danos no isolamento de máquinas elétricas.

Realizou-se uma revisão da literatura, onde constatou-se que técnicas convencionais de análise de falhas em máquinas elétricas são capazes apenas de detectar a existência ou não de danos no isolamento do equipamento, porém, tais técnicas não permitem identificar essas falhas em seu estado inicial de desenvolvimento. Para a detecção de danos no início de sua formação, é necessário a utilização da técnica de análise do espectro de impedâncias.

Uma das técnicas de análise do espectro de impedâncias é a denominada técnica de análise por resposta em frequência (FRA, do inglês *Frequency Response Analysis*), que é uma técnica consolidada para a detecção de falhas em transformadores. Essa técnica consiste na injeção de sinais em uma ampla faixa de frequência no enrolamento da máquina a ser analisada. Para cada sinal injetado, é realizado a medição da impedância do enrolamento. Ao final do processo, obtém-se o espectro de impedâncias do dispositivo sob teste. Esse procedimento é repetido diversas vezes, e, a cada novo espectro gerado, é realizada uma comparação com o *baseline*, que é o espectro definido como base de comparação para os outros espectros. Diferenças entre o *baseline* e os novos espectros obtidos podem sinalizar o início da formação de uma falha no isolamento. Muitas vezes, essas diferenças são extremamente sutis, necessitando, assim, de uma equipe altamente especializada para interpretação dos espectros. Com base nisso, é comum a utilização de indicadores estatísticos para deixar a análise dos dados mais objetiva, permitindo que qualquer pessoa possa concluir e identificar tendências de falhas nas máquinas.

Foi desenvolvido um sistema composto por *hardware* e *software* para a aplicação da técnica de resposta em frequências em máquinas elétricas. O *hardware* é responsável pelo sistema de geração de sinais em altas frequências, e, também, pelo sistema de aquisição de dados em variadas frequências de amostragem, e, além disso, realiza a transferência pela rede dos sinais obtidos. Enquanto que o *software* permite o usuário realizar a configuração do modo de operação do *hardware*. As configurações que o programa permite o usuário fazer são: definição da frequência inicial e final da varredura, quantidade de frequências a serem geradas entre a

frequência inicial e final, número de varreduras, faixa de frequências para análise estatística, e IP/porta para conexão remota com servidor. Além disso, o *software* apresenta uma tela para visualização gráfica dos espectros obtidos, uma outra tela para realização dos cálculos e visualização gráfica dos indicadores estatísticos, e uma última tela para visualização gráfica dos sinais no tempo que foram adquiridos.

Para validação do sistema desenvolvido, foi proposto, na seção 4.2, a aplicação da técnica de FRA em circuitos simples conhecidos, no caso, utilizou-se um resistor, um capacitor, e um arranjo resistor/capacitor em série. Para todos os casos analisados, conclui-se que o sistema respondeu como o esperado, validando-se, assim, o conjunto hardware/software desenvolvidos. Desta forma, foi possível avançar para a aplicação da técnica em duas máquinas elétricas distintas.

Na seção 4.4, aplicou-se a técnica de FRA em uma máquina de indução do tipo gaiola de esquilo com quatro polos, conclui-se, nos resultados, que o sistema desenvolvido em FPGA foi capaz de detectar, de forma precoce, danos simulados no isolamento da máquina para três casos propostos. Ficou evidenciado que o sistema consegue detectar a tendência de falhas simuladas em uma porcentagem bem pequena do enrolamento da máquina (apenas 5% do total do enrolamento de uma das fases).

Na seção 4.5, aplicou-se a técnica de FRA em uma máquina síncrona de polos lisos, conclui-se, pelos resultados apresentados, que o sistema desenvolvido em FPGA foi capaz de detectar, de forma precoce, danos simulados no isolamento da máquina para três casos propostos. Ficou evidenciado que o sistema consegue detectar a tendência de falhas simuladas em uma porcentagem bem pequena do enrolamento da máquina (apenas 1% do total do enrolamento de uma das fases).

Desta forma, o trabalho contribui com a apresentação de uma tecnologia nacional para detecção precoce de falhas em máquinas elétricas. O sistema desenvolvido possui, além de um preço reduzido, toda a flexibilidade de hardware permitida pelo desenvolvimento em FPGA.

Como trabalhos futuros, primeiramente, pode-se realizar um estudo buscando classificar a severidade da falha com base nos dados do indicador estatístico. Também, pode-se aplicar técnicas estatísticas mais avançadas para realizar a identificação e acompanhamento da evolução dos danos nas máquinas. Por fim, o

sistema pode ser aperfeiçoado para aplicação em máquinas elétricas em operação (*on-line*).

REFERÊNCIAS

- BADGUJAR, K. P.; MAOYAFIKUDDIN, M.; KULKARNI, S. V. Alternative statistical techniques for aiding SFRA diagnostics in transformers, 2012.
- BRÜTSCH, et al. Insulation Failure Mechanisms of Power Generators. **IEEE Electrical Insulation Magazine**, p. 17-25, 2008.
- DISTER, C. J.; DELVECCHIO, P. A.; ROGOVIN, D. N. **System to Provide Low Cost Excitation to Stator Winding to Generate Impedance Spectrum for use in Stator Diagnostics**. US Patent 6035265, 7 Mar. 2000.
- DRIF, M.; CARDOSO, A. J. M. Stator fault diagnostics in squirrel cage three-phase induction motor drives using the instantaneous active and reactive power signature analyses. **IEEE Transactions on Industrial Informatics**, v. 10, n. 2, p. 1348-1360, 2014.
- GAMA, B. R. et al. Desenvolvimento em Plataforma FPGA de Sistema de Detecção Precoce de Falhas em Isolamento de Máquinas Elétricas. **Revista de Engenharia e Tecnologia**, 2019.
- GOMEZ-LUNA, E. et al. Current Status and Future Trends in Frequency-Response Analysis With a Transformer in Service. **IEEE Transactions on Power Delivery**, v. 28, n. 2, p. 1024-1031, 2013.
- IDT. **Datasheet: "DAC1401D125 Dual 14-bit DAC, up to 125 Msps"**. IDT. 2012.
- IEEE-STD-1434. **IEEE Trial Use Guide to the Measurement of Partial Discharges in Rotating Machinery**. IEEE. 2000.
- IEEE-STD-286. **Recommended Practice for Measurement of Power Factor Tip-Up of Electric Machinery Stator Coil Insulation**. IEEE. 2000.
- IEEE-STD-522. **Guide for Testing Turn-to-Turn Insulation on Form Wound Stator Coils for Alternating Current Rotating Electrical Machines**. IEEE. 2004.
- IEEE-STD-C57. **Guide for the Application and Interpretation of Frequency Response Analysis for Oil-Immersed Transformers**. IEEE, p. 1-72. 2013.
- JAMES, R. E.; SU, Q. **Condition Assessment of High Voltage Insulation in Power System Equipment**. [S.l.]: IET power and energy series. Institution of Engineering and Technology., 2008.
- KENDING, M. W.; ROGOVIN, D. N. **Method of Conducting Broadband Impedance Response Tests to Predict Stator Winding Failure**. US Patent 6483319B1, 19 Nov. 2002.
- KIM, J.-W. et al. Fault diagnosis of a power transformer using an improved frequency-response analysis. **Power Delivery, IEEE Transactions**, v. 20, n. 1, p. 169-178, 2005.
- KLEMPNER, G.; KERSZENBAUM, I. **Operation and Maintenance of Large Turbo-Generators**. [S.l.]: IEEE Press Series on Power Engineering, 2004.
- LAMARRE, L.; PICHER, P. Impedance Characterization of Hydro Generator Stator Windings and Preliminary Results of FRA Analysis. **Conference Record of the 2008 IEEE International Symposium on Electrical Insulation**, 2008.
- LINEAR TECHNOLOGY. **Datasheet: LTC2145-14/ LTC2144-14/ LTC2143-14 14-Bit, 125Msps/ 105Msps/ 80Msps Low Power Dual ADCs**. Linear Technology. 2011.

MACDONALD, J. R. Impedance Spectroscopy. **Annals of Biomedical Engineering**, 20, 1992. 289-305.

OPENCORES. The reference community for Free and Open Source gateway IP cores, 2019. Disponível em: <<http://opencores.org>>. Acesso em: 07 maio 2019.

PERISSE, F.; WERYNSKI, P.; ROGER, D. A New Method for AC Machine Turn Insulation Diagnostic Based on High Frequency Resonances. **IEEE Transactions on Dielectrics and Electrical**, 14, n. 5, 2007.

PLATERO, C. et al. Application of Sweep Frequency Response Analysis (SFRA) for Interturn Detection of in Medium-voltage Coils Manufacturing. **44th International Conference on Large High Voltage Electric Systems**, 2012.

RED PITAYA. **Red Pitaya platform to slash instrument costs**. Environmental Engineering. 2014a.

RED PITAYA. **Electrical Schematics for: Red Pitaya**. Red Pitaya. 2014b.

RED PITAYA. **Red Pitaya Documentation - STEMLab 125-10 vs. STEMLab 125-14**. Red Pitaya. 2017.

RYDER, S. A. Methods for comparing frequency response analysis measurements. **Conference Record of the the 2002 IEEE International Symposium on Electrical Insulation**, p. 187-190, 2002.

RYDER, S. A. Diagnosing transformer faults using frequency response analysis. **EEE Electrical Insulation Magazine**, 19, n. 2, 2003. 16-22.

SALOMON, C. P. et al. A system for turbogenerator predictive maintenance based on Electrical Signature Analysis. **IEEE International Instrumentation and Measurement Technology Conference (I2MTC) Proceedings**, 2015.

SANT'ANA, W. C. et al. Influence of rotor position on the repeatability of frequency response analysis measurements on rotating machines and a statistical approach for more meaningful diagnostics. **Electric Power Systems Research**, v. 133, p. 71-78, 2016a.

SANT'ANA, W. C. et al. A survey on statistical indexes applied on frequency response analysis of electric machinery and a trend based approach for more reliable results. **Electric Power Systems Research**, v. 137, p. 26-33, 2016b.

SANT'ANA, W. C. et al. Early detection of insulation failures on electric generators through online Frequency Response Analysis. **Electric Power Systems Research**, v. 140, p. 337-343, 2016c.

SANT'ANA, W. C. et al. On the use of hypothesis tests as statistical indexes for frequency response analysis of electric machinery. **Electric Power Systems Research**, v. 147, p. 245-253, 2017.

SANT'ANA, W. C. Detecção precoce de danos no isolamento de geradores elétricos através da análise do espectro de impedâncias. **Tese de Doutorado**, 2016. Tese de Doutorado.

STONE, G. C. Recent important changes in IEEE motor and generator winding insulation diagnostic testing standards. **IEEE Transactions on Industry Applications**, v. 41, n. 1, p. 91-100, 2005.

STONE, G. C. et al. **Electrical Insulation for Rotating Machines: Design, Evaluation,**

Aging, Testing, and Repair. **EEE Press Series on Power Engineering**, 2004.

SUMEREDER, C. Statistical Lifetime of Hydro Generators and Failure Analysis. **IEEE Transactions on Dielectrics and Electrical Insulation**, Graz, p. 678-685, 2008.

TENBOHLEN, S.; RYDER, S. A. Making Frequency Response Analysis Measurements: A Comparison of the Swept Frequency and Low Voltage Impulse Methods. **XIIITH INTERNATIONAL SYMPOSIUM ON HIGH VOLTAGE ENGINEERING**, 2003.

XILINX. **Multiplier v12.0 LogiCORE IP Product Guide**. Xilinx all Programmable. 2015.

XILINX. **Clocking Wizard v5.3 LogiCORE IP Product Guide**. Xilinx all Programmable. 2016a.

XILINX. **Divider Generator v5.1 LogiCORE IP Product Guide**. Xilinx all Programmable. 2016b.

XILINX. **AXI GPIO v2.0 LogiCORE IP Product Guide**. Xilinx all Programmable. 2016c.

APÊNDICES

APÊNDICE A VISÃO GERAL DA PLATAFORMA STEMLAB

STEMLab é uma placa semi-aberta da empresa Red Pitaya, a qual foi fundada na Eslovênia em 2013, e trabalha no mercado de testes e medições. Ela tem como objetivo substituir instrumentos de medição e controle presentes no mercado, sendo uma opção bem mais barata do que os instrumentos comerciais Red Pitaya (2014a).

Por ser uma placa de baixo custo, é acessível à estudantes e desenvolvedores iniciantes interessados em trabalhar com um dispositivo SoC FPGA. Também, no setor industrial, permite o desenvolvimento e lançamento de novos produtos com preços competitivos.

O reduzido tamanho e peso do dispositivo, faz com que seja um ótimo sistema para aplicações em campo. Apresenta, dentre outros periféricos, dois conversores digital-analógico (DAC, do inglês *digital-to-analog converter*), e dois conversores analógico-digital (ADC, do inglês *analog-to-digital converter*), ambos conversores são de alta velocidade, operando com uma frequência de referência de *clock* de 125MHz.

A.1 INFORMAÇÕES TÉCNICAS DO DISPOSITIVO

A Figura A.1, a seguir, apresenta a placa STEMLab utilizada para a elaboração desse trabalho. Alguns dos principais componentes da placa foram destacados.

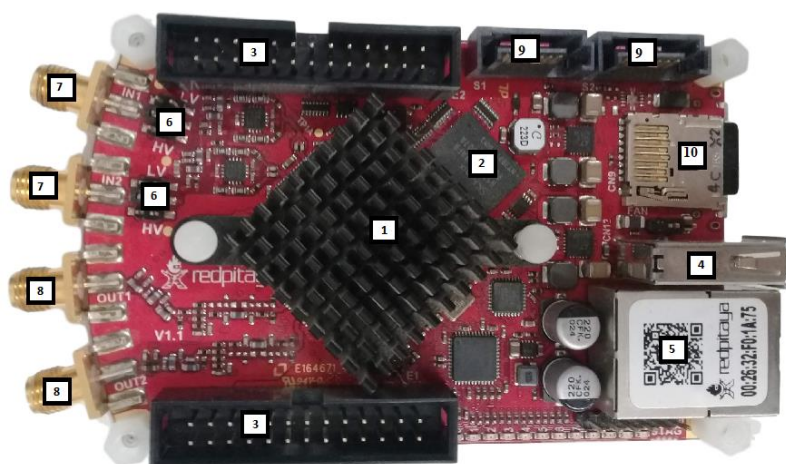


Figura A.1 - Visão Geral Red Pitaya.
Fonte: Autor.

Os componentes destacados são:

- 11 – SoC Zynq-7000.
- 12 – RAM.
- 13 – Conectores de Extensão.
- 14 – USB
- 15 – Ethernet.
- 16 – Jumpers escala de tensão de entrada.
- 17 – Entradas analógicas.
- 18 – Saídas analógicas.
- 19 – Conectores SATA.
- 20 – Conector micro SD.

A versatilidade da plataforma de desenvolvimento está diretamente relacionada ao dispositivo SoC Zynq-7000, que possibilita a integração da programabilidade de *hardware* de um FPGA da família Artix-7 com a programabilidade de *software* de um processador dual-core ARM Cortex-A9. A região em que se encontra o FPGA é conhecida como região lógica programável (PL, do inglês *Programmable Logic*), e a região composta por memórias e o processador é denominada de sistema de processamento (PS, do inglês *Processing System*).

Existem, atualmente, duas versões da placa, a STEMLab 125-10, e STEMLab 125-14. A seguir, são apresentadas informações técnicas de cada uma das placas disponíveis, todos os dados foram colhidos do manual do fabricante da plataforma, presente em Red Pitaya (2017). Na Tabela A.1, a seguir, são apresentadas informações básicas dos dispositivos.

Tabela A.1 - Informações básicas

	STEMLab 125-10	STEMLab 125-14
Processador	Dual-core ARM Cortex-A9	Dual-core ARM Cortex-A9
FPGA	Artix-7	Artix-7
RAM	256MB	512MB
Memória do Sistema	Micro SD – até 32GB	Micro SD – até 32GB
Conector Alimentação	Micro USB	Micro USB
Consumo de Potência	5V, 1,5A (máximo)	5V, 2,0A (máximo)

Fonte: (RED PITAYA, 2017).

Na Tabela A.2, a seguir, são apresentadas informações sobre conectividade da placa.

Tabela A.2 – Conectividade

	STEMLab 125-10	STEMLab 125-14
Ethernet	1Gbit	1Gbit
USB	USB 2.0	USB 2.0
WIFI	Necessita dongle wifi	Necessita dongle wifi
Sincronização	Não presente	Daisy chain (500MB/s)

Fonte: (RED PITAYA, 2017).

Na Tabela A.3, a seguir, são apresentadas informações sobre os conectores de extensão presentes na plataforma.

Tabela A.3 - Conectores de extensão

	STEMLab125-10	STEMLab 125-14
IOs digitais	16	16
Entradas analógicas	4	4
Faixa de tensão entradas analógicas	0 – 3,5V	0 – 3,5V
Taxa de amostragem	100kS/s	100kS/s
Resolução	12 bits	12 bits
Saídas analógicas	4	4
Faixa de tensão saídas analógicas	0 – 1,8V	0 – 1,8V
Interfaces comunicação	I2C, SPI, UART	I2C, SPI, UART
Tensões disponíveis	+5V, +3,3V, -4V	+5V, +3,3V, -4V
Clock externo ADC	N/A	Sim

Fonte: (RED PITAYA, 2017).

A.2 CONVERSOR ANALÓGICO-DIGITAL (ADC) DE ALTA VELOCIDADE

A plataforma apresenta o conversor analógico-digital (ADC, do inglês *analog to digital converter*) LTC2145CUP-14. Como consta em Linear Technology (2011), o *datasheet* do componente, o dispositivo é um conversor de alta velocidade, trabalhando com uma taxa de atualização de 125MS/s, apresenta dois canais de entrada, de 14 bits cada. Na Tabela A.4, a seguir, são apresentadas informações sobre o canal de entrada analógica de alta velocidade.

Tabela A.4 - Canal de entrada

	STEMLab 125-10	STEMLab 125-14
Canais de entrada	2	2
Taxa de amostragem	125 MS/s	125 MS/s
Resolução do ADC	10 bits	14 bits
Impedância de entrada	1M Ω /10pF	1M Ω /10pF
Escala de medição	$\pm 1V$ e $\pm 20V$	$\pm 1V$ e $\pm 20V$
Máximo valor de tensão	30V	30V
Proteção ESD	Sim	Sim
Proteção sobrecarga	Diodos de proteção	Diodos de proteção

Fonte: (RED PITAYA, 2017).

A Figura A.2 apresenta o diagrama de blocos do ADC.

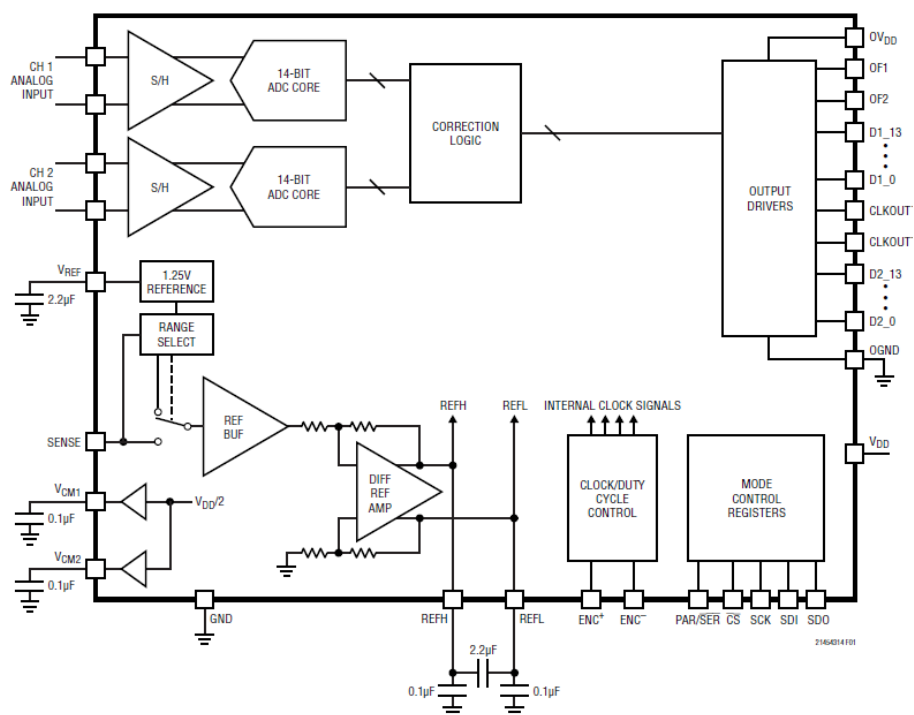


Figura A.2 – Diagrama de blocos ADC.
Fonte: (LINEAR TECHNOLOGY, 2011).

Na Figura A.3 pode ser observado o esquemático contendo os circuitos de entrada na plataforma juntamente com o ADC utilizado.

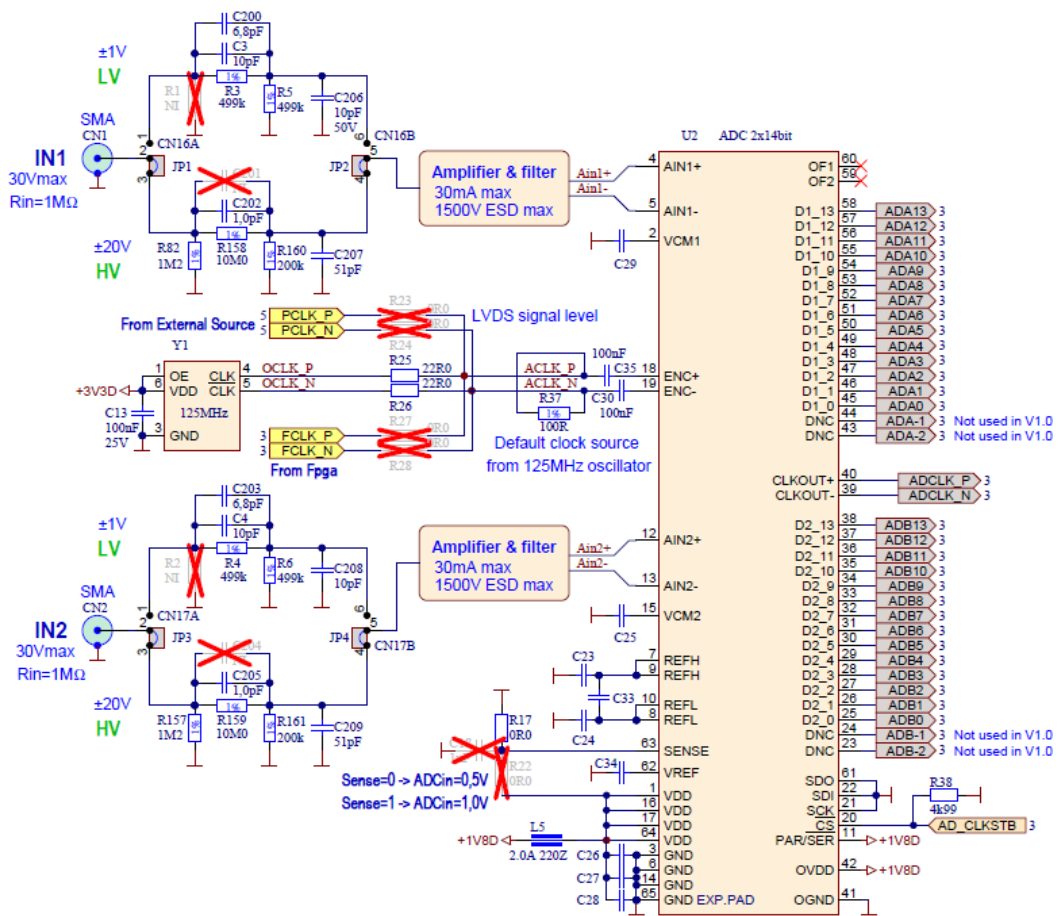


Figura A.3 - Esquemático STEMLab ADC.
Fonte: (RED PITAYA, 2014b).

Observa-se a presença de um oscilador de 125MHz na Figura A.3, este oscilador que fornece o sinal de *clock* diferencial ao sistema. Observa-se também que, como o pino SENSE está conectado em 0, a tensão de referência para o ADC será de $\pm 0,5V$.

O ADC apresenta duas formas para programação do dispositivo, podendo ser a programação por interface paralela, ou por interface serial. A programação serial apresenta maior flexibilidade, permitindo a seleção de todos os modos disponíveis. Já a programação paralela é um pouco mais limitada, permitindo apenas a seleção dos modos de operações mais comuns. Como consta no *datasheet* do componente, a programação paralela é ativada quando os pinos PAR/\overline{SER} do ADC estiverem em nível lógico 1. Como pode ser observado na Figura A.3, os pinos mencionados estão conectados ao V_{DD} , selecionando-se, então, o modo de operação paralela.

Como consta em Linear Technology (2011), tanto para a programação serial, quanto para a programação paralela, são quatro pinos utilizados de forma a configurar os modos de operação do dispositivo, são eles:

- \overline{CS} : No modo de programação serial ($PAR/\overline{SER} = 0V$), o pino \overline{CS} é a entrada *Chip Select* da interface serial (*Serial Interface Chip Select Input*). Quando \overline{CS} está em nível baixo, SCK é habilitado para deslocar dados presente no SDI para os registradores de controle. Para o modo de programação paralela ($PAR/\overline{SER} = V_{DD}$), esse pino controla o estabilizador do *Duty Cycle* do *clock*, como pode ser observado na Tabela A.5.
- SCK: No modo de programação serial ($PAR/\overline{SER} = 0V$), o pino SCK é a entrada de *clock* da interface serial (*Serial Interface Clock Input*). No modo de programação paralela ($PAR/\overline{SER} = V_{DD}$), esse pino controla o modo da saída digital, como pode ser observado na Tabela A.5.
- SDI: No modo de programação serial ($PAR/\overline{SER} = 0V$), o pino SDI é a entrada de dados da interface serial (*Serial Interface Data Input*). Dados nessa entrada são transferidos para os registros de controles durante a borda de subida do sinal SCK. No modo de programação paralela ($PAR/\overline{SER} = V_{DD}$), o pino SDI pode ser utilizado juntamente com o pino SDO para desligar o sistema, a tabela Tabela A.5 mostra as opções disponíveis para configuração do SDI.
- SDO: No modo de programação serial ($PAR/\overline{SER} = 0V$), o pino SDO é uma saída de dados opcional da interface serial (*Optional Serial Interface Data Output*). Pode ser utilizado como leitura do dado fornecido aos registradores de controle. No modo de programação paralela ($PAR/\overline{SER} = V_{DD}$), o pino SDO pode ser utilizado juntamente com o pino SDI para desligar o sistema, a tabela Tabela A.5 mostra as opções disponíveis para a configuração do SDO.

A Tabela A.5 apresenta cada um dos pinos com as respectivas possíveis configurações para a programação paralela, que é a única opção possível para o kit STEMLab, dado o circuito físico da Figura A.3.

Tabela A.5 - Modo de programação paralela

Pino	Descrição
\overline{CS}	Bit de controle para estabilizar Duty Cycle do Clock 0 = Estabilizador do <i>duty cycle</i> do <i>clock</i> desativado 1 = Estabilizador do <i>duty cycle</i> do <i>clock</i> ativado
<i>SCK</i>	Bit de controle para o modo da saída digital 0 = Modo de saída <i>Full Rate CMOS</i> 1 = Modo de saída <i>Double Data Rate LVDS</i>
<i>SDI/SDO</i>	Bit de controle para desligar dispositivo 00 = Operação normal. 01 = Canal 1 em operação normal, Canal 2 em modo soneca. 10 = Canal 1 e canal 2 em modo soneca. 11 = Todo o sistema é desligado.

Fonte: (LINEAR TECHNOLOGY, 2011).

Comparando-se a Tabela A.5 com a Figura A.3, observa-se que, como os pinos *SDI/SDO*, e *SCK* estão todos em nível lógico 0, o dispositivo está operando em modo de saída *Full Rate CMOS*, e em modo de operação normal. No *datasheet* do componente consta que, no modo *Full Rate CMOS*, os pinos de saída de dados (D1_0 até D1_13 e D2_0 até D2_13), os pinos de *overflow* (OF2, OF1), e os pinos de *clock* de saída (CLKOUT⁺, CLKOUT⁻), apresentam sinais de saída CMOS.

Na Figura A.4 é apresentado o modo de operação do conversor, juntamente com os tempos de atraso presentes.

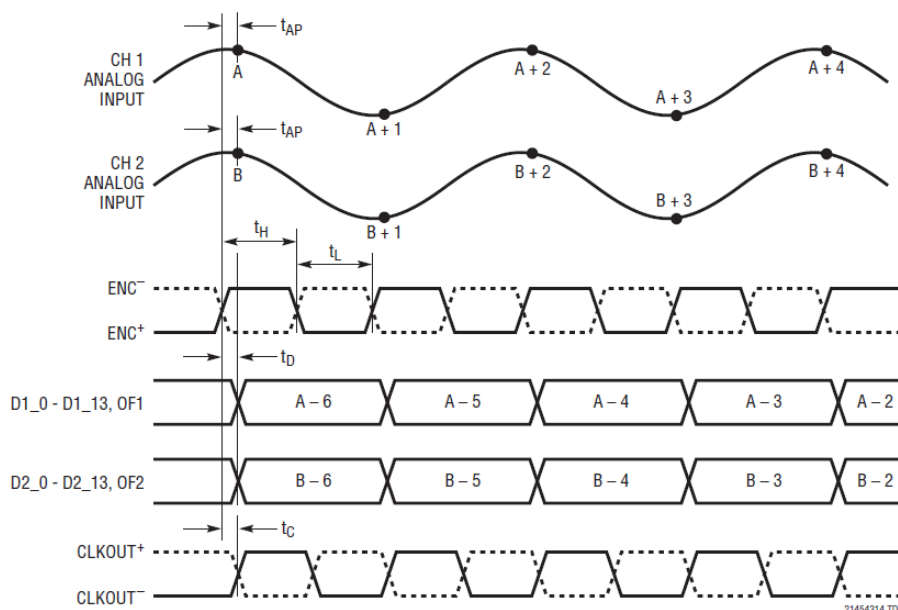


Figura A.4 - Modo de operação e tempos do ADC.
Fonte: (LINEAR TECHNOLOGY, 2011).

As grandezas na Figura A.4 são apresentadas a seguir.

- t_{AP} : Atraso de aquisição do *sample-and-hold*.
- t_H : Tempo de nível alto do sinal ENC.
- t_L : Tempo de nível baixo do sinal ENC.
- t_D : Atraso entre o sinal ENC e o dado.
- t_c : Atraso entre o sinal ENC e o CLKOUT.
- ENC^- : Complemento ao sinal ENC.
- ENC^+ : Conversão inicia na rampa de subida do sinal ENC.
- $CLKOUT^+$: *Clock* dos dados de saída.
- $CLKOUT^-$: Versão invertida do $CLKOUT^+$.

Segundo Linear Technology (2011), a qualidade do sinal de entrada *encode* ($ENC^+ - ENC^-$) afeta diretamente a performance de ruído do ADC, este sinal deve ser tratado como um sinal analógico. Existem dois modos de operação para os sinais de entrada do *encode*, o primeiro é o modo de operação diferencial (que é o utilizado para este projeto, como pode ser observado na Figura A.3 – nas entradas ENC^+ e ENC^- do ADC), e o modo de operação *single-ended*. Ainda, segundo Linear Technology (2011), para uma boa performance do sistema, o sinal *encode* precisa ter um *duty cycle* de 50% ($\pm 5\%$). Com o estabilizador de *duty cycle* habilitado, obtém-se um *duty cycle* constante de 50%, mesmo com variações entre 30% até 70%.

Como pode ser observado na Figura A.4 , a conversão do sinal analógico para o digital é realizada durante a borda de subida do sinal ENC^+ . Percebe-se também pela figura anterior que essa conversão não é imediata, ela dura, segundo Linear Technology (2011), cerca de 6.5 ciclos de *clock* para que um dado analógico de entrada seja fornecido digitalmente na saída do conversor.

Desta forma, o procedimento para a realização da conversão do sinal, é a programação do conversor utilizando-se os pinos da Tabela A.5, e, também, fornecer os sinais de ENC^+ e ENC^- . Para o caso da plataforma STEMLab, como já foi visto, os pinos SDI/SDO, e SCK, já estão definidos em *hardware*, resta apenas a configuração do pino CS, que será comentada na seção 3.1. E, também, como já foi mencionado, os sinais ENC^- e ENC^+ , são dirigidos pelo oscilador externo da placa.

Um ponto importante é que, segundo Linear Technology (2011), os dados convertidos estão, por padrão, no formato *offset binary*. A Tabela A.6 mostra a realização da conversão digital de sinais analógicos fornecidos na entrada do conversor, variando entre $\pm 1V$. É possível definir o formato dos dados de saída para complemento de 2, porém, esse modo só é possível da programação serial, e, como já foi visto, o ADC está em configurado para a programação paralela.

Tabela A.6 - Código de saída vs Sinal de entrada

$A_{IN}^+ - A_{IN}^-$	Overflow	D13-D0 (offset binary)
$>1.000000V$	1	11 1111 1111 1111
$+0,999878V$	0	11 1111 1111 1111
$+0,999756V$	0	11 1111 1111 1110
$+0,000122V$	0	10 0000 0000 0001
$+0,000000V$	0	10 0000 0000 0000
$-0,000122V$	0	01 1111 1111 1111
$-0,000244V$	0	01 1111 1111 1110
$-0,999878V$	0	00 0000 0000 0001
$-1,000000V$	0	00 0000 0000 0000
$\leq -1,000000V$	1	00 0000 0000 0000

Fonte: (LINEAR TECHNOLOGY, 2011).

Na Figura A.5 são apresentadas as conexões entre o ADC e o FPGA. Essas conexões são importantes ao se realizar o desenvolvimento com o FPGA, como será exemplificado adiante.

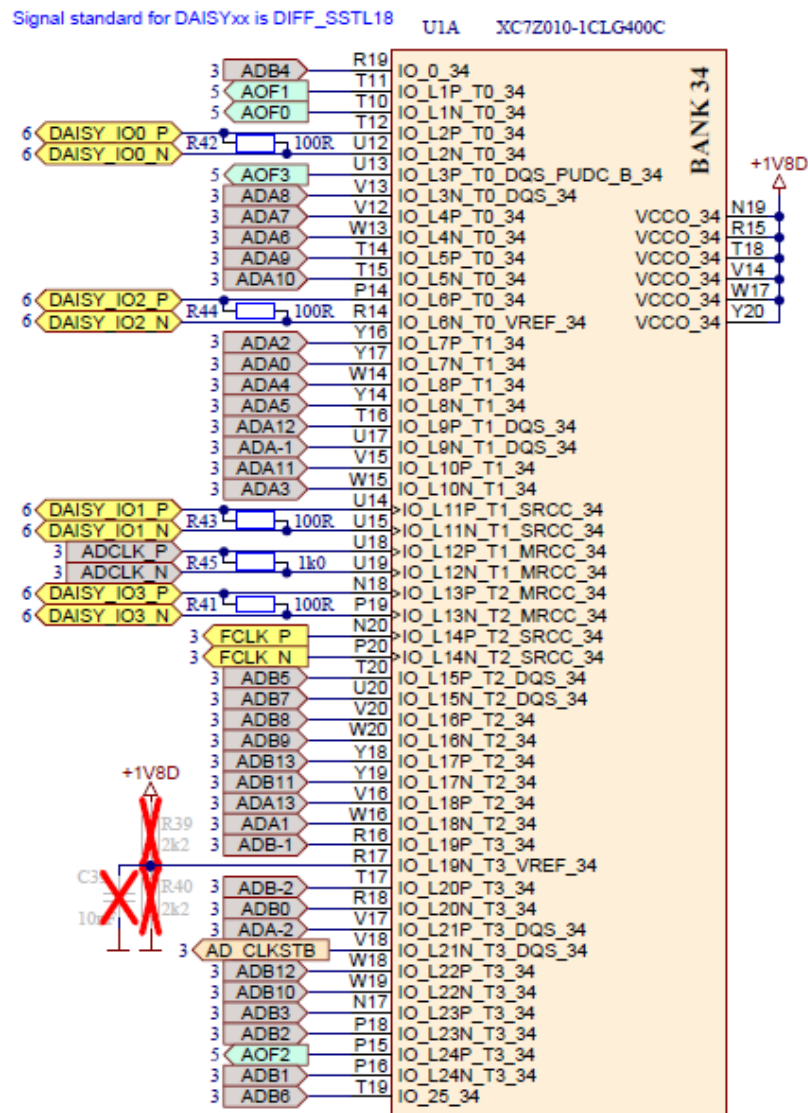


Figura A.5 - Conexão entre FPGA e ADC.
Fonte: (RED PITAYA, 2014b).

A.3 CONVERSOR DIGITAL-ANALÓGICO (DAC) DE ALTA VELOCIDADE

A plataforma apresenta o conversor digital-analógico (DAC, do inglês *digital to analog converter*) DAC1401D125. Como consta em IDT (2012), o *datasheet* do componente, o dispositivo é um conversor de alta velocidade, trabalhando com uma taxa de atualização de dados de 125Mps, e apresenta dois canais de saída, de 14 bits cada. Na Tabela A.7, a seguir, são apresentadas informações sobre o canal de saída analógica de alta velocidade.

Tabela A.7 - Canal de saída

	STEMLab 125-10	STEMLab 125-14
Canais de saída	2	2
Taxa de amostragem	125 MS/s	125MS/s
Resolução do DAC	10 bits	14 bits
Impedância de saída	50Ω	50Ω
Taxa de variação da saída	200V/us	200V/us
Faixa de tensão	±1V	±1V
Proteção curto-circuito	Sim	Sim
Tipo de conector	SMA	SMA

Fonte: (RED PITAYA, 2017).

O diagrama de blocos do DAC é apresentado na Figura A.6.

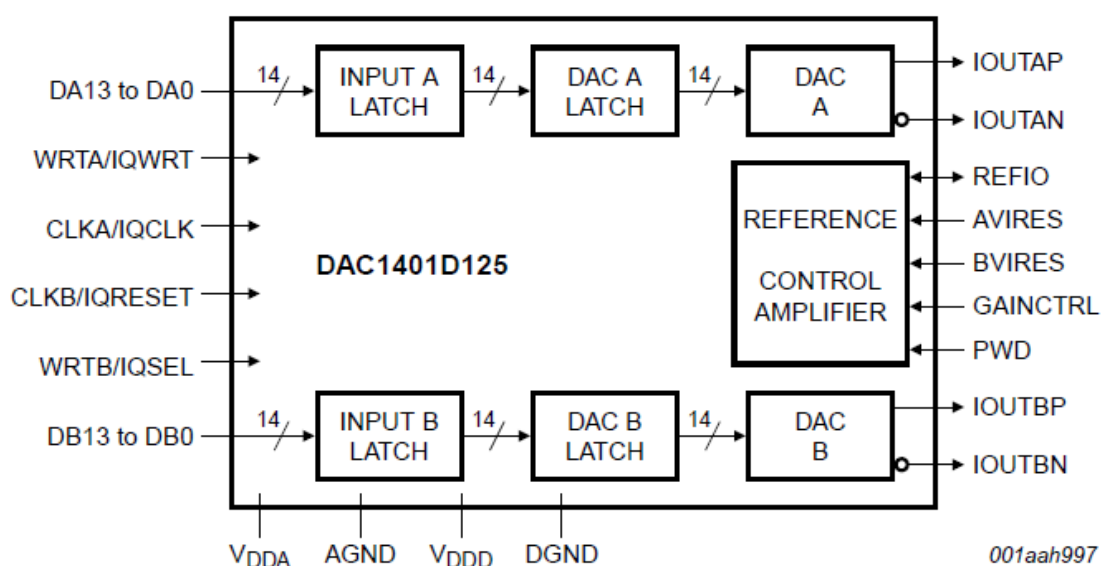


Figura A.6 - Diagrama de blocos DAC.

Fonte: (IDT, 2012).

As conexões existentes entre o DAC e o FPGA são representadas na Figura A.7.

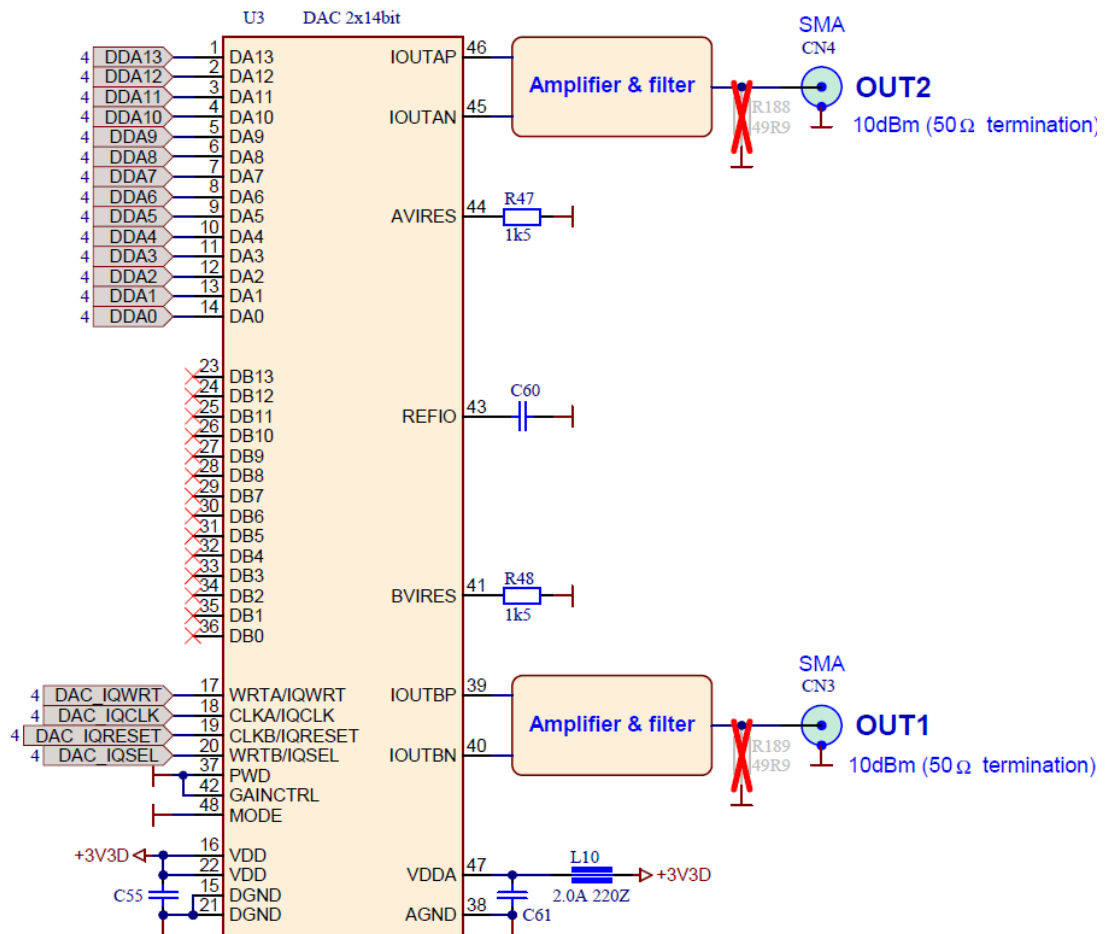


Figura A.7 - Conexão entre FPGA e DAC.
 Fonte: (RED PITAYA, 2014b).

Como consta em IDT (2012), o ADC apresenta dois modos de operação, o *Dual port mode* e o *Interleaved mode*. Esse modo de operação é definido pelo nível lógico do pino MODE, esse pino pode ser observado na Figura A.7. Se $\text{MODE} = 0$, o DAC trabalhará em *Interleaved mode*, se $\text{MODE} = 1$, trabalhará em *Dual Port Mode*. Como pode ser observado na Figura A.7, o pino MODE está conectado em nível lógico 0, portanto, operando em *Interleaved mode*. Devido a isso, apenas o canal 1 está recebendo dados de entrada (DA13 – DA0).

O circuito para o *interleaved mode* é apresentado na Figura A.8.

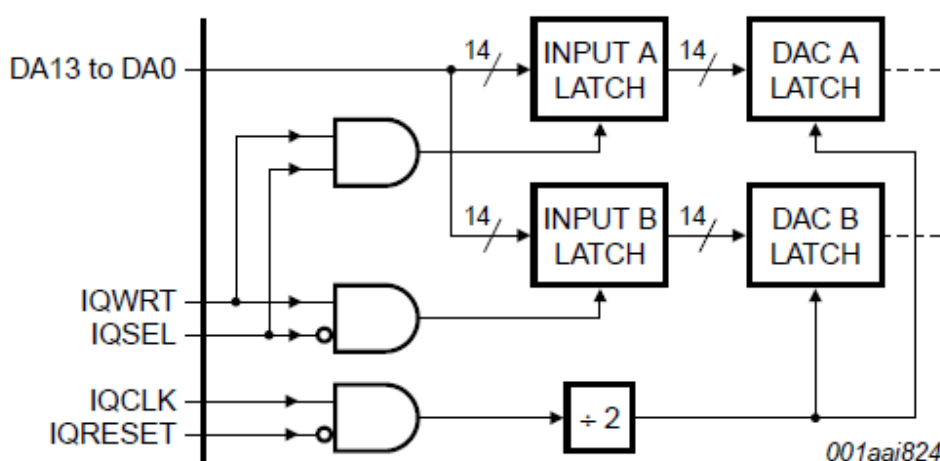


Figura A.8 - Circuito *interleaved mode*.
Fonte: (IDT, 2012).

Segundo IDT (2012), os dados são escritos nos *latches* de entrada sempre na borda de subida do IQWRT. O pino IQSEL seleciona o *latch* de entrada que será ativado, sendo que, se IQSEL = 0, os dados são direcionados para o *latch* B, e, se IQSEL = 1, os dados são direcionados para o *latch* A. É importante ressaltar que a transição do IQSEL deve ocorrer quando IQWRT e IQCLK estiverem em nível baixo, portanto, o sinal IQSEL deve estar defasado de 90° dos sinais IQWRT e IQCLK.

Nesse modo de operação, para trabalhar com uma taxa de atualização de dados de 125Msps com apenas um canal de entrada de dados para os dois *latches*, os dados devem ser salvos nos *latches* de entrada com uma taxa duas vezes maior, por isso que o sinal IQWRT deve ser de 250Msps. O sinal de *clock* do sistema (IQCLK) também deve ser esse valor, visto que ele passa por um divisor por dois antes de chegar aos *latches* de saída.

O IQRESET é um pino de reset, quando está habilitado, o sinal IQCLK não tem efeito no conversor.

A Figura A.9 apresenta um exemplo do funcionamento do DAC em *interleaved mode*.

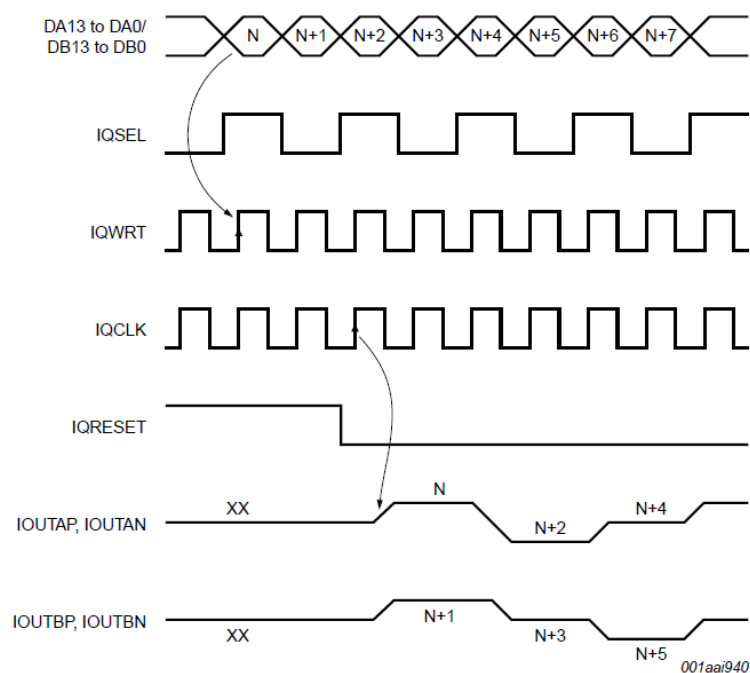


Figura A.9 - DAC *interleaved mode*.
Fonte: (IDT, 2012).

Como pode ser observado no exemplo anterior, na borda de subida do segundo ciclo do sinal de escrita (IQWRT), o sinal IQSEL está em nível alto, portanto, o dado representado por “N” é salvo no *latch* de entrada A, a primeira seta da Figura A.9 representa esse momento. Na próxima borda de subida do sinal de escrita, o sinal IQSEL está em nível baixo, portanto, o dado representado por “N+1” é salvo no *latch* de entrada B. Observa-se que, durante os três primeiros ciclos de *clock* (IQCLK), o sinal IQRESET está em nível alto, desabilitando, dessa forma, a saída do conversor, como pode ser observado nos sinais de saída IOUTAP, IOUTAN e IOUTBP, IOUTBN.

Antes de acontecer a borda de subida do quarto ciclo de *clock*, o sinal IQRESET é definido para nível baixo, habilitando, assim, a saída do conversor. Dessa forma, como pode ser observado nos sinais de saída, durante a quarta borda de subida do *clock*, as saídas são atualizadas para os valores salvos nos *latches* de entradas A e B (que são, nesse momento, “N” e “N+1” – segunda seta da Figura A.9).

Depois disso, como o sinal IQRESET é sempre mantido desativado, o procedimento de leitura dos dados de entrada nos *latches* de entrada, e atualização das saídas é repetido.

ANEXOS

DESENVOLVIMENTO EM PLATAFORMA FPGA DE SISTEMA DE DETECÇÃO PRECOCE DE FALHAS EM ISOLAMENTO DE MÁQUINAS ELÉTRICAS

Bruno Renó Gama (UNIFEI) Email: brrgama@gmail.com
Wilson Cesar Sant'Ana (Instituto Gnarus) Email: wilson@institutognarus.com.br
Luiz Eduardo Borges da Silva (UNIFEI) Email: leborges@unifei.edu.br
Camila Paes Salomon (UNIFEI) Email: camilapsalomon@gmail.com
Carlos Eduardo Teixeira (UNIFEI) Email: carlos.teixeira@unifei.edu.br
Mateus Mendes Campos (UNIFEI) Email: m.campos.mateus@gmail.com
Germano Lambert Torres (Instituto Gnarus) Email: germanoltorres@gmail.com
Erik Leandro Bonaldi (Instituto Gnarus) Email: erik@institutognarus.com.br
Rafael Bartholomeu Bernardo Carvalho (EDF Norte Fluminense) Email: rafael.carvalho@edfnf.com.br

Resumo: Este artigo apresenta o desenvolvimento de um sistema embarcado, composto por *hardware* e *software*, utilizando uma plataforma FPGA, para a detecção precoce de danos no isolamento de máquinas elétricas. É utilizada a técnica de análise por resposta em frequência na previsão das falhas. O sistema desenvolvido é responsável por gerar e injetar sinais de uma determinada faixa de frequência na máquina sob teste. Para cada frequência gerada, é medido o valor de impedância da máquina. Ao final do processo, é obtido o espectro de impedâncias da máquina. Os espectros obtidos são comparados com um espectro de referência, chamado de *baseline*. Variações entre os espectros obtidos e o *baseline* podem indicar diversos tipos de falhas no isolamento da máquina. É utilizada uma técnica estatística para uma análise objetiva das variações entre os espectros obtidos e o *baseline*. O sistema foi desenvolvido utilizando uma plataforma ainda nova no mercado, denominada STEMLab, da empresa Red Pitaya. Ela possui um dispositivo SoC Zynq-7000 acoplado à placa, esse dispositivo integra um FPGA e um processador ARM. O *hardware* embarcado executa um servidor TCP/IP. Este servidor atende requisições de máquinas remotas na rede. Foi implementado um *software* de análise, para os clientes remotos, utilizando C#. Resultados experimentais são apresentados em uma máquina síncrona com taps no enrolamento do estator.

Palavras-chave: Espectro de impedâncias, manutenção preditiva, análise por resposta em frequência, FPGA.

DEVELOPMENT IN FPGA PLATFORM OF A SYSTEM FOR DETECTION OF EARLY DAMAGE TO INSULATION OF ELECTRICAL MACHINES

Abstract: This article presents an embedded system development, composed by hardware and software, using an FPGA platform, for detection of early damage to insulation of electric machines. The frequency response analysis technique is used for fault detection. The developed system is responsible for generation and injection of signals in a determined frequency range into the machine under test. For each generated frequency, the machine impedance is measured. At the end of the process, the machine impedance spectrum is obtained. All obtained spectra are compared with a reference spectrum, called baseline. Variations between obtained spectrum and baseline can quantify the damage in machine insulation. A statistical technique is used for an objective analysis of variations between the obtained spectrum and the baseline. The system was developed using a still new platform in the market, called STEMLab, from Red Pitaya enterprise. It has a SoC Zynq-7000 device embedded in board, this device integrates and FPGA and an ARM processor. The embedded hardware runs a TCP/IP server. This server responds to request from remote clients on the network. It has been developed an analysis software, for the remote clients, using C# language. Experimental results are presented using a synchronous machine with taps on its stator winding.

Keywords: Impedance spectrum, predictive maintenance, frequency response analysis, FPGA.

1. Introdução

Uma grande parcela das falhas ocorridas em máquinas elétricas são ocasionadas por

danos no isolamento. Sumereder (2008) e Brutsch *et al.* (2008) apontam uma pesquisa internacional realizada pelo CIGRE. Essa pesquisa foi feita em mais de 20 concessionárias em 5 países. Ao final da pesquisa, foram analisados um total de 1199 geradores elétricos. Durante os 10 anos de pesquisa e coleta de dados, foram constatados 69 falhas. Verificou-se que, a maior parte das falhas ocorridas (56%) foram geradas por danos no isolamento da máquina. Segundo Drif & Cardoso(2014), para o mesmo tipo de falha, porém agora para motores de indução, a porcentagem fica em torno de 26% e 36%. Os dados apontam para a importância que deve ser dada às falhas geradas por danos no isolamento, justificando assim o estudo e implementação de técnicas que possam realizar o diagnóstico correto desses tipos de falhas.

Existem várias técnicas encontradas na literatura para realizar o diagnóstico de falhas no isolamento de máquinas elétricas. Algumas das técnicas encontradas são: medição da resistência ôhmica dos enrolamentos (KLEMPNER & KERSZENBAUM, 2004); Teste de corrente de fuga com rampa de tensão (KLEMPNER & KERSZENBAUM, 2004); Técnica de resistência do isolamento (STONE, 2005); Teste HiPot (STONE *et al.* 2004); Monitoramento de descargas parciais (KLEMPNER & KERSZENBAUM, 2004) (STONE *et al.* 2004); Medição da capacitância (STONE *et al.* 2004) ; Teste da tangente de perdas (KLEMPNER & KERSZENBAUM, 2004) (STONE *et al.* 2004) (STONE, 2005); Teste de impulso (STONE *et al.* 2004) (STONE, 2005).

A maior desvantagem das técnicas apontadas anteriormente, segundo Dister *et al.* (2000) e Kending & Rogovin (2002), é que elas detectam apenas a ocorrência ou não da falha. Elas não são sensíveis o suficiente para a detecção do início e desenvolvimento de um dano, que pode levar a uma futura falha da máquina. Levando em consideração este problema, as patentes Dister *et al.* (2000) e Kending & Rogovin (2002) propõem a utilização da técnica de análise do espectro de impedâncias do enrolamento da máquina para a predição das falhas no isolamento.

Uma técnica muito semelhante à proposta nas patentes Dister *et al.* (2000) e Kending & Rogovin (2002) é chamada FRA (Frequency Response Analysis) e já é uma técnica consolidada para detecção de danos em transformadores - sendo o procedimento normalizado na IEEE-Std-C57 (2013). Esta técnica é capaz de identificar mudanças nas características físicas do enrolamento da máquina sob teste através da comparação de espectros de impedâncias com seu histórico. Em relação às máquinas rotativas, esta técnica ainda é utilizada de forma experimental, devido à complexidade no comportamento em alta frequência dos enrolamentos (Platero *et al.*, 2012) e na falta de repetibilidade das medidas devido à posição do rotor destas máquinas (Sant'Ana *et. al.*, 2016a). De forma a contornar o problema de falta de repetibilidade nas medidas, os trabalhos de Sant'Ana *et. al.* (2016a, 2016b e 2017) apresentam métodos estatísticos para a análise dos espectros medidos.

Outro aspecto de grande interesse para a indústria é realização dos testes de forma *online*, de forma que a máquina não precise ser retirada de operação. O problema com este tipo de enfoque está no fato da máquina estar energizada com centenas (as vezes, milhares) de volts e o equipamento de medidas utilizar um conversor digital-para-analógico de poucos volts para injetar os sinais de varredura nos enrolamentos da máquina. O trabalho de Gomez-Luna *et. al.*(2013) apresenta formas de adaptação do FRA para a operação *online* através do uso de acoplamentos capacitivos. Em Sant'Ana *et. al.* (2016c) é apresentada uma forma de acoplamento com filtro de terceira ordem do tipo C-L-C. Este tipo de acoplamento aumenta a área útil para análise nos espectros ao mesmo tempo em que mantém boa atenuação do efeito da tensão do enrolamento da

máquina energizada sob o equipamento de testes.

Nos trabalhos de Sant'Ana *et. al* (2016a, 2016b, 2016c e 2017) foi utilizado um sistema PicoScope 5203 para a obtenção dos espectros de impedâncias. Este sistema é relativamente caro para os padrões brasileiros e não permite muita flexibilidade em termos de reconfiguração de hardware. Visando maior flexibilidade e menores custos, este presente trabalho propõe a implementação do equipamento de varreduras do espectro de impedâncias em uma plataforma FPGA.

A placa STEMLab, utilizada no desenvolvimento do sistema para este trabalho, é uma plataforma aberta de instrumentação e controle. Em Autor (2018), é apresentado um tutorial para o desenvolvimento de um sistema de geração e aquisição de sinais com a plataforma. O presente trabalho expande o sistema de geração e aquisição de sinais para um sistema completo de análise por espectro de impedâncias. O sistema compreende a parte de *hardware*, responsável pela geração e aquisição de sinais de forma sequencial para uma faixa de frequências definida pelo usuário, o *hardware* também funciona como um servidor TCP/IP, recebendo e enviando comandos e dados ao cliente conectado. A parte de *software*, desenvolvido em C#, é executada em computadores remotos e faz a comunicação com o servidor, fazendo requisições de dados e enviando comandos de configurações ao *hardware*.

Na seção 2 é feita uma breve descrição da técnica de análise de resposta em frequência, e da técnica estatística utilizada. Na seção 3 o sistema completo desenvolvido, composto pelo *hardware* e *software*, é apresentado. Na seção 4 os resultados da aplicação da técnica de FRA com o sistema desenvolvido são analisados. A seção 5 conclui o trabalho.

2. Técnica FRA e estudo estatístico

2.1 Técnica de análise de resposta em frequência (FRA)

A técnica de FRA é uma potente ferramenta de diagnósticos. Ryder (2003) apresenta uma visão bem completa sobre o tema. O método se baseia na injeção de sinais nos enrolamentos da máquina sob teste para a realização do cálculo da impedância desses enrolamentos. Esse procedimento deve ser realizado repetidamente para uma ampla faixa de frequências. Com isso, é obtido o espectro de impedâncias, que deve ser comparado com uma referência, denominada *baseline*. O *baseline* é a condição inicial e conhecida da máquina e será o ponto de partida para análises futuras. Variações do espectro medido em relação ao *baseline* são um indício da ocorrência de algum problema com a máquina, podendo ser um problema elétrico e/ou mecânico. A injeção de uma faixa de frequências na máquina pode ser de duas formas, a primeira é a injeção de um impulso (método de resposta ao impulso), a segunda é a injeção de sinais senoidais de diferentes frequências (método de varredura de frequências).

Ainda, segundo Ryder (2003), a principal vantagem do método de resposta ao impulso com relação ao método de varredura de frequências é o menor tempo gasto para realizar as medições. Em contrapartida, o método de varredura de frequências apresenta melhor relação sinal-ruído, pode ser injetado uma maior faixa de frequências, a quantidade de equipamentos de medição é menor, e a precisão para toda a faixa de frequência analisada é praticamente a mesma. Levando em consideração todas as vantagens apresentadas, o método de varredura de frequências foi o escolhido para a elaboração deste trabalho.

Para a aplicação da técnica de FRA, é necessário a utilização de algum tipo de circuito no equipamento de medidas para fazer a varredura em frequências. Em Lamarre &

Picher (2008), dois circuitos são apresentados. O circuito utilizado neste trabalho está representado na Figura 1.

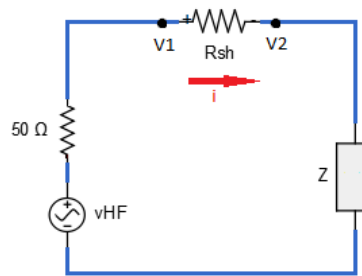


Figura 1: Circuito analisador de impedâncias

Através de uma análise no circuito anterior, a Equação 1 é encontrada. Essa equação é utilizada na obtenção da impedância para uma determinada frequência do sinal aplicado ao circuito. Tomando-se as impedâncias em cada frequência, tem-se o espectro de impedâncias.

$$\vec{Z} = \frac{\vec{V}_2}{\vec{I}} = \frac{\vec{V}_2}{\frac{\vec{V}_1 - \vec{V}_2}{R_{sh}}} = R_{sh} \cdot \frac{\vec{V}_2}{\vec{V}_1 - \vec{V}_2} \quad (1)$$

Onde, \vec{Z} é a impedância a ser calculada, \vec{V}_1 e \vec{V}_2 são as tensões nos pontos apresentados na Figura 1, \vec{I} é a corrente que está circulando entre os pontos \vec{V}_1 e \vec{V}_2 , e R_{sh} é o resistor *shunt*, utilizado para a obtenção do valor da corrente I.

2.2 Soma Absoluta de Erros Estatísticos (ASLE)

Com a utilização da técnica de FRA, o diagnóstico deve ser feito por meio da comparação do baseline com os espectros obtidos. Esse diagnóstico requer uma equipe altamente qualificada, e, ainda assim, está sujeito à subjetividade dos analistas. Para tornar a análise mais objetiva, é comumente utilizado indicadores estatísticos no auxílio do diagnóstico correto (KIM et al. 2005). Uma revisão de literatura sobre estes indicadores é apresentada em Sant'Ana et al. (2016b). Dentre os indicadores apresentados, o ASLE (Absolute Sum of Logarithmic Error) é o mais utilizado nos trabalhos na área e apresenta fácil implementação, tal qual Equação 2.

Esse indicador compara dados em um escala logarítmica. Tem como valor ideal o 0, portanto, quanto mais próximo de 0, maior a semelhança entre os dados, quanto mais afastado, maior a diferença. É considerado um parâmetro bastante efetivo na comparação entre dois conjuntos de dados (KIM et al. 2005) (BADGUJAR et al. 2012).

$$ASLE(x, y) = \frac{\sum_{i=1}^N |20 \log_{10} y_i - 20 \log_{10} x_i|}{N} \quad (2)$$

Onde, N é o número de pontos em cada espectro gerado. x_i é cada ponto do espectro do

sinal analisado. y_i é cada ponto do espectro utilizado como *baseline*.

3. Sistema desenvolvido

3.1 Hardware

A placa STEMLab possui um SoC da família Zynq-7000, fabricado pela Xilinx. O diferencial deste dispositivo é a possibilidade de integração da programabilidade de *hardware* de um FPGA da família Artix-7 com a programabilidade de *software* de um processador dual-core ARM Cortex-A9. A placa ainda apresenta: 16 pinos de GPIOs, dois ADCs e dois DACs de 14 bits e taxa de amostragem de 125Mpsps, porta Ethernet, entrada para cartão Micro SD, entre outros periféricos (AUTOR, 2018). Na Figura 2 é mostrada a placa com alguns periféricos destacados.

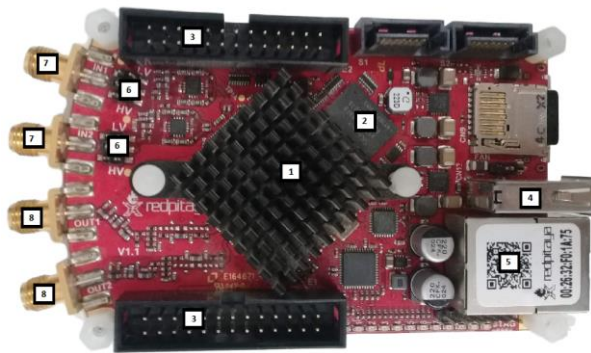
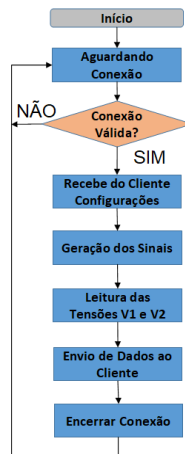


Figura 2 - Visão geral STEMLab. 1: SoC Zynq-7000; 2: RAM; 3: Conectores de extensão; 4: USB; 5: Ethernet; 6: Jumpers escala de tensão de entrada; 7: Entradas analógicas; 8: Saídas analógicas.

No FPGA da placa foi desenvolvido o sistema, baseado em Autor (2018), de geração e aquisição de sinais. Foi também feita a implementação de um protocolo de comunicação cliente-servidor, baseado em TCP/IP. O sistema na plataforma STEMLab funcionará como um servidor, conectado à máquina sob teste e à rede (via ethernet). Ficará aguardando a solicitação de conexão de algum cliente. Quando algum cliente válido fizer a conexão com o servidor, o sistema, primeiramente, receberá do cliente as configurações para seu funcionamento. Dentre as configurações fornecidas, estão a frequência do sinal a ser gerado e a frequência de amostragem para a realização das aquisições. A seguir, será iniciada a geração do sinal na frequência determinada. O sistema de geração de sinais da placa STEMLab é representado pela fonte no circuito da Figura 1. Então, são realizadas as leituras das tensões V_1 e V_2 apresentadas na Figura 1, esse procedimento é feito através das entradas analógicas da placa STEMLab. Os dados são enviados ao cliente remoto via rede. Por fim, a conexão é encerrada e o servidor aguarda uma nova conexão. A Figura 3, a seguir, representa o fluxograma de como o *hardware* foi projetado para funcionar.

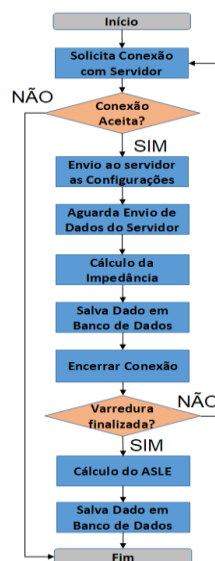
Figura 3 - Fluxograma *hardware*

Para a realização da varredura em frequências, o sistema conta com a possibilidade de gerar sinais senoidais com frequências de 100Hz até de 1MHz.

3.2 Software

O *software*, desenvolvido em C#, será o programa utilizado pelos clientes remotos. Possui três telas principais, uma de configurações, outra para realizar a varredura das frequências e visualizar os espectros obtidos, e uma terceira para a visualização gráfica dos índices estatísticos.

A Figura 4 a seguir apresenta o fluxograma simplificado do código do cliente. O cliente, primeiramente, faz uma solicitação de conexão ao servidor, caso a conexão seja aceita, os dados de configurações (definidos no *software* cliente) são enviados ao servidor. Para uma determinada frequência, o cliente aguarda o envio das tensões V1 e V2 indicadas na Figura 1 e calcula a impedância para esta frequência de acordo com a Equação (1). O dado da impedância é salvo no banco de dados e a conexão é encerrada. Caso a varredura tenha sido concluída, o indicador estatístico ASLE é calculado com base na Equação (2) e é salvo no banco de dados. Caso a varredura não tenha sido concluída, o procedimento é repetido, com novos dados de configurações (frequência de geração e amostragem).

Figura 4 - Fluxograma *software*

4. Resultados experimentais

4.1 Configurações de testes

Para a realização dos testes deste trabalho, utilizou-se um gerador síncrono de dois pólos lisos de 2 kW, 220V, construído de forma customizada em Salomon *et al.* (2015), com taps nos enrolamentos de campo e do estator visando simular falhas nos isolamentos da máquina. A Figura 5 mostra a máquina utilizada para os testes. Em Perisse (2007), constatou-se que a capacitância do enrolamento de uma máquina aumenta conforme o envelhecimento do isolamento. Desta forma, capacitores de diversos valores são inseridos nos taps da máquina, simulando o envelhecimento do isolamento.

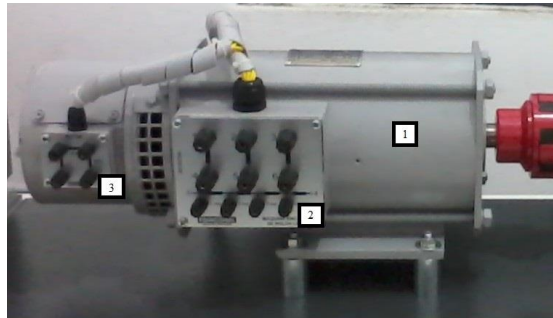


Figura 5 – Gerador utilizado em testes - 1:Gerador síncrono 2kW, 220V; 2: taps para acesso ao enrolamento do estator; 3: taps para acesso ao enrolamento de campo.

As configurações de testes foram as seguintes, como é preciso um *baseline* para servir de base ao cálculo do indicador estatístico, na primeira configuração não foi utilizado nenhum capacitor entre os taps. Para a segunda configuração, foi colocado um capacitor de 10nF entre os taps. Para a terceira, utilizou-se um capacitor de 100nF. Para a quarta situação, um capacitor de 1 μ F. Foi feita ainda uma quinta configuração, com curto-circuito entre os taps. Para cada configuração apresentada anteriormente, 5 varreduras foram realizadas. O *baseline* é calculado como a média dos 5 espectros obtidos em sua configuração.

4.2 Aplicação da técnica FRA

A Figura 6 apresenta os espectros obtidos com a utilização do sistema desenvolvido e aplicação da técnica de FRA.

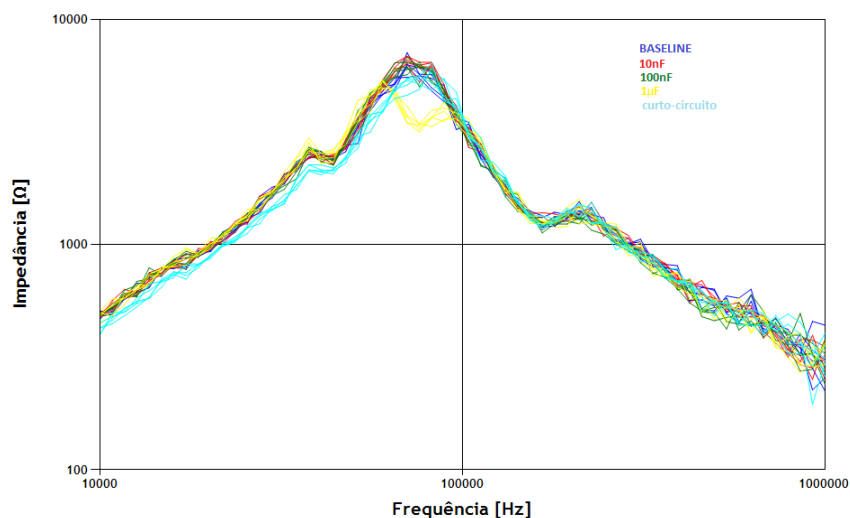


Figura 6 – Espectros de impedância obtidos

Na figura 6, em azul estão as 5 varreduras que foram utilizadas como *baseline*, portanto sem falhas. As falhas são introduzidas de forma progressiva, gerando novos espectros. Em vermelho estão os espectros gerados com a introdução do capacitor de 10nF entre os taps, em verde foi utilizado o capacitor de 100nF, em amarelo o capacitor de 1µF, e, em ciano, os taps estão em curto-circuito. Visualmente, observa-se que os espectros do capacitor de 1µF e os espectros com os taps em curto-circuito se divergem dos espectros do *baseline*, refletindo o dano simulado no enrolamento do estator. Porém, para os espectros do capacitor de 10nF e 100nF, essa diferença é mais sutil, sendo necessária uma análise visual mais cuidadosa dos espectros.

4.3 Cálculo dos ASLEs

A Figura 7 apresenta os valores obtidos com o cálculo do indicador ASLE. Cada 5 pontos no gráfico representa uma configuração de teste.

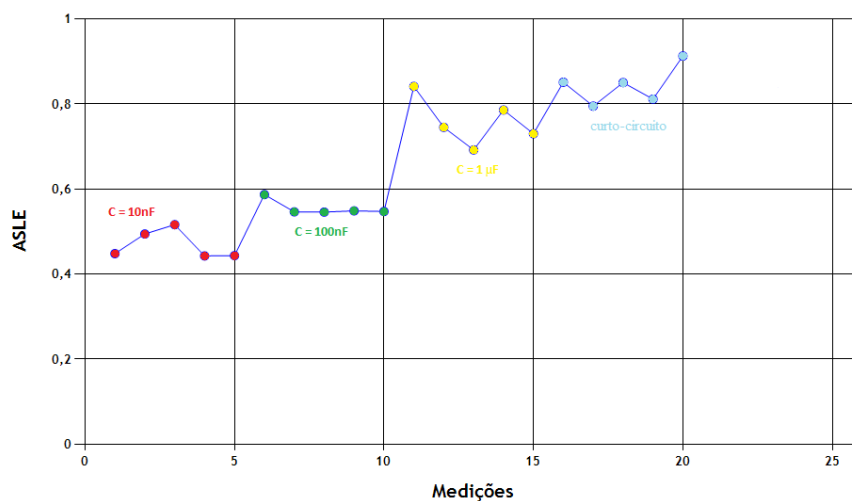


Figura 7 – Curva de tendências dos ASLEs

Observando-se os resultados apresentados na Figura 7, percebe-se claramente a evolução dos danos no enrolamento da máquina para cada configuração de teste definida. Começando com valores entre 0.4 e 0.6 na utilização do capacitor de 10nF e chegando a valores pouco acima de 0.8, com o curto-circuito entre os taps.

Como evidenciado, a utilização de índices estatísticos torna a análise dos dados mais objetiva do que a simples análise visual dos espectros obtidos com a técnica FRA.

5. Conclusão

Neste trabalho foi feita uma demonstração de um sistema embarcado, desenvolvido em FPGA, para previsão de falhas em máquinas elétricas utilizando a técnica FRA. O sistema desenvolvido, composto por *hardware* e *software*, possui ampla aplicação na área industrial e acadêmica. A principal contribuição do presente trabalho é a apresentação de uma tecnologia nacional para previsão de falhas, com menor preço e maior flexibilidade do que as aplicações comerciais. O sistema conseguiu, de forma satisfatória, apontar os danos introduzidos no enrolamento da máquina, confirmando a eficácia da técnica FRA utilizada e o correto funcionamento do sistema. Existem diversas possibilidades de expansão e trabalhos futuros, como, a utilização de outros indicadores estatísticos além do ASLE, outra possibilidade seria a adaptação do sistema para o funcionamento de forma *on-line*.

Agradecimentos

Os autores gostariam de agradecer às seguintes instituições pelo apoio financeiro prestado: CNPq, CAPES, FAPEMIG e P&D ANEEL.

Referências

BADGUJAR, K. P.; MAOYAFIKUDDIN, M. & KULKARNI, S. V. *Alternative statistical techniques for aiding SFRA diagnostics in transformers*. IET Generation, Transmission & Distribution, vol. 6, no. 3, pp. 189-198, 2012.

BRUTSCH, R.; TARI, M.; FROHLICH, K.; WEIERS, T. & VOGELSANG, R. *Insulation Failure Mechanisms of Power Generators [Feature Article]*. IEEE Electrical Insulation Magazine, vol. 24, no. 4, pp. 17-25, 2008.

DISTER, C. J.; DELVECCHIO, P. A. & ROGOVIN, D. N. *System to Provide Low Cost Excitation to Stator Winding to Generate Impedance Spectrum for use in Stator Diagnostics*. (2000) US Patent 6035265.

DRIF, M. & CARDOSO, A. J. *Stator fault diagnostics in squirrel cage three-phase induction motor drives using the instantaneous active and reactive power signature analyses*. IEEE Transactions on Industrial Informatics, vol. 10, no. 2, pp. 1348-1360, 2014.

AUTOR. *Tutorial para implementação de um sistema de aquisição e geração de sinais com fpga utilizando a plataforma de desenvolvimento STEMLab (red pitaya)*. Artigo submetido para Revista Ilha Digital em 09/08/2018.

GOMEZ-LUNA, E.; APONTE MAYOR, G.; GONZALEZ-GARCIA, C. & PLEITE GUERRA, J. *Current Status and Future Trends in Frequency-Response Analysis With a Transformer in Service*. IEEE Transactions on Power Delivery, vol. 28, no. 2, pp. 1024-1031, 2013.

IEEE-Std-C57. *IEEE Guide for the Application and Interpretation of Frequency Response Analysis for Oil-Immersed Transformers*. IEEE Std C57.149-2012, vol., no., pp.1-72, 2013.

KENDING, M. W. & ROGOVIN, D. N. *Method of Conducting Broadband Impedance Response Tests to Predict Stator Winding Failure*. (2002) US Patent 6483319B1.

KIM, J. W.; PARK, B.; JEONG, S. C.; KIM, S. W. & PARK, P. *Fault diagnosis of a power transformer using an improved frequency-response analysis*. IEEE Transactions on Power Delivery, vol. 20, no. 1, pp. 169-178, 2005.

KLEMPNER, G. & KERSZENBAUM, I. *Operation and Maintenance of Large Turbo-Generators*. IEEE Press Series on Power Engineering. Wiley, 2004.

LAMARRE, L. & PICHER, P. *Impedance Characterization of Hydro Generator Stator Windings and Preliminary Results of FRA Analysis*. Conference Record of the 2008 IEEE International Symposium on Electrical Insulation, Vancouver, BC, pp. 227-230, 2008.

PERISSE, F.; WERYNSKI, P. & ROGER, D. *A new method for AC machine turn insulation diagnostic based on high frequency resonances*. IEEE Transactions on Dielectrics and Electrical Insulation, vol. 14, no. 5, pp. 1308-1315, 2007.

PLATERO, C.A.; BLAZQUEZ, F.; BLANQUEZ, F.R.; REBOLLO, E.; BATLLE, B. & FERNANDEZ-SANCHEZ, E. *Application of Sweep Frequency Response Analysis (SFRA) for Interturn Detection of in Medium-voltage Coils Manufacturing*. 44th International Conference on Large High Voltage Electric Systems, 2012.

RYDER, S. A. *Diagnosing transformer faults using frequency response analysis*. IEEE Electrical Insulation Magazine, vol. 19, no. 2, pp. 16-22, 2003.

SALOMON, C.P.; SANT'ANA, W.C.; BONALDI, E.L.; DE OLIVEIRA, L.E.L.; BORGES DA SILVA, J.G.; LAMBERT-TORRES, G.; BORGES DA SILVA, L.E.; PELLICEL, A.; LOPES, M.A.A. & FIGUEIREDO, G.C. *A system for turbogenerator predictive maintenance based on Electrical Signature Analysis*. 2015 IEEE International Instrumentation and Measurement Technology Conference (I2MTC) Proceedings, Pisa, pp. 79-84, 2015.

SANT'ANA, W.C.; LAMBERT-TORRES, G.; BORGES DA SILVA, L.E.; BONALDI, E.L.; DE LACERDA DE OLIVEIRA, L.E.; SALOMON, C.P. & BORGES DA SILVA, J.G. *Influence of rotor*

position on the repeatability of frequency response analysis measurements on rotating machines and a statistical approach for more meaningful diagnostics. Electric Power Systems Research, vol. 133, pp. 71-78, 2016.

SANT'ANA, W.C.; SALOMON, C.P.; LAMBERT-TORRES, G.; BORGES DA SILVA, L.E.; BONALDI, E.L.; LACERDA DE OLIVEIRA, L.E. & BORGES DA SILVA, J.G. *A survey on statistical indexes applied on frequency response analysis of electric machinery and a trend based approach for more reliable results.* Electric Power Systems Research, vol. 137, pp. 26-33, 2016.

SANT'ANA, W.C.; SALOMON, C.P.; LAMBERT-TORRES, G.; BORGES DA SILVA, L.E.; BONALDI, E.L.; DE LACERDA DE OLIVEIRA, L.E. & BORGES DA SILVA, J.G. *Early detection of insulation failures on electric generators through online Frequency Response Analysis.* Electric Power Systems Research, Vol. 140, pp. 337-343, 2016.

SANT'ANA, W.C.; SALOMON, C.P.; LAMBERT-TORRES, G.; BORGES DA SILVA, L.E.; BONALDI, E.L.; DE OLIVEIRA, L.E.L. & BORGES DA SILVA, J.G. *On the use of hypothesis tests as statistical indexes for frequency response analysis of electric machinery.* Electric Power Systems Research, vol. 147, pp. 245-253, 2017.

STONE, G.; BOULTER, E. A.; CULBERT, I. & DHIRANI, H. *Electrical Insulation for Rotating Machines: Design, Evaluation, Aging, Testing, and Repair.* IEEE Press Series on Power Engineering. Wiley, 2004.

STONE, G. C. *Recent important changes in IEEE motor and generator winding insulation diagnostic testing standards.* IEEE Transactions on Industry Applications, vol. 41, no. 1, pp. 91-100, 2005.

SUMEREDER, C. *Statistical lifetime of hydro generators and failure analysis.* IEEE Transactions on Dielectrics and Electrical Insulation, vol. 15, no. 3, pp. 678-685, 2008.