

TESE

835

ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ

- EFEI -

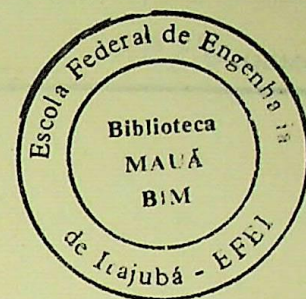
**CHAVEAMENTO DE BANCO DE CAPACITORES SEM
CORRENTE DE «INRUSH»**

Itajubá

dez-95

ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ

- EFEI -



DISSERTAÇÃO DE MESTRADO

**CHAVEAMENTO DE BANCO DE CAPACITORES SEM
CORRENTE DE “INRUSH”**

Autor: Luiz Octávio Mattos dos Reis

Orientador: Prof. Luiz Eduardo Borges da Silva, PhD

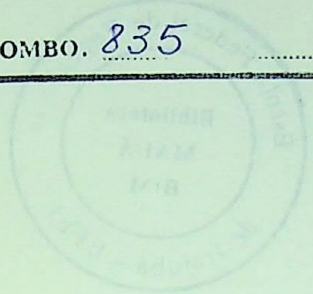
Co-Orientador: Prof. Valberto Ferreira da Silva, MSc

**Itajubá
dez-95**

CLASS. 621.316.3(043.2)

CUTI R. R 375c

TOMBO. 835





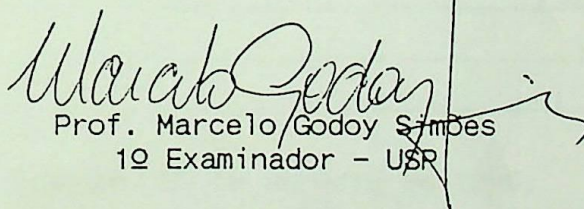
Ministério da Educação e do Desporto
ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ
Pró-Diretoria de Pesquisa e Pós-Graduação


A N E X O I

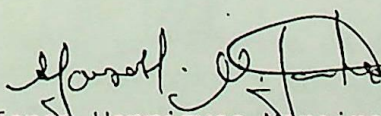
PRONUNCIAMENTO DA BANCA EXAMINADORA

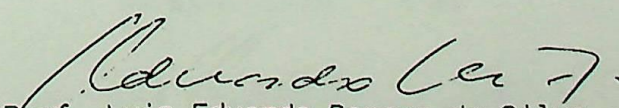
A Banca Examinadora, abaixo assinada, nomeada por Portaria nº 027 de 12.08.96, considerando o resultado do Julgamento da Prova de Defesa Pública da Dissertação de Mestrado intitulada: "Correção do Fator de Potência Através de Chaveamento de Capacitores sem Corrente de Inrush" apresenta pronunciamento no sentido de que o Coordenador dos Cursos de Pós-Graduação em Engenharia Elétrica da Escola Federal de Engenharia de Itajubá solicite ao DRA (Departamento de Registro Acadêmico) a expedição do título de Mestre em Ciências em Engenharia Elétrica, na Área de Sistemas Elétricos Industriais, satisfeitas as demais exigências regimentais, a Luiz Octávio Mattos dos Reis.

Itajubá, 30 de Janeiro de 1996.


Prof. Marcelo Godoy Simões
1º Examinador - USR


Prof. Valberto Ferreira da Silva
2º Examinador - EFEI


Prof. Afonso Henriques Moreira Santos
3º Examinador - EFEI


Prof. Luiz Eduardo Borges da Silva
4º Examinador - EFEI - Orientador



Ministério da Educação e do Desporto
ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ
Pró-Diretoria de Pesquisa e Pós-Graduação

A N E X O I I

FOLHA DE JULGAMENTO DA BANCA EXAMINADORA

Título da Dissertação "Correção do Fator de Potência Através de Chaveamento de Capacitores sem Corrente de Inrush"

Autor: Luiz Octávio Mattos dos Reis

JULGAMENTO

EXAMINADORES	CONCEITO	RUBRICA
1º	A	<i>Marcelo Godoy</i>
2º	A ⁺	<i>Valberto</i>
3º	A	<i>Afonso</i>
4º	A ⁺	<i>Luiz Eduardo</i>

Resultado Médio: Conceito A, ou seja, APROVADO

Observações: _____

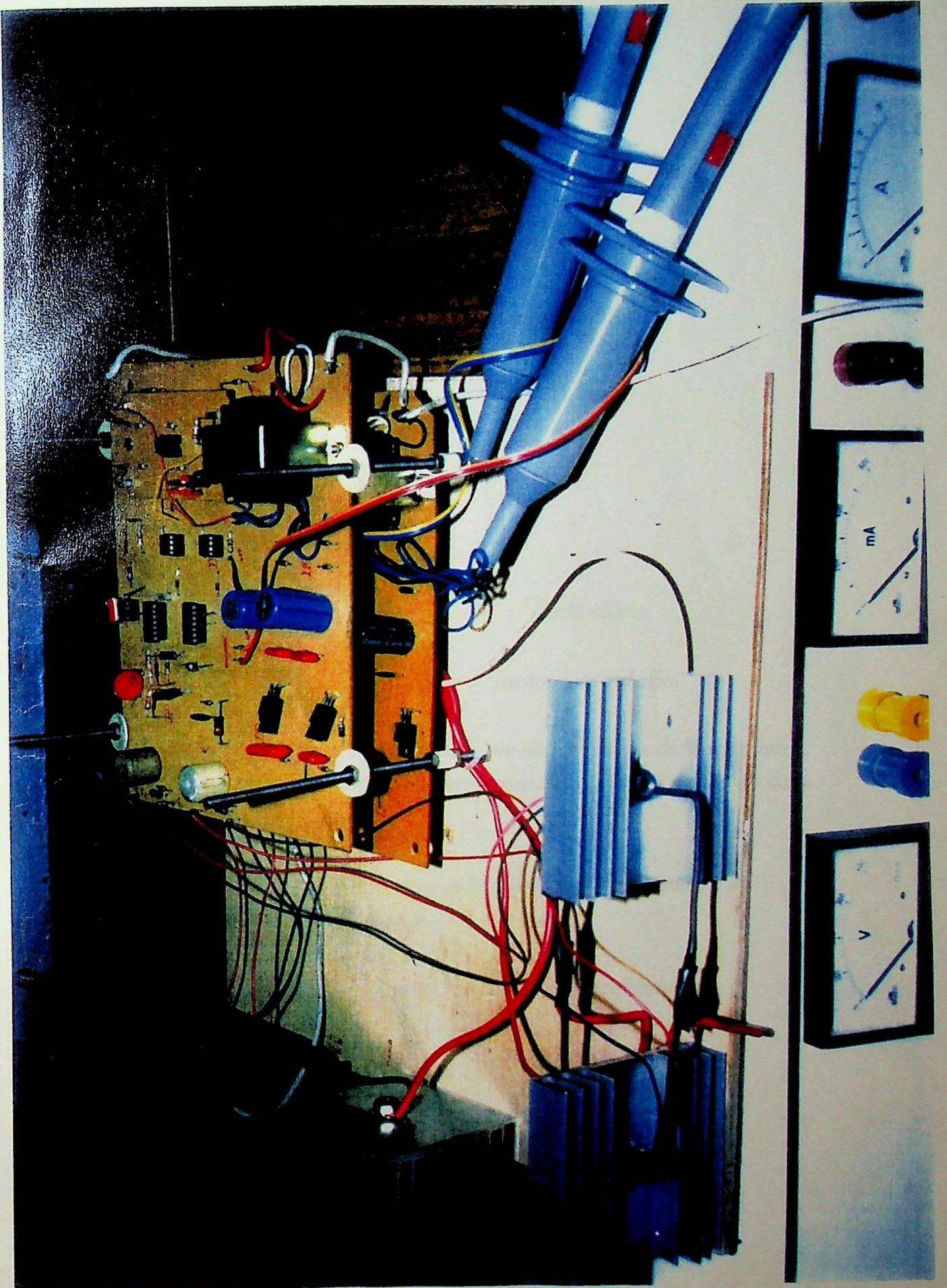
Itajubá, 30 de Janeiro de 1996.

Marcelo Godoy
Prof. Marcelo Godoy Simões
1º Examinador - USP

Valberto
Prof. Valberto Ferreira da Silva
2º Examinador - EFEI

Afonso
Prof. Afonso Henriques Moreira Santos
3º Examinador - EFEI

Luiz Eduardo
Prof. Luiz Eduardo Borges da Silva
4º Examinador - EFEI - Orientador



Dedicatória

Dedico este trabalho:

- À minha mãe, que através de sua dedicação, amor, carinho e compreensão, possibilitou a realização deste sonho;

- Aos meus avós Silvestre ("in memoriam") e Raimunda;

- Aos meus tios Fleydir e Imaculada.

“As escadas para Deus nem sempre são fáceis de subir. Porém, são elas que me levam ao mirante maravilhoso da eterna paisagem!”

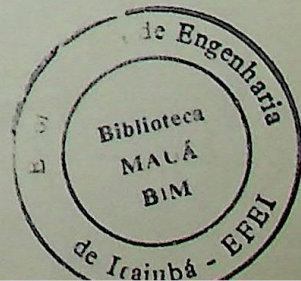
Resumo

Atualmente o sistema elétrico brasileiro encontra forte oposição para sua expansão, devido as limitações financeiras e principalmente devido aos impactos ambientais que causa a construção de novas unidades de geração e transmissão. O decreto do Departamento Nacional de Águas e Energia Elétrica (DNAEE) que reavalia a legislação do fator de potência tem promovido, por parte dos consumidores, empresas de equipamentos elétricos e instituições de pesquisa, a busca de novas alternativas que sejam eficientes para compensação da energia reativa.

As técnicas atuais de compensação de energia reativa, não estão adequadas a nova legislação vigente. Assim é imbuído deste ideal que o presente trabalho desenvolve uma técnica alternativa que atenda as exigências técnicas do sistema elétrico, bem como a nova portaria de controle do fator de potência.

O protótipo desenvolvido, utiliza a técnica de chaveamento de banco de capacitores, através de tiristores, sem a presença de transitórios de tensão e corrente. Entre outras vantagens o equipamento desenvolvido, permite o controle em tempo real do fator de potência, ajuste fino para o controle da energia reativa envolvida, versatilidade na instalação e ainda vários tipos de configurações para os bancos de capacitores.

Por fim a finalidade deste trabalho é fornecer uma nova alternativa para o controle da energia reativa, ampliando as técnicas de conservação de energia, obedecendo os conceitos precípuos de "power quality".



Agradecimentos

A Deus, que através Cristo e da luz do Espírito Santo iluminou e guiou os meus passos na direção das pessoas que forneceram-me os conhecimentos necessários e principalmente ajudaram-me a superar as angústias e os momentos mais difíceis;

Principalmente ao Prof. Luiz Eduardo Borges da Silva, que através de sua dedicação, prestou inestimável orientação técnica, e acima de tudo pelos ensinamentos de vida e pela amizade que ficou;

Ao prof. Valberto Ferrelra da Silva, pela co-orientação, dedicação e a sempre providencial ajuda nos momentos difíceis, é um prazer chamá-lo de amigo;

Em especial ao prof. Kazuo Nakashima, pela ajuda que foi de grande valia durante o desenvolvimento do projeto;

Aos professores e amigos. Germano Lambert Torres e Ronaldo Rossi, pelo incentivo, confiança e o espírito de amizade que sempre nos uniu;

Aos Amigos, Pitta, Ismael, Eugênio, Roberto, Nelson, José Batista, pelo senso de companheirismo, fraternidade durante o tempo que estivemos juntos, e pela grande amizade que se concretizou ainda mais;

Aos Professores Antonio Tadeu L. de Almeida, José P. Gonçalves de Abreu, por despertarem o interesse pela pesquisa e pela vida acadêmica;

Ao acadêmico Paulo (Paulinho), monitor do prof. Luiz Eduardo, pela imensa colaboração e boa vontade, na elaboração do programa e das telas do programa ELIPSE.

Aos funcionários da PPG, DRA, BIM, Laboratórios de Eletrônica e Eletrotécnica, uma justa homenagem pelo apoio, compreensão, dedicação e pelo sorriso de amizade que sempre recebemos ao sermos atendidos;

À Universidade de Taubaté e em especial ao Magnífico Reitor Milton de Freitas Chagas, pelo apoio inestimável dispensado a este trabalho;

Ao CNPq, que através do apoio financeiro, tornou possível a realização desta dissertação;

E, a todos aqueles que embora não tenham sido citados, merecem uma justa homenagem e agradecimento.

Índice

	Página
Dedicatória	i
Epígrafe	ii
Resumo	iii
Agradecimentos	iv
Índice	v
Lista de figuras	viii
Simbologia	xii
Capítulo I - Introdução	01
1.1 - A necessidade de efetuar a compensação da energia reativa em sistemas elétricos	02
1.2 - A portaria do DNAEE	04
1.3 - Sistemas de compensação de reativo	05
1.4 - Análise dos tipos de compensadores de reativo	11
1.4.1 - Capacitor fixo	11
1.4.2 - Compensador com reator saturado e banco de capacitores fixo	12
1.4.3 - Compensador síncrono	14

1.4.4 - Banco de capacitores chaveado eletromecanicamente	15
1.5 - Efeito das cargas não lineares nos sistemas elétricos	16
1.5.1 - Fator de deslocamento x fator de potência	17
1.5.1.1 - Fator de deslocamento	17
1.5.1.2 - Fator de potência	19
Capítulo II - Modelagem do sistema elétrico com capacitores	23
2.1 - Equacionamento e simulação de circuitos contendo capacitores	24
Capítulo III - Estudo das diversas configurações de ligação de bancos de capacitores	43
3.1 - Configurações usuais	44
3.2 - Metodologia para análise do funcionamento dos circuitos	55
Capítulo IV - Descrição do equipamento proposto	69
4.1 - Descrição do circuito denominado “Smart Switch”	70
4.1.1 - Circuito de potência	71
4.1.2 - Circuito detetor de zero “crossing	72
4.1.3 - Circuito acoplador óptico	74
4.2 - Descrição do circuito do filtro de harmônicos	75
4.3 - Descrição do circuito detetor do fator de deslocamento	77
4.4 - Descrição do sistema de supervisão em tempo real	82
4.4.1 - O programa de supervisão	82

Capítulo V - Ensaio do protótipo desenvolvido e resultados experimentais	87
5.1 - Metodologias adotadas nos ensaios dos equipamentos	88
5.2 - Ensaio do circuito de filtro	89
5.3 - Ensaio do circuito denominado “Smart Switch”	92
Capítulo VI - Discussão dos resultados, conclusões e sugestões	111
6.1 - Discussão dos resultados	112
6.1.1 - Comprovação do equacionamento	112
6.1.2 - Comprovação das formas de ondas	113
6.1.3 - Comprovação do chaveamento ideal	114
6.1.4 - Desempenho do programa	115
6.2 - Conclusões	116
6.3 - Sugestões	117
Referências Bibliográficas	118

Lista de Figuras

- Figura inicial Fotografia do “Smart Switch” durante os ensaios;
- Figura 1.1 Sistema elétrico com compensador de reativo - pg 6;
- Figura 1.2 Princípio da compensação de energia reativa - pg 7;
- Figura 1.3 Princípio da operação do reator saturado - pg 13;
- Figura 1.4 Circuito típico para chaveamento de banco de capacitores eletromecanicamente - pg 16
- Figura 1.5 Oscilograma de corrente e tensão, resultantes do chaveamento de banco de capacitores - pg 16;
- Figura 1.6 Condição de ângulo de deslocamento igual a zero - pg 18;
- Figura 1.7 Condição de ângulo de deslocamento diferente de zero - pg 18;
- Figura 2.1 Circuito equivalente de um sistema elétrico com banco de capacitores chaveados - pg 24;
- Figura 2.2 Topologia do circuito modelado no instante do fechamento dos tiristores, $t=0$ - pg 33;
- Figura 2.3 Chave fechada quando a tensão sobre ela é zero - pg 35;
- Figura 2.4 Chave fechada quando a tensão sobre ela é a de pico - pg 36;
- Figura 2.5 Sistema elétrico com banco de capacitores em paralelo - pg 37;
- Figura 2.6 Transitórios devido a bancos de capacitores em paralelo, chaveados em instante inadequado - pg 40;
- Figura 2.7 Banco de capacitores em paralelo, chaveados no instante ideal - pg 41;
- Figura 3.1 Configuração de chave monofásica (1ϕ) - pg 45;
- Figura 3.2 Configurações obtidas a partir de circuitos monofásicos - pg 46;

- Figura 3.3 Chaves com tiristores “back to back” e interdependência operacional - pg 49;
- Figura 3.4 Configurações utilizando diodo e tiristor “back to back” - pg 50;
- Figura 3.5 Configurações utilizando apenas duas chaves - pg 51;
- Figura 3.6 Configurações especiais - pg 53;
- Figura 3.7 Circuito adotado para análise - pg 56;
- Figura 3.8 Diagrama temporal para o circuito W33NA - pg 57;
- Figura 3.9 Configuração em análise - pg 60;
- Figura 3.10 Diagrama temporal para o circuito W32AY - pg 61;
- Figura 3.11 Tensões envolvidas no circuito no instante T_5 - pg 64;
- Figura 3.12 Tensões envolvidas no instante T_6 - pg 65;
- Figura 4.1 Diagrama de blocos do sistema eletrônico - pg 70;
- Figura 4.2 Tiristores na configuração “back to back” - pg 72;
- Figura 4.3 Circuito detetor de zero “crossing” - pg 73;
- Figura 4.4 Acoplador óptico utilizado - pg 75;
- Figura 4.5 Filtros de segunda ordem, utilizados na filtragem dos sinais de tensão e corrente - pg 76;
- Figura 4.6 Circuito medidor de fator de deslocamento - pg 78;
- Figura 4.7 Oscilador responsável pela base de tempo - pg 80;
- Figura 4.8 Acoplamento do conversor A/D a circuitos externos - pg 81;
- Figura 4.9 Tela do “software” Eclipse 21, mostrando uma de suas principais funções- pg 83;
- Figura 5.1 Circuito montado para ensaio do filtro de componentes harmônicos, utilizado no sistema de medição - pg 91;

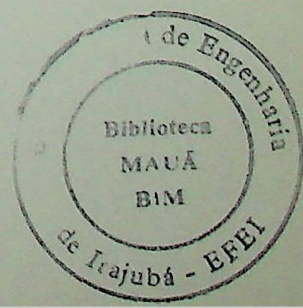
- Figura 5.2 Curvas de módulo e de fase do filtro utilizado - pg 92;
- Figura 5.3 Banco de capacitores chaveado por chaves eletromecânicas - pg 93;
- Figura 5.4 Banco de capacitores chaveado por contator - 94
- Figura 5.5 Circuito utilizado para o ensaio do “Smart Switch” na configuração monofásica - pg 95
- Figura 5.6 Banco de capacitores chaveado pelo “Smart switch” em um sistema monofásico - pg 96;
- Figura 5.7 Banco de capacitores, carregado, chaveado pelo “Smart switch” em um sistema bifásico - pg 97;
- Figura 5.8 Verificação do efeito $\frac{di}{dt}$ no chaveamento de banco de capacitores através do “Smart switch” - pg 99;
- Figura 5.9 Configuração usual adotada no ensaio - pg 101;
- Figura 5.10 Circuito utilizado nas medições durante o ensaio da configuração trifásica W32AY - pg 102
- Figura 5.11 Formas de onda de corrente e tensão, referentes às fases A e C de um banco de capacitores trifásico chaveados pelo “Smart switch”, na configuração W32AY - pg 103;
- Figura 5.12 Formas de ondas de corrente e tensão referentes às fases B e A respectivamente, de um banco de capacitores trifásico, chaveados pelo “Smart switch”, na configuração W32AY - pg 104;
- Figura 5.13 Oscilogramas de corrente e tensão residual nos capacitores, no desligamento do “Smart switch” na configuração W32AY - pg 106 e 107;
- Figura 5.14 Sobretensão ocorrida nos enrolamentos de um motor de indução, durante o desligamento em conjunto com um banco de capacitores - pg 109;

Figura 5.15 Tensão nos enrolamentos de um motor quando desligado em conjunto com um banco de capacitores, através do “Smart switch” - pg 110;

Figura 6.1 Tela do programa desenvolvido para o controle do “Smart switch” - pg 115.

Simbologia

A_1, A_2	Constantes;
B_1, B_2	Constantes;
E	Tensão da fonte;
E_S	Tensão do um sistema elétrico de potência;
e_s	Tensão instantânea do sistema elétrico de potência;
E_0	Tensão residual no banco de capacitores;
E_{MAX}	Valor máximo da tensão do sistema elétrico de potência;
E_{AN}, E_{BN}, E_{CN}	Tensão na fase A, B e C respectivamente do sistema trifásico;
B	Indução magnética;
C	Capacitor;
C_f	Fator de capacidade;
D	Operador de Heaviside;
H	Campo magnético;
I	Corrente de linha;
I_S	Corrente do sistema elétrico de potência;
i	Valor instantâneo da corrente;
i_c	Corrente instantânea no banco de capacitores;
I_1	Componente fundamental da corrente;
I_n	Valor eficaz do n-ésimo componente harmônico de corrente;
I_{MAX}	Valor máximo da corrente em um sistema elétrico de potência;
I_t	Corrente máxima através do tiristor;
j	Parte imaginária de um número complexo;



K_1, K_2	Constantes;
L_S	Indutância equivalente do sistema elétrico de potência;
L_B	Indutância equivalente do sistema elétrico industrial;
n	Ordem do harmônico;
α	Constante de tempo de um circuito de segunda ordem;
ω_0	Frequência natural de um circuito de segunda ordem;
β	Discriminante de uma equação de segunda ordem;
θ	Ângulo do fator de deslocamento;
ω	Pulsção do sistema elétrico;
φ	Ângulo de deslocamento entre a componente fundamental de tensão em relação à corrente;
φ_n	Ângulo de deslocamento do n-ésimo componente harmônico da corrente em relação à fundamental;
λ	ângulo do fator de potência;
t	Tempo de um evento ocorrido em um sistema elétrico em [ms];
T_{ON}	Tempo total para o banco de capacitores entrar em regime;
T_{OFF}	Tempo total para o banco de capacitores completar o desligamento;
T_{REC}	Tempo total para o banco de capacitores ser levado novamente ao estado de condução;
P	Potência ativa do sistema elétrico;
P_n	Potência ativa referente ao n-ésimo termo dos componentes de tensão e corrente;
R	Resistor;
R_S	Resistência equivalente do sistema elétrico de potência;

R_B	Resistência equivalente do sistema elétrico industrial;
S	Potência aparente do sistema elétrico;
TH	Notação para tiristores;
$U_a; U_b; U_c$	Tensão na carga de um sistema trifásico;
U_C	Queda de tensão no banco de capacitores;
U_{DC}	Tensão residual no banco de capacitores, após o desligamento;
U_t	Tensão de pico reversa máxima no tiristor;
Z_S	Impedância do sistema elétrico de potência;
1ϕ	Representação de circuitos elétricos de potência monofásicos;
3ϕ	Representação de circuitos elétricos de potência trifásicos.

Capítulo I

Introdução

1.1 - A Necessidade de se Efetuar a Compensação da Energia Reativa em Sistemas Elétricos

O crescimento dos centros industriais é função direta da situação econômica do país. No Brasil o desenvolvimento e a ampliação daquele, se processa de forma de cíclica, acelerada e desordenada. A necessidade de promover-se o desenvolvimento dos sistemas de suprimento, transmissão e distribuição elétricos é imperativo, a fim de atender a demanda de consumo. Importante também é considerar-se a qualidade de atendimento dos consumidores, ou seja, ele deve se processar de forma a atender a demanda dentro dos limites aceitáveis de segurança, confiabilidade e qualidade[5].

As concessionárias de energia elétrica, na tentativa de cumprir suas finalidades precípuas, freqüentemente realizam a ampliação e reforço dos seus sistemas elétricos. Mas o aparecimento sempre crescente de novos consumidores ou mesmo de novos tipos de carga, com características as mais diversas, levam os órgãos governamentais e as concessionárias a efetuar constantes fiscalizações no fator de potência medido, nas distorções de tensão e corrente injetadas na rede, demanda etc. Por outro lado apenas as fiscalizações muitas vezes não atendem o objetivo esperado.

Novas portarias são criadas, visando a utilização racional da energia elétrica. Dentro desta perspectiva enquadra-se a portaria 1569 do DNAEE[22] (Departamento Nacional de Águas e Energia Elétrica) que regulamenta a utilização racional da energia, através dos novos valores do fator de potência de referência.

Muitos processos industriais requerem a instalação de cargas elétricas de características não lineares e de dinâmica muito acelerada, que resultam em sérios problemas não só para o sistema das concessionárias, mas também para consumidores industriais e residenciais localizados nas imediações dessas indústrias. Como exemplo desses problemas cita-se:

⇒ Violentas sobrecargas, que podem causar instabilidade elétrica ao sistema, ou mesmo podendo levar os alimentadores à limites térmicos de condução;

⇒ Distúrbios no sistema, devido a injeção de componentes harmônicos de tensão e corrente, “flicker”, desequilíbrios, desbalanços de tensões etc;

⇒ Baixos fatores de potência, que também podem levar o sistema a limites térmicos excessivos, provocar sub ou sobre tensões e altas perdas.

Além dos fatores discutidos existem outros aspectos que aliaram-se a eles e que resultaram na promulgação da portaria do DNAEE. Dentre esses aspectos pode-se citar os fatores de ordem econômica. Sabe-se que o setor de geração de energia

elétrica, não dispõe de recursos financeiros para grandes investimentos na construção de novas hidroelétricas. Porém o setor privado apesar de ter sua economia de certa forma controlada pelo estado, apresenta sensíveis crescimentos anuais. Em consequência o sistema elétrico Brasileiro encontra-se muito próximo à sua capacidade limite.

Na tentativa de adiar-se os investimentos naquele setor e, visando a utilização mais racional da energia elétrica as portarias aparecem como uma solução paliativa para tais.

1.2 - A Portaria do DNAEE [2]

A portaria número 1569 do DNAEE publicada em 23/12/93 elevou o fator de potência das unidades consumidoras, deslocando o limite mínimo permitido de 0,87 para 0,92. Além deste novo limite a mesma portaria alterou a forma de medição da energia reativa fornecida pelas concessionárias que passa de uma média mensal para uma média horária a partir de abril de 1996. Ficou estabelecido um outro elemento importante: das 6H00 às 24H00 o fator de potência tem de ser no mínimo 0,92 para energia reativa indutiva fornecida e, das 24H00 às 6H00 no mínimo de 0,92 para energia reativa capacitiva recebida.

A publicação da portaria resultou na busca de alternativas tecnológicas tanto no aspecto do controle da energia reativa consumida, mas também em modernas metodologias, por parte das concessionárias de energia elétrica, para medição e fiscalização do consumo[21] [22].



1.3 - Sistemas de Compensação de Reativo

Em sistemas elétricos de potência existe uma relação importante entre a energia reativa envolvida no sistema e a tensão nos seus diversos pontos.[5] Desta forma é de extrema importância ter-se equipamentos eficientes que promovam a estabilização da tensão dentro de níveis aceitáveis, e efetuem correções dos distúrbios causados pelas constantes variações da carga, que alteram os níveis de tensão e o respectivo fator de potência. Estes problemas podem ser solucionados pelo controle do fluxo da energia reativa envolvida[5]. Esses equipamentos são conhecidos como *compensadores de reativos*. A sua instalação é feita no local, e o princípio de funcionamento baseia-se em manter o módulo e a fase da corrente dentro de uma faixa razoavelmente constante. A figura 1.1, ilustra um sistema elétrico industrial acoplado ao barramento da concessionária, onde foi instalado um dispositivo de compensação de energia reativa, próximo ao barramento da subestação de entrada.

A figura 1.2A, mostra um gráfico horário do comportamento do módulo da corrente de uma carga instalada na indústria. Observa-se que o comportamento da corrente solicitada pela carga é extremamente variável. A figura 1.2B, mostra o comportamento da corrente na carga, porém com o compensador ligado ao barramento.

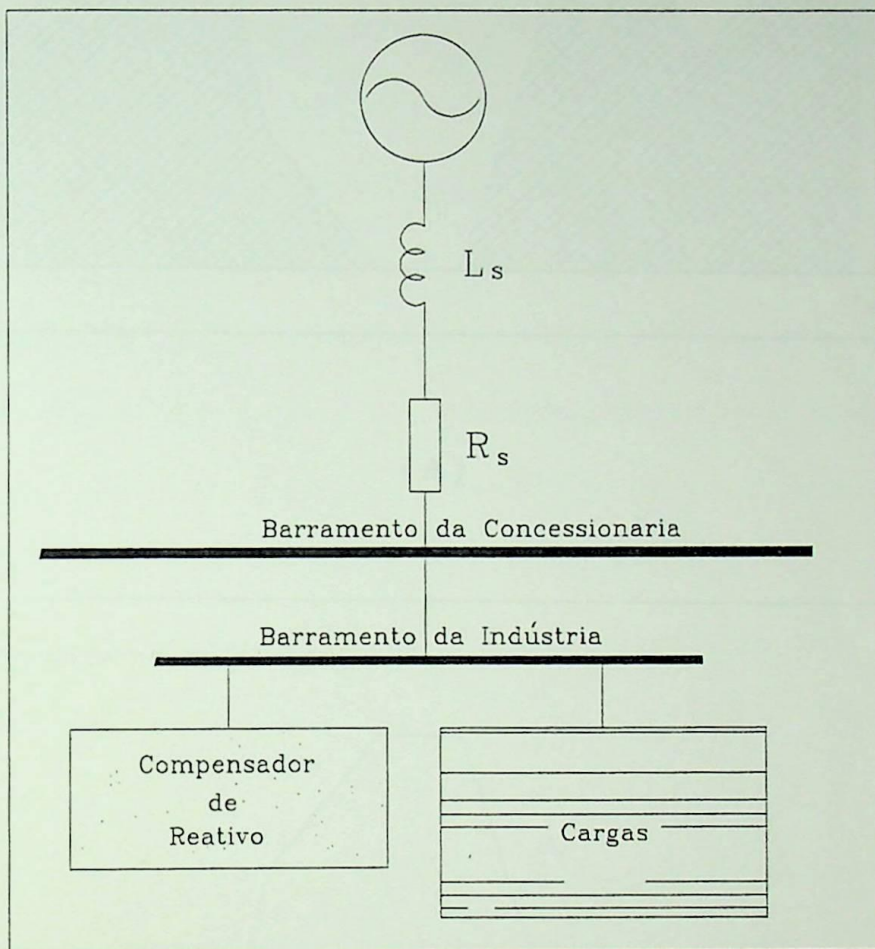
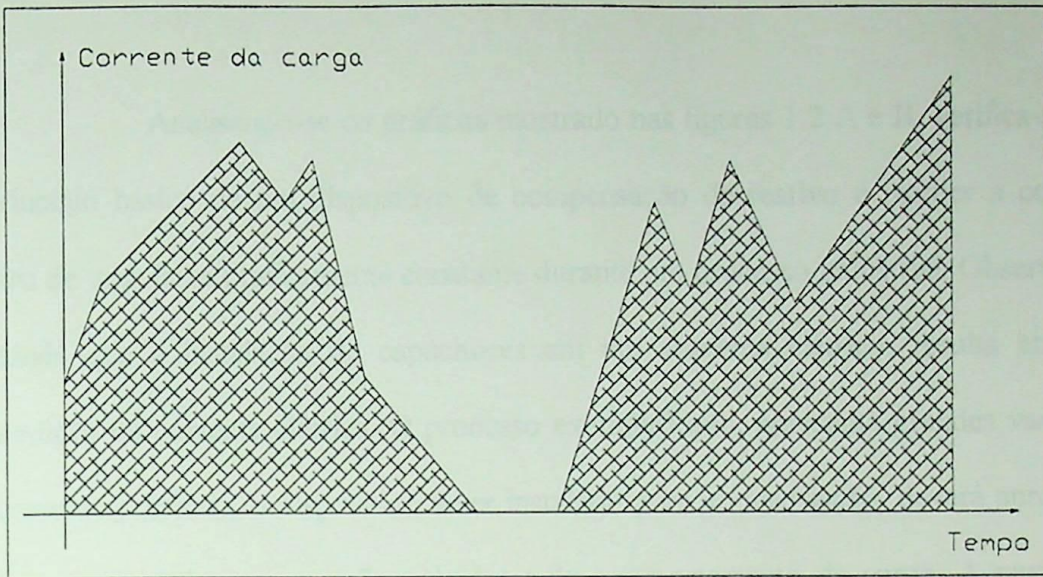


Figura 1.1 - Sistema elétrico com compensador de reativo

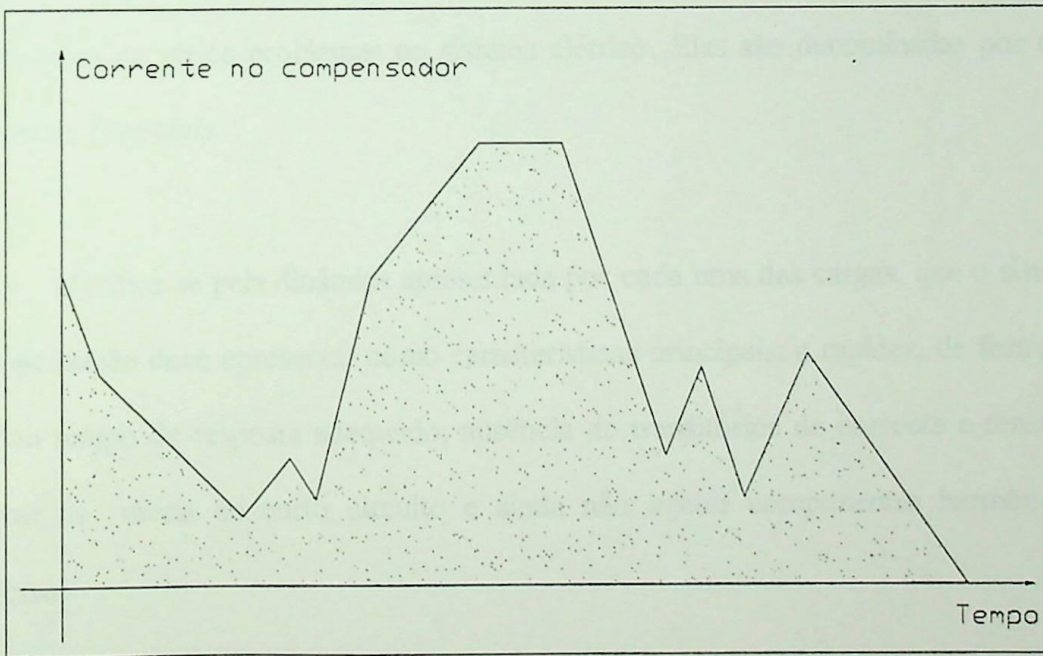
Onde:

L_s - Indutância equivalente do sistema elétrico de potência;

R_s - Resistência equivalente do sistema elétrico de potência;



(A)



(B)

Figura 1.2 - Princípio da compensação de energia Reativa.

A) Sem dispositivo de compensação;

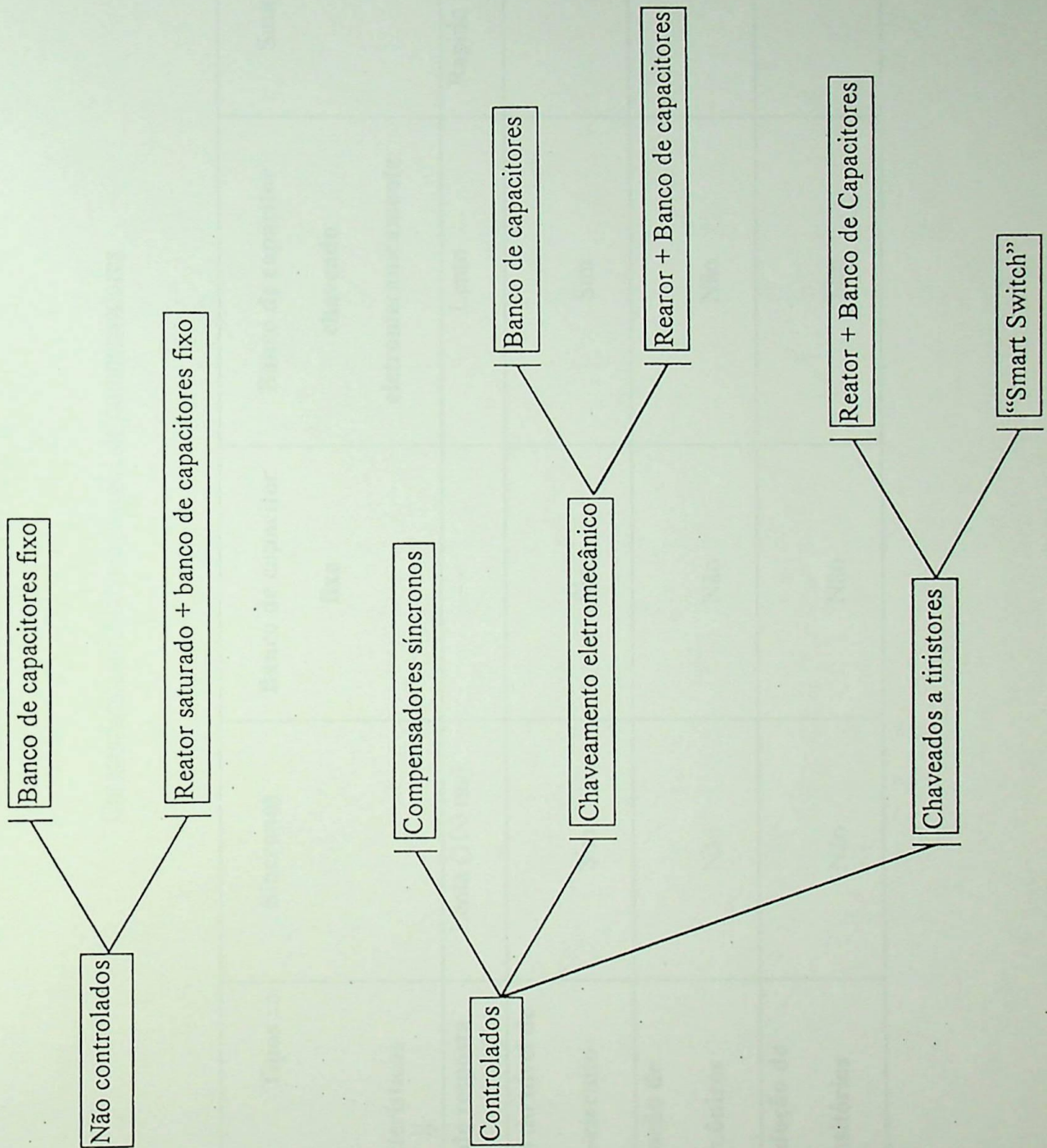
B) Com dispositivo de compensação.

Analisando-se os gráficos mostrados nas figuras 1.2 A e B, verifica-se que o princípio básico de um dispositivo de compensação de reativo é manter a corrente dentro de uma faixa praticamente constante durante um processo industrial. Observando-se ainda que a instalação de capacitores em um sistema elétrico, resulta em uma diminuição da corrente elétrica. O processo exemplificado, apresenta grandes variações de corrente portanto, o dispositivo a ser instalado para compensação, deverá apresentar certas características, que serão exigidas pelo comportamento da carga. A partida de motores de indução bem como o seu sobredimensionamento, resultam em sérios problemas no tocante ao aparecimento de “flicker” e baixo fator de potência respectivamente. Fornos de indução, fornos a arco entre outras, são também cargas causadoras de sérios problemas no sistema elétrico. Elas são denominadas por *Cargas Elétricas Especiais*.

Verifica-se pela dinâmica apresentada por cada uma das cargas, que o sistema de compensação deve apresentar como características principais: a rapidez, de forma a ter-se um tempo de resposta adequado; ausência de transitórios de corrente e tensão; não elevar os níveis de curto circuito e ainda não injetar componentes harmônicos no sistema.

Vários são os tipos de dispositivos de compensação de reativos, a tabela 1.1 ilustra todos os tipos e, a tabela 1.2 mostra mostra as características de cada um, bem como as técnicas utilizadas na compensação.





Dispositivos de compensação

Tabela 1.1

Características dos diversos tipos de compensadores

Tipos ⇒	Síncronos	Banco de capacitor fixo	Banco de capacitor chaveado eletromecanicamente	Smart Switch
Características ⇓				
Tempo de resposta	Lenta (100 ms)	- -	Lento	Rápido menor 29 ms
Aumento do nível de curto-circuito	Sim	Sim	Sim	Não
Geração de harmônicos	Não	Não	Não	Não
Introdução de transitórios	Não	Não	Sim	Não

Característica dos Diversos Tipos de Compensadores

Tabela 1.2

1.4 - Análise dos Tipos de Compensadores de Reativo

1.4.1 - Capacitor Fixo

É o mais barato e mais utilizado dos equipamentos de compensação de energia reativa. Geralmente é projetado para efetuar a compensação na pior condição de Fator de Potência em que o sistema industrial opera, de tal forma não acarretar em nenhum ônus para a indústria.

O grande inconveniente deste tipo de compensador é que nos horários em que a indústria opera com cargas reduzidas, pode ocorrer do banco de capacitores, que permanece conectado ao sistema elétrico, devolver parte da energia reativa para a rede da concessionária. Este inconveniente se seguido por outras indústrias pode provocar sobretensões no sistema elétrico. Como se sabe os capacitores são projetados para operarem com tensões dentro de uma faixa de tensão. As sobretensões no sistema elétrico podem afetar outros bancos de capacitores de indústrias nas proximidades, ou mesmo em bancos da concessionária. Acrescente-se ainda o fato que sobretensões permanentes nos sistemas elétricos resultam na atuação dos sistemas de proteção da concessionária, podendo ocorrer freqüentes “black-out”.

Outro aspecto a ser considerado é que Bancos de Capacitores fixos, alteram a reatância própria do sistema. Existem cargas elétricas que injetam certa quantidade de componentes harmônicos, além de apresentarem um comportamento

muito dinâmico. Estas características resultam na amplificação dos componentes harmônicos do sistema, trazendo problemas como os já mencionados anteriormente.

Considerando ainda a nova portaria do DNAEE, que regulamenta o Fator de Potência de referência tanto indutivo como capacitivo, com uma simples análise, conclui-se que este tipo de solução não se adequa a portaria vigente.

1.4.2 - Compensador Com Reator Saturado e Banco de Capacitores Fixo[5]

Este tipo especial de Compensador de Reativos é utilizado em cargas que são muito dinâmicas, isto é, apresentam variação de corrente muito elevadas ao longo do tempo. Além disso provocam variações de tensão acima dos níveis aceitáveis. Como exemplo deste tipo de cargas tem-se os fornos a arco.

Sabe-se que somente a instalação de bancos de capacitores, não é suficiente para a compensação deste tipo de carga. Pois no caso do fenômeno de "Flicker" os Capacitores podem reduzi-lo na faixa de 40% a 60%. Para esta situação há a necessidade de se combinar os efeitos indutivos, do reator de núcleo saturado, com os efeitos capacitivos, do banco de capacitores, para obter-se resultados satisfatórios. Por outro lado os reatores tem seu princípio de funcionamento baseado nos princípios eletromagnéticos de acordo com a curva, denominada de magnetização, onde plota-se os parâmetros **B** (indução magnética) por **H** (campo magnético). Como tensão (**E**) e corrente (**I**), são proporcionais a **B** e **H**, respectivamente e, recorrendo-se a não linearidade da curva, baseado nestas condições obtém-se os efeitos desejados. A seguir

mostra-se na ilustração a representação esquemática do reator saturado e o comportamento da curva de magnetização.

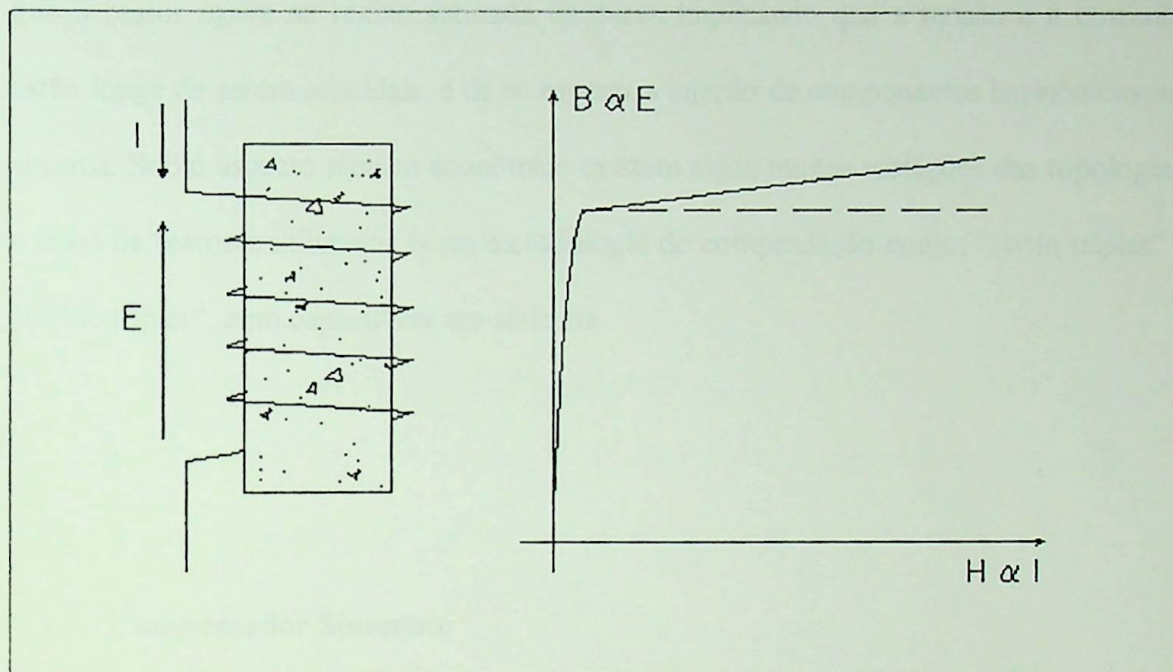


Figura 1.3 - Princípio de Operação do Reator Saturado.

Observa-se que o trecho da curva, acima do ponto de saturação, apresenta tensão praticamente constante. Portanto quando a corrente atinge limites elevados a tensão no reator permanece constante, eliminando as quedas de tensão no barramento.

Em contrapartida os reatores são cargas altamente indutivas, ou seja efetuam a compensação de tensão, mas para tanto consomem uma grande parcela de energia reativa. Daí a necessidade de se instalar bancos de capacitores em paralelo com os reatores saturados, para obter-se os resultados desejados.

O grande inconveniente deste tipo de compensador, é a necessidade de ter-se reator e capacitor, aliado ao fato de que quando o forno estiver com cargas leves, o banco de capacitores estará devolvendo energia reativa para a rede. Outro aspecto é que o reator opera na região saturada da curva implicando que a tensão e a corrente estão longe de serem senoidais, é de se esperar a injeção de componentes harmônicos no sistema. Sob o aspecto técnico econômico existem ainda muitas variações das topologias e tipos de reatores utilizados nesta metodologia de compensação como: “twin tripler”, “treble tripler”, com capacitores em série etc.

1.4.3 - Compensador Síncrono:

Este tipo de compensador é uma máquina síncrona, funcionando a vazio, que é acoplado ao sistema. Atuando-se no dispositivo do controle de excitação da máquina pode-se controlar as potências ativa e reativa a ser injetada pela máquina no sistema.

Esta é uma característica própria das máquinas síncronas, poder gerar tanto energia ativa como reativa. Os pontos de operação do Compensador Síncrono, são determinados pelo lugar geométrico dos pontos que encontram-se sob a relação denominada Curva V da máquina Síncrona. Esta característica da máquina lhe é peculiar tanto no funcionamento como gerador ou motor.

Dentre os compensadores este é o que apresenta maior simplicidade na instalação. Face a sua robustez, e fácil controle promove a estabilização de tensão devido as variações da carga durante o processo industrial, de forma aceitável. Apresenta como desvantagens o aumento dos níveis de curto circuito, tempo de resposta elevado, manutenção onerosa devido a existência de partes rotativas e o alto custo do gerador.

1.4.4 - Banco de Capacitores Chaveados Eletromecanicamente

Quando as cargas apresentam variações no consumo de reativo, durante um certo processo é necessário a adição ou subtração de capacitores no sistema. O chaveamento dos bancos de capacitores se processa por chaves contadoras especiais, ou mesmo através de disjuntores.

Vários inconvenientes decorrem deste tipo de procedimento, adotado para compensação de energia reativa. Pode-se citar: transitórios de corrente e tensão no sistema, cintilamento de luz (“flicker”) além de impor aos capacitores tensões elevadas devido ao chaveamento do capacitor com a tensão em oposição. Afigura 1.4 e 1.5 mostram, nesta ordem, um circuito exemplo de chaveamento de capacitores e as formas de onda de tensão e corrente típicas deste tipo de circuito. Há ainda os problemas de manutenções constantes, além da impossibilidade de implementar-se uma malha de controle, neste tipo de acionamento, devido a inércia do sistema mecânico. Isto resulta em chaveamentos aleatórios sempre seguidos de altas correntes, resultando em desgastes prematuros dos contatos das chaves, reduzindo a vida útil dos capacitores e elevando os custos de manutenção.

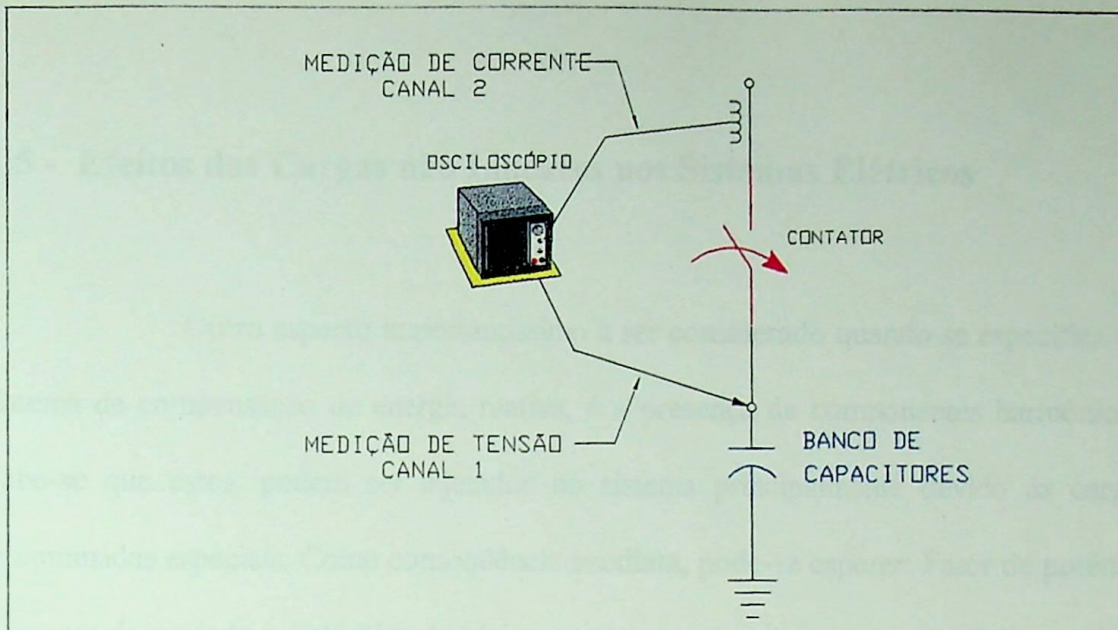


Figura 1.4 - Circuito típico para chaveamento de bancos de capacitores eletromecanicamente. Circuito utilizado na medição dos oscilogramas da figura 1.5.

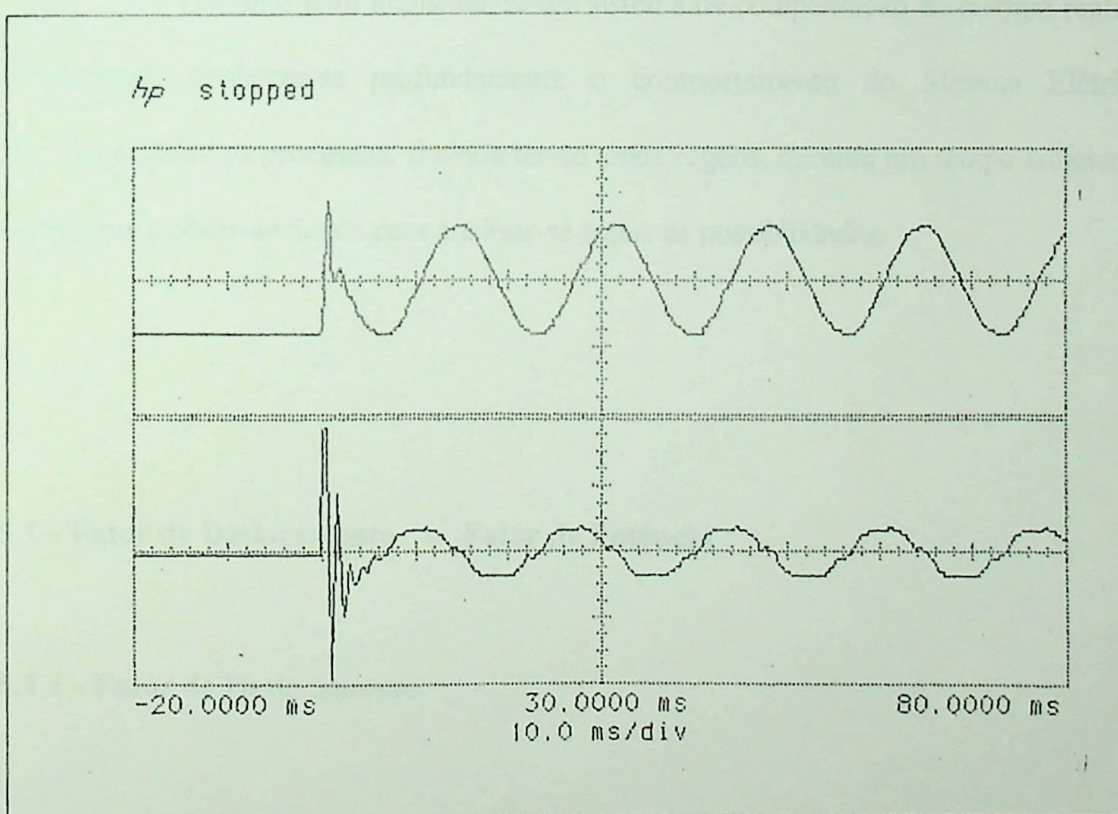


Figura 1.5 - Oscilograma de corrente e tensão, resultantes do chaveamento de banco de capacitores.

Canal 1- Tensão; canal 2 - corrente.

1.5 - Efeitos das Cargas não Lineares nos Sistemas Elétricos

Outro aspecto importantíssimo a ser considerado quando se especifica um sistema de compensação de energia reativa, é a presença de componentes harmônicos. Sabe-se que estes, podem ser injetados no sistema principalmente devido às cargas denominadas especiais. Como consequência imediata, pode-se esperar: Fator de potência diferente da unidade e distúrbios de várias naturezas, sempre presentes no sistema.

Portanto para implantar-se um sistema de compensação de energia reativa é importante conhecer-se profundamente o comportamento do Sistema Elétrico Industrial durante os processos. E ainda ter-se amostragens, durante um tempo suficiente de tal forma a obter-se dados para analisar-se todas as possibilidades.

1.5.1 - Fator de Deslocamento x Fator de Potência

1.5.1.1 - Fator de Deslocamento

Se em um sistema elétrico apresentar tensões e correntes perfeitamente senoidais e estas ondas apresentarem-se em fase, diz-se que o ângulo de deslocamento entre ambas é zero. Esta situação está ilustrada na figura 1.6.



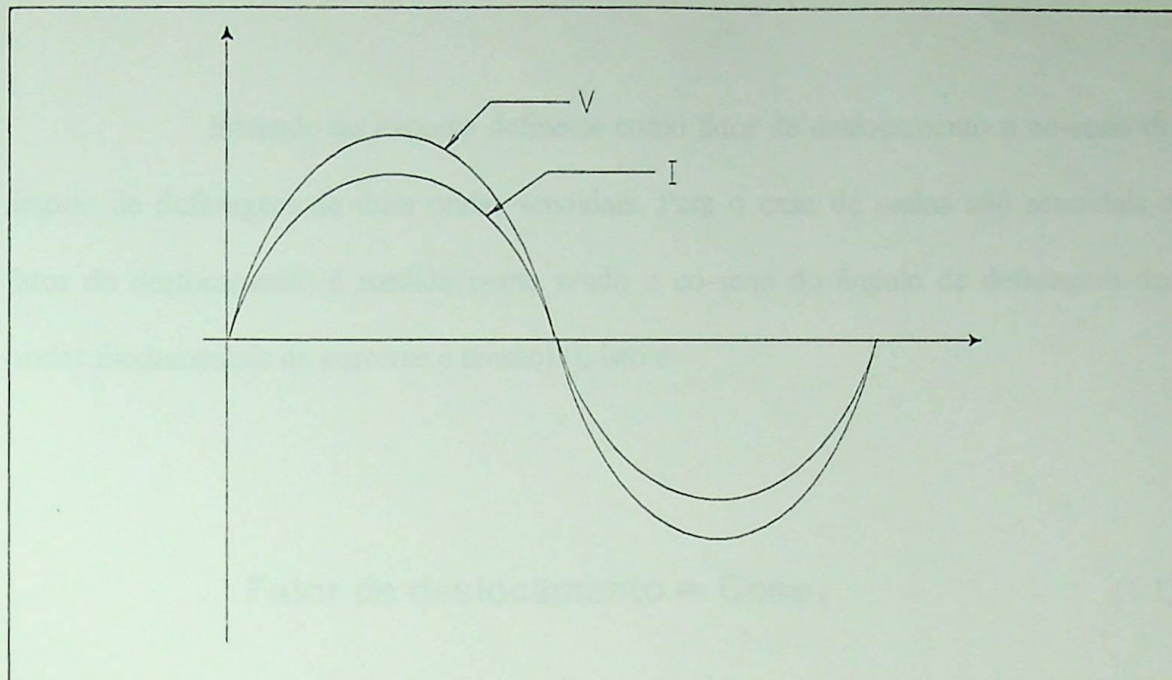


Figura 1.6 - Condição de ângulo de deslocamento igual a zero.

No entanto se existir uma defasagem entre as ondas senoidais de tensão e corrente, devido ao tipo de carga ligada ao sistema elétrico, o ângulo de deslocamento é diferente de zero. A figura 1.7 ilustra o exposto.

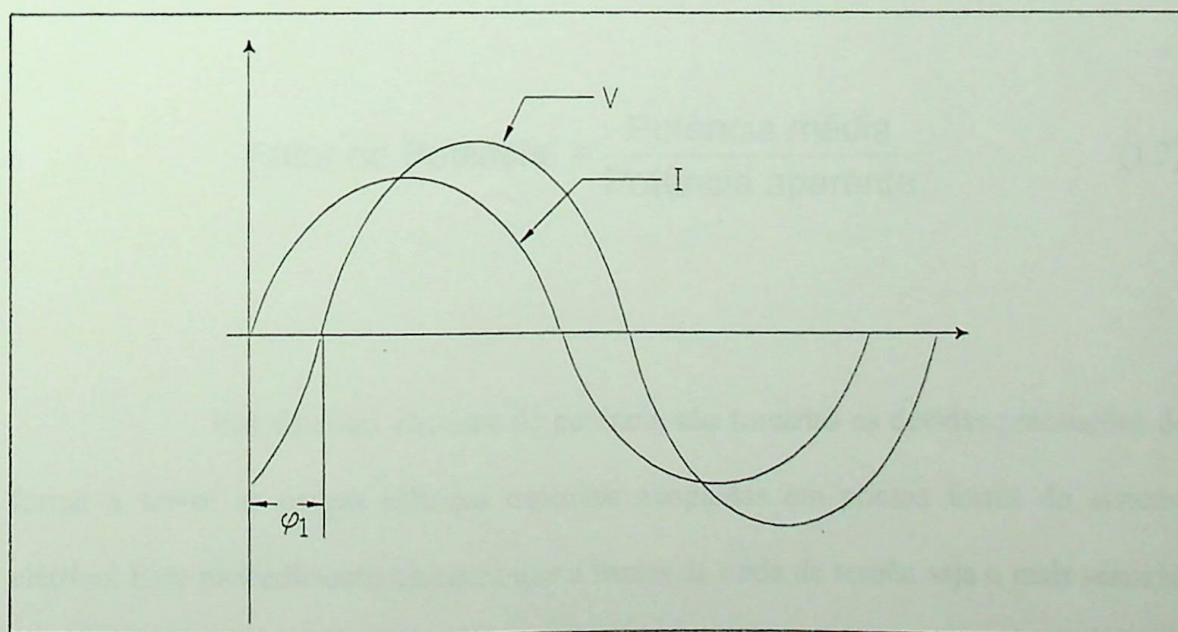


Figura 1.7 - Condição de ângulo de deslocamento diferente de zero.

Baseado no exposto define-se como fator de deslocamento o co-seno do ângulo de defasagem de duas ondas senoidais. Para o caso de ondas não senoidais o fator de deslocamento é medido como sendo o co-seno do ângulo de defasagem das ondas fundamentais de corrente e tensão[3], isto é:

$$\text{Fator de deslocamento} = \text{Cos}\phi_1 \quad (1.1)$$

1.5.1.2 - Fator de Potência:

O fator de potência é definido como sendo a relação entre a **potência média** e o **total de Volt-Ampère** (**medido em termos de valores eficazes da corrente e tensão**)[3]. Matematicamente escreve-se:

$$\text{Fator de Potência} = \frac{\text{Potência média}}{\text{Potência aparente}} \quad (1.2)$$

Em sistemas elétricos de potência são tomadas as devidas precauções de forma a ter-se as cargas elétricas especiais acopladas em pontos fortes do sistema elétrico. Este procedimento assegura que a forma de onda de tensão seja o mais senoidal possível. Pode-se escrever que as equações que definirão as tensões de fase nas cargas serão:

$$U_a = U_{max} \text{Sen}(\omega \cdot t) \quad (1.3)$$

$$U_b = U_{max} \cdot \text{Sen}\left(\omega \cdot t - \frac{2 \cdot \pi}{3}\right) \quad (1.4)$$

$$U_c = U_{max} \cdot \text{Sen}\left(\omega \cdot t + \frac{2 \cdot \pi}{3}\right) \quad (1.5)$$

A não linearidade da carga provocará distorções na forma de onda da corrente. Através da série de Fourier, pode-se expandir o sinal de corrente em um somatório de senoides e co-senoides com n termos[4]. De uma forma genérica a onda de corrente pode ser descrita pela equação:

$$i = \sqrt{2} \cdot I_1 \cdot \text{Sen}(\omega \cdot t + \varphi_1) + \sum_{n=2}^{\infty} \sqrt{2} \cdot I_n \cdot \text{Sen}(n \cdot \omega \cdot t + \varphi_n) \quad (1.6)$$

Onde:

$I_1 \Rightarrow$ valor eficaz da componente fundamental de corrente;

$\varphi \Rightarrow$ ângulo de deslocamento da corrente fundamental;

$I_n \Rightarrow$ valor eficaz do n -ésimo componente harmônico de corrente;

$\varphi_n \Rightarrow$ ângulo de deslocamento do n -ésimo componente harmônico da corrente, em relação à fundamental.

A potência média pode ser calculada para todos os n-ézimos termos. Para tanto aplica-se a definição para o cálculo da potência média.

$$P_n = \frac{1}{2 \cdot \pi} \int_0^{2\pi} [\sqrt{2} \cdot U \cdot \text{Sen}(\omega \cdot t)] \cdot [\sqrt{2} \cdot I_n \cdot \text{Sen}(n \cdot \omega \cdot t + \varphi_n)] \cdot d(\omega \cdot t) \quad (1.7)$$

Desenvolvendo-se a função seno da corrente e, efetuando-se as multiplicações resulta:

$$P_n = \frac{U \cdot I_n}{\pi} \int_0^{2\pi} [\text{Sen}(\omega \cdot t) \cdot \text{Cos}(n \cdot \omega \cdot t) \cdot \text{Sen}\varphi_n + \text{Sen}(\omega \cdot t) \cdot \text{Sen}(n \cdot \omega \cdot t) \cdot \text{Cos}\varphi_n] \cdot d(\omega \cdot t) \quad (1.8)$$

Observa-se na equação anterior que para $n > 1$ o resultado da potência média é igual a zero. Isto pode ser verificado por inspeção, uma vez que a tensão não possui componentes para $n > 1$, assim o resultado do produto para estes termos será zero. Mas o produto da fundamental da tensão pela da corrente resulta em valor diferente de zero.

$$P = U \cdot I \cdot \text{Cos}\varphi_1 \quad (1.9)$$

Calculando-se o fator de potência através da definição obtem-se:

$$F.P = \frac{P}{S} = \frac{U \cdot I_1}{U \cdot \sqrt{I_1^2 + \sum_{n=2}^{\infty} I_n^2}} \cdot \text{Cos}\varphi_1 \quad (1.10)$$

$$\text{Cos}\delta = \frac{I_1}{\sqrt{I_1^2 + \sum_{n=2}^{\infty} I_n^2}} \quad (1.11)$$

$$\therefore F.P = \text{Cos}\delta \text{ Cos}\varphi_1 \quad (1.12)$$

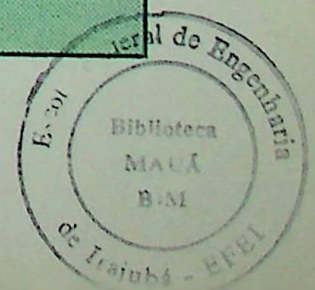
Verifica-se na equação anterior que o fator de deslocamento aparece multiplicado por uma relação de corrente. Este termo denomina-se **Componente de distorção do fator de potência**.

Define-se também **fator de distorção harmônica** ou “**total harmonic distortion**” (THD) como sendo a razão entre os valores eficazes de todos os componentes pelo valor eficaz da fundamental, expresso como porcentagem da fundamental[3]. De outra forma:

$$THD = \sqrt{\frac{\sum(\text{quadrados da amplitudes de todos os harmônicos})}{\text{quadrado da amplitude da fundamental}}} \cdot 100 \quad (1.13)$$

Capítulo II

Modelagem do Sistema Elétrico com Capacitores Chaveados



2.1 - Equacionamento e Simulação de Circuitos Contendo Capacitores

Recorrendo-se a representação de um sistema elétrico trifásico, por três monofásicos, obtem-se um circuito análogo ao representado na figura 2.1. Partindo-se deste circuito pode-se estabelecer as equações representativas do comportamento do sistema a qualquer instante, de chaveamento de bancos de capacitores. A solução da equação obtida, apresentará os resultados tanto em regime transitório, como no permanente.[1]

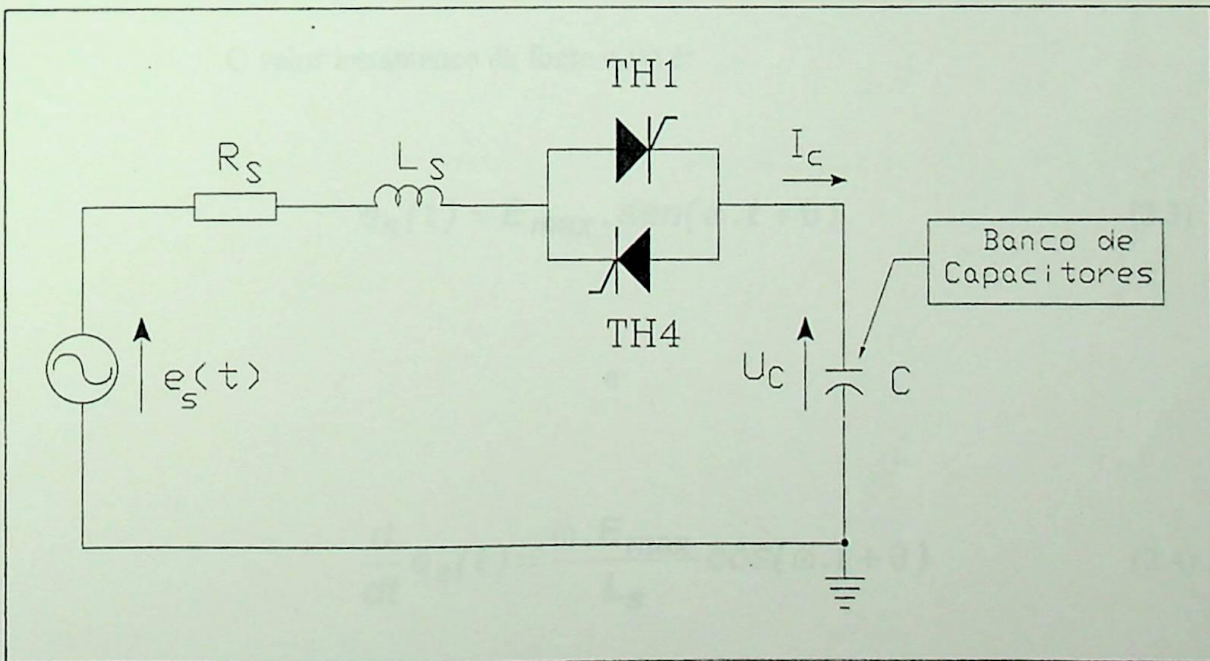


Figura 2.1 - Circuito Equivalente de um Sistema Elétrico com Banco de capacitores chaveados.

No circuito R_s e L_s representam a resistência e indutância do sistema e C o banco de capacitores a ser chaveado em $t = 0$, e E_0 uma possível tensão existente no capacitor. A equação diferencial característica do circuito será:

$$R_s i_c(t) + L_s \cdot \frac{d}{dt} i_c(t) + \frac{1}{C} \int i_c(t) \cdot dt - e_s(t) + E_0 = 0 \quad (2.1)$$

O que resulta na seguinte equação de segunda ordem:

$$\frac{d^2}{dt^2} i_c(t) + \frac{R_s}{L_s} \frac{d}{dt} i_c(t) + \frac{1}{L_s C} i_c(t) = \frac{d}{dt} e_s(t) \quad (2.2)$$

O valor instantâneo da fonte $e_s(t)$ é:

$$e_s(t) = E_{max} \cdot \text{sen}(\omega \cdot t + \theta) \quad (2.3)$$

e

$$\frac{d}{dt} e_s(t) = \frac{\omega \cdot E_{max}}{L_s} \cos(\omega \cdot t + \theta) \quad (2.4)$$

Denominando os coeficientes da equação 2.2 e, reagrupando obtem-se:

$$\frac{R_s}{2L_s} = \alpha \quad (2.5A)$$

$$\frac{1}{L_s C} = \omega_0^2 \quad (2.5B)$$

e

$$\omega_r^2 = \omega_0^2 - \alpha^2 \quad (2.5C)$$

$$\frac{d^2}{dt^2} i_c(t) + 2\alpha \frac{d}{dt} i_c(t) + \omega_0^2 i_c(t) = \frac{\omega E_{Max}}{L_s} \cos(\omega t + \theta) \quad (2.6)$$

A equação característica de 2.6 e suas soluções serão representadas por D_1 e D_2 , respectivamente e, escritas conforme segue:

$$D^2 + 2\alpha D + \omega_0^2 = 0 \Rightarrow \left\{ \begin{array}{l} D_1 = \frac{-2\alpha - \sqrt{4\alpha^2 - 4\omega_0^2}}{2} \quad (2.7A) \\ D_2 = \frac{-2\alpha + \sqrt{4\alpha^2 - 4\omega_0^2}}{2} \quad (2.7B) \end{array} \right.$$

Denominando-se o termo:

$$\sqrt{\alpha^2 - \omega_0^2} = \beta \quad (2.8)$$

As raízes da equação resumem-se em:

$$D_1 = -\alpha - \beta \quad (2.9A)$$

$$D_2 = -\alpha + \beta \quad (2.9B)$$

Em $t > 0$ existem três hipóteses possíveis para obter-se a solução homogênea, chamando de $i_{ch}(t)$, tem-se:

1ª Hipótese: *Comportamento "sobre-amortecido".*

$$\text{Se } \alpha^2 > \omega_0^2 \Rightarrow \frac{R_s^2}{4L_s^2} > \frac{1}{L_s C_s} \Rightarrow R_s > 2\sqrt{\frac{L_s}{C}} \quad (2.10)$$

$$i_{ch}(t) = e^{-\alpha t} (A_1 e^{\beta t} + A_2 e^{-\beta t}) \quad (2.10A)$$

2ª Hipótese: Comportamento "sub-amortecido".

$$\text{Se } \alpha^2 < \omega_0^2 \Rightarrow \frac{R_s^2}{4L_s^2} < \frac{1}{L_s C_s} \Rightarrow R_s < 2\sqrt{\frac{L_s}{C}} \quad (2.11)$$

$$i_{c_h}(t) = B_1 e^{-\alpha t} \text{Cos} \omega_r t + B_2 e^{-\alpha t} \text{Sen} \omega_r t \quad (2.11A)$$

3ª Hipótese: Comportamento "criticamente amortecido".

$$\text{Se } \alpha^2 = \omega_0^2 \Rightarrow \frac{R_s^2}{4L_s^2} = \frac{1}{L_s C_s} \Rightarrow R_s = 2\sqrt{\frac{L_s}{C}} \quad (2.12)$$

$$I_{c_h}(t) = K_1 e^{\alpha t} + K_2 t e^{\alpha t} \quad (2.12A)$$

As constantes A_1 , A_2 , B_1 , B_2 , K_1 e K_2 serão calculadas posteriormente.

Conhecendo-se a solução homogênea $i_{c_h}(t)$, calcula-se a solução particular representada por $i_{c_p}(t)$. A solução particular, representa o regime permanente do sistema. De uma forma geral ela pode ser escrita como (2.13):

$$i_{c_p}(t) = C_1 \text{sen } \omega t + C_2 \text{cos } \omega t [26] \quad (2.13)$$

As constantes C_1 e C_2 podem ser calculadas substituindo (2.13) e suas derivadas na equação (2.2). Resultando em um sistema de primeira ordem, onde C_1 e C_2 são as incógnitas.

Utilizando-se a forma fasorial[4] e, substituindo-se a função forçante trigonométrica pelos fasores respectivos e, ainda efetuando-se a troca do operador $D = \frac{d}{dt}$ (Heaviside) por $j\omega$, sabendo que esta transformação se refere à transformada de Laplace vista sob o ponto de vista da resposta em frequência, tem-se:

$$i_{c_p} \left[(j\omega)^2 + j\omega 2\alpha + \omega_0^2 \right] = \frac{\omega E}{L_s} \angle \theta \quad (2.14)$$

$$i_{c_p} = \frac{\omega}{-\omega^2 + j\omega \frac{R_s}{L_s} + \frac{1}{L_s C}} \frac{E}{L} \angle \theta \quad (2.15A)$$

$$i_{c_p} = \frac{\omega}{j\omega R_s - \omega^2 L_s + \frac{1}{C}} E \angle \theta \quad (2.15B)$$

$$i_{c_p} = \frac{\omega}{(R_s - \frac{\omega L_s}{j} + \frac{1}{j\omega C}) \frac{1}{j\omega}} E \angle \theta \quad (2.15C)$$

$$i_{c_p} = \frac{\omega}{R_s + j(\omega L_s - \frac{1}{\omega C})} \frac{E}{j} \angle \theta \quad (2.15D)$$

O denominador da expressão acima na forma polar será:

$$Z_s(j\omega) = R_s + j(\omega \cdot L_s - \frac{1}{\omega \cdot C}) \quad (2.16)$$

Cujo o módulo é dado por:

$$\sqrt{R_s^2 + \left(\omega L_s - \frac{1}{\omega C}\right)^2} \angle \varphi = Z_s \angle \varphi \quad (2.17)$$

onde:

$$\varphi = \text{tg}^{-1} \frac{\omega L_s - \frac{1}{\omega C}}{R_s} \quad (2.18)$$

finalmente tem-se para expressão de i_{c_p} .

$$i_{c_p} = \frac{E \angle \theta - 90^\circ - \varphi}{Z_s} \quad (2.19)$$

Escrevendo-se no i_{c_p} domínio do tempo, através da comparação das equações (2.6) e (2.13):

$$i_{c_p}(t) = I_{max} \text{Cos}(\omega t + \theta - 90^\circ - \varphi) \quad (2.20)$$



E, a solução geral é composta pela solução homogênea mais a solução particular, isto é:

$$i_c(t) = i_H(t) + i_{c_p}(t) \quad (2.20)$$

Considerando-se as três hipóteses existentes e recorrendo-se a (2.10A), (2.11A) (2.12A) e a (2.20) conclui-se que as soluções são:

1ª Hipótese: *Comportamento "Sobre-amortecido"*.

$$i_c(t) = I_{max} \text{Sen}(\omega t + \theta - \varphi) + e^{-\alpha t} (A_1 e^{\beta t} + A_2 e^{-\beta t}) \quad (2.22)$$

2ª Hipótese: *Comportamento "Sub-amortecido"*.

$$i_c(t) = I_{max} \text{Sen}(\omega t + \theta - \varphi) + (B_1 e^{-\alpha t} \text{Cos} \omega_r t + B_2 e^{-\alpha t} \text{Sen} \omega_r t) \quad (2.23)$$

3ª Hipótese: *Comportamento "Criticamente amortecido"*.

$$i_c(t) = I_{max} \text{Sen}(\omega t + \theta - \varphi) + K_1 e^{\alpha t} + K_2 t e^{\alpha t} \quad (2.24)$$

Estando o circuito em repouso em $t < 0$, tem-se que $i_c(t) = 0$. As constantes A_1, A_2, B_1, B_2, K_1 e K_2 são calculadas a partir das condições iniciais, ou seja quando $t = 0$. O circuito resultante neste instante de tempo apresenta a topologia mostrada na figura 2.2.

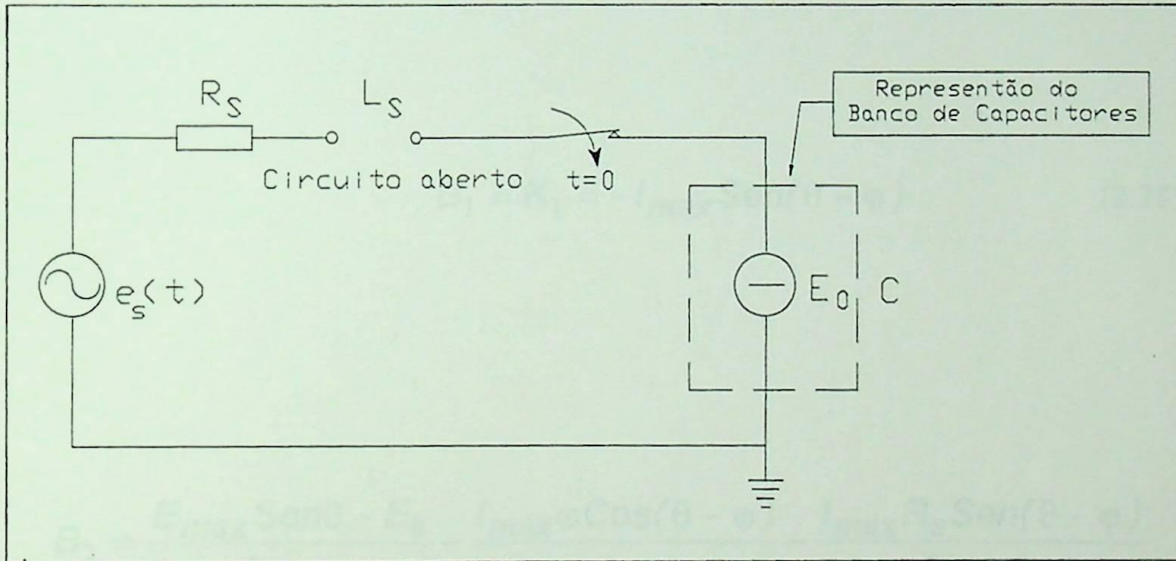


Figura 2.2 - Topologia do circuito modelado no instante do fechamento dos tiristores, $t = 0$.

Reescrevendo-se a equação (2.1) para $t = 0$ tem-se:

$$L \frac{d}{dt} i_c(t) = e_s(t) - E_0 \Rightarrow \frac{d}{dt} i_c(t) = \frac{e_s(t) - E_0}{L_s} \quad (2.25)$$

Calculando-se as constantes:

$$A_1 = \frac{E_{max} \text{Sen}\theta - E_0}{2\beta L_s} + \frac{I_{max} \omega \text{Cos}(\theta - \varphi)}{2\beta} - \frac{I_{max} (\beta - \alpha) \text{Sen}(\theta - \varphi)}{2\beta} \quad (2.26)$$

$$A_2 = -\frac{E_{max} \text{Sen}\theta - E_0}{2\beta L_s} + \frac{I_{max} \omega \text{Cos}(\theta - \varphi)}{2\beta} - \frac{I_{max} (\beta - \alpha) \text{Sen}(\theta - \varphi)}{2\beta} \quad (2.27)$$

$$B_1 = K_1 = -I_{max} \text{Sen}(\theta - \varphi) \quad (2.28)$$

$$B_2 = \frac{E_{max} \text{Sen}\theta - E_0}{L_s \omega_r} - \frac{I_{max} \omega \text{Cos}(\theta - \varphi)}{\omega_r} - \frac{I_{max} R_s \text{Sen}(\theta - \varphi)}{2L_s \omega_r} \quad (2.29)$$

$$K_2 = \frac{E_{max} \text{Sen}\theta - E_0}{L_s} - I_{max} \omega \text{Cos}(\theta - \varphi) + \frac{R_s}{2L_s} I_{max} \text{Sen}(\theta - \varphi) \quad (2.30)$$

As quatro últimas equações comprovam que a intensidade dos componentes transitórios resultantes do chaveamento, são proporcionais à tensão existente na chave, no instante do fechamento. Se neste instante a diferença de potencial entre a tensão da fonte em relação ao banco de capacitores for zero, ou em outras palavras, se a tensão sobre a chave for igual a zero, os termos responsáveis pelo transitório desaparecem e não ocorre a corrente de "Inrush". A figura 2.3, ilustra a simulação de um circuito sendo fechado no momento em que a tensão na chave é zero. Na simulação, utilizando-se o Pspice, os parâmetros do circuito são:

$$R_s = 0,4 [\Omega]; L_s = 150 [\mu\text{H}]; C = 480 [\mu\text{F}]; E_s = 50 [\text{V}] \text{ e } \theta = 0^\circ.$$

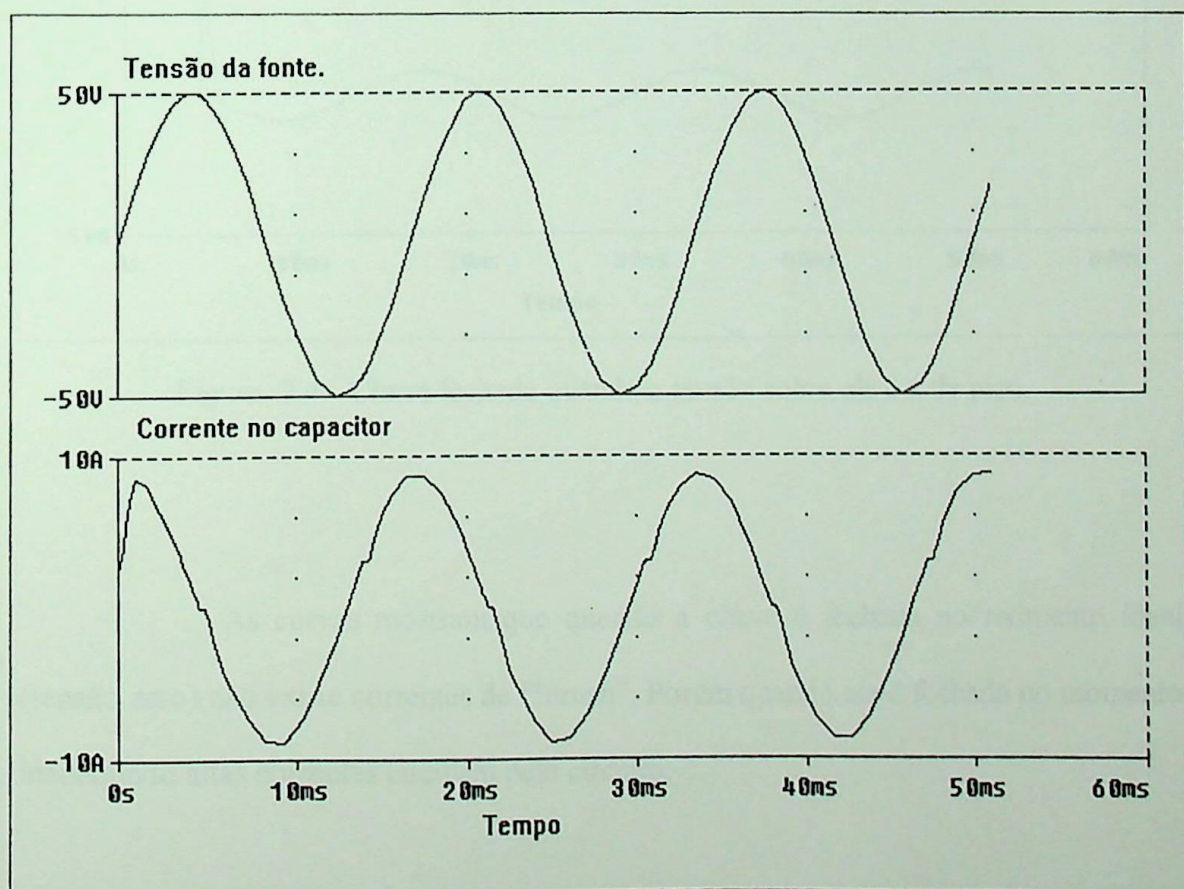


Figura 2.3 - Chave fechada quando a tensão sobre ela é zero.

Para o mesmo circuito simulou-se o fechamento da chave no instante em que a tensão é máxima e considerou-se o capacitor sem carga. O resultado está ilustrado na figura 2.4.

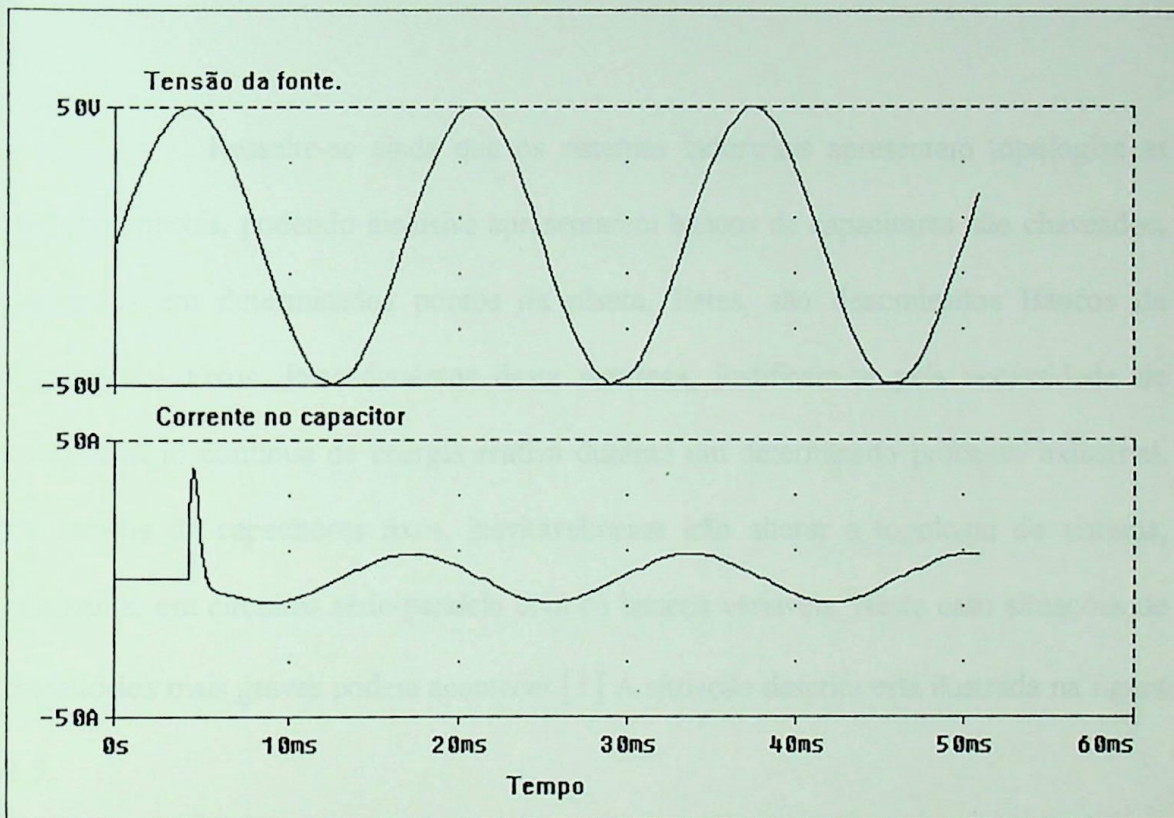


Figura 2.4 - Chave fechada quando a tensão sobre ela é a de pico.

As curvas mostram que quando a chave é fechada no momento ideal (tensão zero) não existe correntes de "Inrush". Porém quando ela é fechada no momento inadequado altas correntes circulam pelo circuito.

Em sistemas industriais que utilizam chaveamentos de bancos de capacitores através de dispositivos de chaveamento mecânico provocam altas correntes

de “Inrush”, resultando no aparecimento de “flicker”, sobretensões e sobrecorrentes, nos sistemas, prejudicando o funcionamento de circuitos eletrônicos e equipamentos controlados por microcomputadores e microprocessadores. Sabe-se ainda que constantes sobretensões afetam o material isolante de equipamentos elétricos encurtando sua vida útil.

Ressalte-se ainda que os sistemas industriais apresentam topologias as mais complexas, podendo inclusive apresentarem bancos de capacitores não chaveados, instalados em determinados pontos da planta. Estes, são denominados Bancos de Capacitores Fixos. Procedimentos desta natureza, justificam-se pela necessidade de compensação contínua de energia reativa durante um determinado processo industrial. Os bancos de capacitores fixos, inevitavelmente irão alterar a topologia do sistema, resultando em circuitos série-paralelo com os bancos variáveis. Neste caso situações de transitórios mais graves podem acontecer.[1] A situação descrita está ilustrada na figura 2.5.

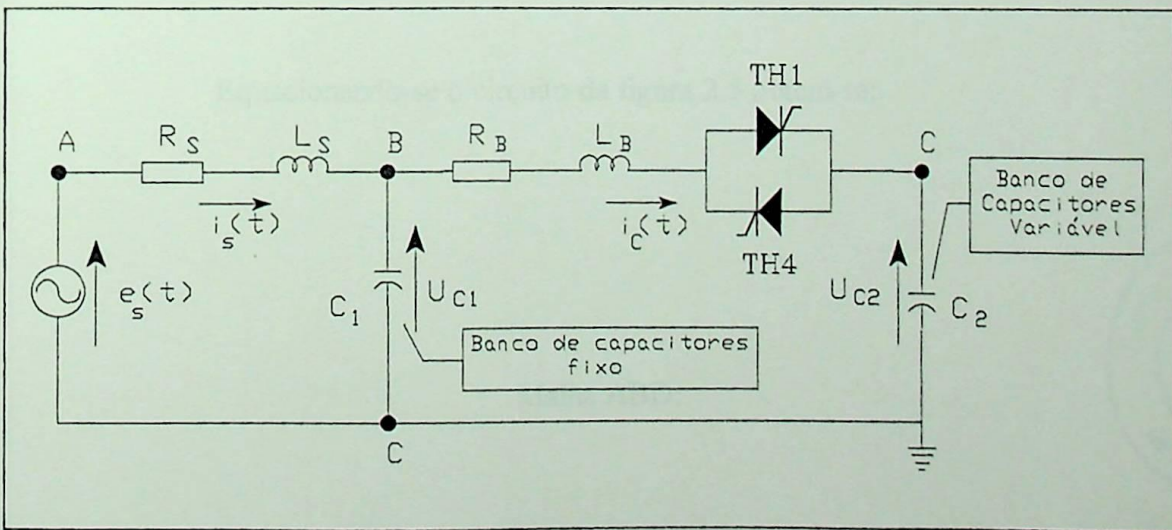


Figura 2.5 - Sistema elétrico com Banco de Capacitores em paralelo.

Na situação da figura 2.1, o circuito série RLC foi solucionado analiticamente, naquele instante, se estabeleceu as condições de operação típicas para circuitos daquela natureza. Para a situação apresentada, no circuito da figura 2.5, verifica-se a presença de mais uma malha, neste caso, simplesmente para maior facilidade no equacionamento, recorre-se aos métodos matriciais.

Através de programas de simulação, no caso o PSpice, obteve-se também o estudo da simulação gráfica do sistema de equações diferenciais.[1]

No circuito da figura 2.5, verifica-se que a única impedância entre o banco de capacitores variável e a fonte é a resistência do barramento, e dos tiristores e as respectivas indutâncias. Verifica-se que nesta malha existem baixas impedâncias e, como consequência, altas correntes de “inrush” circularão naquele ramo.

Equacionando-se o circuito da figura 2.5 obtém-se:

Malha ABD:

$$-e_s(t) + R_s i_s(t) + L_s \frac{d}{dt} i_s(t) + \frac{1}{C_1} \int [i_s(t) - i_c(t)] dt = 0 \quad (2.31)$$



Malha BCD:

$$R_B i_c(t) + L_B \frac{d}{dt} i_c(t) + \frac{1}{C_1} \int [i_c(t) - i_s(t)] dt + \frac{1}{C_2} \int i_c(t) dt = 0$$

(2.32)

O sistema de equações diferenciais pode ser escrito na forma matricial em função das variáveis a serem obtidas, ou seja:

$$\dot{i}_s = \frac{d}{dt} I_s \quad (2.33A)$$

$$\dot{i}_c = \frac{d}{dt} I_c \quad (2.33B)$$

$$\dot{E}_{c1} = \frac{1}{C_1} (I_s - I_c) \quad (2.33C)$$

$$\dot{E}_{c2} = \frac{1}{C_2} I_c \quad (2.33D)$$

$$\begin{bmatrix} \dot{I}_s \\ \dot{I}_c \\ \dot{E}_{c1} \\ \dot{E}_{c2} \end{bmatrix} = \begin{bmatrix} -\frac{R_s}{L_s} & 0 & -\frac{1}{L_s} & 0 \\ 0 & -\frac{R_B}{L_B} & \frac{1}{L_B} & -\frac{1}{L_B} \\ \frac{1}{C_1} & -\frac{1}{C_1} & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & 0 \end{bmatrix} \times \begin{bmatrix} I_s \\ I_c \\ E_{c1} \\ E_{c2} \end{bmatrix} + \begin{bmatrix} \frac{E_s}{L_s} \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (2.34)$$

Através de simulações, utilizando-se o programa PSpice, obtém-se as respostas do estudo de simulação do circuito. Os parâmetros utilizados nesta simulação, são típicos de sistemas industriais na classe de 380 [V] e potência de 3.000 [KVA]. Os valores obtidos juntos às concessionárias são: $R_s = 0,4 [\Omega]$; $L_s = 150 [\mu\text{H}]$; $C_1 = 480 [\mu\text{F}]$; $E_s = 50 [\text{V}]$; $\theta = 0^\circ$; $R_B = 0,125[\Omega]$; $L_B = 50 [\mu\text{H}]$ e $C_2 = 480 [\mu\text{F}]$.

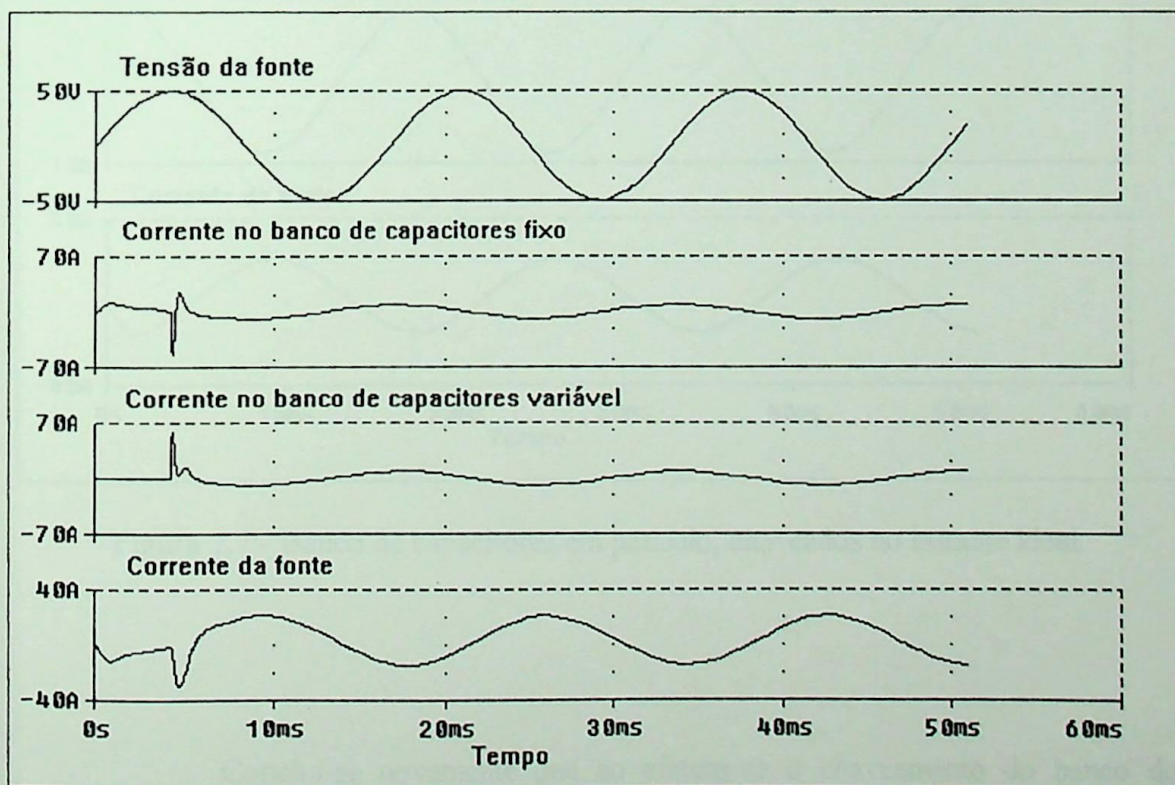


Figura 2.6 - Transitórios devido a bancos de capacitores em paralelo, chaveados em instante inadequado.

No entanto observando-se os gráficos da figura 2.6, verifica-se que correntes varias vezes maiores que as de regime permanente circulam entre os bancos de capacitores. Em uma análise mais detalhada naqueles gráficos, nota-se que a primeira parte do transitório é devida à uma grande corrente circulando entre os capacitores. A segunda parte do transitório, a fonte carrega ambos os bancos de capacitores através de um pulso de corrente.

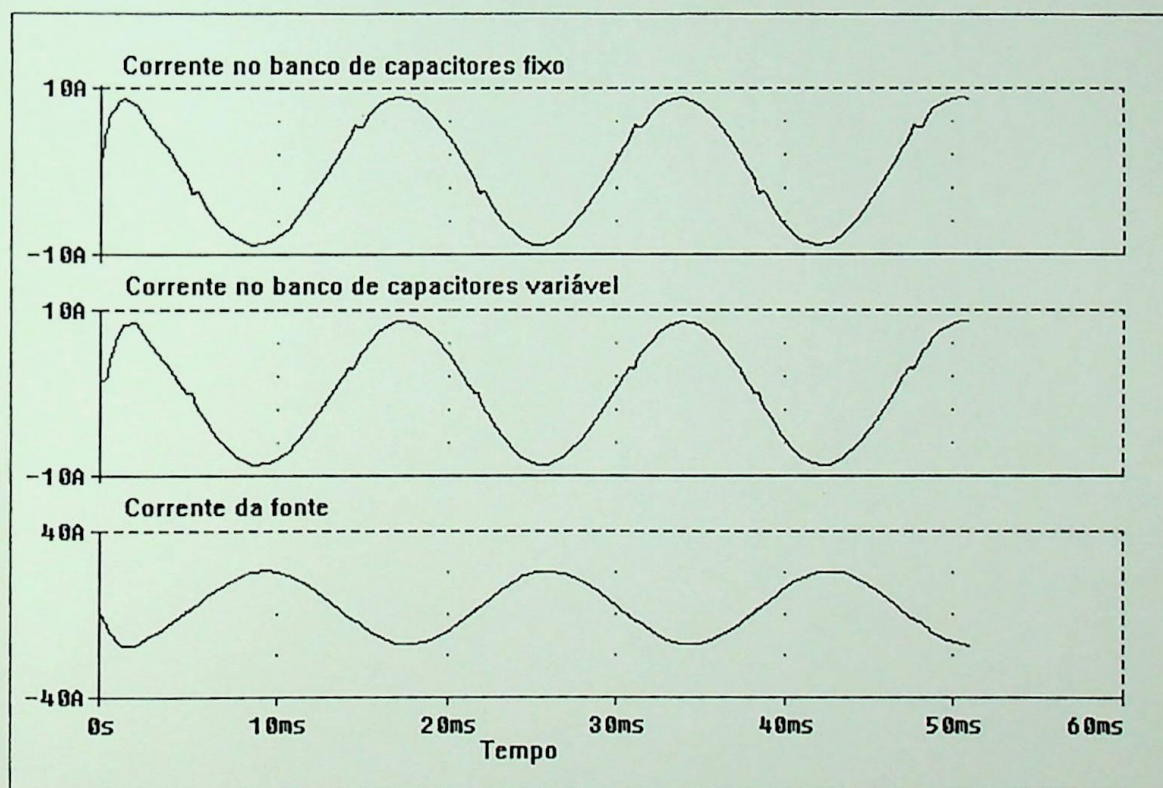


Figura 2.7 - Banco de capacitores em paralelo, chaveados no instante ideal.

Conclui-se novamente que ao efetuar-se o chaveamento do banco de capacitores no instante adequado, neste caso, também evita-se as correntes de “inrush”. Os gráficos mostrados à seguir (figura 2.7), ilustram o fechamento das chaves no instante

em que a tensão sobre ela é zero. E, novamente observa-se que os transitórios são insignificantes.

Capítulo III

Estudo das Diversas Configurações de Ligação de Bancos de Capacitores

3.1 - Configurações Usuais

As chaves (tiristores “back to back”) podem ser ligadas aos bancos de capacitores conforme as exigências específicas do projeto do sistema elétrico.[6] Em circuitos monofásicos, costuma-se posicionar os tiristores antes do banco de capacitores, tomando-se o circuito de neutro como referência, conforme ilustrado na figura 3.1. Este procedimento justifica-se unicamente por questões de segurança, durante as manutenções.

Para os circuitos trifásicos, várias combinações são factíveis. Considerando-se as conexões delta e estrela, associadas à posição dos semicondutores em relação ao banco de capacitores obtêm-se as topologias básicas. Acrescente-se ainda, ser possível utilizar um tiristor e um diodo na configuração “back to back”, resultando em várias outras configurações.

Os circuitos podem ser classificados em três diferentes grupos e, nomeados por caracteres alfanuméricos, de acordo com a Norma IEEE Standard 428.[6][7] A primeira letra informa o número de elementos da chave que são controlados: U para um único tiristor; V, um tiristor e um diodo “back to back” e W para dois tiristores “back to back”. Os próximos dois dígitos, representam o número de

fases e o número de elementos controlados por fase. Os últimos caracteres indicam a conexão das chaves e do banco de capacitores: **D** para conexão delta; **Y** para conexão estrela a três condutores; **N**, para conexão estrela a quatro condutores; e **A** para outras conexões.

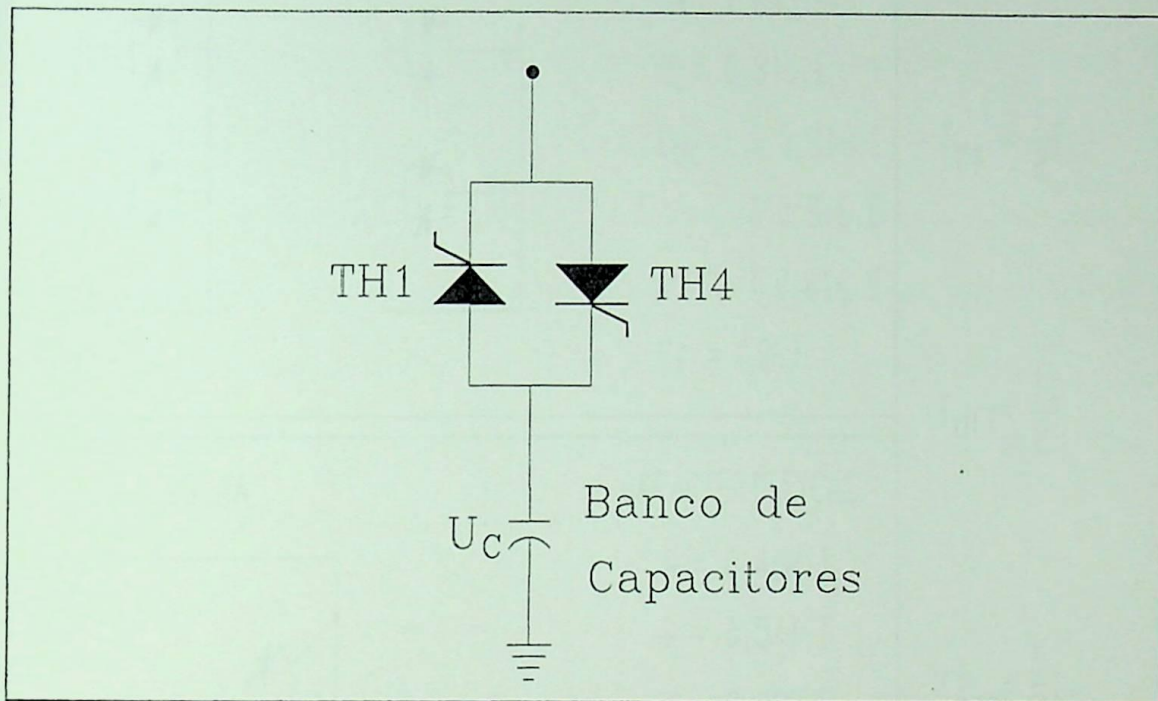


Figura 3.1 - Configuração de chave monofásica (1ϕ).

O primeiro grupo está ilustrado na figura 3.2. Verifica-se que estes circuitos são obtidos a partir de três monofásicos. Os dois primeiros circuitos (W33NA e W33AN) foram obtidos a partir da conexão estrela. O circuito W33AA, é obtido a partir da conexão delta, e as chaves encontram-se em série com os bancos de capacitores. Deve ser ressaltado que estes circuitos operam independentemente, ou seja não é necessário observar o estado em que se encontram as tensões sobre as outras chaves, para operar a primeira. O funcionamento destes circuitos pode ser representado por simples equações. A figura 3.2 ilustra as conexões pertencentes a este grupo.

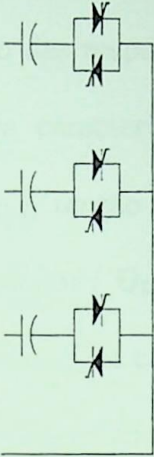
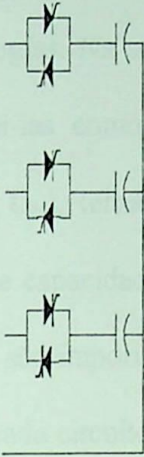
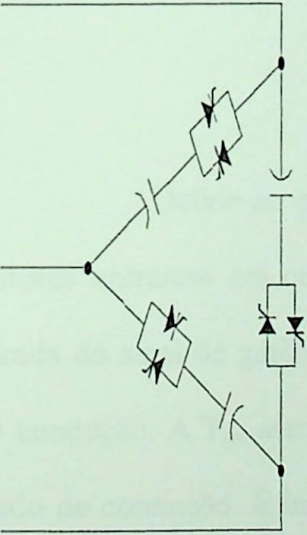
<p>W33NA</p> 	<p>W33AN</p> 	<p>CARACTERÍSTICAS</p> $I_t = 0,707 \cdot I$ $I_c = I$ $U_t = 1,633 \cdot E$ $U_c = 0,816 \cdot E$ $U_{dc} = \pm 0,816 \cdot E$ $\pm 0,816 \cdot E$ $\pm 0,816 \cdot E$ $C_f = 0,867$	<p>PERÍODOS DE COMUTAÇÃO</p> $T_{on} = \frac{1}{2}T$ $T_{off} = \frac{1}{2}T$
<p>W33AA</p> 	<p>CARACTERÍSTICAS</p> $I_t = 0,408 \cdot I$ $I_c = 0,577 \cdot I$ $U_t = 2,828 \cdot E$ $U_c = 1,414 \cdot E$ $U_{dc} = \pm 1,414 \cdot E$ $\pm 1,414 \cdot E$ $\pm 1,414 \cdot E$ $C_f = 0,867$		

Figura 3.2 - Configurações obtidas a partir de circuitos monofásicos.

Observe que na análise e operação dos circuitos surgem algumas características, que diferem entre si, apesar de pertencerem a um mesmo agrupamento. Estas características são próprias de cada circuito e, estão resumidas nas ilustrações, ao lado das respectivas topologias. Na seqüência apresentada na tabela pode-se identificar cada característica e defini-las como: Corrente no tiristor (I_t), corrente no capacitor (I_C), tensão no tiristor (U_t), tensão no capacitor (U_C), tensão devido a carga no capacitor (U_{DC}) e fator de capacidade (C_f). Destaque-se também que os períodos de operação de cada circuito, são importantes na análise de cada topologia. Estes períodos referem-se ao tempo para cada circuito atingir o estado ligado ou desligado, bem como o estado de regatilhamento (REC.) quando os capacitores estiverem com carga máxima. Para estabelecer-se tais períodos de tempo, representou-se cada um deles em relação a um período de 2π , que é o período de um ciclo.

Define-se como T_{on} , como sendo o tempo necessário para todos os tiristores entrarem em condução e T_{off} o tempo total, medido a partir do início da retirada do sinal de gatilho dos tiristores, até que o último tiristor assuma o estado de não condução. A T_{rec} associa-se o tempo necessário para que a primeira chave entre em estado de condução. É importante atentar para o fato de que a presença do pulso, não implica que a chave entrará em condução. A permissão fundamental para levar-se o circuito ao estado de condução é que a tensão na chave seja zero, conforme demonstrado no capítulo II.

O segundo agrupamento é composto por três subgrupos, com as topologias agrupadas de acordo com os períodos envolvidos no processo. A característica principal das chaves pertencentes a este grupo é a de existir uma interdependência no estado operacional das chaves, e também possuírem o mesmo tempo de religamento T_{rec} . A interdependência operacional significa que para uma chave atingir o estado de condução, é necessário observar as condições em que se encontram-se as tensões sobre as outras duas. Esta característica ficará evidente quando for efetuada a análise comparativa entre os grupos.

As configurações W33YA, W33AY e W33AD, compõem o primeiro subgrupo, que são caracterizadas por utilizar somente tiristores na configuração “back to back”. Porém, apresentam diferenças referentes a posição e conexão do banco de capacitores. A figura 3.3 ilustra este subgrupo.

O segundo subgrupo, está mostrado na figura 3.4. Em relação aos anteriores estas topologias se diferenciam por utilizarem um diodo e um tiristor em paralelo, em cada fase, para composição das chaves. Observe que apesar das características dos parâmetros tensão e corrente nos semicondutores e capacitores permanecerem as mesmas, porém os períodos são diferentes.

O terceiro subgrupo, mostrado na figura 3.5, é composto pelas configurações W32YA , W32DA , W32AY e W32AD. Estes circuitos caracterizam-se por utilizarem somente duas chaves. Dentro do subgrupo as diferenciações existem devido a posição das chaves ou pelo tipo de conexão do banco de capacitores (estrela ou delta).

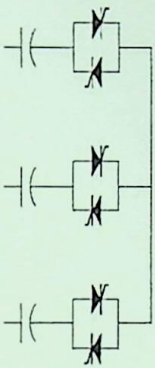
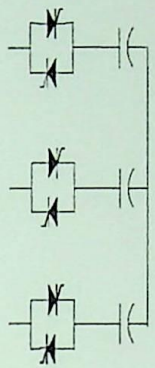
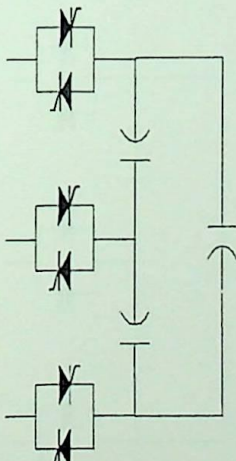
<p>W33YA</p> 	<p>W33AY</p> 	<p>CARACTERÍSTICAS</p> <p>$I_t = 0,707 \cdot I$</p> <p>$I_c = I$</p> <p>$U_t = 1,932 \cdot E$</p> <p>$U_c = 1,120 \cdot E$</p> <p>$U_{dc} = \pm 1,120 \cdot E$</p> <p>$\pm 0,816 \cdot E$</p> <p>$\pm 0,299 \cdot E$</p> <p>$C_f = 0,732$</p>	<p>PERÍODOS DE COMUTAÇÃO</p> <p>$T_{on} = \frac{5}{12} T$</p>
<p>W33AD</p> 		<p>CARACTERÍSTICAS</p> <p>$I_t = 0,707 \cdot I$</p> <p>$I_c = 0,577 \cdot I$</p> <p>$U_t = 1,932 \cdot E$</p> <p>$U_c = 1,932 \cdot E$</p> <p>$U_{dc} = \pm 1,932 \cdot E$</p> <p>$\pm 0,518 \cdot E$</p> <p>$\pm 1,414 \cdot E$</p> <p>$C_f = 0,732$</p>	<p>$T_{off} = \frac{5}{12} T$</p> <p>$T_{rec} = \frac{21}{12} T$</p>

Figura 3.3 - Chaves com dois tiristores “back to back” e interdependência operacional.

As configurações V33YA, V33AY e V33AD, alinham-se no segundo subgrupo.

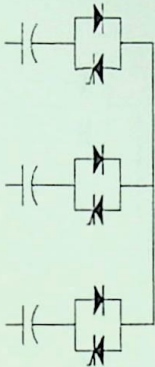
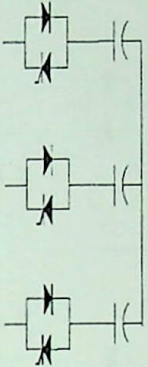
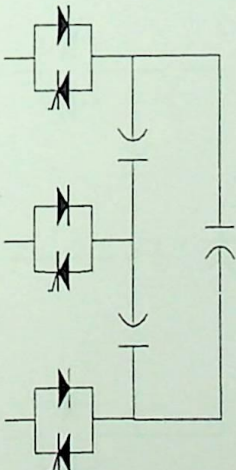
<p>V33YA</p> 	<p>V33AY</p> 	<p>CARACTERÍSTICAS</p> <p>$I_t = 0,707 \cdot I$</p> <p>$I_c = I$</p> <p>$U_t = 1,932 \cdot E$</p> <p>$U_c = 1,120 \cdot E$</p> <p>$U_{dc} = \pm 1,120 \cdot E$</p> <p>$\pm 0,816 \cdot E$</p> <p>$\pm 0,299 \cdot E$</p> <p>$C_f = 0,732$</p>	<p>PERÍODOS DE COMUTAÇÃO</p> <p>$T_{on} = \frac{7}{12} T$</p> <p>$T_{off} = \frac{7}{12} T$</p>
<p>V33AD</p> 		<p>CARACTERÍSTICAS</p> <p>$I_t = 0,707 \cdot I$</p> <p>$I_c = 0,577 \cdot I$</p> <p>$U_t = 1,932 \cdot E$</p> <p>$U_c = 1,932 \cdot E$</p> <p>$U_{dc} = \pm 1,932 \cdot E$</p> <p>$\pm 0,518 \cdot E$</p> <p>$\pm 1,414 \cdot E$</p> <p>$C_f = 0,732$</p>	<p>$T_{rec} = \frac{21}{12} T$</p>

Figura 3.4- Configurações utilizando diodo e tiristor "back to back".

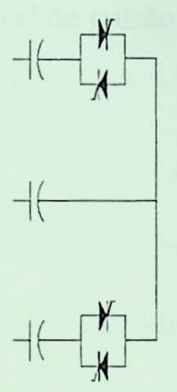
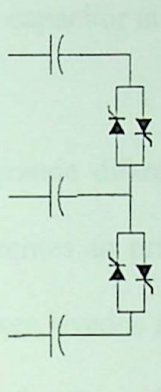
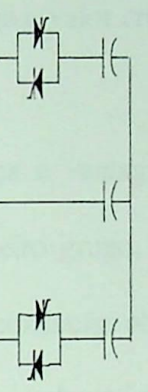
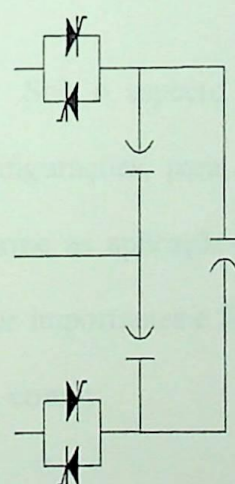
<p>W32YA</p> 	<p>W32DA</p> 	<p>W32AY</p> 	<p>CARACTERÍSTICAS</p> <p>$I_t = 0,707 \cdot I$</p> <p>$I_c = I$</p> <p>$U_t = 3,345 \cdot E$</p> <p>$U_c = 1,120 \cdot E$</p> <p>$U_{dc} = \pm 1,120 \cdot E$</p> <p>$\pm 0,816 \cdot E$</p> <p>$\pm 0,299 \cdot E$</p> <p>$C_f = 0,422$</p>	<p>PERÍODOS DE COMUTACÃO</p> <p>$T_{on} = \frac{7}{12} T$</p> <p>$T_{off} = \frac{7}{12} T$</p>
<p>W32AD</p> 			<p>CARACTERÍSTICAS</p> <p>$I_t = 0,707 \cdot I$</p> <p>$I_c = 0,577 \cdot I$</p> <p>$U_t = 3,345 \cdot E$</p> <p>$U_c = 1,932 \cdot E$</p> <p>$U_{dc} = \pm 1,932 \cdot E$</p> <p>$\pm 0,518 \cdot E$</p> <p>$\pm 1,414 \cdot E$</p> <p>$C_f = 0,732$</p>	<p>$T_{rec} = \frac{21}{12} T$</p>

Figura 3.5 - Configurações utilizando apenas duas chaves.

O último grupo, mostrado na figura 3.6, é composto pelas configurações W33DA e U33DA, ambos os circuitos apresentam peculiaridades próprias. No primeiro, a distribuição de corrente nas chaves depende do nível de tensão em cima do tiristor. E para o segundo circuito, os tiristores não poderão ser levados à condução até que o nível de tensão no capacitor atinja o valor crítico.

A grande diferença e vantagem dos circuitos obtidos de configurações monofásicas, referentes ao primeiro grupo, em relação aos outros propostos, é que os primeiros podem ser levados à condução obedecendo somente à condição fundamental, ou seja, ter-se o valor da tensão na chave igual a zero.

Os outros circuitos além da condição fundamental, possuem outras restrições para serem levados à condução.

Sob o aspecto econômico, torna-se difícil estabelecer o custo relativo entre as configurações, para se saber qual a solução mais econômica. O custo pode variar conforme as aplicações a que se destinam. Pode-se porém estabelecer algumas considerações importantes e fundamentais para se decidir qual a melhor configuração a ser utilizada, como:

-Número e o tipo dos semicondutores: Comparativamente os tiristores são mais caros que os diodos. E, ainda cada chave a ser controlada necessita de um sistema eletrônico de controle (detetor de “zero crossing”).



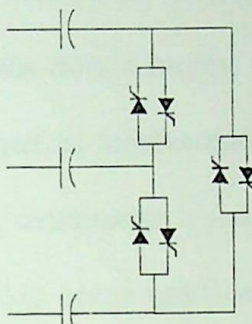
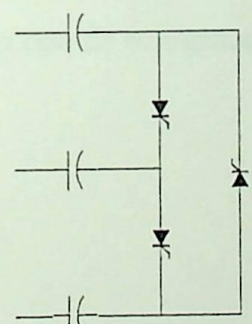
<p>W33DA</p> 	<p>CARACTERÍSTICAS</p> $I_t = 0,408 \cdot I$ $I_c = I$ $U_t = 3,345 \cdot E$ $U_c = 1,120 \cdot E$ $U_{dc} = \pm 1,120 \cdot E$ $\pm 0,816 \cdot E$ $\pm 0,299 \cdot E$ $C_f = 0,732$	<p>PERÍODOS DE COMUTAÇÃO</p> $T_{on} = \frac{5}{12} T$ $T_{off} = \frac{1}{12} T$ $T_{rec} = \frac{21}{12} T$
<p>U33DA</p> 	<p>CARACTERÍSTICAS</p> $I_t = 0,816 \cdot I$ $I_c = I$ $U_t = 3,345 \cdot E$ $U_c = 1,120 \cdot E$ $U_{dc} = \pm 1,120 \cdot E$ $\pm 0,818 \cdot E$ $\pm 0,299 \cdot E$ $C_f = 0,366$	<p>PERÍODOS DE COMUTAÇÃO</p> $T_{on} = \frac{7}{12} T$ $T_{off} = \frac{7}{12} T$ $T_{rec} = \text{---}$

Figura 3.6 - Configurações especiais.

-Fator de capacidade do semicondutor: Níveis de tensão e corrente mais elevados, resultam na utilização de tiristores que suportem tais solicitações, no entanto o número de semicondutores utilizados e o tipo de configuração afetam os níveis de tensão e corrente envolvidos no sistema. Tomando-se como exemplo, as configurações que utilizam apenas dois tiristores, verifica-se que os níveis de tensão nas chaves são bem maiores do que as tensões envolvidas nos circuitos monofásicos. A comparação entre estes fatores, determinam o *fator de capacidade* (C_f)[1] dos circuitos propostos. Este fator é definido como sendo o inverso do produto dos valores de tensão e corrente eficazes máximos nos semicondutores.

- Tempos de resposta: Os tempos de ligar ou desligar os semicondutores dependem unicamente do tipo de configuração adotada.

- Bancos de capacitores: Os bancos de capacitores trifásicos, geralmente são adquiridos em pacotes blindados,[16] ou seja tem-se acesso a apenas três terminais em cada unidade trifásica. Como existem configurações que necessitarão de unidades monofásicas este fato tem de ser considerado na análise de custos.

3.2 - Metodologia para Análise do Funcionamento dos Circuitos

O procedimento adotado para análise das configurações trifásicas apresentadas neste trabalho, pode ser utilizado para qualquer dos tipos de configurações propostas. E os objetivos são: elaborar um procedimento de estudo e ainda estabelecer comparações fundamentais entre todas elas.

As configurações escolhidas são W33NA, W33AN e W33AA as quais são obtidas a partir de três circuitos monofásicos e gerando-se a partir delas o protótipo objeto de estudo neste trabalho. Confrontando-se às primeiras serão analisadas o grupo de configurações W32YA, W32DA e W32AY.

A figura 3.7 mostra o circuito W33AN, utilizado para ilustrar os procedimentos a serem seguidos para se obter os parâmetros fundamentais de comportamento de cada circuito e as respectivas formas de ondas de tensão e corrente. Estas serão obtidas nos intervalos de tempo de chaveamento (T_{ON}), desligamento (T_{OFF}) e religamento (T_{REC}). Estes gráficos serão denominados de diagramas de tempo dos circuitos.

Não será considerada a impedância do banco de capacitores durante esta análise teórica. Cabe ainda ressaltar que as chaves (semicondutores) só serão fechadas quando a diferença de potencial detectada sobre elas for igual a zero.

Os gráficos apresentados na figura 3.8 ajudarão a melhor compreensão da análise do circuito. Observa-se, na mesma figura, as três tensões de fase neutro de um

sistema trifásico (3ϕ), denominadas por E_{AN} , E_{BN} e E_{CN} . Na ilustração elas estão representadas no quadro superior. Os três quadros seguintes referem-se às tensões nos capacitores que serão denominadas por: $E_{cap A}$, $E_{cap B}$ e $E_{cap C}$. Mais abaixo, visualiza-se as correntes na linha do sistema trifásico, as quais serão nomeadas por: I_A , I_B e I_C .

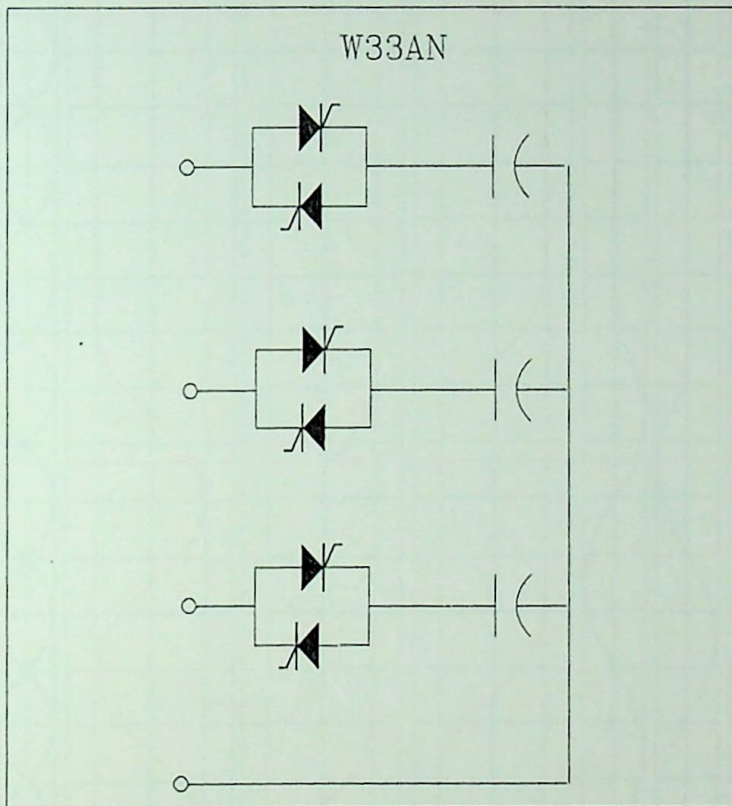


Figura 3.7 - Circuito adotado para análise.

O último quadro, refere-se ao sinal de gatilho aplicado aos semicondutores. O sinal é acionado no tempo T_1 , porém as chaves não serão acionadas imediatamente, pois a condição de tensão zero nos semicondutores deverá ser obedecida.

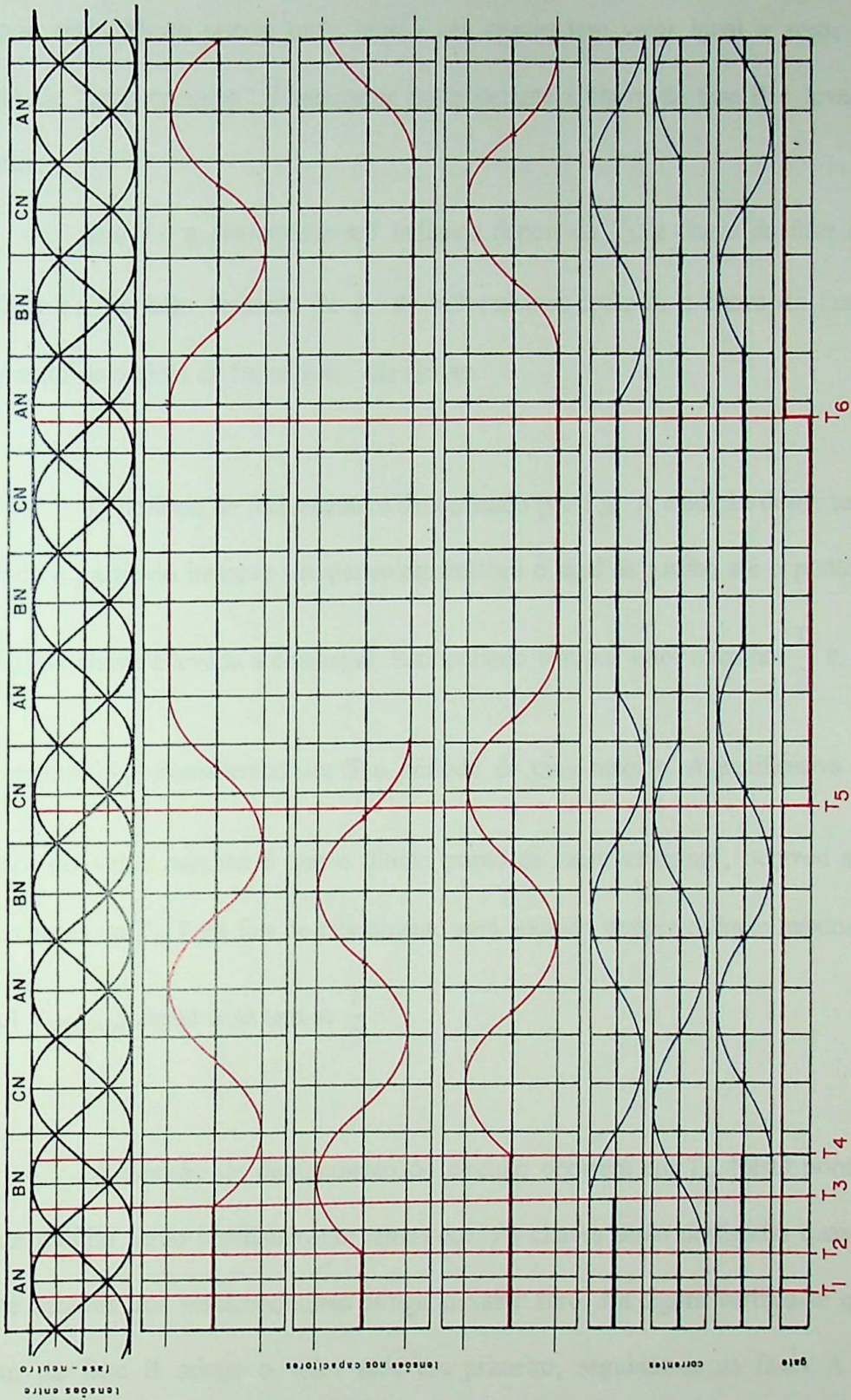


Figura 3.8 - Diagrama temporal para o circuito W33NA.

Esta condição será observada primeiramente em T_2 quando a tensão na fase B (E_{BN}) passa por zero. Neste ponto, onde tensão nas chaves tem valor igual a zero, será chamado de “zero crossing”. Exatamente neste instante a chave da fase B é levada à condução.

Em T_3 , a exatamente $\pi/3$ radianos depois de T_2 , a chave da fase A se fecha. Em T_4 , também defasado de A de $\pi/3$ radianos fecha-se a chave da fase C, completando-se o ciclo de fechamento das chaves.

O período de fechamento é denominado por T_{ON} . A medição desde tempo é efetuada a partir do instante em que se estabeleceu o sinal de gatilho até o ponto em que a última chave é levada à condução. Este período tem por valor máximo $\frac{T}{2}$ e, para valor mínimo $\frac{T}{3}$, considerando-se T o período de uma senóide. A justificativa para obtenção, do valor máximo é que o último ponto de “zero crossing”, ocorreu a $\pi/3$ radianos antes de T_1 . Para fins de tabelamento será adotado sempre o limite máximo do período ($T_{ON(max)}$), neste caso tem-se $\frac{T}{2}$.

A decisão de desligamento do circuito ocorrerá em T_4 . Neste ponto os sinais de gatilho serão imediatamente removidos. As chaves serão desligadas quando a corrente através dos semicondutores atingir o valor zero. Na figura verifica-se que a corrente da fase B atinge o valor zero em primeiro, seguindo-se as fases A e C respectivamente. Ao período de desligamento denomina-se T_{OFF} . Observa-se novamente que o tempo total de desligamento (T_{OFF}) está compreendido no intervalo $\frac{T}{3}$ e $\frac{T}{2}$.



É importante notar-se que após o desligamento o banco de capacitores fica carregado com o valor máximo da tensão de fase-neutro. Chamando-se de E e I os valores eficazes da tensão e corrente de linha respectivamente, os valores de tensão U_{DC} que aparecerão no banco de capacitores após o desligamento das chaves será $\pm 0,816E$. A tensão máxima nos tiristores U_T é dada pela tensão U_{DC} mais a tensão de pico fase neutro, $U_T = 1,632E$, e a tensão máxima no capacitor $U_C = 0,816E$.

As correntes que circulam no conjunto tiristores e banco de capacitores são I_T e I_C . O valor da corrente em cada tiristor é $0,707I$ e no banco de capacitores I.

Determinados todos os parâmetros pode-se a partir deles calcular-se o fator que estabelece a diferença entre as várias configurações propostas. Denomina-se fator de utilização e, indica-se por C_f . Ele é obtido através do inverso do produto da tensão de pico em PU (por unidade) pelo valor eficaz da corrente no semicondutor, também em PU, isto é:

$$C_F = \frac{1}{U_T \cdot I_T(EF)} \quad (3.1)$$

A configuração analisada tem para valores de tensão e corrente nos semicondutores, os valores 1,633 e 0,707 respectivamente. Efetuando-se os cálculos utilizando a equação 3.1, obtem-se um valor para C_f de 0,866.

A título de se estabelecer comparações procede-se a mesma análise para o circuito W32AY. Este está ilustrado na figura 3.9. Ressalta-se que os resultados a serem obtidos serão os mesmos para as duas outras configurações pertencentes ao mesmo subgrupo, ou seja W32DA e W32 AY.

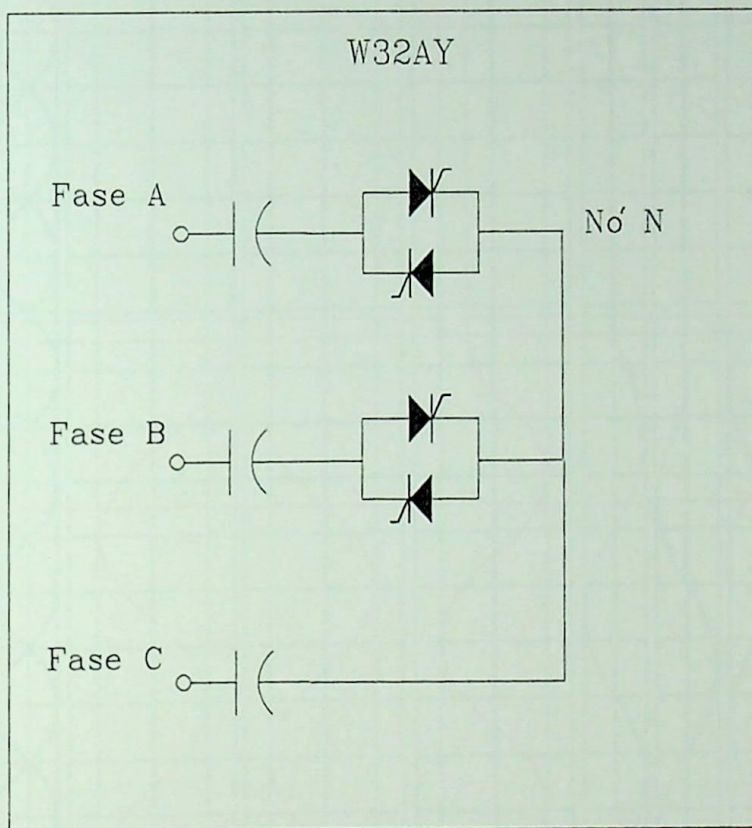


Figura 3.9 - Configuração em análise.

A figura 3.10, ilustra o diagrama de tempo, com as formas de ondas referentes a configuração W32AY. As mesmas nomenclaturas da configuração anterior, serão adotadas para os parâmetros envolvidos. Lembrando sempre que o fato de se aplicar o sinal de gatilho não resulta na imediata condução dos semicondutores. A condução ocorrerá somente quando a tensão sobre os semicondutores for igual a zero.

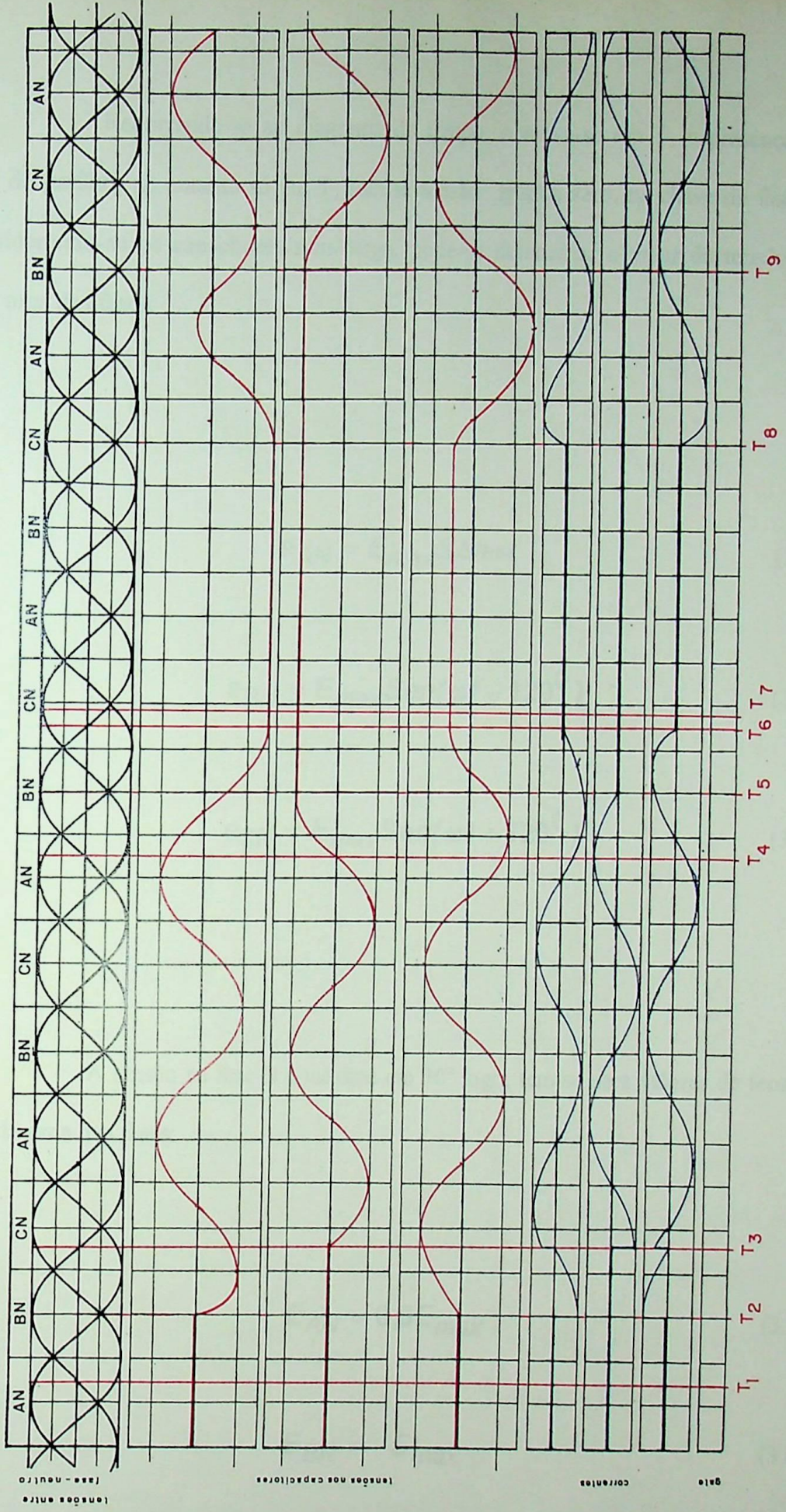


Figura 3.10 - Diagrama temporal para o circuito W32AY

Recorrendo-se ao diagrama de tempo, observa-se em T_1 a presença do sinal de gatilho, no entanto só em T_2 tem-se tensão igual a zero, na chave da fase A. Considerando-se os capacitores sem carga, pode-se determinar o valor da tensão em cada uma das fases:

$$e_{AN} = E_{max} \text{Sen} \omega t \quad (3.2)$$

$$e_{BN} = E_{max} \text{Sen}(\omega t - 120^0) \quad (3.3)$$

$$e_{CN} = E_{max} \text{Sen}(\omega t + 120^0) \quad (3.4)$$

A tensão na fase B é máxima em 30^0 logo, tem-se para valores de tensão em cada uma das fases:

$$E_{AN} = 0,5E_{max} \quad (3.5)$$

$$E_{BN} = -E_{max} \quad (3.6)$$

$$E_{CN} = 0,5E_{max} \quad (3.7)$$

A fase C transfere ao nó N o potencial $0,5E$. Para o lado esquerdo da chave na fase A, o potencial também é $0,5E$, tendo-se como tensão resultante naquela chave:

$$E_{chave} = E_{AN} - E_{CN} = 0,5E - 0,5E = 0 \quad (3.8)$$

Verifica-se que a diferença de potencial naquela chave vale zero. Neste instante tem-se também a presença do sinal de gatilho. Nestas condições os semicondutores daquela chave entram em condução. O instante T_3 ocorre 90° após T_2 , neste ponto a tensão na chave da fase B passa por zero, habilitando os semicondutores a conduzirem e por fim completando o ciclo de fechamento das chaves (T_{ON}).

A retirada do sinal de gatilho pode ocorrer a qualquer instante, uma vez que circuitos com capacitores não apresentam problemas sérios nas aberturas das chaves.

Em T_4 , retira-se o sinal de gatilho. Sabe-se que os tiristores só deixam de conduzir quando a corrente do circuito assume valores menores que a de "hold"[17]. Portanto, em T_5 é que a corrente da fase B vai a zero, bloqueando os semicondutores da respectiva fase. Em T_6 defasado de 90° de T_5 , a fase A é desligada, completando o ciclo de desligamento (T_{OFF}).

Quanto ao estado dos capacitores, o banco da fase B, fica carregado com a tensão ($U_{DC(B)}$) de pico, ou seja $0,816E$, que foi a tensão aplicada a eles no instante do

desligamento T_6 . Os capacitores das fases A e C, necessitam de uma análise mais detalhada para determinar-se o valor da tensão remanescente.

Recorrendo-se à figura 3.11 e 3.12 simultaneamente, pode-se escrever as equações das tensões existentes sobre as chaves no instante T_6 .

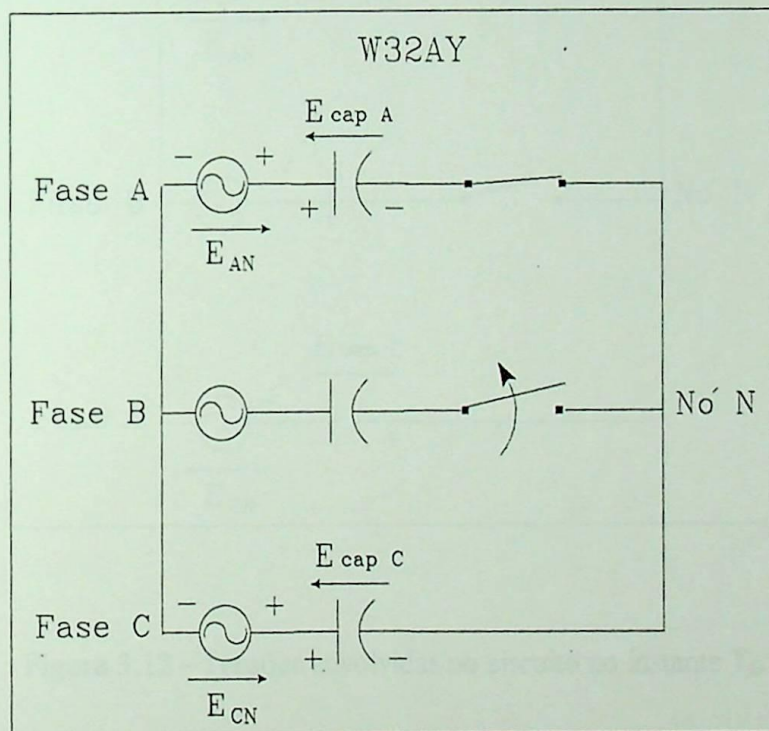


Figura 3.11 - Tensões envolvidas no circuito no instante T_3 .

Na figura 3.11 observa-se as tensões envolvidas nos circuito no instante da abertura da chave da fase B, ocorrido em T_5 .

O instante T_6 , representa as condições das tensões no circuito, quando a chave da fase A inicia a abertura. A figura 3.12 ilustra esta condição.

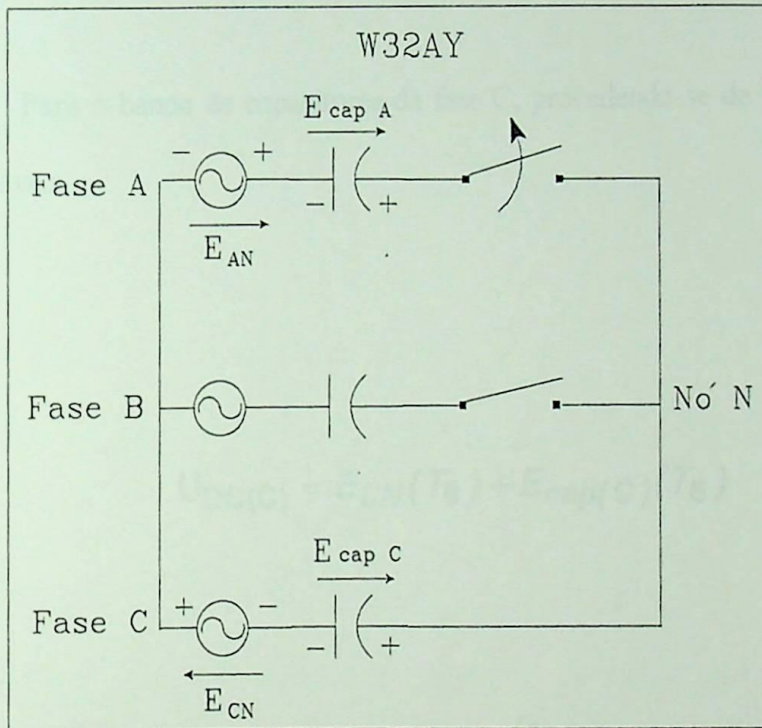


Figura 3.12 - Tensões envolvidas no circuito no instante T_6 .

Observa-se que as tensões sobre o banco de capacitores da fase A, é igual a soma algébrica da tensão da rede no instante T_6 mais a tensão do capacitor no instante anterior. Em termos de equação tem-se:

$$U_{DC(A)} = E_{AN}(T_6) + E_{cap(A)}(T_5) \quad (3.9)$$

$$U_{DC(A)} = \frac{\sqrt{2}}{\sqrt{3}} \cdot E \cdot \text{Sen}(30^\circ) + \frac{\sqrt{2}}{\sqrt{3}} \cdot E \cdot \text{Sen}(120^\circ) \Rightarrow U_{DC} = 1,115 \cdot E \quad (3.10)$$

Para o banco de capacitores da fase C, procedendo-se de forma análoga, pode-se escrever:

$$U_{DC(C)} = E_{CN}(T_6) + E_{cap(C)}(T_5) \quad (3.11)$$

$$U_{DC(A)} = \frac{\sqrt{2}}{\sqrt{3}} \cdot E \cdot \text{Sen}(30^\circ + 120^\circ) + \frac{\sqrt{2}}{\sqrt{3}} \cdot E \cdot \text{Sen}(120^\circ + 120^\circ) \quad (3.12)$$

resultando em

$$U_{DC} = -0,299E \quad (3.13)$$

É também importante determinar-se a tensão reversa (U_T) existente sobre os semicondutores. Analisando-se o diagrama de tempo da figura 3.10, conjuntamente com o circuito mostrado na figura 3.12, calcula-se a tensão reversa máxima aplicada aos semicondutores. O valor máximo da tensão U_T é igual a tensão devido a carga armazenada no banco de capacitores da fase A ($E_{CAP(A)}$) mais a tensão armazenada nos capacitores da fase B ($E_{CAP(B)}$), mais a tensão de linha entre as fases envolvidas. Em termos de equações:

$$U_T = E_{cap(A)} + E_{cap(B)} + E \quad (3.14)$$

$$U_T = 1,15E + 0,816E + 1,414E \Rightarrow U_T = 3,345E \quad (3.15)$$

Em T_7 o sinal de gatilho é reestabelecido. Considerando-se que as tensões armazenadas nos capacitores não apresentaram variações, em T_8 tem-se o valor da tensão igual a zero, sobre a chave da fase A. Neste instante reinicia-se o processo de fechamento das chaves, completando-se o ciclo em T_9 .

Os períodos característicos destes tipos de circuito podem ser obtidos através da análise do tempo do circuito. Aplicando-se as mesmas definições adotadas

anteriormente, determinar-se os períodos da configuração analisada, obtendo-se os seguintes resultados:

$$T_{ON} = \frac{7}{12}T \quad (3.16)$$

$$T_{OFF} = \frac{7}{12}T \quad (3.17)$$

$$T_{REC} = \frac{21}{12}T \quad (3.18).$$

Capítulo IV

Descrição do Equipamento Proposto

4.1 - Descrição do circuito denominado “Smart Switch”

Trata-se de uma chave eletrônica, inteligente, que tem por finalidade o chaveamento dos bancos de capacitores, no ponto ideal, ou seja no ponto definido como “zero crossing. O “Smart Switch” é composto de três circuitos distintos o circuito de potência (referente aos tiristores), o detetor de zero “crossing” e o acoplador óptico. Para maior clareza a figura 4.1 mostra o diagrama de blocos do equipamento, e indica os itens onde serão discutidos cada um dos circuitos.

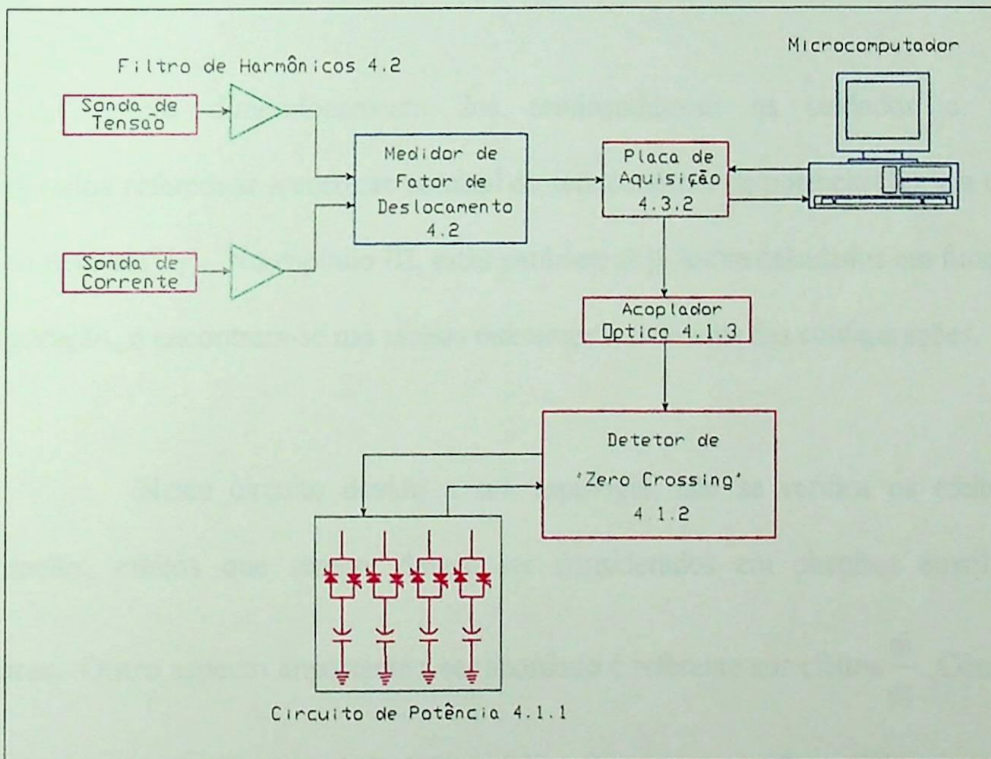


Figura 4.1 - Diagrama de blocos do sistema eletrônico.

4.1.1 - Circuito de Potência

Este é referente às chaves eletrônicas constituídas por tiristores, na configuração “back to back”, como mostrado na figura 4.2. Vários destes circuito podem ser montados, de acordo com a quantidade dos bancos de capacitores exigido pelo sistema de potência. Funcionalmente substituem as chaves eletromecânicas (contatores ou disjuntores). O estado ligado ou desligado será controlado por pulsos nos “gates” dos tiristores, provenientes do circuito eletrônico detetor de “zero crossing”. No instante ideal os tiristores, entrarão em condução, não importando o estado de carga do banco de capacitores.

No dimensionamento dos semicondutores os cuidados a serem considerados referem-se a corrente nominal do semicondutor de potência (I_T), e a tensão de pico reversa (U_T). No capítulo III, estes parâmetros já foram calculados em função da configuração, e encontram-se nas tabelas referentes a cada uma das configurações.

Neste circuito devido a sua topologia, não se verifica os efeitos da comutação, efeitos que sempre devem ser considerados em circuitos envolvendo tiristores. Outro aspecto importante a ser abordado é referente aos efeitos $\frac{di}{dt}$. Conforme será visto posteriormente as indutâncias típicas do sistema, serão suficientes para se obter altas atenuações nestes efeitos. Os catálogos de fabricantes de tiristores [17] [28] e

diodos fornecem como valores na faixa de 150 A/ μ s a 300 A/ μ s para efeitos de $\frac{di}{dt}$, nos tiristores utilizados no protótipo.

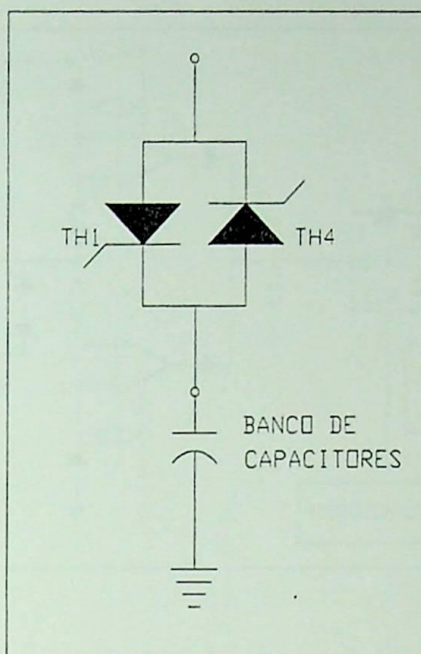


Figura 4.2 - Tiristores na configuração "back to back".

4.1.2 - Circuito Detetor de Zero "Crossing"

Este circuito está mostrado na figura 4.3. O princípio de funcionamento deste circuito se baseia em receber o sinal de tensão que é obtido na saída do divisor resistivo, colocado em paralelo com os tiristores. Este sinal é processado pelo circuito eletrônico e comparado aos níveis de tensão da rede e do banco de capacitores. Quando a diferença de potencial entre os dois for igual a zero naquele circuito, um pulso de

tensão habilitará o “driver” (amplificador de pulso) a disparar os tiristores, para entrarem em condução.

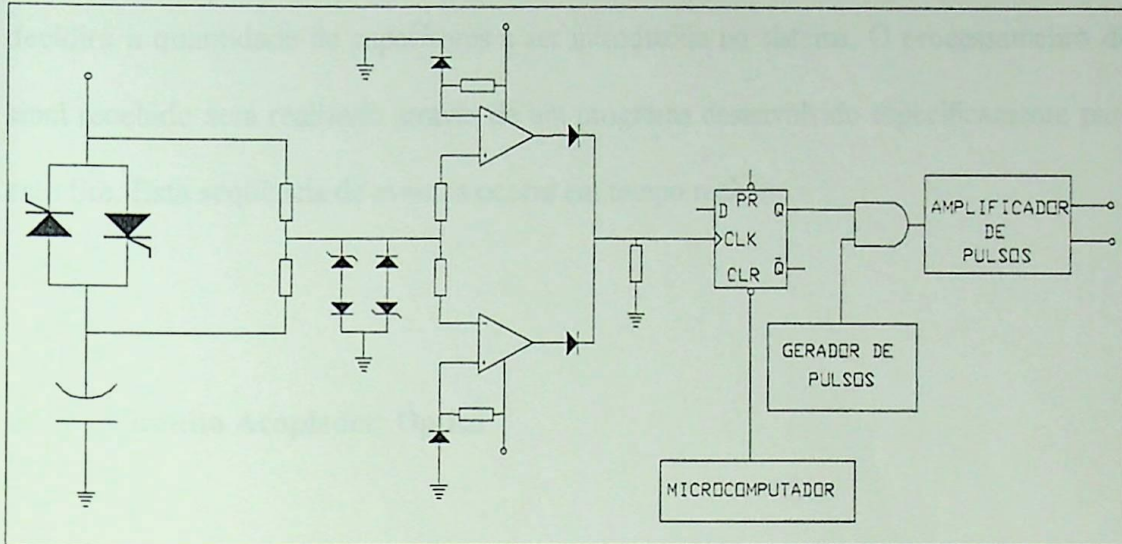


Figura 4.3 - Circuito detetor de “zero crossing”.

Efetuada-se uma análise mais apurada, nota-se que apenas a determinação do “zero crossing”, ou seja tensão igual a zero em cima da chave, não constitui uma condição absoluta para a habilitação do circuito de potência. Um segundo comando faz-se necessário. Este, é proveniente de um microcomputador ou microprocessador, que após uma avaliação das potências reativas envolvidas no sistema elétrico, decidirá pela liberação ou não da chave. A análise irá considerar basicamente o ângulo de defasagem entre a componente fundamental da tensão e da corrente, ou em outras palavras irá comparar a medida do fator de deslocamento do sistema elétrico,

com um valor preestabelecido. A medição do fator de deslocamento será realizada pelo circuito medidor de fator de deslocamento, que será detalhado a seguir. O valor medido do ângulo entre tensão e corrente do sistema, será levado ao microcomputador via placa de aquisição de dados[18]. O microcomputador, ao receber estes sinais irá processá-los e decidirá a quantidade de capacitores a ser introduzida no sistema. O processamento do sinal recebido será realizado através de um programa desenvolvido especificamente para este fim. Esta seqüência de eventos ocorre em tempo real.

4.1.3 - Circuito Acoplador Óptico

O acoplamento do sinal de disparo com o “gate” dos tiristores pode ser realizado através de acopladores ópticos ou mesmo através de transformadores de pulso. No caso em questão optou-se por transformadores de pulso.

Também é necessário que se efetue o acoplamento entre o microcomputador (processador) com o “Smart Switch”. Este deverá ser feito de tal forma que ambos os circuitos sejam completamente isolados. No projeto utilizou-se um circuito eletrônico baseado no Acoplador Óptico (TIL 111)[23], conforme ilustra a figura 4.4.

Este tem a finalidade de simplesmente isolar os sinais envolvidos na liberação dos tiristores. E ainda, terá a função de receber sinais elétricos e convertê-los

em sinais de luz. Os sinais luminosos serão recebidos por outro circuito que novamente irá convertê-los em sinais elétricos.

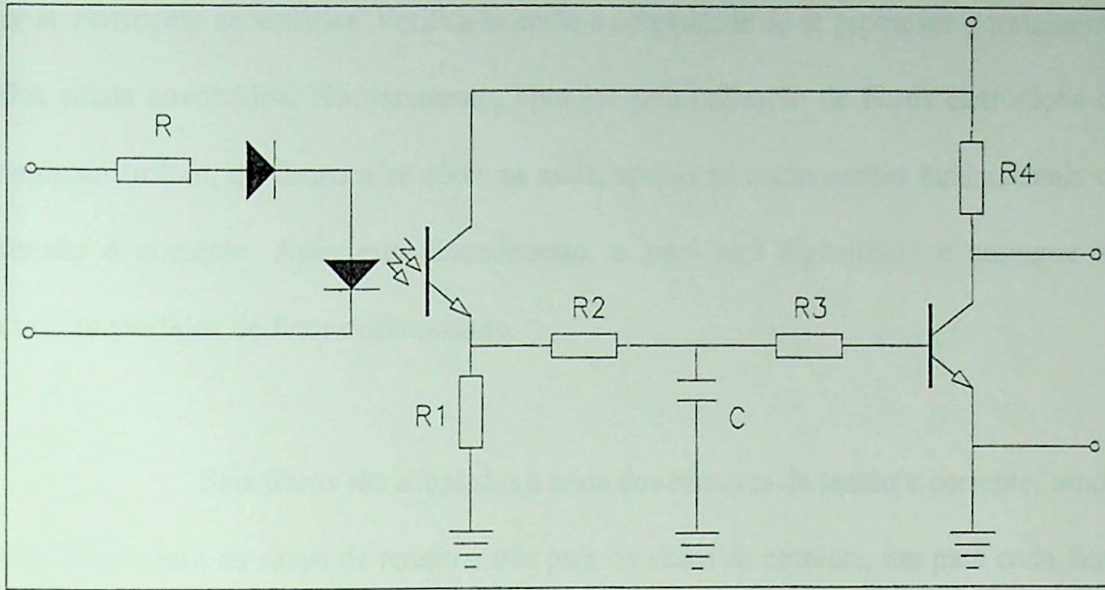


Figura 4.4 - Acoplador óptico utilizado

A intensidade dos sinais luminosos são de valores de baixa potência, sendo necessário a utilização de um amplificador para elevar os níveis dos sinais elétricos convertidos.

4.2 - Descrição do Circuito do Filtro de Harmônicos

Sabe-se que atualmente os sistemas elétricos industriais não apresentam as formas de ondas de tensão e corrente perfeitamente senoidais. De outra forma, pode-se dizer que existe um grande conteúdo harmônico presente nestes referidos sinais. Sendo a corrente geralmente a mais afetada. Os sensores de tensão e corrente, apresentarão na

saída formas de ondas de menor amplitude, mas ainda distorcidos tal qual a entrada, apresentando-se em situação impraticável para serem digitalizados para medições posteriormente necessárias. Verifica-se então a necessidade de se promover o tratamento dos sinais envolvidos. No tratamento, optou-se pela utilização de filtros eletrônicos de segunda ordem, de forma a se obter na saída, apenas as componentes fundamentais de tensão e corrente. Após este procedimento, o sinal será digitalizado e entregue ao circuito medidor de fator deslocamento.

Seis filtros são acoplados à saída dos sensores de tensão e corrente, sendo três filtros para os sinais de tensão e três para os sinais de corrente, um para cada fase, respectivamente. A figura 4.5 mostra os filtros utilizados.

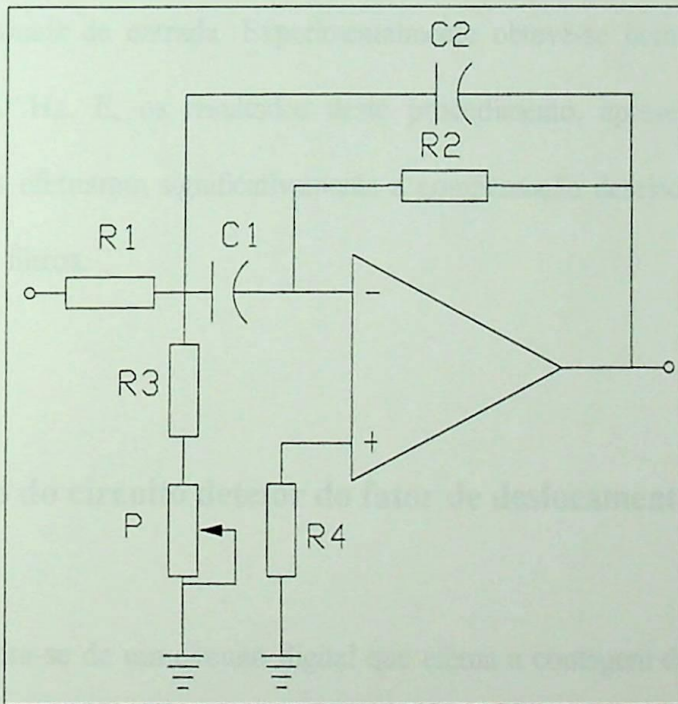


Figura 4.5 - Filtros de segunda ordem, utilizados na filtragem dos sinais de tensão e corrente[23].

Sabe-se que filtros de segunda ordem são circuitos defasadores. As providências tomadas no sentido de evitar a influência proveniente deste defasamento foram tomadas. Para a frequência passante do filtro a defasagem obtida foi de 180° . Sendo os mesmos filtros utilizados para tensão e corrente, as defasagens introduzidas para ambos os sinais são iguais, não afetando o desempenho das posteriores medições. Por outro lado, os componentes eletrônicos utilizados nestes filtros são sensíveis à temperatura. A sensibilidade, provoca variações nos seus valores reais, prejudicando o desempenho dos filtros, pela introdução de outras defasagens. Para compensar tais variações, optou-se por sintonizar o filtro em uma frequência diferente de 60 Hz. A frequência escolhida, além de promover a compensação dos valores dos componentes, não alterou o desempenho dos filtros na realização de sua função básica, ou seja, o tratamento dos sinais de entrada. Experimentalmente obteve-se bom desempenho na frequência de 70 Hz. E, os resultados deste procedimento, apresentaram-se muito satisfatórios, pois efetuaram significativamente a compensação desejada, sem alterar o desempenho dos filtros.

4.3 - Descrição do circuito detetor do fator de deslocamento

Trata-se de um circuito digital que efetua a contagem do tempo entre o ponto em que tensão passa por zero, travando a contagem quando a corrente passa por zero. Este processo é realizado a cada ciclo. A figura 4.6 mostra o diagrama de blocos do circuito.

A primeira parte do circuito, diz respeito às sondas de tensão e corrente, estas sondas tem por finalidade reduzir para níveis aceitáveis os sinais elétricos solicitados pela carga. O sinal de tensão, é reduzido por um divisor resistivo. A opção por este tipo de circuito justifica-se porque não introduz defasagens entre os sinais de entrada e saída. Porém na saída do divisor resistivo o sinal ainda é senoidal, sendo inadequado para ser utilizado pelos circuitos digitais posteriores. A digitalização se processará através de um circuito denominado Disparador Smith.

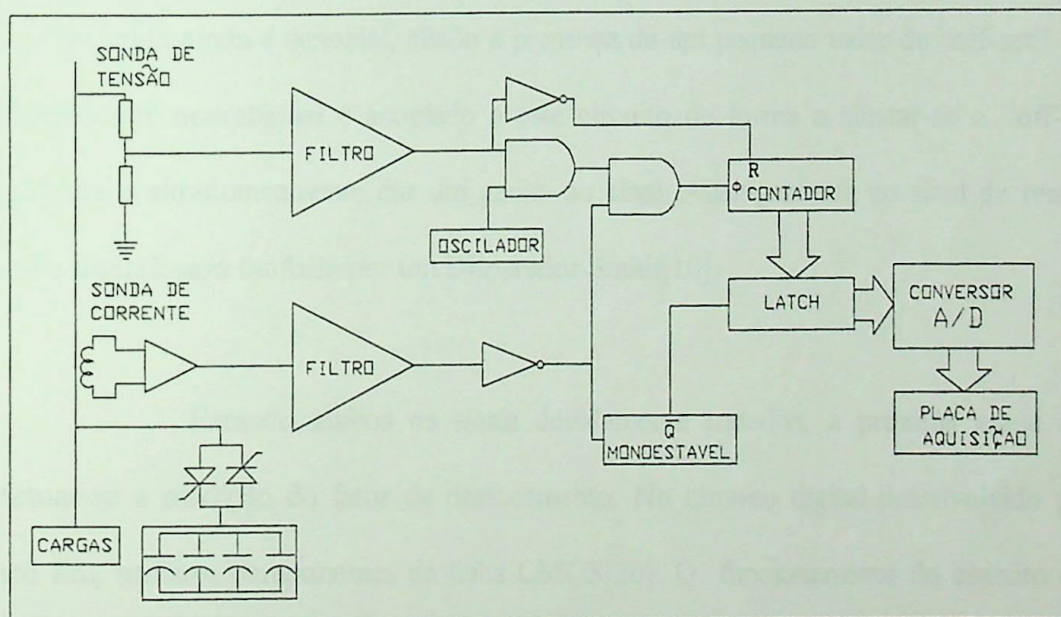


Figura 4.6 - Circuito medidor de fator de deslocamento.

O sinal de corrente é levado a baixos valores, por meio de uma sonda de efeito "Hall", modelo LA 50-P fabricado pela LEM SA. As características técnicas principais, apresentadas em catálogo[24] são:

- Tensão de alimentação: - 15 [V] a + 15 [V];
- Faixa de medida : 0 até 1,5 vezes a corrente nominal;
- Banda passante : 0 até 150 [Khz];
- Teste de isolamento : 2 a 3 [KV] r.m.s/50 [Hz]/1[*min*].

Pelas características apresentadas, conclui-se que a utilização da sonda é justificada, pois não é afetada por componentes harmônicos e não introduz defasagens na medição, além de isolar totalmente o circuito de potência do circuito eletrônico. Mas o sinal de saída ainda é senoidal, aliado a presença de um pequeno valor de "off-set". Um amplificador operacional é acoplado a este circuito de forma a ajustar-se o "off-set" existente e simultaneamente dar um ganho ao sinal. Analogamente ao sinal de tensão, este é digitalizado também por um Disparador Smith[10].

Estando ambos os sinais devidamente tratados, a próxima etapa será efetuar-se a medição do fator de deslocamento. No circuito digital desenvolvido para este fim, utilizou componentes da linha CMOS[20]. O funcionamento do circuito está baseado em um contador digital. O sinal de tensão inicia a contagem e de corrente trava a contagem. Esta seqüência de operação, inicia-se pela porta lógica tipo E ("and" 1/6), que recebe o sinal digital de tensão e, pela porta inversora (1/8) que é responsável pelo sinal de "reset". À outra entrada da porta injeta-se um sinal colhido de um oscilador de 500 [Khz]. Ele tem por função estabelecer a base de tempo das contagens efetuadas.



Para manter-se a frequência invariável, utilizou-se um oscilador que utiliza portas inversoras da família TTL, e controlado por um cristal de 1 [Mhz]. Um amplificador operacional é colocado para efetuar o acoplamento com um flip-flop tipo D que é inserido no circuito para efetuar a divisão da frequência por 2. O circuito completo do oscilador está mostrado na figura 4.7.

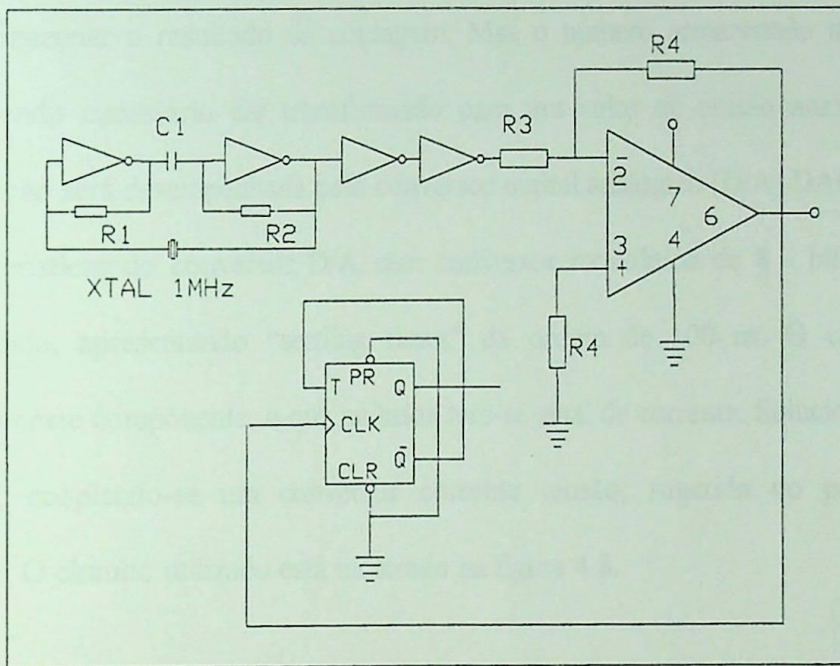


Figura 4.7 - Oscilador responsável pela base de tempo.

O sinal da resultante da primeira porta E (“and 1/6), habilita uma das entradas da segunda porta E (“and” 2/6). Neste instante o sinal de corrente está em nível baixo, e a porta inversora (1/8) apresenta nível alto na saída, e conseqüentemente aplicando também nível alto na outra entrada da porta E (“and” 2/6). A situação apresentada

habilita o contador a iniciar a contagem. A corrente ao passar por zero leva a entrada do inversor ao nível alto e, a saída para nível baixo e, na mesma seqüência aplicando nível baixo na entrada do contador, travando a contagem neste momento. Esta seqüência de eventos se processa a cada ciclo. E, a habilitação do contador para efetuar nova contagem, se dá pelo pino de "reset", que recebe sinal de tensão quando esta apresentasse em nível baixo.

A etapa seguinte do circuito é composto de dois "latches" que tem por função armazenar o resultado da contagem. Mas o número armazenado no "latch" é binário, sendo necessário ser transformado para um valor de tensão analógico. Esta última função será desempenhada pelo conversor digital analógico (D/A) DAC 0800[25]. As características do conversor D/A são: conversor monolítico de 8 - bit de reposta muito rápida, apresentando "settling times" da ordem de 100. ns. O característica verificado neste componente, é que na saída tem-se sinal de corrente. Solucionou-se este problema, acoplado-se um conversor corrente tensão, sugerido no pelo próprio fabricante. O circuito utilizado está mostrado na figura 4.8.

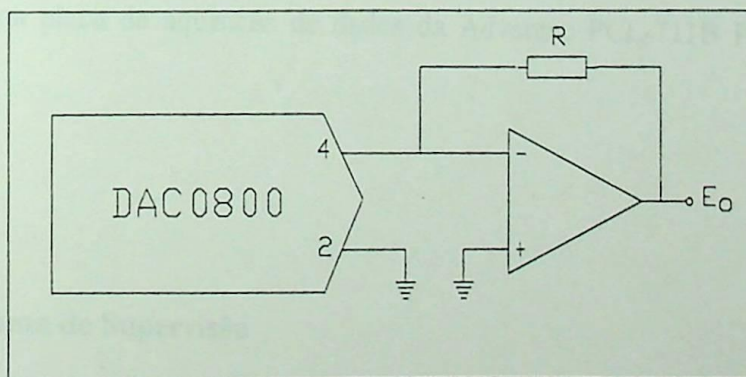


Figura 4.8 - Acoplamento do conversor A/D a circuitos externos.

O sinal de tensão E_0 , disponível na saída do conversor D/A, será enviado a uma placa de aquisição de dados, para que o Sistema de Supervisão em Tempo Real, processe o sinal.

4.4 - Descrição do sistema de supervisão em Tempo real

O sistema de supervisão, deverá possuir como características importantes, a rapidez, uma base de programas para efetuar cálculos matemáticos, a possibilidade de gerar-se quadros e sinóticos, apresentação de históricos entre outras.

O “software” de supervisão irá interagir com o sistema através de uma placa de aquisição de dados. Esta placa deverá possuir entradas e saídas compatíveis com o computador a ser utilizado.

Neste trabalho optou-se pela utilização do “software” Eclipse 21[19], versão 3.0 e, uma placa de aquisição de dados da Advantec PCL-711B PC-MultiLab Card[10].

4.4.1 - O Programa de Supervisão

O programa de supervisão foi desenvolvido no Eclipse 21 que é um “software” gráfico destinado a supervisão de processos. Este “software” interage com o

sistema a partir de dados recebidos das placas de aquisição de dados. O Elipse 21 mostra ao operador, através de um PC e de forma gráfica, o processo que está sendo monitorado. A figura 4.9, mostra uma tela do elipse 21, mostrando suas principais funções.

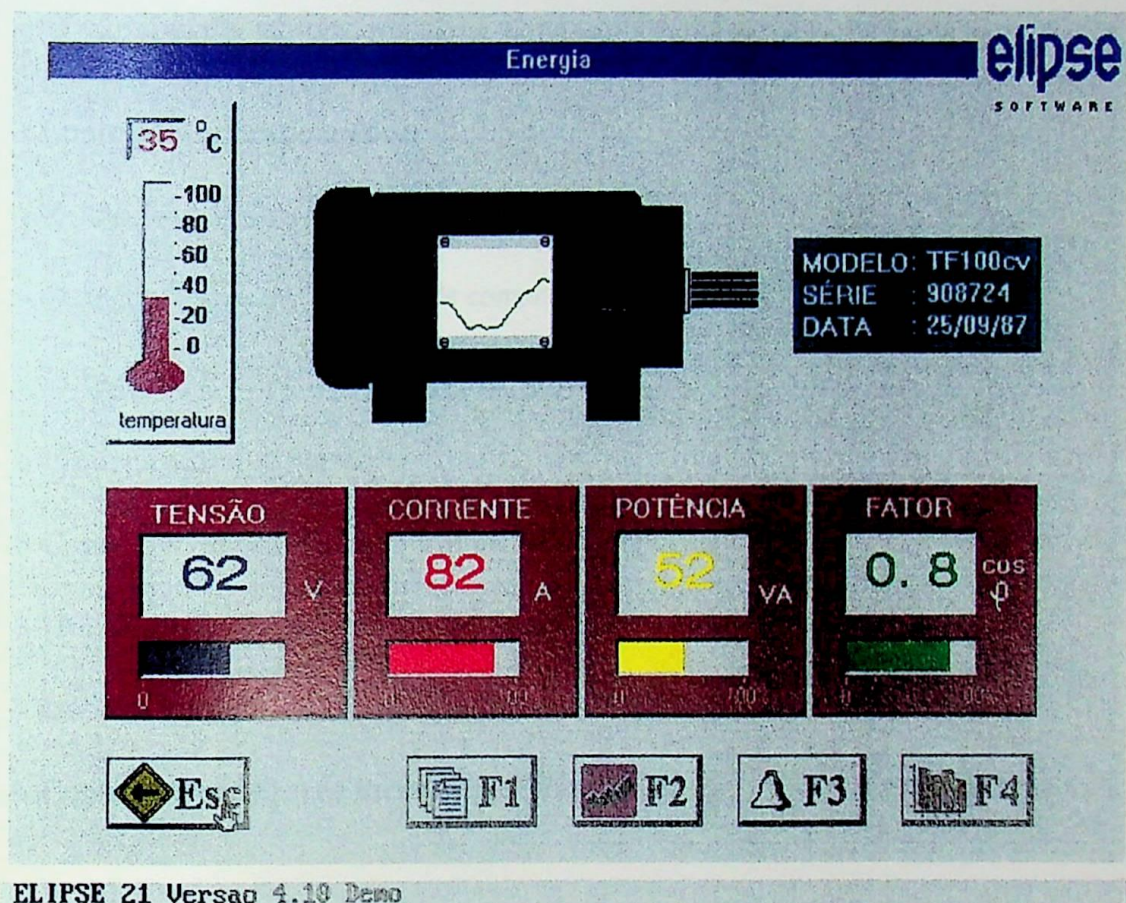


Figura 4.9 - Tela do “software” Elipse 21, mostrando uma das suas principais funções.

As características principais do Elipse 21 são:

- Supervisão de até 3.000 pontos;
- Verificação de até 500 alarmes/eventos;
- Ambiente de configuração integrado com execução;



- Permite o uso de outras ferramentas gráficas (ex. Paintbrush);
- Tomada de atitudes automática por alarme/eventos;
- Estrutura de teclas tipo árvore;
- Programação de fórmulas e receitas;
- Análise histórica em modo gráfico;
- Impressão em modo gráfico;
- Relatórios configuráveis pelo usuário;
- Grande número de “Drivers” de comunicação disponíveis;
- Comunicação simultânea de até seis “Drivers”;
- Comunicação por blocos;
- Conversor de dados para formato ASCII (Lotus 123);
- Utilização do “Mouse” em tempo de execução;
- Troca de informações via rede local (sobre DOS);
- Controle Estatístico de Processos (CEP).

O pacote do “software de supervisão Elipse 21 está dividido em dois módulos que compreendem a totalidade das ferramentas e funções de supervisão disponíveis. Estes módulos são:

1. Configurador {XE “Configurador”}: cópia de configuração do elipse 21 que permite o desenvolvimento de aplicativos de supervisão. Com o configurador (programa 21.EXE), o usuário poderá criar telas de sinóticos, definir funções, estabelecer parâmetros ou modificar aplicativos.

2. Runtime {XE "Runtime"}: cópia do Elipse 21 que permite a execução de aplicativos gerados pelo configurador (programa 21X.EXE).

4.3.2 - Placa de aquisição de dados

A placa de aquisição de dados utilizada foi uma placa Advantec PCL-711B é compatível com qualquer microcomputador PC/XT/AT e de fácil utilização. Esta placa, utilizada com "user-friendly softwares" permitem uma fácil solução para as mais variadas aplicações industriais e em laboratórios. Algumas aplicações incluem: aquisição de dados, controle de processos, testes automáticos e automação.

As características principais da placa Advantec são:

- Resolução de conversão A/D de 12-bit;
- Oito entradas analógicas;
- Oito saídas digitais.

A placa utilizada possui as seguintes especificações técnicas^[18]:

- **Canais:** Oito canais de entrada;
- **Resolução:** 12 bits, aproximação sucessivas;
- **Tensões de entrada:** Faixas de entradas programáveis para as faixas: $\pm 5[V]$, $\pm 2,5[V]$, $\pm 1,25[V]$, $\pm 0,625[V]$, $\pm 0.3125[V]$;
- **Conversor:** AD574 ou equivalente;

- **Tempo de conversão:** 25 μ s máximo;
- **Precisão:** 0,015% de leitura \pm 1 LSB;
- **Ganhos dos amplificadores:** x1, x2, x4, x8 e x16, programáveis via “software”;
- **Modos de “trigger”:** Via “software”, marcador ou “trigger” externo;
- **Sobretensões:** \pm 30 [V].

Na operação com o sistema proposto a placa de aquisição de dados receberá os sinais elétricos analógicos, enviado pelo Circuito Detetor de Fator de Deslocamento. O sinal elétrico de tensão é proporcional ao ângulo de deslocamento medido entre as componentes fundamentais da tensão em relação a corrente. A placa efetuará a conversão do valor analógico de tensão, para binário que será enviado ao microcomputador. O “software” dedicado promoverá a comparação daqueles valores com os preestabelecidos. O resultado da comparação será devolvido para o “Smart Switch” através de um sinal digital, informando a necessidade de entrada ou retirada de bancos de capacitores. Ressalte-se que todo este processo ocorre em tempo real.



Capítulo V

Ensaio do Protótipo Desenvolvido e Resultados Experimentais

5.1 - Metodologias Adotadas nos Ensaios dos Equipamentos

O ensaio do equipamento tem como objetivo avaliar o desempenho de alguns dos circuitos que apresentam maior sensibilidade. Tanto pela natureza dos componentes utilizados quanto pela concepção do projeto. Deve-se também ressaltar que tal importância é dispensada porque deles dependerá o bom desempenho do equipamento. Os circuitos mais sensíveis, são o filtro de componentes harmônicos, utilizado no circuito de medição e, o circuito eletrônico denominado neste trabalho por detector de “zero crossing”.

Após a verificação do desempenho de cada um dos circuitos, observou-se o desempenho do equipamento como um todo. Inicialmente a fim de se estabelecer comparações chaveou-se um banco de capacitores de maneira convencional utilizando-se uma chave mecânica, contator. A seguir o mesmo procedimento foi adotado, porém utilizando-se o “Smart Switch”.

Também é importante verificar a operação do equipamento utilizando uma das configurações usuais (W32AY) ligado a um sistema trifásico. Este procedimento, permite a observação e levantamento, com auxílio de um osciloscópio,

das formas de ondas do circuito, durante os comandos ligar e desligar. O objetivo fundamental destes procedimentos será obter as curvas reais de operação e, efetuar-se as devidas comparações com as curvas teóricas obtidas no capítulo III, figura 3.10 e avaliar as condições operacionais gerais do protótipo.

Os resultados do ensaio do equipamento operando como compensador de reativo de uma determinada carga, também foi realizado. Durante este ensaio utilizou-se como carga um motor de indução trifásico que é um dos principais componentes consumidores de energia reativa encontrados na indústria. Na operação desta máquina é sempre necessário a instalação de banco de capacitores para otimizar-se o fator de potência. Ressalta-se ainda, que inúmeros problemas resultam desta técnica de compensação através de bancos de capacitores fixos[13]. Entre eles, um dos mais comuns é a ocorrência de sobretensões[11] nos enrolamentos da máquina, quando ela é desligada juntamente com um banco de capacitores. Será verificado que estes efeitos não ocorrerão quando o banco de capacitores for chaveado pelo “Smart Switch”.

5.2 - Ensaio do Circuito de Filtro

Conforme já comentado no capítulo IV, os componentes utilizados neste filtro são sensíveis a temperatura. Há a necessidade de efetuar-se certos ajustes de forma a evitar que sejam introduzidas defasagens indesejadas.

Para o seu ajuste e ensaio montou-se o circuito mostrado na figura 5.1. Na entrada do filtro injetou-se uma onda senoidal (gerador de áudio), com frequência de 60 [Hz]. Utilizando-se um osciloscópio mediu-se o defasamento entre o sinal de entrada e saída (figuras de Lissajous). Ajustou-se através do potenciômetro P do circuito do filtro, o ponto em que a defasagem indicava 180° . Para esta condição obtem-se um traço de 45° na tela do osciloscópio. O circuito permaneceu ligado por algumas horas, tempo suficiente para obter-se a estabilização de temperatura dos equipamentos auxiliares utilizados na medição e, mesmo observar o comportamento do circuito sob teste. Como não foi verificado qualquer tipo de variação, passou-se a segunda etapa, que foi o ensaio de temperatura do circuito.

Para variar-se a temperatura nos componentes do filtro, injetou-se ar quente, por meio de uma pistola de ar quente. Repetindo-se este procedimento várias vezes, não verificou-se qualquer tipo de defasagem indesejada.

A etapa final do ensaio, foi a verificação da condição de filtragem do circuito. Nesta etapa, injetou-se uma onda quadrada e, na saída mediu-se o sinal presente, via osciloscópio. Observou-se que para esta situação o sinal de saída foi uma senóide perfeita, de mesma frequência da fundamental do sinal de entrada.

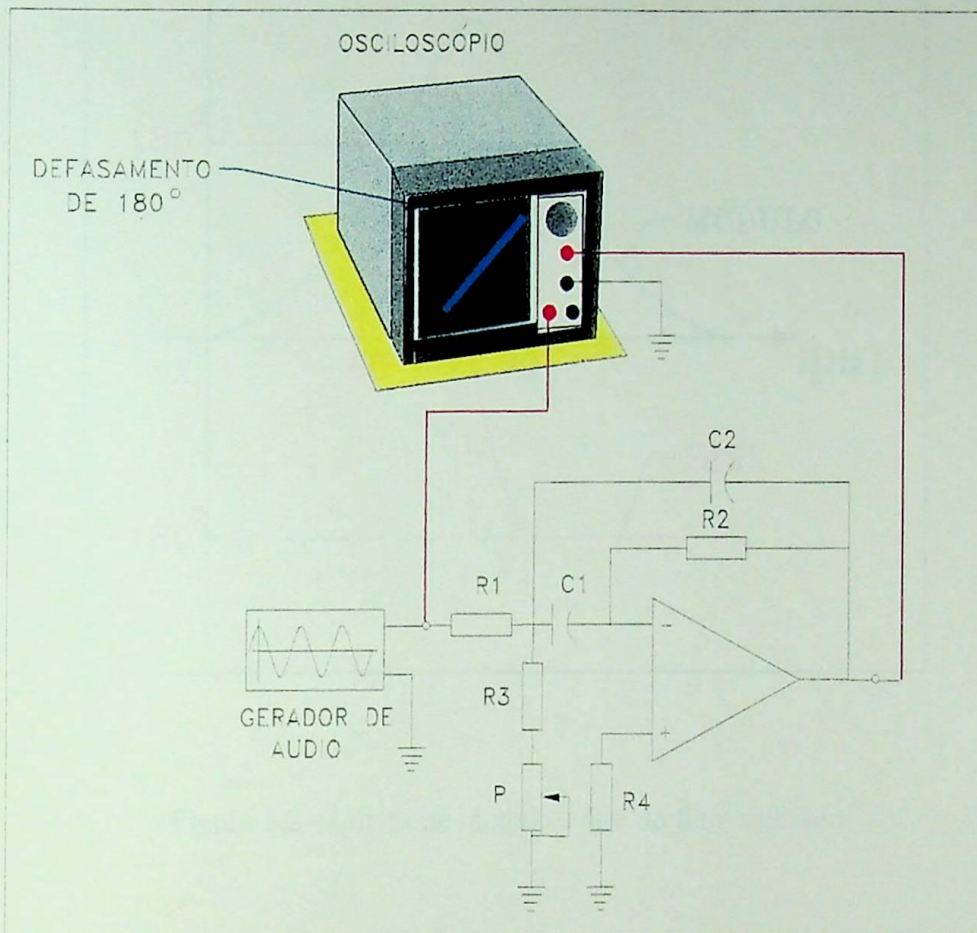
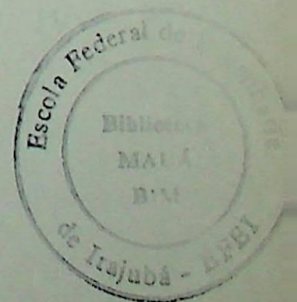


Figura 5.1 - Circuito montado para ensaio e ajuste do filtro de componentes harmônicos.
utilizado no sistema de medição.

Na figura 5.2 está ilustrado as curvas de módulo e de fase do filtro de segunda ordem, destacando a técnica utilizada para efetuar a compensação dos defasamentos indesejados resultantes da variação da temperatura ambiente. No gráfico nota-se que a frequência de corte do filtro é no ponto de 70 [Hz]. Este procedimento permitiu que na faixa próxima a 60 [Hz] a defasagem permaneça sempre constante.



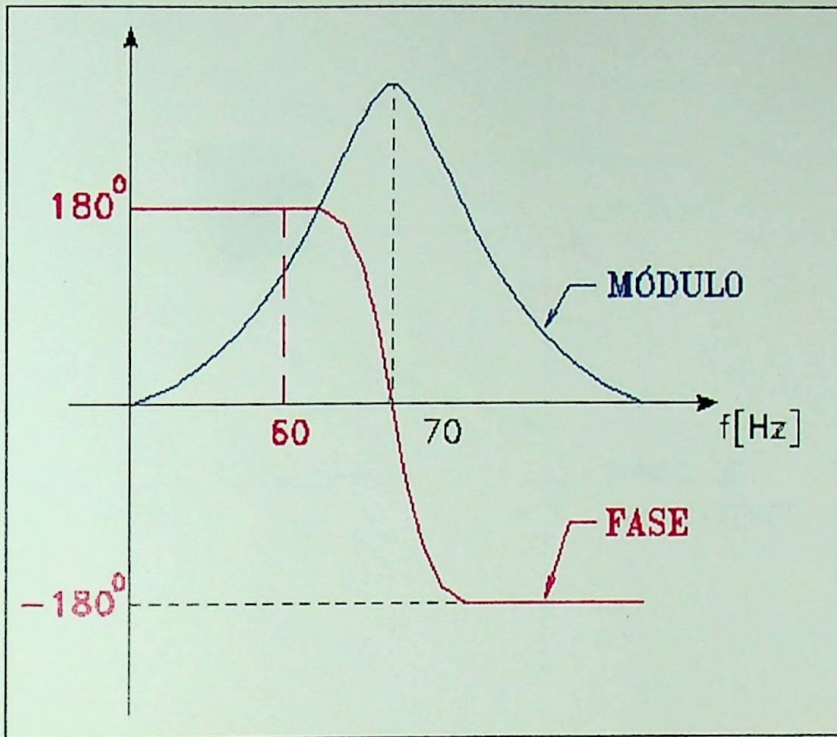


Figura 5.2 - Curvas de módulo e fase do filtro utilizado.

5.3 - Ensaio do Circuito Denominado “Smart Switch”

Para ensaio do circuito “Smart Switch” utilizou-se um banco de capacitores monofásico de 1,0 [KVAR] de potência, e tensão nominal de 110 [V].

Inicialmente efetuou-se o chaveamento do banco de capacitores através de um sistema utilizando contator. As medições foram realizadas por osciloscópios digitais da Hewlett-Packard (HP)[29] equipado com pontas de provas de corrente tipo efeito “hall”, com escalas de 100A : 1V e 10A : 1V e pontas de prova de tensão com escalas de 1KV : 1V e 10 KV : 1V. O circuito montado, está ilustrado na figura 5.3.

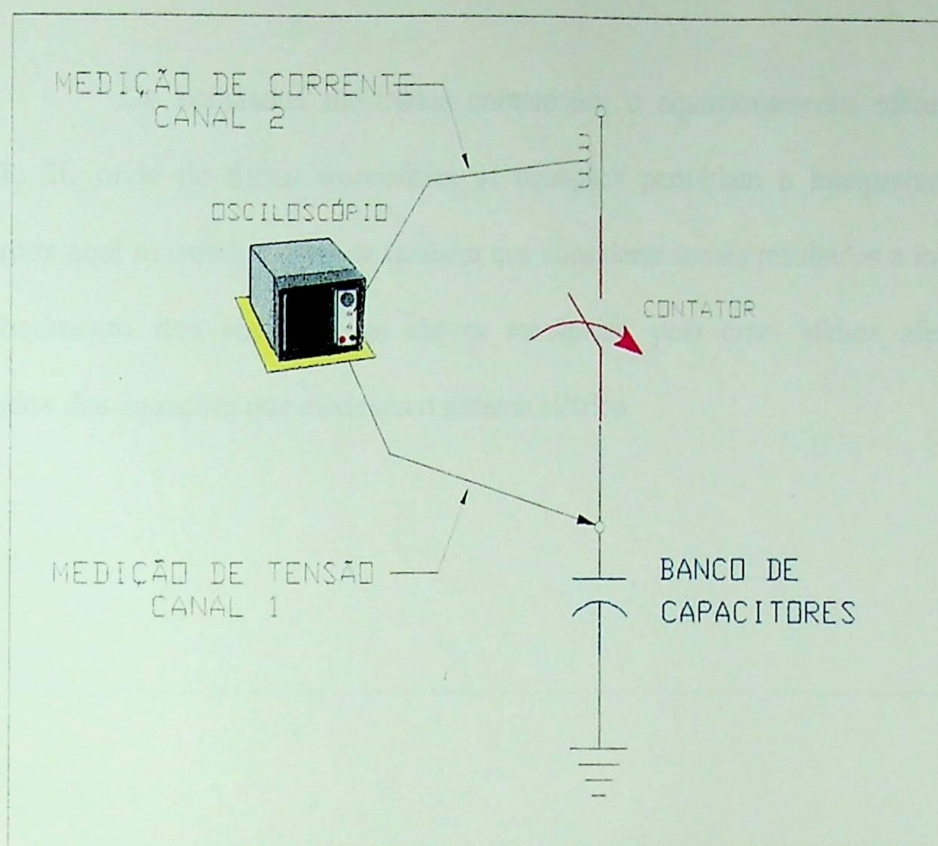


Figura 5.3 - Circuito com banco de capacitores chaveados por chaves eletromecânicas.

O resultado mostrado considera os capacitores do banco carregados com uma carga próxima da nominal, chaveando-se, aleatoriamente, em qualquer ponto de tensão da fonte. Os resultados estão ilustrados na figura 5.2, onde no canal indicado por **1**, observa-se naquela janela o oscilograma da tensão entre fase e neutro aplicada ao banco de capacitores. No canal indicado por **2**, está mostrado o oscilograma da corrente na linha. Verifica-se na corrente oscilações com amplitudes de até 35 A, por um tempo aproximado de 8 ms. Decorrido este instante de tempo o circuito atinge o regime permanente, tendo para o valor de corrente de pico 8 A.



Os resultados mostrados comprovam o equacionamento efetuado no capítulo II, onde de forma matemática as equações permitiam a interpretação dos resultados aqui mostrados. Tem-se também que considerar nestes resultados a influência do rebatimento dos contatos das chaves mecânicas, pois estes efeitos afetam os resultados das equações que modelam o sistema elétrico.

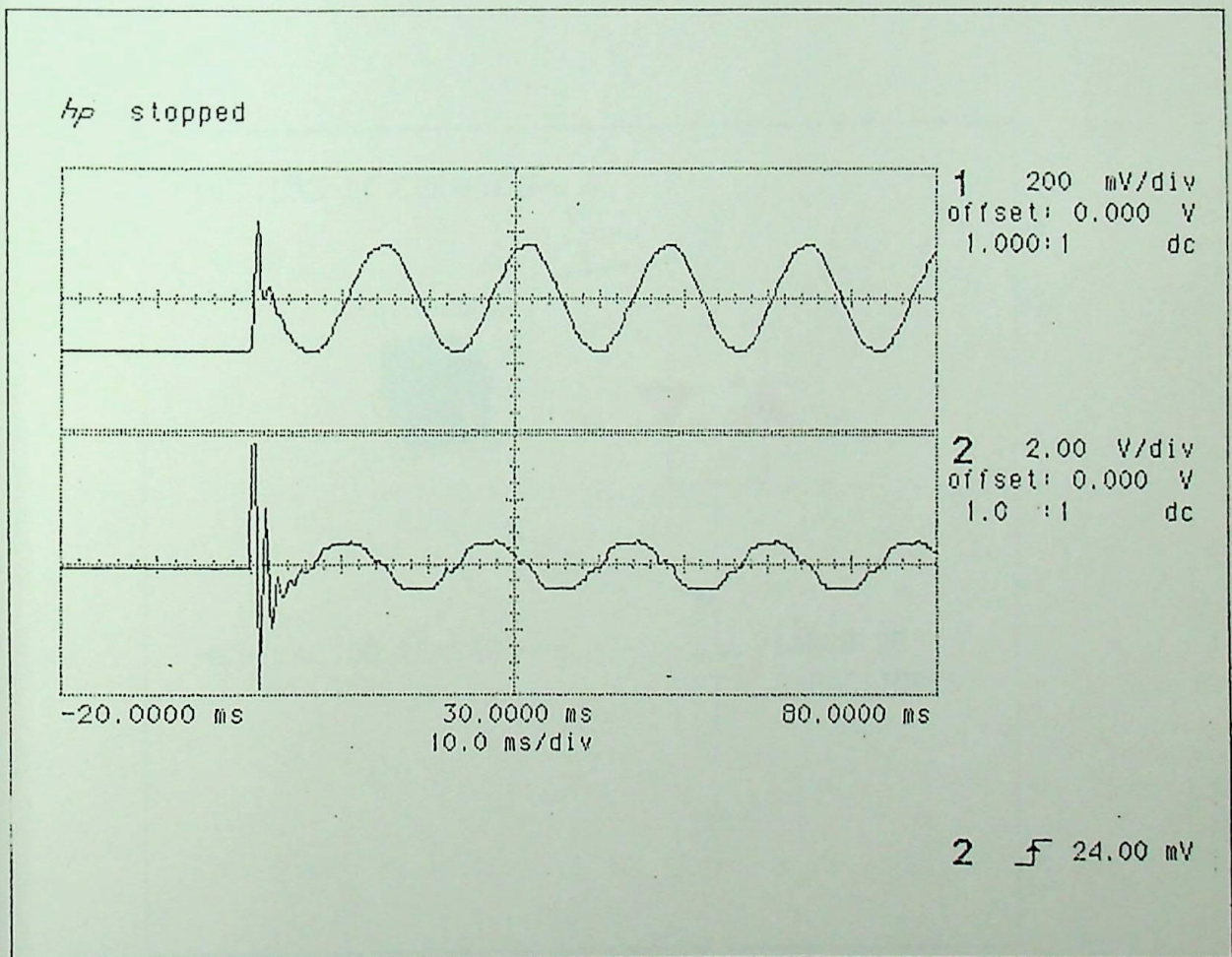


Figura 5.4 - Banco de capacitores chaveado por contator.

Considerando as mesmas condições anteriores, chaveou-se os mesmo banco de capacitores, utilizando o “Smart Switch”, na configuração monofásica (1ϕ) conforme ilustrado na figura 5.5. Os resultados obtidos são os da figura 5.6, onde no canal indicado por **1**, referente a primeira janela, observa-se a tensão entre fase e neutro nos bancos de capacitores. E, no canal indicado por **2**, referente a segunda janela, a corrente na linha.

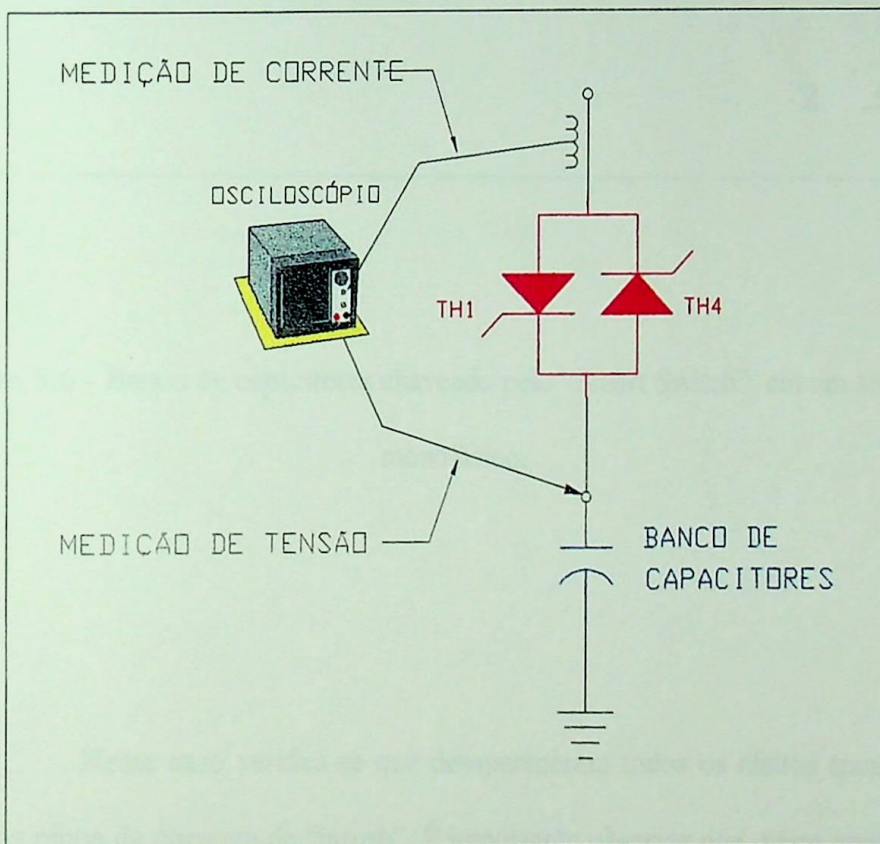


Figura 5.5 - Circuito utilizado para ensaio do “Smart Switch” na configuração monofásica.

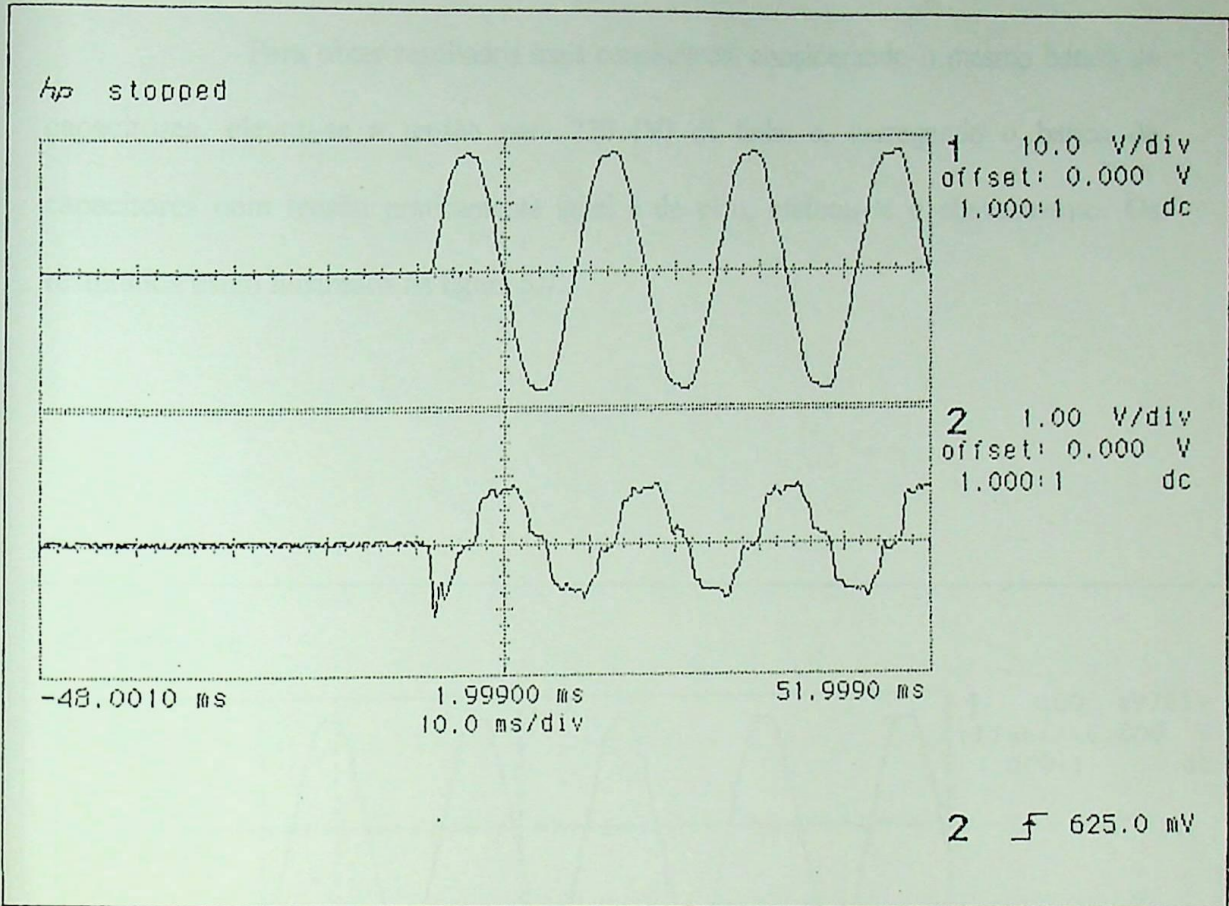


Figura 5.6 - Banco de capacitores chaveado pelo “Smart Switch” em um sistema monofásico.

Neste caso verifica-se que desapareceram todos os efeitos transitórios e também os picos da corrente de “inrush”. É importante observar que, neste caso o banco de capacitores encontrava-se descarregado, esta condição refere-se a bancos de capacitores ligados em paralelo com os respectivos resistores de descarga.

Para obter resultados mais conclusivos, considerando o mesmo banco de capacitores, elevou-se a tensão para 220 [V] de linha e, carregando o banco de capacitores com tensão praticamente igual a de pico, efetuou-se o chaveamento. Os resultados estão ilustrados na figura 5.7.

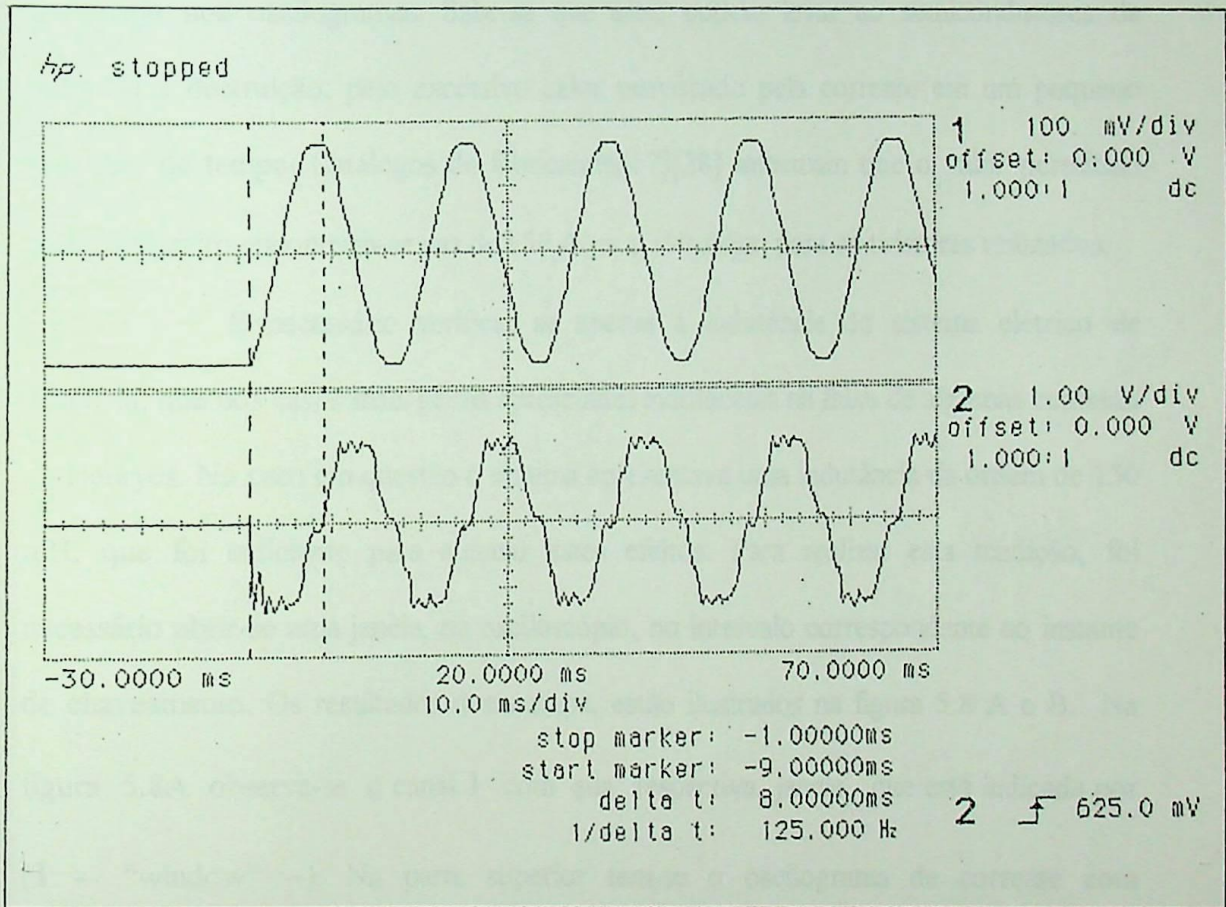


Figura 5.7 - Banco de capacitores, carregado, chaveado pelo "Smart Switch" em um sistema bifásico.

Seguindo-se as mesmas notações referente as janelas, ou seja, canal **1** referente a tensão aplicada ao banco de capacitores e, canal **2**, referente a corrente na linha, novamente observa-se que não existem transitórios, devido a corrente de “inrush”, durante o chaveamento do banco. Praticamente repete-se o resultado da figura 5.6, onde a amplitude da corrente no instante do chaveamento fica restrita ao valor de pico nominal, de regime permanente, do banco de capacitores.

Por outro lado, nota-se que o efeito $\frac{di}{dt}$, aparece de forma muito acentuada nos oscilogramas. Sabe-se que eles, podem levar ao semicondutores de potência a destruição, pelo excessivo calor provocado pela corrente em um pequeno intervalo de tempo. Catálogos de fabricantes[17][28] informam que o valor permitido para este efeito encontram-se nas de 150 A/ μ s a 300 A/ μ s, para os tiristores utilizados.

É necessário verificar se apenas a indutância do sistema elétrico de potência, que nos casos mais gerais apresentam indutâncias na faixa de algumas centenas de Henryes. No caso em questão o sistema apresentava uma indutância da ordem de 150 mH, que foi suficiente para atenuar estes efeitos. Para realizar esta medição, foi necessário abrir-se uma janela, no osciloscópio, no intervalo correspondente ao instante de chaveamento. Os resultados desta etapa, estão ilustrados na figura 5.8 A e B. Na figura 5.8A observa-se o canal **1** com sua respectiva janela, que está indicada por (**1** -- “window” --). Na parte superior tem-se o oscilograma de corrente com chaveamento pelo “Smart Switch”, nas condições estabelecidas na figura 5.6. E na respectiva janela, parte inferior da respectiva figura, o efeito “zoom” do trecho referente ao efeito $\frac{di}{dt}$. As medições revelam que o tempo de subida é da ordem de 600 μ S, referente a uma rampa da ordem de 13,33 A/mS, para situação proposta.

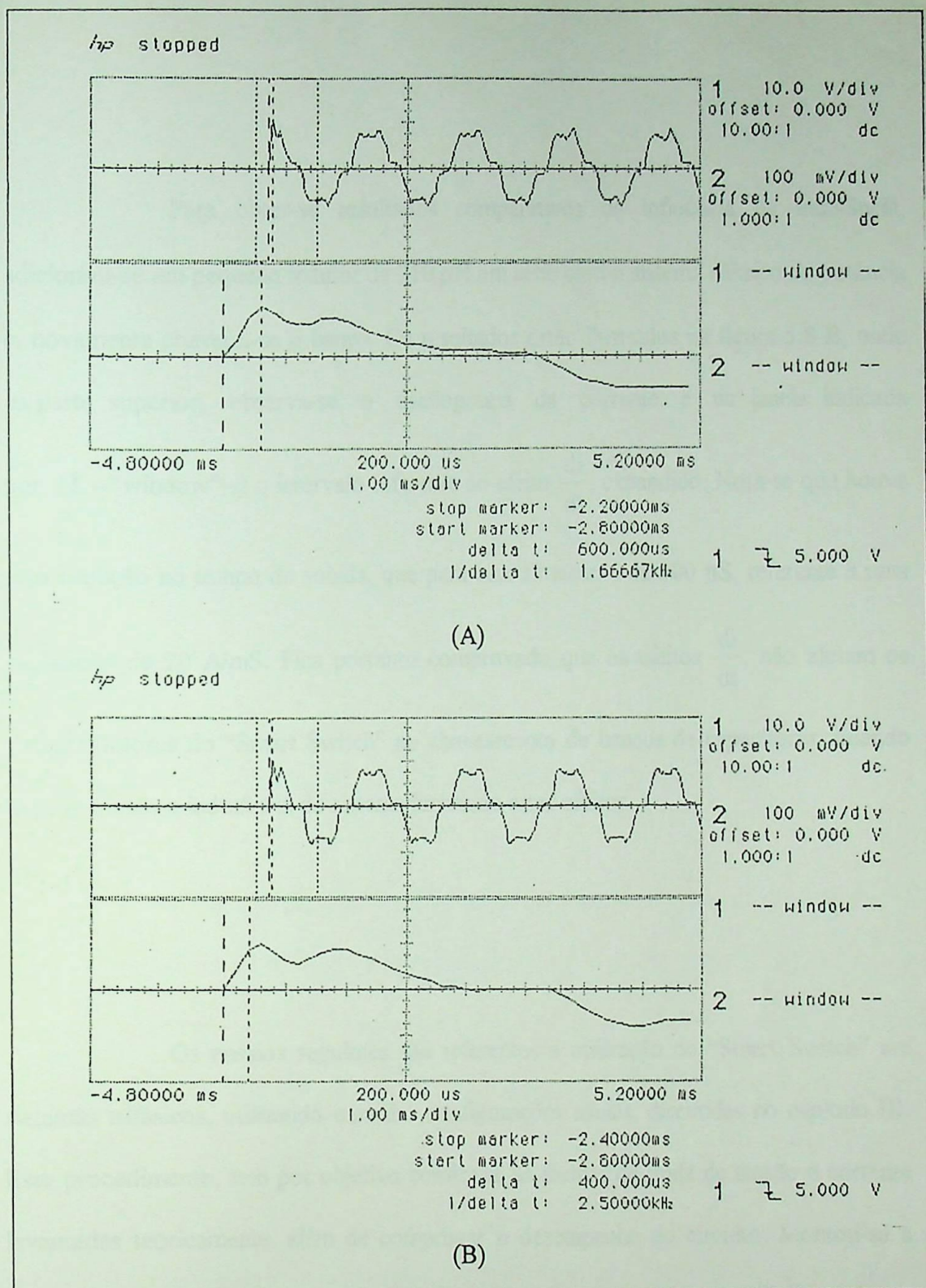


Figura 5.8 - Verificação do efeito $\frac{di}{dt}$ no chaveamento de banco de capacitores através

do "Smart Switch".

A) Apenas com a indutância do sistema elétrico;

B) Com uma indutância adicional de 210 μ H.

Para obter-se resultados comparativos da influência da indutância, adicionou-se um pequeno indutor de 210 μH em série com o sistema elétrico de potência e, novamente chaveou-se o banco. Os resultados estão ilustrados na figura 5.8 B, onde na parte superior, observa-se o oscilograma da corrente, e na janela indicada por (1 --"window"--) o intervalo referente ao efeito $\frac{di}{dt}$, expandido. Nota-se que houve uma redução no tempo de subida, que para esta situação é de 400 μS , referente a uma inclinação de 20 A/mS. Fica portanto comprovado que os efeitos $\frac{di}{dt}$, não afetam os semicondutores do "Smart Switch" no chaveamento de bancos de capacitores, quando tem-se apenas a indutância do sistema limitando estes efeitos.

Os ensaios seguintes são referentes a utilização do "Smart Switch" em sistemas trifásicos, utilizando uma das configurações usuais, discutidas no capítulo III. Este procedimento, tem por objetivo confirmar as formas de onda de tensão e corrente levantadas teoricamente, além de comprovar o desempenho do circuito. Montou-se a configuração trifásica denominada W32AY, que para maior clareza está ilustrado na figura 5.9. Optou-se por esta configuração, pois conforme visto, seu funcionamento depende da situação operacional em que se encontram as outras chaves, para que se efetue a entrada do banco de capacitores, ou seja ocorra o chaveamento.

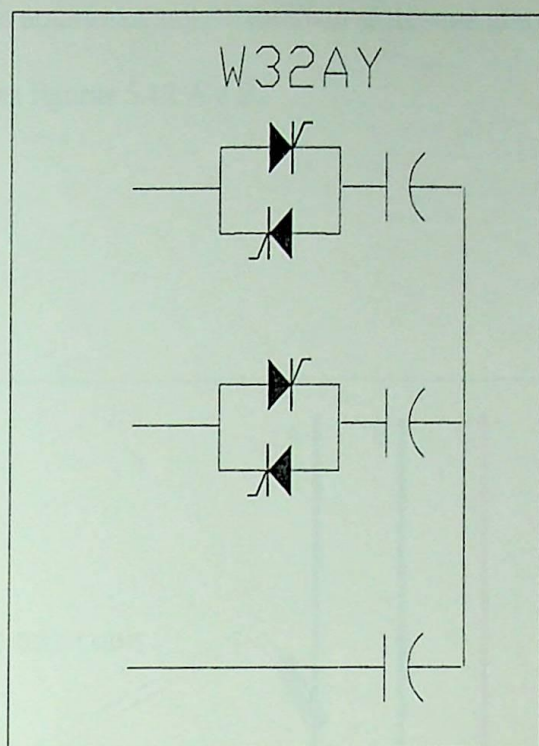


Figura 5.9 - Configuração adotada no ensaio.

Nestes procedimentos de medições, utilizou-se o circuito mostrado na figura 5.10 e os resultados estão mostrados nas figuras 5.11 (A), (B) e 5.12 (A), (B). O circuito é composto por dois osciloscópios digitais idênticos, cada qual recebendo sinal de “tigger” emitido pelo sinal de corrente da fase respectiva, a que se pretende medir as grandezas.

A figura 5.11A, referente ao primeiro osciloscópio ligado na fase A da concessionária, ilustra o situação da corrente e da tensão nas janelas indicadas por **1** e **2** respectivamente. E a figura 5.11B, é referente ao segundo osciloscópio ligado à fase C, ilustrando a situação da corrente e tensão respectivas, indicadas pelas janelas **1** e **2** nesta ordem. O grupo de figuras subsequentes, referem-se aos resultados do mesmo ensaio,

nas mesmas condições anteriores, porém medindo as mesmas grandezas para as fases B e C, as ilustrações são as figuras 5.12 A e B.

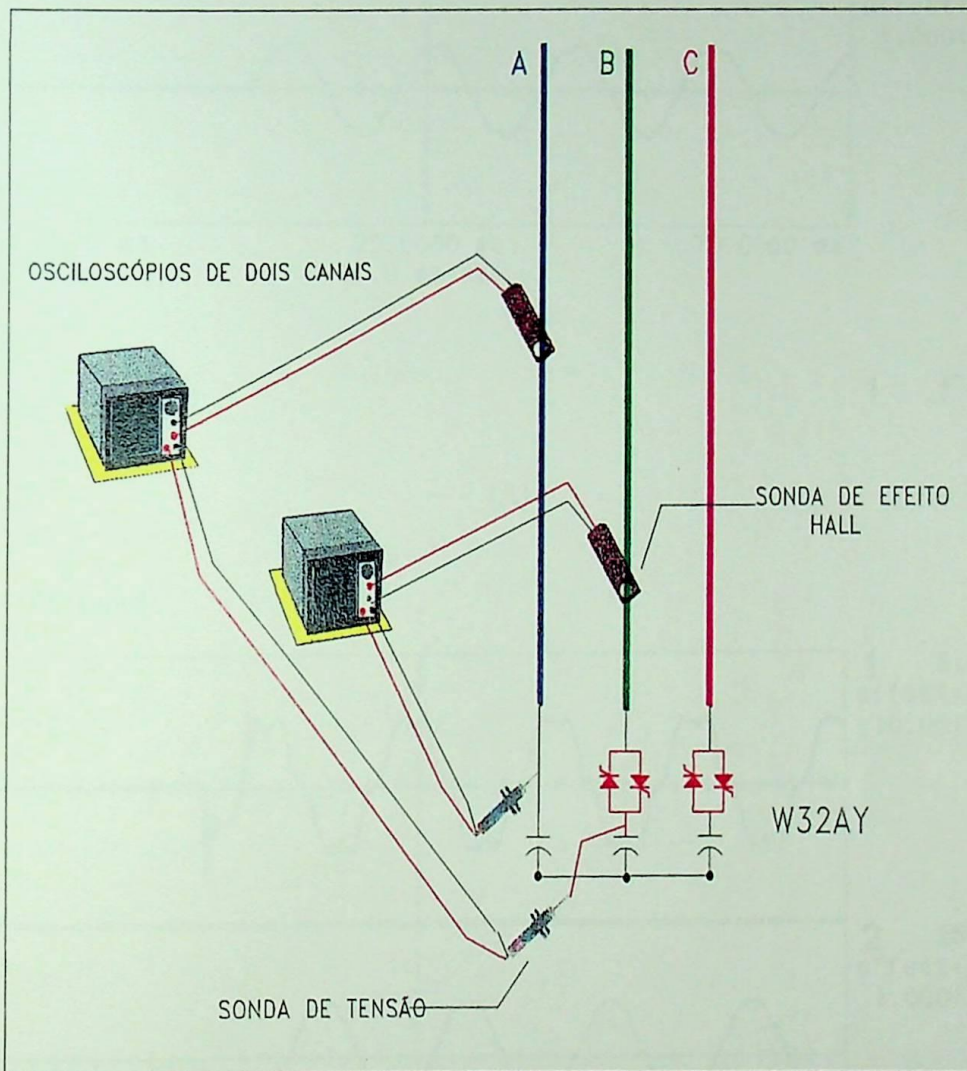
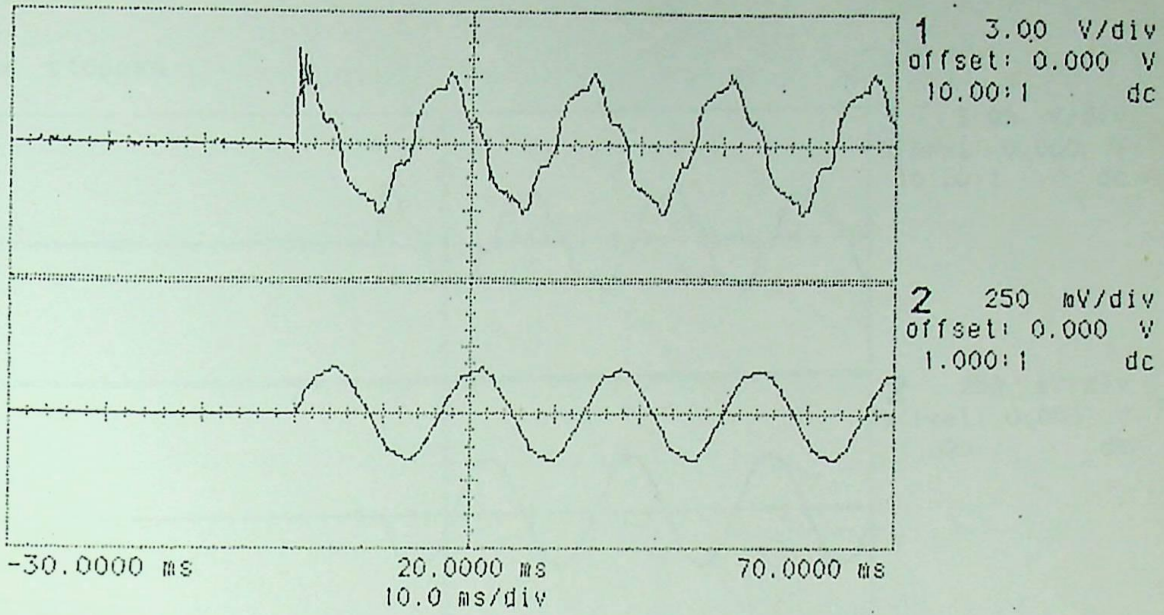


Figura 5.10 - Circuito utilizado nas medições durante o ensaio da configuração trifásica W32AY.



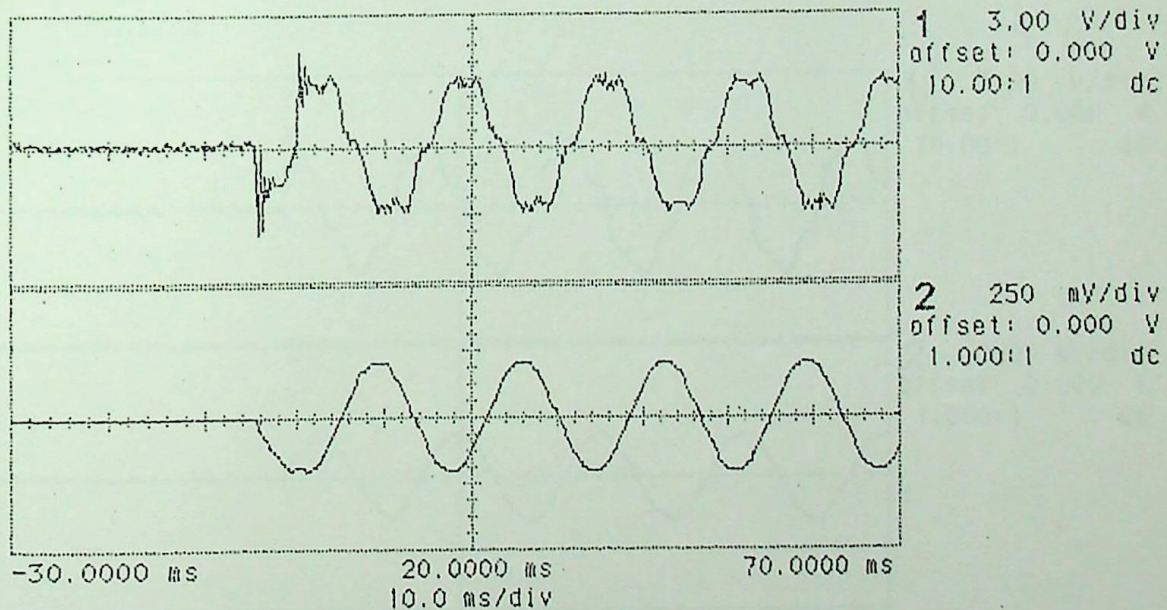
hp stopped



(A)

1 \int 1.000 V

hp stopped

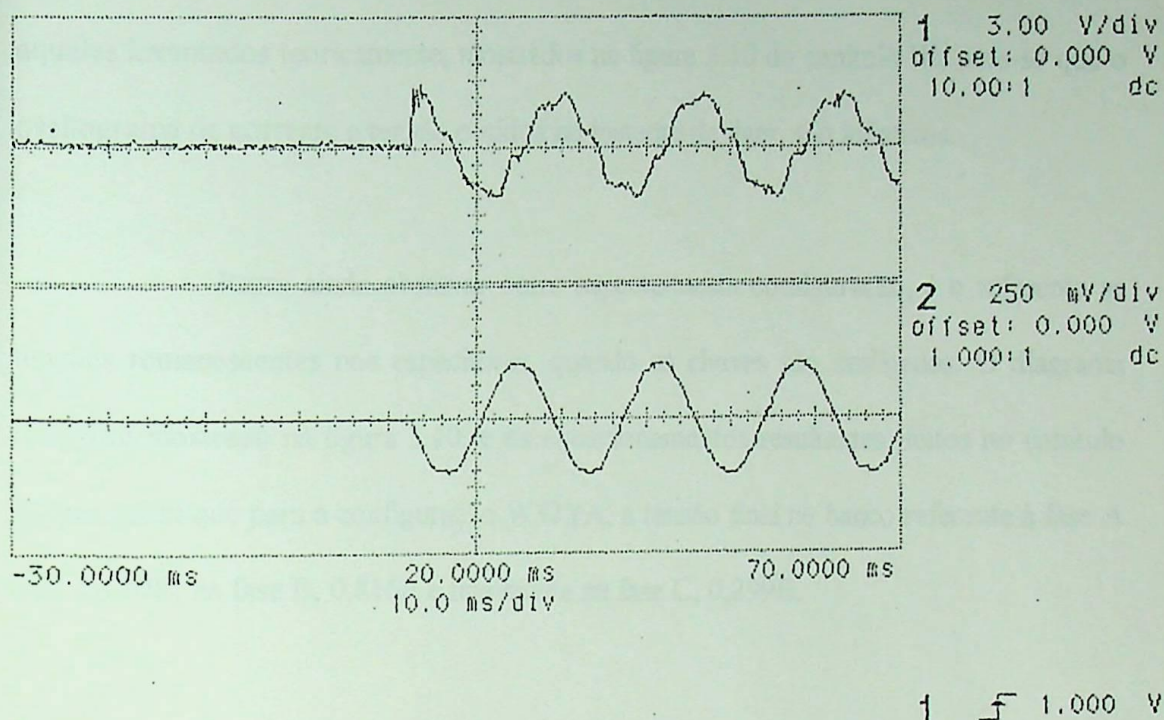


(B)

1 \int 1.000 V

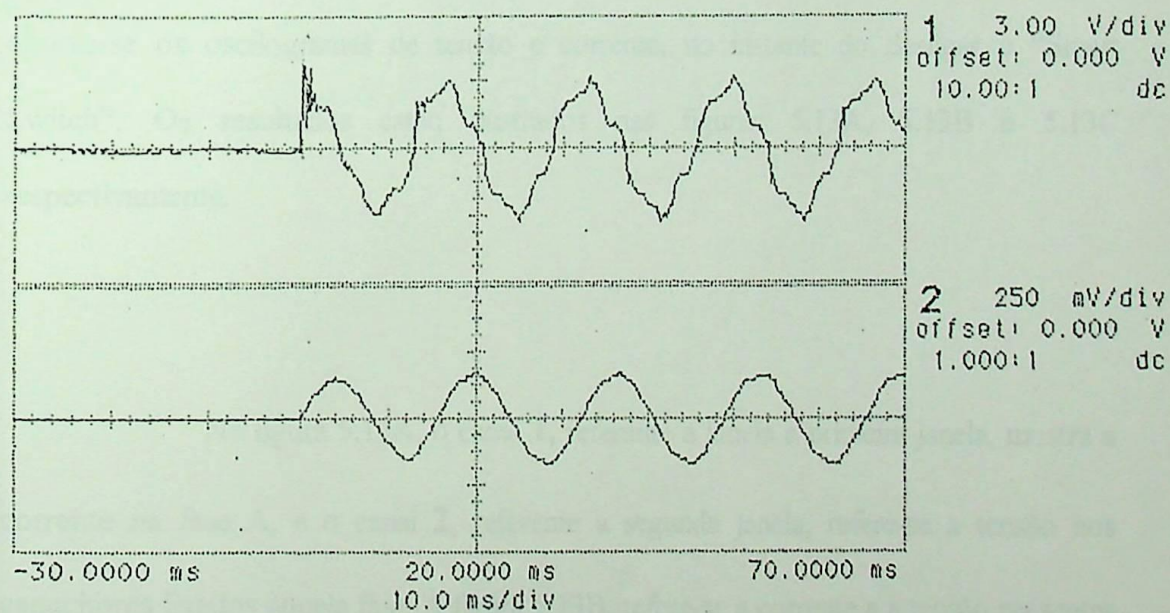
Figura 5.11 - Formas de ondas de corrente e tensão, referentes às fases A e C, de um banco de capacitores trifásico chaveados pelo "Smart Switch", na configuração W32AY.

hp stopped



(A)

hp printing



(B)

Figura 5.12 - Formas de ondas de corrente e tensão referentes às fases B e A respectivamente, de um banco de capacitores trifásico, chaveados pelo "Smart Switch", na configuração W32AY.

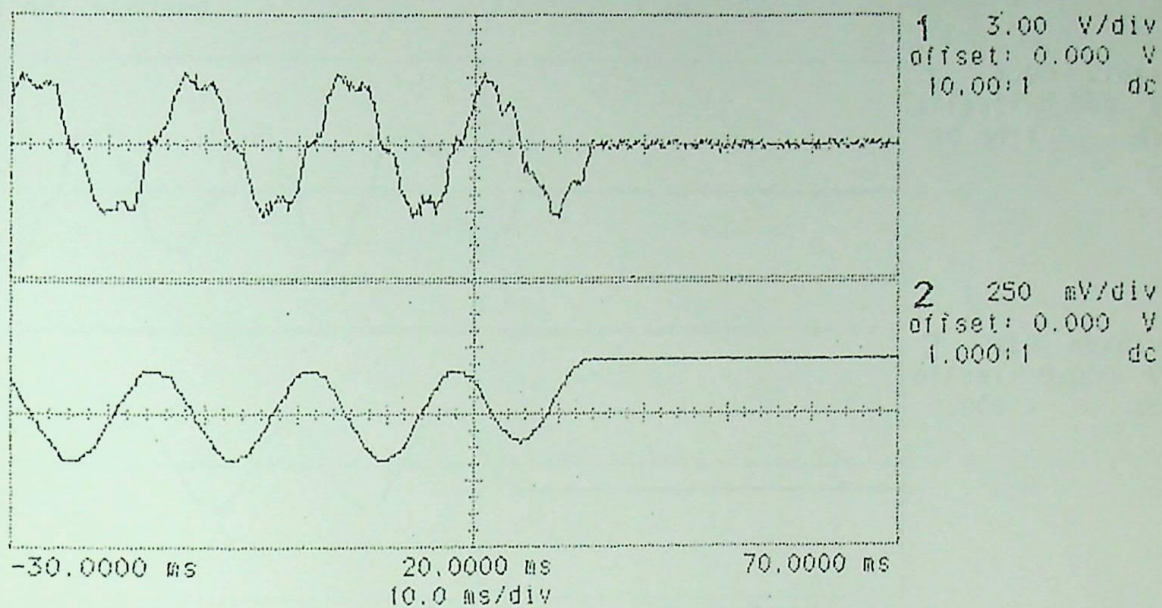
Confrontando os resultados obtidos na prática, figuras 5.11 e 5.12, com aqueles levantados teoricamente, mostrados na figura 3.10 do capítulo III, nota-se que o oscilograma de corrente e tensão obtidos no instante de ligar, são idênticos.

Resta ainda observar outro aspecto nesta configuração, é o referente as tensões remanescentes nos capacitores, quando as chaves são desligadas. O diagrama temporal mostrado na figura 3.10, e os equacionamentos resultantes, feitos no capítulo III, mostram que para a configuração W32YA, a tensão final no banco referente à fase A vale 1,120E, na fase B, 0,816E e finalmente na fase C, 0,299E.

Efetuando-se o desligamento dos bancos de forma aleatória, e, utilizando a metodologia adotada nas medições anteriores, que usava dois osciloscópios digitais, obteve-se os oscilogramas de tensão e corrente, no instante do desligar o “Smart Switch”. Os resultados estão ilustrados nas figuras 5.13A, 5.13B e 5.13C respectivamente.

Na figura 5.13A, o canal **1**, referente a janela a primeira janela, mostra a corrente na fase A, e o canal **2**, referente a segunda janela, refere-se a tensão nos capacitores ligados àquela fase. A figura 5.13B, refere-se a corrente e a tensão presentes na fase B, e de forma análoga, o canal **1**, é a corrente e o canal **2**, a tensão. E por fim a figura 5.13C mostra os parâmetros da fase C, seguindo as mesmas considerações efetuadas.

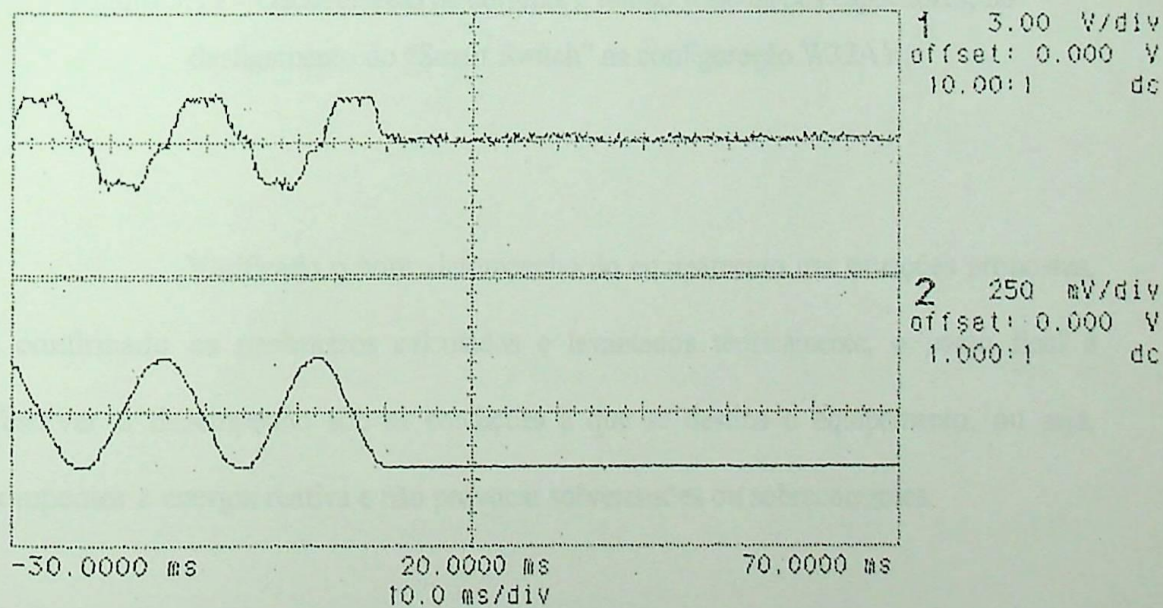
hp stopped



1 ∇ -1.500 V

(A)

hp stopped



1 ∇ -1.500 V

(B)

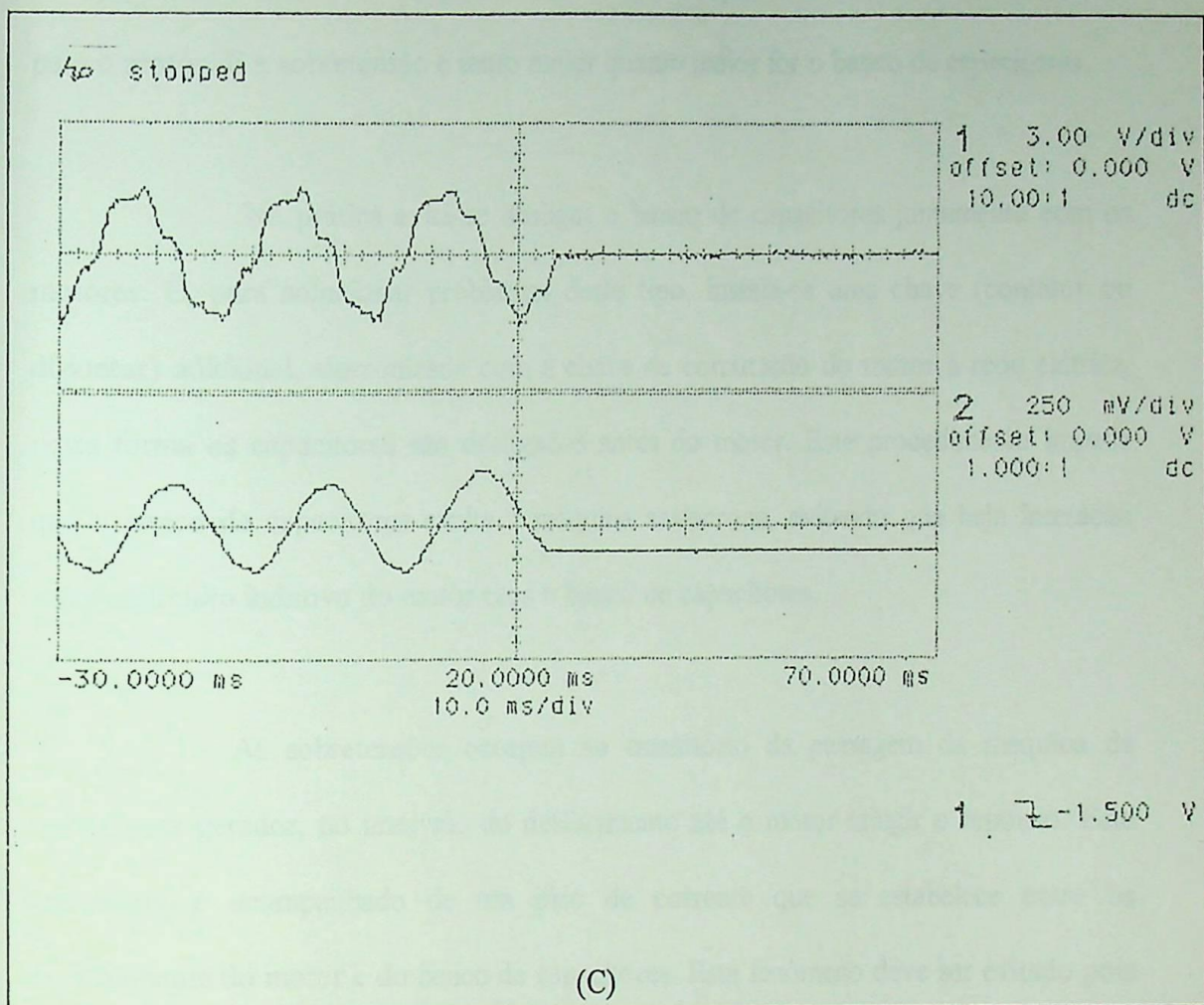


Figura 5.13 - Oscilogramas de corrente e tensão residual nos capacitores, no desligamento do “Smart Switch” na configuração W32AY.

Verificado o bom desempenho do equipamento nas situações propostas, e confirmado os parâmetros calculados e levantados teoricamente, o passo final é observar o desempenho sob as condições a que se destina o equipamento, ou seja, compensar a energia reativa e não provocar sobretensões ou sobrecorrentes.

A situação proposta é a de observar-se a eficiência do protótipo na eliminação de sobretensões ocorridas em motores assíncronos, quando eles são desligados na presença de bancos de capacitores, ligados em paralelo. Cabe ressaltar que

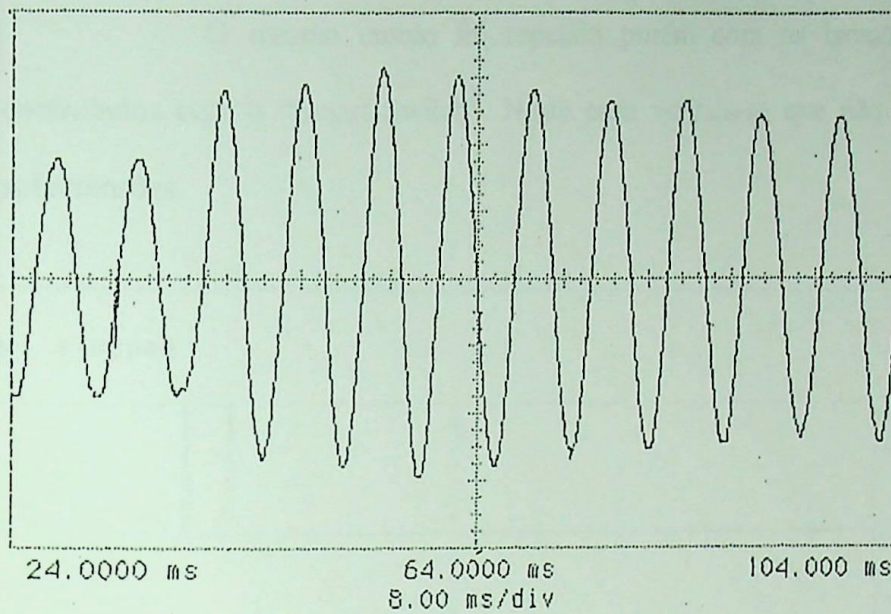
situações como esta ocorrem quando os bancos de capacitores são sobredimensionados para o motor. E a sobretensão é tanto maior quanto maior for o banco de capacitores.

Na prática evita-se desligar o banco de capacitores juntamente com os motores. E, para solucionar problemas deste tipo, instala-se uma chave (contator ou disjuntor) adicional, sincronizada com a chave de comutação do motor à rede elétrica, desta forma os capacitores são desligados antes do motor. Este procedimento impede que o banco de capacitores excite a máquina assíncrona, evitando que haja interação entre o circuito indutivo do motor com o banco de capacitores.

As sobretensões ocorrem no transitório da passagem da máquina de motor para gerador, no intervalo do desligamento até o motor atingir o repouso. Este transitório é acompanhado de um pico de corrente que se estabelece entre os enrolamentos do motor e do banco de capacitores. Este fenômeno deve ser evitado pois as constantes elevações de tensão, resultam na deterioração dos materiais isolantes, provocando a diminuição da vida útil da máquina. As figuras 5.14 A e B, retratam um caso típico de sobretensão causada por um banco de capacitores de 3 [KVAR] sobre um motor assíncrono de 2,24 [KW], e tensão do sistema de 220 [V].

Pode se observar na tela dos osciloscópios o instante em que o motor de indução trifásico é desligado juntamente com o banco de capacitores. A figura 5.14A, mostra a situação da tensão nos enrolamentos do motor, que no instante do desligamento sofre um acréscimo no seu módulo da ordem de 70%. A figura 5.14B, mostra o oscilograma de corrente, o pico de corrente ou impulso de corrente, ocorre devido a indutância do motor.

hp awaiting trigger



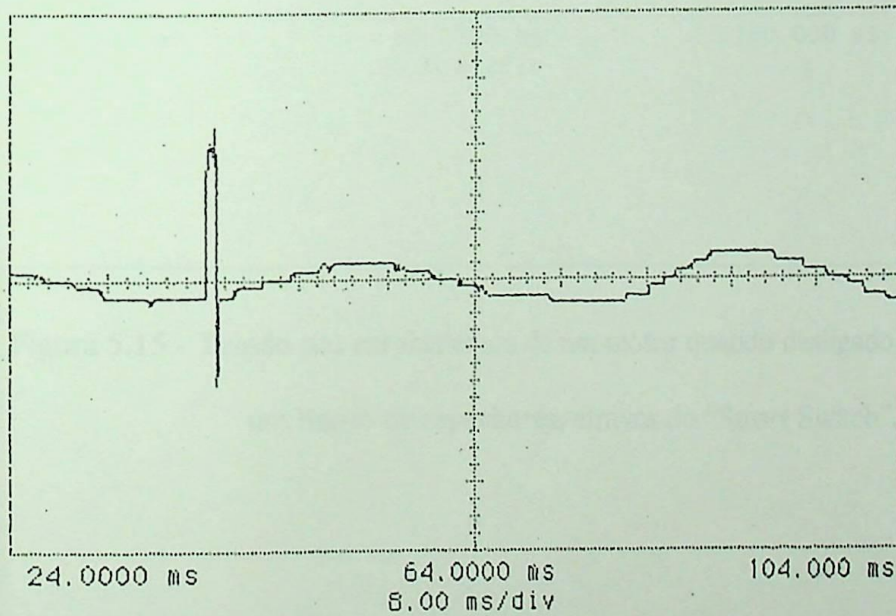
1 1.00 V/div
offset: 0.000 V
1.000:1 dc
m1 100 mV/div

acVrms(1) not found

1 f 50.00 mV

(A)

hp awaiting trigger



1 1.00 V/div
offset: 0.000 V
1.000:1 dc
m2 2.00 V/div

acVrms(1) not found

1 f 50.00 mV

(B)

Figura 5.14 - Sobretensão ocorrida nos enrolamentos de um motor de indução, durante o desligamento em conjunto com um banco de capacitores.

O mesmo ensaio foi repetido porém com os bancos de capacitores controlados com o "Smart Switch". Neste caso verifica-se que não há ocorrência de sobretensões.

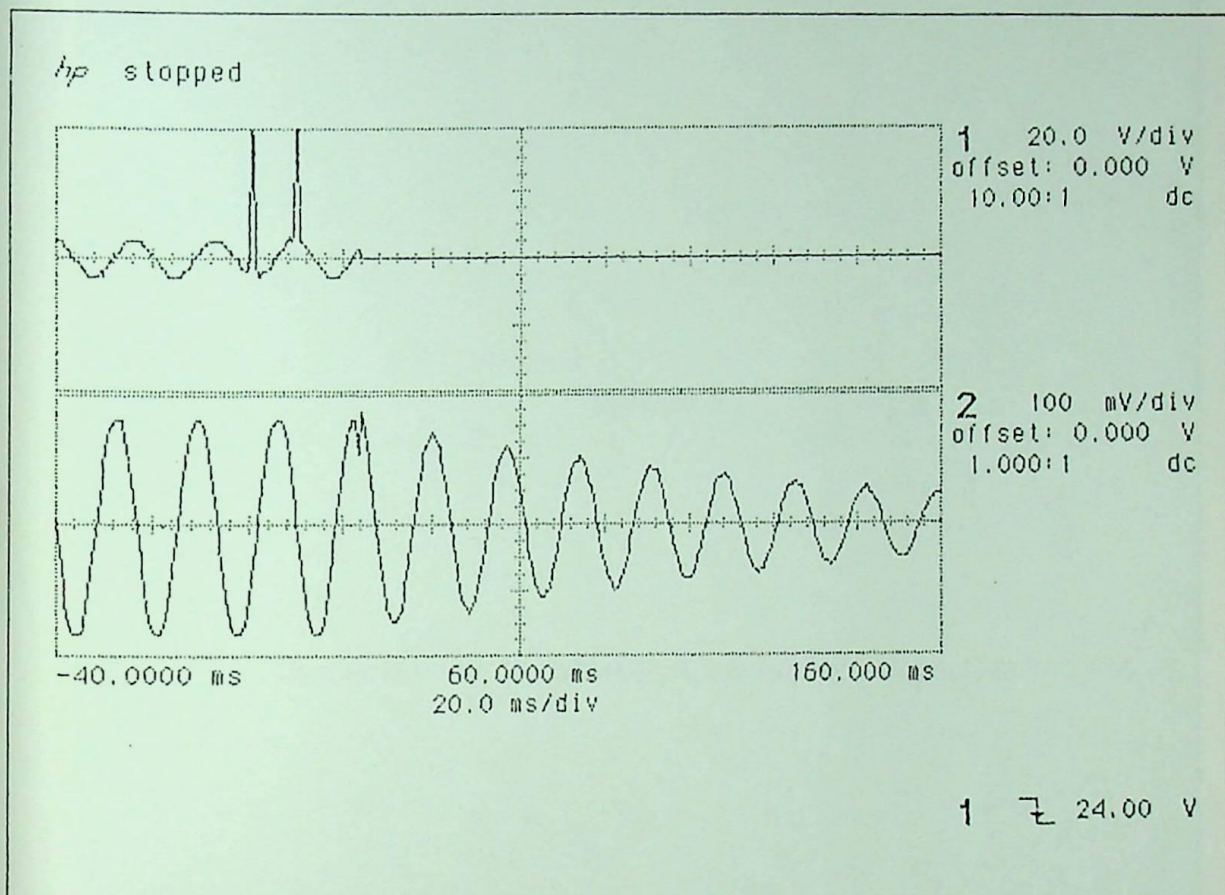


Figura 5.15 - Tensão nos enrolamentos de um motor quando desligado em conjunto com um Banco de capacitores, através do "Smart Switch".

Capítulo VI

Discussão dos Resultados, Conclusões e Sugestões

6.1 - Discussão dos Resultados

O equacionamento do circuito de chaveamento de capacitores, mostrado no capítulo II, através da figura 2.1, e da equação (2.1), mostra que o chaveamento do banco de capacitores com tensão igual a zero, não apresenta altos picos de corrente. Através dos resultados de simulações, mostrados nas figuras 2.3 e 2.4, fica evidente o resultado do equacionamento proposto. O circuito eletrônico, denominado de “Smart Switch”, foi desenvolvido para atender a condição de chaveamento de banco de capacitores, de tal forma que não haja correntes de “inrush” e nem sobretensões nos sistemas elétricos de potência. No capítulo V, os resultados apresentados, comprovam que o equipamento desenvolvido realiza estas ações de forma eficaz. Neste capítulo se efetuará a discussão dos resultados obtidos.

6.1.1 - Comprovação do Equacionamento

No capítulo II deste trabalho de dissertação, os estudos teóricos comprovaram que, chaveamento de bancos de capacitores resulta em sobretensões e sobrecorrentes, sempre que ocorre a entrada dos bancos. Naquela oportunidade, os equacionamentos e as simulações realizadas, comprovaram o fato. Mas também



mostravam que, se o chaveamento ocorresse quando a tensão fosse igual a zero, os transitórios não ocorriam.

Os resultados experimentais mostrados no capítulo V, comprovam os equacionamentos e o excelente desempenho do equipamento desenvolvido. Os oscilogramas de corrente, obtidos durante os ensaios e, ilustrados nas figura 5.3, e 5.4, mostram que o chaveamento é executado sem a presença de transitórios. E, ainda mais importante a observar, naqueles oscilogramas, é que os chaveamentos podem ocorrer a qualquer instante, não importando a carga do banco de capacitores.

6.1.2 - Comprovação das Formas de Ondas

Outro aspecto a ser discutido, é o referente às configurações usuais mostradas, discutidas e equacionadas no capítulo III. considerando principalmente as formas de ondas de corrente e tensão, apresentadas teoricamente e ainda os valores de tensão residual nos capacitores.

Confrontando-se a figura 3.10 do capítulo III, com os resultados práticos mostrados pelas figuras 5.9 A, B e C, verifica-se que os valores da tensão residual nos capacitores estão de acordo com os resultados calculados, ou seja 1,120E, 0,816E e 0,299E. E ainda com referência a estas figuras também comprova-se as formas de ondas de tensão nos capacitores de cada uma das fases, quando ocorre o desligar das chaves eletrônicas.

As formas de ondas de corrente podem ser comprovadas através das figuras 5.7 A, 5.7B, 5.8A e 5.8B, comparadas com as traçadas teoricamente no capítulo III, figura 3.10. O resultado revela que as polaridades e defasagens no instante da ação de ligar estão de acordo, mais uma vez comprovando que ambos os resultados estão de acordo.

6.1.3 - Comprovação do Chaveamento Ideal

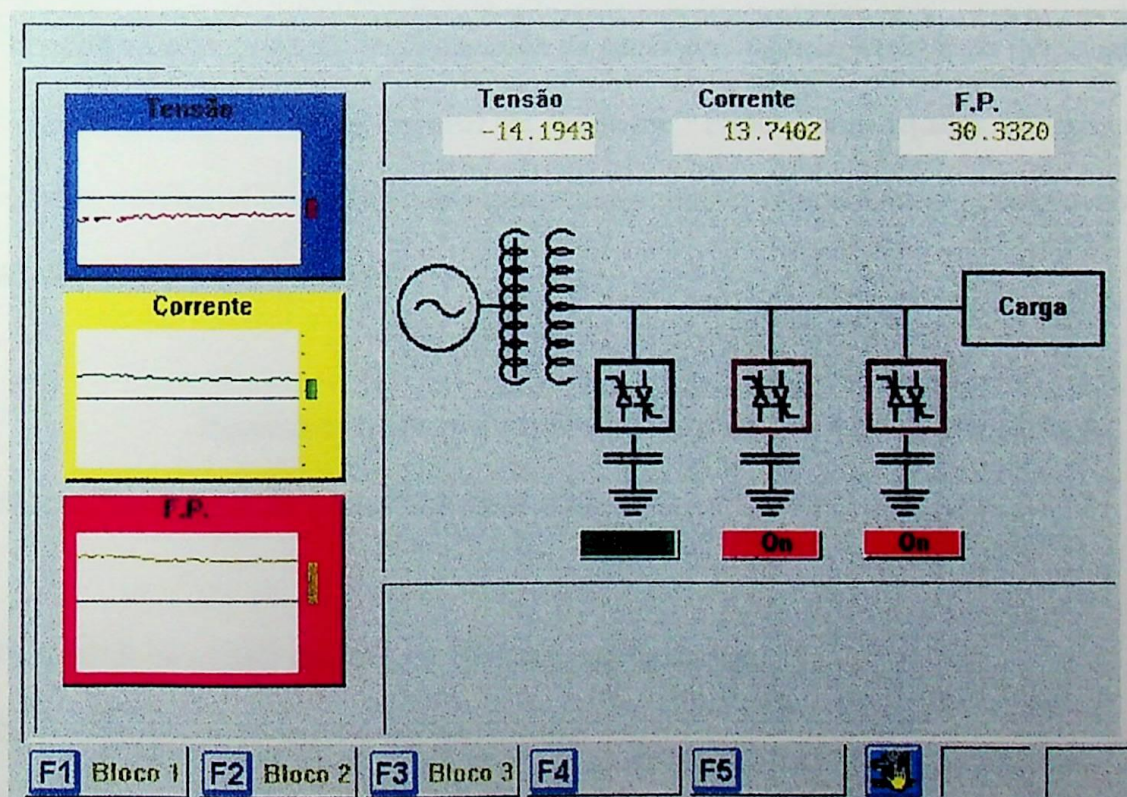
Sabe-se que no circuito com capacitores, um dos casos de sobretensões ocorrem quando os capacitores são chaveados com carga e a tensão do sistema está em contraposição à carga dos capacitores^[11]. Para os circuitos que utilizem o “Smart switch” esta condição não ocorrerá. Esta afirmativa é justificada baseada no seu princípio de funcionamento e ainda, nos resultados experimentais obtidos nos oscilogramas das figuras do capítulo V.

Outro caso de sobretensão envolvendo banco de capacitores, é quando os capacitores são desligados juntamente com um motor de indução. Este caso foi ensaiado e discutido também no capítulo V. O oscilograma de tensão mostrado na figura 5.10A, comprova que a sobretensão ocorre. Por outro lado o oscilograma da figura 5.11, mais uma vez comprova que se o banco de capacitores, controlados pelo “Smart switch”, for desligado juntamente com o motor, não ocorre sobretensões.

Quanto a ausência de sobrecorrentes, todos os oscilogramas mostrados nas figuras do capítulo V, ilustram que não existe transitórios de correntes em bancos chaveados pelo “Smart switch”.

6.1.4 - Desempenho do Programa

A figura 6.1 mostra a tela do programa Elipse desenvolvido para o controle do processo.



ELIPSE Software - Elipse 21 3.00

Figura 6.1 - Tela do programa desenvolvido para o controle do “Smart switch”.

Conforme já discutido anteriormente desenvolveu-se um programa para controle do processo, o serviu de base para o programa Elipse utilizado. Observou-se que o programa apresentou desempenho satisfatório, dentro da premissa básica de apenas controlar as chaves. Conforme discutido no capítulo IV não houve necessidade de maiores sofisticções nesta parte do equipamento, e no programa utilizado, uma vez que o objetivo principal do trabalho era o desenvolvimento da chave eletrônica.

6.2 - Conclusões

Os resultados obtidos nos ensaios comprovam a o excelente desempenho do equipamento proposto. Confrontando os resultados teóricos obtidos na modelagem matemática, nas simulações através do “software” PSpice, com aqueles obtidos nos ensaios, verifica-se basicamente que apresentam o mesmo comportamento, comprovando as afirmações feitas teoricamente.

Ressalte-se ainda que o equipamento além de efetuar a compensação de reativo, pode ainda ter outras finalidades como:

- 1- Auxiliar na partida de motores assíncronos monofásicos;
- 2 - Compensador de tensões desbalanceadas;
- 3 - Compensador de tensões em sistemas que não existam cargas especiais;
- 4 - Compensador de energia reativa em sistemas que utilizem reatores de núcleo saturado como compensador de tensão.

Além de tudo o sistema proposto oferece as vantagens de automação do sistema de compensação de reativos, ser dotado de uma certa inteligência, gerar relatórios, operar sem problemas em sistemas elétricos industriais poluídos de componentes harmônicos e ainda informar em tempo real as condições do sistema a todo o instante.

6.3 - Sugestões

Como sugestões para trabalhos futuros, propõe-se:

- 1 - Montagem das chaves para todas as configurações restantes e, levantamento das curvas de corrente e tensão;
- 2 - Desenvolvimento de uma malha de controle utilizando a lógica "Fuzzy"[8];
- 3 - Verificação do desempenho do equipamento para outras finalidades;
- 4 - Análise do comportamento do equipamento em sistemas elétricos poluídos com componentes harmônicos, porém utilizando uma malha de controle adequada para este fim;
- 5 - Avaliação do comportamento do equipamento em presença de cargas especiais;
- 6 - Desenvolvimento do equipamento para média tensão, ou seja classe de 15 KV.

Referências Bibliográficas

- [1] OLIVIER, G., MOUGHARBEL, I., DOBSON-MACK, G. Minimal Transient Switching of Capacitors. IEEE Transactions on Power Electronics Systems. Dec. 1993.
- [2] BRASIL. Departamento Nacional de Águas e Energia Elétrica DNAEE. Portaria N° 1569, de 23 de Dezembro de 1993.
- [3] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, "IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems". IEEE Std 519 - 1992 (Revision of IEEE Std 519-1981).
- [4] SIQUEIRA, J. C. G. Decomposição de Sinais em Funções Senoidais. Itajubá: Escola Federal de Engenharia de Itajubá, 1991. (Notas de aula).
- [5] GUIMARÃES, A. C., ARANGO, H., COGO, J. R. Compendores Estáticos. Itajubá: Escola Federal de Engenharia de Itajubá, 1989. (Apostila).
- [6] SILVA, L. E. B., REIS, L. O. M., SILVA, V. F. et al. Controle de Banco de Capacitores para Compensação de Reativo: Uma Nova Proposta. In: SNPTEE SEMINÁRIO NACIONAL DE PRODUÇÃO E TRANSMISSÃO DE ENERGIA ELÉTRICA, 12^o, 1995, Florianópolis. Informe técnico, 1995, GAT 13.

- [7] REIS, L. O. M., SILVA, L. E. B., SILVA, V. F. et al. "Switching Capacitor Banks Without Inrush Current". In: CONGRESSO BRASILEIRO DE ELETRÔNICA DE POTÊNCIA, 1995, São Paulo, Anais, 1995, p.
- [8] SILVA, L. E. B., TORRES, G. L., REIS, L. O. M., SILVA, V. F. "Improving Neural Networks Training Using Fuzzy Decision Making as Hints: An Application in Industrial Electrical Systems". In: "SIXTH INTERNATIONAL FUZZY SYSTEMS ASSOCIATION WORLD CONGRESS, 1995, São Paulo, Anais, 1995, p.365, v1.
- [9] AN AMERICAN NATIONAL STANDARD, "IEEE Guide for Protection of Shunt Capacitors Banks.". ANSI/IEEE C37.99 - 1980.
- [10] NAKASHIMA, K., SILVA, L. E. B. Treinamento em Eletrônica - Módulo 1. Itajubá: Fundação de Pesquisa e Assessoramento à Indústria/Escola Federal de Engenharia de Itajubá, 1993. (Apostila).
- [11] COGO, J. R. Sobretensões em Sistemas Elétricos. Itajubá: Fundação de Pesquisa e Assessoramento à Indústria/Escola Federal de Engenharia de Itajubá, 1993. (Apostila).
- [12] THE INSIDE STORY - The EX-7L Power Capacitor., Canonsburg: McGraw-Edison - Power Systems Division. 1972 - Suplemento.

- [13] FILHO, J. M., Manual de Equipamentos Elétricos; 2^a. ed. Rio de Janeiro: LTC- Livros Técnicos e Científicos, 1994. 456p, v. 2.
- [14] TAKASAKI, Y., SATO, M., UCHIDA, K. New type Automatic Power Factor Regulator, In: FUJI ELECTRIC REVIEW. Tokio: Fuji Electric, v. 40, N^o 3. Mar. 95.
- [15] GIRGIS, A. A. et al. Harmonics and Transient Overvoltages Due to Capacitor Switching. IEEE Transactions on Industry Applications. v. 29, N^o 6. Nov/Dec. 1993.
- [16] CATÁLOGO S DE CAPACITORES DA MERLIN GERIN, LV distribution, application guide.
- [17] CATÁLOGOS DE SEMICONDUTORES AEGIS. São Paulo, 1995.
- [18] MANUAL DE OPERAÇÕES DA PLACA DE AQUISIÇÃO DE DADOS ADVANTECH PC - Labcard, Taiwan, feb, 1993.
- [19] MANUAL DE OPERAÇÃO DO ELIPSE 21 VERSÃO 3.0, São Paulo, Jun, 1993.
- [20] RCA CMOS/MOS INTEGRATED CIRCUITS, USA, set, 1980.

