TESE
888

ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ

DISSERTAÇÃO DE MESTRADO

Desenvolvimento de um Circuito DPLL com Detetor de Fase do Tipo Pré-Carga na Tecnologia CMOS 0,7μm da ES2 para Operar em 622MHz

Autor: Leonardo Mesquita

Orientador: Prof. Tales Cleber Pimenta, PhD.

Co-Orientador: Prof. Paulo Cesar Crepaldi, MsC.

Itajubá, 12 de Dezembro de 1996.

CLASS. 621.3.049.77(043.2)
CUTTER. M578d
TOMBO. 888

ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ

DISSERTAÇÃO DE MESTRADO

Desenvolvimento de um Circuito DPLL com Detetor de Fase do Tipo Pré-Carga na Tecnologia CMOS 0,7μm da ES2 para Operar em 622MHz

Biblioteca
M. Á
B. M.
de Itajubá - EF

Autor : Leonardo Mesquita

Orientador : Prof.Tales Cleber Pimenta, PhD.

Co-Orientador : Prof. Paulo Cesar Crepaldi, MsC.

Dissertação apresentada à Escola Federal de Engenharia de Itajubá para obtenção do título de Mestre em Engenharia Elétrica.

Itajubá, 12 de Dezembro de 1996.

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca
MAUÁ
BIM

Dedicatória

Aos meus pais, Leobaldo e Diumi,

a minha esposa, Silvia

e a minha filha, Rebeca

AGRADECIMENTOS

Nesta oportunidade ímpar, que registra um marco em nosso desenvolvimento profissional, apraz-nos agradecer **ao Prof. Tales Cleber Pimenta** que, desde o nosso primeiro contato, premiou-nos com sua confiança, capacidade, apoio irrestrito e principalmente, com sua amizade. A nossa mais sincera e justa consideração por viabilizar este trabalho.

Agradeço também aos amigos **Eng. Robson Luiz Moreno e Eng. Adriano Marques Pereira, Prof. Paulo Cesar Crepaldi** pelo apoio e incentivo recebidos durante a execução deste trabalho, e a **FAPESP** sem a qual não se conseguiria fazer a difusão do circuito integrado implementado.

Lista de Figuras

Figura 1.1 - Modelo Simplificado do Sistema de Comunicação Síncrono 02

Figura 1.2 - Circuito PLL Utilizado para Recuperação de Relógio 03

Figura 1.3 - Esquema do Circuito DEMUX 04

Figura 1.4 - "Timing" no Circuito MUX/DEMUX 05

Figura 2.1 - Modelo Básico de um Dispositivo PLL 07

Figura 2.2 - Diagrama de Blocos do Circuito PLL 08

Figura 2.3 - Diagrama de Blocos do PLL no Domínio da Freqüência 09

Figura 2.4 - (a) Detetor de Fase Tipo OU-Exclusivo; (b) Geração do Sinal de Erro pelo Detetor OU-Exclusivo 11

Figura 2.5 - Curva Característica do Detetor de Fase OU-Exclusivo 12

Figura 2.6 - Configuração do Detetor de Fase do Tipo Flip Flop JK 12

Figura 2.7 - (a) Formas de Saída do Detetor para vários Erros de Fase; (b) Curva Característica do Detetor de Fase Tipo Flip Flop JK 13

Figura 2.8 - Representação do Circuito PFD e Circuito "Charge Pump" 14

Figura 2.9 - Geração do Sinal UP pelo PFD 15

Figura 2.10 - Curva Característica do VCO 17

Figura 2.11 - Filtro Tipo "Lag" (Proporcional mais Integral) 19

Figura 2.12 - Tensão de Controle Formada pelo Filtro "Lag" Durante um Ciclo do Sinal de Entrada 19

Figura 2.13 - Filtro Tipo "Lag" com Capacitor em Paralelo 20

Figura 2.14 - Diagrama de Bode - Comparação entre os Sistemas Apresentados 21

Figura 2.15 - Diagrama de Bode de um Sistema de 3ª Ordem 24

Figura 2.16 - Localização de Pólos no Plano "S" 24

Figura 3.1 - Circuito DPLL Proposto para Recuperação de Relógio 25

Figura 3.2 - Representação do Circuito PFD e Circuito "Charge Pump" 26

Figura 3.3 - Formação do Pulso de Reset pelo Circuito PFD Convencional 27

Figura 3.4 - Configuração Completa do Circuito PFD do Tipo Pré-Carga 27

Figura 3.5 - Geração do Pulso UP pelo Circuito PFD Tipo Pré-Carga 28

Figura 3.6 - Circuito para a Técnica do Escalonamento 30

Figura 3.7 - Circuitos para a Técnica de Reposicionamento de Transistores 30

Figura 3.8 - Geração do Sinal UP pelo Circuito PFD 34
Figura 3.9 - Esquemático Final do Circuito PFD do Tipo Pré-Carga 34
Figura 3.10 - Configuração do Circuito "Charge Pump" 35
Figura 3.11 - Espelho de Corrente Básico Tipo nMOS 36
Figura 3.12 - Simulação do Circuito "Charge-Pump" 41
Figura 3.13 - Esquemático Final do Circuito "Charge-Pump" 41
Figura 3.14 - Diagrama em Blocos do Circuito VCO 42
Figura 3.15 - Esquemático do Circuito de Referência do VCO 43
Figura 3.16 - Esquemático Final do Circuito de Referência do VCO 48
Figura 3.17 - Curva Característica do Circuito de Referência do VCO 48
Figura 3.18 - Tensões de Controle para o VCO Geradas pelo Circuito de Referência 49
Figura 3.19 - Oscilador Controlado por Tensão 50
Figura 3.20 - Esquemático do Circuito Espelho de Corrente EC_1 e EC_2 51
Figura 3.21 - Esquemático Final do Circuito VCO 56
Figura 3.22 - Curva Característica do VCO 57
Figura 3.23 - Configuração do Filtro Utilizado no Circuito DPLL 57
Figura 3.24 - Diagrama de Bode de um Sistema de 3ª Ordem 59
Figura 3.25 - Configuração do Filtro Projetado do Circuito DPLL 61
Figura 3.26 - Resistor Formado por Transistores 62
Figura 3.27 - Capacitor Utilizando Porta do Transistor MOS 64
Figura 3.28 - Esquemático Final do Circuito Filtro do DPLL 65
Figura 4.1 - "Layout" do Circuito Detetor de Fase/Freqüência 67
Figura 4.2 - Formação do Pulso UP pelo Circuito PFD 68
Figura 4.3 - "Layout" do Circuito "Charge Pump" 69
Figura 4.4 - Sinal de Saída do Circuito "Charge Pump" 69
Figura 4.5 - "Layout" do Circuito de Referência do VCO 70
Figura 4.6 - Tensões de Controle Produzidas pelo Circuito de Referência do VCO 71
Figura 4.7 - "Layout" do Circuito VCO 72
Figura 4.8 - Curva Característica do VCO 72
Figura 4.9 - "Layout" do Circuito DPLL 73

Figura 4.10 - Simulação do Circuito DPLL 74
Figura 4.11 - Diagrama de Bode do DPLL Projetado 76
Figura 5.1 - Simulação do Circuito PFD para Sinais de Entrada de 1GHz 78

Lista de Tabelas

Tabela 2.1 - Estados de Saída do Detetor de Fase/Freqüência 14

Tabela 3.1 - Variação da MF em Função de b 60

Tabela 4.1 - Principais Características do DPLL Projetado 76

Lista de Símbolos

PLL - Phase Locked Loop

DCO - Oscilador Digital

VCO - Oscilador Controlado por Tensão

e(t) - Sinal de Erro Produzido pelo Circuito Detetor de Fase

Vc(t) - Tensão de Controle do Oscilador

$\theta_i(t)$ - Fase do Sinal de Referência

$\theta_0(t)$ - Fase do Sinal Produzido pelo VCO

Vd(t) - Tensão de Saída do Circuito Detetor de Fase

Kd - Ganho do Circuito Detetor de Fase

K_0 - Ganho do Circuito Oscilador Controlado por Tensão

$\Delta\omega$ - Desvio de Freqüência do Oscilador

$G_0(s)$ - Função de Transferência de Malha Aberta do PLL

Ip - Corrente de Saída do Circuito "Charge Pump"

t_p - Duração do Erro de Fase Produzido pelo Detetor de Fase

$Z_f(s)$ - Impedância do Circuito Filtro de Malha

F(s) - Função de Transferência do Filtro de Malha

RR - Fator de Redução de Ripple do PLL

τ - Constante de Tempo do Filtro de Malha

ω_c - Freqüência de Corte do PLL

MF - Margem de Fase do PLL

PFD - Detetor de Fase/Freqüência

ΔR - Largura do Pulso Reset Formado pelo Circuito PFD - Convencional

f_{max} - Máxima Freqüência de Operação do Circuito PFD - Convencional

V_{gs} - Tensão Fonte/Porta do Transistor MOS

V_{ds} - Tensão Fonte/Dreno do Transistor MOS

μ_p - Mobilidade das Lacunas do Transistor pMOS

μ_n - Mobilidade dos Elétrons do Transistor nMOS

K_p - Parâmetro de Transcondutância do Transistor pMOS

K_n - Parâmetro de Transcondutância do Transistor nMOS

ÍNDICE

RESUMO

CAPÍTULO 1 - Introdução

1.1 Sistema de Comunicação Síncrono 02

1.2 Caracterização do Problema 03

1.3 Histórico e Tipos de PLLs 05

CAPÍTULO 2 - Fundamentos do Circuito PLL

2.1 Funções de Transferências do Circuito PLL 07

2.2 Blocos Constituintes do DPLL 10

2.2.1 Circuito Detetor de Fase/Freqüência 10

2.2.1.1 Detetor de Fase Tipo OU-Exclusivo 11

2.2.1.2 Detetor de Fase Tipo Flip Flop JK 12

2.2.1.3 Detetor de Fase/Freqüência (PFD) 14

2.2.2 Circuito Oscilador Controlado por Tensão (VCO) 17

2.2.3 Filtro de Malha 18

2.2.3.1 Filtro Tipo "Lag" Passivo 18

2.2.3.2 Filtro Tipo "Lag" Passivo com Capacitor em Paralelo 20

2.3 Estabilidade 22

CAPÍTULO 3 - Implementação do Circuito DPLL

3.1 Circuito Detetor de Fase/Freqüência 25

3.2 Circuito Oscilador Controlado por Tensão 42

3.3 Circuito Filtro de Malha do DPLL 57

CAPÍTULO 4 - Análise e Simulação do Circuito DPLL

4.1 Análise do Circuito Detetor de Fase/Freqüência 66

4.2 Análise do Circuito "Charge Pump" 68

4.3 Análise do Circuito Oscilador Controlado por Tensão 70
4.3.1 Análise do Circuito de Referência do VCO 70
4.3.2 Análise do VCO 71
4.4 Análise do Circuito DPLL 73
4.5 Estudo de Estabilidade do DPLL 75

CAPÍTULO 5 - Conclusão

Conclusão 78

Anexos

Anexo A - Descrição SPICE do Circuito Extraído do DPLL 80
Anexo B - Cópia do Artigo Apresentado em Congresso 92

Referências Bibliográficas 99

Escola Central de Engenharia de Itajubá - EFEI
Biblioteca MAUÁ BIM

RESUMO

Neste trabalho será apresentado o desenvolvimento de um circuito DPLL - "Digital Phase Locked Loop" que pode ser utilizado em sistema de sincronismo de relógio na freqüência de 622MHz. O circuito DPLL foi implementado utilizando-se tecnologia 0,7μm CMOS da ES2.

O trabalho está organizado da seguinte forma. No Capítulo 1 é apresentado uma introdução à sistema de comunicação síncrona e a necessidade de se fazer o sincronismo entre transmissor e receptor neste sistema. No Capítulo 2 são apresentados os blocos funcionais que constituem o circuito DPLL. O Capítulo 3 apresenta o projeto do circuito DPLL sendo fornecidas simulações dos blocos constituintes sem considerar, inicialmente, as capacitâncias parasitas de cada bloco. No Capítulo 4 são apresentados resultados de simulações HSPICE e o "layout" final de todos os blocos constituintes do DPLL, bem como do circuito DPLL completo. As simulações apresentadas no Capítulo 4 já consideram as capacitâncias parasitas existentes nos blocos desenvolvidos do DPLL. O capítulo 5 apresenta as conclusões do trabalho desenvolvido.

Além dos capítulos mencionados, foram incluídos dois anexos neste trabalho. O primeiro, Anexo A, inclui a descrição SPICE do circuito extraído do DPLL obtido com o software extrator do CADENCE. O Anexo B corresponde a cópia de um artigo resultante deste trabalho que foi apresentado no XI Congresso Brasileiro de Microeletrônica, XI SBMICRO, realizado em Águas de Lindóia no período de 29 de Junho a 02 de Agosto de 1996.

Biblioteca MAUÁ BIM de Irajubá - EFEI

Capítulo 1
Introdução

Graças a diversos fatores atuando em conjunto, tem-se hoje nos países desenvolvidos, EUA e Europa, uma verdadeira revolução na área de transmissão de informações. Um dos fatores tecnológicos mais importantes são as fibras ópticas que criam a possibilidade de transmissão de dados a taxas muito elevadas. Como consequência, dezenas de bilhões de dólares tem sido investidos na pesquisa e instalação de infra-estrutura, a qual permite fornecer serviços de multimídia através de redes digitais (ISDN - "Integrated Service Digital Network"), criação de redes de computadores, etc.

As redes de computadores vêm provocando profundas mudanças na ciência da computação, pois atualmente tem-se como certa a inviabilidade do trabalho isolado em um único computador por maior que seja sua capacidade. Em todo mundo, as redes de computadores vão dando uma nova face na forma em que as pesquisas são realizadas, alterando desde como são feitos contatos entre comunidades científicas até como são divulgados novos resultados.

No tocante a multimídia, ainda hoje as companhias interessadas, companhias telefônicas, de TV a cabo, produtores de programas, etc, não estão seguras de quais serviços serão viáveis técnica/economicamente; todavia, estão cientes dos riscos que ocorrem caso não acompanhem esta nova onda.

Se no exterior (países desenvolvidos) o processo ainda está se configurando, no Brasil existe muito menos atividade, tanto em nível de pesquisas quanto ao de investimento. Obviamente, a importância desta área deverá se acentuar também aqui. A telefonia deve ser um dos primeiros setores a se aproveitar das redes óticas (observando que TVs a cabo apenas estão começando, enquanto as mesmas já estão consagradas no exterior).

O projeto apresentado neste trabalho tem como proposta uma pesquisa na área de projeto de circuitos integrados, abordando temas de ponta, com aplicações em transmissão de sinais de altíssima velocidade. Deseja-se, desta forma, conjugar pesquisa avançada em microeletrônica, importante por si só, com circuitos para aplicação industrial, senão imediata, em futuro breve.

1.1 Sistema de Comunicação Síncrono

O sistema de comunicação síncrono [1] é constituído por três blocos distintos: o circuito transmissor, o canal de comunicação e o circuito receptor, como pode ser observado da Figura 1.1. Cada um dos blocos possue uma função específica no sistema de comunicação.

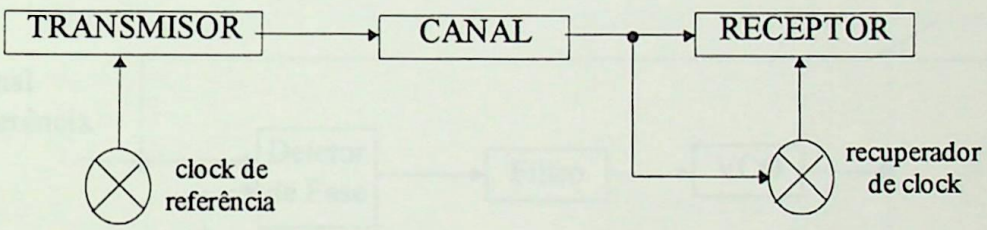


Figura 1.1 - Modelo Simplificado do Sistema de Comunicação Síncrono.

O circuito transmissor tem como função principal converter a mensagem a ser transmitida (voz, dados, imagem de TV, etc) em um sinal elétrico que possa ser entendido pelos circuitos que compõem o sistema de comunicação.

O canal de comunicação é o meio utilizado para se fazer o elo de comunicação entre dois pontos quaisquer.

O circuito receptor apresenta como principal característica a função de reprocessar o sinal transmitido, ou seja, no receptor o sinal elétrico deve ser reconvertido para mensagem.

Em sistemas de comunicações síncronos, para recuperar a mensagem transmitida, o receptor deve ser capaz de recuperar a informação de relógio utilizada pelo transmissor durante a transmissão dos dados. Isto é necessário, pois o circuito receptor deve amostrar o sinal transmitido em instantes apropriados e processar corretamente estas amostras. Logo, para ser capaz de fazer as decisões corretas, o receptor necessita fazer uma cópia perfeita do sinal de relógio utilizado pelo circuito transmissor durante a transmissão dos dados. O circuito utilizado para se fazer a recuperação do relógio no receptor é chamado de circuito recuperador de sincronismo.

Atualmente, o circuito mais utilizado para realizar a tarefa de sincronismo de relógio em sistema de comunicação é o circuito "Phase Locked Loop - PLL" [2,3]. A Figura 1.2 apresenta um circuito PLL sendo utilizado para se fazer o sincronismo de relógio no receptor de um sistema de comunicação.

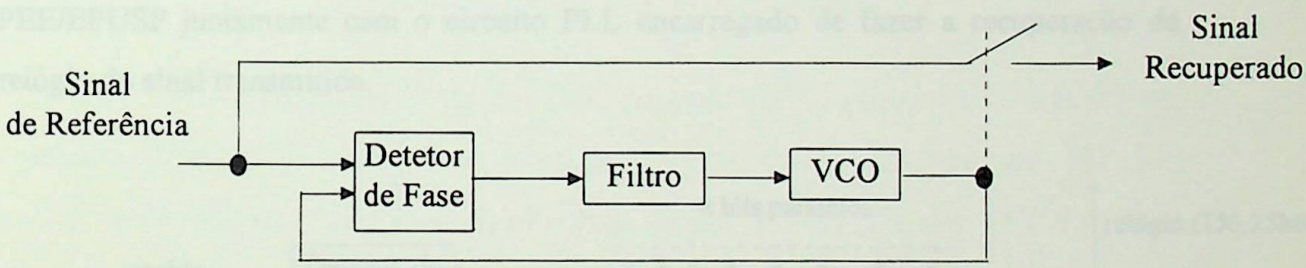


Figura 1.2 - Circuito PLL Utilizado para Recuperação de Relógio.

O circuito PLL é um servomecanismo que compara a fase e/ou freqüência de um sinal de referência com a fase e/ou freqüência de um sinal gerado localmente pelo próprio circuito PLL. Quando o sinal de referência possue a mesma fase/freqüência do sinal produzido pelo VCO do PLL o sistema é dito estar em sincronismo, e o sinal produzido pelo VCO é utilizado como um sinal de sincronismo para o receptor.

1.2 Caracterização do Problema

Este trabalho é resultado do projeto PROTEM.CC - Projeto Temático - Ciência da Computação do CNPq para "Implementação de Circuitos CMOS para

Aplicação em Sistemas SDH ("Synchronous Optical Network")/SONET ("Synchronous Digital Hierarchy") [4] com Taxas de Gbps" que foi desenvolvido pela EFEI - Escola Federal de Engenharia de Itajubá. As instituições envolvidas no projeto PROTEM.CC foram o Laboratório de Sistemas Integráveis -PEE/EPUSP vinculado a Universidade de São Paulo, a Escola Federal de Engenharia de Itajubá - EFEI e a Escola de Engenharia de Mauá do Instituto Mauá de tecnologia.

O PEE/EPUSP foi encarregado de desenvolver um circuito multiplexador e demultiplexador (8:1/1:8) operando na taxa de 1,2Gbit/s na hierarquia SDH/SONET. A EFEI foi encarregada de desenvolver um PLL para ser utilizado na recuperação da informação de relógio do sinal transmitido. O sinal de relógio será utilizado para fazer o sincronismo interno do circuito MUX/DEMUX proposto pelo grupo PEE/EPUSP. Para exemplificar melhor a função do circuito PLL desenvolvido observe a Figura 1.3 que representa o circuito DEMUX proposto pelo grupo PEE/EPUSP juntamente com o circuito PLL encarregado de fazer a recuperação de relógio do sinal transmitido.

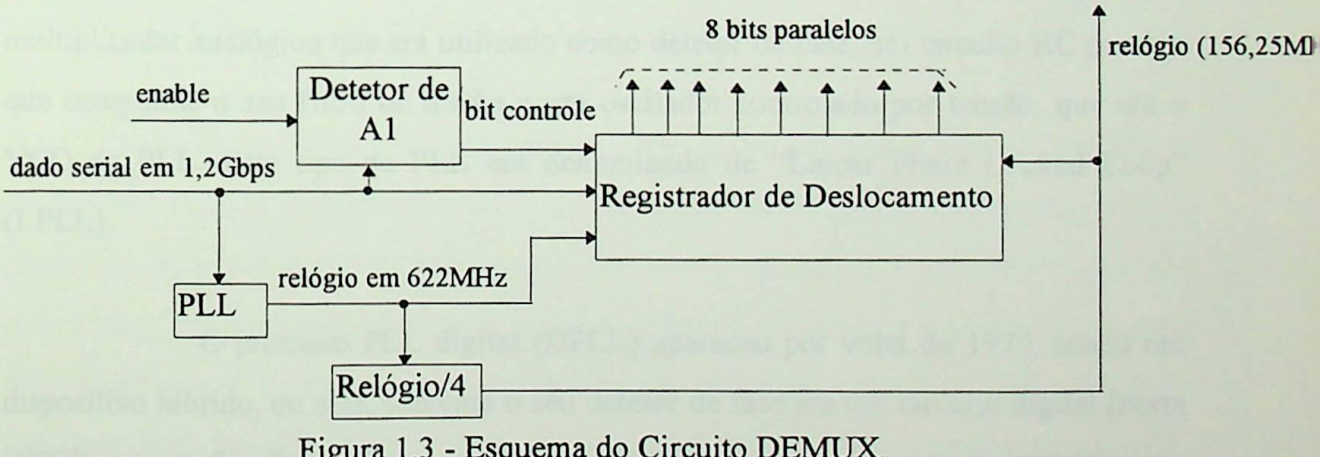


Figura 1.3 - Esquema do Circuito DEMUX.

Como o sistema MUX/DEMUX opera em 1,2Gbit/s. O PLL deve ser capaz de operar em 622MHz [5] para que o mesmo possa sincronizar o sistema MUX/DEMUX. Esta característica é necessária pois deseja-se utilizar as duas bordas do sinal fornecido pelo circuito PLL para fazer o sincronismo dos dados no circuito MUX/DEMUX, esta situação é mostrada na Figura 1.4.

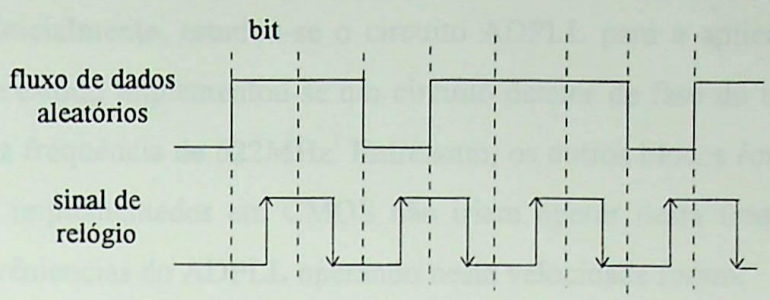


Figura 1.4 - "Timing" no Circuito MUX/DEMUX.

1.3 Histórico e Tipos de PLLs

O primeiro "phase locked loop" (PLL) foi implementado por volta de 1932 por Bellesize [6], sendo este engenheiro considerado o inventor do PLL. O PLL só foi utilizada em processos industriais quando foi implementado na forma de circuito integrado.

O primeiro PLL em circuito integrado surgiu por volta de 1965 e era composto apenas de dispositivos analógicos. Este PLL era composto por um multiplicador analógico que era utilizado como detetor de fase, um circuito RC passivo que compunha o seu filtro de malha e um oscilador controlado por tensão, que era o VCO do PLL. Este tipo de PLL era denominado de "Linear Phase Locked Loop" (LPLL).

O primeiro PLL digital (DPLL) apareceu por volta de 1970, sendo um dispositivo híbrido, ou seja, somente o seu detetor de fase era um circuito digital (porta EXOR ou um flip-flop-JK) e o restante dos blocos funcionais eram constituídos por circuitos analógicos.

Recentemente, na década de 80, foram desenvolvidos dois novos tipos de PLLs : o PLL totalmente digital (ADPLL) e o PLL implementada por software (SPLL). O ADPLL é composto somente por circuitos digitais, ou seja, não contém nenhum dispositivo passivo como resistores e capacitores. O SPLL utiliza um microcontrolador ou um microprocessador para realizar a função do filtro de malha do PLL.

Inicialmente, estudou-se o circuito ADPLL para a aplicação requerida. Com base neste estudo implementou-se um circuito detetor de fase do tipo EXOR que respondia a uma freqüência de 622MHz. Entretanto, os outros blocos funcionais (filtro, DCO) a serem implementados em CMOS não iriam operar nesta freqüência [7]. As principais incovêniencias do ADPLL operando nesta velocidade foram:

- o sincronismo interno do DCO e do filtro digital, que são implementados utilizando-se circuitos contadores, deveria ser feito em uma freqüência muito elevada (cerca de 16 vezes maior que a freqüência central do DCO, cerca de 9,92GHz);

- a necessidade de um cristal externo operando a uma freqüência de trabalho de 9,92GHz.

Por estas razões, optou-se pela implementação de um PLL que não fosse totalmente digital, ou seja, um DPLL. O DPLL de "charge pump" [8,9] foi o dispositivo que mais se adaptou às características do projeto, pois este circuito possue uma grande faixa de sincronismo e os seus blocos podem ser implementados para operar em 622MHz.

No Capítulo 2 é apresentado o circuito DPLL. No Capítulo 3 o projeto do DPLL é apresentado, bem como os resultados de simulação obtidos no simulador HSPICE de todos os blocos funcionais que constituem este circuito. O Capítulo 4 apresenta simulações (considerando-se as capacitâncias parasitas existentes nos blocos projetados) e o "layout" final de todos os blocos funcionais, bem como do DPLL como um todo. No final deste trabalho é apresentado uma conclusão sobre todo o desenvolvimento do circuito DPLL.

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca
MAUÁ
BIM

Capítulo 2
Fundamentos do Circuito PLL

A estrutura básica de um circuito PLL é mostrado na Figura 2.1. O circuito PLL é composto por três blocos funcionais distintos: um circuito detetor de fase, um filtro de malha e um oscilador controlado por tensão.

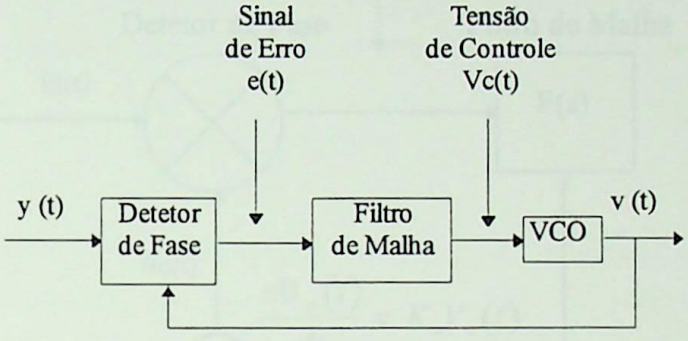


Figura 2.1 - Modelo Básico de um Dispositivo PLL.

O circuito detetor de fase tem a função de medir a diferença de fase entre os sinais y(t) (sinal de referência) e v(t) (sinal de saída do VCO) gerando um sinal de erro e(t). O sinal de erro é aplicado a um filtro de malha (do tipo passa baixa) gerando o sinal de controle Vc(t) do VCO. A partir deste sinal de controle o VCO irá produzir v(t) sincronizado a y(t).

Neste trabalho dar-se-á ênfase ao estudo do DPLL - "Digital Phase Locked Loop" que mostrou ser um sistema que possui enormes qualidades quando utilizado em sistemas de recuperação de relógio.

2.1 Funções de Transferências do Circuito PLL

Considere um sistema PLL [3,10] composto por um circuito comparador de fase, um filtro de malha e um circuito oscilador controlado por tensão como na Figura 2.2.

A fase do sinal de referência aplicado ao circuito detetor de fase é dado por $\theta_i(t)$, e a fase do sinal de saída do VCO é dada por $\theta_0(t)$. Para esta análise considere que o sistema esteja sincronizado. Nesta situação a resposta do circuito detetor de fase é linear e

proporcional a diferença de fase dos sinais de entrada. Então pode-se representar o sinal de saída do circuito detetor de fase pela seguinte equação:

$$v_d(t) = K_d\theta_e(t) = K_d\left[\theta_i(t) - \theta_o(t)\right] \qquad (2.1)$$

onde Kd é o ganho do circuito detetor de fase dado em [V/rd].

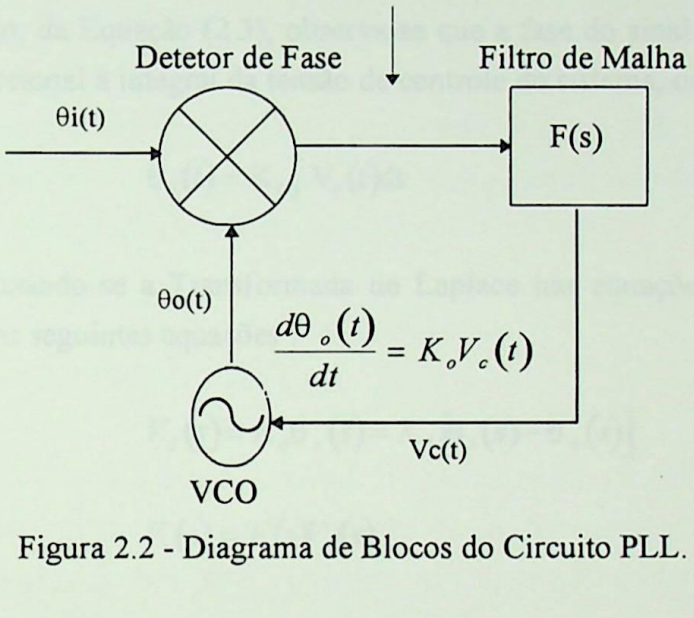


Figura 2.2 - Diagrama de Blocos do Circuito PLL.

A tensão de erro de fase, $V_d(t)$, é filtrada pelo circuito filtro de malha do sistema cuja função de transferência é dada por F(s). Logo o ruído e componentes do sinal em alta freqüência são eliminados. O filtro também influência na performance dinâmica do sistema [10].

A tensão de controle Vc(t), presente na saída do filtro de malha, determina a freqüência de operação do circuito VCO. O desvio do VCO de sua freqüência central é dada por:

$$\Delta\omega = K_0 . V_c(t) \qquad (2.2)$$

onde K_0 é o ganho do circuito VCO dado em (rd/s.V).

Como a freqüência de um sinal é correspondente a derivada da fase do próprio sinal, a operação do VCO é regida por:

$$\frac{d\theta_o(t)}{dt} = K_o V_c(t) \tag{2.3}$$

que no domínio da freqüência, plano S, é dada por (Transformada de Laplace):

$$L\left[\frac{d\theta_o(t)}{dt}\right] = s\theta_o(s) = K_o V_c(s) \tag{2.4}$$

Logo, da Equação (2.3), observa-se que a fase do sinal de saída do VCO é linearmente proporcional à integral da tensão de controle do sistema, ou seja:

$$\theta_0(t) = K_0 \int V_c(t) dt \tag{2.5}$$

Utilizando-se a Transformada de Laplace nas equações que aparecem na Figura 2.2 tem-se as seguintes equações :

$$V_d(s) = K_d \theta_e(s) = K_d \left[\theta_i(s) - \theta_o(s)\right] \tag{2.6}$$

$$V_c(s) = F(s) V_d(s) \tag{2.7}$$

Combinando-se as Equações (2.4), (2.6) e (2.7) pode-se compor o diagrama em blocos, no domínio da freqüência, do sistema PLL mostrado na Figura 2.3. Do diagrama obtém-se as funções de transferências do sistema PLL.

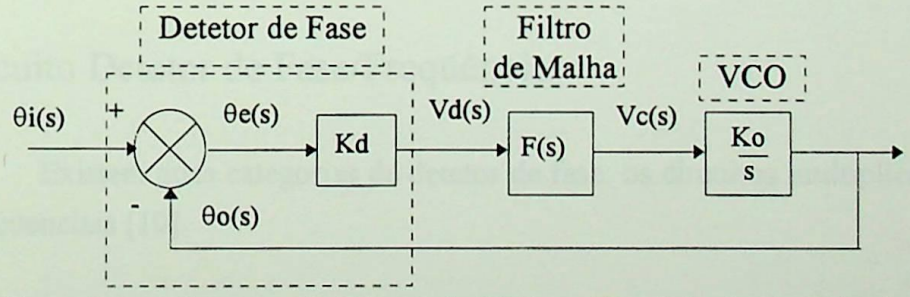


Figura 2.3 - Diagrama de Blocos do PLL no Domínio da Freqüência.

A função de transferência do erro de fase da PLL é dada por:

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{\theta_i(s) - \theta_o(s)}{\theta_i(s)} = \frac{s}{s + K_o K_d F(s)} \tag{2.8}$$

A função de transferência de malha aberta do sistema PLL é dada por:

$$G_0(s) = \frac{K_d K_0 F(s)}{s} \tag{2.9}$$

A função de transferência de malha fechada do sistema PLL é dada por:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_d F(s)}{s + K_o K_d F(s)} \tag{2.10}$$

No projeto do circuito DPLL serão apresentados todos os parâmetros que foram utilizados, tais como o valor do ganho do circuito detetor de fase, ganho do circuito VCO e o tipo de filtro de malha utilizado no projeto.

2.2 Blocos Constituintes do DPLL

Como já mencionado, o DPLL é um dispositivo híbrido [3] sendo que o único bloco realmente digital é o circuito detetor de fase/freqüência. O circuito filtro de malha e o circuito oscilador controlado por tensão são dispositivos analógicos.

Nesta Seção é apresentada uma análise detalhada de cada bloco constituinte do DPLL.

2.2.1 Circuito Detetor de Fase/Freqüência

Existem duas categorias de detetor de fase: os circuitos multiplicadores e os circuitos seqüenciais [10].

Os circuitos multiplicadores produzem um sinal de erro DC como sendo o produto entre o sinal de referência e o sinal produzido pelo circuito VCO.

O detetor de fase do tipo seqüencial gera um sinal de saída que é uma função do intervalo de tempo entre o cruzamento de zero do sinal de referência e o cruzamento de zero do sinal produzido pelo VCO. Circuitos seqüenciais são geralmente construídos com circuitos digitais (flip-flop, porta lógicas) e operam com sinais binários de entrada.

Nesta Seção apresentaremos os três tipos mais usuais de circuitos detetores de fase/freqüência utilizados em circuitos DPLL que são: detetor de fase tipo OU-Exclusivo, detetor de fase tipo Flip-Flop JK e detetor do tipo Fase/Freqüência denominado de circuito PFD - "*Phase-Frequency Detector*".

2.2.1.1 Detetor de Fase Tipo OU-Exclusivo

O circuito digital equivalente a um detetor de fase do tipo multiplicador é o detetor de fase OU-Exclusivo [2,3]. O detetor de fase OU - Exclusivo, ilustrado na Figura 2.4(a), é utilizado quando os sinais de entrada são constituídos por formas de onda quadradas (sinais digitais) e quando estes sinais possuem ciclo de trabalho de 50% (são simétricos). O sinal de saída do detetor está em nível lógico alto quando os dois sinais de entrada são diferentes, e está em nível lógico zero quando os dois sinais possuem o mesmo nível lógico, como ilustrado na Figura 2.4(b). O ciclo de trabalho do sinal de saída do detetor é proporcional ao erro de fase existente entre os sinais de entrada.

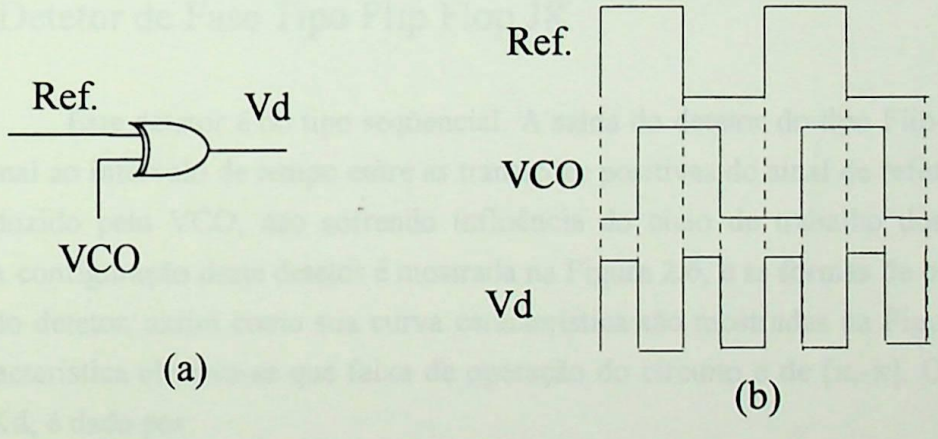


Figura 2.4 - (a) Detetor de Fase Tipo OU - Exclusivo; (b) Geração do Sinal de Erro pelo Detetor OU-Exclusivo.

Da curva característica do detetor OU - Exclusivo (tensão de erro DC produzida pelo detetor de fase versus erro de fase dos sinais de entrada), como se pode observar da Figura 2.5, conclui-se que este detetor possui uma faixa linear de operação limitada de $[-\pi/2,+\pi/2]$, e que o mesmo possui característica triangular para o seu sinal de saída. O ganho do detetor de fase Ou-Exclusivo é dado pela tensão máxima de saída do detetor, Vd, dividida pela faixa de operação linear do mesmo. Logo, o ganho deste detetor, denominado de Kd, é dado por:

$$K_d = \frac{V_d}{\pi} \tag{2.11}$$

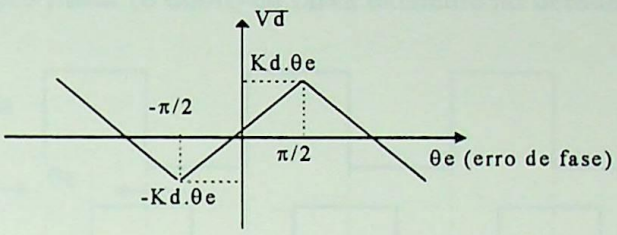


Figura 2.5 - Curva Característica do Detetor de Fase OU-Exclusivo.

O circuito detetor de fase OU-Exclusivo não pode operar com sinais de entrada que possuam freqüências diferentes ou com sinais de entrada assimétricos (sinais que possuem ciclo de trabalho diferentes de 50%). Nestas duas situações o ganho do circuito detetor de fase é limitado em um nível intermediário, o que limita a faixa de operação do circuito DPLL como um todo, podendo levar o sistema a um falso sincronismo; e deste modo comprometer todo o funcionamento do sistema de sincronismo.

2.2.1.2 Detetor de Fase Tipo Flip Flop JK

Este detetor é do tipo seqüencial. A saída do detetor do tipo Flip-Flop JK é proporcional ao intervalo de tempo entre as transições positivas do sinal de referência e do sinal produzido pelo VCO, não sofrendo influência do ciclo de trabalho dos sinais de entrada. A configuração deste detetor é mostrada na Figura 2.6, e as formas de onda típicas de saída do detetor, assim como sua curva característica são mostradas na Figura 2.7. Da curva característica observa-se que faixa de operação do circuito é de [π,-π]. O ganho do circuito, Kd, é dado por:

$$K_d = \frac{V_d}{2\pi} \tag{2.12}$$

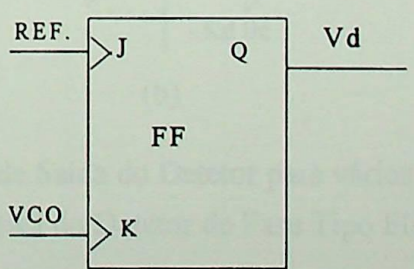
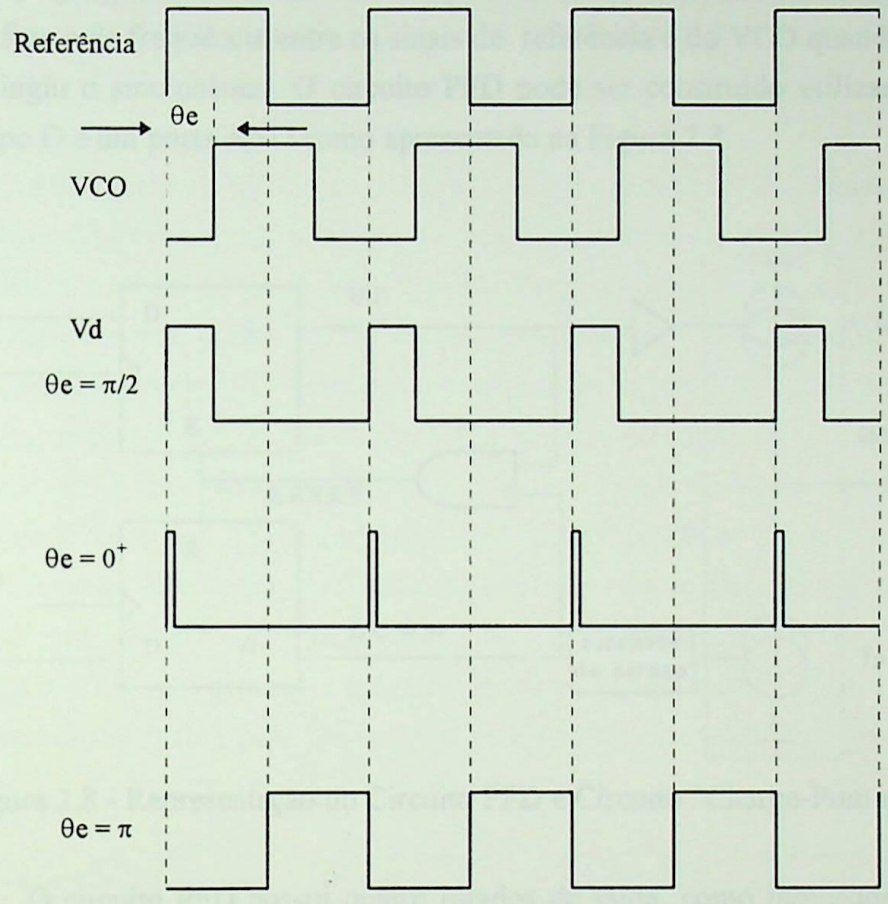
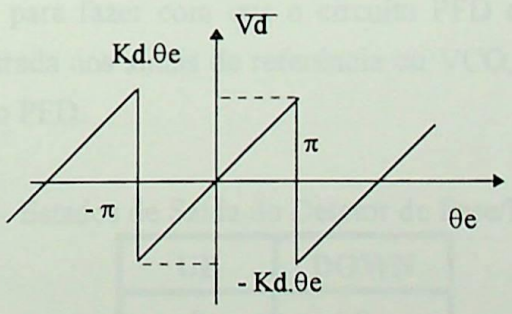


Figura 2.6 - Configuração do Detetor de Fase do Tipo Flip-Flop JK.

As vantagens deste detetor, com relação ao detetor tipo OU-Exclusivo, é que o mesmo não sofre influência do ciclo de trabalho do sinal de entrada, e possui uma maior faixa de operação linear (o dobro da faixa existente no detetor tipo OU-Exclusivo).



(a)



(b)

Figura 2.7 - (a) Formas de Saída do Detetor para vários Erros de Fase; (b) Curva Característica do Detetor de Fase Tipo Flip-Flop JK.

2.2.1.3 Detetor de Fase/Freqüência (PFD)

O circuito detetor de fase/freqüência também é um detetor do tipo seqüencial [9,11,12]. O detetor de fase/freqüência é um circuito capaz de detetar a diferença de fase e de freqüência entre os sinais de referência e do VCO quando o sistema ainda não atingiu o sincronismo. O circuito PFD pode ser construído utilizando-se dois flip-flop's Tipo D e um porta AND como apresentado na Figura 2.8.

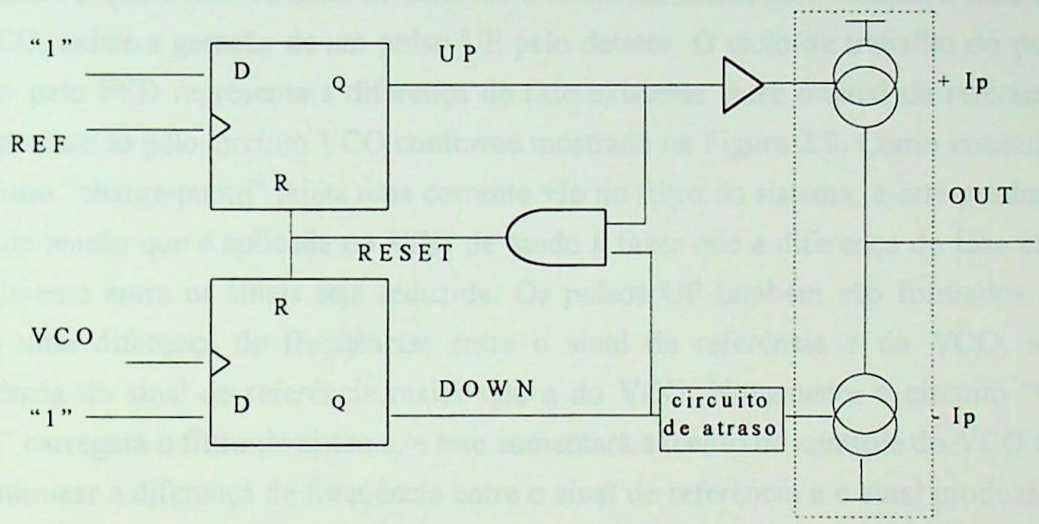


Figura 2.8 - Representação do Circuito PFD e Circuito "Charge-Pump".

O circuito PFD possui quatro estados de saída, como indicados na Tabela 2.1, onde somente três destes estados são ditos válidos, e o estado que ocorre quando UP=DOWN=1 não é válido pois corresponde a geração simultânea de pulsos UP/DOWN. Esta condição é utilizada para fazer com que o circuito PFD esteja pronto para receber uma nova transição de entrada dos sinais de referência ou VCO, podendo ser denominada de inicialização do circuito PFD.

Tabela 2.1 - Estados de Saída do Detetor de Fase/Freqüência.

UP	DOWN
0	0
1	0
0	1
1	1

O detetor de fase/freqüência tipo PFD sempre vem acompanhado por um circuito "Charge-Pump" (Figura 2.8). O circuito "charge-pump" é um dispositivo que

converte os estados lógicos produzidos pelo PFD em níveis de sinal analógico a serem utilizados pelo filtro do PLL para gerar a tensão de controle do VCO. O circuito "charge-pump" é uma chave eletrônica controlada pelos três estados válidos do circuito PFD. Como pode-se observar na Figura 2.8, este circuito injeta uma corrente +Ip no filtro de malha quando um pulso UP é gerado pelo circuito PFD, e de forma inversa absorve uma corrente -Ip quando um pulso DOWN é produzido pelo circuito PFD.

Considerando-se que os sinais de referência e do VCO tenham a mesma freqüência e que a fase do sinal de referência esteja adiantada com relação a fase do sinal do VCO, existe a geração de um pulso UP pelo detetor. O ciclo de trabalho do pulso UP gerado pelo PFD representa a diferença de fase existente entre o sinal de referência e o sinal produzido pelo circuito VCO conforme mostrado na Figura 2.9. Como conseqüência, o circuito "charge-pump" injeta uma corrente +Ip no filtro do sistema, e este produzirá um nível de tensão que é aplicada no VCO de modo a fazer que a diferença de fase existente inicialmente entre os sinais seja reduzida. Os pulsos UP também são formados quando existe uma diferença de freqüências entre o sinal de referência e do VCO, sendo a freqüência do sinal de referência maior que a do VCO. Novamente o circuito "charge-pump" carregará o filtro do sistema, e este aumentará a tensão de controle do VCO afim de se minimizar a diferença de freqüência entre o sinal de referência e o sinal produzido pelo VCO.

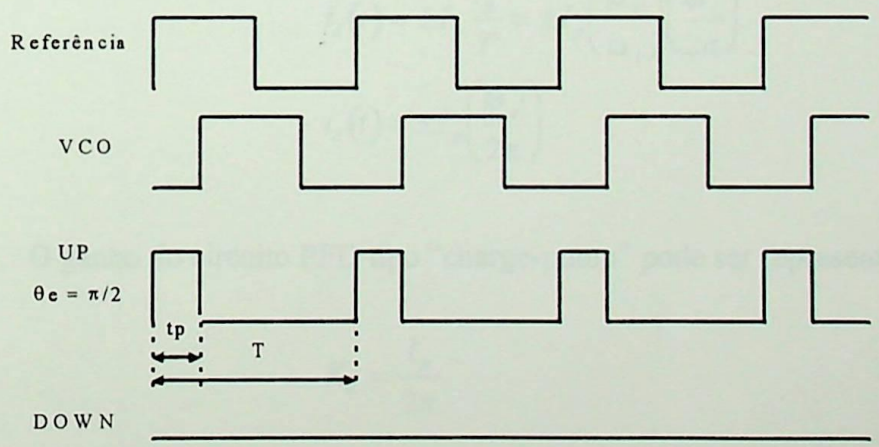


Figura 2.9 - Geração do Sinal UP pelo PFD.

A diferença entre a situação onde existe uma diferença de freqüência entre o sinal de referência e o sinal do VCO, e a situação onde a freqüência destes sinais são iguais mas existe uma diferença de fase, reside no valor da corrente que é injetada no filtro do sistema, ou seja, para uma diferença de freqüências entre os sinais a quantidade de corrente injetada é muito maior do que na situação onde os sinais só possuem fases diferentes [13]. Consequentemente, o nível de tensão de controle produzido pelo circuito filtro é muito

mais elevado na situação de freqüências diferentes dos sinais de entrada do que para a situação em que somente existe uma diferença de fase entre os sinais.

A geração do pulso DOWN pelo circuito PFD ocorre de modo inverso a descrita anteriormente, ou seja, quando ambos sinais possuem a mesma freqüência e o sinal produzido pelo VCO está adiantado com relação ao sinal de referência, ou quando a freqüência de operação do VCO é maior que a freqüência do sinal de referência. Neste caso o circuito "charge-pump" drena uma corrente -Ip do filtro e isto consequentemente reduz a tensão de controle do VCO até que ambos os sinais estejam sincronizados.

Observa-se da Figura 2.9 que a duração do erro de fase do detetor, tp, é dado pela seguinte equação:

$$t_p = \frac{|\theta_e|}{\omega_i} \tag{2.13}$$

sendo ω_i a freqüência do sinal de referência.

A corrente injetada (drenada) pelo circuito "charge-pump" no filtro, em cada ciclo, é dada por:

$$i_d(t) = \pm I_p \frac{t_p}{T} = \pm I_p \left(\frac{|\theta_e|}{\omega_i}\right)\left(\frac{\omega_i}{2\pi}\right)$$

$$i_d(t) = \pm I_p \left(\frac{|\theta_e|}{2\pi}\right) \tag{2.14}$$

O ganho do circuito PFD tipo "charge-pump" pode ser representado por:

$$K_d = \frac{I_p}{2\pi} \tag{2.15}$$

O circuito PFD é muito utilizado pois o mesmo apresenta as seguintes vantagens com relação aos outros tipos de detetores [10,11,13]:

- sensibilidade a sinais de entrada que possuam diferença de fase ou de freqüência, ou seja, o PLL que utilize este circuito como detetor de fase consegue obter sincronismo sob qualquer condição dos sinais de entrada, independente do tipo de filtro de malha utilizado;

- a característica deste detetor de fase/freqüência é aperiódica, enquanto todos outros detetores possuem características periódicas com relação a θ_e;
- faixa linear de operação de [2π, -2π], que é o dobro da faixa do circuito detetor tipo flip flop JK.

2.2.2 Circuito Oscilador Controlado por Tensão (VCO)

O circuito oscilador controlado por tensão possui a função de produzir, a partir da tensão de controle produzida pelo filtro do sistema, uma freqüência de saída que minimize o erro de fase ou freqüência existente entre o sinal de referência e o sinal produzido localmente (pelo próprio VCO). Então, pode-se considerar que idealmente este circuito produza um sinal com mesma freqüência do sinal de referência.

A Figura 2.10 mostra uma curva característica de um circuito VCO. O VCO apresenta uma faixa linear de freqüências que é diretamente proporcional ao valor da tensão de controle deste dispositivo. O ganho do VCO, K_0, pode ser representado por:

$$K_o = \frac{F_{\max} - F_{\min}}{V_{\max} - V_{\min}} \tag{2.16}$$

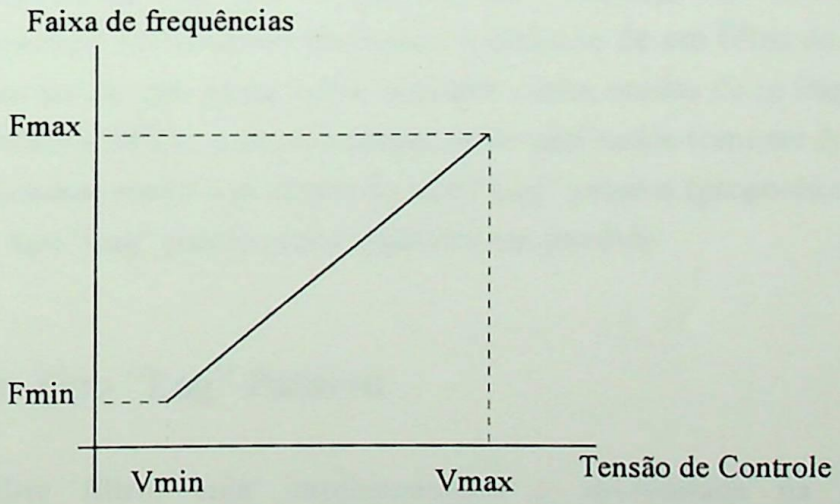


Figura 2.10 - Curva Característica do VCO.

Sabendo-se que a freqüência angular de um sinal é igual a derivada da fase deste sinal com relação ao tempo (Figura 2.2), então a lei de controle do VCO é dada por:

$$\frac{d\theta_0(t)}{dt} = \omega_0 + K_0 V_c(t) \tag{2.17}$$

Assim, a partir da Equação (2.17), tem-se que o desvio de freqüência provocado no VCO pela tensão de controle do sistema é dado por:

$$\frac{d\theta_0(t)}{dt} = K_0 V_c(t) \tag{2.18}$$

Como o DPLL compara as fases do sinais (referência e VCO), da Equação (2.18) tem-se que a fase do sinal de saída produzido pelo VCO é dada por:

$$\theta_0(t) = \int_0^T K_0 V_c(t) dt \tag{2.19}$$

2.2.3 Filtro de Malha

O sinal de saída produzido pelo circuito detetor de fase é um sinal composto, possuindo um nível DC proporcional ao erro de fase/freqüência entre os dois sinais de entrada do sistema e por termos em altas freqüências.

Como este sinal de erro é utilizado para produzir a tensão de controle do VCO, as componentes de alta freqüência são indesejáveis. Para eliminar estas componentes indesejáveis tornar-se necessário a inclusão de um filtro de malha [9,13,14], caracterizado por ser do tipo passa baixa. Existem vários modos de se implementar o filtro de malha em circuitos DPLL, e neste trabalho serão analisados somente dois filtros que são comumente utilizados, sendo o primeiro do tipo "Lag" passivo (proporcional mais integral) e o segundo do tipo "Lag" passivo com capacitor em paralelo.

2.2.3.1 Filtro Tipo "Lag" Passivo

Este filtro, cuja implementação é apresentada na Figura 2.11, é caracterizado por ter uma resposta do tipo proporcional mais integral. A parcela proporcional da resposta deste filtro é dada pelo resistor e a parcela integral é dada pelo capacitor.

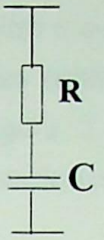


Figura 2.11 - Filtro Tipo "Lag" (Proporcional mais Integral).

A impedância do filtro é dada por:

$$Z_f(s) = \frac{1 + RCs}{Cs} \tag{2.20}$$

Analisando-se a tensão de controle que é formada durante um ciclo do sinal de entrada por este filtro, observa-se que a corrente injetada pelo circuito "charge-pump" no filtro faz com que apareça uma tensão instantânea no filtro dada por $\Delta V_c(t) = RI_p$. No fim de cada ciclo do sinal de entrada uma tensão de mesma magnitude, mas de sentido oposto é formado por este circuito como mostrado na Figura 2.12.

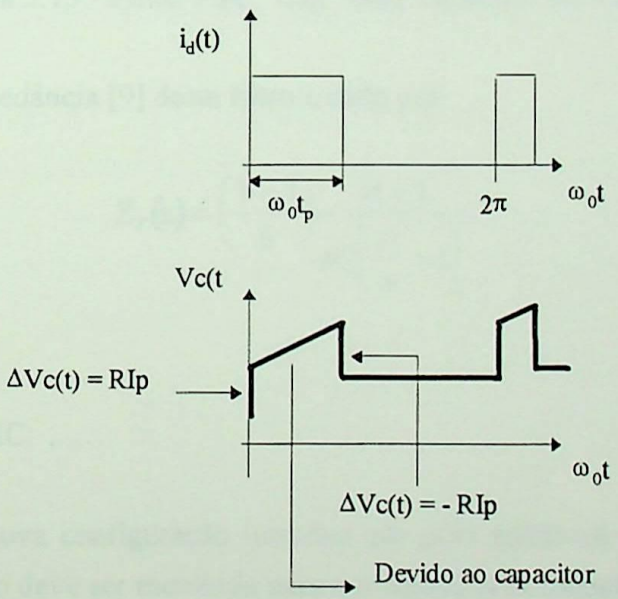


Figura 2.12 - Tensão de Controle formada pelo Filtro "Lag" durante um Ciclo do Sinal de Entrada.

O desvio de freqüência resultante no oscilador para esta tensão de controle é dada por:

$$|\Delta\omega|_2 = K_0.\Delta Vc(tp) = K_0 RI_p \tag{2.21}$$

A inconveniência deste filtro é que a parcela da resposta devido ao resistor que o compõe provoca grandes excursões retangulares (ripple) na tensão de controle do oscilador como pode ser visto na Figura 2.12. Estas excursões podem provocar a sobrecarga do circuito VCO e consequentemente provocar a perda de sincronismo do circuito DPLL.

2.2.3.2 Filtro Tipo "Lag" Passivo com Capacitor em Paralelo

Para se reduzir as excursões provocadas pelo filtro tipo "Lag", utiliza-se um capacitor em paralelo com o circuito anterior, tal como indicado na Figura 2.13.

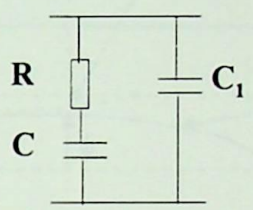


Figura 2.13 - Filtro Tipo "Lag" com Capacitor em Paralelo.

A impedância [9] deste filtro é dada por:

$$Z_f(s) = \left(\frac{b-1}{b}\right)\frac{s\tau + 1}{sC\left(\frac{s\tau}{b}+1\right)} \qquad (2.22)$$

onde:
$b = (C/C_1)+1$, e $\tau = RC$.

Esta nova configuração introduz um pólo adicional dado por $s= -(b/\tau)$. A localização deste pólo deve ser escolhida para que exista uma redução do ripple do sistema DPLL. A resposta em regime permanente e a resposta transitória deste novo sistema devem ser as mesmas que foram obtidas pelo filtro tipo "Lag" passivo que possua as mesmas características, ou seja, mesma freqüência de corte e mesmo ganho de malha do PLL. Logo, para que este novo sistema tenha as características dadas acima, o pólo adicional deve estar localizado a pelo menos uma década a direita da freqüência de corte do sistema como mostrado na Figura 2.14 [9,11].

Da Figura 2.14 observa-se que a resposta em regime permanente e a resposta dinâmica dos sistemas (sistemas utilizando filtro tipo 'Lag" passivo e filtro tipo "Lag" passivo com capacitor em paralelo) são praticamente iguais, somente existindo uma pequena diferença na fase entre estes dois sistemas.

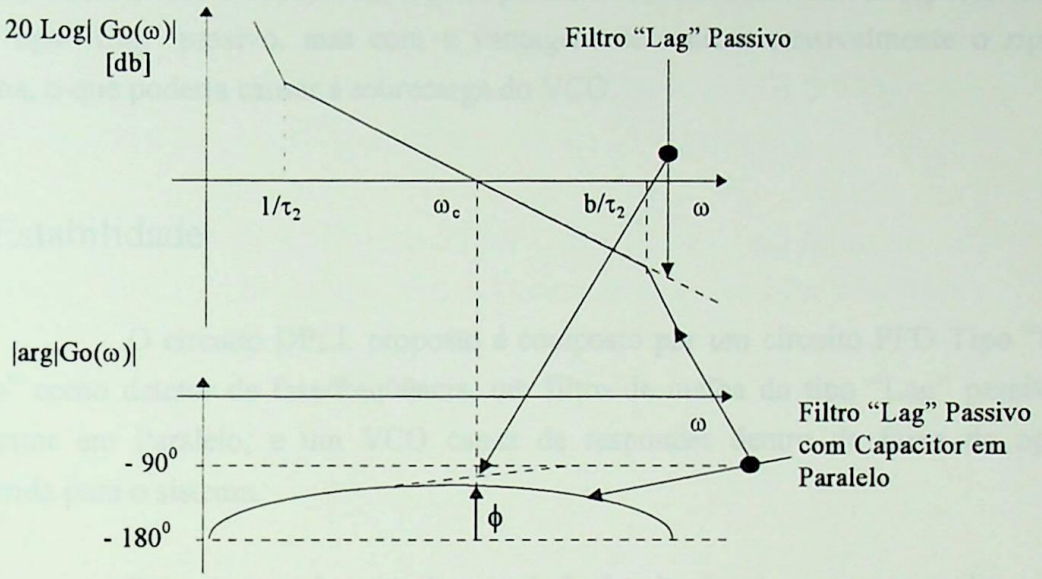


Figura 2.14 - Diagrama de Bode[1] - Comparação entre os Sistemas Apresentados.

A redução do "ripple" conseguida através da inclusão do capacitor C_1 em comparação com o sistema anterior será computado agora. O capacitor C_1 faz com que as excursões retangulares mostradas na Figura 2.13 sejam "alisadas" em funções exponenciais. A resposta deste filtro para um pulso de corrente de duração t_p é dada por :

$$V_c(t_p) = I_p R\left(\frac{b-1}{b}\right)\left\{\frac{b-1}{b}\left[1-\exp\left(-\frac{|\theta_e|b}{\omega_i\tau_2}\right)+\frac{|\theta_e|}{\omega_i\tau_2}\right]\right\}$$

$$V_c(t_p) = I_p R\frac{b|\theta_e|}{\omega_i\tau_2}, \qquad b \gg 1 \qquad (2.23)$$

O desvio de freqüência resultante no oscilador para esta tensão de controle é dada por:

$$|\Delta\omega|_3 = K_0.Vc(tp) \qquad (2.24)$$

Então, a redução do ripple, denominada de RR, por este sistema com relação ao anterior é calculada como sendo:

[1] a definição do Diagrama de Bode é apresentada na Seção 2.3.

$$RR = \frac{|\Delta\omega|_3}{|\Delta\omega|_2} = \frac{b|\theta_e|}{\omega_i \tau_2} \tag{2.25}$$

Observa-se que a grande vantagem deste sistema é que o mesmo apresenta a resposta transitória e a resposta em regime permanente muito próxima a resposta dada pelo filtro tipo "Lag" passivo, mas com a vantagem de reduzir sensivelmente o ripple do sistema, o que poderia causar à sobrecarga do VCO.

2.3 Estabilidade

O circuito DPLL proposto é composto por um circuito PFD Tipo "Charge Pump" como detetor de fase/freqüência, um filtro de malha do tipo "Lag" passivo com Capacitor em Paralelo, e um VCO capaz de responder dentro da faixa de operação requerida para o sistema.

Para obter as funções de transferências do circuito proposto pode-se utilizar as Equações (2.8), (2.9) e (2.10), que representam a função de transferência de erro, a função de transferência de malha aberta e a função de transferência de malha fechada de uma PLL linear, respectivamente. A única alteração que deve ser feita nestas equações é a substituição da função de transferência do filtro de malha, F(s), pela impedância do filtro de malha denominada de $Z_f(s)$. Logo, as funções de transferências do DPLL são:

- a Função de Transferência do Erro:

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{2\pi s}{2\pi s + I_p K_o Z_f(s)} \tag{2.26}$$

- a Função de Transferência de Malha Aberta:

$$G_o(s) = \left(\frac{I_p}{2\pi}\right)\left(\frac{K_o}{s}\right) Z_f(s) \tag{2.27}$$

- a Função de Transferência de Malha Fechada:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{I_p K_o Z_f(s)}{2\pi s + I_p K_o Z_f(s)} \tag{2.28}$$

O valor de $Z_f(s)$ nas Equações (2.26), (2.27) e (2.28) é dado pela Equação (2.22).

Uma ferramenta poderosa que é utilizada durante o projeto do circuito DPLL é o diagrama de Bode. O diagrama de Bode [10,11] é a representação da amplitude e da fase da resposta em freqüência do sistema DPLL. A resposta em freqüência é obtida substituindo-se a função de transferência de malha aberta do DPLL, Go(s), por um número complexo, isto é, agora analisa-se Go(jω) para um dado valor de ω.

O par de gráficos de Bode é plotado com relação a um eixo de escala logarítmica. O gráfico da amplitude é normalmente expresso da seguinte forma:

$$20\log\left|G_o(\omega)\right| \tag{2.29}$$

sendo este dado em decibel (db).

Do gráfico de amplitude pode-se determinar o valor da freqüência de corte do DPLL, que é calculada como sendo o ponto de interseção da curva de amplitude com a linha de zero "db" do sistema. A freqüência de corte é determinada matematicamente pela seguinte equação:

$$\left|G_o(\omega_c)\right| = 1 \tag{2.30}$$

O gráfico de fase, que compõe o par do diagrama de Bode do sistema, é utilizado para se fazer considerações a respeito da estabilidade do sistema. O critério de Nyquist indica se um sistema é estável quando a margem de fase do sistema, MF, é positiva [14,15]. A margem de fase do sistema é determinada somando-se 180° ao argumento da função de transferência $|\,Go(\omega c)\,|$, ou seja:

$$MF = \arg\left[G_o(\omega_c)\right] + 180^0 \tag{2.31}$$

A Figura 2.15 mostra como se determina a freqüência de corte e a margem de fase de um sistema utilizando-se o diagrama de Bode.

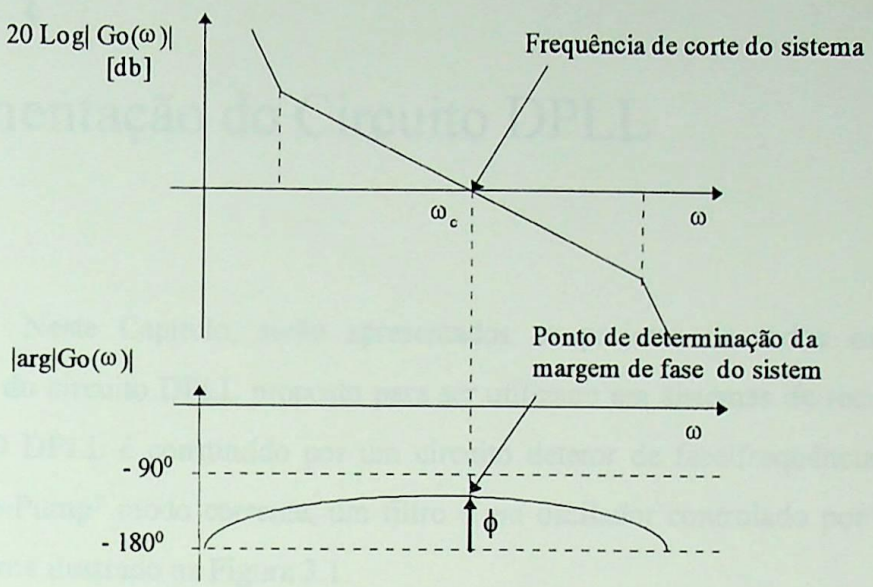


Figura 2.15 - Diagrama de Bode de um Sistema de 3ª Ordem.

Um outro método de se analisar a estabilidade no sistema DPLL é analisar a localização dos pólos da função de transferência de malha fechada do DPLL [15]. Neste tipo de análise considera-se que o sistema é estável se todos os pólos do mesmo estão localizados a esquerda no plano complexo "S" como indicado na Figura 2.16.

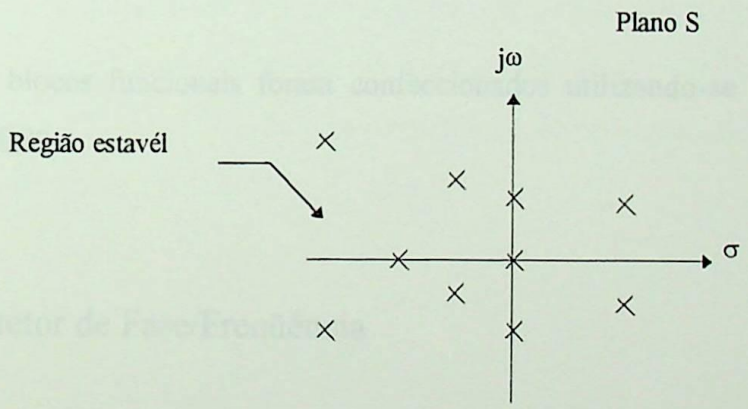


Figura 2.16 - Localização de Pólos no Plano "S".

Os dois métodos de análise de estabilidade mostrados anteriormente serão utilizados para estudar a estabilidade do sistema DPLL proposto neste trabalho posteriormente.

Escola Federal de Engenharia
Biblioteca
MAUÁ
BIM
de Irajubá - EFEI

Capítulo 3

Implementação do Circuito DPLL

Neste Capítulo, serão apresentados os projetos de todos os blocos constituintes do circuito DPLL proposto para ser utilizado em sistemas de recuperação de relógio. O DPLL é constituído por um circuito detetor de fase/freqüência - PFD, uma "Charge-Pump" modo corrente, um filtro e um oscilador controlado por tensão - VCO, conforme ilustrado na Figura 3.1.

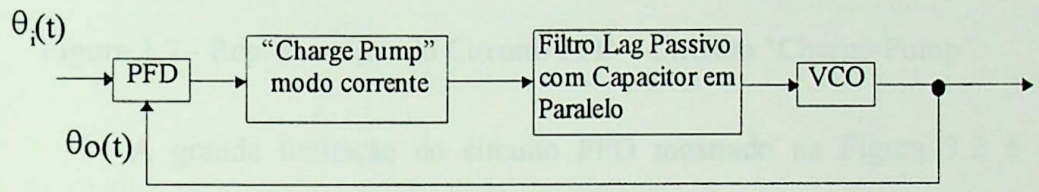


Figura 3.1 - Circuito DPLL Proposto para Recuperação de Relógio.

Os blocos funcionais foram confeccionados utilizando-se a tecnologia CMOS 0,7μm da ES2.

3.1 Circuito Detetor de Fase/Freqüência

A Figura 3.2 apresenta o circuito do detetor de fase/freqüência - PFD. A operação deste circuito já foi mostrado na Seção 2.2.1.3 do Capítulo 2.

A situação em que existe a geração de pulsos UP=DOWN=1 é dita ser a inicialização do circuito PFD (é o estado utilizado para que o circuito fique pronto para receber novas transições de entrada do sinal de referência ou do sinal produzido pelo VCO). Com UP=DOWN=1, existe a geração de um pulso de RESET pelo circuito PFD.

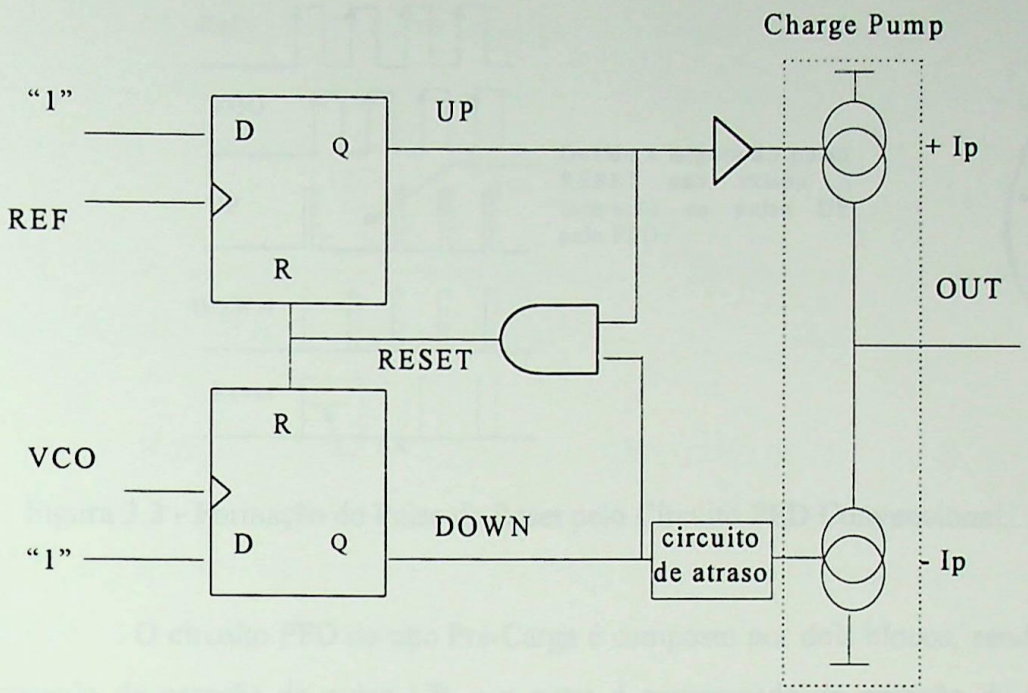


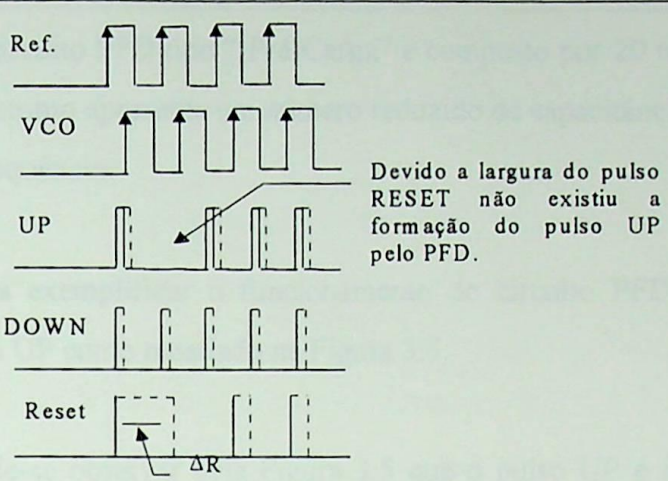
Figura 3.2 - Representação do Circuito PFD e Circuito "Charge-Pump".

A grande limitação do circuito PFD mostrado na Figura 3.2 é com relação a freqüência máxima que o mesmo pode operar [16,17]. A limitação da operação em altas velocidades deste circuito reside no fato de que se a duração do pulso de RESET for muito longa ocorrerá um erro na formação do sinal de saída do circuito PFD como mostrado na Figura 3.3. A máxima freqüência de operação deste circuito é dada em função do atraso do sinal de RESET, ou seja:

$$f_{max} = \frac{1}{2\Delta R} \qquad (3.1)$$

onde ΔR é a largura do pulso de RESET do circuito PFD.

Como é necessário comparar os dados de entrada (sinal de referência e sinal produzido pelo VCO) do PFD em altas freqüências, o circuito anterior não pode realizar esta tarefa. A solução encontrada para resolver este problema foi a implementação de um circuito PFD do tipo Pré-Carga proposto por Harafusa Kondon [18] que é um detetor de fase/freqüência projetado para operar em altas freqüências.



Escol... de Engenharia
Biblioteca
MAUÁ
BIM
de Itajubá - EFEI

Figura 3.3 - Formação do Pulso de Reset pelo Circuito PFD Convencional.

O circuito PFD do tipo Pré-Carga é composto por dois blocos, sendo um encarregado da geração do pulso UP, e o outro é encarregado da geração do pulso DOWN. A configuração completa deste novo circuito PFD é mostrado na Figura 3.4.

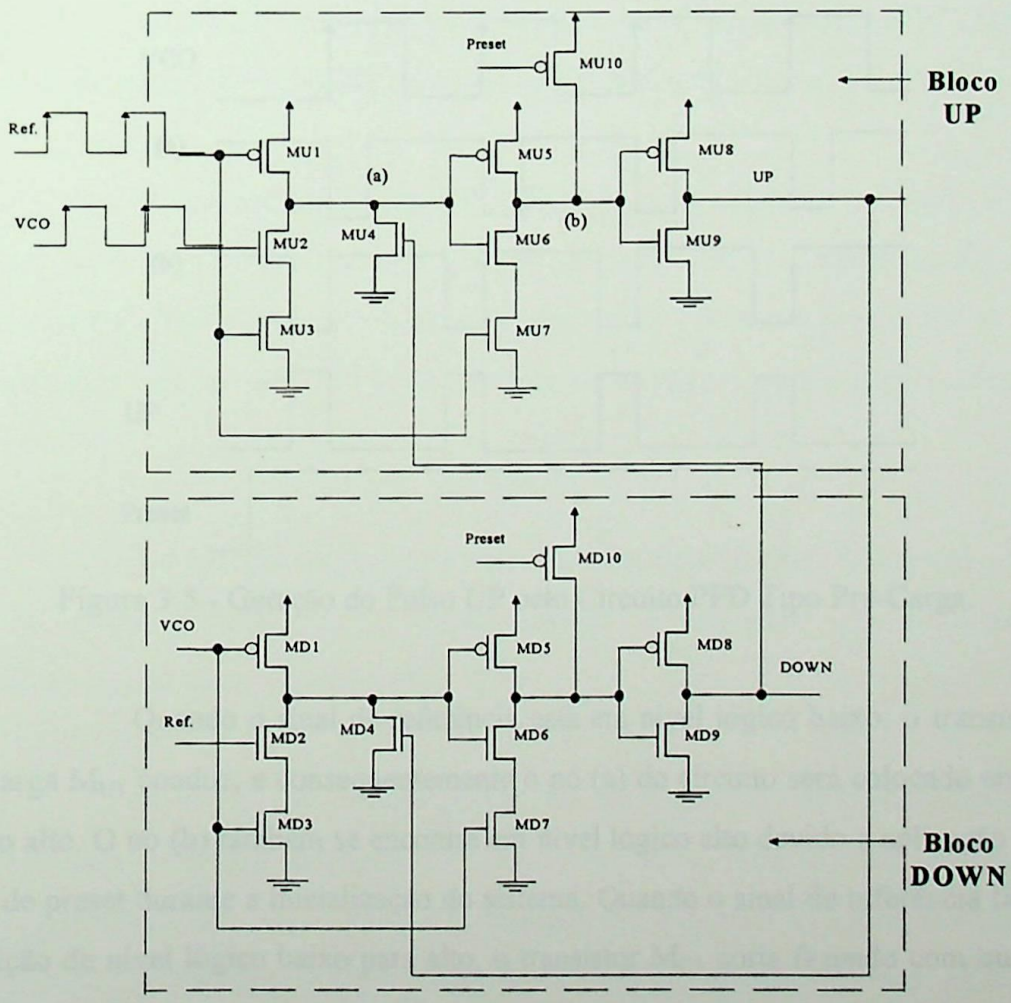


Figura 3.4 - Configuração Completa do Circuito PFD do Tipo Pré-Carga.

O circuito PFD tipo " Pré-Carga" é composto por 20 transistores, e disto conclui-se que o mesmo apresenta um número reduzido de capacitâncias internas e pode operar em altas freqüências.

Para exemplificar o funcionamento do circuito PFD será analisado a formação do pulso UP como mostrado na Figura 3.5.

Pode-se observar pela Figura 3.5 que o pulso UP é formado quando o sinal de referência está adiantado com relação ao sinal produzido pelo VCO. O princípio de funcionamento do bloco UP do PFD é dado a seguir (durante esta análise é recomendável observar a Figura 3.4):

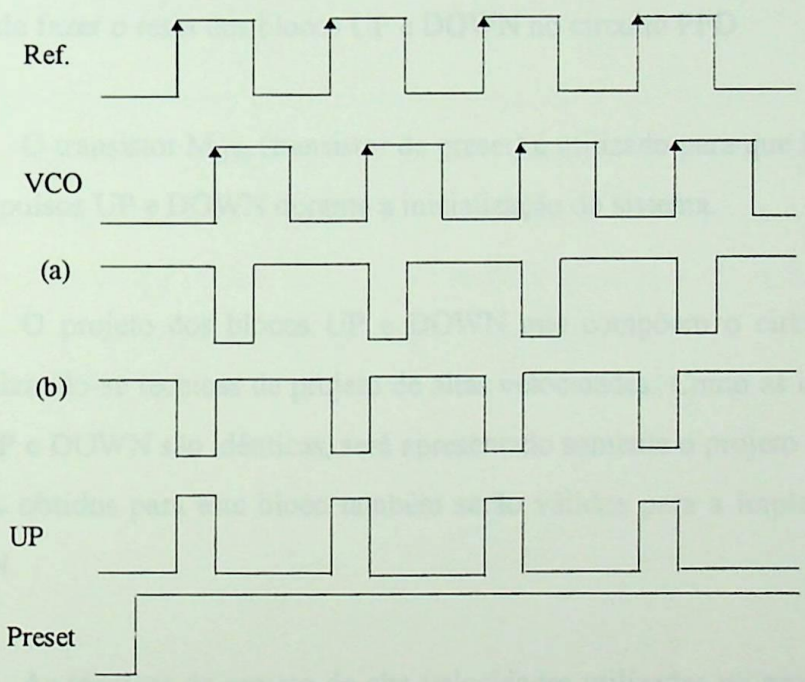


Figura 3.5 - Geração do Pulso UP pelo Circuito PFD Tipo Pré-Carga.

Quando o sinal de referência está em nível lógico baixo, o transistor de pré-carga M_{U1} conduz, e consequentemente o nó (a) do circuito será colocado em nível lógico alto. O nó (b) também se encontra em nível lógico alto devido a aplicação de um sinal de preset durante a inicialização do sistema. Quando o sinal de referência faz uma transição de nível lógico baixo para alto, o transistor M_{U1} corta fazendo com que o nó

(a) fique em alta impedância (mantendo o nível lógico alto), e faz com que os transistores M_{U6} e M_{U7} conduzam, forçando então o nó (b) ao nível lógico baixo.

Quando ocorre a transição do sinal VCO de baixo para alto, os transistores M_{U2} e M_{U3} conduzem fazendo com o nó (a) passe a ter nível lógico baixo, e consequentemente o transistor de pré-carga M_{U5} conduz. Esta situação força o aparecimento do nível lógico alto no nó (b). Como o sinal UP é o inverso do sinal produzido no nó (b), observa-se da Figura 3.5, que este sinal é exatamente a medida da diferença de fase entre o sinal de referência e do sinal produzido pelo VCO.

O transistor M_{U4} (transistor de reset) é utilizado para que não exista a formação simultânea de pulsos UP e DOWN pelo circuito PFD, ou seja, este transistor é encarregado de fazer o reset dos blocos UP e DOWN no circuito PFD.

O transistor M_{U10} (transistor de preset) é utilizado para que PFD não faça a geração de pulsos UP e DOWN durante a inicialização do sistema.

O projeto dos blocos UP e DOWN que compõem o circuito PDF foi realizado utilizando-se técnicas de projeto de altas velocidades. Como as configurações dos blocos UP e DOWN são idênticas, será apresentado somente o projeto do bloco UP. Os resultados obtidos para este bloco também serão válidos para a implementação do bloco DOWN.

As técnicas de projeto de alta velocidades utilizadas no projeto do bloco UP do circuito PFD: são o escalonamento do tamanho de transistores e reposicionamento dos transistores [19].

A regra do escalonamento do tamanho de transistores pode ser exemplificada com base na Figura 3.6. Observa-se que o transistor M_1 deve somente descarregar a capacitância de carga C_L, enquanto o transistor M_2 deve descarregar a capacitância total do ramo dada por $C_{total}= C_L+C_a$, que é substancialmente maior. Então, fazendo-se o escalonamento do tamanho dos transistores, $M_2>M_1$, pode-se aumentar a

velocidade de operação do circuito. Isto ocorre pois a largura (W) do transistor M_2 será proporcional a capacitância total que este dispositivo deve descarregar, ou seja:

$$W_{M2} = W_{M1}\left(\frac{C_L + C_a}{C_L}\right) \tag{3.2}$$

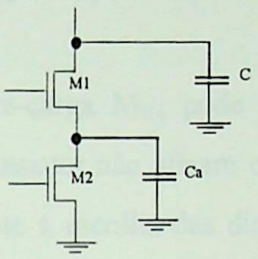


Figura 3.6 - Circuito para a Técnica do Escalonamento.

A regra do reposicionamento dos transistores será explicada utilizando-se a Figura 3.7. Observe que os transistores M_2 e M_3 possuem o sinal de entrada estável. O transistor M_1 possue o sinal de entrada que esta fazendo a transição de 0 para 1 sendo denominado de transistor crítico do ramo. Considerando-se que C_L está inicialmente carregado com nível lógico alto, pode-se analisar duas situações:

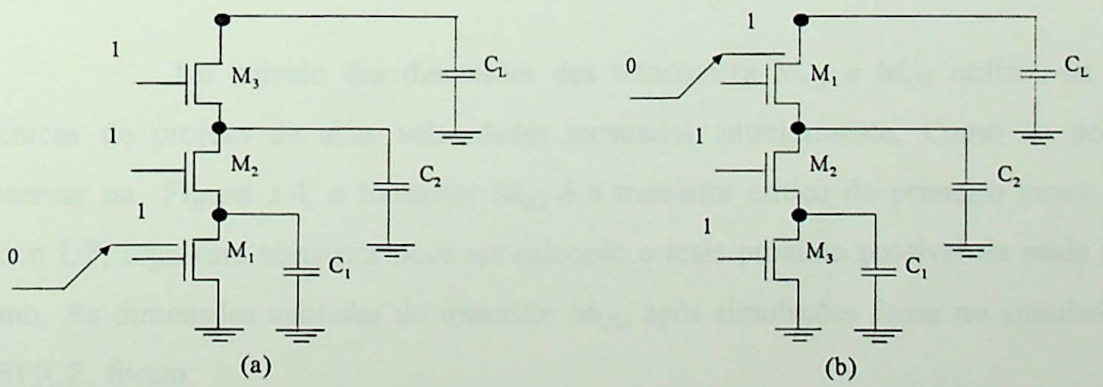


Figura 3.7 - Circuitos para a Técnica de Reposicionamento de Transistores.

Na situação (a), o caminho entre C_L e GND só existirá quando o transistor M_1 conduzir. Nesta situação o atraso entre a transição do sinal de entrada do transistor M_1 e a saída é determinada pelo tempo necessário para descarregar $C_L+C_1+C_2$.

Na situação (b) C_1+C_2 já estão descarregados quando ocorre a transição do sinal de entrada do transistor M_1, logo somente C_L deve ser descarregado, resultando numa resposta mais rápida do sistema.

O primeiro ramo de pré-carga do bloco UP é formado pelos transistores M_{U1}, M_{U2} e M_{U3} como mostrado na Figura 3.4. O transistor M_{U1} é o transistor de pré-carga, enquanto os transistores M_{U2} e M_{U3} são utilizados durante a fase de avaliação.

O transistor de pré-carga M_{U1} pode ser escolhido para ter qualquer dimensão. As dimensões deste transistor não afetam os níveis DC do circuito. A única atenção que se deve tomar durante a escolha das dimensões de M_{U1} é que estas não devem ser muito grandes pois desde modo ocorreria uma diminuição do tempo de pré-carga, mas em contrapartida haveria um aumento da capacitância de carga, C_L, do sistema. O aumento de C_L resulta em um aumento do tempo de descarga do sistema e consequentemente diminui a velocidade do ramo [20]. As dimensões adotadas, após simulações feitas no simulador HSPICE, para o transistor de pré-carga M_{U1} são:

$$\left(\frac{W}{L}\right)_{U1} = \left(\frac{7,2}{0,8}\right)$$

No cálculo das dimensões dos transistores M_{U2} e M_{U3} utilizou-se as técnicas de projeto de altas velocidades mostradas anteriormente. Como se pode observar na Figura 3.4, o transistor M_{U2} é o transistor crítico do primeiro ramo do bloco UP, logo este transistor deve ser colocado o mais próximo possível da saída do ramo. As dimensões adotadas do transistor M_{U2}, após simulações feitas no simulador HSPICE, foram:

$$\left(\frac{W}{L}\right)_{U2} = \left(\frac{3,6}{0,8}\right)$$

Aplicando-se a técnica do escalonamento, pode-se utilizar a Equação (3.2) para determinar as dimensões do transistor M_{U3}, logo:

$$\left(\frac{W}{L}\right)_{U3} = \left(\frac{W}{L}\right)_{U2}\left(\frac{C_L + C_a}{C_L}\right) = 1{,}3\left(\frac{W}{L}\right)_{U2}$$

$$\left(\frac{W}{L}\right)_{U3} = \left(\frac{4{,}8}{0{,}8}\right)$$

onde

$\left(\frac{C_L + C_a}{C_L}\right) = 1{,}3$, sendo esta relação obtida após simulações do circuito dado acima no simulador HSPICE.

O segundo ramo de pré-carga do bloco UP é formado pelos transistores M_{U5}, M_{U6} e M_{U7}, como mostrado na Figura 3.4. Para a correta operação deste ramo utilizou-se apenas a técnica de escalonamento para se determinar as dimensões dos transistores M_{U6} e M_{U7} que operam durante a fase de avaliação do bloco. Utilizando-se a Equação (3.2) para determinar as dimensões dos transistores M_{U6} e M_{U7} tem-se:

$$\left(\frac{W}{L}\right)_{U6} = \left(\frac{3{,}6}{0{,}8}\right)$$

$$\left(\frac{W}{L}\right)_{U7} = \left(\frac{C_L + C_a}{C_L}\right)\left(\frac{W}{L}\right)_{U6} = \left(\frac{4{,}8}{0{,}8}\right)$$

O transistor de pré-carga M_{U5} possue o mesmo valor do transistor de pré-carga , M_{U1}, do primeiro ramo de pré-carga existente no bloco UP do circuito PFD. Logo as dimensões de M_{U5} são:

$$\left(\frac{W}{L}\right)_{U5} = \left(\frac{7{,}2}{0{,}8}\right)$$

As dimensões dos transistores M_{U4} e M_{U10} (que tem como função fazer o reset e preset do bloco UP, respectivamente) foram adotadas para o valor mínimo permitido pela tecnologia (CMOS 0,7μm da ES2), pois desta forma estes transistores

não irão contribuir para um aumento acentuado da capacitância dos nós (a) e (b) do bloco UP (Figura 3.4). Então, as dimensões dos transistores M_{U4} e M_{U10} são dadas por:

$$\left(\frac{W}{L}\right)_{U4,U10} = \left(\frac{2,4}{0,8}\right)$$

O inversor de saída do bloco UP, formado pelos transistores M_{U8} e M_{U9} como mostrado na Figura 3.4, foram projetados para possuírem tempos de subida e descida idênticos. Como a mobilidade do transistor pMOS é menor quando comparada com o transistor nMOS, para um inversor com tempos de subida e descida iguais, a largura do transistor pMOS deve ser multiplicada por um fator $\left(\frac{\mu_n}{\mu_p}\right)$=2. Adotando-se as dimensões mínimas para o transistor M_{U9} permitidas pela tecnologia, tem-se:

$$\left(\frac{W}{L}\right)_{U9} = \left(\frac{2,4}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{U8} = 2\left(\frac{W}{L}\right)_{U9} = \left(\frac{4,8}{0,8}\right)$$

Como a configuração do bloco DOWN é idêntica a do bloco UP, os resultados obtidos para o bloco UP também são válidos para a implementação do bloco DOWN do circuito PFD.

A Figura 3.8 mostra a simulação do circuito PFD para os sinais de entrada em 622MHz com diferença de fase de 90°.

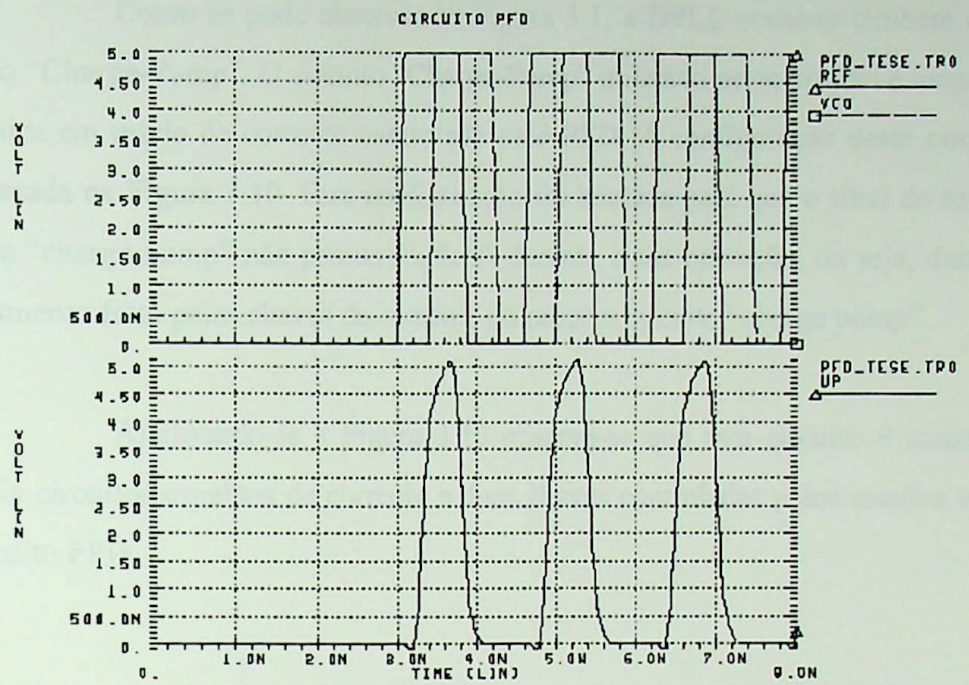


Figura 3.8 - Geração do Sinal UP pelo Circuito PFD.

O esquemático final do circuito PFD é mostrado na Figura 3.9.

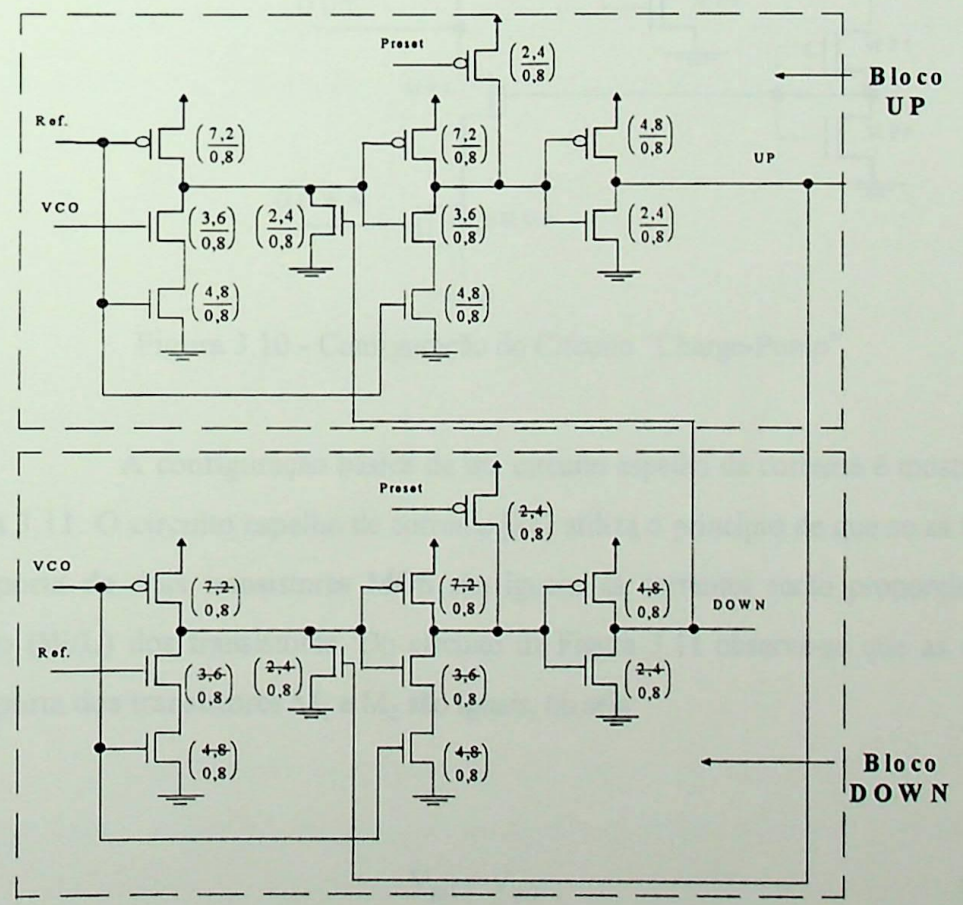


Figura 3.9 - Esquemático Final do Circuito PFD do Tipo Pré-Carga.

Como se pode observar na Figura 3.1, a DPLL consiste também de um circuito "Charge-Pump". O circuito "Charge-Pump" utilizado neste projeto é uma chave eletrônica em modo de corrente controlada pelo PFD. A configuração deste circuito é apresentada na Figura 3.10. Esta configuração foi adotada para que o sinal de saída do circuito "charge pump" não possua "spikes" durante a sua operação, ou seja, durante o chaveamento feito pelas chaves de controle do próprio circuito "charge pump".

Analisando-se a Figura 3.10 observa-se que este circuito é constituído por dois circuitos espelhos de corrente e duas chaves controladas pelos estados válidos do circuito PFD.

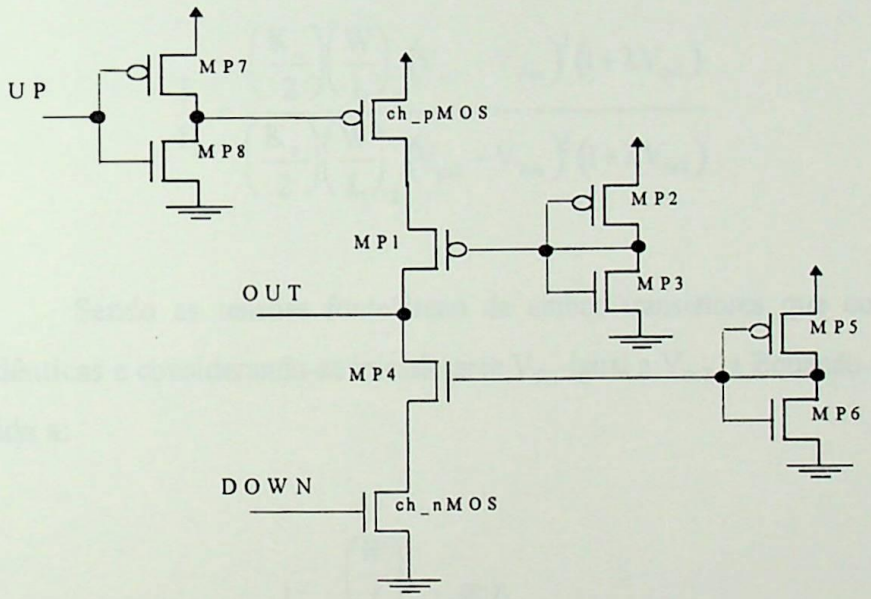
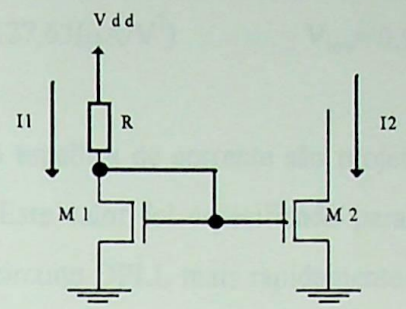


Figura 3.10 - Configuração do Circuito "Charge-Pump".

A configuração básica de um circuito espelho de corrente é mostrada na Figura 3.11. O circuito espelho de corrente [21] utiliza o princípio de que se as tensões fonte/porta de dois transistores MOS são iguais, as correntes serão proporcionais a relação (W/L) dos transistores. Do circuito da Figura 3.11 observa-se que as tensões fonte/porta dos transistores M_1 e M_2 são iguais, ou seja:

$$V_{gs1} = V_{gs2} \tag{3.3}$$



Biblioteca
de Itajubá - EFEI

Figura 3.11 - Espelho de Corrente Básico Tipo nMOS.

Neste circuito, a corrente de referência, I_1 é controlada por um circuito externo. A corrente espelhada I_2, considerando-se que ambos os transistores estão operando na região de saturação, é dada pela Equação (3.4):

$$\frac{I_1}{I_2} = \frac{\left(\frac{K_n}{2}\right)\left(\frac{W}{L}\right)_1 \left(V_{gs1} - V_{Ton}\right)^2 \left(1+\lambda V_{ds1}\right)}{\left(\frac{K_n}{2}\right)\left(\frac{W}{L}\right)_2 \left(V_{gs2} - V_{Ton}\right)^2 \left(1+\lambda V_{ds2}\right)} \qquad (3.4)$$

Sendo as tensões fonte/dreno de ambos transistores que compõem o espelho idênticas e considerando-se inicialmente V_{ds1} igual a V_{ds2}, a Equação (3.4) pode ser reduzida a:

$$\frac{I_1}{I_2} = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2} = \frac{W_1 L_2}{W_2 L_1} \qquad (3.5)$$

Como observado pela Equação (3.5), para uma primeira aproximação de projeto, o valor da corrente espelhada é função apenas da relação (W/L) dos transistores que compõem o circuito.

Nos cálculos das dimensões dos transistores que compõem o circuito "Charge-Pump" utilizou-se os seguintes parâmetros de projeto (CMOS 0,7μm da ES2):

K_p=50,6461($\mu A/V^2$) $\qquad$ V_{top}= - 0,92(V)

K_n=127,63(μA/V^2) V_{ton}= 0,906(V)

Os circuitos espelhos de corrente são projetados para conduzir (drenar) uma corrente de 500μA. Este valor foi especificado para que se consiga carregar as capacitâncias internas do circuito DPLL mais rapidamente e para se aumentar o ganho do circuito DPLL [9,14] fazendo deste modo que o DPLL obtenha o sincronismo de um modo mais rápido.

Analisando-se o espelho de corrente formado pelos transistores M_{P1}, M_{P2} e M_{P3} (Figura 3.10), cuja relação de transferência de corrente entre os transistores M_{P1} e M_{P2} é de 1:1, e considerando-se que estes transistores estão operando na região de saturação, as dimensões dos transistores podem ser calculadas utilizando-se a equação de corrente de saturação do transistor MOS:

$$I_{ds} = \left(\frac{K}{2}\right)\left(\frac{W}{L}\right)\left(V_{gs1} - V_T\right)^2 \qquad (3.6)$$

Assim, adotando-se o valor de V_{gs2}= 3,5V (para primeira aproximação), a razão $\left(\frac{W}{L}\right)_{P2}$ é:

$$500.10^{-6} = \frac{50,5451.10^{-6}}{2}\left(\frac{W}{L}\right)_{P2}\left(3,5 - |-0,92|\right)^2$$

$$\left(\frac{W}{L}\right)_{P2} = 2,9663$$

Definindo-se o valor de L_{P2} = 0,8μ, as dimensões do transistor M_{P2} são:

$$\left(\frac{W}{L}\right)_{P2} = \left(\frac{2,4}{0,8}\right)$$

Da Figura 3.10 observa-se que as tensões fonte/porta dos transistores M_{P1} e M_{P2} são diferentes devido as suas localizações no circuito "Charge-Pump". Adotando-se V_{gs1}= 2,5V para o transistor M_{p1} tem-se que $\left(\frac{W}{L}\right)_{P1}$ é:

$$500.10^{-6} = \frac{50,5451.10^{-6}}{2}\left(\frac{W}{L}\right)_{P1}\left(2,5-|-0,92|\right)^2$$

$$\left(\frac{W}{L}\right)_{P1} = 7,9093$$

Adotando-se L_{P1}= 0,8μ, as dimensões de M_{P1} são:

$$\left(\frac{W}{L}\right)_{P1} = \left(\frac{6,4}{0,8}\right)$$

Como V_{gs2}= 3,5V, pode-se observar pela Figura 3.10 que a tensão fonte/porta do transistor M_{P3} é dada por V_{gs3}= 1,5V, logo a razão $\left(\frac{W}{L}\right)_{P3}$ é:

$$500.10^{-6} = \frac{127,63.10^{-6}}{2}\left(\frac{W}{L}\right)_{P3}\left(1,5-0,906\right)^2$$

$$\left(\frac{W}{L}\right)_{P3} = 22,4385$$

Adotando-se L_{P3}= 0,8μ, as dimensões de M_{P3} são:

$$\left(\frac{W}{L}\right)_{P3} = \left(\frac{18}{0,8}\right)$$

O outro circuito espelho de corrente é formado pelos transistores M_{P4} , M_{P5} e M_{P6} (Figura 3.10), apresentando uma relação de transferência de corrente de 1:1 entre os transistores M_{P4} e M_{P6}. Como todos os transistores estão operando na região de

saturação, a Equação (3.6) pode ser utilizada para determinar as suas dimensões. Logo, $\left(\frac{W}{L}\right)_{P6}$ é dada por:

$$50010^{-6} = \frac{127{,}6.10^{-6}}{2}\left(\frac{W}{L}\right)_{P6}(3-0{,}906)^2$$

$$\left(\frac{W}{L}\right)_{P6} = 1{,}7869$$

Definindo-se o valor de $L_{P6} = 0{,}8\mu$, as dimensões do transistor M_{P6} são:

$$\left(\frac{W}{L}\right)_{P6} = \left(\frac{2{,}4}{0{,}8}\right)$$

Devido a disposição dos transistores M_{P6} e M_{P4} no circuito "Charge-Pump"(Figura 3.10) as tensões fonte/porta destes transistores são diferentes. A tensão fonte/porta do transistor M_{P4} é menor quando comparada com a do transistor M_{P6}. Admitindo-se V_{gs4}=2,5V, a razão $\left(\frac{W}{L}\right)_{P4}$ é:

$$50010^{-6} = \frac{127{,}6.10^{-6}}{2}\left(\frac{W}{L}\right)_{P4}(2{,}5-0{,}906)^2$$

$$\left(\frac{W}{L}\right)_{P4} = 3{,}5103$$

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca
MAUÁ
BrM

Adotando-se L_{P4}= 0,8μ, as dimensões de M_{P4} são:

$$\left(\frac{W}{L}\right)_{P4} = \left(\frac{2{,}8}{0{,}8}\right)$$

Como V_{gs5}= 3V, pode-se observar na Figura 3.10 que a tensão fonte/porta do transistor M_{P5} é dada por V_{gs5}= 2V, logo $\left(\frac{W}{L}\right)_{P5}$ é:

$$50010^{-6} = \frac{50,6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{P5}\left(2-|-0,92|\right)^2$$

$$\left(\frac{W}{L}\right)_{P5} = 16,928$$

Adotando-se L_{P5}= 0,8μ, as dimensões de M_{P5} são:

$$\left(\frac{W}{L}\right)_{P5} = \left(\frac{13}{0,8}\right)$$

As chaves de controle ch_pMOS e ch_nMOS da Figura 3.10 foram projetadas para possuírem a mesma velocidade de operação. Adotando-se as dimensões mínimas para o transistor M_{ch_nMOS} e considerando-se que $\left(\frac{\mu_n}{\mu_p}\right) = 2$, tem-se que as dimensões de M_{ch_pMOS} são:

$$\left(\frac{W}{L}\right)_{ch_nMOS} = \left(\frac{2.4}{0.8}\right)$$

$$\left(\frac{W}{L}\right)_{ch_pMOS} = 2\left(\frac{W}{L}\right)_{ch_nMOS} = \left(\frac{4.8}{0.8}\right)$$

O inversor de entrada da ch_pMOS formado pelos transistores M_{P7} e M_{P8} da Figura 3.10 foi projetado para possuir tempos de subida e descida idênticos, assim:

$$\left(\frac{W}{L}\right)_{P8} = \left(\frac{2,4}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{P7} = 2\left(\frac{W}{L}\right)_{P8} = \left(\frac{4,8}{0,8}\right)$$

A Figura 3.12 apresenta uma simulação do circuito "Charge-Pump" feita no simulador HSPICE. As novas dimensões dos transistores, ajustadas através das simulações são mostradas na Figura 3.13.

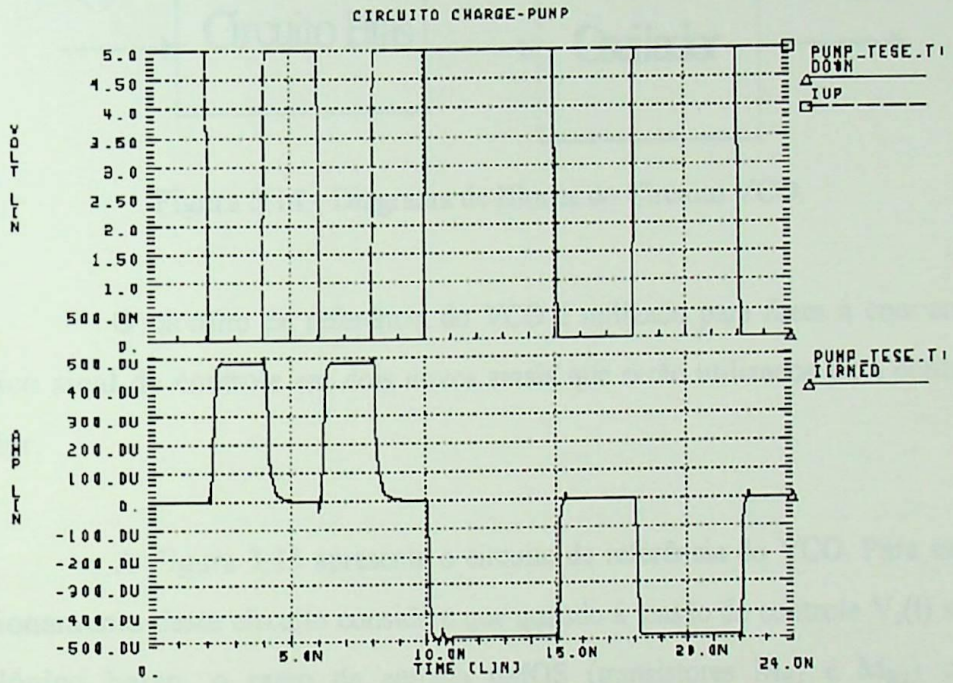


Figura 3.12 - Simulação do Circuito "Charge-Pump".

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca
MAUÁ
BEM

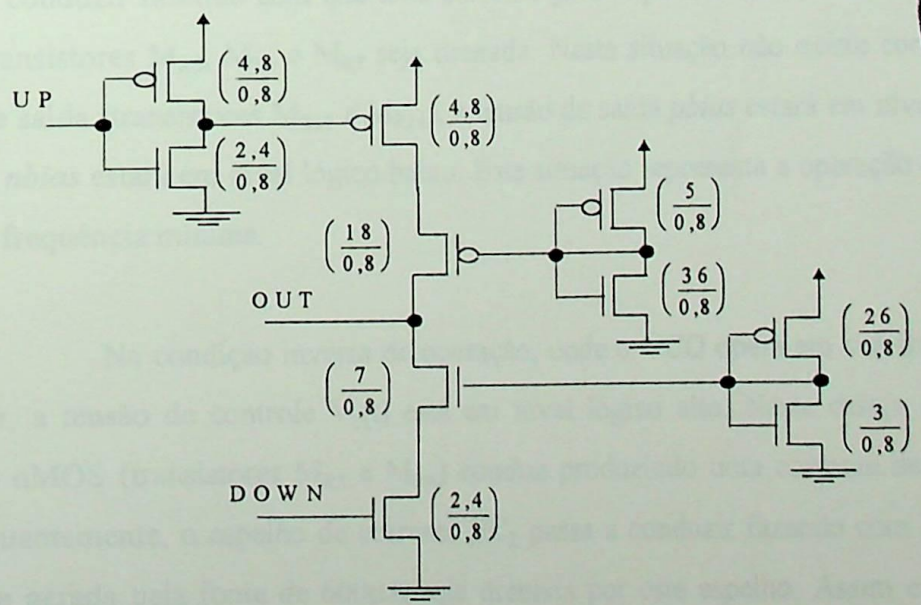


Figura 3.13 - Esquemático Final do Circuito "Charge-Pump".

3.2 Circuito Oscilador Controlado por Tensão

O circuito oscilador controlado por tensão é dividido em dois blocos distintos: um circuito de referência (circuito de polarização) e o circuito oscilador propriamente dito como mostrado na Figura 3.14.

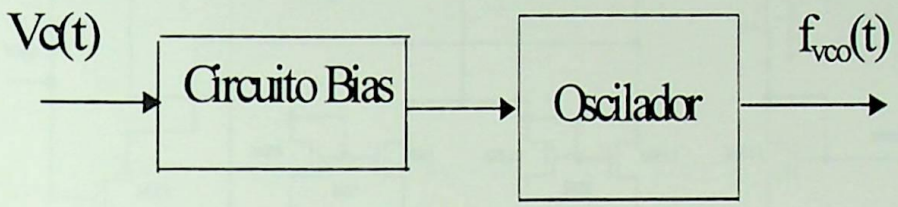


Figura 3.14 - Diagrama de Blocos do Circuito VCO.

O circuito de referência do VCO é utilizado para fazer a conversão de um único sinal de controle em dois novos sinais que serão utilizados para controlar o oscilador.

A Figura 3.15 apresenta o circuito de referência do VCO. Para entender o funcionamento deste circuito considere que quando a tensão de controle $V_c(t)$ está em nível lógico baixo, o ramo de entrada pMOS (transistores M_{R1} e M_{R2}) conduz, produzindo uma corrente de 600μA [18]. Consequentemente, o espelho de corrente EC_1 passa a conduzir fazendo com que toda corrente gerada pela fonte de 600μA formada pelos transistores M_{R5}, M_{R6} e M_{R7} seja drenada. Nesta situação não existe corrente no ramo de saída (transistores M_{R12} e M_{R14}), a tensão de saída *pbias* estará em nível lógico alto e a *nbias* estará em nível lógico baixo. Esta situação representa a operação do VCO em sua freqüência mínima.

Na condição inversa de operação, onde o VCO opera em sua freqüência máxima, a tensão de controle $V_c(t)$ está em nível lógico alto. Neste caso,o ramo de entrada nMOS (transistores M_{R3} e M_{R4}) conduz produzindo uma corrente de 600μA. Consequentemente, o espelho de corrente EC_2 passa a conduzir fazendo com que toda corrente gerada pela fonte de 600μA seja drenada por este espelho. Assim existe um fluxo de corrente máximo, da ordem de 1,2mA, circulando pelo ramo de saída deste

circuito (transistores M_{R12} e M_{R14}), a tensão de saída *pbias* estará em nível lógico baixo e a *nbias* estará em nível lógico alto.

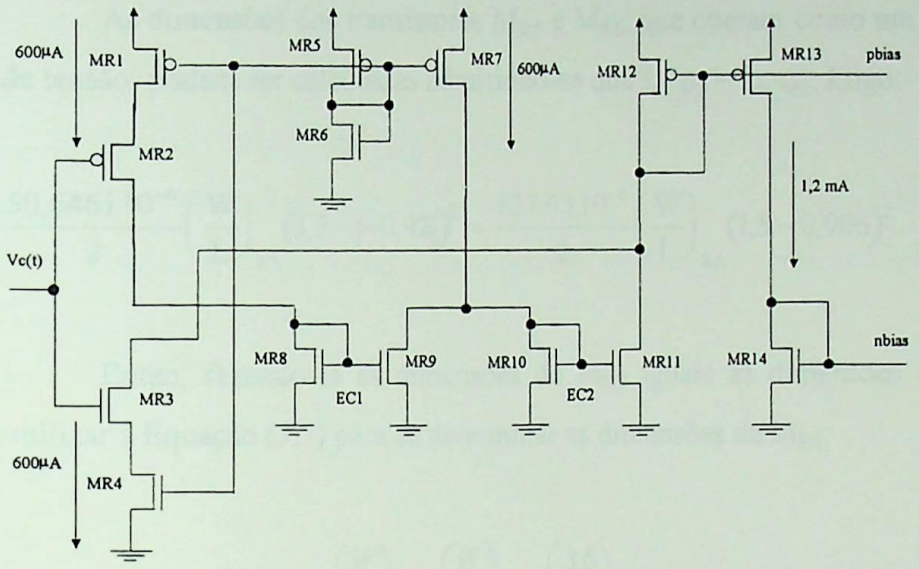


Figura 3.15 - Esquemático do Circuito de Referência do VCO.

A fonte de 600µA constituída pelos transistores M_{R5}, M_{R6} e M_{R7} foi projetada considerando-se que estes transistores operam na região de saturação. Os transistores M_{R5} e M_{R6} foram conectados de forma a produzir um valor de tensão de referência para que o transistor M_{R7} possa produzir uma corrente de 600µA.

Utilizando a Equação (3.6), e admitindo-se que a tensão de porta do transistor M_{R7} é 1,5V para uma corrente de 600µA, a razão $\left(\frac{W}{L}\right)_{R7}$ é dada por:

$$600.10^{-6} = \frac{50,6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{R7}(3,5-|-0,92|)^2$$

$$\left(\frac{W}{L}\right)_{R7} = 3,5596$$

Definindo-se o valor de $L_{R7} = 1\mu$, as dimensões do transistor M_{R7} são:

$$\left(\frac{W}{L}\right)_{R7} = \left(\frac{3,6}{1}\right)$$

As dimensões dos transistores M_{R5} e M_{R6}, que operam como um circuito divisor de tensão, podem ser calculadas admitindo-se que $I_{ds_M5} = I_{ds_M6}$. Logo:

$$\frac{50,6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{R5}(3,5-|-0,92|)^2 = \frac{127,63.10^{-6}}{2}\left(\frac{W}{L}\right)_{R6}(1,5-0,906)^2 \quad (3.7)$$

Então, fazendo-se as dimensões de M_{R5} iguais as dimensões de M_{R7}, pode-se utilizar a Equação (3.7) para se determinar as dimensões de M_{R6}:

$$\left(\frac{W}{L}\right)_5 = \left(\frac{W}{L}\right)_7 = \left(\frac{3.6}{1}\right)$$

e utilizando-se a Equação (3.7), tem-se que as dimensões do transistor M_{R6} são:

$$\left(\frac{W}{L}\right)_{R6} = \left(\frac{26,6}{1}\right)$$

Os circuitos espelhos de corrente EC_1 e EC_2 foram projetados para operar com uma corrente máxima de 600μA. Como a relação de transferência de corrente é de 1:1 em EC_1 e EC_2, conclui-se que as dimensões dos transistores M_{R8}, M_{R9}, M_{R10} e M_{R11} serão iguais. Utilizando-se a Equação (3.6) e admitindo-se que $V_{gs8,9,10,11}$= 3,5V, tem-se que a razão $\left(\frac{W}{L}\right)_{R8}$ é:

$$600.10^{-6} = \frac{127,63.10^{-6}}{2}\left(\frac{W}{L}\right)_{R8}(3,5-0,906)^2$$

$$\left(\frac{W}{L}\right)_{R8} = 1,3984$$

Fazendo-se L_{R8}= 2μ, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{R8,R9,R10,R11} = \left(\frac{2,8}{2}\right)$$

O ramo de entrada pMOS, composto pelos transistores M_{R1} e M_{R2}, foi projetado para conduzir uma corrente de 600μA. Da Figura 3.15 observa-se que o transistor M_{R2} está operando como uma chave de entrada do ramo. As dimensões adotadas desta chave são:

$$\left(\frac{W}{L}\right)_{R2} = \left(\frac{4,8}{0,8}\right)$$

O transistor M_{R1} do ramo de entrada pMOS (Figura 3.15) opera como uma resistência limitando a corrente em 600μA. Pode-se observar, por simulação, que M_{R1} está operando na região linear. A corrente de um transistor MOS operando na região linear é dada por:

$$I_{ds} = \frac{K}{2}\left(\frac{W}{L}\right)\left[2\left(V_{gs} - V_T\right)V_{ds} - V_{ds}^2\right] \qquad (3.8)$$

Então, a partir da Equação (3.8), pode-se determinar a razão $\left(\frac{W}{L}\right)_{R1}$:

$$600.10^{-6} = \frac{50,6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{R1}\left[2\left(3,5 - |-0.92|\right)0,5 - 0,5^2\right]$$

$$\left(\frac{W}{L}\right)_{R1} = 10,169$$

Adotando-se L_{R1}= 1μ, as dimensões de M_{R1} são:

$$\left(\frac{W}{L}\right)_{R1} = \left(\frac{10}{1}\right)$$

O ramo de entrada nMOS, composto pelos transistores M_{R3} e M_{R4}, foi projetado para conduzir uma corrente de 600μA, quando a chave deste ramo estiver ativa. Da Figura 3.15 observa-se que o transistor M_{R3} está operando como uma chave de entrada do ramo. As dimensões adotadas para esta chave são:

$$\left(\frac{W}{L}\right)_{R3} = \left(\frac{2,4}{0,8}\right)$$

O transistor M_{R4} do ramo de entrada nMOS opera como uma resistência limitando a corrente em 600μA, e observa-se que este está operando na região de saturação. A partir da Equação (3.6), a relação $\left(\frac{W}{L}\right)_{R4}$ é:

$$600.10^{-6} = \frac{127,63.10^{-6}}{2}\left(\frac{W}{L}\right)_{R4}(1,5-0,906)^2$$

$$\left(\frac{W}{L}\right)_{R4} = 26,6474$$

Adotando-se L_{R4}= 1μ, as dimensões de M_{R4} são:

$$\left(\frac{W}{L}\right)_{R4} = \left(\frac{27}{1}\right)$$

O circuito de saída é composto pelos transistores M_{R12}, M_{R13} e M_{R14} (Figura 3.15). Os transistores M_{R12} e M_{R13} estão ligados como um espelho de corrente, enquanto que o transistor M_{R14} está conectado como carga para limitar a corrente fornecida pelo transistor M_{R13}. Todos os transistores do circuito de saída estão operando na região de saturação, ou seja, a razão destes transistores pode ser obtida utilizando a Equação (3.6). A corrente máxima no ramo de saída deve ser 1,2mA.

Assim, a partir da Equação (3.6) a razão $\left(\frac{W}{L}\right)_{R12,R13}$ é:

$$1{,}2.10^{-3} = \frac{50{,}6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{R12,R13}\left(3-|-0{,}92|\right)^2$$

$$\left(\frac{W}{L}\right)_{R12,R13} = 10{,}953$$

Definindo-se $L_{R12,R13}= 2\mu$, as dimensões dos transistores M_{R12} e M_{R13} são:

$$\left(\frac{W}{L}\right)_{R12,R13} = \left(\frac{22}{2}\right)$$

A razão $\left(\frac{W}{L}\right)_{R14}$ também pode ser determinada utilizando-se a Equação (3.6):

$$1{,}2.10^{-3} = \frac{127{,}63.10^{-6}}{2}\left(\frac{W}{L}\right)_{R14}\left(3{,}5-0{,}906\right)^2$$

$$\left(\frac{W}{L}\right)_{R14} = 2{,}794$$

Escola [illegible] de Engenharia de Itajubá - EFEI
Biblioteca
MA[illegible]Á
B[illegible]M

As dimensões de M_{R14}, adotando-se $L_{R14}= 2\mu$, são:

$$\left(\frac{W}{L}\right)_{R14} = \left(\frac{5{,}6}{2}\right)$$

O esquemático final do circuito de referência do VCO é mostrado na Figura 3.16.

A Figura 3.17 mostra a curva característica do circuito de referência do VCO. Esta curva representa a relação de transformação de tensão de entrada para a corrente do ramo de saída. A Figura 3.18 mostra as tensões de controle geradas pelo circuito de referência do VCO.

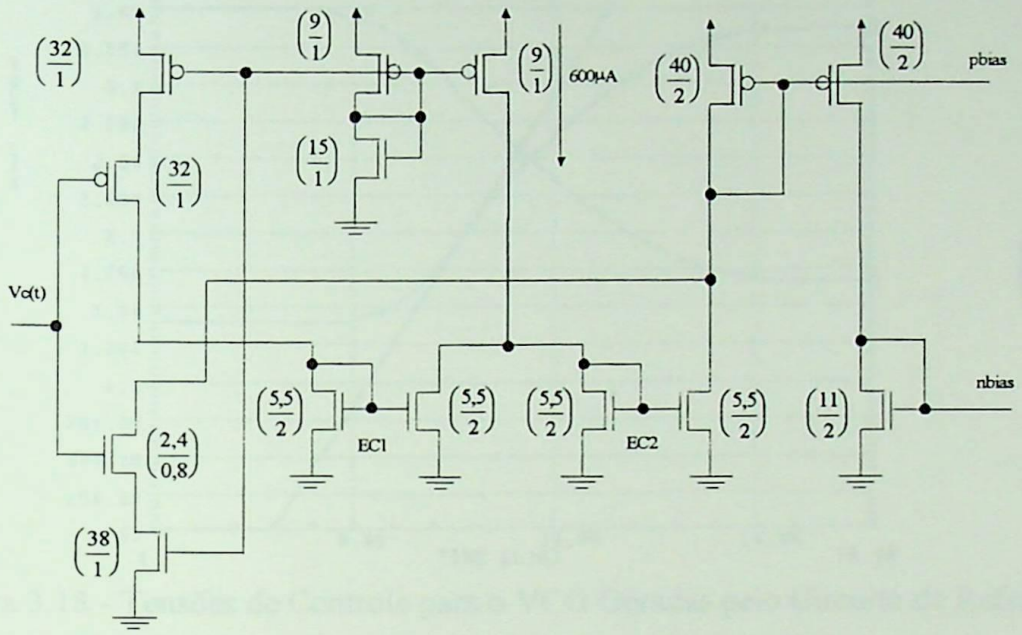


Figura 3.16 - Esquemático Final do Circuito de Referência do VCO.

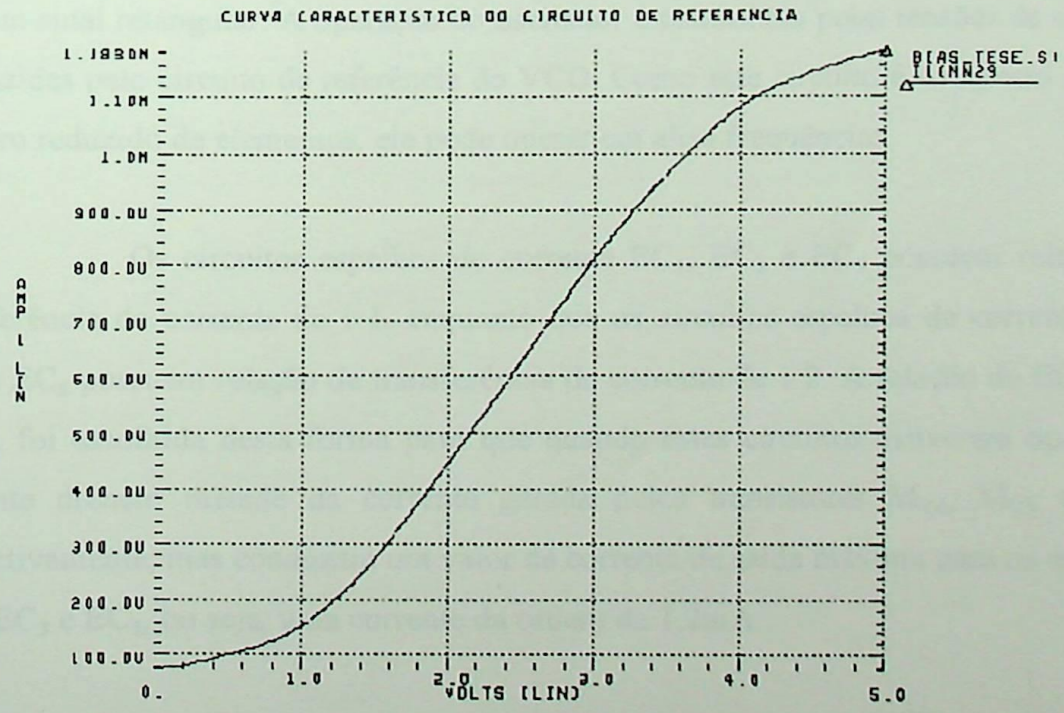
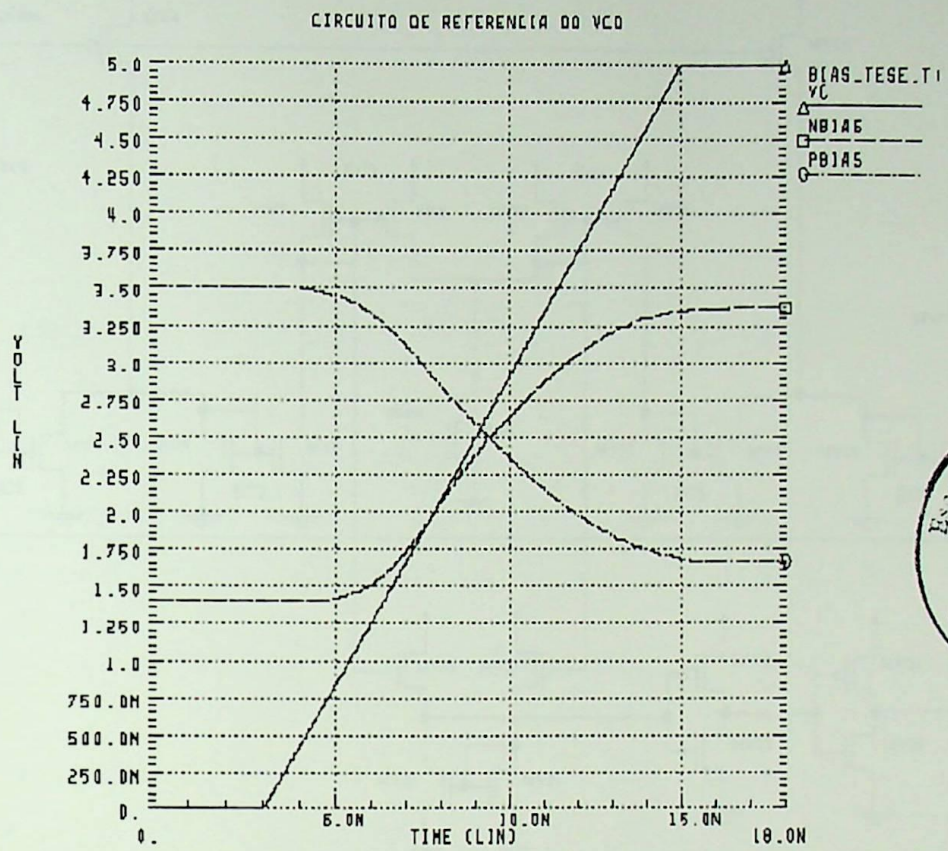


Figura 3.17 - Curva Característica do Circuito de Referência do VCO.



Biblioteca
Escola de Engenharia de Itajubá - EFEI

Figura 3.18 - Tensões de Controle para o VCO Geradas pelo Circuito de Referência.

O circuito oscilador controlado por tensão, mostrado na Figura 3.19, é constituído de três estágios (três circuitos espelhos de corrente). Este circuito possui um amplificador diferencial em sua saída para permitir que o sinal produzido pelo oscilador seja um sinal retangular. A operação do oscilador é controlada pelas tensões de controle produzidas pelo circuito de referência do VCO. Como este circuito é composto por um número reduzido de elementos, ele pode operar em altas freqüências.

Os circuitos espelhos de corrente EC_1, EC_3 e EC_5 possuem relação de transferência de corrente de 1:1, enquanto que os circuitos espelhos de corrente EC_2, EC_4 e EC_6 possuem relação de transferência de corrente de 1:2. A relação de EC_2, EC_4 e EC_6 foi escolhida desta forma para que quando estes circuitos estiverem operando, somente drenem metade da corrente gerada pelos transistores M_{V4}, M_{V9} e M_{V14} respectivamente, mas conduzam um valor de corrente de saída máxima para os espelhos EC_1, EC_3 e EC_5, ou seja, uma corrente da ordem de 1,2mA.

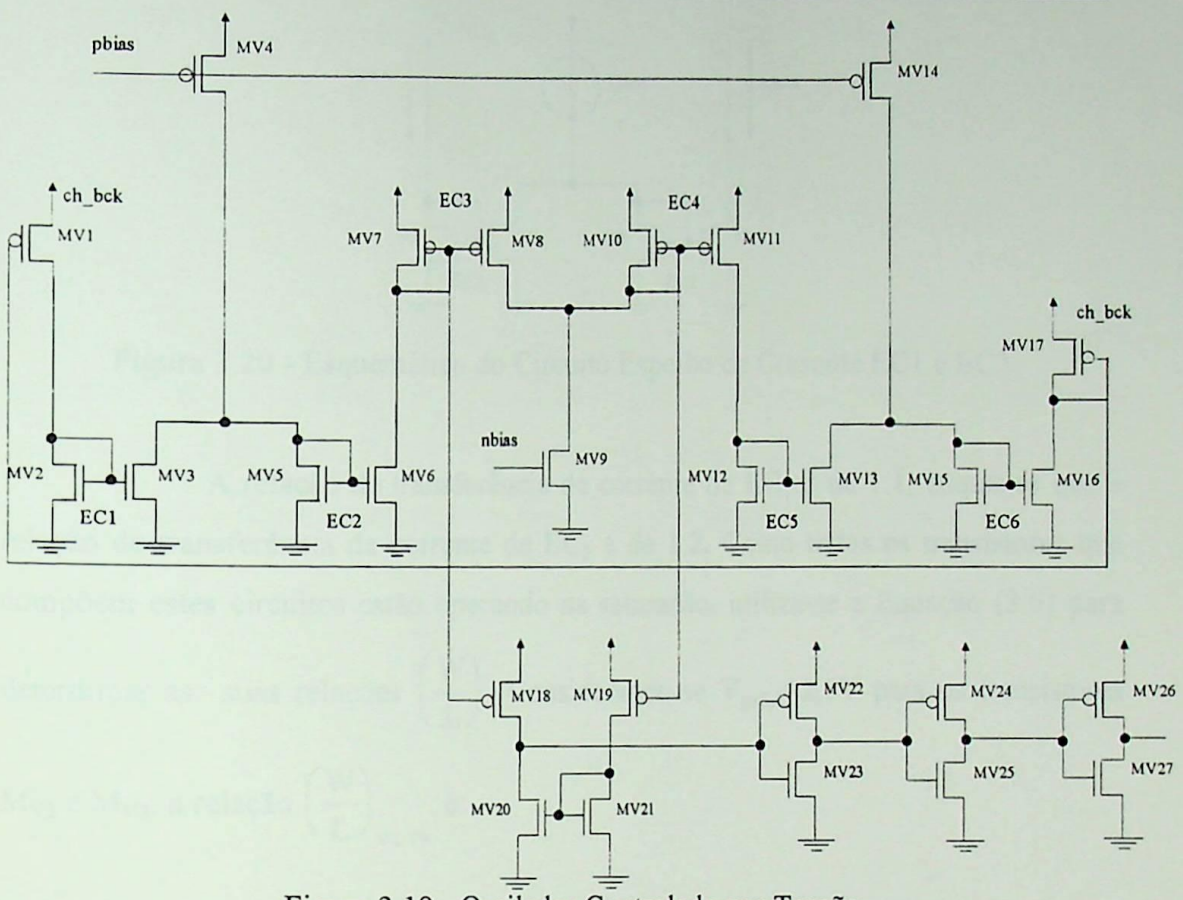


Figura 3.19 - Oscilador Controlado por Tensão.

Quando o transistor M_{V1} está conduzindo (sinal da porta do transistor está em nível lógico baixo) o espelho de corrente EC_1 conduz fazendo com que toda corrente produzida pelo transistor M_{V4} seja drenada por este espelho. Consequentemente os espelhos de corrente EC_2 e EC_3 estão cortados. Como o espelho de corrente EC_3 está cortado, a corrente do transistor M_{V10}, que compõe o espelho de corrente EC_4, é igual a metade da corrente produzida pelo transistor M_{V9}. A corrente em EC_4 é convertida em um valor maior (relação 1:2 neste espelho) e faz o espelho de corrente EC_5 conduzir. A corrente produzida pelo transistor M_{V14} é drenada pelo espelho de corrente EC_5 e então o espelho de corrente EC_6 fica cortado. Consequentemente o sinal da porta do transistor M_{V1} passa para nível lógico alto e a oscilação deste circuito se inicia.

Os circuitos espelhos de corrente nMOS, EC_1 e EC_2 são repetidos na Figura 3.20.

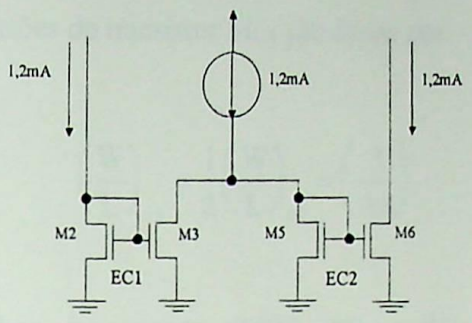


Figura 3.20 - Esquemático do Circuito Espelho de Corrente EC1 e EC2.

A relação de transferência de corrente de EC_1 é de 1:1, enquanto que a relação de transferência de corrente de EC_2 é de 1:2. Como todos os transistores que compõem estes circuitos estão operando na saturação, utiliza-se a Equação (3.6) para determinar as suas relações $\left(\frac{W}{L}\right)$. Considerando-se $V_{gs2,3}$=2,5V para os transistores M_{V2} e M_{V3}, a relação $\left(\frac{W}{L}\right)_{V2,V3}$ é:

$$1{,}2.10^{-3} = \frac{127{,}63.10^{-6}}{2}\left(\frac{W}{L}\right)_{V2,V3}(2{,}5-0{,}906)^2$$

$$\left(\frac{W}{L}\right)_{V2,V3} = 7{,}4009$$

Estabelecendo-se $L_{V2,V3}$= 0,8μ, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{V2,V3} = \left(\frac{6}{0{,}8}\right)$$

Para que o espelho de corrente EC_2 possua uma corrente espelhada máxima de 1,2mA, o transistor M_{V6} deve possuir a mesma dimensão dos transistores M_{V2} e M_{V3}, ou seja:

$$\left(\frac{W}{L}\right)_{V6} = \left(\frac{W}{L}\right)_{V2,V3} = \left(\frac{6}{0{,}8}\right)$$

As dimensões do transistor M_{V5} são dadas por:

$$\left(\frac{W}{L}\right)_{v5} = \frac{1}{2}\left(\frac{W}{L}\right)_{v6} = \left(\frac{3}{0,8}\right)$$

Os espelhos de corrente nMOS, EC_5 e EC_6 apresentam as mesmas características dos espelhos EC_1 e EC_2 (Figura 3.19) e, consequentemente, as dimensões obtidas para os circuitos EC_1 e EC_2 também são válidas para os espelhos EC_5 e EC_6. Logo, as dimensões dos transistores que compõem estes circuitos são dadas por:

$$\left(\frac{W}{L}\right)_{v12,v13,v16} = \left(\frac{W}{L}\right)_{v6} = \left(\frac{6}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{v15} = \left(\frac{W}{L}\right)_{v5} = \left(\frac{3}{0,8}\right)$$

Os espelhos de corrente pMOS, EC_3 e EC_4 mostrados na Figura 3.19, possuem as relações de transferência de corrente 1:1 e 1:2, respectivamente. Assim, como os transistores estão operando na região de saturação, a Equação (3.6) pode ser utilizada para determinar as relações $\left(\frac{W}{L}\right)$ destes transistores. A razão $\left(\frac{W}{L}\right)$ dos transistores M_{V7}, M_{V8} e M_{V11} são:

$$1,2.10^{-3} = \frac{50,6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{V7,V8,V11}(3,5-|-0,92|)^2$$

$$\left(\frac{W}{L}\right)_{V7,V8,V11} = 7,0425$$

Adotando-se $L_{V7,V8,V11} = 0,8\mu$, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{V7,V8,V11} = \left(\frac{5,6}{0,8}\right)$$

As dimensões do transistor M_{V10} que compõem o espelho de corrente EC_4 são dadas por:

$$\left(\frac{W}{L}\right)_{V10} = \frac{1}{2}\left(\frac{W}{L}\right)_{V11} = \left(\frac{2,8}{0,8}\right)$$

As chaves ch_bck são utilizadas para operar com uma corrente máxima 1,2mA. As duas chaves são projetadas para estarem operando na região de saturação; Logo, estabelecendo-se V_{gsch_bck}=3,5V, a razão $\left(\frac{W}{L}\right)$ destas chaves são:

$$1,2.10^{-3} = \frac{50,6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{V1,V17}(3,5-|-0,92|)^2$$

$$\left(\frac{W}{L}\right)_{V1,V17} = 7,0425$$

Adotando-se $L_{V1,V17}$= 0,8μ, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{V1,V17} = \left(\frac{5,6}{0,8}\right)$$

Os transistores M_{V4}, M_{V14} e M_{V9} (Figura 3.19) são utilizados para gerar uma corrente de 1,2mA (operam como fontes de corrente com tensões de porta estabelecidas pelo circuito de referência do VCO), sendo os dois primeiros do tipo pMOS e o último do tipo nMOS. Considerando-se que todos os transistores estão operando na região de saturação, a relação $\left(\frac{W}{L}\right)$ de cada transistor é:

- transistores M_{V4} e M_{V14} (adotando-se V_{gs}= 3V)

$$1,2.10^{-3} = \frac{50,6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{V4,V4}(3-|0,92|)^2$$

$$\left(\frac{W}{L}\right)_{V4,V14} = 10,05$$

adotando-se $L_{V4,V14}$= 0,8μ, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{V4,V14} = \left(\frac{8,8}{0,8}\right)$$

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca MAUÁ BIM

- transistor M_{V9} (adotando-se V_{gs}= 3V)

$$1,2.10^{-3} = \frac{127,64.10^{-6}}{2}\left(\frac{W}{L}\right)_{V9}(3-0,906)^2$$

$$\left(\frac{W}{L}\right)_{V9} = 4,288$$

estabelecendo-se L_{V9}= 0,8μ, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{V9} = \left(\frac{3,4}{0,8}\right)$$

O circuito amplificador diferencial [20,21] de saída do VCO é composto pelos transistores M_{V18}, M_{V19}, M_{V20} e M_{V21} como mostrado na Figura 3.19. O par diferencial é formado pelos transistores pMOS M_{V18} e M_{V19}, enquanto que a carga para este par diferencial é formado por um circuito espelho de corrente nMOS formado pelos transistores M_{V20} e M_{V21}. Como as correntes dos ramos deste circuito são iguais, ou seja, $I_{ds_MV18} = I_{ds_MV20}$ e $I_{ds_MV19} = I_{ds_MV21}$, considerando-se $V_{gs18,19}$=3,5V e $V_{gs20,21}$=3V, tem-se a sequinte equação:

$$\frac{50,6461.10^{-6}}{2}\left(\frac{W}{L}\right)_{V18,V19}(3,5-|-0,92|)^2 = \frac{127,63.10^{-6}}{2}\left(\frac{W}{L}\right)_{V20,V21}(3-0,906)^2 \qquad (3.9)$$

Adotando-se as dimensões mínimas para os transistores M_{V18} e M_{V19}, e utilizando-se a Equação (3.9), pode-se determinar as dimensões dos transistores M_{V20} e M_{V21} que são dadas por:

$$\left(\frac{W}{L}\right)_{V18,V19} = \left(\frac{2,4}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{V20,V21} = \left(\frac{1,8092}{1}\right)$$

Adotou-se $L_{V20,V21}$= 1μ para se calcular as dimensões de M_{V20} e M_{V21}.

Na saída do amplificador diferencial foram colocados inversores como mostrado na Figura 3.19. Estes inversores são utilizados para aumentar o fan-out do circuito VCO. Como foram projetados para possuírem tempo de subida e descida idênticos, considerou-se a razão $\left(\frac{W_p}{W_n}\right)$=2. As dimensões dos transistores que formam estes inversores são dadas por:

$$\left(\frac{W}{L}\right)_{V23} = \left(\frac{2,4}{0,8}\right) \quad \text{e} \quad \left(\frac{W}{L}\right)_{V22} = 2\left(\frac{W}{L}\right)_{V23} = \left(\frac{4,8}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{V25} = \left(\frac{4,8}{0,8}\right) \quad \text{e} \quad \left(\frac{W}{L}\right)_{V24} = 2\left(\frac{W}{L}\right)_{V25} = \left(\frac{9,6}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{V27} = \left(\frac{9,6}{0,8}\right) \quad \text{e} \quad \left(\frac{W}{L}\right)_{V26} = 2\left(\frac{W}{L}\right)_{V27} = \left(\frac{19,2}{0,8}\right)$$

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca

O esquemático final do circuto VCO é mostrado na Figura 3.21.

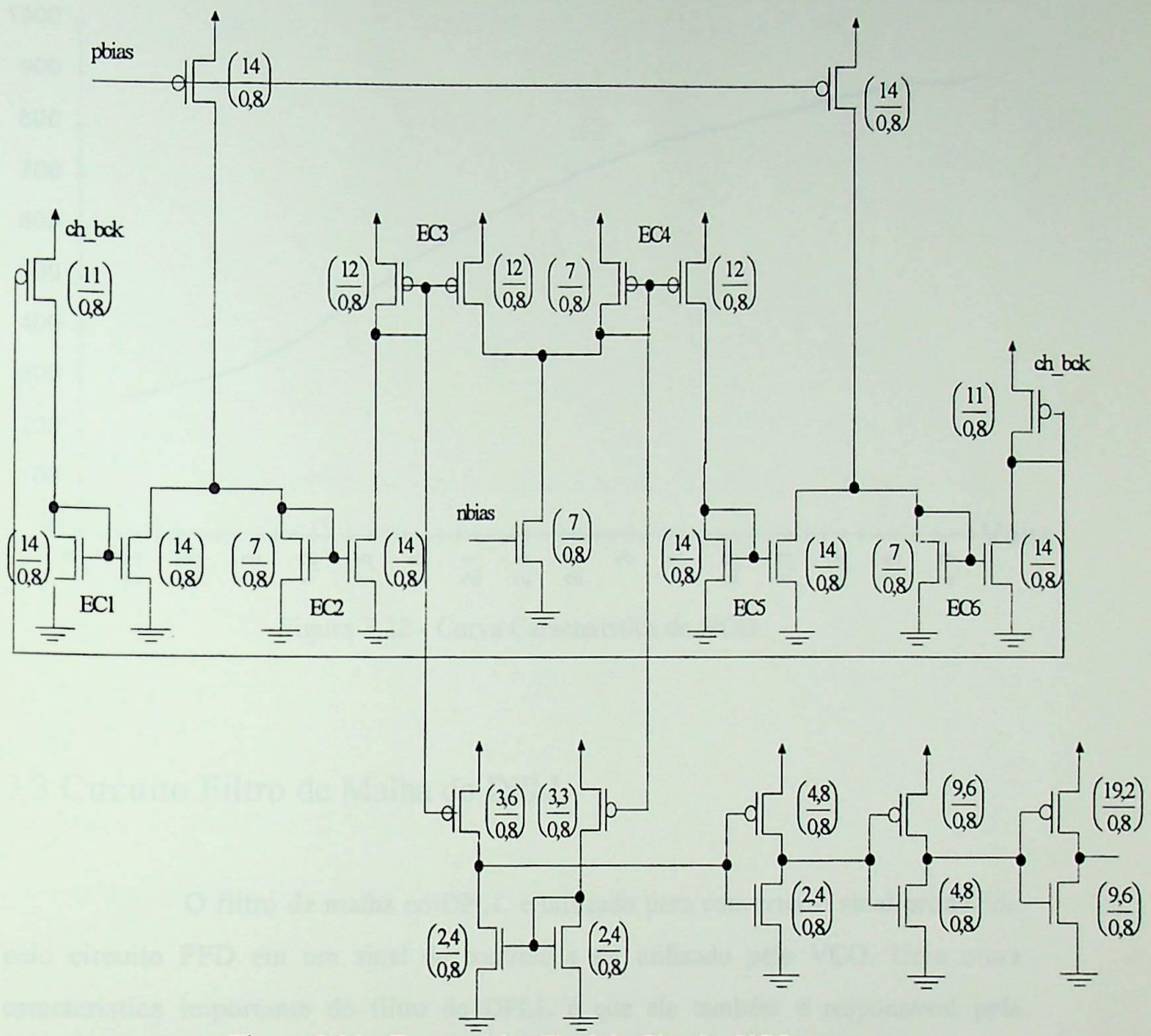


Figura 3.21 - Esquemático Final do Circuito VCO.

A Figura 3.22 representa a curva característica do VCO (tensão de controle versus freqüência de saída do VCO). Desta figura pode-se determinar o ganho do circuito VCO utilizando-se a Equação 2.20 (Capítulo 2, Seção 2.2.2):

$$K_0 = \frac{f_{max} - f_{min}}{V_{max} - V_{min}} = \frac{900.10^6 - 260.10^6}{5}$$

$$K_0 = 127{,}8 \left(\frac{Mhz}{V} \right)$$

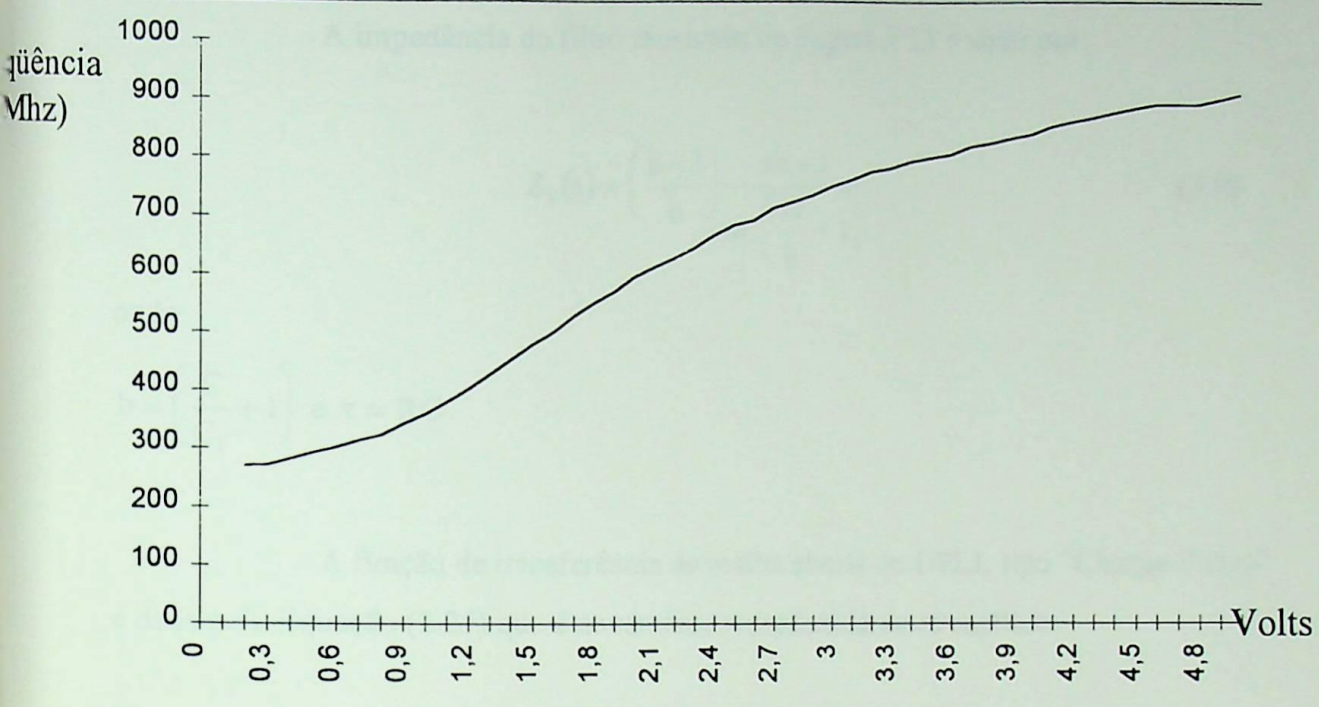


Figura 3.22 - Curva Característica do VCO.

3.3 Circuito Filtro de Malha do DPLL

O filtro de malha no DPLL é utilizado para converter o sinal produzido pelo circuito PFD em um sinal de controle a ser utilizado pelo VCO. Uma outra característica importante do filtro do DPLL é que ele também é responsável pela supressão do "ripple" existente no DPLL, pois este poderia levar o VCO a saturação e deste modo fazer com que o DPLL perca o sincronismo.

A Figura 3.23 apresenta o filtro utilizado neste projeto que foi o do tipo "Lag" Passivo com capacitor em paralelo como foi apresentado na Seção 2.2.3.2 do Capítulo 2.

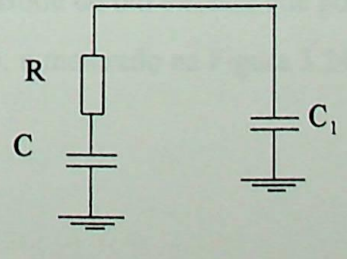


Figura 3.23 - Configuração do Filtro Utilizado no Circuito DPLL.

A impedância do filtro mostrado na Figura 3.23 é dado por:

$$Z_F(s) = \left(\frac{b-1}{b}\right)\frac{s\tau + 1}{sC\left(\frac{s\tau}{b} + 1\right)} \tag{3.9}$$

onde:

$b = \left(\frac{C}{C_1} + 1\right)$ e $\tau = RC$.

A função de transferência de malha aberta do DPLL tipo "Charge-Pump" é dada pela Equação (2.25) que é novamente reproduzida neste capítulo:

$$G_0(s) = \left(\frac{K_o}{s}\right)\left(\frac{I_p}{2\pi}\right)Z_F(s) \tag{3.10}$$

onde:

K_o = ganho do circuito VCO dado em $\left[\frac{rad}{s.V}\right]$,

I_p = corrente de saída do circuito "charge-pump" [A].

Substituindo-se a Equação (3.9) em (3.10), a função de transferência de malha aberta do DPLL tipo "Charge-Pump" utilizando um filtro tipo "Lag" Passivo com Capacitor em Paralelo é [11,14]:

$$G_0(s) = K_0\left(\frac{I_p}{2\pi}\right)R\left(\frac{b-1}{b}\right)\frac{s\tau + 1}{s^2\tau\left(\frac{s\tau}{b} + 1\right)} \tag{3.11}$$

O diagrama de Bode de um sistema que possue a função de transferência de 3ª ordem, como o projetado, é mostrado na Figura 3.24.

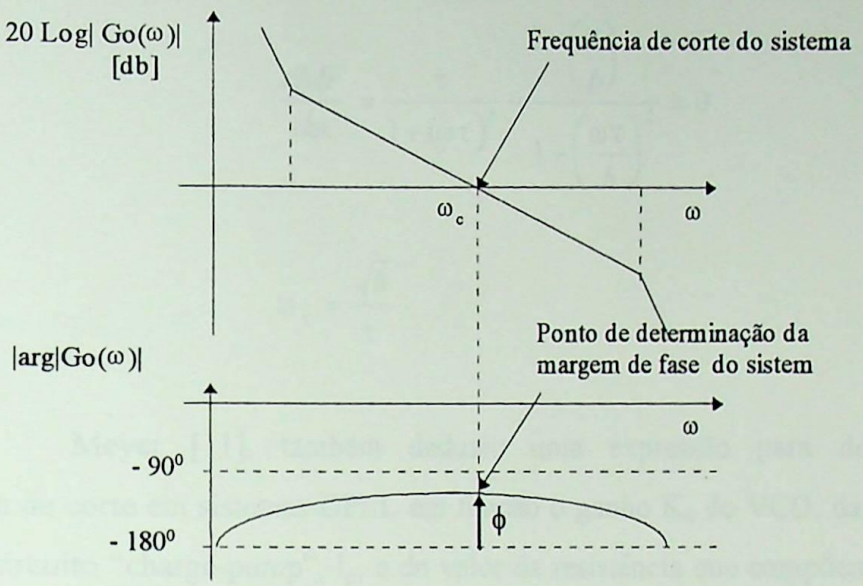


Figura 3.24 - Diagrama de Bode de um Sistema de 3ª Ordem.

Um método de projeto do filtro de um sistema DPLL é adotar-se valores de freqüência de corte e de margem de fase do sistema e desde modo determina-se os valores dos elementos que compõem o circuito filtro do DPLL [14].

Utilizando-se a Equação (3.11) pode-se determinar em função de ω, o valor da constante de tempo τ do filtro.

$$G_0(j\omega)\Big|_{s=j\omega} = K_0\left(\frac{I_p}{2\pi}\right)R\left(\frac{b-1}{b}\right)\frac{j\omega\tau+1}{-\omega^2\tau\left(\frac{j\omega\tau}{b}+1\right)} \qquad (3.12)$$

A margem de fase, MF, do sistema é:

$$MF = arctag(\omega\tau) - arctag\left(\frac{\omega\tau}{b}\right) + 180^0 \qquad (3.13)$$

Obtendo-se a derivada da margem de fase com relação a ω e igualando o resultado a zero (cálculo de máximo da função) determina-se a freqüência de corte do DPLL, sendo esta dada pela Equação (3.14):

$$\frac{dMF}{d\omega} = \frac{\tau}{1+(\omega\tau)^2} - \frac{\left(\frac{\tau}{b}\right)}{1+\left(\frac{\omega\tau}{b}\right)^2} = 0$$

$$\omega_c = \frac{\sqrt{b}}{\tau} \tag{3.14}$$

Meyer [11], também deduziu uma expressão para determinar a freqüência de corte em sistemas DPLL em função o ganho K_0 do VCO, da corrente de saída do circuito "charge-pump", I_p, e do valor da resistência que compõem o filtro do DPLL, R, sendo esta expressão dada pela Equação (3.15):

$$\omega_c = K_0 \frac{I_p}{2\pi} R\left(\frac{b-1}{b}\right) \tag{3.15}$$

A margem de fase, MF, do filtro proposto é ajustada através do valor de b como pode ser observado na Tabela 3.1.

Tabela 3.1 - Variação da MF em Função da Variação de b.

b	6	8	10	12	14	16	18	20
MF (graus)	45	51	54	57	60	62	63,47	64,82

Logo, utilizando-se as Equações (3.14) e (3.15) e a Tabela 3.1 pode-se determinar todos os valores dos componentes do filtro do DPLL.

O filtro do DPLL foi projetado tendo como principal característica o fato de apresentar uma rápida resposta transitória. Os cálculos dos componentes do filtro são:

- adotando-se ω_c =195,4071(Mrad/s) e b=11 tem-se, a partir da Equação (3.15):

$$\left(\frac{127{,}8.10^{6}\ 2\pi\ 500.10^{-6}\ \mathrm{R}}{2\pi}\right)\left(\frac{11-1}{11}\right) = 195{,}4071.10^{6}$$

$$R = 3{,}36(K\Omega)$$

E a partir da Equação (3.14):

$$C = \frac{\sqrt{11}}{\left(195{,}4071.10^{6}\ 3{,}36.10^{3}\right)} = 5.10^{-12}$$

$$C = 5(pF)$$

Como $b = \left(\frac{C}{C1} + 1\right)$, C_1 é dado por:

$$C_1 = \frac{C}{11} = \frac{5.10^{-12}}{11} = 0{,}5.10^{-12}$$

$$C_1 = 0{,}5(pF)$$

O filtro utilizado no circuito DPLL é mostrado na Figura 3.25.

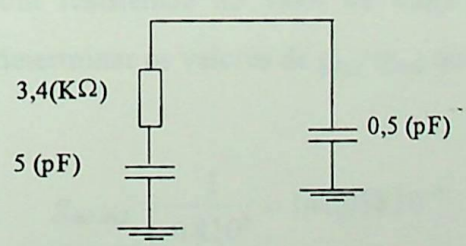


Figura 3.25 - Configuração do Filtro Projetado do Circuito DPLL.

Como o projeto do DPLL requer que todos os componentes do circuito sejam totalmente integrados, os elementos que compõem o filtro também necessitam ser integrados.

O resistor que compõem o filtro foi projetado utilizando-se dois transistores operando na região linear como mostrado na Figura 3.26.

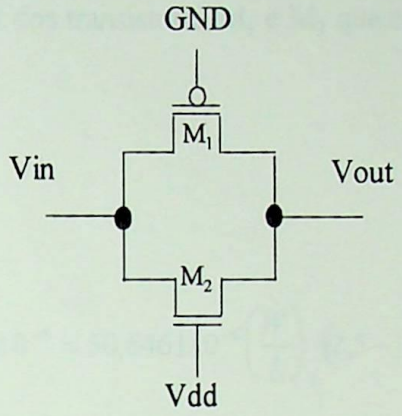


Figura 3.26 Resistor Formado por Transistores.

A resistência do circuito mostrado na Figura 3.26 pode ser calculada do seguinte modo:

$$R = \left(R_{M1} \parallel R_{M2}\right) = \left(\frac{1}{g_{ds1}}\right) \parallel \left(\frac{1}{g_{ds2}}\right) \qquad (3.16)$$

A resistência do filtro é de 3,4(KΩ), mas como na configuração apresentada na Figura 3.26 os transistores estão em paralelo, deve-se considerar que cada transistor possua um resistência no valor de 6,8(KΩ), então utilizando-se a Equação (3.16) pode-se determinar os valores de g_{ds1}=g_{ds2} que é dado por :

$$g_{ds1,ds2} = \frac{1}{6.8.10^3} = 147{,}058.10^{-6}$$

$$g_{ds1,ds2} = 147{,}058.10^{-6}$$

Como o g_{ds} de um transistor MOS é dado em função da razão $\left(\frac{W}{L}\right)$, pode-se determinar a partir de g_{ds} as dimensões dos transistores que irão compor o resistor do filtro do DPLL. A equação de g_{ds} é:

$$g_{ds} = K\left(\frac{W}{L}\right)\left(V_{gs} - V_T - V_{ds}\right) \qquad (3.17)$$

As dimensões dos transistores M_1 e M_2 que compõem o resistor do filtro do DPLL (Figura 3.26) são:

- transistor M_1

$$147{,}058.10^{-6} = 50{,}6461.10^{-6}\left(\frac{W}{L}\right)_1 \left(2{,}5 - |-0{,}92|\right)$$

$$\left(\frac{W}{L}\right)_1 = 1{,}8377$$

adotando-se $L_1 = 2\mu$, as dimensões de M_1 são:

$$\left(\frac{W}{L}\right)_1 = \left(\frac{3{,}7}{2}\right)$$

- transistor M_2

$$147{,}058.10^{-6} = 127{,}63.10^{-6}\left(\frac{W}{L}\right)_2 (2{,}5 - 0{,}906)$$

$$\left(\frac{W}{L}\right)_2 = 0{,}7228$$

adotando-se $W_2 = 2{,}4\mu$, as dimensões de M_2 são:

$$\left(\frac{W}{L}\right)_2 = \left(\frac{2{,}4}{3{,}2}\right)$$

Utilizando-se trilhas sobrepostas de metal1/metal2 é difícil implementar um capacitor de valor constante ao longo das corridas de fabricação. Assim, a melhor

opção para se implementar um capacitor neste processo é utilizar a capacitância de porta do transistor pMOS ou nMOS, para se implementar o capacitor. Utilizando-se ambos transistores, como mostrado na Figura 3.27, pode-se obter uma capacitância relativamente linear, em uma grande faixa de tensão de porta dos transistores.

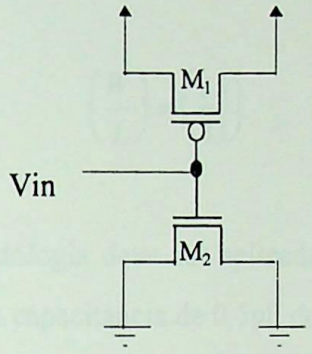


Figura 3.27 - Capacitor Utilizando Porta dos Transistores MOS.

Observando-se as regras de projeto CMOS 0,7μm da ES2, tem-se que a capacitância de porta de um transistor MOS é:

$$C_{porta} = 2300(\mu F/m^2)$$

Os capacitores do circuito filtro possuem respectivamente os valores de 5pF e 0,5pF, os cálculos dos transistores que formam os capacitores são:

- capacitância de 5pF

Na configuração da Figura 3.27 observa-se que os transistores estão em paralelo, logo, a contribuição de cada transistor para se formar uma capacitância total de 5pF corresponde a metade deste valor, ou seja, 2,5pF. Para se calcular as dimensões dos transistores que formaram o capacitor do filtro utiliza-se a seguinte equação:

$$C_{porta} = (W.L)C_{porta/m^2} \qquad (3.18)$$

Assim para C_{porta}= 2,5pF tem-se:

$$2{,}5.10^{-12} = (W.L)2300.10^{-6}$$

$$W = L = 32{,}9\mu$$

As dimensões dos transistores são:

$$\left(\frac{W}{L}\right) = \left(\frac{33}{33}\right)$$

A mesma metodologia deve ser aplicada para se calcular as dimensões dos transistores que formarão a capacitância de 0,5pF do filtro do DPLL, assim:

- capacitância de 0,5pF

$$0{,}25.10^{-12} = (W.L)2300.10^{-6}$$

$$W.L = 217{,}39.10^{-12}$$

Adotando-se W= 33μ, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right) = \left(\frac{33}{3{,}3}\right)$$

O esquématico do filtro do circuito DPLL é mostrado na Figura 3.28.

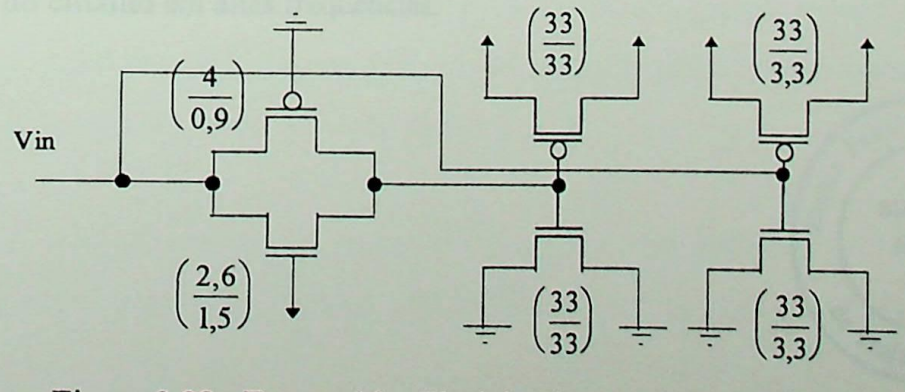


Figura 3.28 - Esquemático Final do Circuito Filtro do DPLL.

Capítulo 4

Análise e Simulação do Circuito DPLL

Neste capítulo serão apresentados resultados de simulações de todos os blocos funcionais do DPLL, bem como do DPLL completo. Os "layouts" dos blocos constituintes do circuito DPLL foram realizados utilizando-se o software CADENCE. As simulações foram obtidas no simulador HSPICE, em que considerou-se as capacitâncias parasitas existentes no "layout" de cada bloco, para os três casos possíveis de operação do DPLL, ou seja, caso típico de operação, pior caso de velocidade e pior caso de potência.

No final do capítulo é apresentado uma análise de estabilidade do circuito DPLL projetado.

4.1 Análise do Circuito Detetor de Fase/Freqüência

O circuito PFD tem como principal característica gerar um sinal de erro proporcional a diferença de fase/freqüência existente entre o sinal de referência e o sinal produzido pelo VCO. O "layout" do circuito PFD é mostrado na Figura 4.1. A confecção do "layout" do circuito PFD exigiu grande atenção, pois o mesmo deveria apresentar poucas capacitâncias parasitas, visto que as mesmas poderiam limitar a operação do circuito em altas freqüências.

Escola Fed[illegible] de Engenharia de Itajubá - EFEI
Biblioteca MAUÁ BIM

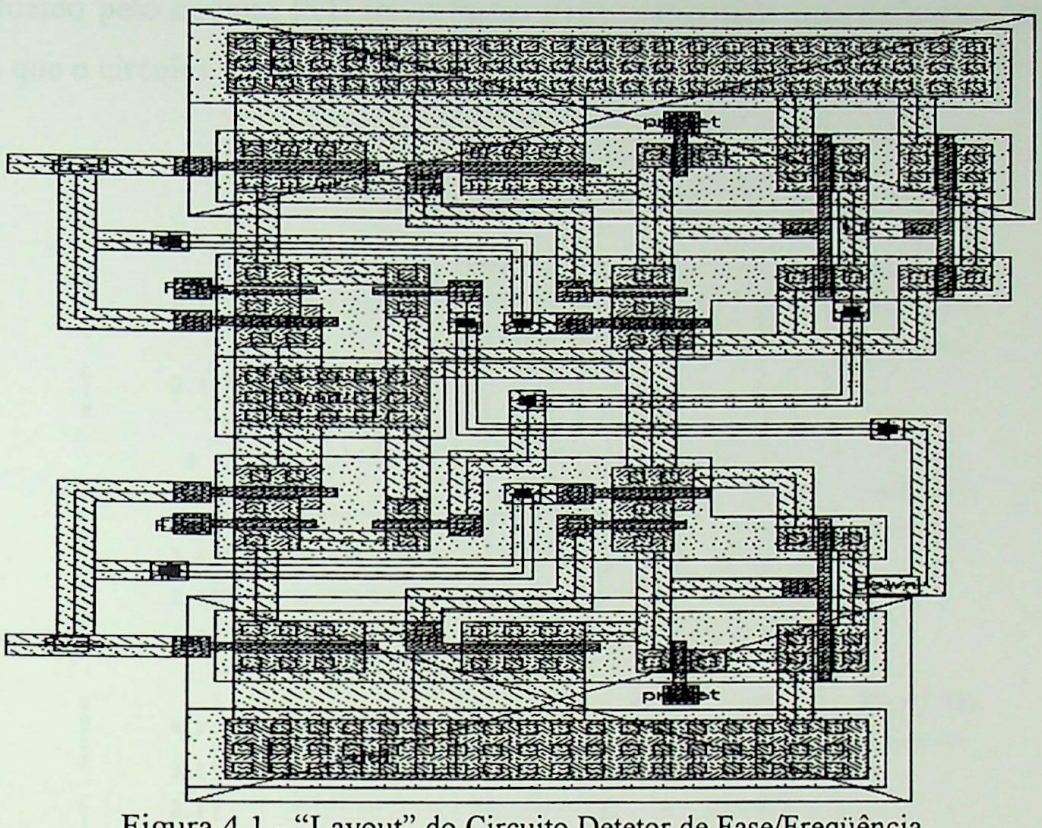


Figura 4.1 - "Layout" do Circuito Detetor de Fase/Freqüência.

A descrição completa do circuito PFD, obtida pelo CADENCE, contendo todas as capacitâncias parasitas foi utilizado para realizar as simulações do circuito no simulador HSPICE. O modelo utilizado para os transistores foi o de parâmetros nível 6. A Figura 4.2 apresenta a formação do pulso UP pelo circuito PFD para os três casos possíveis de operação do circuito PFD.

Nas três situações apresentadas, o pulso UP gerado pelo circuito PFD é proporcional a diferença de fase existente entre os sinais de entrada deste circuito, ou seja, sinal de referência e sinal de saída do VCO. Da Figura 4.2 observa-se que o circuito PFD operou corretamente para todas as situações pré-determinadas, tendo apresentado somente uma pequena variação no tempo de atraso da resposta da saída, o que não compromete a operação deste circuito.

A diferença de atraso existente nas três situações analisadas não influência na operação do circuito DPLL como um todo, pois os níveis do sinal

produzido pelo circuito PFD (nível lógico alto e baixo) estão bem definidos, fazendo com que o circuito "charge pump" opere corretamente.

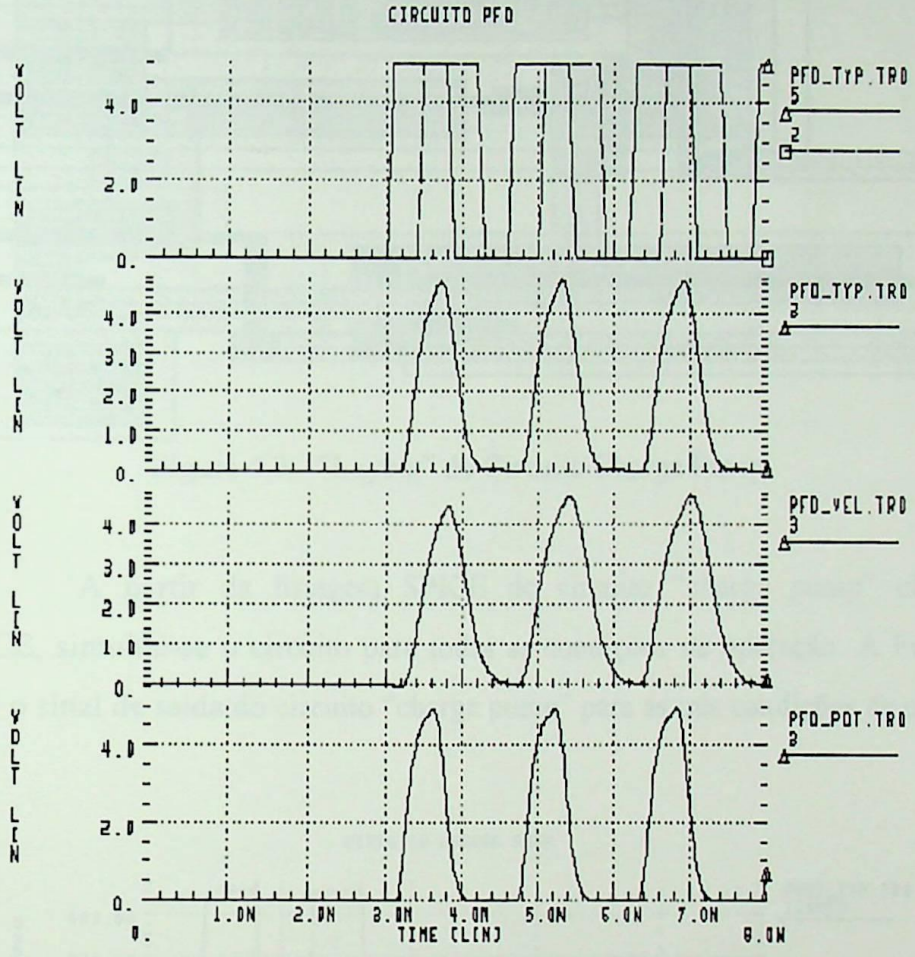


Figura 4.2 - Formação do Pulso UP pelo Circuito PFD.

4.2 Análise do Circuito "Charge-Pump"

O circuito "charge pump" tem como principal caraterística gerar um sinal de corrente, a partir dos sinais gerados pelo circuito PFD, que será utilizado para gerar a tensão de controle do VCO. O "layout" do circuito "Charge Pump" é apresentado na Figura 4.3.

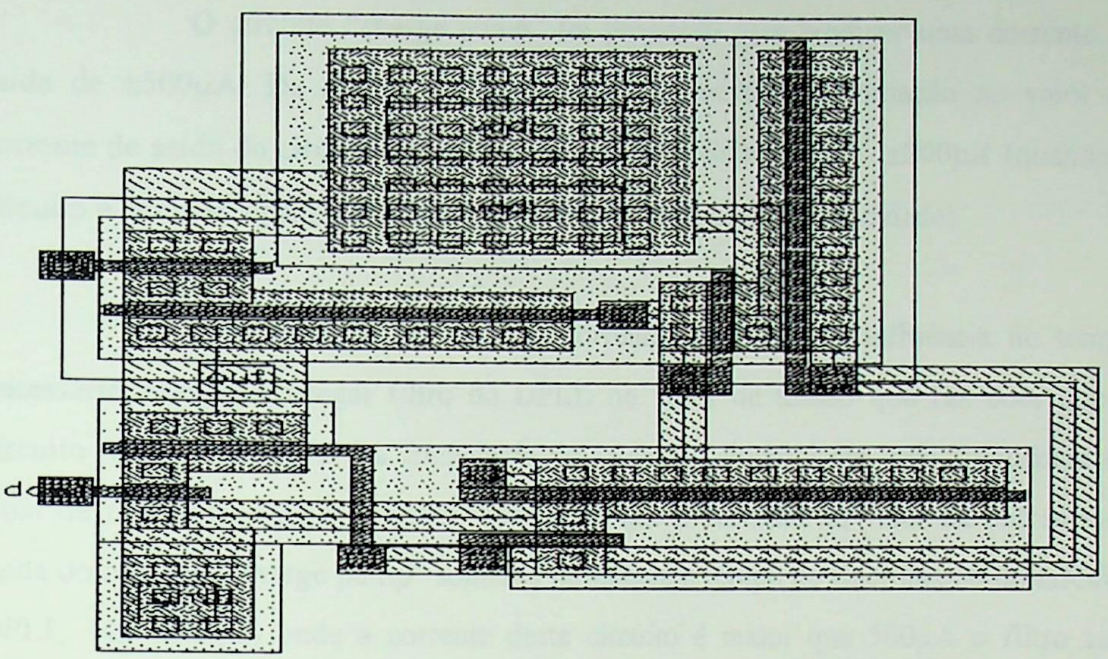


Figura 4.3 - "Layout" do Circuito Charge Pump.

A partir da listagem SPICE do circuito "charge pump" obtida do CADENCE, simulou-se o circuito para todas as condições de operação. A Figura 4.4 apresenta o sinal de saída do circuito "charge pump" para as três condições de operação.

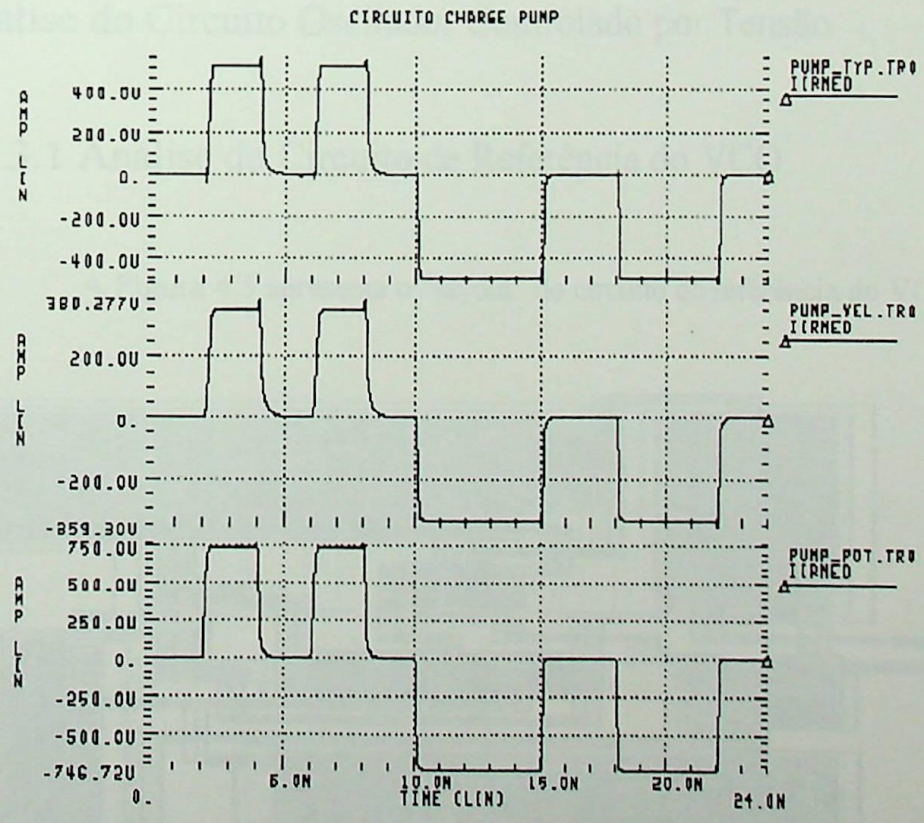


Figura 4.4 - Sinal de Saída do Circuito "Charge Pump".

O circuito "charge pump" foi projetado para produzir uma corrente de saída de ±500μA. Da Figura 4.4 observa-se que existe uma variação no valor da corrente de saída do circuito "charge pump" de, aproximadamente, ±200μ*A* (quando o circuito é simulado para o pior caso de potência e pior caso de velocidade).

Esta variação no valor da corrente de saída terá influência no tempo necessário para se carregar filtro do DPLL no valor de tensão que faz com que o circuito VCO produza a sua freqüência de saída em sincronismo com freqüência do sinal de referência [22,23]. Então, conclui-se que a variação no valor da corrente de saída do circuito "charge pump" somente influência o tempo de sincronismo do circuito DPLL. Na situação onde a corrente deste circuito é maior que 500μA o filtro será carregado mais rapidamente, e conseguentemente o circuito DPLL sincronizará mais rápido. Na situação inversa, quando a corrente deste circuito é menor que 500μA o filtro será carregado mais lentamente, e conseguentemente o circuito DPLL sincronizará mais lentamente

4.3 Análise do Circuito Oscilador Controlado por Tensão

4.3.1 Análise do Circuito de Referência do VCO

A Figura 4.5 apresenta o "layout" do circuito de referência do VCO.

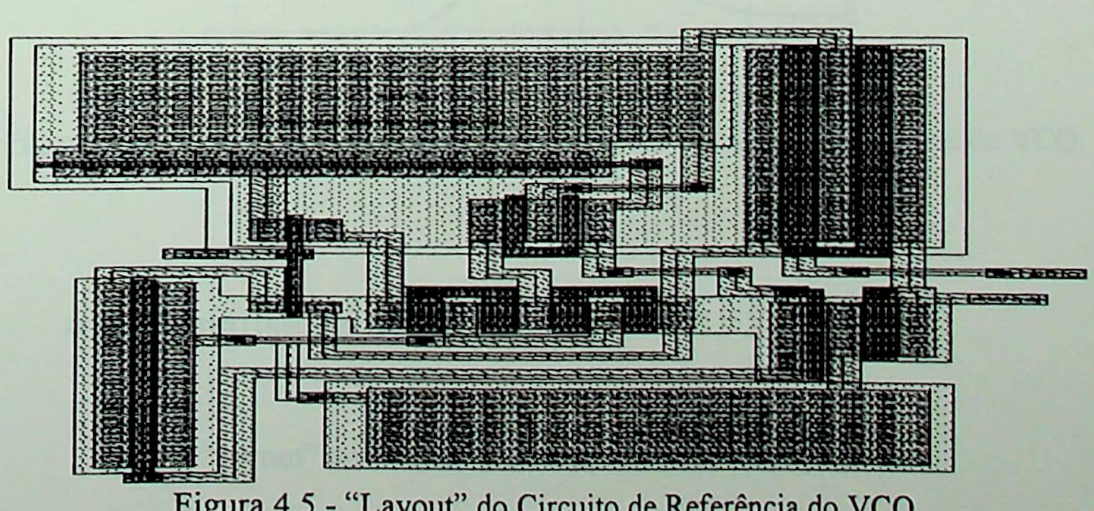


Figura 4.5 - "Layout" do Circuito de Referência do VCO.

O circuito de referência tem como principal característica gerar, a partir de um valor de tensão, dois novos valores de tensão a serem utilizados para o controle do circuito VCO. O resultado da simulação do circuito de referência é mostrado na Figura 4.6. Desta figura observa-se que não existiu uma grande variação no valor da tensão de controle do VCO para os três casos de operação propostos. Consequentemente, o circuito de referência está apto a ser utilizado no circuito DPLL projetado.

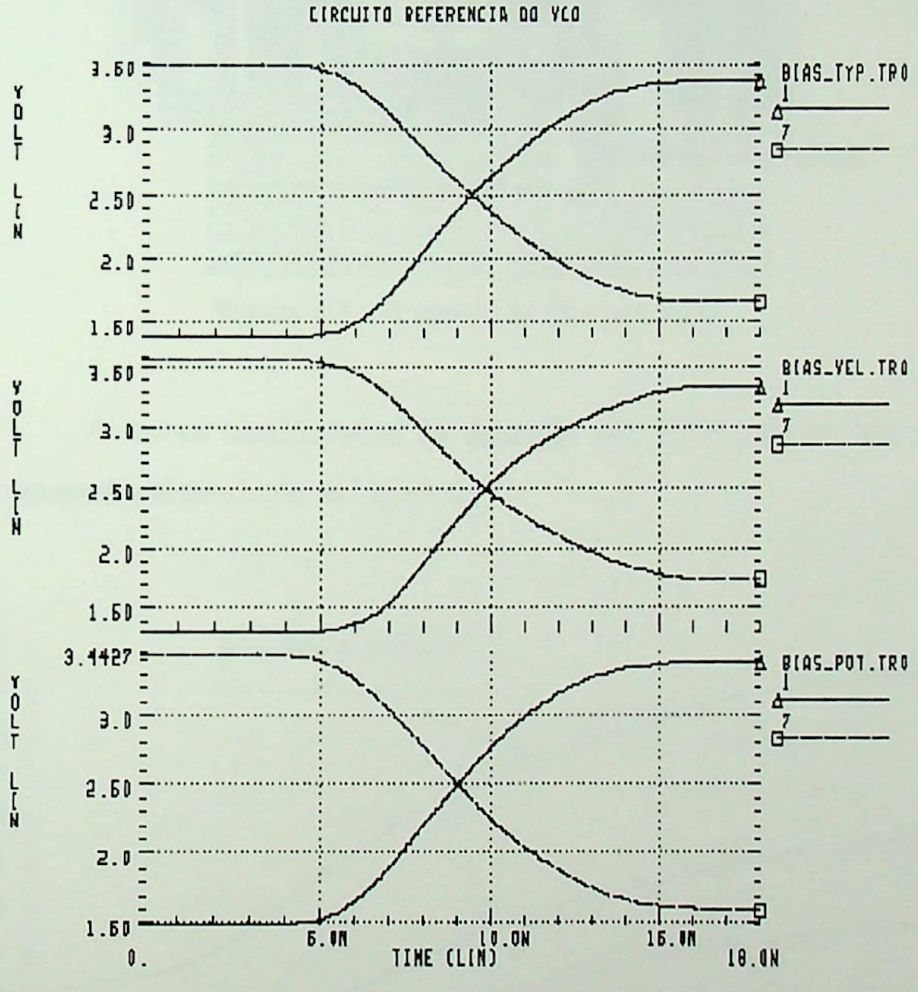


Figura 4.6 - Tensões de Controle Produzidas pelo Circuito de Referência do VCO.

4.3.2 Análise do VCO

O "layout" do circuito VCO é apresentado na Figura 4.7.

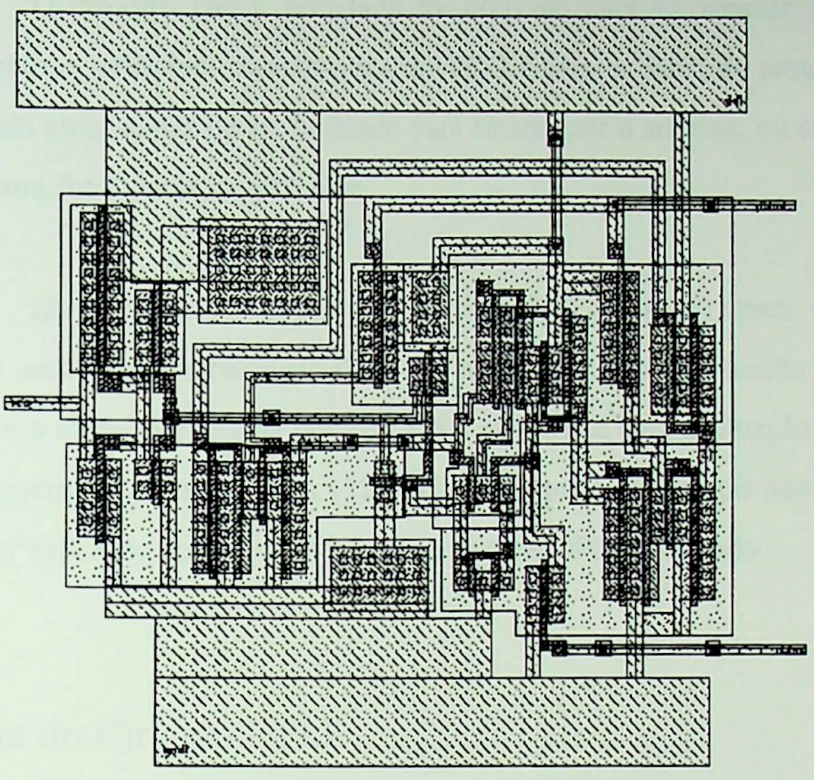


Figura 4.7 - "Layout" do Circuito VCO.

A curva característica de operação do VCO para os três casos de operação propostos é mostrado na Figura 4.8.

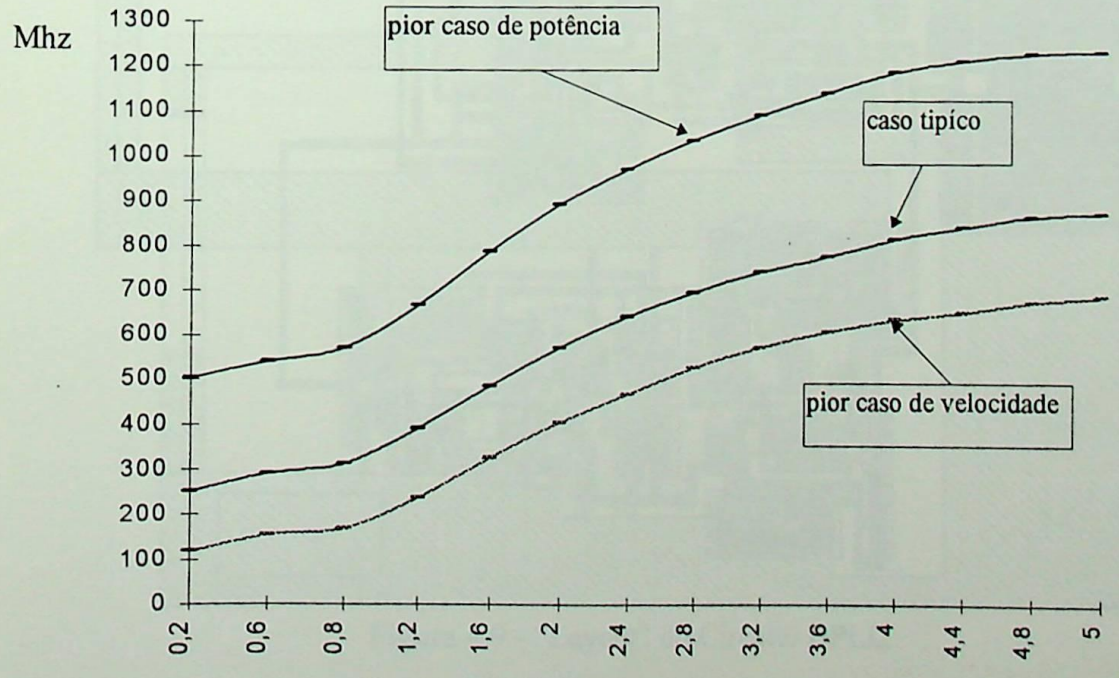


Figura 4.8 - Curva Característica do VCO.

O circuito DPLL projetado foi proposto para sincronizar um sinal em 622MHz. Então, a principal característica do VCO é gerar a partir de uma dada tensão de controle um sinal capaz de ser utilizado para sincronizar o sistema, ou seja, um sinal que possua uma freqüência de 622MHz.

Da Figura 4.8 observa-se que o VCO no caso típico de operação responde em uma faixa de freqüências de 251 a 869MHz, para a situação de pior caso de velocidade o circuito opera na faixa de 118 a 684MHz e para a situação de pior caso de potência opera na faixa de 502 a 1227MHz. Logo pode-se concluir que este circuito está apto a ser utilizado como oscilador para o sistema DPLL projetado.

4.4 Análise do Circuito DPLL

O "layout" do circuito DPLL é apresentado na Figura 4.9.

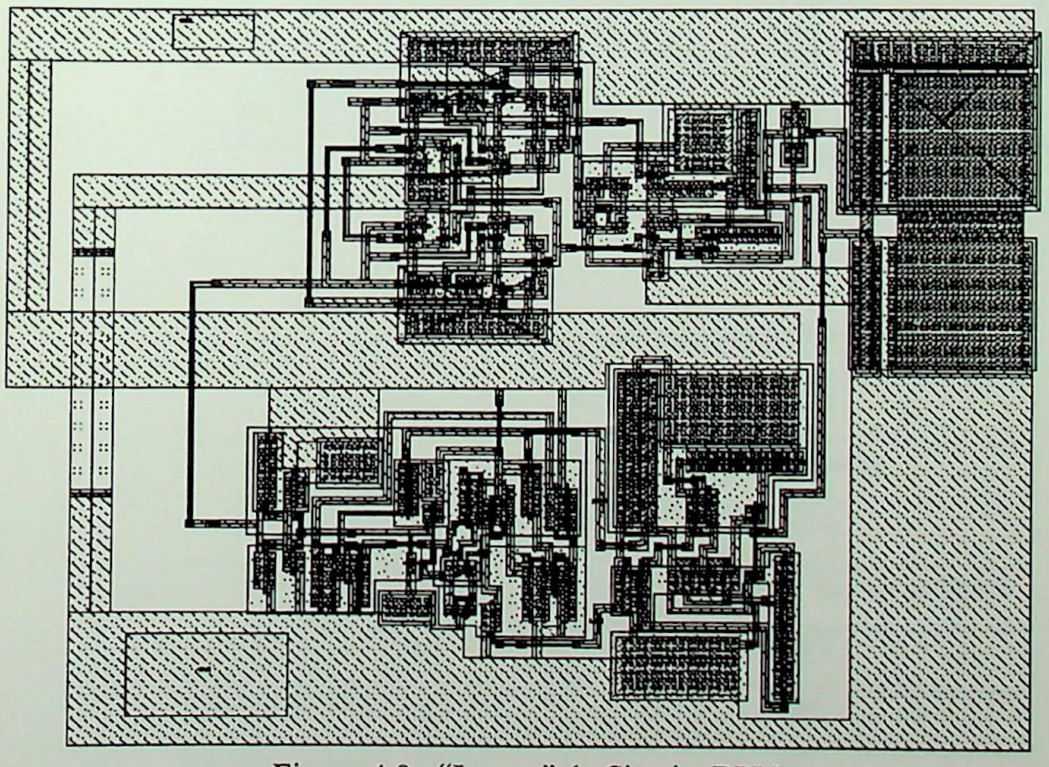
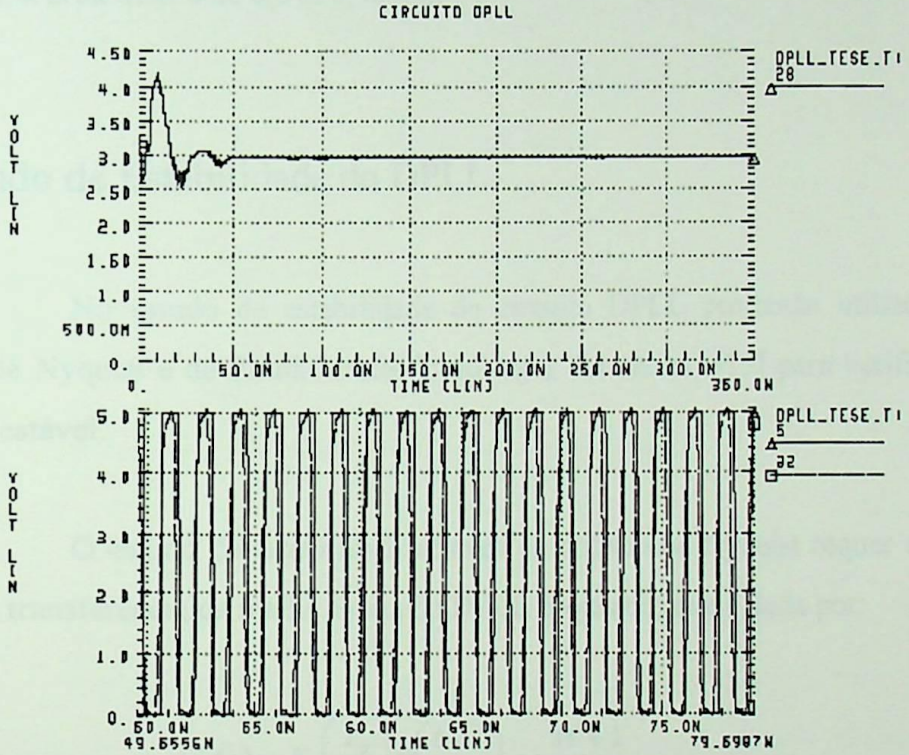


Figura 4.9 - "Layout" do Circuito DPLL.

A listagem do programa utilizado para a simulação do circuito DPLL completo é apresentado no anexo A. Na Figura 4.10 tem-se as curvas da tensão de controle do VCO e os sinais sincronizados pelo circuito DPLL.Pode-se observar pela Figura 4.10, que o tempo necessário para o sincronizar os sinais é de 50nS. A Tabela 4.1 apresenta as principais características do sistema DPLL projetado.



Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca

Figura 4.10 - Simulação do Circuito DPLL.

Tabela 4.1 - Principais Características do DPLL Projetado.

Tecnologia	0,7μm
PFD	tipo pré-carga
Charge Pump	500μA
VCO	oscilador em anel de três estágios
Tensão de Controle	0 a 5V
Tempo de Sincronismo	50nS
Tensão de Alimentação	5V
Consumo de Potência	55mW

Da tabela 4.1 observa-se que as principais características do DPLL são o pequeno tempo necessário para fazer o sincronismo dos sinais e o baixo consumo de potência. Uma outra vantagem deste circuito é o reduzido número de transistores que foram necessários para a implementação do DPLL o que reduziu, sensivelmente, a área de silício necessária para a sua implementação. A área total do circuito integrado do DPLL projetado é 0,26 X 0,2 mm^2, sem considerar a área do pads do DPLL. Incluindo-se os pads, a área final é de 0,6 X 0,46 mm^2.

4.5 Estudo de Estabilidade do DPLL

No estudo de estabilidade do circuito DPLL projetado utilizou-se os critérios de Nyquist e de Rouths (método do lugar das raízes) [15] para verificar se o sistema é estável.

O estudo de estabilidade através do critério de Nyquist requer o uso da função de transferência de malha aberta do DPLL projetado, que é dada por:

$$G_0(s) = K_0\left(\frac{I_p}{2\pi}\right)R\left(\frac{b-1}{b}\right)\frac{s\tau+1}{s^2\tau\left(\frac{s\tau}{b}+1\right)} \qquad (4.1)$$

Para o DPLL projetado tem-se que os seguintes valores:

$$K_0 = 127{,}8\left(\frac{MHz}{V}\right),\ I_p = 500(\mu A),\ b = 11,\ \tau = RC = 1{,}7.10^{-8},\ R = 3K4(\Omega)$$

Substituindo-se estes valores na Equação (4.1) pode-se determinar a função de transferência de malha aberta do DPLL projetado, que é dado por:

$$G_0(s) = \frac{3{,}357s + 1{,}9751.10^8}{2{,}6273.10^{-17}s^3 + 1{,}70.10^{-8}s^2} \qquad (4.2)$$

O diagrama de Bode da função de transferência dada pela Equação (4.2) é mostrado na Figura 4.11.

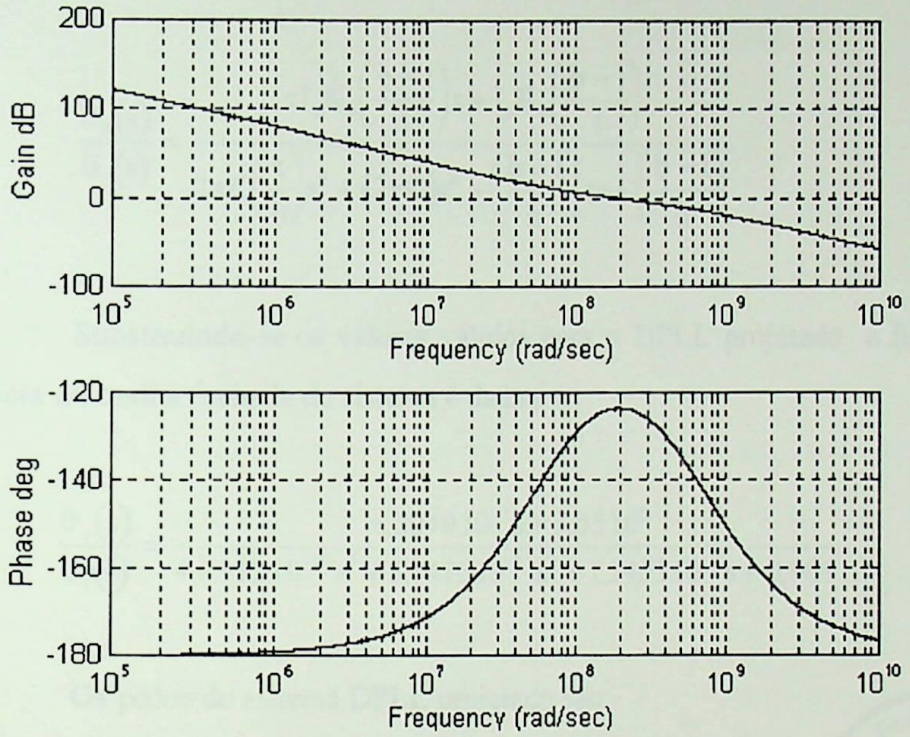


Figura 4.11 - Diagrama de Bode do DPLL Projetado.

Utiliza-se o gráfico de fase do diagrama de Bode para se fazer o estudo de estabilidade do DPLL. O critério de Nyquist afirma que um sistema é estável quando a margem de fase do sistema é positiva. Para o sistema DPLL projetado a margem de fase é dada por:

$$MF = \arg\left[G_0(\omega_c)\right] + 180^0 = 56{,}44^0$$

onde ω_c é a freqüência de corte do sistema DPLL.

Como a margem de fase do DPLL é positiva, o sistema projetado é considerado estável pelo critério de Nyquist.

O estudo de estabilidade através do critério de Rouths analisa a localização dos pólos da função de transferência de malha fechada do circuito DPLL. O

sistema é considerado estável se apresentar todos os pólos localizados a esquerda no plano complexo "S". A função de transferência de malha fechada do DPLL projetado é dada por:

$$\frac{\theta_0(s)}{\theta_i(s)} = \frac{\tau I_p K_0\left(\frac{b-1}{1}\right)s + I_p K_0\left(\frac{b-1}{1}\right)}{2\pi C\left(\frac{\tau}{b}\right)s^3 + (2\pi C)s^2 + \left(\frac{b-1}{b}\right)\tau s + \left(\frac{b-1}{b}\right)} \qquad (4.3)$$

Substituindo-se os valores válidos para o DPLL projetado, a função de transferência de malha fechada do sistema é dada por:

$$\frac{\theta_0(s)}{\theta_i(s)} = \frac{6{,}2049.10^{-3}s + 3{,}65.10^5}{4{,}8552.10^{-20}s^3 + 3{,}1416.10^{-11}s^2 + 1{,}5455.10^{-8}s + 0{,}909}$$

Os pólos do sistema DPLL projetado são:

$$s_1 = -6{,}4708.10^8$$

$$s_2 = 0 + j1{,}7.10^5$$

$$s_3 = 0 - j1{,}7.10^5$$

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca MAUÁ BIM

Como todos os pólos do DPLL estão localizados a esquerda no plano complexo "S", o sistema DPLL projetado é dito ser estável.

Capítulo 5

Conclusão

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca
MAUÁ
BIM

Como foi apresentado anteriormente todos os blocos que compõem o circuito DPLL operaram coerentemente possibilitando assim que o circuito DPLL possa ser utilizado como o circuito recuperador de relógio de um sistema operando em redes de dados com protocolos SDH/SONET em 622MHz.

Neste projeto apresentou-se um circuito detetor de fase/freqüência do tipo pré-carga que opera em altas freqüências. Este circuito não exige que se utilize divisores de freqüência com a função de se reduzir a freqüência dos sinais que irão ser analisados pelo mesmo. Esta característica do PFD faz com se tenha uma redução do hardware necessário para a implementação do circuito DPLL e consequentemente existe uma economia na área de silício necessária para a implementação do mesmo. O PFD implementado operou corretamente até sinais de entrada de 1GHz como mostrado na Figura 5.1.

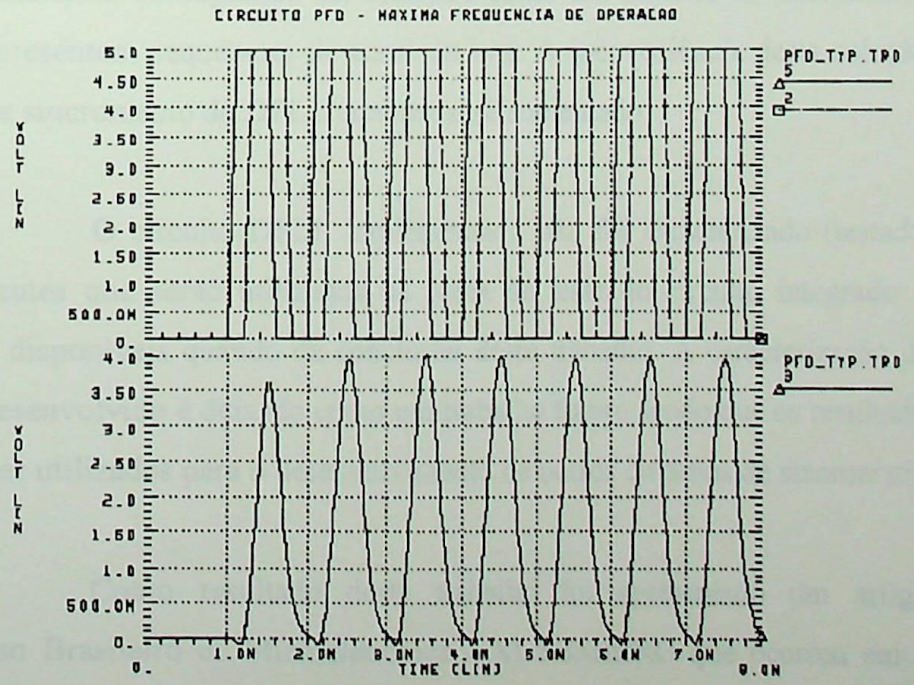


Figura 5.1 - Simulação do Circuito PFD para Sinais de Entrada de 1GHz.

Uma outra grande vantagem do circuito DPLL proposto é o pequeno tempo de sincronismo que o sistema possui. Para se obter esta característica foi necessário implementar o DPLL possuindo um alto ganho de malha e o filtro do DPLL foi implementado tendo uma pequena constante de tempo, pois desta forma consegue-se reduzir o tempo de sincronismo do sistema DPLL. A utilidade desta característica é que quando o sistema receptor é inicializado o circuito DPLL não necessita ter um grande tempo de acomodação, ou seja, o sistema desenvolvido é capaz de sincronizar os sinais bem rapidamente.

A única inconveniência do circuito DPLL proposto é que o mesmo deve ser utilizado como circuito recuperador de relógio em sistemas de comunicações onde os dados possuam uma grande densidade de transmissão, ou seja, em sistemas onde não existam longas sequências de zeros ou uns. O sistema DPLL projetado também pode operar como circuito recuperador de relógio em sistemas onde os dados não possuam grande densidade de transmissão, neste caso deve-se utilizar circuitos adicionais juntamente com o circuito DPLL para a recuperação de relógio.

Uma outra alternativa para se resolver este problema é mudar-se as constantes de tempo do filtro de malha do DPLL, desta forma o circuito responderá mais lentamente conseguindo ser utilizado como um sistema de sincronismo onde os dados apresentem sequências de zeros ou uns. A incoveniência desta solução é que o tempo de sincronismo do DPLL também será aumentado.

O circuito DPLL implementado não foi caracterizado (testado) pois os componentes que serão utilizados na placa de teste do circuito integrado ainda não estavam disponíveis quando da conclusão deste trabalho. A caracterização do circuito DPLL desenvolvido é deixado como um trabalho futuro sendo que os resultados obtidos podem ser utilizados para o desenvolvimento de outros circuitos de sincronismos.

Como resultado deste trabalho foi apresentado um artigo no XI Congresso Brasileiro de Microeletrônica - XI SBMICRO que ocorreu em Águas de Lindóia no período de 29 de Junho a 02 de Agosto de 1996.

Anexo A

Descrição SPICE do Circuito Extraído do DPLL

Obtido com o Software Extrator do CADENCE

```
CIRCUITO DPLL
********************************************************************
*                          condicoes para simulacao e convergencia                 *
********************************************************************
.OPTIONS gmin=1.0E-15 POST $PROBE
.OPTIONS NOPAGE INTERP UNWRAP CAPTAB opts $node
.OPTIONS ABSI=1.0E-12 METHOD=GEAR
.OPTIONS ACCURATE KCLTEST BADCHR ABSMOS=1.0E-12 ACCT LVLTIM=2
************************
*        fontes de entrada    *
************************
VDD    37 0 DC 5
VIN    5  0 PULSE(0 5 1NS 0.1NS 0.1NS 0.7NS 1.6NS)
VPRESET 40 0 PWL(0NS 0 5NS 0 5.1ns 5)
************************
*        condicoes iniciais    *
************************
.ic v(1)     =  1.7461  v(2)    =  3.0354  v(3)    =  3.2404
+  v(4)     =  5.0221  v(5)    =  0.      v(6)    =  3.3419
+  v(7)     =  3.4302  v(8)    =  3.1549  v(9)    =  2.0709
+  v(10)    = 33.3342u v(11)   =  2.1113  v(12)   =  1.5710
+  v(13)    =  2.2967  v(14)   =  1.4307  v(15)   =  5.1347
+  v(16)    =-477.1306m v(17)  =  2.9299  v(18)   =  1.9265
+  v(19)    =  5.1054  v(20)   =  1.4275  v(21)   = 110.1295m
+  v(22)    =  1.1362  v(23)   = 891.6112m v(24)  =  4.3070
+  v(25)    =  4.9680  v(26)   =  2.0615  v(27)   =  2.5347
+  v(28)    =  3.2315  v(29)   =  1.7608  v(30)   =  1.5137
+  v(31)    =  4.9998  v(32)   = 140.6546m v(33)  =  4.9955
+  v(35)    =  3.0084  v(36)   = 665.5609u v(37)  =  5.0000
+  v(38)    = 691.2291m v(39)  =  3.5651  v(40)   =  5.0000
+  v(41)    = -77.5593u
********************************************************************
*                                nos do circuito                                  *
********************************************************************
* net 0 = gnd!                          * net 20 = /4
* net 1 = /28                           * net 21 = /35
* net 2 = /nbias                        * net 22 = /19
* net 3 = /29                           * net 23 = /6
* net 4 = /10                           * net 24 = /5
* net 5 = /ref                          * net 25 = /36
* net 6 = /11                           * net 26 = /pbias
* net 7 = /12                           * net 27 = /7
* net 8 = /30                           * net 28 = /vc
* net 9 = /13                           * net 29 = /37
* net 10 = /up                          * net 30 = /8
* net 11 = /1                           * net 31 = /iup
* net 12 = /32                          * net 32 = /vco
* net 13 = /2                           * net 33 = /9
* net 14 = /33                          * net 35 = /100
* net 15 = /16                          * net 36 = /down
* net 16 = /3                           * net 37 = /vdd!
* net 17 = /34                          * net 38 = /21
* net 18 = /18                          * net 39 = /22
* net 19 = /17                          * net 40 = /preset
```

```
* net 41 = /23
*********************************************************************
*                          capacitancias parasitas                  *
*********************************************************************
* capacitor(0) = /+269
C0 37 0 1.37934e-12
* capacitor(1) = /+268
C1 35 0 3.60469e-14
* capacitor(2) = /+267
C2 35 37 1.71032e-14
* capacitor(3) = /+266
C3 28 0 3.88206e-14
* capacitor(4) = /+265
C4 28 37 7.51411e-15
* capacitor(5) = /+264
C5 28 35 1.27987e-15
* capacitor(6) = /+263
C6 29 0 1.85647e-14
* capacitor(7) = /+262
C7 29 37 5.93169e-15
* capacitor(8) = /+261
C8 29 28 3.01459e-18
* capacitor(9) = /+260
C9 25 37 2.16715e-15
* capacitor(10) = /+259
C10 25 28 9.23671e-17
* capacitor(11) = /+258
C11 25 29 4.81578e-17
* capacitor(12) = /+257
C12 21 0 3.67813e-15
* capacitor(13) = /+256
C13 21 28 1.28074e-16
* capacitor(14) = /+255
C14 21 29 7.23362e-17
* capacitor(15) = /+254
C15 21 25 5.29846e-18
* capacitor(16) = /+253
C16 17 0 1.33533e-14
* capacitor(17) = /+252
C17 17 37 1.71057e-15
* capacitor(18) = /+251
C18 17 28 9.90216e-16
* capacitor(19) = /+250
C19 14 0 3.12913e-15
* capacitor(20) = /+249
C20 14 37 2.64076e-15
* capacitor(21) = /+248
C21 14 28 8.20386e-16
* capacitor(22) = /+247
C22 14 17 2.31815e-16
* capacitor(23) = /+246
C23 12 0 4.92453e-15
* capacitor(24) = /+245
C24 12 37 1.03412e-15
* capacitor(25) = /+244
C25 12 28 2.49824e-17
* capacitor(26) = /+243
C26 12 29 2.55527e-18
* capacitor(27) = /+242
C27 12 25 1.01807e-16
* capacitor(28) = /+241
C28 12 21 2.9848e-17
* capacitor(29) = /+240
C29 26 0 2.00326e-14
* capacitor(30) = /+239
C30 26 37 1.52027e-14
* capacitor(31) = /+238
C31 26 28 1.17409e-19
* capacitor(32) = /+237
C32 26 29 1.27138e-15
* capacitor(33) = /+236
C33 26 25 1.09333e-18
* capacitor(34) = /+235
C34 26 21 5.13496e-17
* capacitor(35) = /+234
C35 26 12 8.31655e-17
* capacitor(36) = /+233
C36 8 0 5.50704e-15
* capacitor(37) = /+232
C37 8 37 5.76412e-16
* capacitor(38) = /+231
C38 8 28 4.9913e-19
* capacitor(39) = /+230
C39 8 29 9.00033e-17
* capacitor(40) = /+229
C40 8 25 6.73826e-18
* capacitor(41) = /+228
C41 8 12 1.04577e-16
* capacitor(42) = /+227
C42 8 26 2.75126e-17
* capacitor(43) = /+226
C43 3 37 1.06322e-16
* capacitor(44) = /+225
C44 3 28 1.01024e-16
* capacitor(45) = /+224
C45 1 0 5.43387e-17
* capacitor(46) = /+223
C46 1 28 5.0512e-17
* capacitor(47) = /+222
C47 31 0 5.0303e-15
* capacitor(48) = /+221
C48 31 37 3.59904e-15
* capacitor(49) = /+220
C49 31 28 3.51806e-18
* capacitor(50) = /+219
C50 31 14 2.22933e-17
* capacitor(51) = /+218
C51 31 3 8.41867e-18
* capacitor(52) = /+217
C52 36 0 1.83604e-14
* capacitor(53) = /+216
C53 36 37 5.68937e-16
* capacitor(54) = /+215
C54 36 28 4.6325e-18
* capacitor(55) = /+214
C55 36 17 1.46614e-17
* capacitor(56) = /+213
C56 36 1 8.41867e-18
* capacitor(57) = /+212
C57 2 0 1.22917e-14
* capacitor(58) = /+211
C58 2 37 8.16795e-16
* capacitor(59) = /+210
C59 2 29 8.99013e-17
* capacitor(60) = /+209
C60 2 26 9.76095e-16
* capacitor(61) = /+208
C61 40 0 2.39249e-14
* capacitor(62) = /+207
C62 40 37 2.5421e-14
* capacitor(63) = /+206
C63 40 28 2.43214e-18
* capacitor(64) = /+205
C64 40 14 1.56444e-18
* capacitor(65) = /+204
C65 40 31 8.26243e-16
* capacitor(66) = /+203
C66 40 36 3.52327e-17
* capacitor(67) = /+202
```

C67 41 0 2.53759e-15
* capacitor(68) = /+201
C68 41 37 9.2364e-16
* capacitor(69) = /+200
C69 41 28 8.39879e-17
* capacitor(70) = /+199
C70 41 17 1.12e-18
* capacitor(71) = /+198
C71 41 36 7.14311e-18
* capacitor(72) = /+197
C72 41 40 1.91393e-16
* capacitor(73) = /+196
C73 39 0 1.2269e-15
* capacitor(74) = /+195
C74 39 37 3.45511e-15
* capacitor(75) = /+194
C75 39 26 4.48824e-17
* capacitor(76) = /+193
C76 39 2 1.72869e-17
* capacitor(77) = /+192
C77 38 0 3.74178e-15
* capacitor(78) = /+191
C78 38 37 2.04525e-15
* capacitor(79) = /+190
C79 38 39 9.7427e-17
* capacitor(80) = /+189
C80 10 0 1.28894e-14
* capacitor(81) = /+188
C81 10 37 1.36576e-15
* capacitor(82) = /+187
C82 10 31 7.7593e-17
* capacitor(83) = /+186
C83 10 36 2.03754e-15
* capacitor(84) = /+185
C84 10 40 4.92e-18
* capacitor(85) = /+184
C85 22 0 1.19845e-14
* capacitor(86) = /+183
C86 22 37 1.22369e-14
* capacitor(87) = /+182
C87 22 26 1.0228e-15
* capacitor(88) = /+181
C88 22 39 4.018e-17
* capacitor(89) = /+180
C89 22 38 2.5858e-16
* capacitor(90) = /+179
C90 18 0 4.78938e-15
* capacitor(91) = /+178
C91 18 37 1.28651e-15
* capacitor(92) = /+177
C92 18 26 2.80851e-20
* capacitor(93) = /+176
C93 18 2 2.35392e-18
* capacitor(94) = /+175
C94 18 38 1.42014e-16
* capacitor(95) = /+174
C95 18 22 4.34835e-18
* capacitor(96) = /+173
C96 19 0 3.56518e-15
* capacitor(97) = /+172
C97 19 37 2.29117e-15
* capacitor(98) = /+171
C98 19 36 4.33617e-17
* capacitor(99) = /+170
C99 19 40 5.03186e-17
* capacitor(100) = /+169
C100 19 10 8.32163e-19
* capacitor(101) = /+168
C101 15 0 3.56424e-15
* capacitor(102) = /+167
C102 15 37 2.28403e-15
* capacitor(103) = /+166
C103 15 31 1.26e-18
* capacitor(104) = /+165
C104 15 36 8.32163e-19
* capacitor(105) = /+164
C105 15 40 5.03186e-17
* capacitor(106) = /+163
C106 15 10 5.61082e-17
* capacitor(107) = /+162
C107 32 0 4.2015e-14
* capacitor(108) = /+161
C108 32 37 8.53656e-15
* capacitor(109) = /+160
C109 32 36 2.76533e-17
* capacitor(110) = /+159
C110 32 40 1.52213e-15
* capacitor(111) = /+158
C111 32 10 9.43035e-17
* capacitor(112) = /+157
C112 5 0 2.28956e-14
* capacitor(113) = /+156
C113 5 37 8.5153e-16
* capacitor(114) = /+155
C114 5 36 2.13148e-16
* capacitor(115) = /+154
C115 5 40 1.70684e-16
* capacitor(116) = /+153
C116 5 10 1.99169e-17
* capacitor(117) = /+152
C117 5 32 2.50901e-15
* capacitor(118) = /+151
C118 9 0 2.77758e-15
* capacitor(119) = /+150
C119 9 37 6.10768e-15
* capacitor(120) = /+149
C120 9 26 6.4625e-18
* capacitor(121) = /+148
C121 9 2 1.45413e-17
* capacitor(122) = /+147
C122 9 38 1.09333e-18

```
* capacitor(123) = /+146
C123 9 18 1.32247e-16
* capacitor(124) = /+145
C124 7 0 7.92861e-17
* capacitor(125) = /+144
C125 7 10 1.81263e-18
* capacitor(126) = /+143
C126 7 19 7.61507e-17
* capacitor(127) = /+142
C127 7 32 8.41867e-18
* capacitor(128) = /+141
C128 6 0 7.92861e-17
* capacitor(129) = /+140
C129 6 36 1.81263e-18
* capacitor(130) = /+139
C130 6 10 3.66383e-19
* capacitor(131) = /+138
C131 6 15 7.61507e-17
* capacitor(132) = /+137
C132 6 5 8.41867e-18
* capacitor(133) = /+136
C133 4 0 4.80937e-15
* capacitor(134) = /+135
C134 4 37 3.81225e-15
* capacitor(135) = /+134
C135 4 40 1.12e-18
* capacitor(136) = /+133
C136 4 10 2.33609e-17
* capacitor(137) = /+132
C137 4 19 2.78631e-16
* capacitor(138) = /+131
C138 4 32 9.26053e-16
* capacitor(139) = /+130
C139 4 5 8.41867e-18
* capacitor(140) = /+129
C140 4 7 8.41867e-18
* capacitor(141) = /+128
C141 33 0 4.81639e-15
* capacitor(142) = /+127
C142 33 37 3.81225e-15
* capacitor(143) = /+126
C143 33 36 2.33609e-17
* capacitor(144) = /+125
C144 33 40 1.12e-18
* capacitor(145) = /+124
C145 33 15 2.78631e-16
* capacitor(146) = /+123
C146 33 32 8.41867e-18
* capacitor(147) = /+122
C147 33 5 9.25798e-16
* capacitor(148) = /+121
C148 33 6 8.41867e-18
* capacitor(149) = /+120
C149 30 0 3.70448e-15
* capacitor(150) = /+119
C150 30 37 6.5807e-15
* capacitor(151) = /+118
C151 30 26 8.57701e-19
* capacitor(152) = /+117
C152 30 22 8.49042e-19
* capacitor(153) = /+116
C153 30 9 1.06529e-16
* capacitor(154) = /+115
C154 27 0 3.20227e-15
* capacitor(155) = /+114
C155 27 37 6.27695e-16
* capacitor(156) = /+113
C156 27 2 3.81333e-18
* capacitor(157) = /+112
C157 27 18 2.67019e-18
* capacitor(158) = /+111
C158 27 9 1.56124e-16
* capacitor(159) = /+110
C159 27 30 8.12308e-19
* capacitor(160) = /+109
C160 23 0 4.64698e-15
* capacitor(161) = /+108
C161 23 37 2.14993e-15
* capacitor(162) = /+107
C162 23 26 3.37333e-18
* capacitor(163) = /+106
C163 23 9 7.31154e-18
* capacitor(164) = /+105
C164 23 30 3.9424e-16
* capacitor(165) = /+104
C165 23 27 5.25993e-17
* capacitor(166) = /+103
C166 24 0 4.34553e-15
```

* capacitor(167) = /+102
C167 24 37 5.17692e-15
* capacitor(168) = /+101
C168 24 22 7.7129e-16
* capacitor(169) = /+100
C169 24 32 4.9473e-18
* capacitor(170) = /+99
C170 24 30 7.62858e-16
* capacitor(171) = /+98
C171 24 23 7.17557e-18
* capacitor(172) = /+97
C172 20 0 8.19863e-17
* capacitor(173) = /+96
C173 20 10 1.09333e-18
* capacitor(174) = /+95
C174 20 32 8.46505e-18
* capacitor(175) = /+94
C175 20 5 8.41867e-18
* capacitor(176) = /+93
C176 20 4 7.5768e-17
* capacitor(177) = /+92
C177 16 0 8.19863e-17
* capacitor(178) = /+91
C178 16 36 1.09333e-18
* capacitor(179) = /+90
C179 16 32 8.41867e-18
* capacitor(180) = /+89
C180 16 5 8.41867e-18
* capacitor(181) = /+88
C181 16 33 7.5768e-17
* capacitor(182) = /+87
C182 13 0 3.19738e-15
* capacitor(183) = /+86
C183 13 37 3.21473e-15
* capacitor(184) = /+85
C184 13 26 1.62633e-17
* capacitor(185) = /+84
C185 13 22 4.10939e-16
* capacitor(186) = /+83
C186 13 30 8.17605e-17
* capacitor(187) = /+82
C187 13 24 6.31189e-16
* capacitor(188) = /+81
C188 11 0 2.69871e-15
* capacitor(189) = /+80
C189 11 37 3.16742e-15
* capacitor(190) = /+79
C190 11 22 4.88193e-17
* capacitor(191) = /+78
C191 11 32 1.448e-16
* capacitor(192) = /+77
C192 11 24 1.74256e-16

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca
MAUÁ
BIM

```
**********************************************************************
*                                capacitores do filtro                 *
**********************************************************************
c200 35 0 5pF
c201 28 0 0.5pF
**********************
*   decricao do circuito   *
**********************
* pfet(193) = /+76
M193 25 29 37 37 pmos w=32u l=1u ad=7.04e-11 as=7.04e-11
+pd=4.696e-05 ps=4.696e-05 nrd=0.001 nrs=0.001
* pfet(194) = /+75
M194 35 0 28 37 pmos w=4u l=0.9u ad=8.8e-12 as=8.8e-12
+pd=9.72e-06 ps=9.72e-06 nrd=0.001 nrs=0.001
* pfet(195) = /+74
M195 25 28 12 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(196) = /+73
M196 17 17 37 37 pmos w=22u l=0.8u ad=4.84e-11 as=1.62e-11
+pd=3.366e-05 ps=1.5355e-05 nrd=0.001 nrs=0.001
* pfet(197) = /+72
M197 37 14 14 37 pmos w=5u l=0.8u ad=1.62e-11 as=1.1e-11
+pd=1.5355e-05 ps=1.105e-05 nrd=0.001 nrs=0.001
* pfet(198) = /+71
M198 28 14 3 37 pmos w=18u l=0.8u ad=3.96e-11 as=1.368e-11
+pd=2.834e-05 ps=1.2762e-05 nrd=0.001 nrs=0.001
* pfet(199) = /+70
M199 8 29 37 37 pmos w=9u l=1u ad=1.98e-11 as=1.08e-11
+pd=1.637e-05 ps=5.37e-06 nrd=0.001 nrs=0.001
* pfet(200) = /+69
M200 37 29 29 37 pmos w=9u l=1u ad=1.08e-11 as=1.98e-11
+pd=5.37e-06 ps=1.637e-05 nrd=0.001 nrs=0.001
* pfet(201) = /+68
M201 3 31 37 37 pmos w=4.8u l=0.8u ad=1.368e-11 as=1.056e-11
+pd=1.2762e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(202) = /+67
M202 26 26 37 37 pmos w=40u l=2u ad=8.8e-11 as=4.8e-11
+pd=5.76e-05 ps=1.56e-05 nrd=0.001 nrs=0.001
* pfet(203) = /+66
M203 37 26 2 37 pmos w=40u l=2u ad=4.8e-11 as=8.8e-11
+pd=1.56e-05 ps=5.76e-05 nrd=0.001 nrs=0.001
* pfet(204) = /+65
M204 28 40 37 37 pmos w=5u l=0.8u ad=1.1e-11 as=1.1e-11
+pd=1.105e-05 ps=1.105e-05 nrd=0.001 nrs=0.001
* pfet(205) = /+64
M205 41 40 37 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(206) = /+63
M206 39 39 37 37 pmos w=11u l=0.8u ad=2.42e-11 as=1.32e-11
+pd=1.903e-05 ps=6.03e-06 nrd=0.001 nrs=0.001
* pfet(207) = /+62
M207 31 10 37 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(208) = /+61
```

M208 37 39 22 37 pmos w=11u l=0.8u ad=1.32e-11 as=2.42e-11
+pd=6.03e-06 ps=1.903e-05 nrd=0.001 nrs=0.001
* pfet(209) = /+60
M209 36 19 37 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(210) = /+59
M210 10 15 37 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(211) = /+58
M211 38 26 37 37 pmos w=14u l=0.8u ad=3.08e-11 as=3.08e-11
+pd=2.302e-05 ps=2.302e-05 nrd=0.001 nrs=0.001
* pfet(212) = /+57
M212 18 9 37 37 pmos w=11u l=0.8u ad=2.42e-11 as=1.08e-11
+pd=1.903e-05 ps=7.37e-06 nrd=0.001 nrs=0.001
* pfet(213) = /+56
M213 37 40 15 37 pmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.592e-06 ps=7.592e-06 nrd=0.001 nrs=0.001
* pfet(214) = /+55
M214 37 40 19 37 pmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.592e-06 ps=7.592e-06 nrd=0.001 nrs=0.001
* pfet(215) = /+54
M215 37 9 9 37 pmos w=7u l=0.8u ad=1.08e-11 as=1.14e-11
+pd=7.37e-06 ps=8.035e-06 nrd=0.001 nrs=0.001
* pfet(216) = /+53
M216 9 30 37 37 pmos w=12u l=0.8u ad=1.14e-11 as=1.44e-11
+pd=8.035e-06 ps=6.36e-06 nrd=0.001 nrs=0.001
* pfet(217) = /+52
M217 15 33 37 37 pmos w=7.2u l=0.8u ad=1.584e-11 as=1.584e-11
+pd=1.3976e-05 ps=1.3976e-05 nrd=0.001 nrs=0.001
* pfet(218) = /+51
M218 37 4 19 37 pmos w=7.2u l=0.8u ad=1.584e-11 as=1.584e-11
+pd=1.3976e-05 ps=1.3976e-05 nrd=0.001 nrs=0.001
* pfet(219) = /+50
M219 37 30 30 37 pmos w=12u l=0.8u ad=1.44e-11 as=2.64e-11
+pd=6.36e-06 ps=2.036e-05 nrd=0.001 nrs=0.001
* pfet(220) = /+49
M220 27 9 37 37 pmos w=3.3u l=0.8u ad=7.26e-12 as=4.14e-12
+pd=8.789e-06 ps=3.6885e-06 nrd=0.001 nrs=0.001
* pfet(221) = /+48
M221 37 30 23 37 pmos w=3.6u l=0.8u ad=4.14e-12 as=7.92e-12
+pd=3.6885e-06 ps=9.188e-06 nrd=0.001 nrs=0.001
* pfet(222) = /+47
M222 37 23 24 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(223) = /+46
M223 37 32 4 37 pmos w=7.2u l=0.8u ad=1.584e-11 as=1.584e-11
+pd=1.3976e-05 ps=1.3976e-05 nrd=0.001 nrs=0.001
* pfet(224) = /+45
M224 33 5 37 37 pmos w=7.2u l=0.8u ad=1.584e-11 as=1.584e-11
+pd=1.3976e-05 ps=1.3976e-05 nrd=0.001 nrs=0.001
* pfet(225) = /+44
M225 37 26 13 37 pmos w=14u l=0.8u ad=3.08e-11 as=3.08e-11
+pd=2.302e-05 ps=2.302e-05 nrd=0.001 nrs=0.001
* pfet(226) = /+43

```
M226 37 24 11 37 pmos w=9.6u l=0.8u ad=2.112e-11 as=2.112e-11
+pd=1.7168e-05 ps=1.7168e-05 nrd=0.001 nrs=0.001
* pfet(227) = /+42
M227 37 11 32 37 pmos w=19.2u l=0.8u ad=4.224e-11 as=4.224e-11
+pd=2.9936e-05 ps=2.9936e-05 nrd=0.001 nrs=0.001
* nfet(228) = /+41
M228 35 37 28 0 nmos w=2.6u l=1.5u ad=5.72e-12 as=5.72e-12
+pd=7.52e-06 ps=7.52e-06 nrd=0.001 nrs=0.001
* nfet(229) = /+40
M229 21 29 0 0 nmos w=38u l=1u ad=8.36e-11 as=8.36e-11 pd=5e-05
+ps=5e-05 nrd=0.001 nrs=0.001
* nfet(230) = /+39
M230 0 14 14 0 nmos w=20u l=0.8u ad=1.38e-11 as=4.4e-11
+pd=1.32e-05 ps=2.84e-05 nrd=0.001 nrs=0.001
* nfet(231) = /+38
M231 21 28 26 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(232) = /+37
M232 12 12 0 0 nmos w=5.5u l=2u ad=1.21e-11 as=6.6e-12
+pd=1.1e-05 ps=3.5e-06 nrd=0.001 nrs=0.001
* nfet(233) = /+36
M233 0 12 8 0 nmos w=5.5u l=2u ad=6.6e-12 as=6.6e-12 pd=3.5e-06
+ps=3.5e-06 nrd=0.001 nrs=0.001
* nfet(234) = /+35
M234 17 17 0 0 nmos w=3u l=0.8u ad=6.6e-12 as=1.38e-11 pd=8e-06
+ps=1.32e-05 nrd=0.001 nrs=0.001
* nfet(235) = /+34
M235 8 8 0 0 nmos w=5.5u l=2u ad=6.6e-12 as=6.6e-12 pd=3.5e-06
+ps=3.5e-06 nrd=0.001 nrs=0.001
* nfet(236) = /+33
M236 0 8 26 0 nmos w=5.5u l=2u ad=6.6e-12 as=1.21e-11 pd=3.5e-06
+ps=1.1e-05 nrd=0.001 nrs=0.001
* nfet(237) = /+32
M237 1 17 28 0 nmos w=7u l=0.8u ad=5.64e-12 as=1.54e-11
+pd=5.64e-06 ps=1.28e-05 nrd=0.001 nrs=0.001
* nfet(238) = /+31
M238 0 36 1 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.64e-12
+pd=7.28e-06 ps=5.64e-06 nrd=0.001 nrs=0.001
* nfet(239) = /+30
M239 29 29 0 0 nmos w=15u l=1u ad=3.3e-11 as=1.56e-11
+pd=2.24e-05 ps=7e-06 nrd=0.001 nrs=0.001
* nfet(240) = /+29
M240 0 2 2 0 nmos w=11u l=2u ad=1.56e-11 as=2.42e-11 pd=7e-06
+ps=1.76e-05 nrd=0.001 nrs=0.001
* nfet(241) = /+28
M241 0 41 28 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(242) = /+27
M242 0 40 41 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(243) = /+26
M243 39 38 0 0 nmos w=14u l=0.8u ad=3.22e-11 as=1.26e-11
+pd=2.14e-05 ps=8e-06 nrd=0.001 nrs=0.001
* nfet(244) = /+25
```

```
M244 31 10 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(245) = /+24
M245 0 38 38 0 nmos w=7u l=0.8u ad=1.26e-11 as=1.26e-11 pd=8e-06
+ps=8e-06 nrd=0.001 nrs=0.001
* nfet(246) = /+23
M246 38 18 0 0 nmos w=14u l=0.8u ad=1.26e-11 as=1.68e-11
+pd=8e-06 ps=5.2e-06 nrd=0.001 nrs=0.001
* nfet(247) = /+22
M247 0 18 18 0 nmos w=14u l=0.8u ad=1.68e-11 as=3.08e-11
+pd=5.2e-06 ps=2.12e-05 nrd=0.001 nrs=0.001
* nfet(248) = /+21
M248 36 19 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(249) = /+20
M249 10 15 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(250) = /+19
M250 7 32 0 0 nmos w=4.8u l=0.8u ad=5.04e-12 as=1.056e-11
+pd=3.84e-06 ps=1.016e-05 nrd=0.001 nrs=0.001
* nfet(251) = /+18
M251 0 5 6 0 nmos w=4.8u l=0.8u ad=1.056e-11 as=5.04e-12
+pd=1.016e-05 ps=3.84e-06 nrd=0.001 nrs=0.001
* nfet(252) = /+17
M252 6 33 15 0 nmos w=3.6u l=0.8u ad=5.04e-12 as=7.92e-12
+pd=3.84e-06 ps=8.72e-06 nrd=0.001 nrs=0.001
* nfet(253) = /+16
M253 19 4 7 0 nmos w=3.6u l=0.8u ad=7.92e-12 as=5.04e-12
+pd=8.72e-06 ps=3.84e-06 nrd=0.001 nrs=0.001
* nfet(254) = /+15
M254 9 2 0 0 nmos w=7u l=0.8u ad=1.54e-11 as=1.54e-11
+pd=1.28e-05 ps=1.28e-05 nrd=0.001 nrs=0.001
* nfet(255) = /+14
M255 27 27 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=2.88e-12
+pd=7.28e-06 ps=2.88e-06 nrd=0.001 nrs=0.001
* nfet(256) = /+13
M256 0 27 23 0 nmos w=2.4u l=0.8u ad=2.88e-12 as=5.28e-12
+pd=2.88e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(257) = /+12
M257 4 10 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(258) = /+11
M258 0 36 33 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(259) = /+10
M259 20 32 0 0 nmos w=4.8u l=0.8u ad=5.04e-12 as=1.056e-11
+pd=3.84e-06 ps=1.016e-05 nrd=0.001 nrs=0.001
* nfet(260) = /+9
M260 0 5 16 0 nmos w=4.8u l=0.8u ad=1.056e-11 as=5.04e-12
+pd=1.016e-05 ps=3.84e-06 nrd=0.001 nrs=0.001
* nfet(261) = /+8
M261 4 5 20 0 nmos w=3.6u l=0.8u ad=7.92e-12 as=5.04e-12
+pd=8.72e-06 ps=3.84e-06 nrd=0.001 nrs=0.001
* nfet(262) = /+7
```

M262 16 32 33 0 nmos w=3.6u l=0.8u ad=5.04e-12 as=7.92e-12
+pd=3.84e-06 ps=8.72e-06 nrd=0.001 nrs=0.001
* nfet(263) = /+6
M263 0 23 24 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(264) = /+5
M264 30 13 0 0 nmos w=14u l=0.8u ad=3.08e-11 as=1.26e-11
+pd=2.12e-05 ps=8e-06 nrd=0.001 nrs=0.001
* nfet(265) = /+4
M265 0 13 13 0 nmos w=7u l=0.8u ad=1.26e-11 as=1.26e-11 pd=8e-06
+ps=8e-06 nrd=0.001 nrs=0.001
* nfet(266) = /+3
M266 13 22 0 0 nmos w=14u l=0.8u ad=1.26e-11 as=1.68e-11
+pd=8e-06 ps=5.2e-06 nrd=0.001 nrs=0.001
* nfet(267) = /+2
M267 0 22 22 0 nmos w=14u l=0.8u ad=1.68e-11 as=3.08e-11
+pd=5.2e-06 ps=2.12e-05 nrd=0.001 nrs=0.001
* nfet(268) = /+1
M268 0 24 11 0 nmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.016e-05 ps=1.016e-05 nrd=0.001 nrs=0.001
* nfet(269) = /+0
M269 0 11 32 0 nmos w=9.6u l=0.8u ad=2.112e-11 as=2.112e-11
+pd=1.592e-05 ps=1.592e-05 nrd=0.001 nrs=0.001
****

Escola Federal de Engenharia de Itajubá - EFEI
Biblioteca MAUÁ BIM

PARAMETROS ES2 - 0,7µm - CASO TIPICO

****
.MODEL n NMOS
+ LEVEL = 6.0 UPDATE = 1.0
+ NSUB = 1.965e+16 TOX = 150.0 BETA = 97e-6
+ XJ = 0.25u
+ RSH = 65
+ MOB = 2
+ F1 = 372k F2 = 200m UTRA = 563m
+ XL = 0.04u LD = 0.1u
+ XW = 0.9u WD = 0.45u
+ VTO = 815m
+ NSS = 0.0
+ NWE = 193.7n
+ UFDS = 99.5m VFDS = 0.2 FDS = 84m
+ VB0 = 1.50 GAMMA = 764m LGAMMA = 705m
+ VSH = 650m NWM = -197m SCM = 1.733
+ WIC = 2 NFS = 5E11 WEX = 17
+ LAMBDA = 10.63u
+ NU = 1
+ KU = 1.405 ECRIT = 87k MBL = 555m
+ KA = 974m MAL = 295m
+ CLM = 3
+ KCL = 1.08 MCL = 4.63
+ TLEV = 1
+ BEX = -1.5 TCV = -2m
+ CAPOP = 4.0 ACM = 2.0
+ CJ = 503u MJ = 0.43

```
+ CJSW   = 109p      MJSW   = 0.43      PB     = 0.675
+ CGDO   = 200p      CGSO   = 200p      JS     = 2u
.MODEL p PMOS
+ LEVEL  = 6.0       UPDATE = 1.0
+ NSUB   = 2.5e+16   TOX    = 150.0     BETA   = 30.16e-6
+ XJ     = 0.5u
+ RSH    = 80
+ MOB    = 2
+ F1     = 483k      F2     = 320m      UTRA   = -197m
+ XL     = 0.042u    LD     = 0.1u
+ XW     = 0.9u      WD     = 0.45u
+ VTO    = -1
+ NWE    = 56.1n
+ UFDS   = 331m      VFDS   = 0.5       FDS    = 286m
+ VB0    = 1.5       GAMMA  = 587m      LGAMMA = 653m
+ VSH    = -116m     NWM    = -442m     SCM    = 1.01
+ WIC    = 2         NFS    = 6E11      WEX    = 14.3
+ LAMBDA = 14u
+ NU     = 1
+ KU     = 9.871     ECRIT  = 486k      MBL    = 803m
+ KA     = 1.082     MAL    = 0
+ CLM    = 3
+ KCL    = 41.91m    MCL    = 6.97
+ TLEV   = 1
+ BEX    = -1.0      TCV    = 1.52m
+ CAPOP  = 4.0       ACM    = 2.0
+ CJ     = 776u      MJ     = 0.51
+ CJSW   = 572p      MJSW   = 0.51      PB     = 0.7
+ CGDO   = 200p      CGSO   = 200p      JS     = 20u
```

Anexo B

Cópia do Artigo Apresentado em Congresso

The Design of a 0,7 μm CMOS Pre-Charge Type DPLL for Clock Recovery under the SONET/SDH Protocols at 622 Mhz

Leonardo Mesquita, Paulo C. Crepaldi, Elbio L. Petrucci, Tales C. Pimenta
Escola Federal de Engenharia de Itajubá
Grupo de Microeletrônica
Av. BPS 1303, Itajubá - MG 37500-000
Tel. (035) 629-1190 - 629-1191
e-mail : tales@esmeralda.iee.efei.rmg.br

Abstract - This paper presents a pre-charge type DPLL (Digital Phase Locked Loop) to be used for clock recovery in the communication systems working at 622 Mhz under the SONET/SDH protocols. It is presented a pre-charge type PFD, a biasing circuit and a VCO capable of working at that frequency. The circuit was design for a 0.7μm CMOS process. The HSPICE simulations show that the circuit is capable of working at such high frequency.

1. INTRODUCTION

The receivers of the communication systems working under the SONET/SDH protocols[1] require circuits to recover the clock signal, which is extracted from the incoming message. This clock signal is used to synchronize the receiver with the incomming information.

This work presents the implementation of a DPLL circuit that can be used in the clock recovery of a 622 Mhz incoming signal. The section 2 describes the DPLL designed. It is presented in section 2.1 the pre-charge type Phase-Frequency Detector - PFD designed. The section 2.2 describes the charge-pump circuit and the loop filter. The Voltage Controlled Oscillator - VCO implemented is presented in section 2.3. Section 2.4 shows the layout of the integrated circuit designed in a 0.7 μm CMOS technology. This section also shows the respective HSPICE simulations, along with the circuit characteristics. Finally, section 3 presents the conclusions related to this project.

2. DPLL IMPLEMENTATION

The DPLL designed [2] is composed of a phase-frequency detector - PFD, its respective charge-pump circuit, an a voltage controlled oscillator - VCO, as indicated in Figure 1.

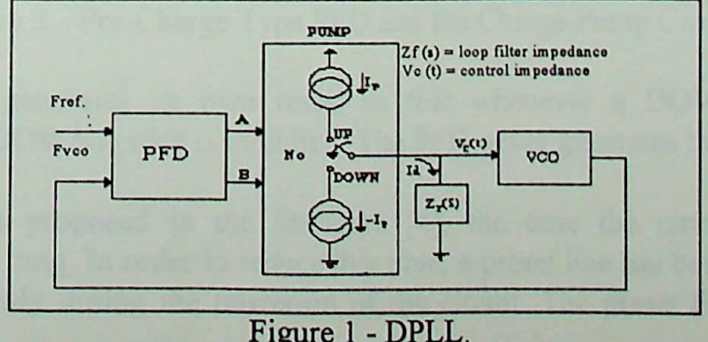


Figure 1 - DPLL.

The PFD is widely used in the design of DPLLs due to its large tracking range, fast frequency acquisition and its easy implementation. The charge-pump circuit is used to convert the output of the PFD to current. This current is applied to the filter, which is used to reduce the ripple and provide stability to the DPLL. The VCO is used to convert the controlling voltage to frequency.

2.1 Phase-Frequency Detector - PFD

The PFD is fully digital circuit [3], and its operation is shown in Table 1, along with a short analysis of its operation according to input signals.

A	B	Operation	Frequencies
0	0	High Impedance	$F_{ref} = F_{vco}$
0	1	Generation of the Down Pulse	$F_{ref} < F_{vco}$ or θ_{ref} leading θ_{vco}
1	0	Generation of the Up pulse	$F_{ref} > F_{vco}$ or θ_{ref} lagging θ_{vco}

Table 1 - PFD Operation.

The pre-charge type PFD implemented [4,5] can operate at high frequencies, the opposite of the conventional PFD [6]. Figure 2 shows the PFD along with its charge pump circuit, and Figure 3 shows its HSPICE response to two 625 Mhz signals with a 90^{o} phase shift.

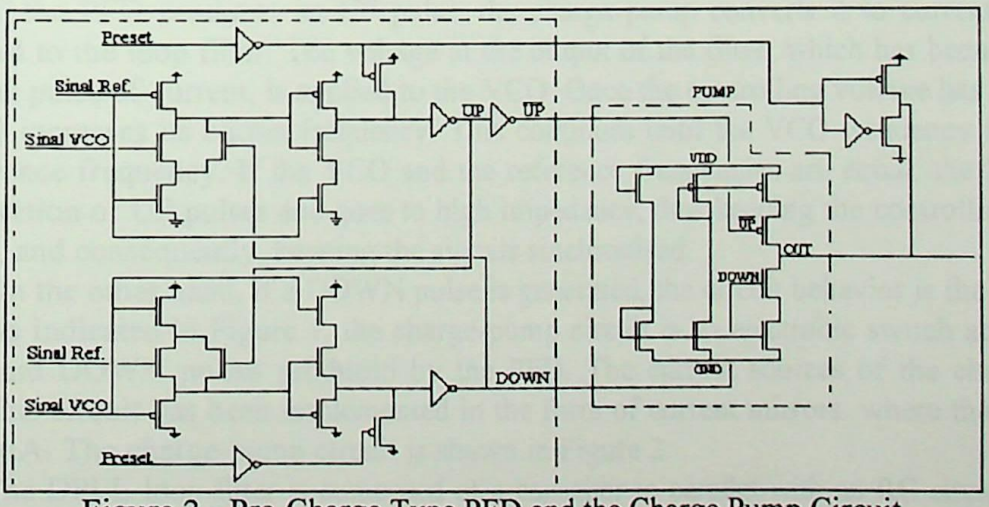


Figure 2 - Pre-Charge Type PFD and the Charge Pump Circuit.

The circuit generates its own reset, so that whenever a DOWN (UP) pulse is generated, the UP (DOWN) pulse is inhibited. The PFD never generates the two pulses at the same time.

In the PFDs proposed in the literature [4], the time the circuits take to reach synchronism is very long. In order to reduce this time, a preset line has been introduced. This preset is activated only during the power-on of the circuit. The preset forces the oscillator

controlling voltages to half the value of V_{dd}, which is very close to the normal operation value. In our case, this value is 2.5V for a 5V power supply.

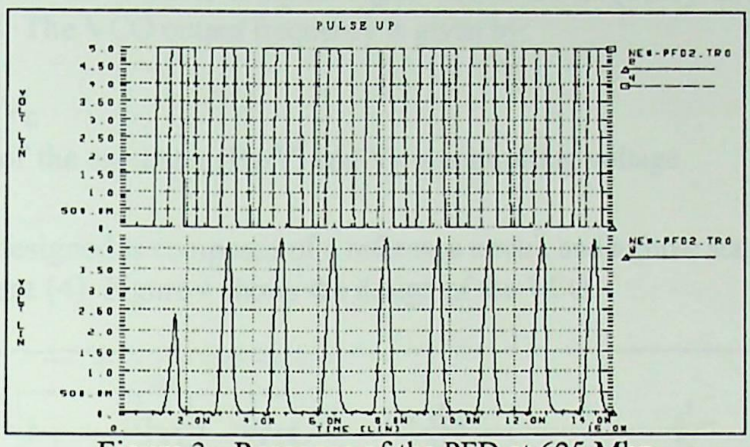


Figure 3 - Response of the PFD at 625 Mhz.

2.2 Charge-Pump Circuit and Loop Filter

The charge-pump circuit [7] coverts the phase error obtained from the PFD into current to be used by the loop filter to provide the controling voltage of the VCO. The charge pump circuit and the loop filter are shewn Figure 1.

The current from the charge pump circuit is given by

$$I_d = \pm I_p . (\theta_e/2\pi)$$

where θ_e is the phase error between the input signals.

If the PFD produces an UP pulse, the charge pump converts it to current which is conducted to the loop filter. The voltage at the output of the filter, which has been increased due to the pulse of current, is applied to the VCO. Once the controlling voltage has increased, the VCO increases its output frequency. This continues until the VCO frequency is equal to the reference frequency. If the VCO and the reference frequencies are equal, the PFD stops the generation of UP pulses and goes to high impedance, thus keeping the controlling voltage constant, and consequently, keeping the signals sinchronised.

On the other hand, if a DOWN pulse is generated, the circuit behavior is the opposite.

As indicated in Figure 1, the charge-pump circuit is an electronic switch activated by the UP and DOWN pulses produced by the PFD. The current sources of the charge-pump used in this circuit has been implemented in the form of current mirrors, where the current is set to 25μA. The charge-pump circuit is shown in Figure 2.

The DPLL loop filter is composed of a capacitor in parallel with an RC circuit [8,9]. In applications where no frequency "jumps" are allowed, the this configuration must be used. In this configuration, the capacitor in parallel with the RC circuit provides an additional filtering of the signal, thus reducing the jitter in the system.

The main advantage of this type of loop filter is the its short response time. Also, this filter does not allow sharp voltage changes that would saturate the oscillator.

2.3 Voltage Controlled Oscillator - VCO

The output of the VCO is a digital signal where the frequency is controlled by the voltage at its input. The VCO output frequency is given by:

$$f_{vco} = K_O \cdot V_C$$

Where K_O is gain of the oscillator (Hz/V) and V_C is controlling voltage.

The VCO designed is composed of a reference circuit and a three stages ring oscillator controlled by current [4]. Figure 4 shows the design of the VCO.

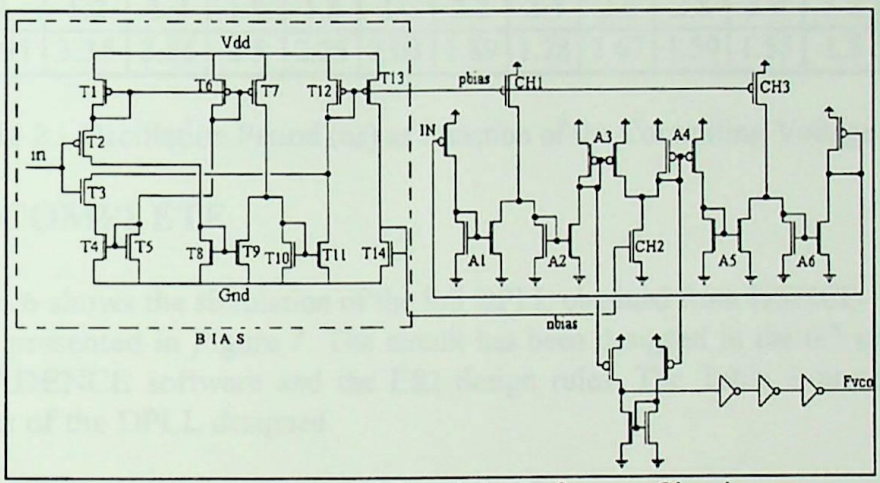


Figure 4 - The VCO and the Reference Circuit.

The reference circuit converts the controlling voltage to a proportional current which is used by the ring oscillator. The current is obtained from current sum and subtraction on the branches of the circuit. The input block, composed of the transistors T1, T2, T3 and T4, can be adjusted in order to set input current according to the desired output frequency range desired.

Figure 5 shows the DC characteristics of the voltage reference circuit obtained from HSPICE simulations, where the controlling voltage range is 1-4V.

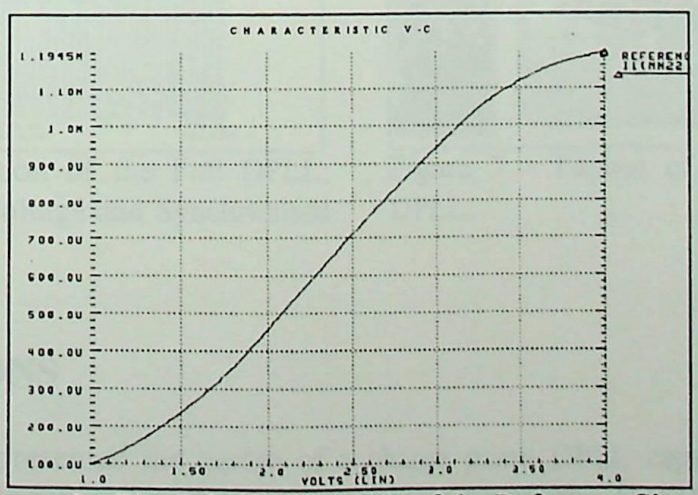


Figure 5 - The DC Characteristic of the Reference Circuit.

The operation of the VCO is given as follows. Considering the node IN at logic level 1, the current mirror A1 is cut-off, and mirror A2 absorbs all the current supplied by CH1. In this situation, the current on the mirror A3 is the same as the current on CH2 and the mirror A4 cuts-off. From that, the mirror A5 cuts-off and the mirror A6 absorbs all the current from CH3, which forces the IN to logic level 0. This forces the circuit to oscillate.

The output of the oscillator is obtained from a differential amplifier connected on the current mirrors A3 and A4. The differential amplifier is used to set the duty cycle to 50%. Table 2 shows the oscillation period of this circuit as function of the controlling voltage at the input of the reference circuit.

Vc	1	1.2	1.4	1.6	1.8	2.0	2.2	2.4	2.6	2.8	3.0	3.2	3.6	3.8	4.0
Period	3.91	3.35	2.86	2.5	2.25	2.03	1.89	1.78	1.67	1.59	1.55	1.5	1.42	1.4	1.37

Table 2 - Oscillation Period (ns) as Function of the Controlling Voltage (V).

2.4 DPLL COMPLETE

Figure 6 shows the simulation of the full DPLL obtained from HSPICE. The layout of the circuit is presented in Figure 7. The circuit has been designed in the 0.7 μm technology using the CADENCE software and the ES2 design rules. The Table 3 presents the main characteristics of the DPLL designed.

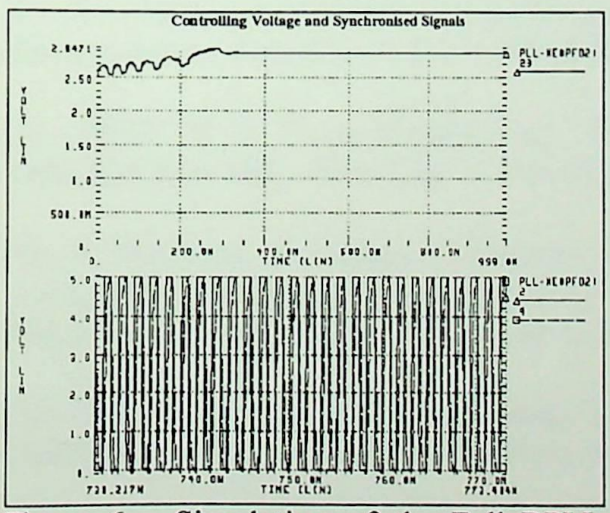


Figure 6 - Simulation of the Full DPLL; VCO Controlling Voltage and Synchronised Signals.

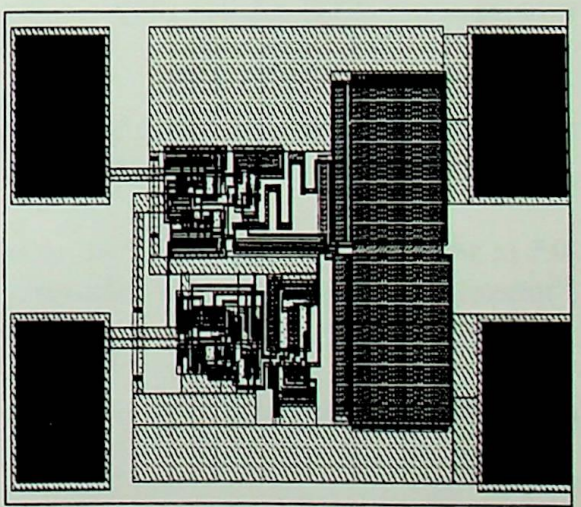


Figure 7 - Layout of the Charge Pump DPLL.

3. CONCLUSIONS

This paper presented the design of a charge pump DPLL capable of operating at 622Mhz to attend the SONET/SDH communication protocols. The DPLL is used at the receiver to extract the clock signal from the incoming messages. The PFD of this DPLL is

able to operate at high frequencies. The PFD introduced a preset line used to reduce the time the circuit takes to reach synchronization after the power-on of the circuit.

Technology	0,7 μ_m CMOS
PFD	pre-charge type
"charge-pump" current	25 μA
VCO	three stages ring oscillator
Controlling Voltage	1 to 4 V
Lock-in time	600 ns
Power Supply	5 V
Power Consumption	40 mW

Table 3 - Main Characteristics of the Full DPLL.

4. ACKNOWLEDGEMENTS

The authors would like to thank the Engineers Robson L. Moreno and Adriano M. Pereira for their valuable suggestions.

REFERENCES

[1] - SDH SEMINAR, Hewlett Packard

[2] - PAEMEL, M. V. Analysis of a Charge Pump PLL : A New Model. IEEE Transaction on Comunications, vol. 42, n° 12, p. 2490-2498, July 1994.

[3] - BEST, R. E. Phase Locked Loop : Theory, Design and Apllications, 2ª Edição. New York, McGraw-Hill, 1993. Cap. 3 : The Chassical Digital PLL (DPLL), p.93-171.

[4] - K. Harafusa, N. Hiromi, Y. Tsutomu, S. Hiroshi, M. Yoshio; "A 1.5-V 250 Mhz to 3.0-V 622 Mhz operation phase-locked loop with precharge type phase-frequency detector"; IEICE Trans. Electron, vol. E78 - C, no 4, Abril 1995.

[5] - Rogenmoser, R., Felber, N., Huang, Q., Fichtner, W., "1.16 GHZ dual -modulus 1.2 μm CMOS prescaler", Swiss Federal Institute of Technology.

[6] - S. Mehmet, M. G. Robert; "Frequency limitations of a conventional phase-frequency detector"; IEEE Journal of Solid-State Circuits; vol. 25, no 4, Agosto 1990.

[7] - Encinas,.J., "Phase Locked Loop" - thrid edition, pp. 129-143, Chapman & Hall 1993.

[8] - GARDNER, F. M. Charge Pump Phase Lock Loops. IEEE Transaction on Comunications, vol. COM - 28, n° 12, p. 1849-1858, Nov 1980.

[9] - Meyr, H. & Ascheid, G., Synchronization in digital communications - Volume 1 - Phase-, Frequenccy-locked loops, and Amplitude Control, 1ª Edição, Jonh Wiley & Sons. Cap 2 : Phase locked loop fundamentais, p. 21-95.

Referências Bibliográficas

1. B. P. Lathi, *Modern Digital and Communications Systems*, McGraw Hill, NY, 1991.

2. Eduard A. Lee and David G. Messerschimitt, *Digital Communication,* 2nd Edition, KAP, 1994.

3. R. E. Best, *Phase Locked Loop : Theory, Design and Applications*, McGraw Hill, NY, 1993.

4.Introducion to the SDH Networks and Tests,SDH SEMINAR, Hewlett Packard

5. F. L. Romão, "Projeto do Circuito DEMUX 8:1 com Byte Align no Padrão SONET/SDH a Taxas de 1,25Gb/s na Tecnologia CMOS 0,7μm", PEE/PEUSP, Universidade de São Paulo.

6. Dan H. Wolaver, *Phase Locked Loop Circuit Design*, Prentice Hall, 1991.

7.R. Wim, " ALL - Digital Phase Locked Loops Using the 74HC/HCT297", Eletronic Components and Apllicatons, vol. 9, n° 2.

8. Behzard Razani, "Design of a Monolithic Phase Locked Loops and Clock Recovery Cirucits - A Tutorial", IEEE PRESS.

9. F. M. Gardner, "Charge Pump Phase Locked Loop", IEEE transaction on Communications, vol. 42, n° 7, July, pp. 1849-1858.

10. F. M. Gardner, *Phaselock Techniques*, Jonh Wiley & Sons, NY, 1979.

11. H. Meyr; G. Ascheid, *Synchronization in Digital Communications*, Jonh Wiley & Sons, NY, 1990.

12. M. V. Paemel, "Analysis of a Charge Pump PLL : A New Model", IEEE Transactions on Communications, vol. 42, n 7,July, 1994, pp. 2490 - 2498.

13. J. Encinas, *Phase Locked Loop*, Chapmam & Hall, 1993.

14. Willian O. Keese, "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loops", National Semiconductor, AN 1001, May, 1996.

15. Charles L. Phillips and Royce D. Harbor, *Feedback Control Systems*, 2nd Edition, Prentice Hall, 1991.

16. Mehmet Sayver& Robert G. Meyer, "Frequency Limitations of a Convencional Phase Frequency Detector", IEEE Journal of Solid State Circuits, vol. 25, n° 4, August, 1990, pp. 1019-1022.

17. R. C. Halgren et. al., "Improved Aquisition in PLLs with Sawtooth Phase Detectors", IEEE Trans. Commum, vol. COM-30, October, 1982, pp. 2364-2375.

18. Harafusa Kodon et. al., "A 1,5V 250Mhz to 3,0V 622Mhz Operation CMOS Phase Locked Loop with Precharge Type Phase Frequency Detector",IEICE Trans Electron, vol. E78C, n° 4, April, 1995, pp. 381-388.

19. Jan M. Rabaey, *Digital Integrated Circuits - A Design Perspective*, Prentice Hall, 1996.

20. Jonh P. Uuemura, *Circuit Design for CMOS VLSI*, KAP, 1992.

21. P. E. Allen & D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, Inc., 1987.

22. D. Byrd, C. Davis & W. O. Keese, "A Fast Locking Scheme for PLL Frequency Synthesizers", AN 1000, National, July, 1995.

23. National Semicondutores, 74VHC4046 CMOS Phase Lock Loop, October, 1995.

DATA 04 / 06 /19 97
PROC. .....
PED. .....
LIV. Doação
RS .....