

TESE

919

ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ

*Projeto de um Circuito Integrado para
Amplificação e Tratamento de
Sinal Elétrico Cerebral*

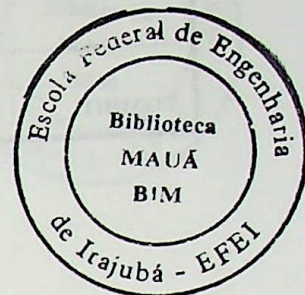
HELOISA HELENA D'OLIVEIRA ROCHA

ITAJUBÁ - MG

Maio - 1997

ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ

DISSERTAÇÃO DE MESTRADO



**“PROJETO DE UM CIRCUITO INTEGRADO PARA
AMPLIFICAÇÃO E TRATAMENTO DE SINAL ELÉTRICO
CEREBRAL”**

HELOISA HELENA D'OLIVEIRA ROCHA

ORIENTADOR: PROF. TALES CLEBER PIMENTA

CO - ORIENTADOR: PROF. PEDRO PAULO BALESTRASSI

ITAJUBÁ, MAIO DE 1997

CLASS. 615.478.6:621.3.049.77
CUTTER. R 672 p
TOMBO. 919



RESUMO

O objetivo deste trabalho foi a implementação de um circuito amplificador e integrador de sinais eletroencefalográficos para detecção de ondas anormais, após amplificação e tratamento, é usado para detectar a presença de atividade anormal nos sinais eletroencefalográficos.

O circuito integrado é composto pela etapa de amplificação, multiplexagem, filtragem e conversão A/D.

ABSTRACT

The objective of this work was the development of an integrated circuit for amplification and treatment of the electroencephalographic signal for electroencephalography. The analysis of the electroencephalographic signal, after amplification and treatment, is used to detect the presence of abnormal activity in the electroencephalographic signals.

This integrated circuit consists of amplification, multiplexing, filtering and A/D conversion circuits.

RESUMO

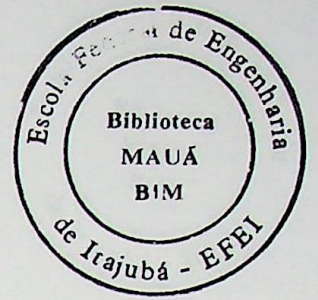
O objetivo deste trabalho foi o desenvolvimento de um circuito integrado para a amplificação e tratamento do sinal eletroencefálico para eletroencefalografia. A análise do sinal eletroencefálico, após amplificação e tratamento, é usado para detetar a presença de distúrbios neurológicos tais como epilepsia, trauma e tumores.

O circuito integrado é composto pelos circuitos de amplificação, multiplexagem, filtragem e conversão A/D.

ABSTRACT

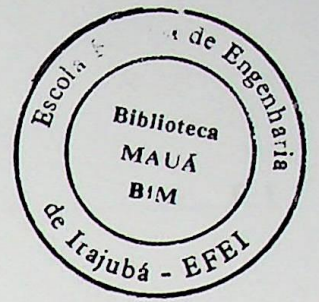
The objective of this work was the development of an integrated circuit for amplification and treatment of the electroencephalic signal for electroencephalography. The analysis of the electroencephalic signals, after amplification and treatment, is used to detect the presence of neurological disturbs like epilepsy, trauma or tumours.

This integrated circuit is composed of amplification, multiplexing, filtering and A/D conversion circuits.



DEDICATÓRIA

*À meu noivo Jonas, por todo apoio e dedicação
e pela compreensão pelos fins de semana perdidos.
À meus pais e tias que sempre me incentivaram
nos momentos mais difíceis.
Aos meus irmãos.*



AGRADECIMENTOS

Aos meus orientadores Tales Cleber Pimenta e Pedro Paulo Balestrassi, pela idéia inicial que gerou este trabalho, pela orientação, sugestões, incentivo e motivação.

A todos aqueles que contribuíram de alguma forma durante todo o meu curso de mestrado. Em especial, aos Engenheiros Robson Luiz Moreno, Paulo César Crepaldi, Adriano Marques Pereira, Carlos Renato Trevisan de Mori, Leonardo Mesquita e Robélia Silva, por toda atenção, paciência, disponibilidade para eventuais esclarecimentos.

Ao professor Laércio Caldeira pelas sugestões e comentários.

ÍNDICE

RESUMO.....	R. 1
1. INTRODUÇÃO	
1.1 - Histórico do sinal elétrico cerebral.....	1.1
1.2 - Formação do sinal elétrico cerebral.....	1.2
1.2.1 - Estrutura do neurônio.....	1.2
1.2.2 - Potencial de membrana e potencial de ação.....	1.3
1.2.2.1 - Potencial de membrana.....	1.3
1.2.2.2 - Potencial de ação ou impulso nervoso.....	1.4
1.2.3 - Geração do sinal eletroencefálico.....	1.5
1.3 - Características do sinal eletroencefálico.....	1.5
1.4 - Obtenção do sinal eletroencefálico.....	1.6
1.5 - Circuito utilizado para tratamento do sinal eletroencefálico.....	1.8
2. AMPLIFICADORES PARA SINAIS ELETROENCEFÁLICOS	
2.1 - Características do amplificador a ser utilizado.....	2.1
2.1.1 - Ganho.....	2.1
2.1.2 - Impedância de entrada.....	2.1
2.1.3 - CMRR.....	2.2
2.1.4 - Tensão de compensação de "offset".....	2.3
2.2 - A Arquitetura escolhida.....	2.3
2.2.1 - Amplificador diferencial cascode.....	2.4
2.2.1.1 - Dimensionamento do par diferencial cascode.....	2.6
2.2.1.1.1 - Dimensionamento de MP1.....	2.6
2.2.1.1.2 - Dimensionamento de MP3, MP4, MP5, MP6.....	2.6
2.2.1.1.3 - Dimensionamento de MN1 e MN2.....	2.7
2.2.2 - Estágio de saída.....	2.7
2.2.2.1 - Dimensionamento do estágio de saída.....	2.8
2.2.2.1.1 - Dimensionamento de MN2S.....	2.8
2.2.2.1.2 - Dimensionamento de MP2S.....	2.9
2.2.2.1.3 - Dimensionamento de MPE1 e MNE1.....	2.9
2.2.2.1.4 - Dimensionamento de MPE2, MPE3, MNE2, MNE3.....	2.9
2.2.2.1.5 - Dimensionamento de MS1P e MS1N.....	2.10
2.2.3 - Circuito de polarização.....	2.11
2.2.3.1 - Dimensionamento do circuito de polarização.....	2.11
2.3 - Amplificador de instrumentação.....	2.12

3. MULTIPLEXADOR, FILTRO E DESLOCADOR DE NÍVEL

3.1 - Multiplexador.....	3.1
3.2 - Filtros.....	3.4
3.2.1 - Introdução.....	3.4
3.2.2 - Filtro passa baixa.....	3.6
3.2.3 - Filtro notch.....	3.7
3.3 - Deslocador de nível.....	3.9

4. CONVERSOR A/D

4.1 - Conversores A/D "flash" e "half-flash".....	4.1
4.2 - Princípio de funcionamento do conversor A/D "half-flash".....	4.2
4.3 - Blocos funcionais do conversor A/D "half-flash".....	4.3
4.3.1 - Seguidores de tensão ("buffers").....	4.3
4.3.1.1 - Amplificadores operacionais utilizados como "buffers".....	4.4
4.3.1.1.1 - Par diferencial de entrada.....	4.5
4.3.1.1.2 - Estágio "folded cascode".....	4.6
4.3.1.1.3 - Estágio de saída.....	4.7
4.3.1.1.4 - Circuito de polarização.....	4.7
4.3.2 - Circuito "sample-and-hold".....	4.10
4.3.2.1 - Circuito do "sample-and-hold".....	4.11
4.3.2.1.1 - Dimensionamento do amplificador operacional utilizado no circuito de "sample-and-hold".....	4.11
4.3.2.1.2 - Chaves "dummy".....	4.16
4.3.3 - Escada resistiva.....	4.16
4.3.3.1 - Escada resistiva para os MSB's.....	4.16
4.3.3.2 - Escada resistiva para os LSB's.....	4.17
4.3.4 - Comparadores.....	4.18
4.3.5 - Codificador.....	4.21
4.3.6 - Multiplexador.....	4.22
4.3.7 - "Latch".....	4.27

5. SIMULAÇÕES E "LAYOUT" DOS CIRCUITOS UTILIZADOS

5.1 - Análise do circuito de amplificação.....	5.1
5.2 - Filtros.....	5.4
5.3 - Conversor A/D.....	5.5
5.3.1 - "Buffers" N e P.....	5.6
5.3.2 - Circuito de "sample-and-hold".....	5.9
5.3.3 - Escadas resistivas.....	5.13
5.3.4 - Comparadores.....	5.13
5.3.4.1 - Comparadores para os MSB's.....	5.13
5.3.4.2 - Comparadores para os LSB's.....	5.16
5.3.5 - "Latch".....	5.19

6. CONCLUSÃO

APÊNDICE I

ARQUIVOS DE SIMULAÇÃO

5.1 - Circuito utilizado para amplificação do sinal EEG.....	A.2
5.2 - Análise DC do amplificador EEG.....	A.3
5.3 - Circuito utilizado para o filtro passa-baixa.....	A.4
5.4 - Circuito utilizado para o filtro "notch".....	A.4
5.5 - Circuito utilizado para a simulação dos "buffers" N e P.....	A.6
5.6 - Amplificador utilizado no circuito de "sample-and-hold".....	A.8
5.7 - Circuito de "sample-and-hold".....	A.9
5.8 - Comparador para os MSB's.....	A.10
5.9 - Comparador para os LSB's.....	A.11
5.10 - Circuito do Latch.....	A.12

ÍNDICE - FIGURAS

1. INTRODUÇÃO

Figura 1.1 - Sistema Internacional 10-20 de Posicionamento de Eletrodos.....	1.7
Figura 1.2 - Obtenção do Sinal Eletroencefálico.....	1.8
Figura 1.3 - Diagrama em Blocos do Circuito a ser Utilizado.....	1.9

2. AMPLIFICADORES PARA SINAIS ELETROENCEFÁLICOS

Figura 2.1 - Medição do Sinal Eletroencefálico.....	2.2
Figura 2.2 - Circuito Utilizado para o Amplificador Operacional.....	2.3
Figura 2.3 - Amplificador Cascode.....	2.5
Figura 2.4 - Estágio de Saída.....	2.8
Figura 2.5 - Circuito de Polarização.....	2.11
Figura 2.6 - Amplificador de Instrumentação.....	2.13
Figura 2.7 - Circuito Utilizado para Amplificação do Sinal EEG.....	2.14
Figura 2.8 - Circuito Final Utilizado para Amplificação do Sinal EEG.....	2.15

3. MULTIPLEXADOR, FILTRO E DESLOCADOR DE NÍVEL

Figura 3.1 - Diagrama em Blocos do Eletroencefalógrafo.....	3.1
Figura 3.2 - Circuito Utilizado para o Inversor.....	3.3
Figura 3.3 - Circuitos Utilizados para as NANDs de 2 e 3 Entradas.....	3.4
Figura 3.4 - Circuito Utilizado para a NOR de 2 Entradas.....	3.4
Figura 3.5 - Circuito Completo do Multiplexador.....	3.5
Figura 3.6 - Configuração de um Filtro Butterworth Passa-Baixa.....	3.6
Figura 3.7 - Configuração de um Filtro "Notch".....	3.8
Figura 3.8 - Deslocador de Nível.....	3.9

4. CONVERSOR A/D

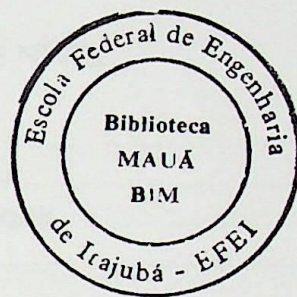
Figura 4.1 - Topologia de um Conversor "Flash".....	4.1
Figura 4.2 - Diagrama em Blocos do Conversor A/D "Half-Flash".....	4.3
Figura 4.3 - Amplificador Operacional Configurado Como "Buffer".....	4.4
Figura 4.4 - Amplificadores Utilizados como "Buffers".....	4.4
Figura 4.5 - Circuito de Polarização dos Amplificadores Utilizados como "Buffers".....	4.5
Figura 4.6 - Circuito de "sample-and-hold".....	4.10
Figura 4.7 - Amplificador Utilizado no Circuito "sample-and-hold".....	4.12
Figura 4.8 - Amplificador N.....	4.12
Figura 4.9 - Amplificador P.....	4.13

Figura 4.10 - Chave "Dummy".....	4.16
Figura 4.11 - Escada Resistiva.....	4.17
Figura 4.12 - Circuito de Simulação para a Escada Resistiva dos MSB's.....	4.17
Figura 4.13 - Circuito de Simulação para a Escada Resistiva dos LSB's.....	4.18
Figura 4.14 - Topologia de um Comparador MSB.....	4.19
Figura 4.15 - Topologia de um Comparador LSB.....	4.19
Figura 4.16 - Chaves Utilizadas pelos Comparadores.....	4.20
Figura 4.17 - Inversor Utilizado pelos Comparadores.....	4.20
Figura 4.18 - Topologia do Codificador.....	4.23
Figura 4.19 - Topologia do Multiplexador.....	4.26
Figura 4.20 - Topologia de um "Latch".....	4.27
Figura 4.21 - Circuito Completo do "Latch".....	4.28

5. SIMULAÇÕES E "LAYOUT" DOS CIRCUITOS UTILIZADOS

Figura 5.1 - Parâmetros ES2.....	5.1
Figura 5.2 - Simulação do Circuito Amplificador do Sinal EEG.....	5.2
Figura 5.3 - Simulação do Comportamento Dinâmico do Amplificador do Sinal EEG.....	5.3
Figura 5.4 - Offset do Amplificador.....	5.3
Figura 5.5 - "Layout" do Circuito Final de Amplificação.....	5.4
Figura 5.6 - Simulação do Circuito Utilizado como Filtro Passa-Baixa.....	5.4
Figura 5.7 - Simulação do Circuito Utilizado como Filtro "Notch".....	5.5
Figura 5.8 - "Layout" do Amplificador Utilizado nos Circuitos de Filtragem.....	5.6
Figura 5.9 - Simulação do "Buffer" N.....	5.7
Figura 5.10 - Simulação do "Buffer" P.....	5.7
Figura 5.11 - Simulação do Comportamento Dinâmico do "Buffer" N.....	5.8
Figura 5.12 - Simulação do Comportamento Dinâmico do "Buffer" P.....	5.8
Figura 5.13 - "Layout" do "Buffer" N.....	5.9
Figura 5.14 - "Layout" do "Buffer" P.....	5.10
Figura 5.15 - Simulação do Amplificador do Circuito de "sample-and-hold".....	5.10
Figura 5.16 - Simulação do Comportamento Dinâmico do Amplificador do Circuito de "sample-and-hold".....	5.11
Figura 5.17 - Simulação do "sample-and-hold" para Entrada Senoidal.....	5.11
Figura 5.18 - Simulação do Comportamento Dinâmico do Circuito de "sample-and-hold".....	5.12
Figura 5.19 - Layout do Circuito de "sample-and-hold".....	5.12
Figura 5.20 - Layout da Escada Resistiva.....	5.13
Figura 5.21 - Simulação do Comparador MSB para Entrada Menor que Referência.....	5.14
Figura 5.22 - Simulação do Comparador MSB para Entrada Maior que Referência.....	5.14
Figura 5.23 - Simulação do Comportamento Dinâmico do Comparador MSB para Entrada Menor que Referência.....	5.15
Figura 5.24 - Simulação do Comportamento Dinâmico do Comparador MSB para Entrada Maior que Referência.....	5.15
Figura 5.25 - "Layout" do Comparador para MSB's.....	5.16
Figura 5.26 - Simulação do Comparador LSB para Entrada Menor que Referência.....	5.17
Figura 5.27 - Simulação do Comparador LSB para Entrada Maior que Referência.....	5.17
Figura 5.28 - Simulação do Comportamento Dinâmico do Comparador LSB para	

Entrada Menor que Referência.....	5.18
Figura 5.29 - Simulação do Comportamento Dinâmico do Comparador MSB para Entrada Maior que Referência.....	5.18
Figura 5.30 - "Layout" do Comparador para LSB's.....	5.19
Figura 5.31 - Simulação do Circuito de "Latch".....	5.20
Figura 5.32 - Simulação do Comportamento Dinâmico do Circuito "Latch".....	5.21
Figura 5.33 - Layout do Circuito de "Latch".....	5.22
Figura 5.34 - "Layout" Total do Circuito Utilizado para Multiplexagem, Filtragem e Conversão A/D.....	5.22



ÍNDICE - TABELAS

1. INTRODUÇÃO

Tabela 1.1 - Concentração de Íons na Membrana do Axônio.....	1.3
--	-----

2. AMPLIFICADORES PARA EEG

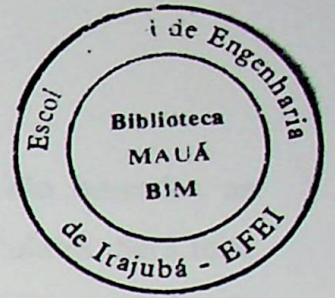
Tabela 2.1 - Valores típicos de V_{TO} e K_p	2.4
Tabela 2.2 - Dimensionamento dos Transistores.....	2.13

3. MULTIPLEXADOR, FILTRO E DESLOCADOR DE NÍVEL

Tabela 3.1 - Operação Lógica do Multiplexador.....	3.2
Tabela 3.2 - Dimensões dos Transistores do Multiplexador.....	3.3
Tabela 3.3 - Valores dos Componentes do Filtro Butterworth.....	3.7
Tabela 3.4 - Valores dos Componentes do Filtro Notch.....	3.8

4. CONVERSOR A/D

Tabela 4.1 - Dimensionamento dos Transistores do "Buffer" N.....	4.9
Tabela 4.2 - Dimensionamento dos Transistores do Buffer P.....	4.10
Tabela 4.3 - Dimensionamento dos Transistores do Amplificador N.....	4.14
Tabela 4.4 - Dimensionamento dos Transistores do Amplificador P.....	4.15
Tabela 4.5 - Dimensionamento dos Transistores do Amplificador Principal.....	4.15
Tabela 4.6 - Dimensões Utilizadas Para Chaves e Inversor.....	4.20
Tabela 4.7 - Operação Lógica do Codificador.....	4.21
Tabela 4.8 - Operação Lógica do Multiplexador.....	4.24
Tabela 4.9 - Dimensões Utilizadas Para os Vários Blocos do Multiplexador.....	4.25



1. INTRODUÇÃO

1.1 HISTÓRICO DO SINAL ELÉTRICO CEREBRAL

O primeiro pesquisador a gravar a atividade elétrica do cérebro humano foi Hans Berger, um neuropsiquiatra da Universidade de Jena. Ele publicou em 1929 o resultado de suas pesquisas onde procurava provar a origem deste fenômeno. Em 1934, Adrian and Matthews repetiram na Inglaterra os experimentos de Berger e confirmaram sua observação, tornando seu trabalho aceito na comunidade científica [2].

Os quatorze artigos publicados por Berger sobre a atividade elétrica no cérebro humano contém um grande número de observações sobre os sinais eletroencefalográficos. Na verdade, Berger foi o primeiro a observar e descrever precisamente muitas das características do sinal eletroencefalográfico que se conhece hoje. Ele demonstrou que a atividade elétrica consiste de ritmos, isto é, flutuações de tensão próximas à senóide de frequência entre 1 e 70 Hz. As ondas mais facilmente reconhecidas são chamadas de alfa, que possuem uma frequência de aproximadamente 10 Hz.

Berger observou que estas ondas tendem a desaparecer com a atenção. As formas de onda com frequências maiores que 15 Hz foram chamadas de beta. Ele observou que o eletroencefalograma -EEG possui características diferentes em distúrbios neurológicos tais como epilepsia, trauma e tumores. Ele foi o primeiro a gravar um ataque epilético.

Seguindo o trabalho pioneiro de Berger, o interesse em eletroencefalografia e atividade elétrica cerebral se espalhou no final da década de 30 e prosseguiu na década de 40. Os seguidores de seu trabalho mostraram a importância do EEG e sua aplicação em neurologia e neurocirurgia. Alguns deles foram Frederick e Erna Gibbs, Hallowell, Pauline Davis e Donald Lindsley nos EUA, Herbert Jasper no Canadá e W. Grey Walter na Inglaterra, dentre outros. Desde esta época, o EEG se tornou um procedimento clínico de diagnóstico consideravelmente valioso, bem como uma poderosa ferramenta de pesquisa em Neurociência [2].

1.2 FORMAÇÃO DO SINAL ELÉTRICO CEREBRAL

Quase todos os sinais biológicos conhecidos do corpo humano são baseados na atividade elétrica de células nervosas, sistemas neuromotores e células musculares. Será feito aqui, uma descrição das principais características das células nervosas (também chamadas de neurônios), pois são elas que geram os sinais biológicos mais importantes para o EEG.

1.2.1 ESTRUTURA DO NEURÔNIO

O neurônio é formado por quatro partes principais que são o corpo celular, os dendritos, o axônio e os terminais do axônio. O corpo celular é a região onde se conectam todas as outras partes do neurônio e também é o responsável pela maior parte da nutrição sendo necessário à continuidade da vida de todo neurônio.

Os dendritos são prolongamentos múltiplos e ramificados com origem no corpo celular e são as partes receptoras principais dos neurônios. A maior parte dos sinais que devem ser transmitidos aos neurônios chegam através dos dendritos, embora alguns sinais cheguem diretamente pela superfície do corpo celular. Os dendritos de cada neurônio em geral, recebem sinais de milhares de pontos de contato com outros neurônios (sinapses).

Cada neurônio possui um axônio. Esta é a parte do neurônio que é chamada de fibra nervosa. Seu comprimento pode variar desde alguns milímetros até um metro. Os axônios transmitem os sinais neurais para a célula seguinte no cérebro ou na medula espinhal, ou para os músculos e as glândulas nas regiões periféricas do corpo. Próximos à extremidade, os axônios ramificam-se extensamente podendo atingir milhares de ramificações. Na extremidade de cada uma destas ramificações existe uma terminação neural especializada, que no sistema nervoso central é chamada de pé ou botão sináptico devido a sua semelhança com o pé de um móvel.

A sinapse é uma junção entre dois neurônios onde a atividade elétrica de um deles influencia a atividade do outro. É através de sinapses que os sinais são transmitidos de um neurônio para outro. Quando estimulado, o botão sináptico libera uma quantidade diminuta de hormônio chamada de substância transmissora, no espaço entre botão e membrana do neurônio e a substância transmissora estimula este neurônio [8 e 9].

1.2.2 POTENCIAL DE MEMBRANA E POTENCIAL DE AÇÃO

1.2.2.1 POTENCIAL DE MEMBRANA

Todas as células do corpo humano apresentam um potencial elétrico através de sua membrana que é chamado simplesmente de potencial de membrana. Nas condições de repouso, esse potencial é negativo no interior da membrana. O potencial de membrana é causado por diferenças nas concentrações iônicas dos líquidos intra e extracelulares.

É importante observar que o líquido intracelular contém uma concentração muito grande de íons de potássio enquanto que no líquido extracelular a concentração deste íon é muito reduzida. Por outro lado, ocorre o contrário com os íons de sódio, que são muito concentrados no líquido extracelular e possuem uma concentração muito reduzida no líquido intracelular.

A membrana de um axônio possui uma “bomba” de sódio-potássio que transporta íons de sódio do interior do axônio para o exterior enquanto que transporta íons de potássio do exterior para o interior. As concentrações de sódio e de potássio dentro e fora da membrana do axônio são dadas na Tabela 1.1 [9].

Concentração	Sódio	Potássio
Interior	14 mmol/L	140 mmol/L
Exterior	142 mmol/L	4 mmol/L

Tabela 1.1 - Concentração de Íons na Membrana do Axônio.

A membrana do axônio em repouso é quase impermeável aos íons de potássio e muito permeável aos íons de sódio. Como os íons de potássio possuem carga positiva, ao passarem para o exterior da célula, fazem com que o exterior fique mais positivo. Por outro lado, no interior da fibra nervosa existem grandes quantidades de moléculas de proteínas que são portadoras de cargas negativas e que não saem da fibra. Conseqüentemente, o interior da fibra

fica muito negativo devido a falta de íons positivos e ao excesso proteína ionizada com carga negativa.

Como exemplo da situação acima, pode-se citar o potencial de membrana de uma fibra nervosa comum em repouso (de grande diâmetro) que é cerca de -90mV . A diferença de potencial entre as duas faces da membrana, quando esta é seletivamente permeável a apenas um íon monovalente, pode ser calculada pela equação de Nernst [8]

$$P = -61 \cdot \log \frac{CI}{CE} \quad (1.1)$$

onde,

P é o potencial de membrana dado em mV,

CI é a concentração interna e

CE é a concentração externa.

1.2.2.2 POTENCIAL DE AÇÃO OU IMPULSO NERVOSO

Quando um sinal é transmitido ao longo de uma fibra nervosa, o potencial de membrana passa por uma série de variações que no seu conjunto são chamadas de potencial de ação. Quando a membrana está em repouso, o potencial no interior da célula é negativo. Porém, quando se inicia o potencial de ação, o potencial da membrana torna-se positivo por alguns instantes e, em seguida, volta a ficar negativo.

Esta variação de potencial para um valor positivo é chamada de potencial de ação ou impulso nervoso. Este impulso nervoso se propaga ao longo da fibra nervosa e é através destes impulsos que se transmitem informações de uma parte do organismo a outra. Este potencial é formado através da entrada de íons de sódio no interior da célula fazendo com que o potencial da mesma se torne positivo.

O estágio onde a membrana se torna permeável aos íons de sódio, fazendo com que o potencial se torne positivo no interior da célula, é denominado primeiro estágio de potencial de ação ou despolarização. O estágio seguinte, onde a célula retorna ao seu potencial negativo, é denominado repolarização.



1.2.3 GERAÇÃO DO SINAL ELETROENCEFÁLICO

Foi visto que a variação de potenciais em uma célula é formada pelo deslocamento de íons do interior para o exterior de uma célula ou vice-versa. Este deslocamento de íons provoca um transporte de cargas ao longo de todo axônio. Ao se colocar eletrodos no escalpo de uma pessoa pode-se observar estas variações.

Com as sinapses, há a polarização ou despolarização da membrana. Quando o interior da célula fica com potencial mais positivo do que seu exterior (sinapse excitatória), o que ocorre quando há a mudança de cargas positivas de fora para dentro da célula, o potencial que é lido num eletrodo é negativo. Para uma sinapse inibitória, ocorre o contrário, ou seja, há o deslocamento de cargas positivas de dentro para fora da célula e o potencial lido pelo eletrodo é positivo.

Com base na grande quantidade de dados acumulados nos estudos de obtenção do sinal de EEG, geralmente é aceito que as formas de onda obtidas do escalpo representam a soma dos campos potenciais das sinapses excitatórias e inibitórias de uma grande quantidade de neurônios.

1.3 CARACTERÍSTICAS DO SINAL ELETROENCEFÁLICO

O sinal eletroencefálico se caracteriza por flutuações de sinal não senoidais com variações de frequência de 1 a 70 Hz. A amplitude da tensão do sinal eletroencefálico varia de 2 μV a centenas de μV . O espectro de frequências deste sinal pode ser dividido geralmente em quatro categorias: ondas alfa, ondas beta, ondas teta e ondas delta.

As ondas alfa definem a atividade elétrica na faixa de 8 a 13 Hz. Sua amplitude varia de 5 a 100 μV . Pode-se observá-la quando o indivíduo está de olhos fechados, em condições físicas de relaxamento e relativa inatividade mental. A amplitude deste tipo de onda é atenuada pela abertura do olho, atenção ou esforço mental.

As ondas beta incluem frequências superiores a 13Hz e às vezes tão grandes quanto 35Hz (quanto mais intensa a atividade mental, maior será a frequência). Sua amplitude é variável e geralmente inferior a 30 μV .

As ondas teta consistem de uma atividade elétrica com frequências de 4 a 8Hz. É normalmente vista em estados de sonolência e durante estágios de sono leve, mas deve também estar presente em estados de insônia.

Finalmente as ondas delta incluem todas as frequências abaixo de 4Hz. A atividade delta é normalmente vista em estados de sono profundo. A atividade delta é a que possui maior amplitude dentre as ondas eletroencefálicas, podendo atingir amplitudes da ordem de centenas de μV .

1.4 OBTENÇÃO DO SINAL ELETROENCEFÁLICO

Para se obter o sinal EEG, inicialmente deve-se marcar os locais onde serão colocados os eletrodos (meio por onde a atividade elétrica do cérebro é transmitida aos circuitos de entrada da máquina EEG) no couro cabeludo do paciente. Este procedimento é denominado “scrubbing”.

A superfície do escalpo deve estar limpa e sem qualquer tipo de resíduo de óleos ou pomadas. Prepara-se também o escalpo para reduzir a resistência da pele, colocando-se uma solução de íons de cloro livre ou abrasivos moderados. Outro cuidado é não passar a solução de íons de cloro livre em uma área muito maior do que o diâmetro do eletrodo a fim de se evitar o aumento da área efetiva além dos limites do mesmo, pois quando isto ocorre, a capacidade do eletrodo é significadamente reduzida. Um exemplo disto é quando a área em que se passou a solução é tão grande que se forma uma ponte entre dois eletrodos próximos, criando-se um curto-circuito entre eles, levando-os a não desempenhar a função de dois eletrodos mas sim de um único grande eletrodo.

Em seguida, são colocados cerca de vinte e um eletrodos no escalpo do paciente, em áreas estratégicas do córtex cerebral, seguindo o conhecido Sistema Internacional 10-20 [2], ilustrado na Figura 1.1. A colocação destes eletrodos é feita através de uma pasta eletrolítica condutora, formada por cloreto de prata dissolvido em água. Os íons de prata e de cloro movem-se livremente na solução e, ao se aplicar uma diferença de potencial na solução, há circulação de corrente.

As propriedades eletroquímicas da junção metal/líquido e escalpo/líquido criam um potencial elétrico e uma impedância elétrica entre tecido e equipamento. Tanto o potencial do eletrodo quanto a sua impedância podem restringir o desempenho do sinal eletroencefálico.

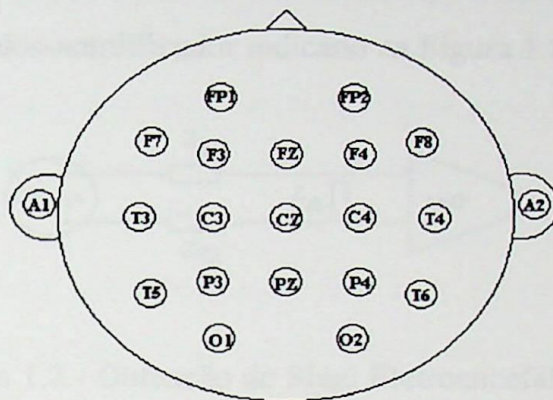


Figura 1.1 - Sistema Internacional 10-20 de Posicionamento de Eletrodos.

Para se fixar os eletrodos no escalpo, existem muitas técnicas. O método mais simples e rápido é o uso de um creme ou pasta condutiva capaz de manter o eletrodo no local. Neste caso, é escolhido o eletrodo “cupped” (possui forma circular com concavidade similar a de uma taça). Embora esta pasta seja um meio satisfatório de segurar os eletrodos quando o paciente está cooperativo e relativamente quieto, ela não é muito útil em pacientes convulsivos ou crianças inquietas. Nestas situações, o uso de “collodiom” (solução de nitrocelulose) é a melhor alternativa e utiliza-se o eletrodo “cupped” com um buraco central. Com um jato de ar seca-se o “collodiom” tomando-se cuidado para que este não entre nos olhos do paciente. Logo após o eletrodo estar firme no local, injeta-se a solução condutora utilizando uma seringa hipodérmica através do buraco do eletrodo.

Depois de fixado o eletrodo, deve-se medir a impedância do mesmo. Isto é feito aplicando-se uma pequena tensão externa nos eletrodos e medindo-se a corrente que circula.*

* Esta corrente é de valor extremamente baixo, da ordem de microamperes, não sendo notada pelo paciente e também não é perigosa .

A impedância então é calculada pela lei de Ohm. Outra maneira, é utilizando-se diretamente medidores de impedância, sem necessidade de cálculo. A impedância superfície-eletrodo deve ser menor que $5K\Omega$. Não existir problemas se esta impedância for muito maior ou muito menor do que este valor. Pode-se entender melhor este problema observando-se o circuito formado por paciente-eletrodos-amplificador indicado na Figura 1.2.

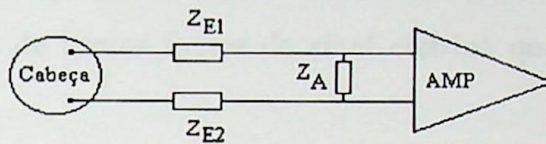


Figura 1.2 - Obtenção do Sinal Eletroencefálico.

Sendo V_{EEG} a tensão da atividade elétrica do cérebro lida pelos eletrodos, Z_{E1} e Z_{E2} as impedâncias dos eletrodos, Z_A a impedância da entrada do amplificador e V_A é a tensão que aparece na entrada do amplificador. A tensão na entrada do amplificador é dada por:

$$V_A = \frac{Z_A}{Z_A + Z_{E1} + Z_{E2}} \cdot V_{EEG}$$

Desta relação pode-se observar que se Z_A for bem maior que Z_{E1} e Z_{E2} , então a tensão de entrada do amplificador será bem próxima à tensão eletroencefálica. Por outro lado, se o valor de Z_A for muito próximo ao valor de Z_{E1} e Z_{E2} , então haverá uma variação muito grande entre estas duas tensões.

Uma impedância muito baixa entre dois eletrodos (Z_{CB}), indica que existe uma ligação entre os dois (uma ponte formada pela solução), provocando um curto-circuito. Com isto, a tensão V_A terá um valor muito baixo.

1.5 CIRCUITO UTILIZADO PARA O TRATAMENTO DO SINAL ELETROENCEFÁLICO

Este trabalho tem como objetivo, projetar um circuito integrado para amplificação e tratamento de sinal elétrico cerebral.

A amplificação visa aumentar a amplitude do sinal elétrico cerebral que é muito pequeno (da ordem de microvolts) para ser aplicado posteriormente em um filtro e, em seguida, em um conversor A/D.

A filtragem tem como objetivo, permitir somente a passagem das componentes de frequência desejadas e atenuar as demais. Emprega-se um filtro passa-baixa e um filtro corta-faixa ou “notch” que tem como objetivo transmitir todos os sinais com exceção dos que possuem frequência igual à frequência de corte. Estes filtros são utilizados com o objetivo de se minimizar as influências de outras fontes de sinal elétrico que se somam ao sinal EEG, através de suas eliminações.

O conversor A/D é usado para converter o sinal analógico proveniente do filtro em um sinal digital a ser aplicado em um microcomputador, onde serão feitas as devidas análises. O diagrama em blocos do circuito está mostrado na Figura 1.3.

O projeto deste circuito integrado tem como finalidade aprimorar os equipamentos de eletroencefalografia existentes no mercado nacional. Os resultados obtidos poderão ser utilizados em áreas correlatas tais como eletromiografia, eletroretinografia, potencial evocado, mapeamento cerebral, etc. O destaque deste trabalho, deve-se ao fato de que os circuitos de amplificação, filtragem e conversão foram integrados em forma de CI, apresentando como vantagens um consumo reduzido de energia, tamanho reduzido, maior confiabilidade e custo reduzido.

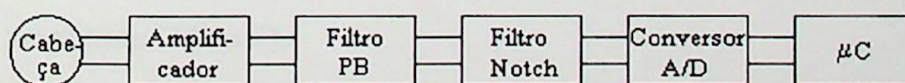


Figura 1.3 - Diagrama em Blocos do Circuito a ser Utilizado.

2. AMPLIFICADORES PARA SINAIS ELETROENCEFÁLICOS

2.1 CARACTERÍSTICAS DO AMPLIFICADOR A SER UTILIZADO

Os amplificadores são a parte mais importante de um equipamento EEG. É o amplificador que faz com que o sinal lido através dos eletrodos seja amplificado para que possa ser filtrado e em seguida, convertido em um sinal digital. Para que isto seja feito da melhor maneira possível, o amplificador deve apresentar ganho alto e variável, alta impedância de entrada, alta rejeição a modo comum e baixa tensão de compensação de “offset”.

2.1.1 GANHO

Os sinais eletroencefálicos variam de $2\mu\text{V}$ a $100\mu\text{V}$ e devem ser amplificados para uma faixa de tensão onde possam ser lidos e tratados pelos circuitos de filtragem e conversão. Para isto, o ganho deve ser muito grande e variável (variando desde 10000 ou 80dB até 1.000.000 ou 60dB). O sinal eletroencefálico possui uma larga faixa dinâmica. Isto quer dizer que o amplificador deve detectar e amplificar tanto os sinais de baixa amplitude ($2\mu\text{V}$) quanto os sinais de alta amplitude ($100\mu\text{V}$).

Para que se possa amplificar tanto os sinais de baixa quanto os de alta amplitude sem que haja distorção do sinal, deve-se utilizar amplificadores de ganho variável que permitam uma grande amplificação para os primeiros e uma amplificação menor para os últimos.

2.1.2 IMPEDÂNCIA DE ENTRADA

A Figura 2.1 ilustra como é feita a medição de um sinal eletroencefálico, onde Z_{el} é a impedância do eletrodo e Z_A é a impedância de entrada do amplificador. Pode-se observar

que se a impedância de entrada do amplificador tiver um valor pequeno, muito próximo ao da do eletrodo (que é da ordem de $5K\Omega$), o sinal será dividido entre as três impedâncias, fazendo com que o sinal de entrada seja atenuado. Mas, se o valor desta impedância for muito maior do que a impedância do eletrodo, grande parte do sinal será transmitido para o amplificador. Um valor ideal para Z_A é maior ou igual a $20M\Omega$ [2].

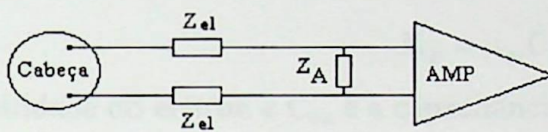


Figura 2.1 - Medição do Sinal Eletroencefálico.

2.1.3 CMRR

Ao se colocar um mesmo sinal nas entradas inversora e não inversora de um amplificador, espera-se que a tensão na saída do mesmo seja zero, mas isto não ocorre devido às não linearidades e à falta de simetria do estágio de entrada do amplificador. A capacidade do amplificador de rejeitar os sinais de modo comum é dada pela Relação de rejeição a modo-comum (CMRR), dada por:

$$CMRR = \frac{|A|}{|A_{cm}|}$$

ou em dB,

$$CMRR = 20 \cdot \log \left(\frac{|A|}{|A_{cm}|} \right)$$

onde A é o ganho em malha aberta do amplificador e A_{cm} é o ganho de modo comum.

Os amplificadores usados em EEG devem ter CMRR maior que 1000, que em decibéis corresponde a um CMRR maior que 60dB [2].

2.1.4 TENSÃO DE COMPENSAÇÃO DE “OFFSET”

Ao se conectar as entradas inversora e não inversora de um amplificador operacional ao terra (tensão 0V), espera-se também na saída uma tensão de 0V, o que não ocorre em amplificadores reais. Isto se deve à imperfeições na geometria do circuito, tais como variações na tensão “threshold” dos transistores que formam o amplificador operacional, variações nos dispositivos de carga e variações em K_P (parâmetro do dispositivo). Este último é dado por:

$$K_P = \mu_N C_{ox}$$

onde μ_N é a mobilidade do elétron e C_{ox} é a capacitância de óxido do gate.

O valor da tensão de “offset” para o amplificador que será utilizado na amplificação do sinal EEG deve ser muito pequeno. O máximo valor recomendado na saída é de $\pm 0,3V$ [5].

2.2 A ARQUITETURA ESCOLHIDA

O amplificador utilizado está ilustrado na Figura 2.2 [10]. Esta configuração foi escolhida, pois apresenta um alto ganho e uma alta excursão dos sinais de entrada e saída. O circuito é composto de um circuito de polarização, um estágio amplificador cascode e por um estágio de saída seguidor de fonte “push-pull”. O funcionamento destes circuitos será descrito a seguir, juntamente com todos os cálculos e simulações. O amplificador foi projetado para ser implementado em tecnologia CMOS de $1.0\mu m$ de canal da ES2 (European Silicon Structures) com tensões de alimentação de $\pm 5V$.

O amplificador operacional mostrado na Figura 2.2 é formado por três estágios distintos: circuito de polarização, estágio de ganho cascode e estágio de saída. Estes estágios serão analisados individualmente.

Para o dimensionamento dos dispositivos foram utilizados os parâmetros CMOS de $1\mu m$, da ES2. Os valores típicos de V_{TO} e K_P a serem utilizados nas equações seguintes, são apresentados na Tabela 2.1.

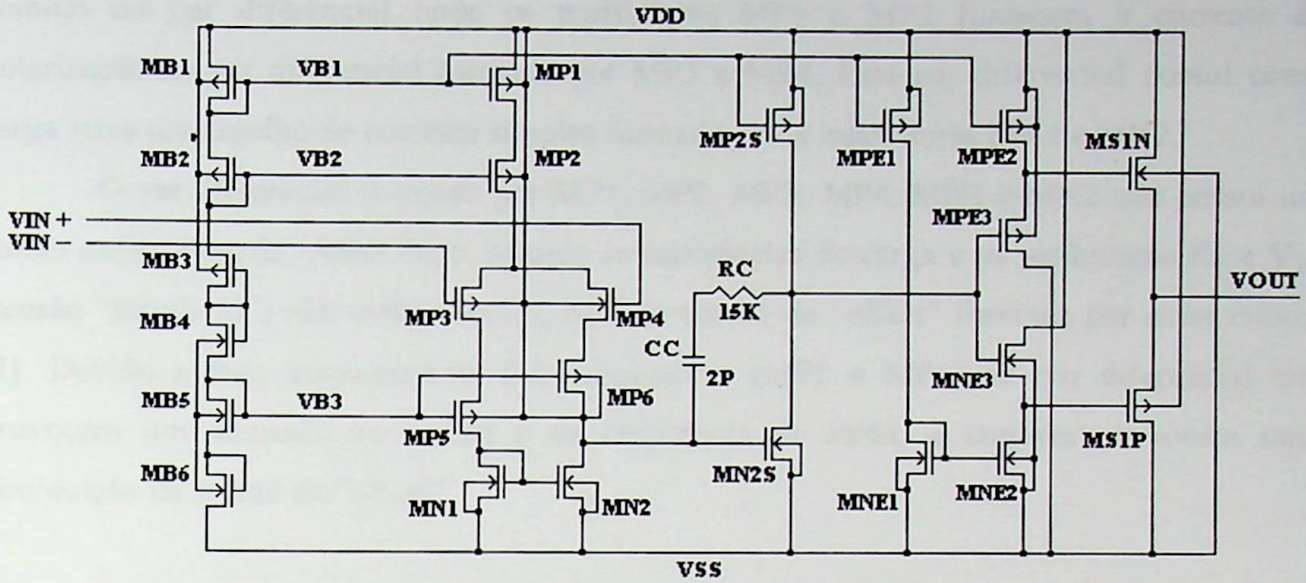


Figura 2.2 - Circuito Utilizado para o Amplificador Operacional.

Transistor	V_{TO}	K_p
N	0,74	$86,32860 \times 10^{-6}$
P	-1,1	$30,21501 \times 10^{-6}$

Tabela 2.1 Valores Típicos de V_{TO} e K_p .

Adicionalmente, com base em [6] considerou-se para o projeto do amplificador:

Taxa de Inclinação - "slew-rate" (SR): $20V/\mu s$

Capacitor de compensação: $2pF$

2.2.1 AMPLIFICADOR DIFERENCIAL CASCODE

O amplificador a ser utilizado para a leitura do sinal eletroencefálico deve possuir um alto ganho, o que pode ser conseguido colocando-se vários estágios de ganho em cascata. Porém, esta não é a melhor solução, pois aumenta o deslocamento de fase e torna a compensação em frequência mais difícil. Para se evitar estes inconvenientes, utiliza-se estágios de alto ganho como o cascode, mostrado na Figura 2.3.

Neste circuito, os transistores MP1, MP2, MP3 e MP4, formam a configuração comum do par diferencial onde os transistores MP1 e MP2 fornecem a corrente de polarização ao par diferencial formado por MP3 e MP4. Este par diferencial possui como carga ativa um espelho de corrente simples formado pelos transistores MN1 e MN2.

O par diferencial formado por MP1, MP2, MP3, MP4, MN1 e MN2 não possui um ganho muito elevado. Além disto, quando as resistências de carga e os parâmetros K_P e V_{TO} (tensão “threshold”) não estão casados, há uma tensão de “offset” formada por estes fatores [1]. Devido a isto, acrescenta-se dois transistores (MP5 e MP6) ao par diferencial que provocam um aumento no ganho e na resistência de saída, e também provocam uma diminuição na tensão de “offset”.

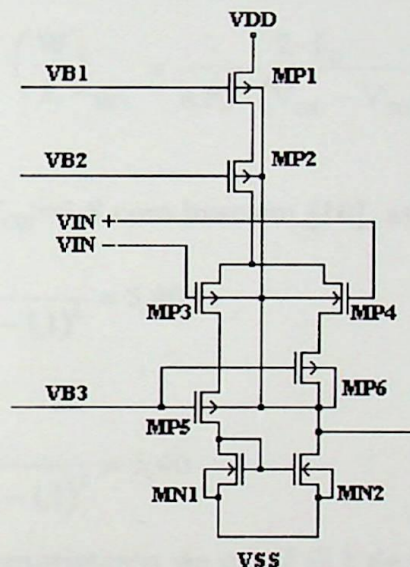


Figura 2.3 - Amplificador Cascode.

Se ocorrer um desbalanceamento nos transistores que formam a carga ativa do par diferencial (MN1 e MN2), o que gera uma tensão de “offset”, os transistores MP5 e MP6 fazem com que esta tensão seja repassada aos drenos de MP3 e MP4 dividida pelas g_m (transcondutância do dispositivo) de MP5 e MP6. Desta forma, a tensão de “offset” provocada por MN1 e MN2 torna-se muito reduzida.

2.2.1.1 DIMENSIONAMENTO DO PAR DIFERENCIAL CASCODE

2.2.1.1.1 Dimensionamento de MP1

Para o dimensionamento de MP1 considerou-se com base em [6], $C_C = 2\text{pF}$ e utilizou-se a equação [6]:

$$I_O = S_R \cdot C_C$$

Tem-se, então, com base em [6]:

$$I_{MP1} = S_R \cdot C_C = 20 \times 10^6 \cdot 2 \times 10^{-12}$$

$$I_{MP1} = 40\mu\text{A}$$

Através da equação básica da corrente de dreno na saturação [1],

$$\left(\frac{W}{L}\right)_{MP1} = \frac{2 \cdot I_D}{K P_P \cdot (V_{GS} - V_{TO})^2} \quad [2.1]$$

e, adotando-se o valor de $V_{GS} = 1,8$ com base em [10], as dimensões de MP1 são:

$$\left(\frac{W}{L}\right)_{MP1} = \frac{2 \cdot 40\mu}{30,21501\mu \cdot (1,8 - 1,1)^2} = 5,40$$

$$\left(\frac{W}{L}\right)_{MP2} = \frac{2 \cdot 40\mu}{30,21501\mu \cdot (1,8 - 1,1)^2} = 5,40$$

Ao se adotar um comprimento de canal (L) de $10\mu\text{m}$ com base em [10], o valor da largura de canal (W) dos transistores MP1 e MP2 será de $54\mu\text{m}$.

2.2.1.1.2 Dimensionamento de MP3, MP4, MP5 e MP6

Para o dimensionamento de MP3, utiliza-se a equação de frequência de ganho unitário, com o objetivo de se obter uma margem de fase adequada [6].

$$g_{m_{MP3}} = 2 \cdot \pi \cdot f \cdot C_C \quad [2.2]$$

onde $f = 8\text{MHz}$ e $C_C = 2\text{pF}$

$$\text{Assim, } g_{m_{MP3}} = 2 \cdot \pi \cdot 8\text{MHz} \cdot 2\text{pF} = 100,53.$$



Com base na equação de gm dada por:

$$g_{m_{MP3}} = \sqrt{2 \cdot \mu \cdot C_{OX} \cdot (W/L) \cdot I_D} \quad [2.3]$$

tem-se:

$$\left(\frac{W}{L}\right)_{MP3} = \frac{g_{m_{MP3}}^2}{2 \cdot K_p \cdot I_D} = \frac{(100,53)^2}{2 \cdot 30,21501 \cdot 20\mu} = 8,36$$

Adotou-se então $L=10\mu\text{m}$ e $W=100\mu\text{m}$ com base em [10]. Os transistores MP4, MP5 e MP6 foram implementados com os mesmos valores de W e L do transistor MP3.

2.2.1.1.3 Dimensionamento de MN1 e MN2

Os transistores MN1 e MN2 foram projetados de maneira que tivessem tensão V_{GS} em torno de 1V. Através da equação de corrente de dreno para o transistor operando na região de saturação [1], dada como:

$$\left(\frac{W}{L}\right)_{MN1} = \frac{2 \cdot I_D}{K_{P_N} \cdot (V_{GS} - V_{TO})^2} \quad [2.4]$$

tem-se:

$$\left(\frac{W}{L}\right)_{MN1} = \frac{2 \cdot 20\mu}{86,3286\mu \cdot (1 - 0,74)^2} = 6,85$$

O transistor MN2 terá as mesmas dimensões de MN1.

2.2.2 ESTÁGIO DE SAÍDA

Os transistores MP2S, MN2S, MPE1, MPE2, MPE3, MNE1, MNE2, MNE3, mostrados na Figura 2.4, polarizam em classe AB o estágio de saída configurado em simetria completa (ou “push-pull”), formado pelos transistores MS1N e MS1P, visando uma maior excursão do sinal de saída. O estágio de saída tem como função fornecer ao amplificador uma baixa resistência de saída de modo que ele possa fornecer um sinal a carga sem queda do ganho. O principal cuidado tomado no projeto é que este forneça a potência requerida pela carga.



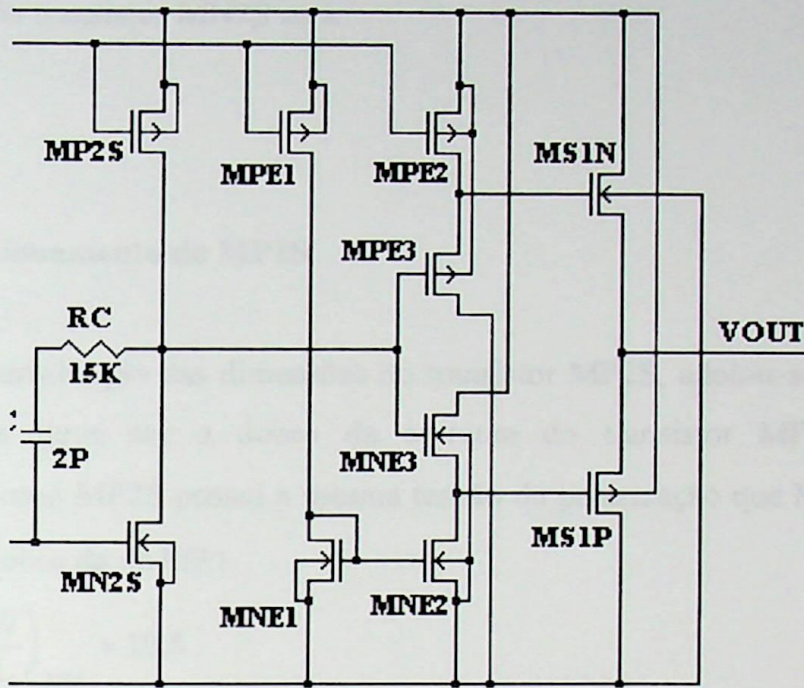


Figura 2.4 - Estágio de Saída.

2.2.2.1 DIMENSIONAMENTO DO ESTÁGIO DE SAÍDA

2.2.2.1.1 Dimensionamento de MN2S

Para se dimensionar o transistor MN2S adotou-se com base em [6] a seguinte relação com o objetivo de se minimizar o “offset”:

$$\frac{\left(\frac{W}{L}\right)_{MN1}}{\left(\frac{W}{L}\right)_{MN2S}} = \frac{I_{MN1}/2}{I_{MN2S}}$$

Os valores adotados para I_{MN1} e I_{MN2S} foram respectivamente $40\mu\text{A}$ e $80\mu\text{A}$ [10].

Desta maneira a equação fica:

$$\frac{\left(\frac{W}{L}\right)_{MN1}}{\left(\frac{W}{L}\right)_{MN2S}} = \frac{40\mu}{2 \cdot 80\mu} = 0,25$$

e a relação W/L do transistor MN2S será:

$$\left(\frac{W}{L}\right)_{MN2S} = 27,4$$

2.2.2.1.2 Dimensionamento de MP2S

Para a determinação das dimensões do transistor MP2S, adotou-se com base em [10] que sua corrente deve ser o dobro da corrente do transistor MP1. Desta maneira, $I_{MP2S} = 80\mu A$. Como MP2S possui a mesma tensão de polarização que MP1, a relação W/L de MP2S será o dobro da de MP1.

$$\left(\frac{W}{L}\right)_{MP2S} = 2 \cdot \left(\frac{W}{L}\right)_{MP1} = 10,8$$

2.2.2.1.3 Dimensionamento de MPE1 e MNE1

Através da equação básica da corrente de dreno na saturação, obtém-se as dimensões de MPE1 e MNE1. Considerou-se $I_D = 80\mu A$ [10].

$$\left(\frac{W}{L}\right)_{MPE1} = \frac{2 \cdot 80\mu}{30,21501\mu \cdot (1,8 - 1,1)^2} = 10,8$$

$$\left(\frac{W}{L}\right)_{MNE1} = \frac{2 \cdot 80\mu}{86,3286\mu \cdot (1,2 - 0,74)^2} = 8,8$$

Os valores adotados foram $L=10\mu m$ e $W=108\mu m$ para o transistor MPE1, e $L=10\mu m$ e $W=88\mu m$ para o transistor MNE1 [10].

2.2.2.1.4 Dimensionamento de MPE2, MPE3, MNE2 e MNE3

A corrente que circula pelos transistores MPE2, MPE3, MNE2 e MNE3 foi adotada como sendo $60\mu A$ [10]. Para o cálculo de W e L foi utilizada a equação de corrente de dreno para a saturação (Eqs 2.1 e 2.4) [1]:

$$\left(\frac{W}{L}\right)_{MPE2} = \frac{2 \cdot 60\mu}{30,21501\mu \cdot (1,8 - 1,1)^2} = 8,1$$

$$\left(\frac{W}{L}\right)_{MPE3} = \frac{2 \cdot 60\mu}{30,21501\mu \cdot (1,7 - 1,1)^2} = 11,0$$

$$\left(\frac{W}{L}\right)_{MNE2} = \frac{2 \cdot 60\mu}{86,3286\mu \cdot (1,2 - 0,74)^2} = 6,6$$

$$\left(\frac{W}{L}\right)_{MNE3} = \frac{2 \cdot 60\mu}{86,3286\mu \cdot (1,1 - 0,74)^2} = 10,7$$

E os dimensionamentos com base nos resultados anteriores foram:

TRANSISTOR	W (μm)	L (μm)
MPE2	81	10
MPE3	66	6
MNE2	66	10
MNE3	64	6

2.2.2.1.5 Dimensionamento de MS1P e MS1N

No estágio de saída formado pelos transistores MS1P e MS1N, utilizou-se o circuito analisado em [3] que mostra que a resistência de saída é dada por:

$$r_{out} = \frac{1}{gm_{MS1P} + gm_{MS1N}} \quad [2.5]$$

Em uma primeira aproximação, adotou-se $r_{out} = 500\Omega$, e considerou-se que as gm dos dois transistores são iguais. Com base em [10], a corrente de saída foi estimada em $600\mu A$ para a “slew-rate” de $20V/\mu s$ e o capacitor de carga de $30pF$. Assim, $2 \cdot gm = 2 \times 10^{-3}$ e $gm_{MS1P} = gm_{MS1N} = 1 \times 10^{-3}$.

Calculado gm , pode-se calcular a relação (W/L) dos dois transistores como sendo:

$$\left(\frac{W}{L}\right)_{MS1P} = \frac{gm_{MS1P}^2}{2 \cdot K_P \cdot I_D} = \frac{(1 \times 10^{-3})^2}{2 \cdot 30,21501 \cdot 600\mu} = 27,58$$

$$\left(\frac{W}{L}\right)_{MS1N} = \frac{gm_{MS1N}^2}{2 \cdot K_P \cdot I_D} = \frac{(1 \times 10^{-3})^2}{2 \cdot 86,3286 \cdot 600\mu} = 9,65$$

2.2.3 CIRCUITO DE POLARIZAÇÃO

Os estágios de amplificação necessitam de várias tensões e correntes de polarização para sua correta operação. Como normalmente os amplificadores possuem somente duas fontes de alimentação (V_{DD} e V_{SS}), todas as outras tensões e as correntes devem ser obtidas a partir destas tensões. Por este motivo é que se utiliza o circuito de polarização, formado pelos transistores MB1, MB2, MB3, MB4, MB5 e MB6 conforme ilustrado na Figura 2.5. O objetivo destes transistores é manter uma tensão estável para que possa ser utilizada para polarizar outros transistores.

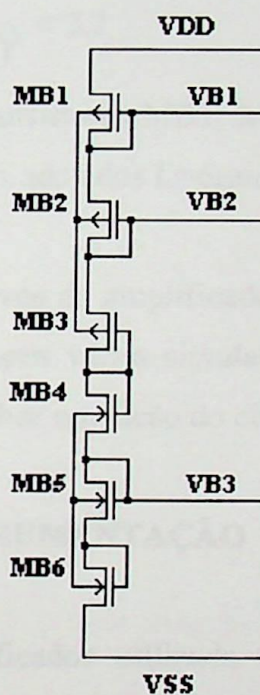


Figura 2.5 - Circuito de Polarização.

2.2.3.1 DIMENSIONAMENTO DO CIRCUITO DE POLARIZAÇÃO

Para o dimensionamento do circuito de polarização, utilizou-se as equações básicas para a corrente de dreno na saturação [2.1] para o transistor P e [2.4] para o transistor N. Assim,

$$\left(\frac{W}{L}\right)_{MB1} = \frac{2 \cdot 4\mu}{30,21501\mu \cdot (1,8 - 1,1)^2} = 0,54$$

$$\left(\frac{W}{L}\right)_{MB2} = \frac{2 \cdot 4\mu}{30,21501\mu \cdot (1,8 - 1,1)^2} = 0,54$$

$$\left(\frac{W}{L}\right)_{MB3} = \frac{2 \cdot 4\mu}{30,21501\mu \cdot (1,8 - 1,1)^2} = 0,54$$

$$\left(\frac{W}{L}\right)_{MB4} = \frac{2 \cdot 4\mu}{86,3286\mu \cdot (2,78 - 0,74)^2} = 0,02$$

$$\left(\frac{W}{L}\right)_{MB5} = \frac{2 \cdot 4\mu}{86,3286\mu \cdot (0,91 - 0,74)^2} = 3,2$$

$$\left(\frac{W}{L}\right)_{MB6} = \frac{2 \cdot 4\mu}{86,3286\mu \cdot (0,91 - 0,74)^2} = 3,2$$

Com base em [10], nos transistores MB1, MB2, MB3 foram utilizados $W=5,4\mu\text{m}$ e $L=10\mu\text{m}$. No transistor MB4 foram adotados $L=6\mu\text{m}$ e $W=0,12\mu\text{m}$ e para MB5 e MB6 foram adotados $L=6\mu\text{m}$ e $W=20\mu\text{m}$.

As dimensões dos dispositivos do amplificador são dadas na Tabela 2.2 sendo que os valores utilizados foram obtidos após várias simulações e ajustes de forma a permitir uma maior excursão do sinal e uma melhor operação do circuito.

2.3 AMPLIFICADOR DE INSTRUMENTAÇÃO

A configuração de amplificador utilizada (amplificador de instrumentação) está mostrada na Figura 2.6 e é formada por dois amplificadores não inversores (A1 e A2) e um amplificador diferencial (A3). Esta configuração permite um alto ganho e também é útil para detecção de sinais muito pequenos em ambientes ruidosos.

O ganho deste amplificador é dado por [4]:

$$A = -\frac{R_4}{R_3} \cdot \left(1 + \frac{2 \cdot R_2}{R_1}\right) \quad [2.6]$$

Os valores adotados para os resistores, com base na Equação [2.6], foram $R1=1K\Omega$, $R2=50K\Omega$, $R3=1K\Omega$ e $R4=100k\Omega$. Desta maneira, o ganho do circuito será de -10.100.

Transistor	Valor Calculado		Valor Utilizado	
	W (μm)	L (μm)	W (μm)	L (μm)
MB1	5,4	10	6	10
MB2	5,4	10	6	10
MB3	5,4	10	6	10
MB4	0,12	6	12	6
MB5	20	6	20	6
MB6	20	6	20	6
MP1	54	10	40	10
MP2	54	10	40	10
MP3	83,6	10	100	10
MP4	83,6	10	100	10
MP5	83,6	10	100	10
MP6	83,6	10	100	10
MN1	68,5	10	80	10
MN2	68,5	10	80	10
MP2S	108	10	80	10
MN2S	274	10	320	10
MPE1	108	10	80	10
MNE1	88	10	80	10
MPE2	81	10	80	10
MPE3	66	6	70	6
MNE2	66	10	80	10
MNE3	64	6	70	6
MS1N	96,5	10	120	4
MS1P	276	10	240	4

Tabela 2.2 - Dimensionamento dos Transistores.

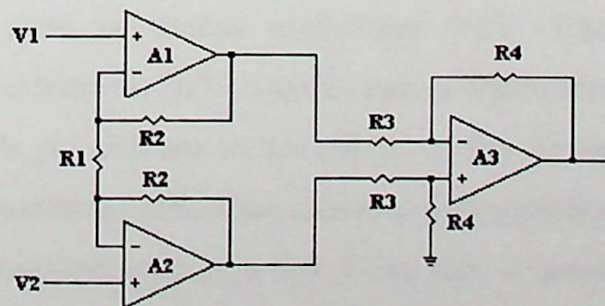


Figura 2.6 - Amplificador de Instrumentação.

Durante a simulação do circuito, verificou-se que para vários valores de ganho e para os três diferentes sinais de entrada ($1\mu\text{V}$, $10\mu\text{V}$ ou $100\mu\text{V}$) ora o ganho era muito alto para o sinal de $100\mu\text{V}$ ou muito baixo para o sinal de $1\mu\text{V}$.

Devido a isto, utilizou-se o amplificador de instrumentação com ganho de 10100 e um amplificador não inversor em cascata com ganho variável de 1, 10 ou 100, dependendo do sinal de entrada ($100\mu\text{V}$, $10\mu\text{V}$ e $1\mu\text{V}$ respectivamente).

Com isto, foi possível que os sinais de saída tivessem uma alta amplitude (1V), somente com a escolha de uma das três chaves. Este circuito de amplificação está mostrado na Figura 2.7.

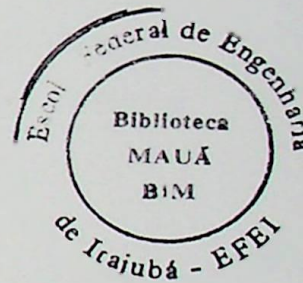
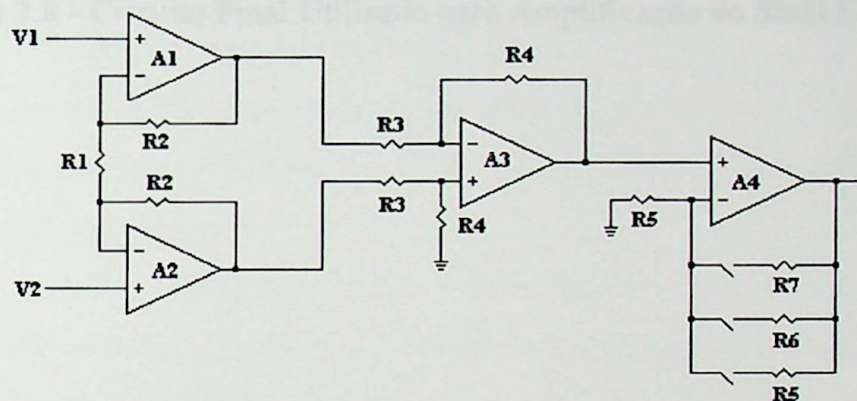


Figura 2.7 - Circuito Utilizado para Amplificação do Sinal EEG.

Os valores dos demais resistores são $R5=1\text{k}\Omega$, $R6=100\text{K}\Omega$ e $R7=10\text{K}$, para ganhos no amplificador não inversor de 1, 10 e 100 respectivamente.

Durante a simulação do do circuito da Figura 2.7, constatou-se ainda que para alguns valores intermediários entre as tensões estipuladas ($1\mu\text{V}$, $10\mu\text{V}$ ou $100\mu\text{V}$), como por exemplo uma tensão de entrada de $2\mu\text{V}$, o ganho para a chave acionada por F1 era muito alto e para a chave acionada por F2 era muito baixo. A fim de que se este problema fosse solucionado, foram acrescentadas mais duas chaves e dois resistores de valores $5\text{ k}\Omega$ e $50\text{ k}\Omega$, que fornecem ganhos intermediários (5 e 50). Com isto, o amplificador total fornece para todas as tensões de entrada, uma tensão de saída razoável (de 0,5 à 2V aproximadamente). O circuito final de amplificação está ilustrado na Figura 2.8.

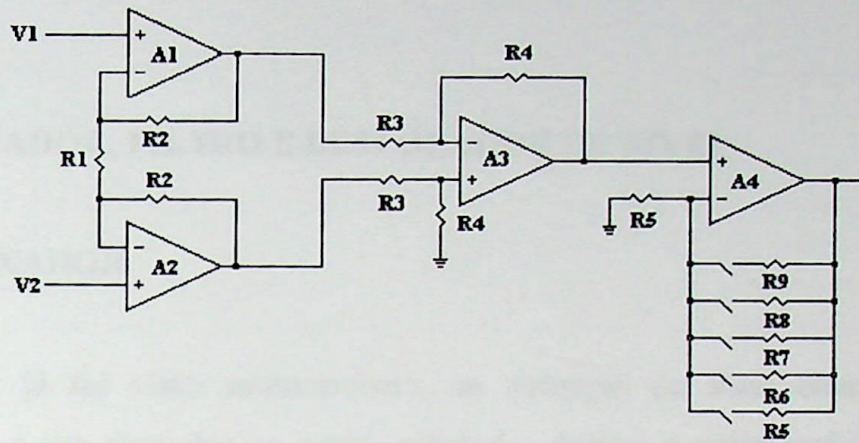


Figura 2.8 - Circuito Final Utilizado para Amplificação do Sinal EEG.

3. MULTIPLEXADOR, FILTRO E DESLOCADOR DE NÍVEL

3.1 MULTIPLEXADOR

Conforme já foi visto anteriormente, na obtenção do sinal eletroencefálico são conectados vinte e um eletrodos ao couro cabeludo. Assim, o eletroencefalógrafo deve ter internamente vinte e um circuitos de amplificação. Após a amplificação utiliza-se um multiplexador, que tem como objetivo transmitir uma amostra por vez, e, com isto, reduzir a somente um circuito de filtro e um conversor A/D.

Não foi possível realizar a multiplexagem antes da amplificação, o que diminuiria o número de amplificadores de vinte e um para apenas um devido ao fato de que os sinais na EEG obtidos serem muito pequenos.

A Figura 3.1 ilustra o diagrama em blocos eletroencefalógrafo. Para se multiplexar os vinte e um sinais, são necessárias cinco linhas de endereçamento no multiplexador. A Tabela 3.1 ilustra a operação lógica do multiplexador.

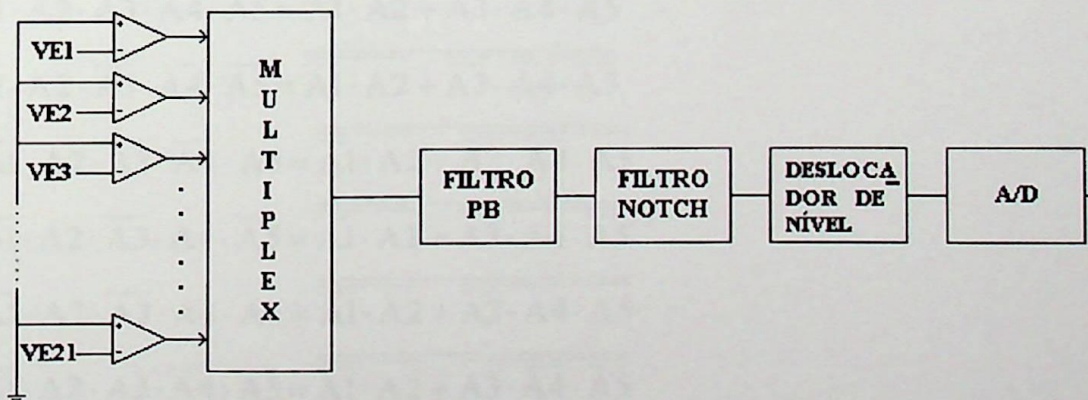


Figura 3.1 - Diagrama em Blocos do Eletroencefalógrafo.

A1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
A2	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0
A3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1
A4	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
A5	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
SAÍDA	E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17	E18	E19	E20	E21

Tabela 3.1 - Operação Lógica do Multiplexador.

As equações lógicas do multiplexador são:

$$E1 = \overline{A1} \cdot \overline{A2} \cdot \overline{A3} \cdot \overline{A4} \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E2 = \overline{A1} \cdot \overline{A2} \cdot \overline{A3} \cdot \overline{A4} \cdot A5 = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E3 = \overline{A1} \cdot \overline{A2} \cdot \overline{A3} \cdot A4 \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E4 = \overline{A1} \cdot \overline{A2} \cdot \overline{A3} \cdot A4 \cdot A5 = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E5 = \overline{A1} \cdot \overline{A2} \cdot A3 \cdot \overline{A4} \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E6 = \overline{A1} \cdot \overline{A2} \cdot A3 \cdot \overline{A4} \cdot A5 = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E7 = \overline{A1} \cdot \overline{A2} \cdot A3 \cdot A4 \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E8 = \overline{A1} \cdot \overline{A2} \cdot A3 \cdot A4 \cdot A5 = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E9 = \overline{A1} \cdot A2 \cdot \overline{A3} \cdot \overline{A4} \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E10 = \overline{A1} \cdot A2 \cdot \overline{A3} \cdot \overline{A4} \cdot A5 = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E11 = \overline{A1} \cdot A2 \cdot \overline{A3} \cdot A4 \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E12 = \overline{A1} \cdot A2 \cdot \overline{A3} \cdot A4 \cdot A5 = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E13 = \overline{A1} \cdot A2 \cdot A3 \cdot \overline{A4} \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E14 = \overline{A1} \cdot A2 \cdot A3 \cdot \overline{A4} \cdot A5 = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E15 = \overline{A1} \cdot A2 \cdot A3 \cdot A4 \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E16 = \overline{A1} \cdot A2 \cdot A3 \cdot A4 \cdot A5 = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E17 = A1 \cdot \overline{A2} \cdot \overline{A3} \cdot \overline{A4} \cdot \overline{A5} = \overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4 \cdot A5}}$$

$$E18 = A1 \cdot \overline{A2} \cdot \overline{A3} \cdot \overline{A4} \cdot A5 = \overline{\overline{A1 \cdot A2 + A3 \cdot A4 \cdot A5}}$$

$$E19 = A1 \cdot \overline{A2} \cdot \overline{A3} \cdot A4 \cdot \overline{A5} = \overline{\overline{A1 \cdot A2 + A3 \cdot A4 \cdot A5}}$$

$$E20 = A1 \cdot \overline{A2} \cdot A3 \cdot \overline{A4} \cdot A5 = \overline{\overline{A1 \cdot A2 + A3 \cdot A4 \cdot A5}}$$

$$E21 = A1 \cdot \overline{A2} \cdot A3 \cdot A4 \cdot \overline{A5} = \overline{\overline{A1 \cdot A2 + A3 \cdot A4 \cdot A5}}$$

Para a implementação do multiplexador utilizou-se inversores, portas NAND de duas e três entradas e portas NOR de duas entradas. Os valores das dimensões dos circuitos utilizados encontram-se na Tabela 3.2 e foram obtidos através de simulação.

	M1		M2		M3		M4		M5		M6	
	W	L	W	L	W	L	W	L	W	L	W	L
Inversor	14	1	3	1	-	-	-	-	-	-	-	-
NAND - 2e	6	1	6	1	3	1	3	1	-	-	-	-
NAND - 3e	6	1	6	1	6	1	3	1	3	1	3	1
NOR	6	1	3	1	6	1	3	1	-	-	-	-

Tabela 3.2 - Dimensões dos Transistores do Multiplexador.

As Figuras 3.2, 3.3 e 3.4 mostram os circuitos utilizados para o inversor, para as NAND de 2 e 3 entradas e para a NOR de duas entradas, respectivamente.

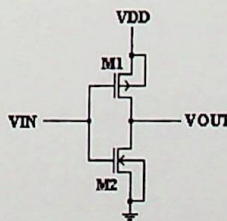


Figura 3.2 - Circuito Utilizado para o Inversor.



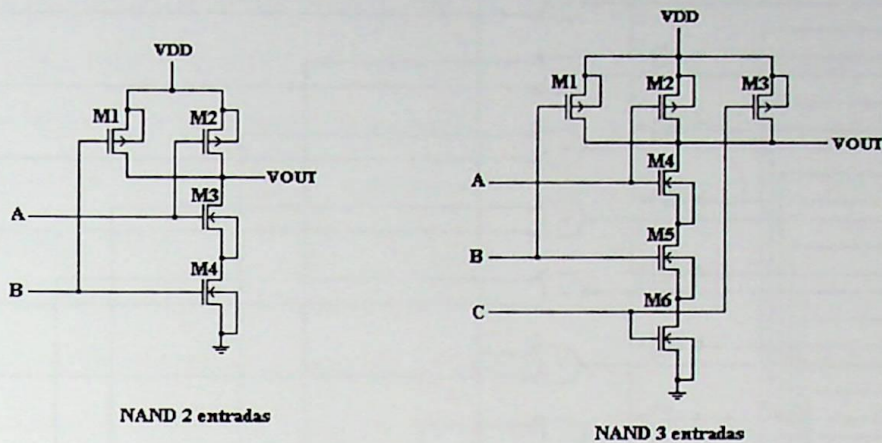


Figura 3.3 - Circuitos Utilizados para as NANDs de 2 e 3 Entradas.

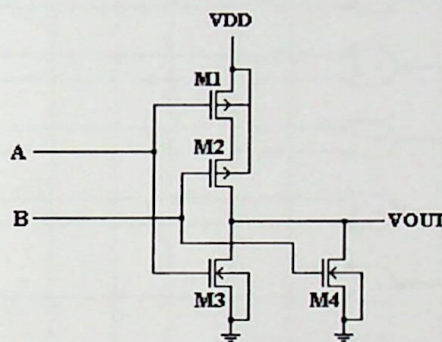


Figura 3.4 - Circuito Utilizado para a NOR de 2 Entradas.

A Figura 3.5 mostra o circuito completo utilizado para o multiplexador.

3.2 FILTROS

3.2.1 INTRODUÇÃO

Ao se conectar eletrodos de um eletrencefalógrafo na cabeça de um paciente, espera-se obter a sua atividade elétrica cerebral. Na verdade, não é só a atividade elétrica cerebral que é obtida, mas também uma variedade de diferentes tipos de atividades elétricas gerada pelos vários tecidos, devido à proximidade de alguns músculos, como os da face ou coração e que, por isso, tornam-se fontes de contaminação da atividade elétrica eletroencefálica.

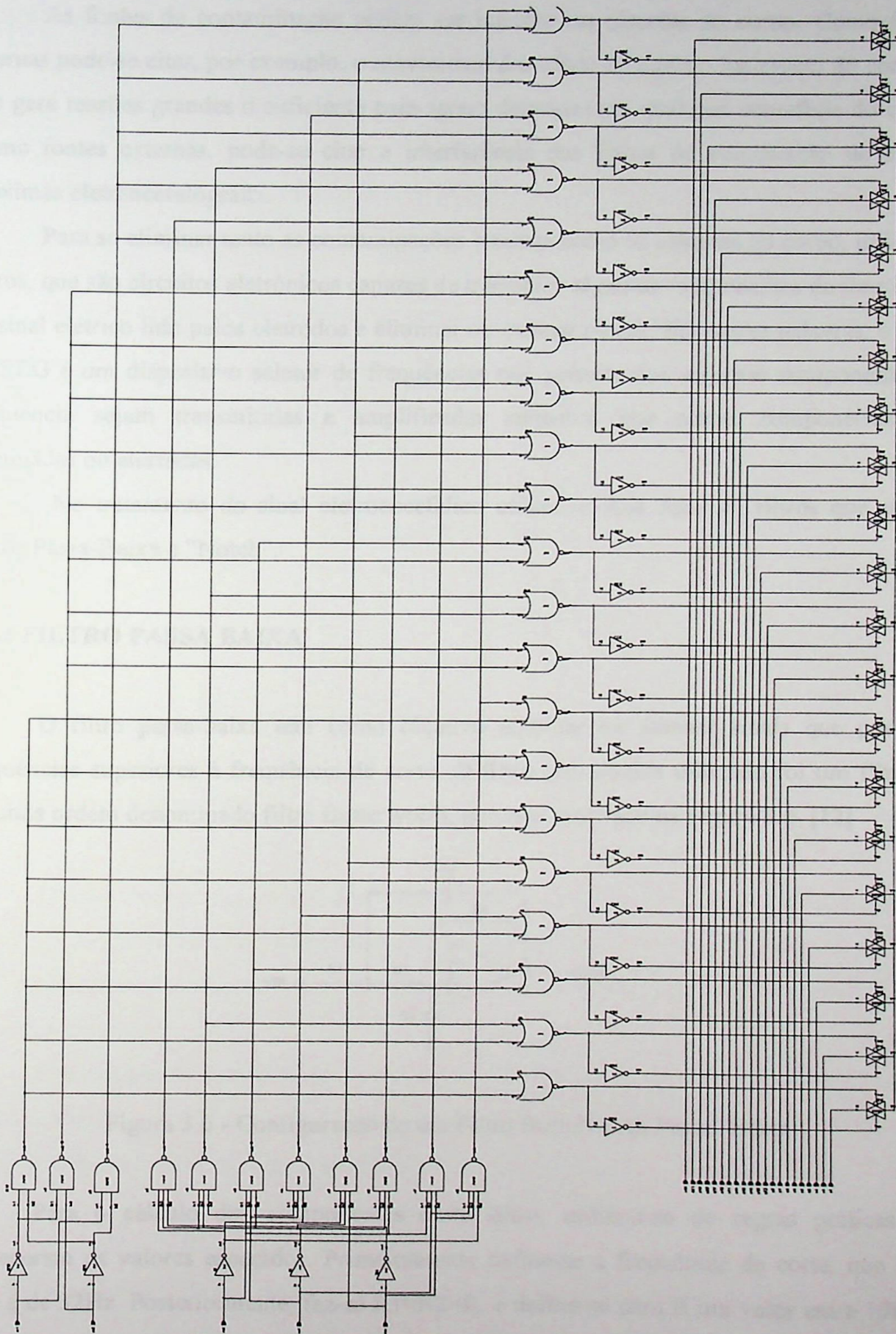


Figura 3.5 - Circuito Completo do Multiplexador.

As fontes de contaminação podem ser internas ou externas ao corpo. Como fontes internas pode-se citar, por exemplo, o movimento dos olhos ou ainda o batimento do coração, que gera tensões grandes o suficiente para serem detetadas em qualquer superfície do corpo. Como fontes externas, pode-se citar a interferência das linhas de alimentação de 60 Hz próximas eletrencefalógrafo.

Para se eliminar tanto as contaminações internas como as externas ao corpo, utiliza-se filtros, que são circuitos eletrônicos capazes de transmitir algumas componentes de frequência do sinal elétrico lido pelos eletrodos e eliminar ou atenuar outros. Em outras palavras, o filtro de EEG é um dispositivo seletor de frequências que permite que algumas componentes de frequência sejam transmitidas e amplificadas enquanto que outras componentes são eliminadas ou aterradas.

No tratamento do sinal eletroencefálico utiliza-se dois tipos de filtros que são os filtros Passa-Baixa e “Notch”.

3.2.2 FILTRO PASSA BAIXA

O filtro passa-baixa tem como objetivo eliminar ou atenuar sinais que possuam frequências superiores à frequência de corte. O filtro passa-baixa utilizado foi um filtro de segunda ordem denominado filtro Butterworth, que está mostrado na Figura 3.6. [12]

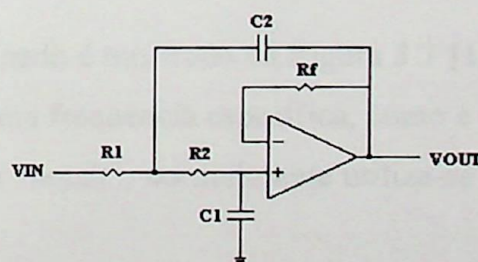


Figura 3.6 - Configuração de um Filtro Butterworth Passa- Baixa.

Para o cálculo dos componentes deste filtro, utilizou-se de regras práticas que forneceram os valores esperados. Primeiramente define-se a frequência de corte, que neste caso é de 32Hz. Posteriormente, faz-se $R1=R2=R$, e define-se para R um valor entre $10K\Omega$ e

100KΩ. O valor adotado para R foi de 50KΩ. Para Rf, utiliza-se o valor 2R=100KΩ. Posteriormente, calcula-se C1, que é dado pela seguinte equação [12].

$$C1 = \frac{0,707}{\omega_c \cdot R} = \frac{0,707}{2 \cdot \pi \cdot f_c \cdot R} \quad [3.1]$$

Em seguida, calcula-se C2, dado por [12]:

$$C2 = \frac{2 \cdot C1}{5} \quad [3.2]$$

Os valores calculados e adotados para os resistores e capacitores do filtro, são dados na Tabela 3.3.

Componente	Valor
R1	50KΩ
R2	50KΩ
Rf	100KΩ
C1	70nF
C2	28nF

Tabela 3.3 - Valores dos Componentes do Filtro Butterworth.

3.2.3 FILTRO “NOTCH”

O filtro “notch” utilizado é mostrado na Figura 3.7 [12]. Este tipo de filtro é utilizado quando se deseja eliminar uma frequência específica, como é o caso da interferência de 60Hz.

No projeto de filtros “notch”, normalmente utiliza-se de alguns parâmetros que serão definidos a seguir.

Primeiramente define-se B, que é a faixa de passagem do filtro. É a faixa onde o ganho é maior que 0,707.A_C, onde A_C é o ganho na frequência de corte. Também define-se Q (fator de qualidade do filtro) dado pela seguinte equação [12]:

$$Q = \frac{\omega_c}{B} \quad [3.3]$$

Para Q >10 o filtro é de faixa estreita e para Q <10 o filtro é de faixa larga [12].

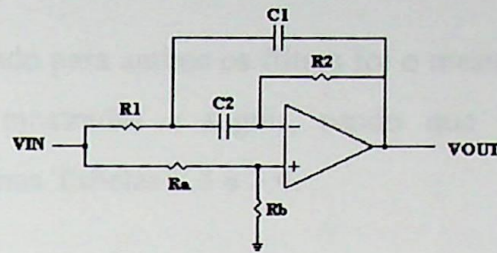


Figura 3.7 - Configuração de um Filtro “Notch”.

Para o cálculo dos componentes deste filtro, utilizou-se de regras práticas que forneceram os valores esperados. Primeiramente define-se a frequência de corte, que neste caso será de 60Hz. Posteriormente, define-se $C1=C2=C=0.5\mu\text{F}$ e $Q=5$. Para o cálculo de R2, utiliza-se as equações [12]:

$$B = \frac{2 \cdot \pi \cdot f_c}{Q} \quad [3.4]$$

$$R2 = \frac{2}{B \cdot C} \quad [3.5]$$

Para o cálculo de R1, utiliza-se a equação [12]:

$$R1 = \frac{R2}{4 \cdot Q^2} \quad [3.6]$$

O valor de Ra é adotado como sendo $1\text{K}\Omega$ e Rb é calculado através da equação [12]:

$$Rb = 2 \cdot Q^2 \cdot Ra \quad [3.7]$$

Os valores calculados e adotados para os resistores e capacitores do filtro, são dados na Tabela 3.4.

Componente	Valor
R1	530.5Ω
R2	$53.05\text{K}\Omega$
Ra	$1\text{K}\Omega$
Rb	$50\text{K}\Omega$
C1	$.5\mu\text{F}$
C2	$.5\mu\text{F}$

Tabela 3.4 - Valores dos Componentes do Filtro “Notch”.

O amplificador utilizado para ambos os filtros foi o mesmo projetado anteriormente.

As simulações são mostradas a seguir, sendo que os valores dos resistores e capacitores são os ilustrados nas Tabelas 3.3 e 3.4.

3.3 DESLOCADOR DE NÍVEL

Este circuito foi utilizado para realizar o deslocamento de nível entra a saída do filtro “notch” e a entrada do circuito de “sample-and-hold” do conversor A/D. Isto foi feito, pois o filtro “notch” opera com uma tensão de referência de 0V e o amplificador de “sample-and-hold” opera com uma tensão de referência de 2,5V

A configuração utilizada para o deslocador de nível foi a de um seguidor-de-fonte similar a de transistores bipolares. Este circuito está mostrado na Figura 3.8 [7].

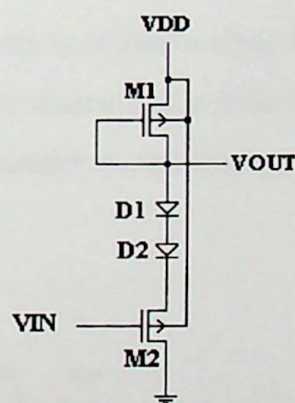


Figura 3.8 - Deslocador de Nível.

O transistor M1 opera como uma fonte de corrente, fazendo passar uma corrente de mesmo valor através de M2. Isto provoca uma queda de tensão entre dreno e fonte deste transistor. Os diodos D1 e D2 provocam um aumento no deslocamento da tensão de saída permitindo com que o sinal de saída seja próximo ao sinal de entrada com um deslocamento de 2,5V.

4. CONVERSOR A/D

O conversor A/D utilizado neste projeto foi um conversor “half-flash” de 8 bits. Optou-se pela tecnologia “half-flash”, pois na tecnologia “flash”, embora a conversão seja feita em um único ciclo de “clock”, há um grande consumo de área no integrado, o que torna o seu custo elevado.

4.1 CONVERSORES A/D “FLASH” E “HALF-FLASH”

O conversor “flash”, apresentado na Figura 4.1 consiste de uma escada resistiva ligada à tensão de referência, para se obter os vários níveis de tensão de referência necessários. Cada tensão de referência da escada resistiva é ligada a uma das entradas de cada comparador. Na outra entrada de cada comparador, é conectado o sinal de entrada, comum a todos os comparadores.

Cada um dos comparadores compara o sinal de entrada com sua referência e sua saída será 1 se a tensão de entrada for maior que a referência e será 0 se a tensão de entrada for menor que a referência. O comparador é conectado a um codificador lógico que gera os sinais digitais.

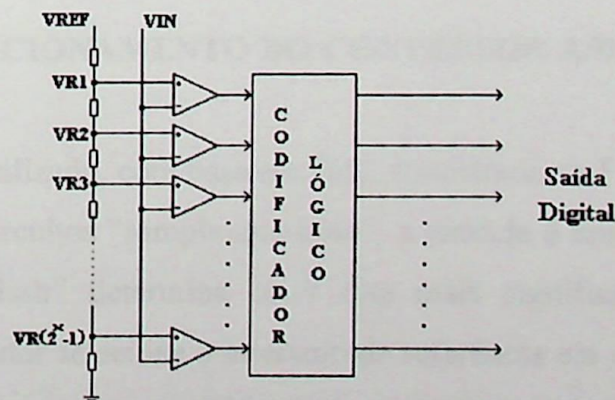


Figura 4.1 Topologia de um Conversor “Flash”.

Pode-se notar claramente que a velocidade de conversão deste tipo de conversor é muito alta, pois toda a conversão é executada em um único ciclo de “clock”. Entretanto, o número de níveis de referência e de comparadores é muito grande, para um conversor de 8 bits, são necessários 256 níveis de referência e 255 comparadores, além de um decodificador lógico de 255 entradas e 8 saídas.

O princípio de funcionamento do conversor “half-flash” é bastante similar ao do conversor “flash”, com a vantagem de dissipar menos potência e utilizar uma menor área de silício. Apesar de apresentar uma velocidade de operação menor que na tecnologia “flash”, esta velocidade é adequada a conversão de sinais eletroencefálicos.

A Figura 4.2 mostra a topologia de um conversor “half-flash”. Este tipo de conversor possui duas escadas resistivas, ao contrário do “flash” que possui somente uma escada resistiva. A primeira escada resistiva, chamada de resistores grossos, faz uma primeira conversão, com o objetivo de se determinar os quatro bits mais significativos. É nesta escada em que será determinado entre quais níveis de tensão se encontra o sinal de entrada. Na segunda escada resistiva, denominada de resistores finos, serão determinados os bits menos significativos.

Da mesma maneira que para o conversor “flash”, as escadas resistivas geram níveis de tensão para os comparadores, que comparam a tensão de entrada com a sua referência e geram uma saída em nível lógico “0” ou “1”. Em seguida, é conectado o codificador lógico que gera os sinais digitais de mesma maneira que para o conversor “flash”.

4.2 PRINCÍPIO DE FUNCIONAMENTO DO CONVERSOR A/D “HALF-FLASH”

O conversor A/D utilizado, com base em [11], é mostrado na Figura 4.2.

Através dos dois circuitos “sample-and-hold”, a entrada é amostrada alternadamente. O primeiro conversor “flash” determina os 4 bits mais significativos (MSB’s). Estes, permitem que o multiplexador selecione o intervalo de referência em que se encontra a tensão de entrada, ou seja, escolhe um dos 16 níveis de tensão que existem na primeira escada

resistiva e, em seguida, aplica este nível de tensão selecionado na segunda escada resistiva através dos “buffers” B1 (Buffer N) e B2 (Buffer P).

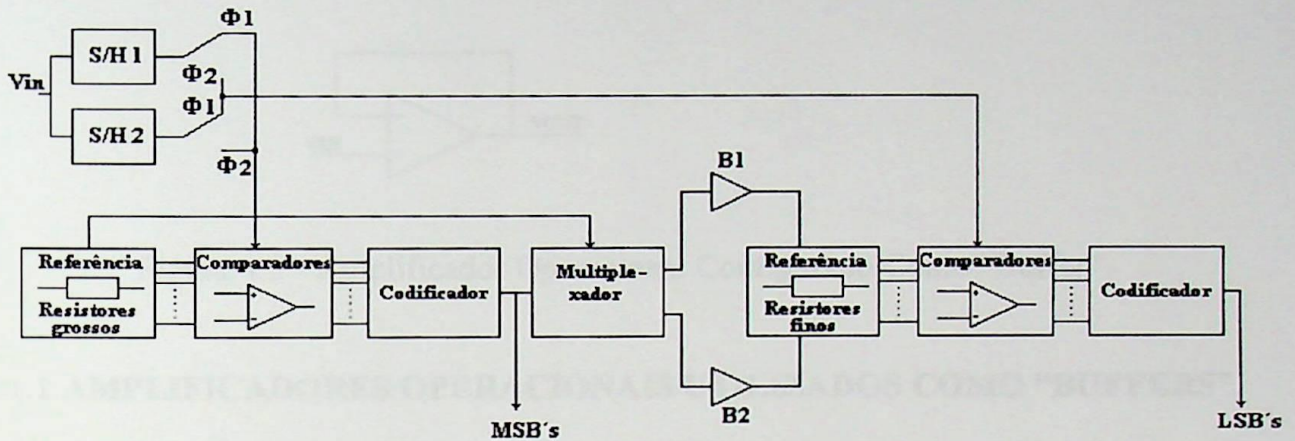


Figura 4.2 - Diagrama em Blocos do Conversor A/D “Half-Flash”.

A saída do primeiro S/H é comutada para o segundo conversor e então são determinados os 4 bits menos significativos (LSB’s). Neste mesmo instante, a saída do segundo S/H que já contém uma nova amostra, é ligada ao primeiro conversor, fazendo com que possa ser feita uma nova conversão durante a obtenção dos LSB’s da amostra anterior. Desta maneira, o conversor é utilizado em sua máxima velocidade de operação, pois a conversão é realizada durante um único ciclo de “clock”.

Uma observação a ser feita é que os MSB’s e os LSB’s, correspondem a amostras diferentes. Para que isto seja evitado, a linha de saída do primeiro codificador é atrasada um ciclo de “clock”, fazendo com que os MSB’s e os LSB’s correspondam às mesmas amostras.

4.3 BLOCOS FUNCIONAIS DO CONVERSOR A/D “HALF-FLASH”

4.3.1 SEGUIDORES DE TENSÃO (“BUFFERS”)

Os “buffers” são amplificadores operacionais configurados de tal maneira que seu ganho seja 1. Isto é feito conectando-se a entrada inversora do amplificador à sua saída. O

objetivo de se utilizar este circuito no conversor A/D é fornecer os níveis de tensão de referência selecionados pelo multiplexador à segunda escada resistiva. Este circuito está ilustrado na Figura 4.3.

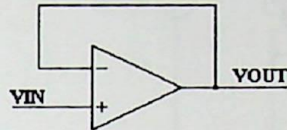
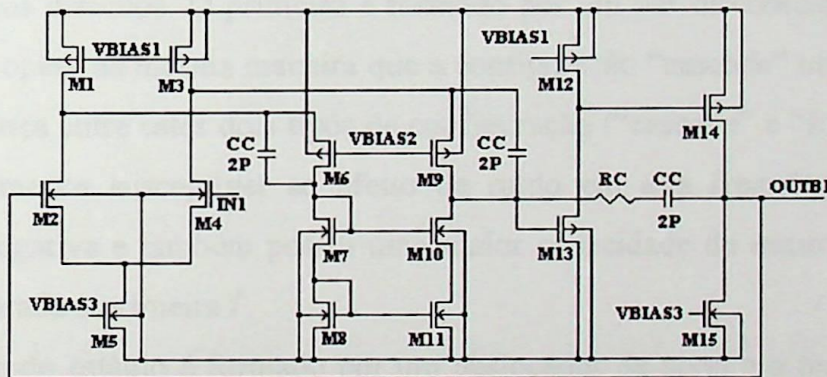


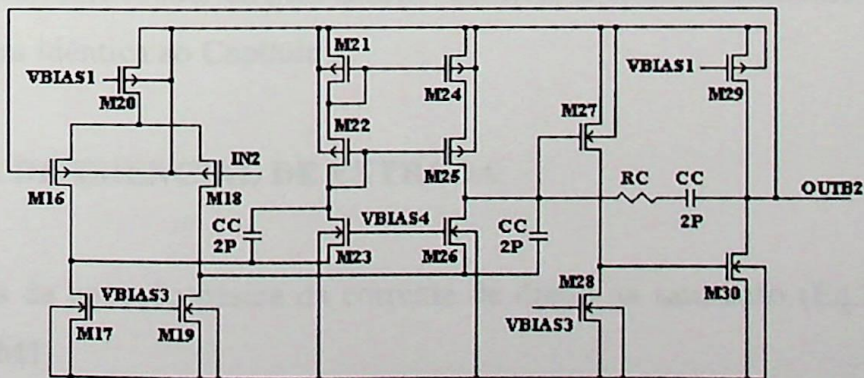
Figura 4.3 - Amplificador Operacional Configurado Como “Buffer”.

4.3.1.1 AMPLIFICADORES OPERACIONAIS UTILIZADOS COMO “BUFFERS”

O circuito utilizado para os amplificadores operacionais utilizados como “buffers”, baseado em [11] está ilustrado nas Figuras 4.4 e 4.5.



Buffer N



Buffer P

Figura 4.4 - Amplificadores Utilizados como “Buffers”.

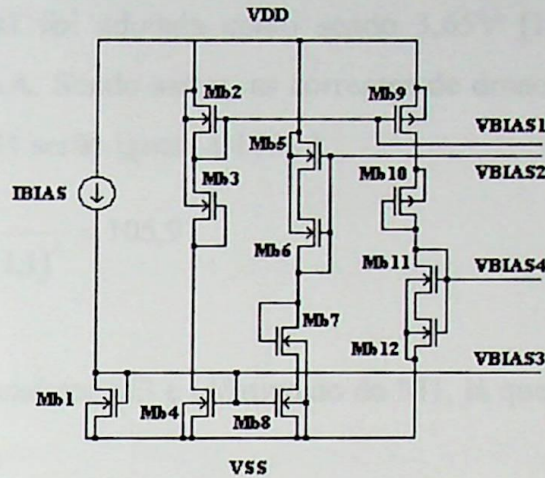


Figura 4.5 - Circuito de Polarização dos Amplificadores Utilizados como “Buffers”.

Os amplificadores utilizados como “buffers” mostrados na Figura 4.4 são formados por três estágios distintos. O primeiro é formado por um par diferencial de entrada “folded-cascode”, que opera da mesma maneira que a configuração “cascode” utilizada no Capítulo 2. A única diferença entre estes dois tipos de configuração (“cascode” e “folded-cascode”) é que a segunda é menos susceptível ao efeito de ruído em alta frequência sobre a fonte de alimentação negativa e também possui uma maior capacidade de excursão do sinal de saída quando comparada à primeira./

O segundo estágio é formado por um deslocador de nível e o terceiro consiste de um amplificador inversor que tem como objetivo fornecer um ganho adicional necessário para que forneça a corrente requerida pela escada resistiva. O dimensionamento dos transistores foi feito de maneira idêntica ao Capítulo 2.

4.3.1.1.1 PAR DIFERENCIAL DE ENTRADA

Através da equação básica da corrente de dreno na saturação (Eq.2.1) são obtidas as dimensões de M1.

Para o cálculo de M1 foi necessário adotar alguns valores de tensão e corrente. A tensão de polarização V_{bias1} foi adotada como sendo 3,65V [11] e o valor de corrente adotado para M5 foi de 200 μ A. Sendo assim, as correntes de dreno que circulam através dos transistores M1, M2, M3 e M4 serão iguais a 100 μ A.

$$\left(\frac{W}{L}\right)_{M1} = \frac{2 \cdot 100\mu}{30,21501\mu \cdot (1,35 - 1,1)^2} = 105,91$$

O valor de W/L do transistor M3 é idêntico ao do M1, já que possuem mesma corrente de dreno e mesma tensão V_{GS} .

Para o cálculo do transistor M5, utilizou-se a equação básica da corrente de dreno na saturação (Eq.2.4).

O valor da tensão V_{bias3} adotado foi de 0,94V [11] e a corrente que circula pelo transistor M5, conforme citado anteriormente foi de 200 μ A. Assim,

$$\left(\frac{W}{L}\right)_{M5} = \frac{2 \cdot 200\mu}{86,3286\mu \cdot (0,94 - 0,74)^2} = 115,83$$

Os transistores M2 e M4 foram implementados com o mesmo valor de W/L de M5.

4.3.1.1.2 ESTÁGIO “FOLDED-CASCODE”

A corrente que circula por todos os transistores deste estágio foi adotada como sendo 100 μ A [11]. Desta maneira, pode-se fazer o dimensionamento dos transistores M8 e M11 (possuem mesma corrente de dreno e mesmo V_{GS}), utilizando-se a Equação [2.4]. Assim:

$$\left(\frac{W}{L}\right)_{M8} = \frac{2 \cdot 100\mu}{86,3286\mu \cdot (0,94 - 0,74)^2} = 57,92$$

Para os transistores M7 e M10, admitiu-se que possuíam os mesmos valores de tensão V_{GS} de M8 e M11. Deste modo, suas dimensões serão idênticas.

Para os transistores M6 e M9, foi adotada uma tensão V_{GS} de 1,5V [11]. Assim, com base na Equação [2.1], tem-se:

$$\left(\frac{W}{L}\right)_{M6} = \frac{2 \cdot 100\mu}{30,21501\mu \cdot (1,5 - 1,1)^2} = 41,37$$



4.3.1.1.3 ESTÁGIO DE SAÍDA

Adotando-se uma corrente de dreno de $100\mu\text{A}$ [11] para M12 e M13, o transistor M12 fica com mesmas dimensões de M1 devido as tensões V_{GS} serem as mesmas. Para M13, adotou-se uma tensão V_{GS} de $1,5\text{V}$. Assim, usando-se a Equação [2.4], tem-se:

$$\left(\frac{W}{L}\right)_{M13} = \frac{2 \cdot 100\mu}{30,21501\mu \cdot (1,5 - 1,1)^2} = 41,37$$

Para M14 e M15, a corrente de dreno adotada foi de $200\mu\text{A}$ e V_{GS} para M14 é de $1,5\text{V}$. Deste modo, empregando-se as Equações [2.1] e [2.4], respectivamente, tem-se:

$$\left(\frac{W}{L}\right)_{M14} = \frac{2 \cdot 200\mu}{30,21501\mu \cdot (1,5 - 1,1)^2} = 82,74$$

e

$$\left(\frac{W}{L}\right)_{M15} = \frac{2 \cdot 200\mu}{86,3286\mu \cdot (0,94 - 0,74)^2} = 115,83$$

4.3.1.1.4 CIRCUITO DE POLARIZAÇÃO

Para o circuito de polarização foram utilizadas as equações básica da corrente de dreno na saturação (Eqs 4.1 e 4.2).

Adotando-se uma corrente de dreno de $200\mu\text{A}$ para MB1 e $100\mu\text{A}$ para MB2 [11], tem-se:

$$\left(\frac{W}{L}\right)_{MB1} = \frac{2 \cdot 200\mu}{86,3286\mu \cdot (0,94 - 0,74)^2} = 115,83$$

e

$$\left(\frac{W}{L}\right)_{MB2} = \frac{2 \cdot 100\mu}{30,21501\mu \cdot (1,35 - 1,1)^2} = 105,91$$

Adotou-se uma tensão V_{GS} para MB3 de valor igual à MB2 [11]. Assim, estes transistores possuem mesmas dimensões. Para MB4,

$$\left(\frac{W}{L}\right)_{MB4} = \frac{2 \cdot 100\mu}{86,3286\mu \cdot (0,94 - 0,74)^2} = 57,92$$

Para o cálculo de MB5 e MB6, adotou-se uma tensão V_{GS} igual a 1,75V [11] e uma corrente de dreno de 100 μ A.

$$\left(\frac{W}{L}\right)_{MB5} = \frac{2 \cdot 100\mu}{30,21501\mu \cdot (1,75 - 1,1)^2} = 15,67$$

Para MB8, tem-se:

$$\left(\frac{W}{L}\right)_{MB8} = \frac{2 \cdot 100\mu}{86,3286\mu \cdot (0,94 - 0,74)^2} = 57,92$$

O valor de tensão V_{GS} adotado para MB7 é igual ao de MB8. Como possuem correntes iguais, suas dimensões serão as mesmas.

Para MB9 adotou-se uma corrente de 50 μ A [11]. Assim:

$$\left(\frac{W}{L}\right)_{MB9} = \frac{2 \cdot 50\mu}{30,21501\mu \cdot (1,35 - 1,1)^2} = 52,95$$

Como o valor de tensão V_{GS} do transistor MB10 foi adotado igual ao de MB9, suas dimensões serão as mesmas.

Para MB12 e MB11 tem-se que a corrente de dreno é a mesma que a utilizada para MB9 e suas tensões V_{GS} foram adotadas iguais a 1V. Desta forma, possuem mesmas dimensões.

$$\left(\frac{W}{L}\right)_{MB12} = \frac{2 \cdot 50\mu}{86,3286\mu \cdot (1 - 0,74)^2} = 17,13$$

O dimensionamento do “buffer” P (B2) é feito de maneira idêntica ao dimensionamento do “buffer” N (B1), sendo este o motivo pelo qual seu dimensionamento não é mostrado aqui.

As dimensões dos dispositivos dos amplificadores N e P são dadas respectivamente nas Tabelas 4.2 e 4.3, sendo que os valores utilizados foram obtidos após várias simulações e ajustes de forma a permitir uma melhor operação do circuito.

Transistor	Valor Calculado		Valor Utilizado	
	W (μm)	L (μm)	W (μm)	L (μm)
MB1	231,66	2	200	2
MB2	211,82	2	200	2
MB3	211,82	2	200	2
MB4	115,94	2	200	2,1
MB5	94,02	6	100	6
MB6	94,02	6	200	1,2
MB7	115,94	2	100	2
MB8	115,94	2	100	2,1
MB9	105,90	2	100	2,1
MB10	105,90	2	100	2
MB11	102,78	6	200	1,2
MB12	102,78	6	100	6
M1	211,82	2	200	2
M2	231,67	2	200	2
M3	211,82	2	200	2
M4	231,67	2	200	2
M5	231,67	2	200	2
M6	82,74	2	100	2
M7	115,84	2	100	2
M8	115,84	2	100	2
M9	82,74	2	100	2
M10	115,84	2	100	2
M11	115,84	2	100	2
M12	211,82	2	200	2
M13	82,74	2	100	2
M14	165,48	2	200	2
M15	231,66	2	400	2

Tabela 4.2 -Dimensionamento dos Transistores do Buffer N.

Transistor	Valor Utilizado	
	W (μm)	L (μm)
M16	200	2
M17	200	2
M18	200	2
M19	200	2
M20	200	2
M21	100	2
M22	100	2
M23	100	2
M24	100	2
M25	100	2
M26	100	2
M27	200	2
M28	200	2
M29	400	2
M30	200	2

Tabela 4.3 -Dimensionamento dos Transistores do Buffer P.

4.3.2 CIRCUITO “SAMPLE-AND-HOLD”

Este circuito, apresentado na Figura 4.6, tem como finalidade, obter uma amostra instantânea do sinal de entrada e mantê-la por um determinado período de tempo, suficiente para que seja feita a conversão A/D. O funcionamento do “sample-and-hold” é dividido em duas fases: a fase de amostragem e a de retenção.

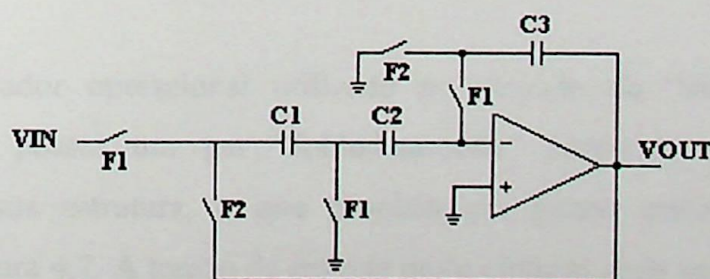


Figura 4.6 - Circuito de “Sample-and-Hold”.

A fase de amostragem corresponde ao período em que as chaves F1 estão fechadas e as chaves F2 estão abertas. Nesta fase, C1 se carrega com o valor da tensão de entrada a ser medida e a capacitância C2 armazena a tensão de “offset” e a tensão diferencial de entrada do amplificador operacional. O capacitor C3 é usado para manter a tensão de saída igual a que se tinha na fase anterior.

A fase de retenção corresponde ao período em que as chaves F2 estão fechadas e as chaves F1 estão abertas. Nesta fase as capacitâncias C1 e C2 são colocadas em série, realimentando negativamente o amplificador operacional. Isto é feito para que se tenha na saída a tensão de entrada armazenada em C1 subtraída da tensão de “offset” que estava armazenada em C2. Isto permite o cancelamento da tensão de “offset” nesta nova fase. O capacitor C3 armazena a tensão de saída da fase anterior para que na fase seguinte, realimentando negativamente o amplificador operacional, mantenha a tensão de saída igual a da fase atual.

4.3.2.1 CIRCUITO DO “SAMPLE-AND-HOLD”

No circuito de “Sample-and-Hold”, deve-se projetar o amplificador e as chaves que serão utilizadas pelo mesmo.

4.3.2.1.1 DIMENSIONAMENTO DO AMPLIFICADOR OPERACIONAL UTILIZADO NO CIRCUITO DE “SAMPLE-AND-HOLD”

O amplificador operacional utilizado no circuito de “sample-and-hold” foi um amplificador que possui um par “folded-cascode” acrescido de dois amplificadores operacionais em sua estrutura, o que propicia um ganho maior [11]. Este circuito é apresentado na Figura 4.7. A tensão de entrada deste circuito pode variar de 1,5 a 3,5V.

Os amplificadores N e P da Figura 4.7 são pares diferenciais “folded-cascode” idênticos aos utilizados nos amplificadores operacionais seguidores de tensão. Estes amplificadores são mostrados nas Figuras 4.8 e 4.9.

O amplificador “folded-cascode” opera do mesmo modo que o amplificador “cascode” citado anteriormente (Capítulo 2) com a diferença que neste circuito a faixa de entrada de modo comum será maior devido aos três transistores que foram acrescentados e que são “empilhados” na cadeia de entrada entre os dois terminais da fonte de alimentação.

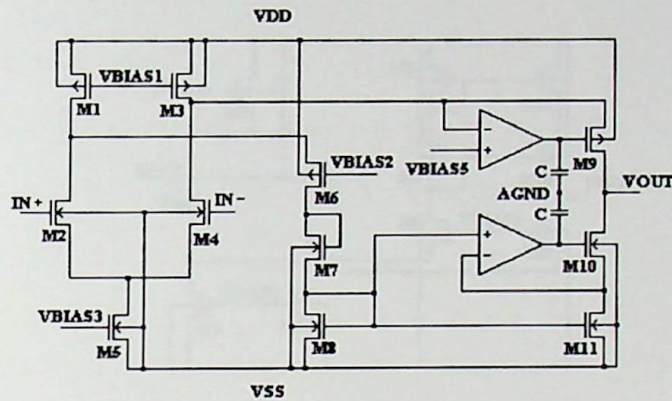


Figura 4.7 Amplificador Utilizado no Circuito “Sample-and-Hold”.

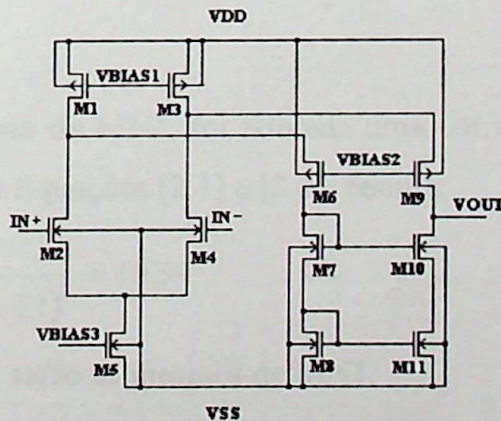


Figura 4.8 - Amplificador N.

A única desvantagem deste tipo de circuito é a redução na capacidade de excursão do sinal de saída devido ao fato de existirem dois transistores em série entre o terminal de saída e cada fonte de alimentação.

Os circuitos de par diferencial de entrada, estágio “folded-cascode” e polarização do amplificador principal são os mesmos utilizados anteriormente pelo Buffer. Assim, suas dimensões são as mesmas. A única mudança no circuito é a adição dos amplificadores P e N, dimensionados a seguir.

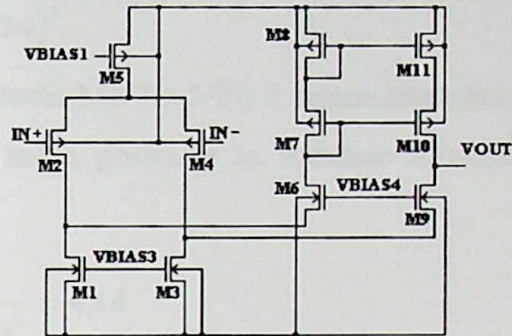


Figura 4.9 - Amplificador P.

AMPLIFICADORES N E P

A) PAR DIFERENCIAL

Para o dimensionamento de MN1, foi adotada uma corrente de dreno de $10\mu\text{A}$ com base em [11]. Utilizando-se as Equações [2.1] e [2.4], resulta:

$$\left(\frac{W}{L}\right)_{\text{MN1}} = \frac{2 \cdot 10\mu}{30,21501\mu \cdot (1,35 - 1,1)^2} = 10,59$$

As dimensões de MN2 serão as mesmas de MN1.

Para MN3 e MN4, adotou-se uma tensão V_{GS} de $0,9\text{V}$, com base em [11].

$$\left(\frac{W}{L}\right)_{\text{MN3}} = \frac{2 \cdot 10\mu}{86,3286\mu \cdot (0,9 - 0,74)^2} = 9,05$$

A corrente de dreno de MN5 é o dobro de MN1. Assim,

$$\left(\frac{W}{L}\right)_{\text{MN5}} = \frac{2 \cdot 20\mu}{86,3286\mu \cdot (0,94 - 0,74)^2} = 11,58$$

B) ESTÁGIO “FOLDED-CASCODE”

A corrente dos transistores deste estágio foram adotadas iguais e de valor $10\mu\text{A}$ [11].

Para MN8 e MN11, tem-se:

$$\left(\frac{W}{L}\right)_{\text{MN8}} = \frac{2 \cdot 10\mu}{86,3286\mu \cdot (0,94 - 0,74)^2} = 5,79$$

A tensão V_{GS} dos transistores MN7 e MN10 foram adotadas iguais as dos transistores MN8 e MN11. Devido a isto todos possuem as mesmas dimensões. Para MN6 e MN9, assumiu-se V_{GS} igual a $1,5\text{V}$.

$$\left(\frac{W}{L}\right)_{\text{MN6}} = \frac{2 \cdot 10\mu}{30,21501\mu \cdot (1,5 - 1,1)^2} = 4,14$$

O dimensionamento do amplificador P é feito de maneira idêntica a do amplificador N.

As dimensões dos dispositivos dos amplificadores N e P são dadas nas Tabelas 4.4 e 4.5, sendo que os valores utilizados foram obtidos após várias simulações e ajustes de forma a permitir uma melhor operação do circuito.

Transistor	Valor Calculado		Valor Utilizado	
	W (μm)	L (μm)	W (μm)	L (μm)
MN1	21,18	2	20	2
MN2	21,18	2	20	2
MN3	18,10	2	20	2
MN4	18,10	2	20	2
MN5	23,16	2	20	2
MN6	8,28	2	10	2
MN7	11,58	2	10	2
MN8	11,58	2	10	2
MN9	8,28	2	10	2
MN10	11,58	2	10	2
MN11	11,58	2	10	2

Tabela 4.4 - Dimensionamento dos Transistores do Amplificador N.

Transistor	Valor Utilizado	
	W (μm)	L (μm)
MP1	20	2
MP2	20	2
MP3	20	2
MP4	20	2
MP5	20	2
MP6	10	2
MP7	10	2
MP8	10	2
MP9	10	2
MP10	10	2
MP11	10	2

Tabela 4.5 - Dimensionamento dos Transistores do Amplificador P.

A Tabela 4.6 mostra os valores utilizados para o amplificador principal do circuito “sample-and-hold”, sendo que os valores utilizados foram obtidos através de simulação, a partir dos valores do “buffer” N. O circuito de polarização para este amplificador é o mesmo utilizado no “buffer”.

Transistor	Valor Utilizado	
	W (μm)	L (μm)
M1	200	1.2
M2	200	1.2
M3	200	1.2
M4	200	1.2
M5	200	1.2
M6	100	1.2
M7	100	1.2
M8	100	1.2
M9	100	1.2
M10	100	1.2
M11	100	1.2

Tabela 4.6 - Dimensionamento dos Transistores do Amplificador Principal.

4.3.2.1.2 CHAVES “DUMMY”

As chaves “dummy” [3] são chaves que utilizam quatro transistores MOS e têm como objetivo eliminar realimentações no momento em que a chave está desligada (estas realimentações ocorrem devido as capacitâncias parasitas das chaves). Com o uso destas chaves, que possuem dreno e fonte curto-circuitados, há uma realimentação no sentido contrário ao da chave MOS e, quando ambas as chaves são conectadas em série, este efeito é minimizado. O circuito utilizado para a chave “dummy” está mostrado na Figura 4.10.

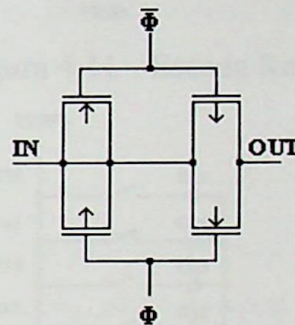


Figura 4.10 - Chave “Dummy”

4.3.3 ESCADA RESISTIVA

A escada resistiva, mostrada na Figura 4.11, tem como função, fornecer os vários níveis de tensão necessários para a comparação do sinal, tanto para os bits mais significativos quanto para os menos significativos.

4.3.3.1 ESCADA RESISTIVA PARA OS MSB's

Para se determinar o valor do resistor a ser utilizado na escada resistiva para os bits mais significativos, utilizou-se o circuito da Figura 4.12 para a simulação, onde considerou-se uma capacitância de 0,3pF com base em [11] e variou-se o valor do resistor até que atingisse os

valores de tensão desejados. As dimensões das chaves também foram obtidas por simulação com o objetivo de se manter a resistência R_{on} de valor baixo.

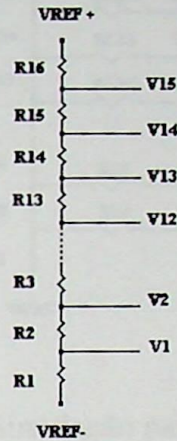


Figura 4.11 - Escada Resistiva.

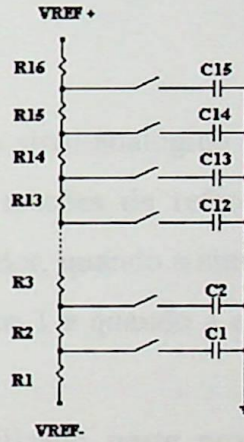


Figura 4.12 - Circuito de Simulação para a Escada Resistiva dos MSB's.

4.3.3.2 ESCADA RESISTIVA PARA OS LSB's

A simulação da escada resistiva para os LSB's é feita de maneira quase idêntica a escada para os MSB's. As diferenças foram o uso de um resistor de $1K\Omega$ no lugar da chave e os níveis de tensão de referência. O circuito de simulação desta escada resistiva está mostrado na Figura 4.13.

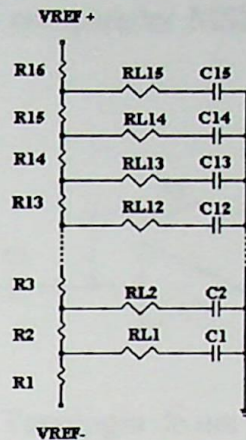


Figura 4.13 - Circuito de Simulação para a Escada Resistiva dos LSB's.

4.3.4 COMPARADORES

Durante a conversão de um sinal analógico para um sinal digital é necessário que o sinal de entrada seja comparado com tensões de referência de forma a fornecer um sinal digital correspondente. Em cada comparador, quando o sinal de entrada é maior que a referência, a saída do comparador fica em nível lógico 1 e quando a entrada é menor que a referência, a saída terá nível lógico 0.

O tipo de comparador utilizado neste projeto foi o de cascata de inversores, que é constituído pelas fases de auto-zero e a de comparação. A escolha foi feita porque este tipo de comparador é um dos mais fáceis de se implementar e também porque ele se adapta às necessidades de ganho do circuito.

A operação dos comparadores é feita durante duas fases distintas que são a fase de auto-zero (F1) e a fase de comparação (F2). Durante a fase de auto-zero, é colocado no comparador uma tensão de 2,5V ($V_{DD}/2$) com o objetivo de que a comutação para qualquer nível lógico (0 ou 1) seja a mais rápida possível. Durante a fase de comparação, F2 está ligada e o sinal de entrada é comparado com a referência e o comparador fornece a saída 0 ou 1.

Os circuitos utilizados para o comparador MSB e LSB são mostrados nas Figuras 4.14 e 4.15.

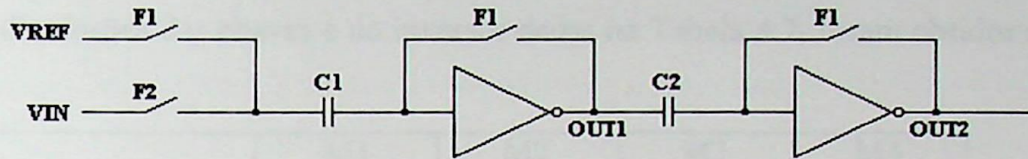


Figura 4.14 - Topologia de um Comparador MSB.

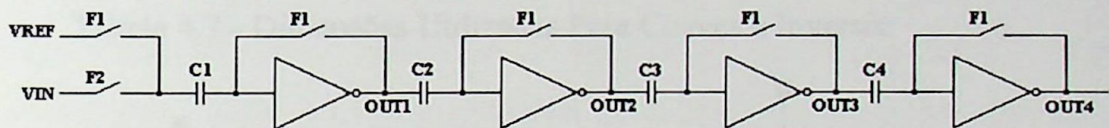


Figura 4.15 - Topologia de um Comparador LSB.

No conversor A/D utilizado, foram empregados um comparador para os bits MSB's e um comparador para os bits LSB's. Os comparadores foram implementados com estágios inversores MOS, devido a simplicidade, baixo consumo de área de silício e facilidade de implementação do "layout" dos mesmos.

O comparador para os MSB's foi implementado com dois estágios inversores porque foi necessário um alto ganho que não podia ser obtido somente com um estágio. O outro motivo que levou ao uso de dois estágios é que para somente um estágio, a saída seria invertida, ou seja, para um sinal de entrada menor que a referência, a saída seria 1 ao invés de 0 e vice-versa.

O mesmo ocorreu para o comparador dos LSB's, só que dois estágios não foram suficientes para uma saída adequada (sinal maior que 3,5V para nível lógico 1 e menor que 1,5V para nível lógico 0). Com o objetivo de se obter uma saída adequada, colocou-se quatro estágios inversores (número par de inversores para a saída não ser invertida).

As chaves utilizadas pelos comparadores foram chaves MOS, implementadas com dois transistores MOS e chaves Dummy, que utilizam quatro transistores MOS. Estas chaves são mostradas na Figura 4.16. A Figura 4.17 mostra o circuito inversor utilizado pelos comparadores. Os valores das dimensões das chaves e do inversor dadas na Tabela 4.7, foram obtidos através de simulações.

Circuito	M1		M2		M3		M4	
	W	L	W	L	W	L	W	L
Chaves MOS	10	1	10	1	-	-	-	-
Chaves Dummy	10	1	10	1	5	1	5	1
Inversor	14	1	3	1	-	-	-	-

Tabela 4.7 - Dimensões Utilizadas Para Chaves e Inversor.

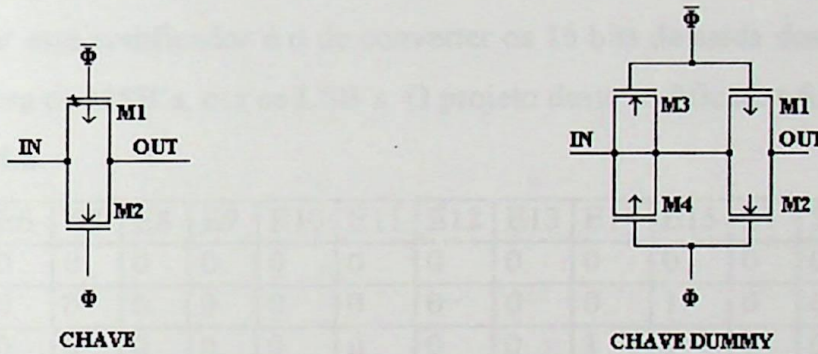


Figura 4.16 - Chaves Utilizadas pelos Comparadores.

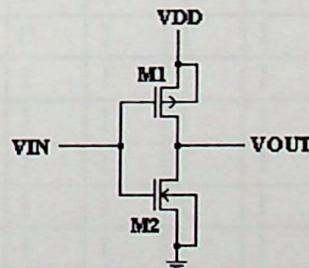


Figura 4.17 - Inversor Utilizado pelos Comparadores.

Os valores das chaves e dos inversores foram obtidos através de simulações, sendo adotados como valores iniciais os valores mínimos de transistores de acordo com as regras da ES2.

4.3.5 CODIFICADOR

Após a comparação do sinal de entrada com a referência é necessário que o sinal comparado seja codificado de modo a fornecer os 8 bits de saída (sendo 4 MSB's e 4 LSB's).

O conversor "half-flash" utiliza dois ciclos de comparação. No primeiro, converte os bits mais significativos e no segundo, converte os bits menos significativos. Para que isto possa ser feito é necessário que se tenha dois codificadores. O primeiro, codifica os bits mais significativos e o segundo, os menos significativos. A topologia do circuito codificador está mostrada na Figura 4.18.

O codificador utilizado neste circuito foi um codificador de 16 entradas e 4 saídas. O objetivo de se utilizar este codificador é o de converter os 16 bits de saída dos comparadores em apenas 4, que serão ora os MSB's, ora os LSB's. O projeto deste codificador foi feito tomando-se como base a Tabela 4.8.

E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	S1	S2	S3	S4
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1
0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	0
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Tabela 4.8 - Operação Lógica do Codificador.

Com base na Tabela 4.10 pode-se deduzir as seguintes equações:

$$S1 = E8$$

$$S2 = E4 + \overline{E8} \cdot E12$$

$$S3 = E2 + \overline{E4} \cdot E6 + \overline{E8} \cdot E10 + \overline{E12} \cdot E14$$

$$S4 = E1 + \overline{E2} \cdot E3 + \overline{E4} \cdot E5 + \overline{E6} \cdot E7 + \overline{E8} \cdot E9 + \overline{E10} \cdot E11 + \overline{E12} \cdot E13 + \overline{E14} \cdot E15$$

4.3.6 MULTIPLEXADOR

O multiplexador, mostrado na Figura 4.19, tem como função selecionar o intervalo de tensão da primeira escada resistiva que deve ser aplicado à segunda para a obtenção dos LSB's. Para tal, o multiplexador utiliza duas chaves para cada resistor.

Se, por exemplo, o sinal de tensão a ser convertido estiver na faixa de tensão determinada pelo resistor R1, as chaves que estarão ligadas serão Ca1 e Cb1, que correspondem respectivamente aos pontos superior e inferior do resistor R1 (ou melhor, correspondem aos níveis de tensão determinados pelo resistor R1). Para o acionamento destas chaves, foi utilizado o codificador já apresentado.

Conforme foi mencionado, o multiplexador tem como função colocar a escada resistiva dos LSB's em paralelo com qualquer um dos resistores da escada resistiva dos MSB's. Para isto, são utilizadas chaves, que, quando ligadas, colocam o respectivo resistor em paralelo com a escada resistiva dos LSB's. Para o acionamento destas chaves, utilizou-se um codificador de 4 entradas (A1 a A4) e 16 saídas (C1 a C16). A Tabela 4.9 mostra a operação lógica do multiplexador.

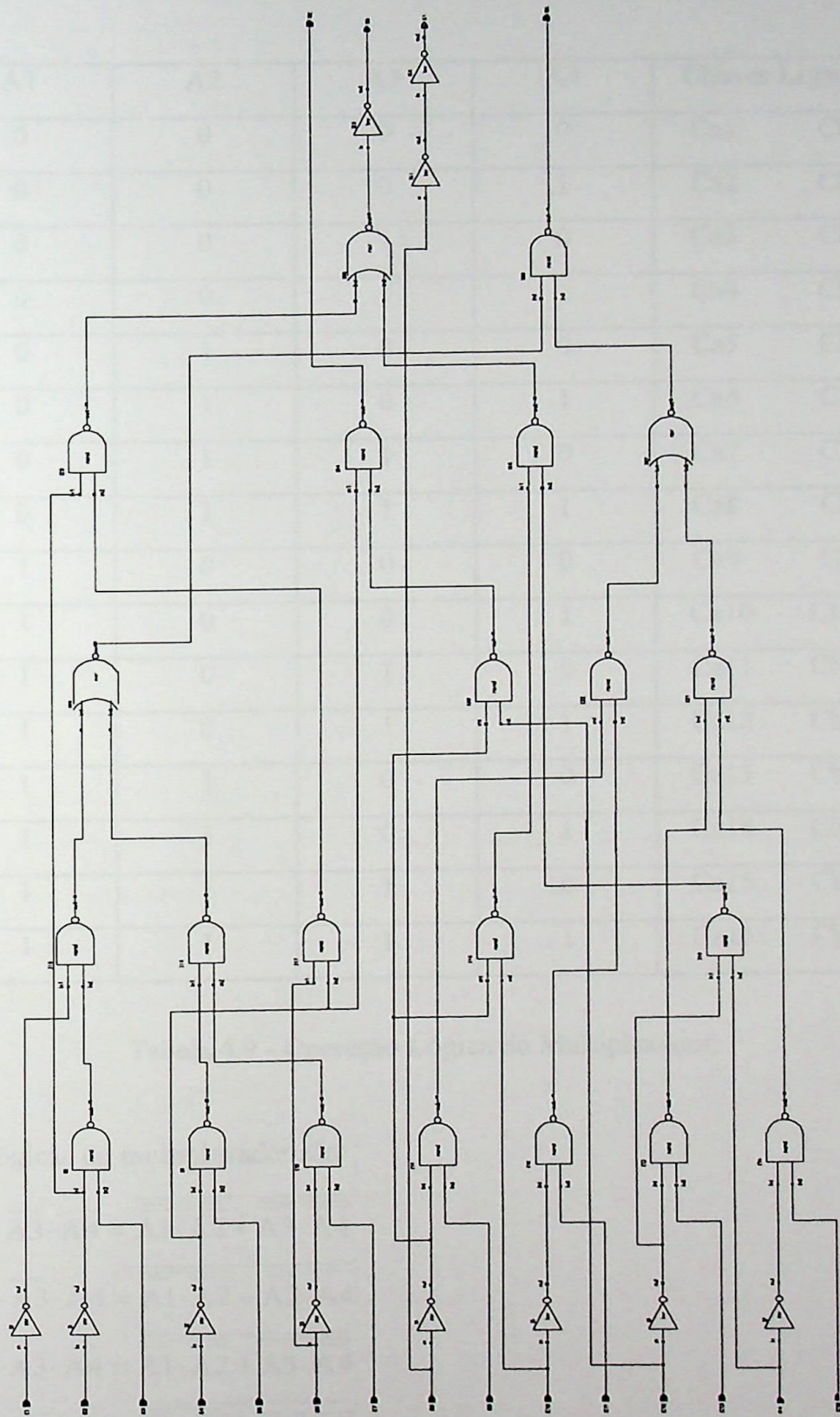


Figura 4.18 - Topologia do Codificador.

A1	A2	A3	A4	Chaves Ligadas	
0	0	0	0	Ca1	Cb1
0	0	0	1	Ca2	Cb2
0	0	1	0	Ca3	Cb3
0	0	1	1	Ca4	Cb4
0	1	0	0	Ca5	Cb5
0	1	0	1	Ca6	Cb6
0	1	1	0	Ca7	Cb7
0	1	1	1	Ca8	Cb8
1	0	0	0	Ca9	Cb9
1	0	0	1	Ca10	Cb10
1	0	1	0	Ca11	Cb11
1	0	1	1	Ca12	Cb12
1	1	0	0	Ca13	Cb13
1	1	0	1	Ca14	Cb14
1	1	1	0	Ca15	Cb15
1	1	1	1	Ca16	Cb16

Tabela 4.9 - Operação Lógica do Multiplexador.

As equações lógicas do multiplexador são:

$$C1 = \overline{A1} \cdot \overline{A2} \cdot \overline{A3} \cdot \overline{A4} = \overline{\overline{\overline{\overline{A1} \cdot \overline{A2} + \overline{A3} \cdot \overline{A4}}}}$$

$$C2 = \overline{A1} \cdot \overline{A2} \cdot \overline{A3} \cdot A4 = \overline{\overline{\overline{\overline{A1} \cdot \overline{A2} + \overline{A3} \cdot A4}}}}$$

$$C3 = \overline{A1} \cdot \overline{A2} \cdot A3 \cdot \overline{A4} = \overline{\overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot \overline{A4}}}}$$

$$C4 = \overline{A1} \cdot \overline{A2} \cdot A3 \cdot A4 = \overline{\overline{\overline{\overline{A1} \cdot \overline{A2} + A3 \cdot A4}}}}$$

$$C5 = \overline{A1} \cdot A2 \cdot \overline{A3} \cdot \overline{A4} = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C6 = \overline{A1} \cdot A2 \cdot \overline{A3} \cdot A4 = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C7 = \overline{A1} \cdot A2 \cdot A3 \cdot \overline{A4} = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C8 = \overline{A1} \cdot A2 \cdot A3 \cdot A4 = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C9 = A1 \cdot \overline{A2} \cdot \overline{A3} \cdot \overline{A4} = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C10 = A1 \cdot \overline{A2} \cdot \overline{A3} \cdot A4 = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C11 = A1 \cdot \overline{A2} \cdot A3 \cdot \overline{A4} = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C12 = A1 \cdot \overline{A2} \cdot A3 \cdot A4 = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C13 = A1 \cdot A2 \cdot \overline{A3} \cdot \overline{A4} = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C14 = A1 \cdot A2 \cdot \overline{A3} \cdot A4 = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C15 = A1 \cdot A2 \cdot A3 \cdot \overline{A4} = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

$$C16 = A1 \cdot A2 \cdot A3 \cdot A4 = \overline{\overline{A1} \cdot A2 + A3 \cdot A4}$$

Para a implementação do multiplexador utilizou-se inversores (de mesmo valor dos inversores dos comparadores), portas NAND e portas NOR com valores obtidos através de simulações. As chaves utilizadas também foram as mesmas do comparador. Os valores dos circuitos utilizados se encontram na Tabela 4.10.

Circuito	M1		M2		M3		M4	
	W	L	W	L	W	L	W	L
Chaves MOS	10	1	10	1	-	-	-	-
Chaves Dummy	10	1	10	1	5	1	5	1
Inversor	14	1	3	1	-	-	-	-
NAND	6	1	6	1	3	1	3	1
NOR	6	1	3	1	6	1	3	1

Tabela 4.10 - Dimensões Utilizadas Para os Vários Blocos do Multiplexador.

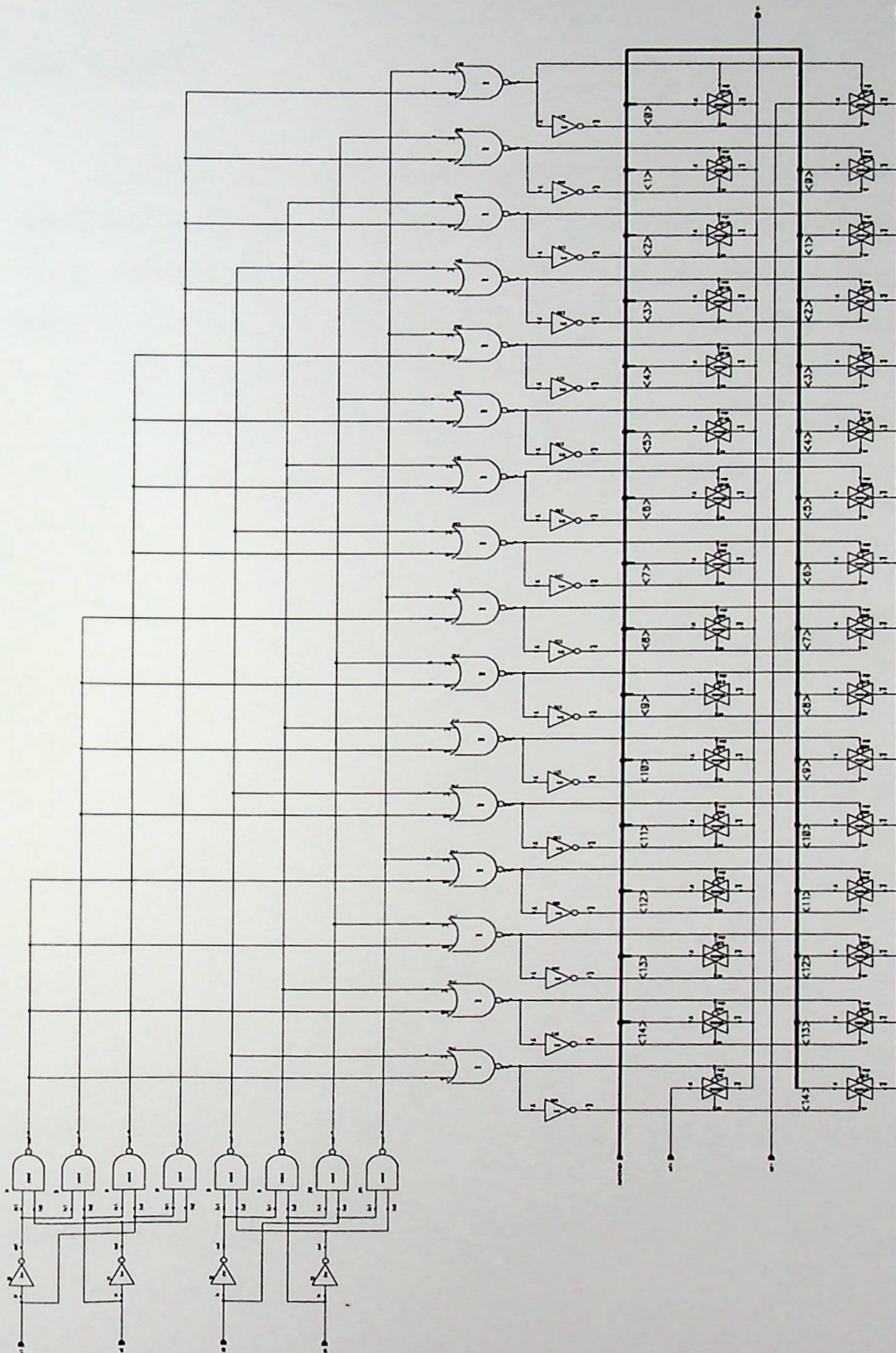


Figura 4.19 - Topologia do Multiplexador.

4.3.7 “LATCH”

O “latch” tem como função memorizar a saída do codificador para que os sinais convertidos pelos dois conversores correspondam a uma mesma amostra. A topologia de um “latch” está mostrada na Figura 4.20 [11]. Ele funciona em duas fases distintas e possui dois estágios: mestre e escravo. Na primeira fase (CK1) tem-se em Q_m o nível lógico zero. As chaves da fase 2 (CK2) são acionadas, o resultado de Q_m é invertido ($Q_m=1$). O inversor que fornece Q_m , nesta fase, fica sendo realimentado memorizando o dado. Durante esta fase a saída de Q_m é invertida no estágio escravo do “latch” fornecendo nível lógico 1.

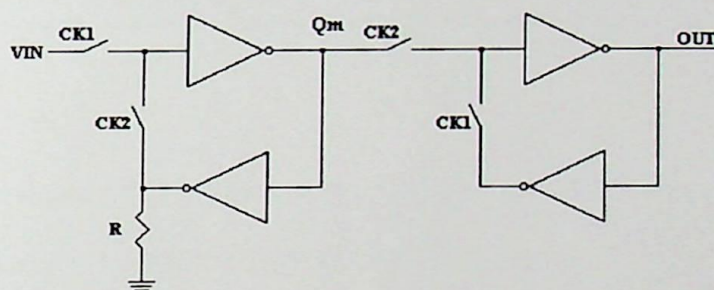


Figura 4.20 - Topologia de um “Latch”.

A implementação do “latch” foi feita utilizando chaves de mesmas dimensões que as utilizadas anteriormente (Figura 4.16) e um inversor formado pelos transistores M1 e M2 (Figura 4.17) cujas dimensões $W=4\mu\text{m}$ e $L=1\mu\text{m}$ e $W=2\mu\text{m}$ e $L=1\mu\text{m}$, respectivamente foram ajustadas através de simulações. O circuito final do “latch” está mostrado na Figura 4.21.

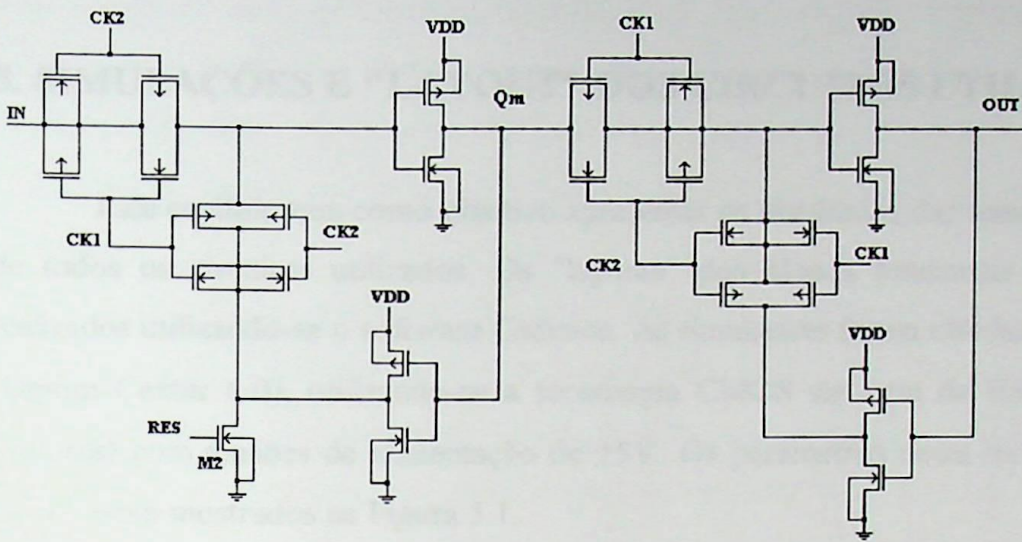


Figura 4.21 - Circuito Completo do "Latch".

5. SIMULAÇÕES E "LAYOUT" DOS CIRCUITOS UTILIZADOS

Este capítulo tem como objetivo apresentar os resultados das simulações e os "layouts" de todos os circuitos utilizados. Os "layouts" dos blocos funcionais dos circuitos foram realizados utilizando-se o software Cadence. As simulações foram obtidas no simulador Pspice (Design Center 6.0), utilizando-se a tecnologia CMOS de 1 μ m da ES2 (European Silicon Structures) com tensões de alimentação de $\pm 5V$. Os parâmetros desta tecnologia, para o caso típico, estão mostrados na Figura 5.1.

```

*****
*   PARAMETROS ES2 - ECPD10 - SPICE & HSPICE LEVEL 2 - Rev. 3.00 - FJ - 09-06-92   *
*****
*
*
* CASO TIPICO
*
.MODEL N NMOS (LEVEL=2 LD=0.125U TOX=200E-10 NSUB=2E16 VTO=.74 GAMMA=.7 UO=500
UEXP=.18 UCRIT=225K DELTA=1 XJ=.075U VMAX=53.7K NEFF=12.5 NFS=3E11 RSH=250 JS=2U
CJ=350U MJ=.43 CJSW=450P MJSW=.43 PB=.675 CGDO=310P CGSO=310P)
*
.MODEL P PMOS (LEVEL=2 LD=0.045U TOX=200E-10 NSUB=3E17 VTO=-1.1 GAMMA=.5 UO=175
UEXP=.25 UCRIT=100K DELTA=4 XJ=.12U VMAX=320K NEFF=.1 NFS=9E10 RSH=111 JS=10U
CJ=540U MJ=.51 CJSW=760P MJSW=.51 PB=.7 CGDO=300P CGSO=300P)
*
*****

```

Figura 5.1 - Parâmetros ES2.

Devido a grande quantidade de pinos necessários pelos vários circuitos a serem utilizados, optou-se por dividir o circuito em quatro circuitos integrados. Os três primeiros são os circuitos de amplificação e o último é formado pelo filtro, multiplexador e conversor A/D.

5.1 ANÁLISE DO CIRCUITO DE AMPLIFICAÇÃO

Este circuito tem como objetivo gerar um sinal de saída da ordem de 1V para que possa ser utilizado pelo multiplexador. Isto foi conseguido através do uso da configuração de

amplificador de instrumentação acrescida de um estágio de ganho variável. Todos os resistores foram implementados em silício, com exceção dos resistores do estágio adicional de ganho que devem ser externos. O circuito utilizado para amplificação do sinal EEG foi mostrado na Figura 2.8 e, para a sua simulação, utilizou-se o Arquivo de Simulação 5.1, mostrado no Apêndice I.

Aplicando-se uma tensão de entrada senoidal de $2\mu V_{PP}$ e sendo o resistor R6 de valor igual a 100K, verificou-se que a tensão de saída foi de aproximadamente $2V_{PP}$, correspondendo a um ganho de 120dB, o que comprovou o resultado esperado. Para a simulação com os demais valores de tensão de entrada, basta somente modificar o valor do resistor R6, de acordo com o ganho esperado. A simulação deste circuito para uma tensão de entrada senoidal de $2\mu V_{PP}$ com o resistor R6 de valor igual a 100K é mostrada na Figura 5.2.

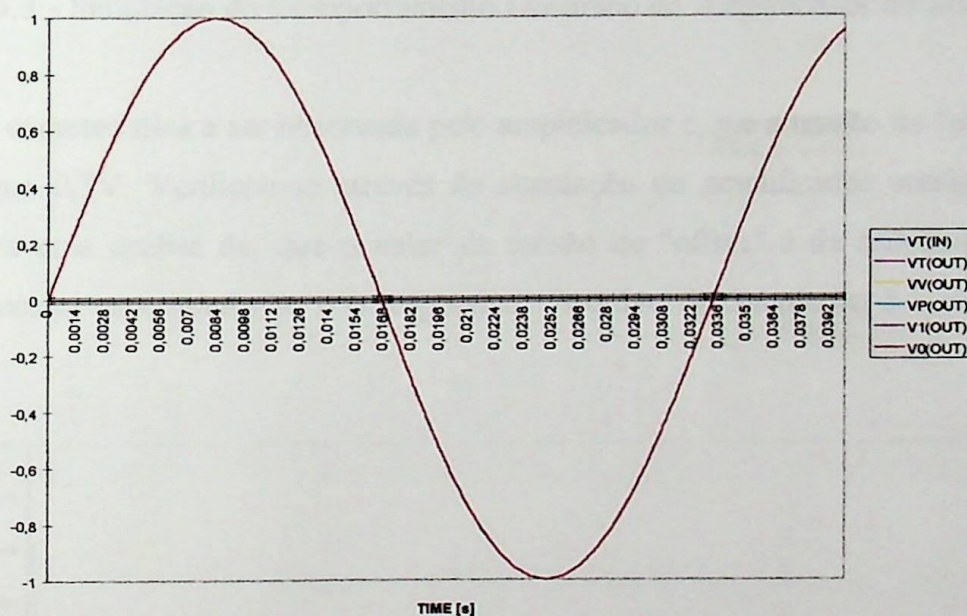


Figura 5.2 - Simulação do Circuito Amplificador do Sinal EEG.

Também foi feita a simulação do comportamento dinâmico deste circuito, mostrada na Figura 5.3, onde pode-se observar que a frequência de operação deste circuito pode atingir até 1,8MHz.

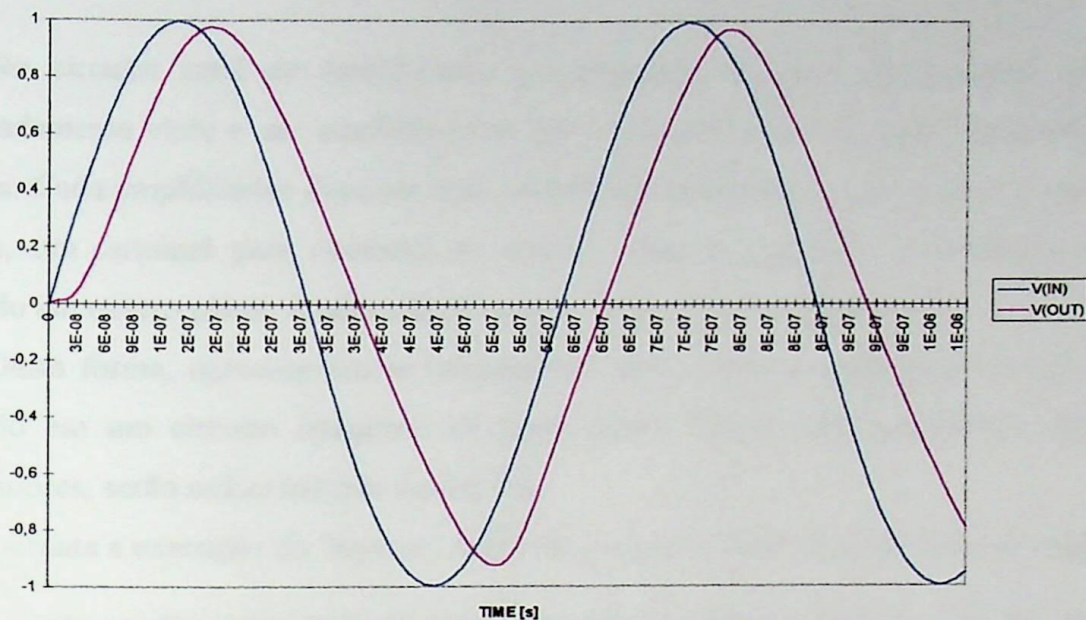


Figura 5.3 - Simulação do Comportamento Dinâmico do Amplificador do Sinal EEG.

Uma característica a ser observada pelo amplificador é que a tensão de "offset" deveria ser menor que 0,3V. Verificou-se através de simulação do amplificador configurado como "buffer", para uma análise dc, que o valor da tensão de "offset" é da ordem de 1.9mV. A Figura 5.4 mostra esta simulação e o respectivo Arquivo de Simulação 5.2 encontra-se no Apêndice I.

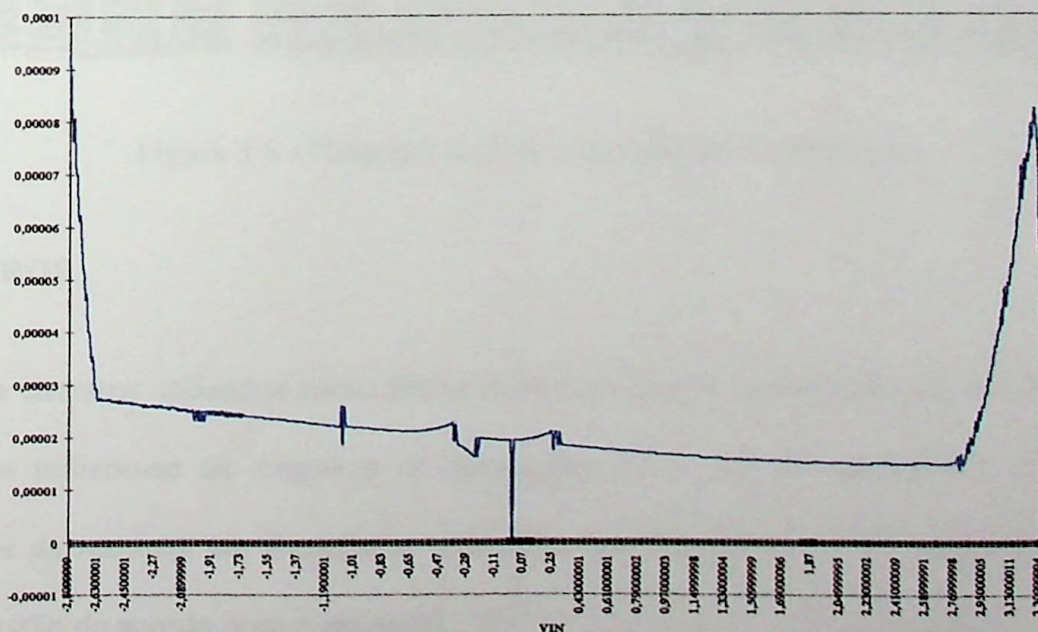


Figura 5.4 - "Offset" do Amplificador.

No circuito total de amplificação e tratamento do sinal EEG, serão necessários aproximadamente vinte e um amplificadores para a amplificação dos sinais provenientes dos eletrodos. Cada amplificador deve ter uma entrada não-inversora, uma inversora, um terminal de saída, um terminal para conexão do resistor externo (também é conectado à saída), resultando em quatro pinos. A alimentação é comum a todos amplificadores.

Desta forma, optou-se em se implementar sete circuitos amplificadores em cada CI, resultando em um circuito integrado de trinta pinos. Como são necessários vinte e um amplificadores, serão utilizados três destes CIs.

Durante a execução do "layout", observou-se que o acréscimo de mais um amplificador no circuito não resultou em um grande acréscimo de área. Devido a isto, o "layout" final deste circuito contém oito amplificadores e trinta e quatro pinos, conforme ilustrado na Figura 5.5.

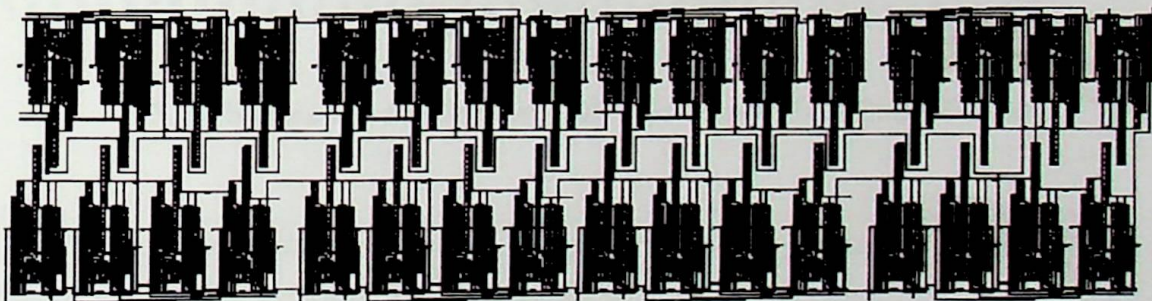


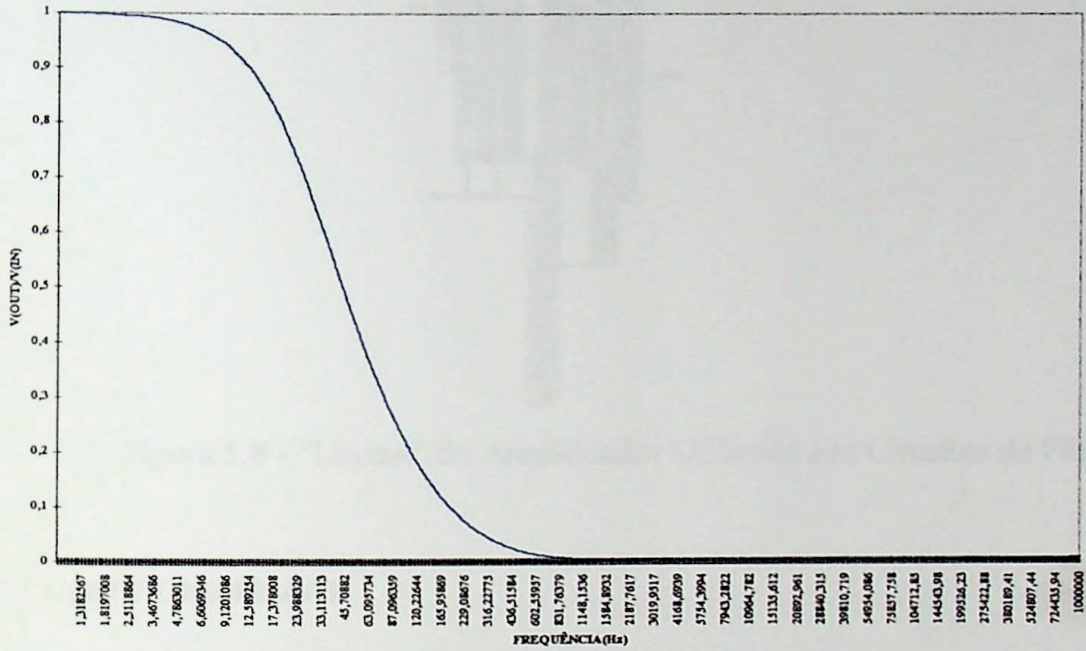
Figura 5.5 - "Layout" do Circuito Final de Amplificação.

5.2 FILTROS

Os circuitos utilizados como filtros foram mostrados nas Figuras 3.6 e 3.7. Para suas simulações utilizou-se os Arquivos de Simulação 5.3 e 5.4 do Apêndice I. Através das simulações da resposta em frequência, mostradas nas Figuras 5.6 e 5.7, verificou-se que os circuitos estão de acordo com o esperado.



A implementação dos filtros foi feita utilizando-se capacitores e resistores externos ao circuito integrado devido aos baixos valores de frequência de corte. O "layout" dos amplificadores utilizados nos filtros está ilustrado na Figura 5.8.



Figur

a 5.6 - Simulação do Circuito Utilizado como Filtro Passa-Baixa.

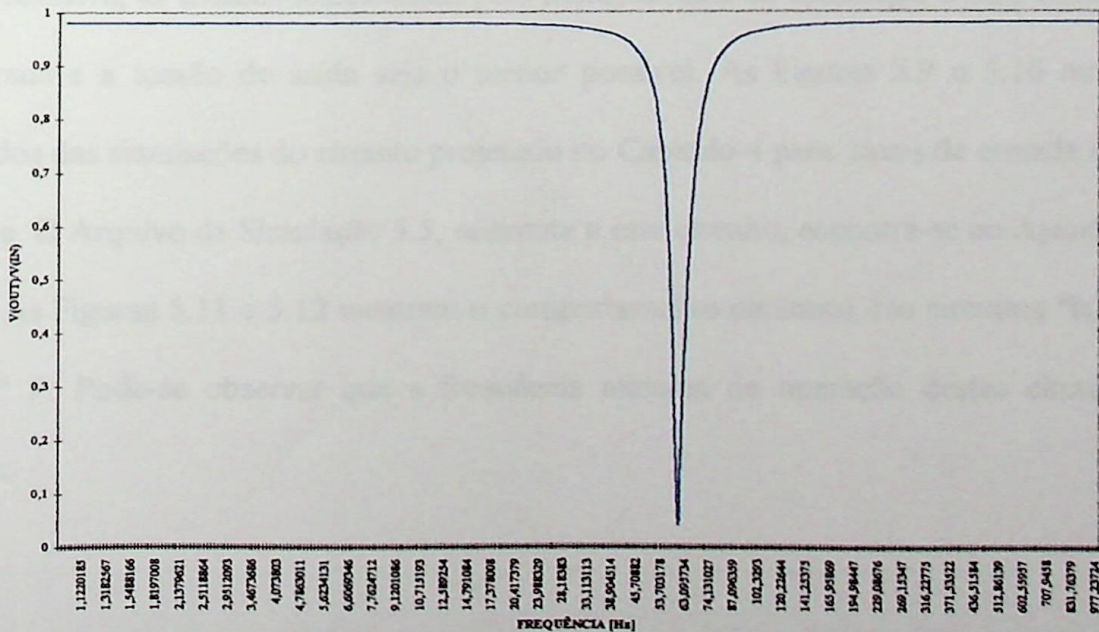


Figura 5.7 - Simulação do Circuito Utilizado como Filtro "Notch".

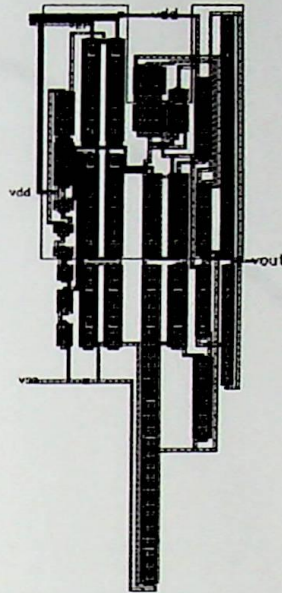


Figura 5.8 - "Layout" do Amplificador Utilizado nos Circuitos de Filtragem.

5.3 CONVERSOR A/D

5.3.1 "BUFFERS" N E P

Os amplificadores utilizados como "buffers" têm como objetivo fornecer à segunda escada resistiva, as tensões selecionadas pelo multiplexador de forma que o erro entre a tensão de entrada e a tensão de saída seja o menor possível. As Figuras 5.9 e 5.10 mostram os resultados das simulações do circuito projetado no Capítulo 4 para sinais de entrada senoidal e pulsante. O Arquivo de Simulação 5.5, referente a este circuito, encontra-se no Apêndice I.

As Figuras 5.11 e 5.12 mostram o comportamento dinâmico dos circuitos "buffer" N e "buffer" P. Pode-se observar que a frequência máxima de operação destes circuitos é de 10MHz.

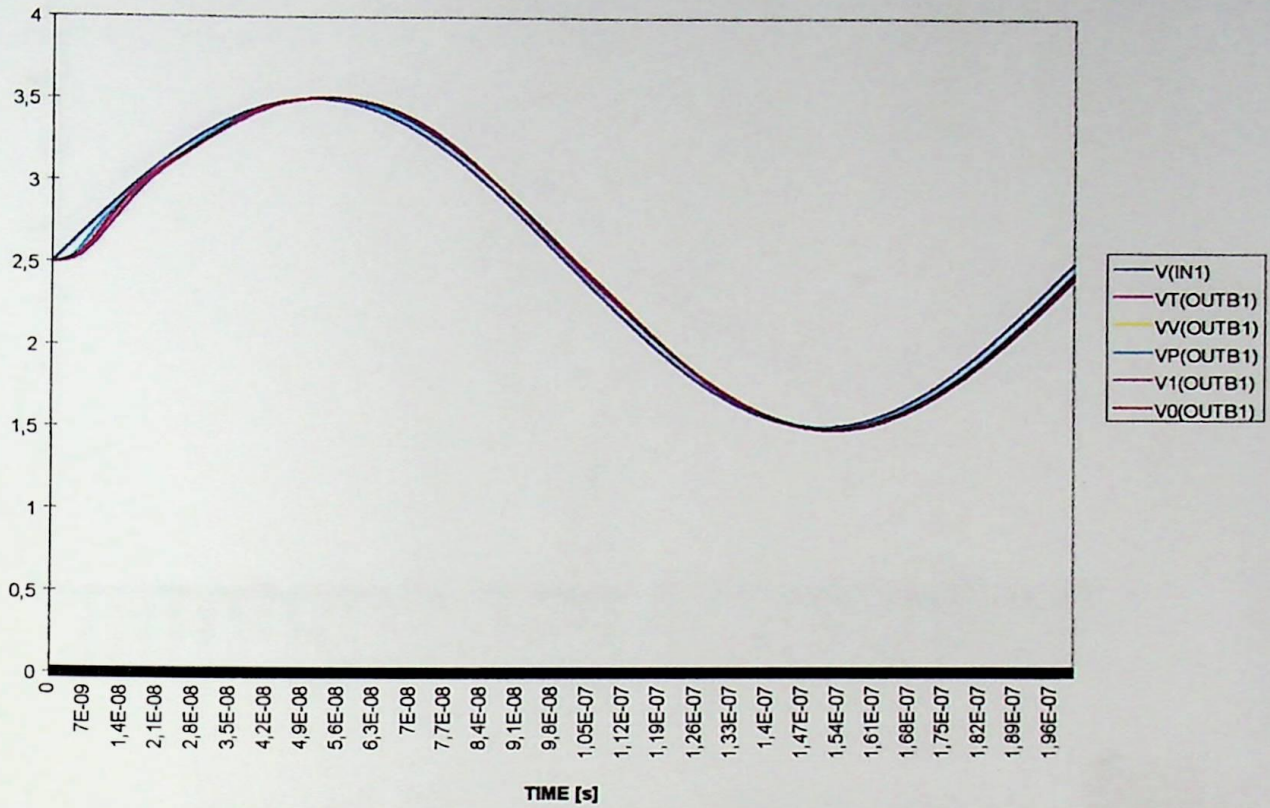


Figura 5.9 - Simulação do "Buffer" N.

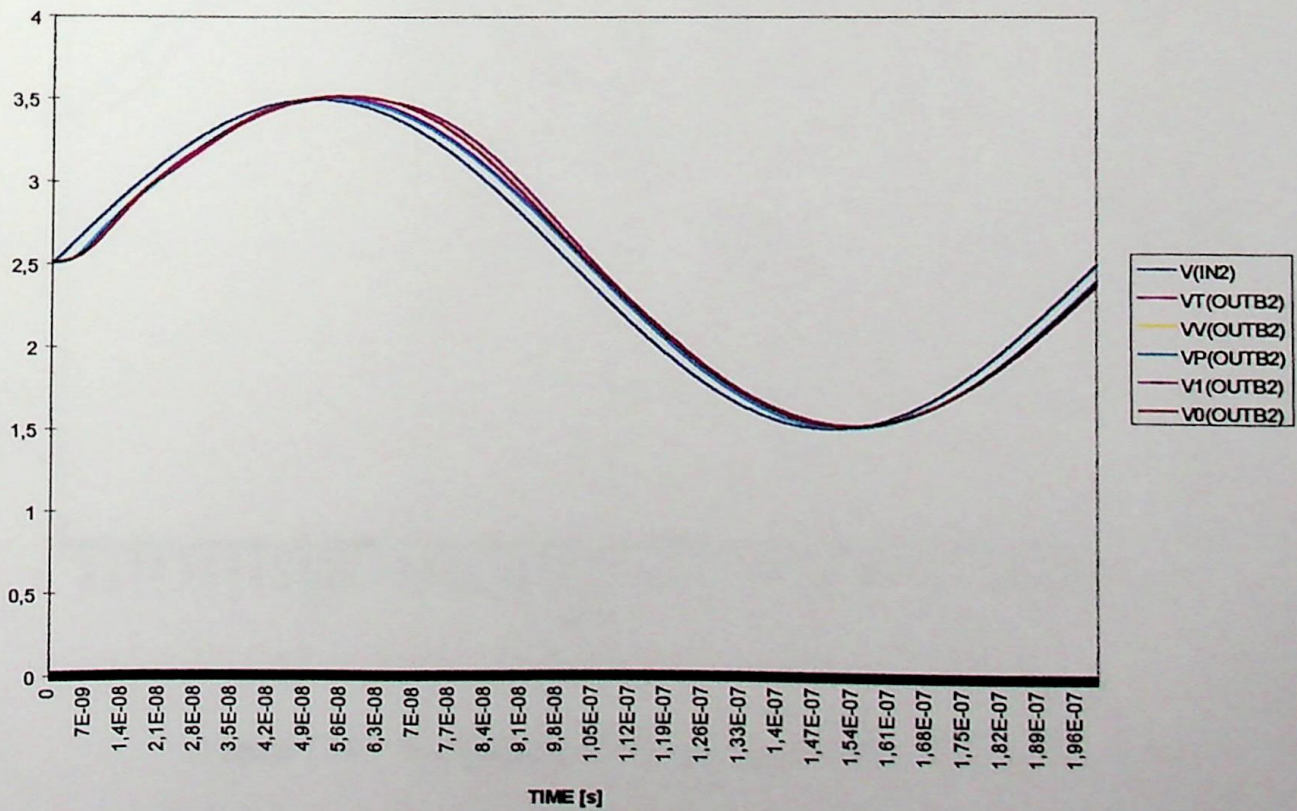


Figura 5.10 - Simulação do "Buffer" P.

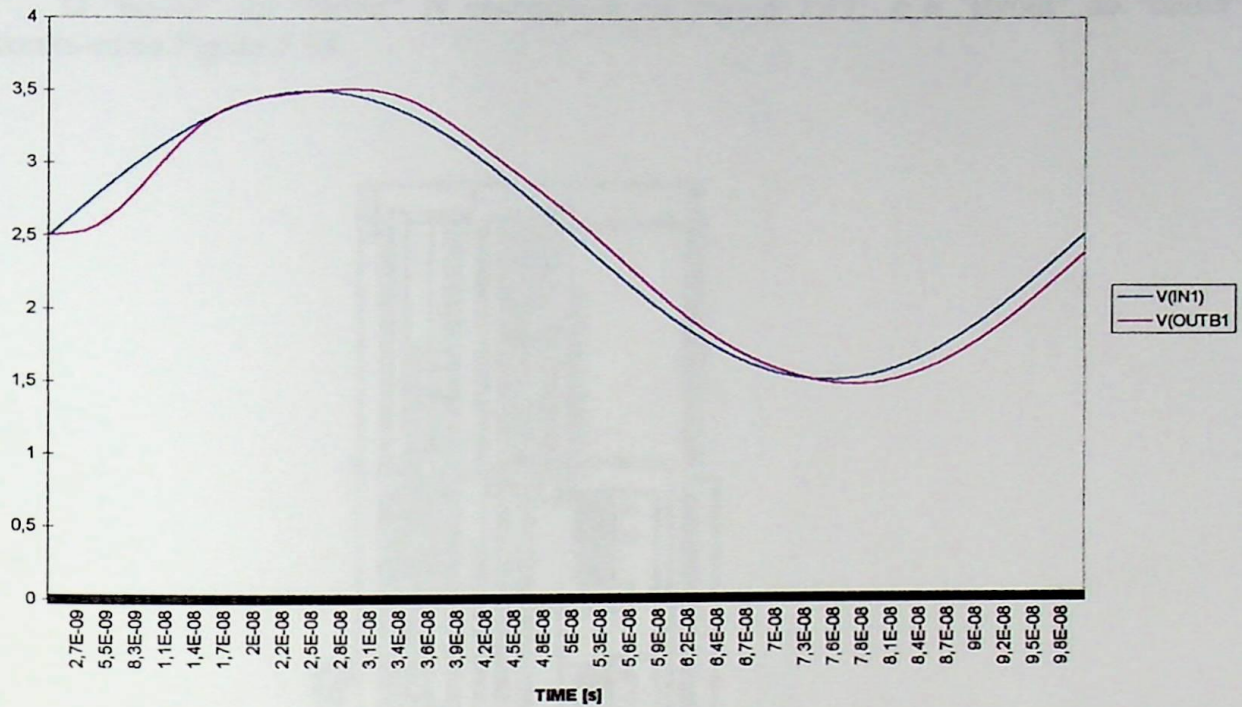


Figura 5.11 - Simulação do Comportamento Dinâmico do "Buffer" N.

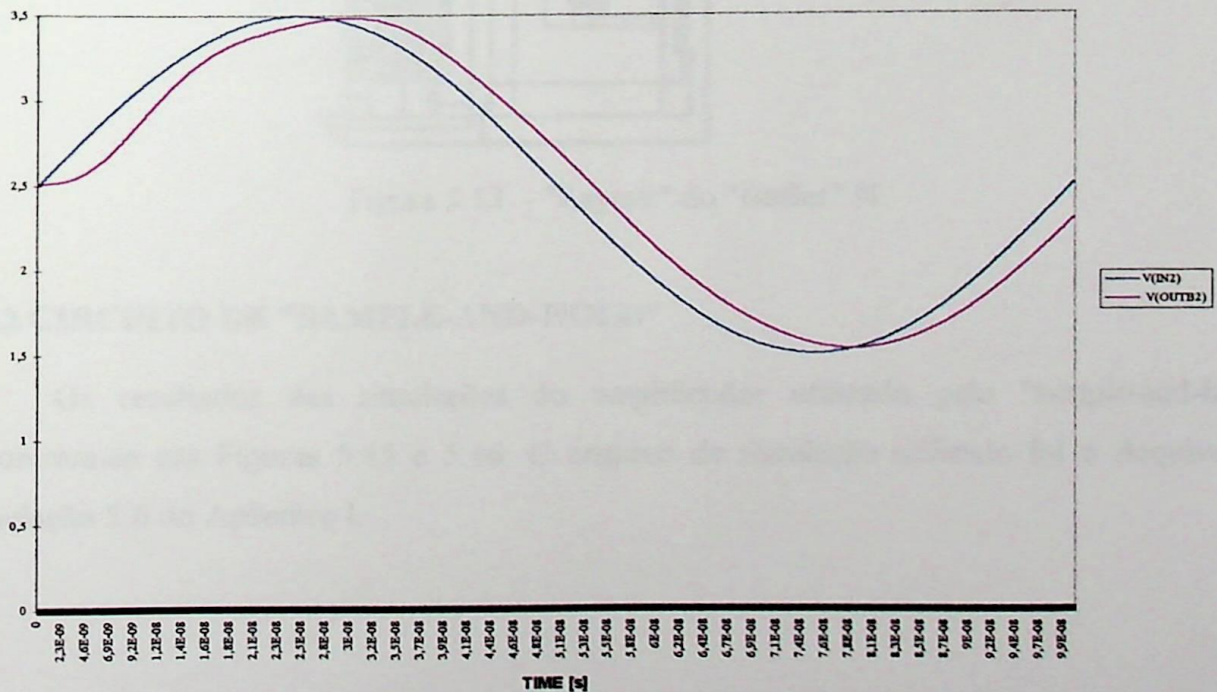


Figura 5.12 - "Simulação do Comportamento Dinâmico do "Buffer" P.

O "layout" do "buffer" N encontra-se na Figura 5.13 e o "layout" do "buffer" P encontra-se na Figura 5.14.

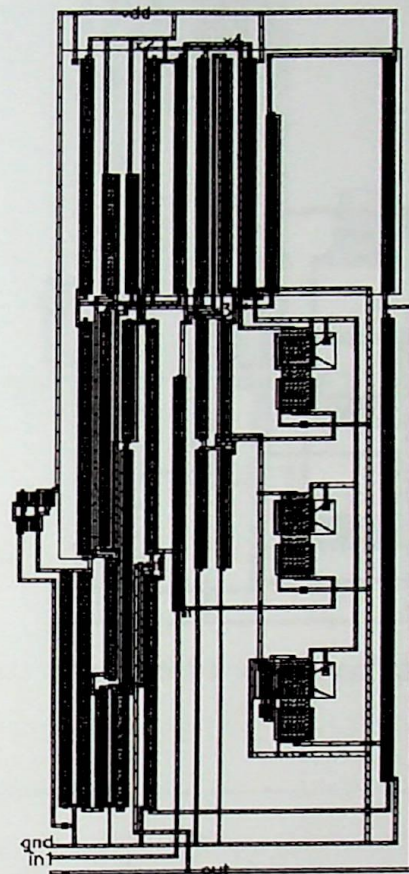


Figura 5.13 - "Layout" do "Buffer" N.

5.3.2 CIRCUITO DE "SAMPLE-AND-HOLD"

Os resultados das simulações do amplificador utilizado pelo "sample-and-hold" encontram-se nas Figuras 5.15 e 5.16. O arquivo de simulação utilizado foi o Arquivo de Simulação 5.6 do Apêndice I.

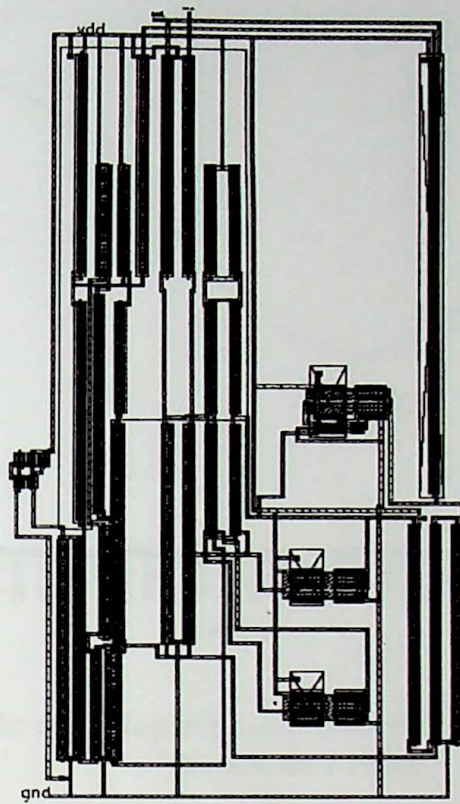


Figura 5.14 - "Layout" do "Buffer" P.

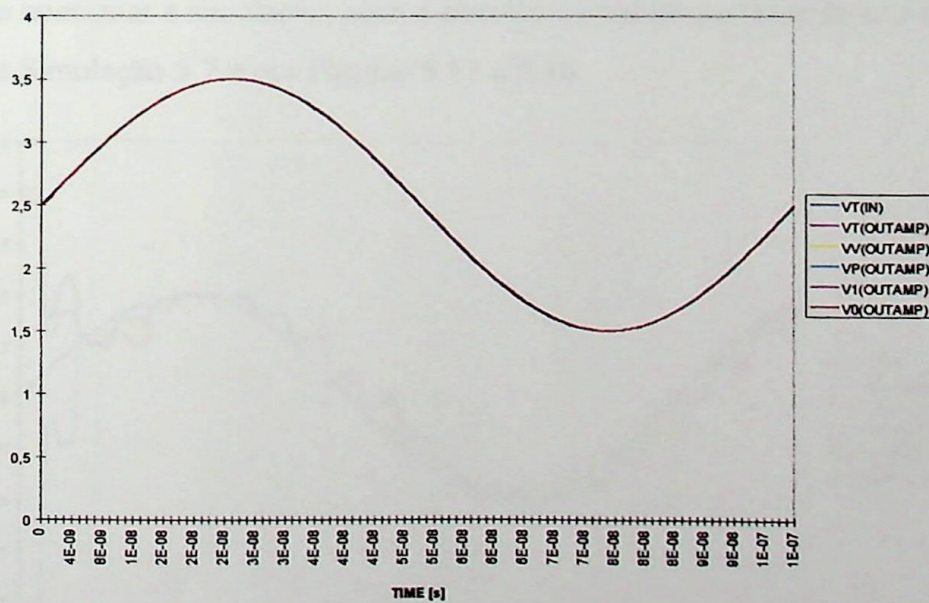


Figura 5.15 - Simulação do Amplificador do Circuito de "Sample-and-Hold".

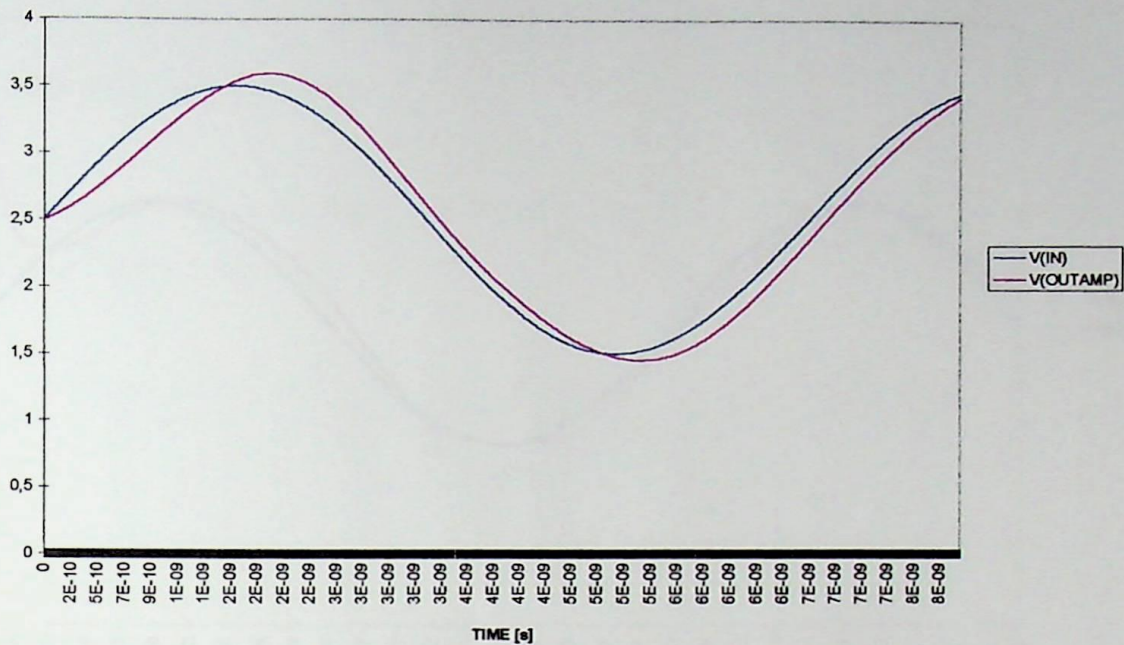


Figura 5.16 - Simulação do Comportamento Dinâmico do Amplificador do Circuito de "Sample-and-Hold".

Pela simulação do amplificador de "sample-and -hold", verificou-se que a saída está bem próxima a desejada. A frequência máxima de operação do circuito é de 150MHz. Devido a isto, pode-se continuar a simulação, com o circuito completo do "sample-and-hold" mostrada no Arquivo de Simulação 5.7 e nas Figuras 5.17 e 5.18.

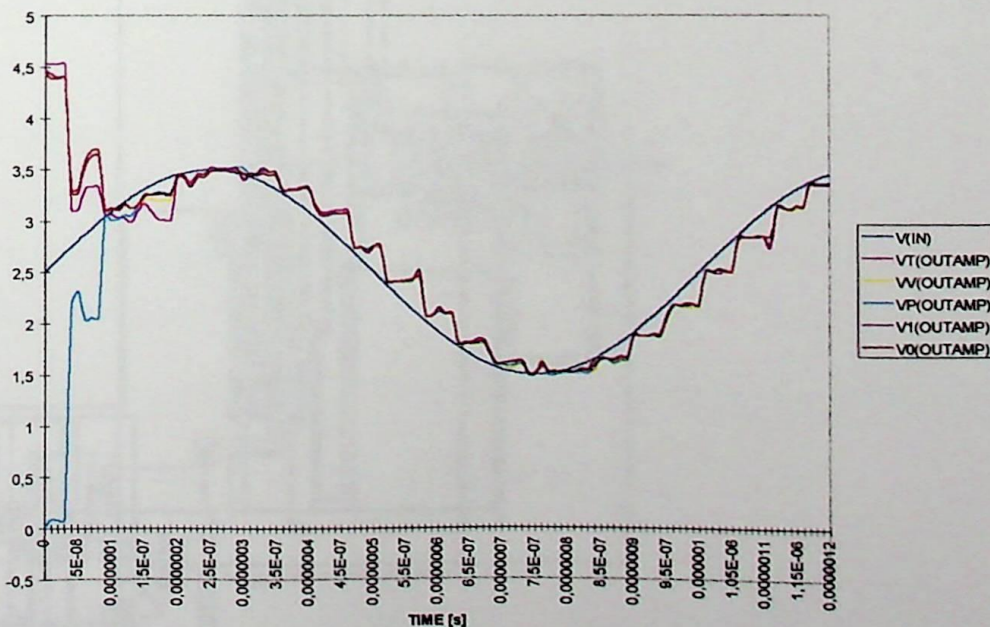


Figura 5.17 - Simulação do "Sample-and-Hold" para Entrada Senoidal.

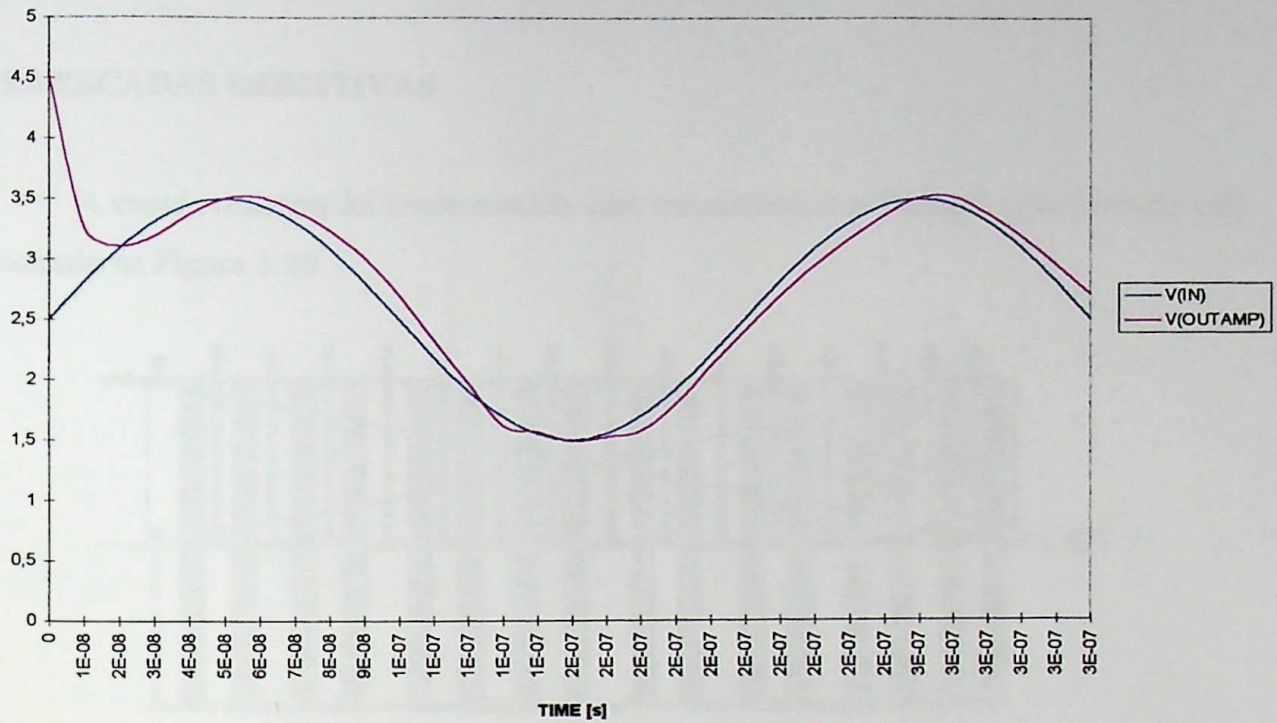


Figura 5.18 - Simulação do Comportamento Dinâmico do Circuito de "Sample-and-Hold".

A Figura 5.19 mostra o "layout" do circuito "sample-and-hold".

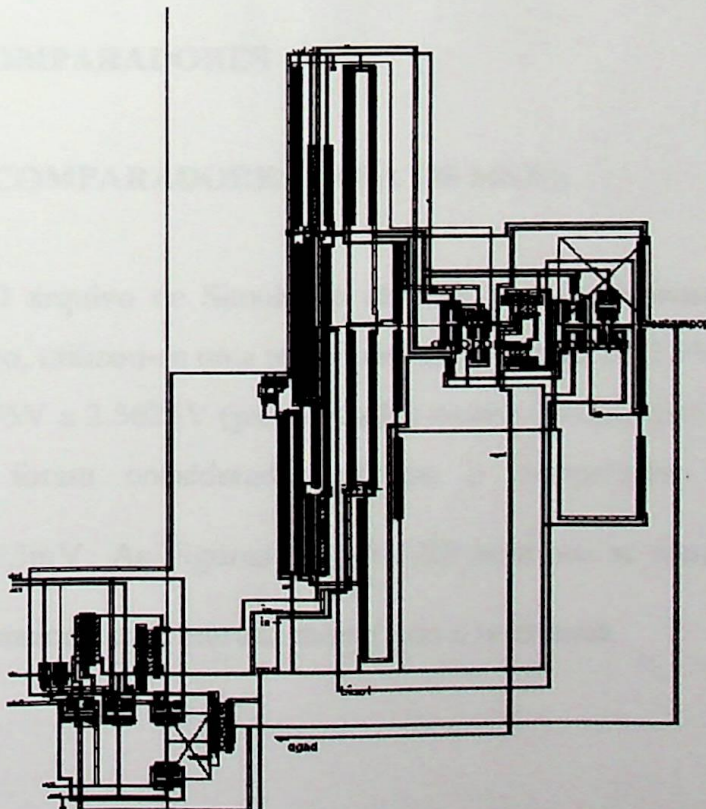


Figura 5.19 - "Layout" do Circuito de "Sample-and-Hold"

5.3.3 ESCADAS RESISTIVAS

A escada resistiva foi implementada com transistores e o "layout" deste circuito está mostrado na Figura 5.20.

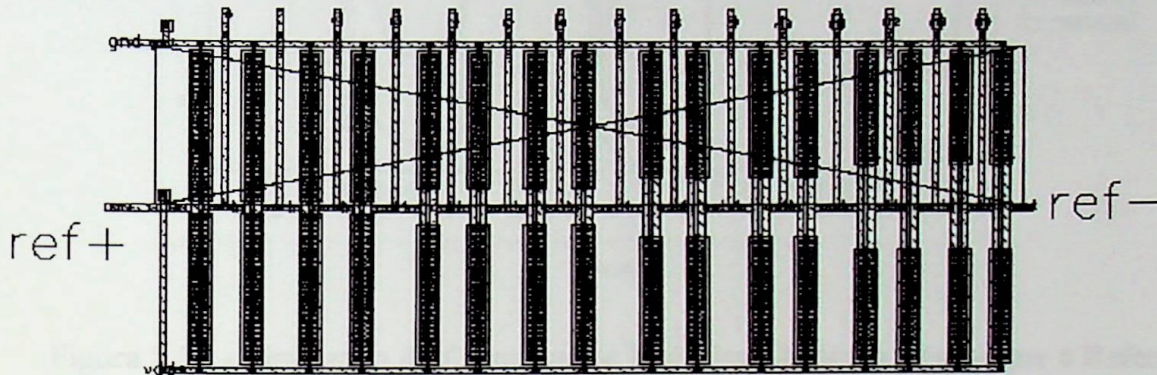


Figura 5.20 - "Layout" da Escada Resistiva.

5.3.4 COMPARADORES

5.3.4.1 COMPARADORES PARA OS MSB's

O arquivo de Simulação utilizado foi o 5.8 mostrado no Apêndice I e para a sua simulação, utilizou-se uma tensão de referência V1 de 2.5V e variou-se a tensão de entrada V2 de 2.4375V a 2.5625V (para entradas menor e maior que a referência respectivamente). Estes valores foram considerados porque o comparador deve responder a variações de $\frac{1V}{16} = 62,5mV$. As Figuras 5.21 e 5.22 mostram as simulações, respectivamente, para uma entrada maior e uma entrada menor que a referência.

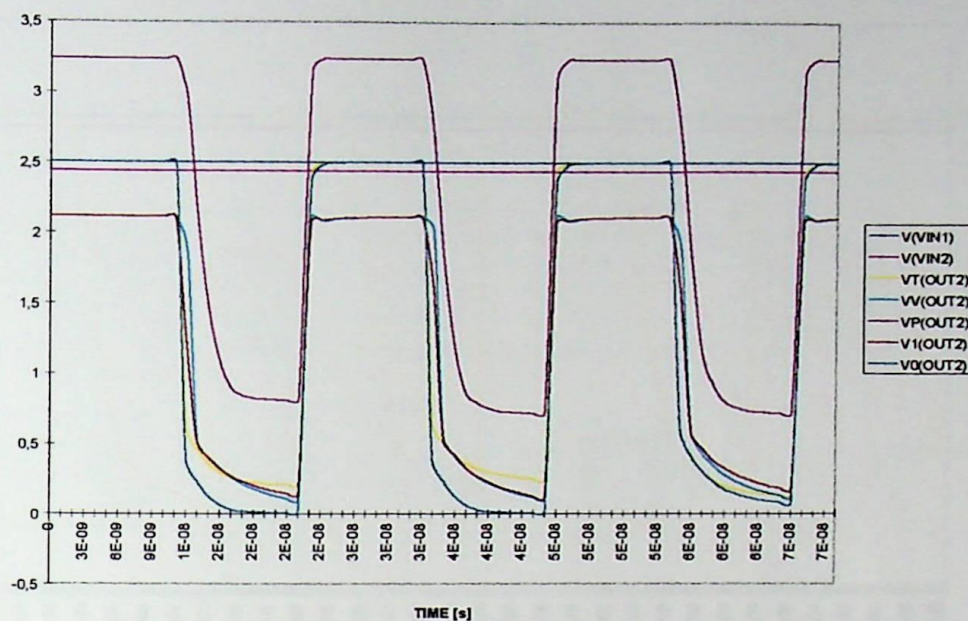


Figura 5.21 - Simulação do Comparador MSB para Entrada Menor que a Referência.

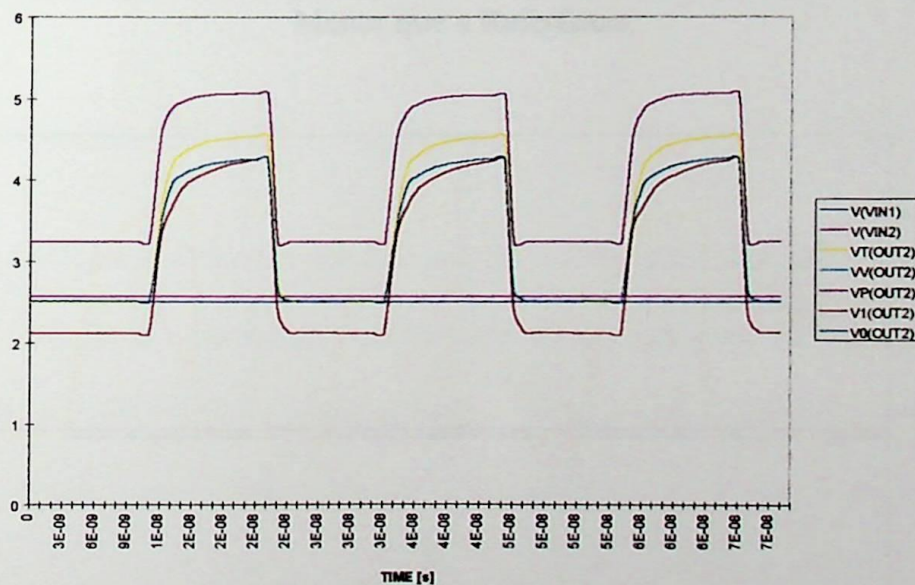


Figura 5.22 - Simulação do Comparador MSB para Entrada Maior que a Referência.

As Figuras 5.23 e 5.24 mostram as simulações do comportamento dinâmico do comparador para MSB's, que mostram que este circuito pode operar com uma frequência de até 125MHz.

O "layout" do comparador para MSBs está mostrado na Figura 5.25.

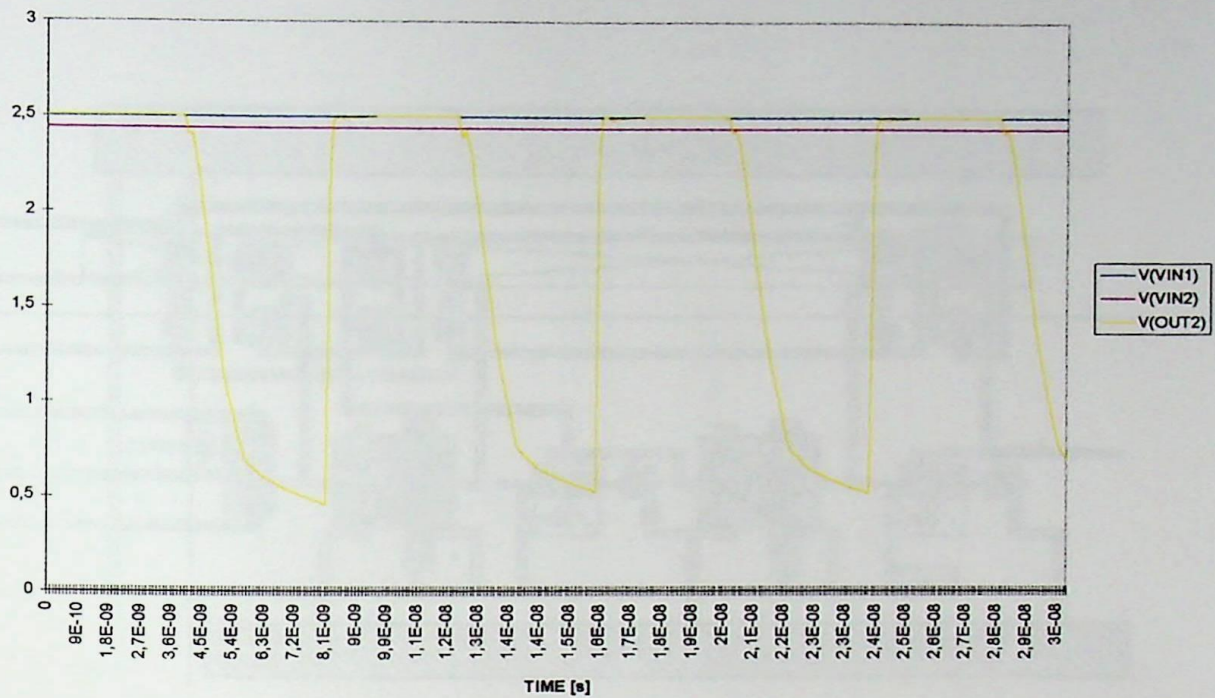


Figura 5.23 - Simulação do Comportamento Dinâmico do Comparador MSB para Entrada Menor que a Referência.

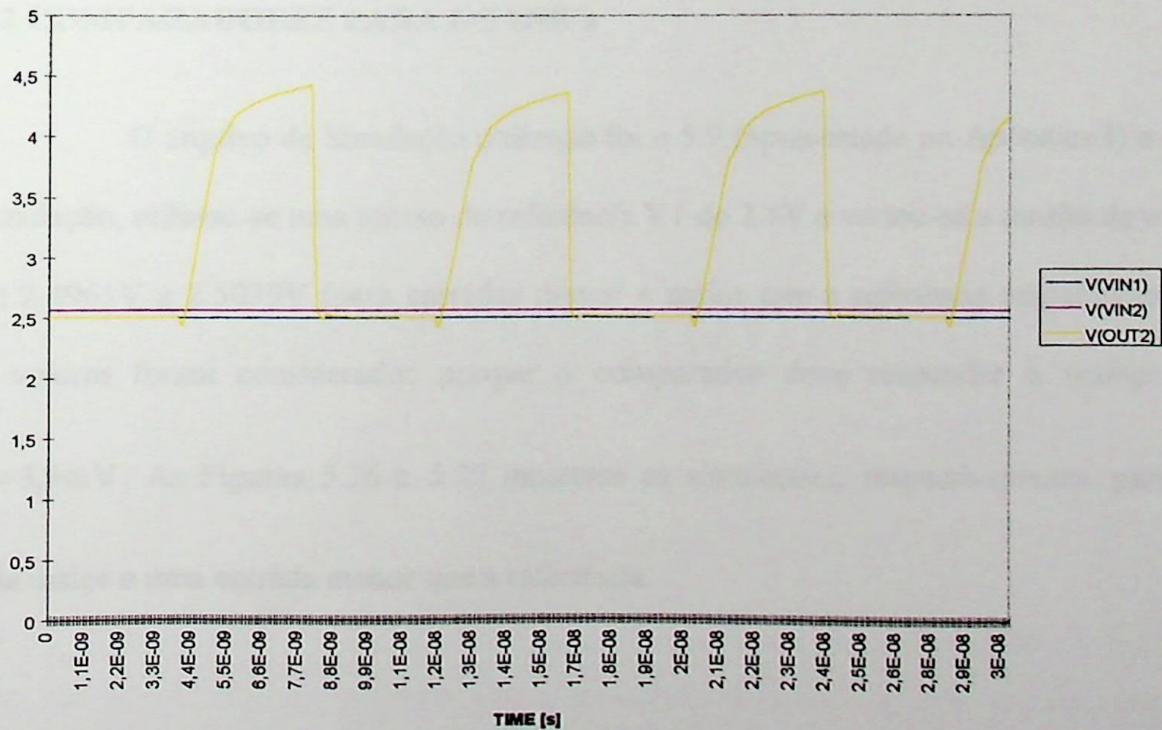


Figura 5.24 - Simulação do Comportamento Dinâmico do Comparador MSB para Entrada Maior que a Referência.

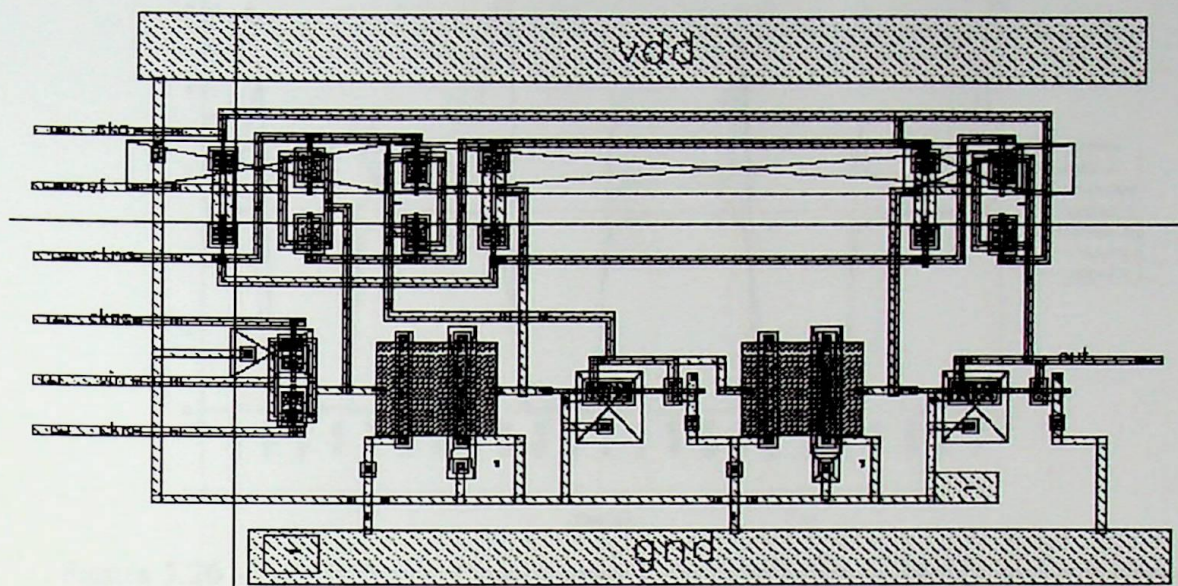


Figura 5.25 - "Layout" do Comparador para MSB's.

5.3.4.2 COMPARADORES PARA OS LSB's

O arquivo de Simulação utilizado foi o 5.9 (apresentado no Apêndice I) e para a sua simulação, utilizou-se uma tensão de referência V1 de 2.5V e variou-se a tensão de entrada V2 de 2.4961V a 2.5039V (para entradas menor e maior que a referência respectivamente).

Estes valores foram considerados porque o comparador deve responder a variações de

$\frac{1}{256} = 3,9\text{mV}$. As Figuras 5.26 e 5.27 mostram as simulações, respectivamente, para uma

entrada maior e uma entrada menor que a referência.

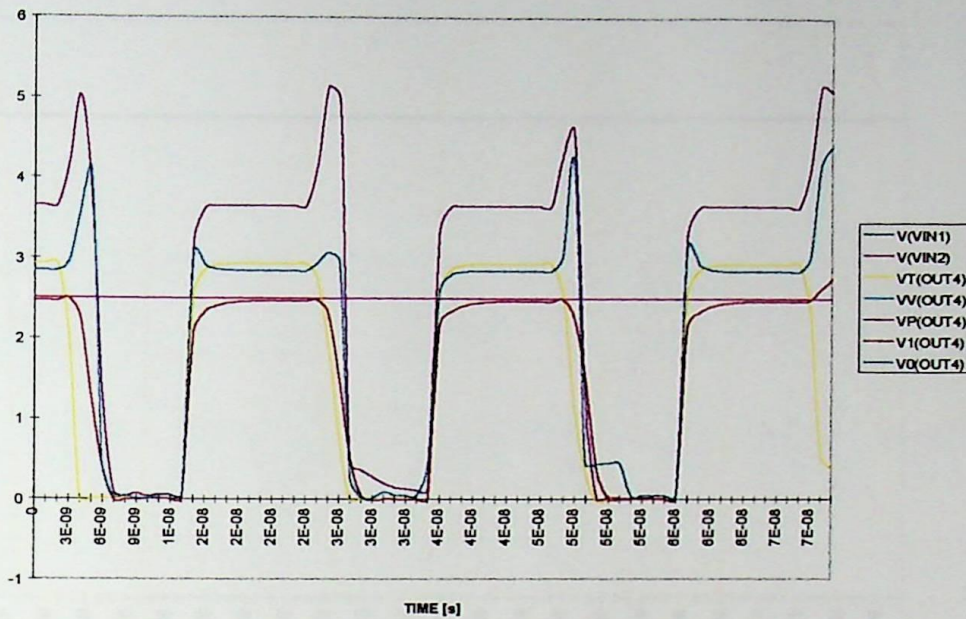


Figura 5.26 - Simulação do Comparador LSB para Entrada Menor que a Referência.

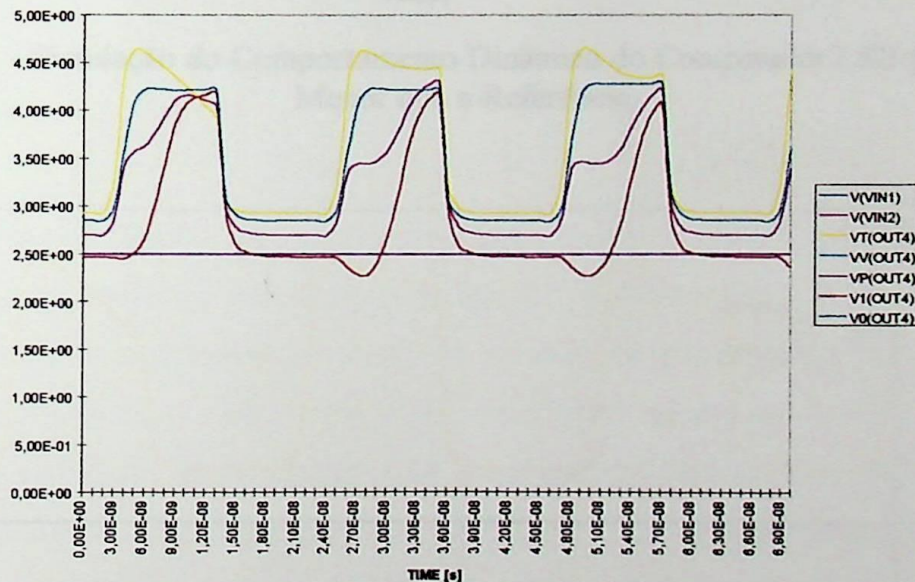


Figura 5.27 - Simulação do Comparador LSB para Entrada Maior que a Referência.

As Figuras 5.28 e 5.29 mostram as simulações do comportamento dinâmico do comparador para LSB's, que mostram que este circuito pode operar com uma frequência de até 45,5MHz. O "layout" do comparador para LSB's é mostrado na Figura 5.30.

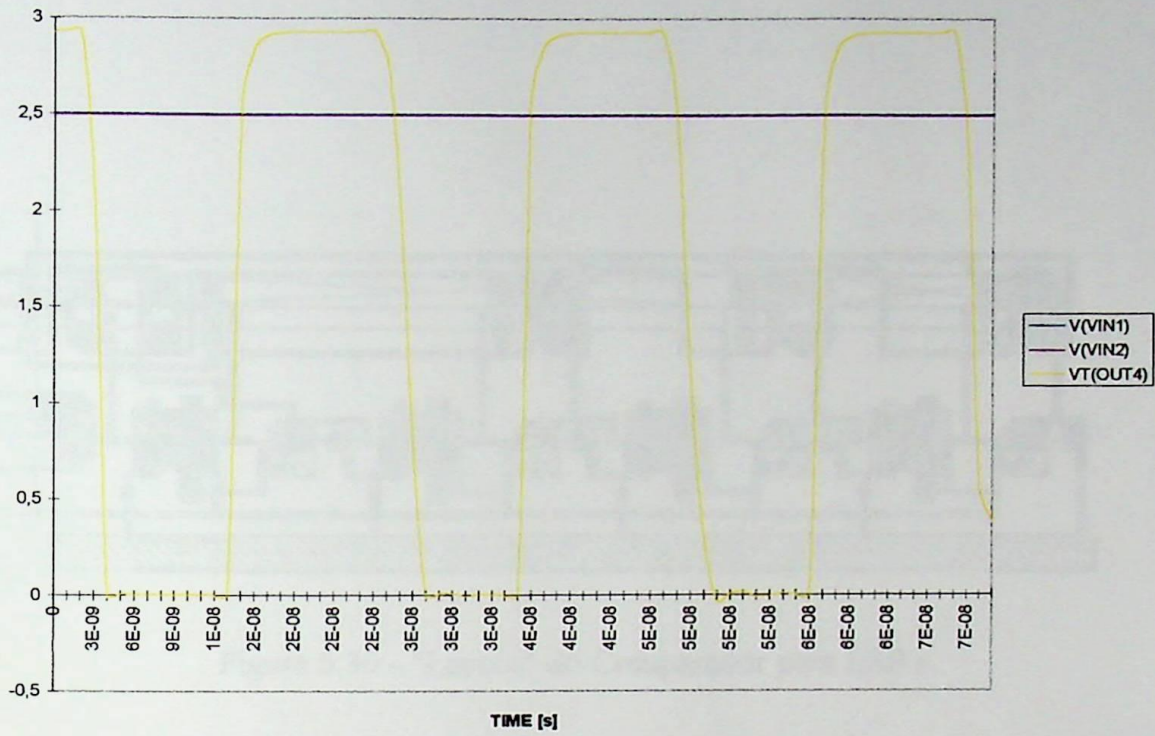


Figura 5.28 - Simulação do Comportamento Dinâmico do Comparador LSB para Entrada Menor que a Referência.

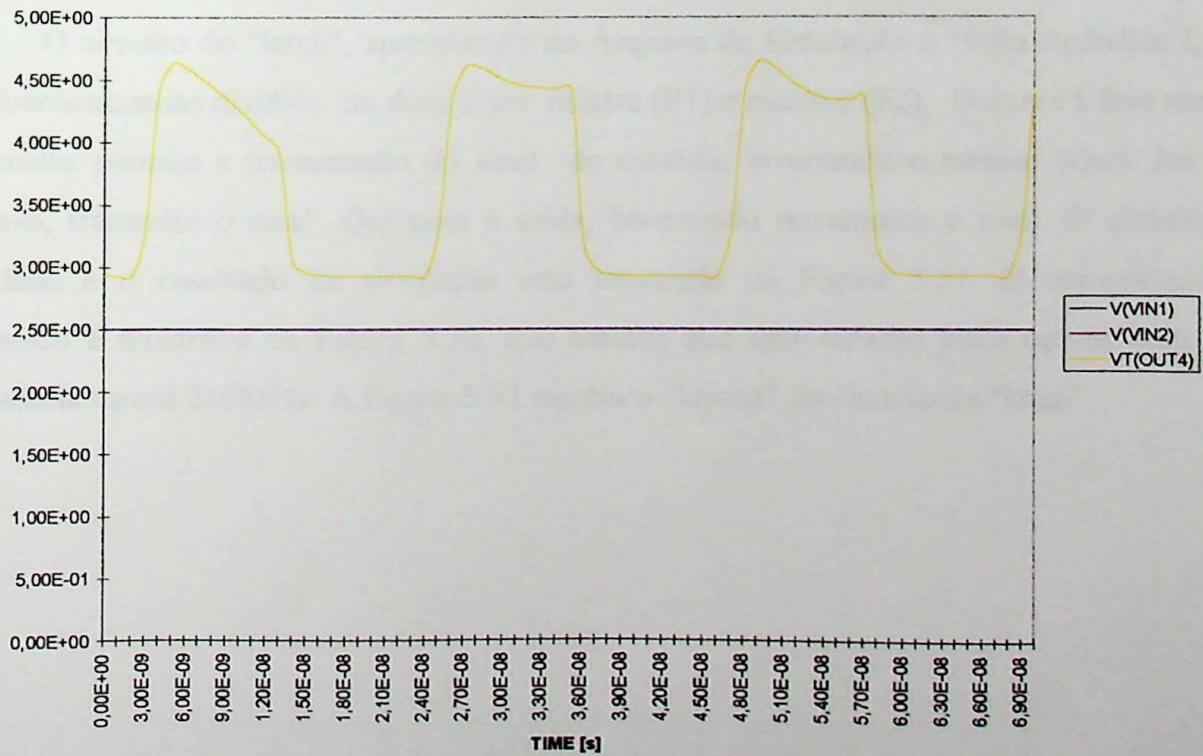


Figura 5.29 - Simulação do Comportamento Dinâmico do Comparador LSB para Entrada Maior que a Referência.

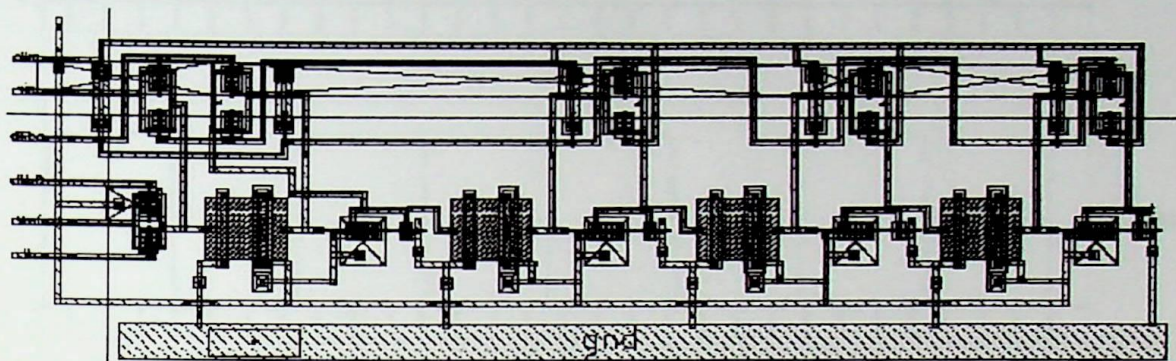


Figura 5.30 - "Layout" do Comparador para LSB's.

5.3.5 "LATCH"

O circuito do "latch", apresentado no Arquivo de Simulação 5.10 do Apêndice I, tem seu funcionamento dividido em duas fases: mestre (F1) e escravo (F2). Durante a fase mestre, o circuito permite a transmissão do sinal de entrada, invertendo o mesmo (Q_m). Na fase escravo, transmite o sinal Q_m para a saída, invertendo novamente o sinal. O circuito foi simulado e o resultado da simulação está mostrado na Figura 5.31. O comportamento Dinâmico é mostrado na Figura 5.32, que mostra que este circuito pode operar com uma frequência de até 210MHz. A Figura 5.33 mostra o "layout" do circuito de "latch".

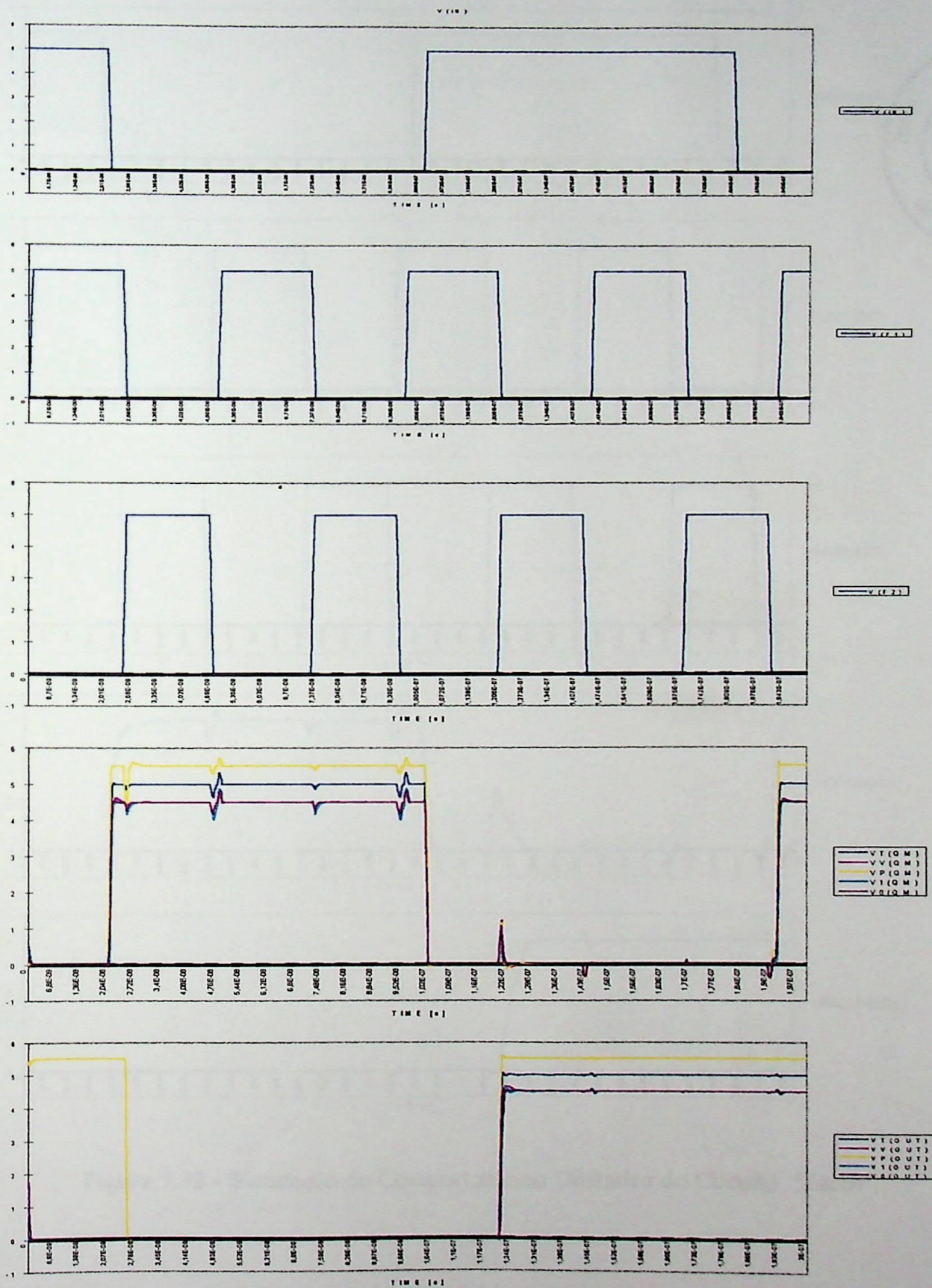


Figura 5.31 - Simulação do Circuito "Latch".

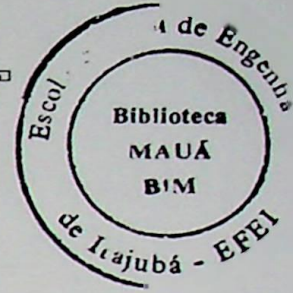


Figura 5.32 - Simulação do Comportamento Dinâmico do Circuito "Latch".

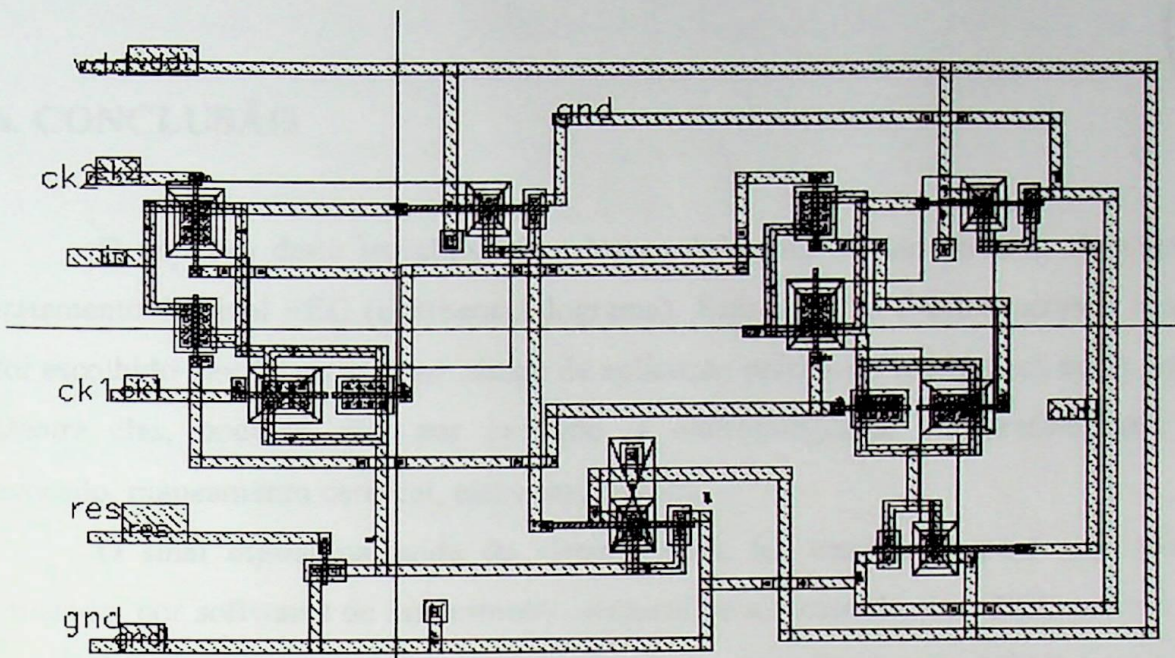


Figura 5.33 - "Layout" do Circuito de Latch.

A Figura 5.34 mostra o "layout" total do circuito utilizado para multiplexagem, filtragem e conversão A/D do sinal amplificado anteriormente pelo circuito de amplificação.

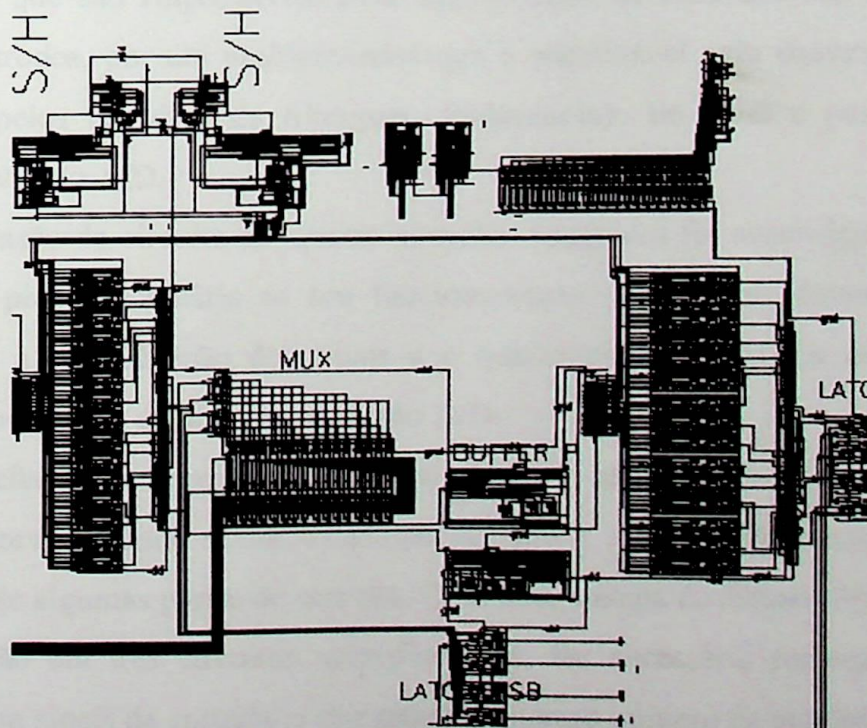
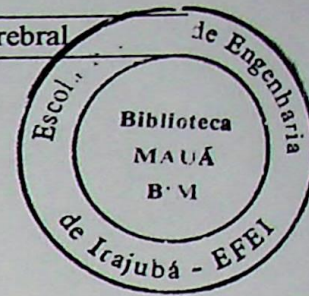


Figura 5.34 - "Layout" Total do Circuito Utilizado para Multiplexagem, Filtragem e Conversão A/D.



6. CONCLUSÃO

O objetivo deste trabalho foi o desenvolvimento de um circuito de amplificação e tratamento do sinal EEG (eletroencefalograma). Este trabalho é extremamente interessante e foi escolhido devido ao extenso campo de aplicação prática do mesmo em áreas relacionadas. Dentre elas, pode-se citar por exemplo, a eletromiografia, eletroretinografia, potencial evocado, mapeamento cerebral, eletrocardiografia.

O sinal digital na saída do circuito pode ser transferido para um computador e utilizado, por softwares de mapeamento cerebral para o caso do sinal EEG ou outros. Deve-se salientar que se trata de um circuito inédito, o que torna este trabalho alvo de grande interesse na área de bioengenharia. Deste modo seria interessante que fosse realizada a difusão e, com os devidos ajustes, comercializado.

Este circuito tem como objetivo, amplificar sinais de baixíssima amplitude, filtrá-lo e convertê-lo em um sinal digital. Para tal, é formado por um conjunto de vinte e um amplificadores que são responsáveis pela amplificação de cada um dos sinais de entrada vindos dos eletrodos, por um multiplexador que é responsável pelo chaveamento dos sinais amplificados, pelos circuitos de filtragem, deslocamento de nível e posteriormente pelo circuito de conversão A/D.

A separação do circuito em quatro circuitos integrados foi necessária devido a grande quantidade de pinos necessária ao seu funcionamento. Assim, três destes circuitos foram utilizados para a amplificação dos sinais e o quarto para os circuitos de multiplexagem, filtragem, deslocamento de nível e conversão A/D.

Foram efetuados o projeto e o "layout" de todas as partes do circuito e, durante estas fases, houve uma demanda maior de tempo do que a esperada no cronograma, devido a complexidade de algumas partes do circuito. Com isto, a etapa de difusão foi prejudicada.

A divisão em três circuitos amplificadores, foi necessária considerando o fato de serem vinte e um sinais de entrada, o que requer o mesmo número de amplificadores.

Como não foi possível conseguir altos valores de ganho utilizando-se componentes internamente ao circuito integrado, foi necessário que se deixasse pinos para a colocação de componentes externos. Isto fez com que cada amplificador necessitasse de quatro pinos de entrada além dos pinos de alimentação, o que aumentou consideravelmente o número de pinos necessários, provocando a divisão em três circuitos integrados.

Como idéias para uma futura continuidade deste projeto, pode-se citar por exemplo, a geração interna de fases de clock, que atualmente é feita externamente, e a execução dos circuitos de amplificação e filtragem utilizando componentes internos ao circuito. Para este último, pode-se utilizar por exemplo, circuitos chaveados.

APÊNDICE I

CIRCUITO UTILIZADO PARA AMPLIFICAÇÃO DO SINAL EEG

```

*****
*
.OPTIONS LIMPTS=3000000000000000000000000 ITL5=0 TRTOL=40 NUMDGT=9
+ RELTOL=0.01 ABSTOL=0.1P VNTOL=0.1U
+ ITL1=500 ITL2=200 ITL4=50
*
VDD 1 0 5V
VSS 2 0 -5V
VIN IN 0 SIN(0 1U 30HZ) AC 1
*
R1 X1 X3 100
R2 X1 X2 5K
R3 X3 X4 5K
R4 X2 X5 100
R5 X4 X6 100
R6 X5 X7 10K
R7 X6 0 10K
R8 X8 0 1K
R9 X8 OUT 100K
*
XAMP1 IN X1 1 2 X2 AMPR
XAMP2 0 X3 1 2 X4 AMPR
XAMP3 X6 X5 1 2 X7 AMPR
XAMP4 X7 X8 1 2 OUT AMPR
* +
.SUBCKT AMPR 3 X 1 2 15
* CIRCUITO DE POLARIZACAO
MB1 4 4 1 1 P L=10U W=6U
MB2 5 5 4 1 P L=10U W=6U
MB3 6 6 5 1 P L=10U W=6U
MB4 6 6 7 2 N L=6U W=12U
MB5 7 7 8 2 N L=6U W=20U
MB6 8 8 2 2 N L=6U W=20U
*
* PRIMEIRO ESTAGIO (PAR DIFERENCIAL)
* FONTE DE CORRENTE
MP1 9 4 1 1 P L=10U W=40U
MP2 10 5 9 1 P L=10U W=40U
* PAR DIFERENCIAL
* 15
MP3 11 X 10 1 P L=10U W=100U
MP4 12 3 10 1 P L=10U W=100U
MP5 13 7 11 1 P L=10U W=100U
MP6 14 7 12 1 P L=10U W=100U
*
* ESPELHO
MN1 13 13 2 2 N L=10U W=80U
MN2 14 13 2 2 N L=10U W=80U
*

```



```
MB5 7 7 8 2 N L=6U W=20U
MB6 8 8 2 2 N L=6U W=20U
*
* PRIMEIRO ESTAGIO (PAR DIFERENCIAL)
* FONTE DE CORRENTE
MP1 9 4 1 1 P L=10U W=40U
MP2 10 5 9 1 P L=10U W=40U
* PAR DIFERENCIAL
* 15
MP3 11 X 10 1 P L=10U W=100U
MP4 12 3 10 1 P L=10U W=100U
MP5 13 7 11 1 P L=10U W=100U
MP6 14 7 12 1 P L=10U W=100U
*
* ESPELHO
MN1 13 13 2 2 N L=10U W=80U
MN2 14 13 2 2 N L=10U W=80U
*
*SEGUNDO ESTAGIO
MP2S 16 4 1 1 P L=10U W=80U
MN2S 16 14 2 2 N L=10U W=320U
*
*TERCEIRO ESTAGIO
* ESPELHOS
MPE1 18 4 1 1 P L=10U W=80U
MNE1 18 18 2 2 N L=10U W=80U
MPE2 19 4 1 1 P L=10U W=80U
MNE2 20 18 2 2 N L=10U W=80U
MPE3 2 16 19 1 P L=6U W=70U
MNE3 1 16 20 2 N L=6U W=70U
*
* SAIDA
MS1N 1 19 15 2 N L=4U W=120U
MS1P 2 20 15 1 P L=4U W=240U
*
*COMPENSACAO
RC 16 200 15K
CC 200 14 2P
*RC 16 200 2K
*CC 200 14 1P
.ENDS
*
*
.LIB ES2.LIB
.PRINT DC V([IN]) V([OUT])
.DC VIN -5 5 .01
.PROBE
.END
```

Arquivo de Simulação 5.2 - Análise DC do Amplificador EEG.

```

FILTRO BUTTERWORTH FC=32HZ
*****
.OPTIONS LIMPTS=30000000000000000000000000000000 ITL5=0 TRTOL=40 NUMDGT=9
+ RELTOL=0.01 ABSTOL=0.1P VNTOL=0.1U
+ ITL1=500 ITL2=200 ITL4=50
*
VDD 1 0 5V
VSS 5 0 -5V
VIN IN 0 SIN(0 1 30HZ) AC 1
*
C1 Y2 0 70N
C2 Y1 OUT 28N
R1 IN Y1 50K
R2 Y1 Y2 50K
RF Y3 OUT 100K
XAMP2 Y2 Y3 1 5 OUT AMPR
* + _
.LIB ES2.LIB
*
.PRINT AC V([OUT]) V([IN])
.AC DEC 100 1 1MEG
.PROBE
.END
    
```

Arquivo de Simulação 5.3 - Circuito Utilizado para o Filtro Passa-Baixa.

```

FILTRO NOTCH FC=60HZ
*****
.OPTIONS LIMPTS=30000000000000000000000000000000 ITL5=0 TRTOL=40 NUMDGT=9
+ RELTOL=0.01 ABSTOL=0.1P VNTOL=0.1U
+ ITL1=500 ITL2=200 ITL4=50
VDD 1 0 5V
VSS 2 0 -5V
VIN IN 0 SIN(0 1M 60HZ) AC 1
*
R1 IN X1 530.5
R2 X2 OUT 53.05K
RA IN X3 1K
RB X3 0 50K
C1 X1 OUT .5U
C2 X1 X2 .5U
XAMP X3 X2 1 2 OUT AMPR
* + _
.ENDS
.LIB ES2.LIB
.AC DEC 100 1 1K
.PRINT AC V([OUT]) V([IN])
.PROBE
.END
    
```

Arquivo de Simulação 5.4 - Circuito Utilizado para o Filtro Notch.

BUFFERS N E P

*
 .OPTIONS LIMPTS=30000 ITL5=0 TRTOL=40 NUMDGT=9
 + RELTOL=0.0001 ABSTOL=0.01P VNTOL=0.01U

*
 VDD VDD 0 5V
 VGND GND 0 2.5V
 IBIAS VDD BIAS3 400uA
 VIN1 IN1 0 SIN(2.5 1 10MEG 0 0)
 VIN2 IN2 0 SIN(2.5 1 10MEG 0 0)

*CIRCUITO DE POLARIZACAO

*
 MB1 BIAS3 BIAS3 0 0 N W=200u L=2u
 MB2 BIAS1 BIAS1 VDD VDD P W=200u L=2u
 MB3 Z0 Z0 BIAS1 VDD P W=200u L=2u
 MB4 Z0 BIAS3 0 0 N W=200u L=2.125u
 MB5 Z1 BIAS2 VDD VDD P W=100u L=6u
 MB6 BIAS2 BIAS2 Z1 VDD P W=200u L=1.25u
 MB7 BIAS2 BIAS2 Z3 0 N W=100u L=2u
 MB8 Z3 BIAS3 0 0 N W=100u L=2.125u
 MB9 Z4 BIAS1 VDD VDD P W=100u L=2.125u
 MB10 BIAS5 BIAS5 Z4 VDD P W=100u L=2u
 MB11 BIAS5 BIAS5 Z2 0 N W=200u L=1.25u
 MB12 Z2 BIAS5 0 0 N W=100u L=6u

* BUFFER N

*
 M1 A1 BIAS1 VDD VDD P W=200u L=2u
 * INAC1
 M2 A1 OUTB1 IPD1 0 N W=200u L=2u
 M3 IPD1 BIAS3 0 0 N W=200u L=2u
 M4 A2 BIAS1 VDD VDD P W=200u L=2u
 M5 A2 IN1 IPD1 0 N W=200u L=2u
 M6 C1 BIAS2 A1 VDD P W=200u L=2u
 M7 C1 C1 C3 0 N W=100u L=2u
 M8 C3 C3 0 0 N W=100u L=2u
 M9 C2 BIAS2 A2 VDD P W=200u L=2u
 M10 C2 C1 C4 0 N W=100u L=2u
 M11 C4 C3 0 0 N W=100u L=2u
 M12 OUTB1 IS1 VDD VDD P W=200u L=2u
 M13 OUTB1 BIAS3 0 0 N W=400u L=2u
 M14 IS1 BIAS1 VDD VDD P W=200u L=2u
 M15 0 C2 IS1 VDD P W=150u L=2u

*C1P OUTP GND 0.2P

*MALHA RC DE COMPENSACAO DO AMPOP

*
 CC1 OUTB1 X1 2P
 MC11 X1 VDD C2 0 N W= 8u L=2u
 MC12 C2 0 X1 VDD P W=24u L=2u
 CB1 A1 C1 2P



```

CB2 A2 C2 2P
*
*BUFFER P
*
M21 IPD2 BIAS1 VDD VDD P W=200u L=2u
*
INAC2
M22 B1 OUTB2 IPD2 VDD P W=200u L=2u
M23 B1 BIAS3 0 0 N W=200u L=2u
M24 B2 IN2 IPD2 VDD P W=200u L=2u
M25 B2 BIAS3 0 0 N W=200u L=2u
M26 D3 D3 VDD VDD P W=100u L=2u
M27 D1 D1 D3 VDD P W=100u L=2u
M28 D1 BIAS5 B1 0 N W=100u L=2u
M29 D4 D3 VDD VDD P W=100u L=2u
M30 D2 D1 D4 VDD P W=100u L=2u
M31 D2 BIAS5 B2 0 N W=100u L=2u
M32 OUTB2 BIAS1 VDD VDD P W=400u L=2u
M33 OUTB2 IS2 0 0 N W=200u L=2u
M34 VDD D2 IS2 0 N W=200u L=2u
M35 IS2 BIAS3 0 0 N W=200u L=2u
*C1N OUTN GND 0.2P
*
*MALHA RC DE COMPENSACAO DO AMPOP
*
CC2 OUTB2 X2 2P
MC21 X2 VDD D2 0 N W= 8u L=2u
MC22 D2 0 X2 VDD P W=24u L=2u
CB3 B1 D1 2P
CB4 B2 D2 2P
*
.LIB ES2.LIB
R1 OUTB1 OUTB2 800
CL1 OUTB1 GND .5P
CL2 OUTB2 GND .5P
*
*ANALISES
*
.TRAN 0.1N 100N
.PRINT TRAN V([IN1]) V([IN2]) V([OUTB1]) V([OUTB2])
.PROBE
.END
    
```

Arquivo de Simulação 5.5 - Circuito Utilizado para a Simulação dos Buffers N e P.

```

AMPLIFICADOR DO SAMPLE HOLD
*****
*VDD 1 0 5V
*VSS 2 0 -5V
VDD VDD 0 5V
VGND GND 0 2.5V
IBIAS VDD BIAS3 200uA
*
VIN IN GND PULSE(-1 1 12.5N 1N 1N 12.5N 25N)
    
```

```

*VIN  IN 0  SIN(2.5 1 10MEG 0 0)
*
*
MB1  BIAS3 BIAS3 0 0 N W=200u L=2u
MB2  BIAS1 BIAS1 VDD VDD P W=200u L=2u
MB3  B3 B3 BIAS1 VDD P W=200u L=2u
MB4  B3 BIAS3 0 0 N W=200u L=2.1u
MB5  BIAS5 BIAS2 VDD VDD P W=100u L=6u
MB6  BIAS2 BIAS2 BIAS5 VDD P W=200u L=1.2u
MB7  BIAS2 BIAS2 B8 0 N W=100u L=2u
MB8  B8 BIAS3 0 0 N W=100u L=2.1u
MB9  B9 BIAS1 VDD VDD P W=100u L=2.1u
MB10 BIAS4 BIAS4 B9 VDD P W=100u L=2u
MB11 BIAS4 BIAS4 BIAS6 0 N W=200u L=1.2u
MB12 BIAS6 BIAS4 0 0 N W=100u L=6u
*
*AMPOP P
*MP1  P1 BIAS3 0 0 N W=20u L=2u
MP2  P2 BIAS3 0 0 N W=20u L=2u
MP3  P1 8 P5 VDD P W=20u L=2u
MP4  P2 11 P5 VDD P W=20u L=2u
MP5  P5 BIAS1 VDD VDD P W=20u L=2u
MP6  P7 BIAS4 P1 0 N W=10u L=2u
MP7  P7 P7 P8 VDD P W=10u L=2u
MP8  P8 P8 VDD VDD P W=10u L=2u
MP9  OUTP BIAS4 P2 0 N W=10u L=2u
MP10 OUTP P7 P11 VDD P W=10u L=2u
MP11 P11 P8 VDD VDD P W=10u L=2u
C1P  OUTP GND 0.2P
*
*AMPOP N
*MN1  N1 BIAS1 VDD VDD P W=20u L=2u
MN2  N2 BIAS1 VDD VDD P W=20u L=2u
MN3  N1 BIAS5 N5 0 N W=20u L=2u
MN4  N2 2 N5 0 N W=20u L=2u
MN5  N5 BIAS3 0 0 N W=20u L=2u
MN6  N7 BIAS2 N1 VDD P W=10u L=2u
MN7  N7 N7 N8 0 N W=10u L=2u
MN8  N8 N8 0 0 N W=10u L=2u
MN9  OUTN BIAS2 N2 VDD P W=10u L=2u
MN10 OUTN N7 N11 0 N W=10u L=2u
MN11 N11 N8 0 0 N W=10u L=2u
C1N  OUTN GND 0.2P
*
*CIRCUITO PRINCIPAL
*
M1  1 BIAS1 VDD VDD P W=200u L=1.2u
M2  2 BIAS1 VDD VDD P W=200u L=1.2u
M3  1 IN 5 0 N W=200u L=1.2u
M4  2 OUTAMP 5 0 N W=200u L=1.2u
M5  5 BIAS3 0 0 N W=200u L=1.2u
M6  7 BIAS2 1 VDD P W=100u L=1.2u
M7  7 7 8 0 N W=100u L=1.2u
M8  8 8 0 0 N W=100u L=1.2u

```

```

M9  OUTAMP OUTN 2  VDD P  W=100u L=1.2u
M10 OUTAMP OUTP 11 0  N  W=100u L=1.2u
M11 11 8 0 0  N  W=100u L=1.2u
*
*ANALISES
*.LIB ES2.LIB
.TRAN IN 40N
.OPTIONS LIMPTS=300000000000000000 ITL5=0 TRTOL=40
.PRINT TRAN V([IN]) V([OUTAMP])
.PROBE
.END

```

Arquivo de Simulação 5.6 - Amplificador Utilizado no Circuito de Sample/Hold.

```

SAMPLE HOLD
*****
*VDD 1 0 5V
*vss 2 0 -5V
VDD  VDD 0 5V
*vss  VSS 0 0V
VGND  GND 0 2.5V
IBIAS VDD BIAS3 200uA
VIN  IN 0 SIN(2.5 1 1MEG 0 0)
*
VF1  F1 0 PULSE(0 5 3N 1N 1N 25N 54N)
VNF1 NF1 0 PULSE(5 0 3N 1N 1N 25N 54N)
VF2  F2 0 PULSE(0 5 30N 1N 1N 25N 54N)
VNF2 NF2 0 PULSE(5 0 30N 1N 1N 25N 54N)
*
*INTERRUPTOR DUMMY
*
.SUBCKT INTCOMP INIC OUTIC F NF VDD
M1  INIC NF OUTIC VDD P W=10u L=1u
M2  OUTIC F INIC 0 N W=10u L=1u
M3  INIC NF INIC 0 N W=5u L=1u
M4  INIC F INIC VDD P W=5u L=1u
.ENDS
XAMP1 GND INAMP VDD OUTAMP BIAS3 GND AMPS
*
*LIGACAO DAS CAPACIDADES E INTERRUPTORES
*
X1  X1 IN F1 NF1 VDD INTCOMP
X2  X2 GND F1 NF1 VDD INTCOMP
X3  INAMP X3 F1 NF1 VDD INTCOMP
X4  X3 GND F2 NF2 VDD INTCOMP
X5  X1 OUTAMP F2 NF2 VDD INTCOMP
C1  X1 X2 0.5P
C2  X2 INAMP 0.5P
C3  X3 OUTAMP 0.5P
*

```

```
.LIB ES2.LIB
.TRAN 10N 1200N
.OPTIONS LIMPTS=3000000000000000000 ITL5=0 TRTOL=40
.PRINT TRAN V([IN]) V([OUTAMP])
.PROBE
.END
```

Arquivo de Simulação 5.7 - Circuito de Sample/Hold.

```
COMPARADOR PARA O PRIMEIRO SUBCONVERSOR
*****
VDD VDD 0 5V
V1 VIN1 0 2.5
V2 VIN2 0 2.4375
VF1 F1 0 PULSE(0 5 11N 1N 1N 10N 22N)
VNF1 NF1 0 PULSE(5 0 11N 1N 1N 10N 22N)
VF2 F2 0 PULSE(5 0 10N 1N 1N 12N 22N)
VNF2 NF2 0 PULSE(0 5 10N 1N 1N 12N 22N)
*
*
*INVERSOR CMOS
*
.SUBCKT COMP INC OUTC VDD
M1 OUTC INC VDD VDD P W=14U L=1U
M2 OUTC INC 0 0 N W=3U L=1U
.ENDS
*
*INTERRUPTOR COM DOIS TRANSISTORES COMPLEMENTARES
*
.SUBCKT INT INI OUTI F NF VDD
M1 INI F OUTI VDD P W=10U L=1.2U
M2 OUTI NF INI 0 N W=10U L=1.2U
.ENDS
*
*INTERRUPTOR DUMMY
*
.SUBCKT INTCOMP INIC OUTIC F NF VDD
M1 INIC F OUTIC VDD P W=10u L=1.2u
M2 OUTIC NF INIC 0 N W=10u L=1.2u
M3 INIC F INIC 0 N W=5u L=1.2u
M4 INIC NF INIC VDD P W=5u L=1.2u
.ENDS
*
* PRIMEIRA ETAPA DO COMPARADOR
*
X1 VIN1 OUT0 F1 NF1 VDD INT
X2 VIN2 OUT0 F2 NF2 VDD INT
C1 OUT0 IN1 .3P
C2 OUT0 0 .03P
X3 IN1 OUT1 VDD COMP
X4 IN1 OUT1 F1 NF1 VDD INTCOMP
C3 OUT1 0 .03P
```

```

C4 OUT1 IN2 .3P
X5 IN2 OUT2 VDD COMP
X6 IN2 OUT2 F1 NF1 VDD INTCOMP
*
*.LIB ES2.LIB
.TRAN IN 70N
.OPTIONS LIMPTS=300000000000000000 ITL5=0 TRTOL=40
.PRINT TRAN V([VIN1]) V([VIN2]) V([OUT2])
.PROBE
.END
    
```

Arquivo de Simulação 5.8 - Comparador para os MSBs.

```

COMPARADOR PARA O SEGUNDO SUBCONVERSOR
*****
.OPTIONS LIMPTS=30000 ITL5=0 TRTOL=40 NUMDGT=9
+ RELTOL=0.0001 ABSTOL=0.01P VNTOL=0.01U
*
VDD VDD 0 5V
V1 VIN1 0 2.5
V2 VIN2 0 2.4961
VF1 F1 0 PULSE(0 5 11N 1N 1N 10N 22N)
VNF1 NF1 0 PULSE(5 0 11N 1N 1N 10N 22N)
VF2 F2 0 PULSE(5 0 10N 1N 1N 12N 22N)
VNF2 NF2 0 PULSE(0 5 10N 1N 1N 12N 22N)
*
*INVERSOR CMOS
*
.SUBCKT COMP INC OUTC VDD
M1 OUTC INC VDD VDD P W=14U L=1U
M2 OUTC INC 0 0 N W=3U L=1U
.ENDS
*
*INTERRUPTOR COM DOIS TRANSISTORES COMPLEMENTARES
*
.SUBCKT INT INI OUTI F NF VDD
M1 INI F OUTI VDD P W=10U L=1U
M2 OUTI NF INI 0 N W=10U L=1U
.ENDS
*
*INTERRUPTOR DUMMY
*
.SUBCKT INTCOMP INIC OUTIC F NF VDD
M1 INIC F OUTIC VDD P W=10u L=1u
M2 OUTIC NF INIC 0 N W=10u L=1u
M3 INIC F INIC 0 N W=5u L=1u
M4 INIC NF INIC VDD P W=5u L=1u
.ENDS
*
*PRIMEIRA ETAPA DO COMPARADOR
*
X1 VIN1 OUT0 F1 NF1 VDD INT
    
```

```
X2 VIN2 OUT0 F2 NF2 VDD INT
C1 OUT0 IN1 .3P
C2 OUT0 0 .03P
X3 IN1 OUT1 VDD COMP
X4 IN1 OUT1 F1 NF1 VDD INTCOMP
C3 OUT1 0 .03P
C4 OUT1 IN2 .3P
X5 IN2 OUT2 VDD COMP
X6 IN2 OUT2 F1 NF1 VDD INTCOMP
C5 OUT2 0 .03P
C6 OUT2 IN3 .3P
X7 IN3 OUT3 VDD COMP
X8 IN3 OUT3 F1 NF1 VDD INTCOMP
C7 OUT3 0 .03P
C8 OUT3 IN4 .3P
X9 IN4 OUT4 VDD COMP
X10 IN4 OUT4 F1 NF1 VDD INTCOMP
.LIB ES2.LIB
.TRAN IN 70N
.PRINT TRAN V([VIN1]) V([VIN2]) V([OUT4])
.PROBE
.END
```

Arquivo de Simulação 5.9 - Comparador para os LSBs.

```
LATCH
*****
.OPTIONS LIMPTS=300000000000000000000000000000000 ITL5=0 TRTOL=40 NUMDGT=9
+ RELTOL=0.01 ABSTOL=0.1P VNTOL=0.1U
+ ITL1=500 ITL2=200 ITL4=50
*
*DEFINIÇÃO DAS FONTES DE TENSÃO E FASES
*VDD VDD 0 5V
*
VIN1 IN 0 PULSE(5 0 20N 1N 1N 80N 160N)
VF1 F1 0 PULSE( 0 5 0 1N 1N 23N 48N)
VF2 F2 0 PULSE( 0 5 24N 1N 1N 21N 48N)
VRES RES 0 5
*
* INVERSOR CMOS
*.SUBCKT INV INI OUTI VDD
M1 OUTI INI VDD VDD P W=4u L=1u
M2 OUTI INI 0 0 N W=2u L=1u
.ENDS
*
* INTERRUPTOR COM DOIS TRANSISTORES COMPLEMENTARES
*.SUBCKT INT XI XO F NF VDD
MX1 XI F XO 0 N W=10U L=1.2U
MX2 XO NF XI VDD P W=10U L=1.2U
.ENDS
*
*INTERRUPTOR DUMMY
.SUBCKT INTCOMP INIC OUTIC F NF VDD
M1 INIC NF OUTIC VDD P W=10u L=1.2u
```

```
M2 OUTIC F INIC 0 N W=10u L=1.2u
M3 INIC NF INIC 0 N W=5u L=1.2u
M4 INIC F INIC VDD P W=5u L=1.2u
.ENDS
*
*CIRCUITO PRINCIPAL
X1 IN Y1 F1 F2 VDD INTCOMP
X2 Y2 Y1 F2 F1 VDD INTCOMP
X3 Y4 QM F2 F1 VDD INTCOMP
X4 Y4 Y3 F1 F2 VDD INTCOMP
X5 Y1 QM VDD INV
X6 QM Y2 VDD INV
X7 Y4 OUT VDD INV
X8 OUT Y3 VDD INV
M1 Y2 RES GND GND N W=2U L=1U
*
*PARAMETROS ES2 - 1 MICRA - REVISAO C
.LIB ES2.LIB
*
*ANALISES
.TRAN 0.1N 200N
.PRINT TRAN V([IN]) V([F1]) V([F2]) V([QM]) V([OUT])
*.AC DEC 300 1HZ 10MEGHZ
.PROBE
.END
```

Arquivo de Simulação 5.10 - Circuito do Latch.

REFERÊNCIA BIBLIOGRÁFICA

- [1] Microelectronic Circuits - Sedra, Adel S. and Smith, Kenneth C. - College Publishing - Third Edition - 1991 - U. S. A.
- [2] Clinical Electroencephalography and Topographic Brain Mapping - Technology and Practice - Duffy, Frank H. Iyer, Vasudeva G. Surwillo, Walter W. - Springer-Verlag New York - 1989 - U. S. A.
- [3] CMOS Analog Circuit Design - Allen, Phillip E. and Holberg Douglas R. - Holt, Rinehart and Winston - 1987 - U. S. A.
- [4] Microelectronics - Millman, Jacob and Grabel, Arvin - Mc Graw Hill - 1987 - Second Edition - U. S. A.
- [5] Digital Biosignal Processing - R. Weilkrinat - Ed. Elsevier Science Publisher - 1991.
- [6] Analog MOS Integrated Circuits for Signal Processing - Gregorian, Roubik and Temes, Gabor C. - John Wiley & Sons - Third Edition - 1986 - U. S. A.
- [7] Bipolar and MOS Analog Integrated Circuit Design Grebene, Alan B. - Wiley Interscience 1984 U.S.A.
- [8] Fisiologia Humana - Guyton, Arthur C.- ed. Guanabara - 6º edição - 1988.
- [9] Fisiologia Humana - Vander, Arthur J. Sherman, James H. and Luciano, Dorothy S. - Third Edition - 1981
- [10] Projeto de um Circuito Sample-and-Hold Autozero - Dissertação de Mestrado - Robson Luiz Moreno - 1996 - EFEI
- [11] Projecto e Realização em Circuito Integrado CMOS de um conversor A/D para sinais de vídeo Standart Pratas, José e Ventura, João - Instituto Superior Técnico da Universidade Técnica de Lisboa - 1992.
- [12] Implementação de um Sistema de Mapeamento Cerebral Computadorizado. Dissertação de Mestrado - Pedro Paulo Balestrassi 1992 - EFEI

BIBLIOGRAFIA RECOMENDADA

- [1] Principles of CMOS VLSI Design - A Systems Perspective - West, Neil and Esharaghian, Kamran - Addison Wesley Publishing Company - 1985 - U. S. A.
- [2] Bipolar and MOS Analog Integrated Circuit Design - Grebene, Alan B. - John Wiley & Sons - 5° ed. - 1984 - U. S. A.
- [3] The Circuits and Filters Handbook - Editor-in-Chief Wai-Kai Chen - CRC Press - 1995 - U. S. A
- [4] Blocos CMOS de alta Performance para Aplicações em VLSI - Tese de Doutorado Laércio Caldeira - 1993.- UNICAMP
- [5] The Design Center - Circuit Analysis User's Guide - MicroSim Corporation - Version 5.4 - July of 1993
- [6] Manual of Spice - version 4.03 - MicroSim Corporation - January of 1990 -
- [7] MOS Switched-Capacitor Filters -Brodersen, Robert W. Gray, Paul R. Hodges David A. -Proceedings of the IEEE vol. 67 pp. 61-75 jan 1979.
- [8] Comparison of Switched-Capacitor Ladder and CCD Transversal Filters Brodersen, Robert W. Choi, T. C. Proc 5th Int'L Conf on Charge-Coupled Devices, 1979 pp. 268-278
- [9] Sampled Analog Filtering Using Switched Capacitors as Resistor Equivalents Caves, J. Terry; Copeland, Miles A.; Rahin, Chowdhury F. and Rosebaum, Stanley D. IEEE J. Solid State Circuits vol SC-12 pp. 592-599 Dec. 1977
- [10] MOS Sampled Data Recursive Filters Using Switched Capacitor Integrators - Hosticka, Bedrich J.; Brodersen, Robert W. and Gray, Paul R. IEEE J. Solid State Circuits vol SC-12 pp. 600-608 Dec. 1977
- [11] MOS Switched Capacitor Ladder Filters Allstot, David J; Brodersen, Robert W. and Gray, Paul R. IEEE J. Solid State Circuits vol SC-13 pp. 806-814 Dec. 1978
- [12] Design Techniques for MOS Switched Capacitor Ladder Filters Jacobs, Gordon M.; Allstot, David J; Brodersen, Robert W. and Gray, Paul R. IEEE Transactions on Circuits and Systems, vol. CAS-25 pp. 1014-1021 Dec. 1978

- [13] Improved Circuits for the Realization of Switched-Capacitor Filters Martin, Ken
IEEE Transactions on Circuits and Systems, vol. CAS-27 pp.237-244 Apr.1980
- [14] Design Techniques for Cascoded CMOS Op Amps with improved PSRR and
Common-Mode Input Range Ribner, David B. and Copeland Miles A. IEEE Journal
of Solid State Circuits vol SC-19 n.6 December 1984
- [15] A Low Drift Fully Integrated MOSFET Operational Amplifier Poujois, Robert
and Borel, Joseph IEEE Journal of Solid State Circuits vol SC-13 n.4 August 1978
- [16] A MOS Switched-Capacitor Instrumentation Amplifier Yen, Robert C. and
Gray, Paul R. IEEE Journal of Solid State Circuits vol SC-17 n.6 December 1982
- [17] Adaptive Digital Notch Filter Design on the Unit Circle for Removal of
Powerline Noise from Biomedical Signals Ferdjallah, Mohammed and Barr, Ronald
E. IEEE Transactions on Biomedical Engineering vol 41, n.6 June 1994
- [18] Offset Cancelling Circuit IEEE Journal of Solid State Circuits vol SC-24 n.3
June 1989
- [19] MOS Operational Amplifier Design - A Tutorial Overview Gray, Paul R. and
Meyer Robert G. IEEE Journal of Solid State Circuits vol SC-17 n.6 December 1982
- [20] An Integrated NMos Operational Amplifier with Internal Compensation Tsividis,
Yannis P. and Gray, Paul R. IEEE Journal of Solid State Circuits vol SC-11 n.6
December 1976
- [21] An Offset Reduction Technique for Use with CMOS Integrated Comparators and
Amplifiers Atherton, James H. and Simmonds, Thomas H. IEEE Journal of Solid
State Circuits vol 127 n.8 August 1992
- [22] Matching Properties of MOS Transistors Pelgrom, Marcel J. M. and Welbers,
Anton P.G. IEEE Journal of Solid State Circuits vol 24 n.5 October 1989
- [23] Design Procedures for a fully Differential Folded Cascode CMOS Operational
Amplifier Mallya, Sudhir M. and Nevin, JosephH. IEEE Journal of Solid State
Circuits vol 24 n.6 December 1989

