

TESE

937

FEDERAL DE ENGENHARIA DE ITAJUBÁ

PROJETO DE UM CIRCUITO DPLL DE
ALTA VELOCIDADE EM CMOS

ELBIO LOUIS PETRUCCI

ITAJUBÁ, MG - 1997

ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ

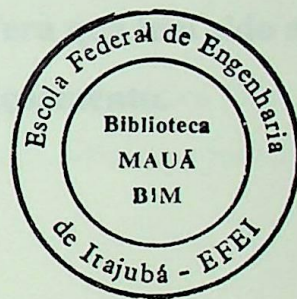
DISSERTAÇÃO DE MESTRADO

**PROJETO DE UM CIRCUITO DPLL DE ALTA
VELOCIDADE EM CMOS**

Autor : Elbio Louis Petrucci

Orientador : Prof. Tales Cleber Pimenta, PhD.

Co-Orientador : Prof. Paulo Cesar Crepaldi, MsC.



*Dissertação apresentada à Escola
Federal de Engenharia de Itajubá
para obtenção do título de Mestre
em Engenharia Elétrica.*

CLASS. 621.3.049.77 (043.2)
CUTTER. P498p
TOMBO. 937



AGRADECIMENTOS

Dedico este trabalho aos meus pais, Orlando e Vera que tem sido a grande razão e incentivo do meu aperfeiçoamento.

Lista de Figuras

Figura 1.1 - Circuito PLL Utilizado para Recuperação de Relógio 93

Figura 2.1 - Modelo de um PLL Clássico 96

Figura 2.2 - Diagrama de Blocos do Circuito PLL 97

Figura 2.3 - Diagrama de Blocos da PLL no Domínio da Frequência 98

Figura 2.4 - Porta de Transmissão Implementada por a Funções XOR, XNOR e EXOR 99

AGRADECIMENTOS

Figura 2.5 - Porta de Transmissão Implementada por a Funções XOR, XNOR e EXOR com Latching de Saida 99

Figura 2.6 - Forma de Onda de Entrada do Detector de Fase EXOR para um Erro Igual a Zero ($\theta=0$) 10

Figura 2.7 - Forma de Onda de Entrada do Detector de Fase EXOR 10

- Agradeço ao **Prof. Phd Tales Cleber Pimenta** pela orientação.

Figura 2.8 - Valor Médio da Saida do Filtro Util em Função do Erro de Fase θ 11

- Aos amigos **Msc Robson Luiz Moreno**, **Eng. Adriano Marques Pereira**, **MCs Paulo Cesar Crepaldi** pelo apoio e incentivo recebidos durante a execução deste trabalho.

Figura 2.9 - Representação do Circuito PFD e Circuito "Charge-Pump" 12

Figura 2.10 - Geração do Sinal UP pelo PFD 13

- À Pró Diretoria de Pesquisa Pós Graduação da Escola Federal de Engenharia de Itajubá, em especial à secretária **Cristina Silva**.

Figura 2.11 - Formação do Pulso de Reset pelo Circuito PFD Convencional 13

Figura 2.12 - Formação do Pulso de Reset pelo Circuito Tipo Pré-Carga 14

Figura 2.13 - Filtragem Tipo "Lag" com Capacitor em Paralelo 15

Figura 2.14 - Filtragem Tipo "Lag" com Capacitor em Paralelo 15

Figura 2.15 - Diagrama de Bode - Comparação entre os Sistemas Aproximados 16

Figura 2.16 - Curva Característica do VCO 18

Figura 2.17 - Diagrama de Bode de um Sistema de 3^o Ordem 20

Figura 2.18 - Localização de Pólos no Plano "S" 20

Figura 3.1 - Circuito DPLL Proposto para Recuperação de um Relógio 21

Figura 3.2 - Representação do Circuito PFD e Circuito "Charge-Pump" 21

Figura 3.3 - Formação do Pulso de Reset pelo Circuito PFD Convencional 22

Figura 3.4 - Configuração Completa do Circuito PFD do Tipo Pré-Carga 23

Figura 3.5 - Geração do Pulso UP pelo Circuito Tipo Pré-Carga 24

Lista de Figuras

Figura 1.1 - Circuito PLL Utilizado para Recuperação de Relógio	03
Figura 2.1 - Modelo de um PLL Clássico	06
Figura 2.2 - Diagrama de Blocos do Circuito PLL	07
Figura 2.3 - Diagrama de Blocos do PLL no Domínio da Frequência	08
Figura 2.4 - Porta de Transmissão Implementadas par a Funções XOR, XNOR e EXOR	09
Figura 2.5 -Portas de Transmissão Implementadas par a Funções XOR, XNOR e EXOR com Drinving de Saídas	09
Figura 2.6 - Forma de Onda de Entrada do Detetor de Fase EXOR, para um Erro Igual a Zero ($\theta=0$)	10
Figura 2.7 - Forma de Onda de Entrada do Detetor de Fase EXOR, para um Erro de Fase Positivo ($\theta>0$)	10
Figura 2.8 - Valor Médio do Sinal de Saída U_d em Função do Erro de Fase θ_e	11
Figura 2.9 - Média do Sinal de Saída U_d vs Erro de Fase θ_e (Formas de U_1 e U_2' Assimétricas)	11
Figura 2.10 - Representação do Circuito PFD e Circuito “Charge-Pump”	12
Figura 2.11 - Geração do Sinal UP pelo PFD	13
Figura 2.12 - Filtro Tipo “Lag” (Proporcional mais Integral)	14
Figura 2.13 - Tensão de Controle Formada Pelo Filtro “Lag” Durante um Ciclo do Sinal de Entrada	15
Figura 2.14 - Filtro Tipo “Lag” com Capacitor em Paralelo	15
Figura 2.15 - Diagrama de Bode - Comparação entre os Sistemas Apresentados	16
Figura 2.16 - Curva Característica do VCO	18
Figura 2.17 - Diagrama de Bode de um Sistema de 3ª Ordem	20
Figura 2.18 - Localização de Pólos no Plano “S”	20
Figura 3.1 - Circuito DPLL Proposto para Recuperação de um Relógio	21
Figura 3.2 - Representação do Circuito PFD e Circuito “Charge-Pump”	21
Figura 3.3 - Formação do Pulso de Reset pelo Circuito PFD Convencional	22
Figura 3.4 - Configuração Completa do Circuito PFD do Tipo Pré-Carga	23
Figura 3.5 - Geração do Pulso UP pelo Circuito Tipo Pré-Carga	24

Figura 3.6 - Regra para Escalonamento de Circuito	25
Figura 3.7 - Circuito para Técnica de Reposicionamento de Transistores	25
Figura 3.8 - Geração do Sinal UP pelo Circuito PFD	28
Figura 3.9 - Esquemático Final do Circuito PFD do Tipo Pré-Carga	28
Figura 3.10 - Configuração do Circuito “Charge-Pump”	29
Figura 3.11 - Espelho de Corrente Básico Tipo nMOS	29
Figura 3.12 - Simulação do Circuito “Charge-Pump”	34
Figura 3.13 - Esquemático Final do Circuito “Charge-Pump”	34
Figura 3.14 - Diagrama de Bloco do Circuito VCO	35
Figura 3.15 - Esquemático do Circuito de Referência do VCO	35
Figura 3.16 - Esquemático Final do Circuito de Referência do VCO	39
Figura 3.17 - Curva característica do Circuito de referência do VCO	40
Figura 3.18 - Tensões de Controle para o VCO Geradas pelo Circuito de Referência	40
Figura 3.19 - Oscilador Controlado por Tensão (VCO)	41
Figura 3.20 - Esquemático do Circuito Espelho de corrente EC1 e EC2	42
Figura 3.21 - Esquemático Final do Circuito VCO	46
Figura 3.22 - Figura Característica do VCO	47
Figura 3.23 - Configuração do Filtro Utilizado do Circuito PLL	47
Figura 3.24 - Diagrama de Bode de um Sistema de 3ª Ordem	48
Figura 3.25 - Configuração do Filtro Projetado do Circuito DPLL	50
Figura 3.26 - Resistor Formado por Transistores	51
Figura 3.27 - Capacitor Utilizando Porta dos Transistores MOS	52
Figura 3.28 - Esquema Final do Circuito Filtro do DPLL	53
Figura 4.1 - “Layout” do Circuito Detetor de Fase/Frequência	54
Figura 4.2 - Formação do Pulso UP pelo Circuito PFD	55
Figura 4.3 - “Layout” do Circuito “Charge-Pump”	56
Figura 4.4 - Sinal de Saída do Circuito “Charge-Pump”	56
Figura 4.5 - “Layout” do Circuito de Referência do VCO	57
Figura 4.6 - Tensões de Controle Produzidas pelo Circuito de Referência do VCO	58
Figura 4.7 - “Layout” do Circuito VCO	59

Figura 4.8 - Curva Característica do VCO	60
Figura 4.9 - “Layout” do Circuito DPLL Completo	60
Figura 4.10 - Simulação do Circuito DPLL	61
Figura 4.11 - Diagrama de Bode do DPLL Projetado	63

Lista de Tabelas

Tabela 2.1 - Estados de Saída do Detetor de Fase/Frequência	12
Tabela 3.1 - Variação da MF em Função de b	49
Tabela 4.1 - Principais Características do DPLL Projetado	61

e_{ϕ} - Sinal de Erro Produzido pelo Circuito Detetor de Fase

V_{ctrl} - Tensão de Controle do Oscilador

ϕ_e - Erro de Fase

ϕ_{ref} - Fase do Sinal de Referência

ϕ_{vco} - Fase do Sinal Produzido pelo VCO

V_{ϕ} - Tensão de Saída do Circuito Detetor de Fase

K_d - Ganho do Circuito Detetor de Fase

K_o - Ganho do Circuito Oscilador Controlado por Tensão

$\Delta\omega$ - Desvio de Frequência do Oscilador

G_{dls} - Função de Transferência de Malha Aberta do PLL

I_p - Corrente de Saída do Circuito "Charge-Pump"

t_p - Duração do Erro de Fase Produzido pelo Detetor de Fase

$Z_f(s)$ - Impedância do Circuito Filtro de Malha

$F_{\phi\omega}$ - Função de Transferência do Filtro de Malha

RR - Fator de Redução do Ripple do PLL

τ - Constante de Tempo do Filtro de Malha

ω_c - Frequência de Corte do PLL

MF - Margem de Fase do PLL

PPD - Detetor de Fase/Frequência

ΔE - Largura do Pulso Retor Formado pelo Circuito PPD - Convencional

f_{max} - Máxima Frequência de Operação do Circuito PPD - Convencional

V_{DD} - Tensão Fonte/Fornecida de Transistores MOS

V_{SS} - Tensão Fonte/Dreno de Transistores MOS

μ_p - Mobilidade das Lacunas do Transistor pMOS

μ_n - Mobilidade dos Elétrons do Transistor nMOS

K_p - Parâmetro de Transcondutância do Transistor pMOS

K_n - Parâmetro de Transcondutância do Transistor nMOS

Lista de Símbolos

PLL - Phase Locked Loop

DCO - Oscilador Digital

VCO - Oscilador Controlado por Tensão

$e(t)$ - Sinal de Erro Produzido pelo Circuito Detetor de Fase

$V_c(t)$ - Tensão de Controle do Oscilador

θ_e - Erro de Fase

$\theta_i(t)$ - Fase do Sinal de Referência

$\theta_o(t)$ - Fase do Sinal Produzido pelo VCO

$V_d(t)$ - Tensão de Saída do Circuito Detetor de Fase

K_d - Ganho do Circuito Detetor de Fase

K_o - Ganho do Circuito Oscilador Controlado por Tensão

$\Delta\omega$ - Desvio de Frequência do Oscilador

$G_o(s)$ - Função de Transferência de Malha Aberta do PLL

I_p - Corrente de Saída do Circuito “Charge-Pump”

t_p - Duração do Erro de Fase Produzido pelo Detetor de Fase

$Z_f(s)$ - Impedância do Circuito Filtro de Malha

$F(s)$ - Função de Transferência do Filtro de Malha

RR - Fator de Redução de Ripple do PLL

τ - Constante de Tempo do Filtro de Malha

ω_c - Frequência de Corte do PLL

MF - Margem de Fase do PLL

PFD - Detetor de Fase/Frequência

ΔR - Largura do Pulso Reset Formado pelo Circuito PFD - Convencional

$f_{\max}$ - Máxima Frequência de Operação do Circuito PFD - Convencional

V_{gs} - Tensão Fonte/Porta do Transistor MOS

V_{ds} - Tensão Fonte/Dreno do Transistor MOS

μ_p - Mobilidade das Lacunas do Transistor pMOS

μ_n - Mobilidade dos Elétrons do Transistor nMOS

K_p - Parâmetro de Transcondutância do Transistor pMOS

K_n - Parâmetro de Transcondutância do Transistor nMOS

ÍNDICE

RESUMO

CAPÍTULO 1

INTRODUÇÃO

1.1 Caracterização do Problema	04
--------------------------------	----

CAPÍTULO 2

PHASE LOCKED LOOP CLÁSSICO

2.1 Funções de Transferências do Circuito PLL	06
2.2 Blocos Constituintes do DPLL	
(Digital Phase Locked Loop)	09
2.2.1 Detetor de Fase XOR, XNOR e EXOR	09
2.2.2 Detetor de Fase/Frequência	12
2.3 Filtro de Malha	14
2.3.1 Filtro Tipo “Lag Passivo”	14
2.3.2 Filtro Tipo “Lag Passivo” com Capacitor em Paralelo	15
2.4 Circuito Oscilador Controlado por Tensão	17
2.5 Estabilidade	18

CAPÍTULO 3

PROJETO DO CIRCUITO PHASE LOCKED LOOP (DPLL)

3.1 Projeto do Circuito Detetor de Fase/Frequência (PFD)	21
3.2 Circuito Controlado Por Tensão (VCO)	34
3.3 Circuito Filtro de Malha do DPLL	47

CAPÍTULO 4

ANÁLISE E SIMULAÇÃO DO CIRCUITO DPLL

4.1 Análise e Simulação do Circuito Detetor de Fase/Frequência	54
4.2 Análise e Simulação do Circuito “Charge Pump”	55
4.3 Análise e Simulação do Circuito Oscilador Controlado por Tensão (VCO)	57
4.3.1 Análise e Simulação do Circuito de Referência do VCO	57
4.3.2 Análise e Simulação do VCO	58
4.4 Análise do Circuito DPLL	72
4.5 Estudo de Estabilidade do DPLL	62
4.6 Teste do Circuito DPLL	64

CAPÍTULO 5

CONCLUSÕES

Conclusões	65
------------	----

Anexos

Anexo A - Descrição SPICE do Circuito Extraído do DPLL	66
Anexo B - Cópia do Artigo Apresentado em Congresso	78

Referências Bibliográficas	85
----------------------------	----

RESUMO

Este trabalho apresenta o projeto de um sistema de Malha Bloqueada em Fase (Digital Phase Locked Loop - DPLL) de alta velocidade, para operar como recuperador de um sinal de *clock* em uma frequência de 622Mhz.

O circuito foi implementado utilizando a tecnologia 0,7 μ m CMOS da ES2.

A estrutura do trabalho se apresenta da seguinte forma:

- O capítulo 1 apresenta uma introdução de sistema de comunicação e a necessidade de se fazer o sincronismo entre o transmissor e o receptor neste sistema.
- No capítulo 2 são apresentados todos os blocos funcionais que constituem o circuito DPLL.
- No capítulo 3 apresenta-se o projeto do circuito DPLL sendo dadas as simulações constituintes do DPLL sem considerar, inicialmente, as capacitâncias parasitas de cada bloco.
- No capítulo 4 são apresentados os resultados de simulações HSPICE e o "layout" final de todos os blocos constituintes do DPLL, bem como do circuito DPLL completo. As simulações apresentadas neste capítulo já consideram as capacitâncias parasitas existentes em cada bloco projetado.

Foram também incluídos dois anexos neste trabalho. O primeiro, Anexo A, inclui listas dos blocos funcionais, do circuito DPLL, utilizadas para obter resultados de simulações HSPICE mostrados no Capítulo 3. O Anexo B, inclui listas HSPICE obtidas após extração dos "layouts" finais dos blocos que constituem o circuito DPLL.

Apresenta-se também a cópia do artigo resultante deste trabalho que foi apresentado no IX Congresso Brasileiro de Microeletrônica realizado em Águas de Lindóia S.P. no período de 29 de Julho a 2 de Agosto de 1996.

CAPÍTULO 1

INTRODUÇÃO

No mercado atual de microeletrônica existem diversos fatores atuando em conjunto de forma marcante nos países de primeiro mundo; uma verdadeira revolução na área de transmissão de informações. O fator tecnológico mais importante é a fibras óptica que criam a possibilidade de transmissão de dados a taxas muito elevadas [1]. Como consequência, dezenas de bilhões de dólares têm sido investidos em pesquisas e instalações de infra-estruturas, as quais permitem fornecer serviços de multimídia através de redes digitais (ISDN - Integrated Service Digital Network), criação de redes de computadores, etc. No caso das redes de computadores, elas vêm provocando profundas mudanças na Ciência da Computação, pois atualmente tem-se como certa a inviabilidade do trabalho isolado em um único computador por maior que seja sua capacidade. Em todo mundo, redes de computadores vão dando uma nova face a forma em que as pesquisas são levadas, alterando desde como são feitos contatos entre a comunidade científica até como são divulgados novos resultados. No tocante a multimídia, ainda hoje as companhias interessadas, companhias telefônicas, de TV a cabo, produtores de programas, etc, não estão seguras de quais serviços serão viáveis técnica/econômicamente, todavia estão cientes dos riscos que ocorrem caso não acompanhe esta nova tendência.

Se nos países desenvolvidos o processo ainda está se configurando, no Brasil há muito menos atividade, tanto o nível de pesquisa como de investimento. Obviamente a importância desta área deverá se acentuar também aqui. A telefonia deve ser um dos primeiros setores a se aproveitar das redes ópticas (observamos que TVs a cabo apenas estão começando aqui, enquanto as mesmas já estão consagradas no exterior).

Outra área onde o Brasil está bastante defasado em relação aos países desenvolvidos é a microeletrônica. Esta indústria tem marcado a evolução da eletrônica, permitindo hoje o desenvolvimento de sistemas que nunca seriam possíveis de outra forma. Uma característica fundamental dela, pelo menos nos últimos anos, é seu rápido avanço, tão acelerado que cria dificuldades de investimento mesmo para as grandes companhias [2]. Rapidamente, novos produtos são apresentados devido aos avanços do nível de processos e de técnicas de projeto (refletindo mudanças da configuração de circuitos, arquitetura, etc).

Os sistemas de comunicação por fibras ópticas atendem, em sua quase totalidade, as especificações dos padrões SDH/SONET. O padrão SONET (Synchronous Optical Network) e o padrão SDH (Synchronous Hierarchy) definem uma hierarquia digital para transmissão por fibras ópticas baseada em uma estrutura de quadros de multiplexação de

tráfego digital. Este quadro digital é composto, basicamente, por octetos de bits que devem ser paralelizados a fim de serem convenientemente tratados por sistemas digitais.

Em essência significa que sinais podem ser multiplicados diretamente a um sinal SDH de alta taxa sem estágios intermediários de multiplexagem. Elementos da rede SDH podem então ser interconectados diretamente com grande redução do custo operacional com relação as redes atuais.

A administração de redes avançadas e capacidade de manutenção são exigidos para gerência efetivamente a flexibilidade fornecida para a rede SDH. Aproximadamente 5% dos sinais da estrutura do SDH são designados para apoiar práticas e procedimentos de gerenciamento da rede avançada.

O sinal SDH é capaz de transportar todos os sinais encontrados nas redes de telecomunicação atuais. Isto significa que SDH pode ser desdobrado como uma cobertura para tipos de sinais existentes. Além disso, o SDH tem flexibilidade para acomodar prontamente novos tipos de sinais de serviço ao consumidor que operadores de redes desejam apoiar no futuro[3].

O sistema de comunicação é constituído basicamente de três blocos básicos: canal (meio de propagação do sinal), sistema de transmissão e de recepção, neste último há necessidade de um sistema de sincronismo. O sistema de sincronismo mais usado atualmente é a PLL (Phase Locked Loop) e sua função no receptor é devido ao fato se garantir que a informações recebida seja incondicionalmente verdadeira. Para recuperar a mensagem transmitida, o receptor deve ser capaz de recuperar a informação de relógio utilizada pelo transmissor durante a transmissão dos dados. Isto é necessário, pois o circuito receptor deve amostrar o sinal transmitido em instantes apropriados e processar corretamente estas amostras. Logo, para ser capaz de fazer decisões corretas, o receptor necessita fazer uma cópia perfeita do sinal de relógio utilizado pelo circuito transmissor durante a transmissão de dados. Esta é a parte crítica dos circuitos de recuperação de sinais, para ser empregada na recuperação do clock de um sinal em alta velocidade, em taxas de gigabits/segundo, a qual deve ser incorporada a um circuito integrado multiplexador/demultiplexador, com todas as suas características adequadas para atender transmissões no padrão SONET/SDH.

Os sistemas eletrônicos para redes de telefonia ou comunicação de dados têm sido implementados tipicamente através de vários componentes discretos. Isto encarece o produto, diminui a confiabilidade, reduz o número de funções executadas pelo "hardware", aumenta consumo de potência (o que pode ser crítico em algumas aplicações) e faz com que os equipamentos apresentem volumes maiores que o necessário além de outras desvantagens.

A tecnologia CMOS oferece muitas vantagens tais como alto nível de integração, facilidade de realização de circuitos lógicos com várias ferramentas CAD para geração automática, alto nível de amadurecimento além de outras.

Recentemente muitos dispositivos rápidos, tais como CPUs e chips de processamento de imagem já são projetados utilizando-se a tecnologia CMOS. Entretanto, circuitos operando em altas velocidades, como por exemplo 622 Mb/s (valor especificado pela Internacional Telecommunication Union) são implementados tipicamente em GaAs e em tecnologia bipolares. O grande desafio está em se tentar implementar tais circuitos em tecnologia CMOS[4].

O estudo feito para este projeto, consiste na utilização exclusiva de circuitos CMOS para implementação de um circuito integrado que possa ser utilizado em redes de comunicações de altas velocidades. Para se conseguir os resultados propostos, estudamos sobre técnicas de altas velocidades na tecnologia CMOS. Os resultados atingidos neste estudo poderão ser usados na implementação de outros circuitos CMOS que operem em altas frequências.

Atualmente, o circuito mais utilizado para realizar a tarefa de sincronismo de relógio em sistemas de comunicação é o circuito “Phase Locked Loop PLL” [3,4]. A figura 1.1 mostra um circuito PLL sendo utilizado para se fazer o sincronismo de relógio no receptor de um sistema de comunicação.

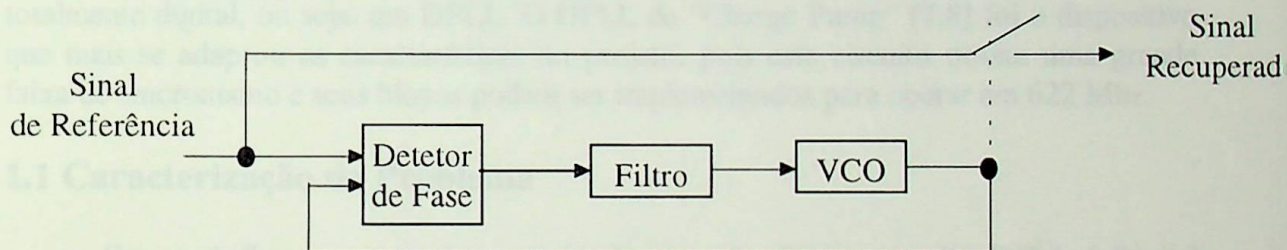


Figura 1.1 - Circuito PLL Utilizado para Recuperação de Relógio

Este circuito é um servomecanismo que compara a fase e/ou frequência de um sinal gerado localmente pelo próprio circuito PLL. Quando o sinal de referência possui a mesma fase/frequência do sinal produzido no Oscilador Controlado por tensão (Voltage Controlled Oscilador -VCO) do PLL o sistema é dito estar em sincronismo, e o sinal produzido pelo VCO é utilizado como um sinal de sincronismo para o receptor.

OS primeiras PLLs foram construídas com componentes discretos. Eles eram extremamente complexos e suas operações eram totalmente analógicas. Este tipo de circuito era composto por um multiplexador analógico que era utilizado como um detetor de fase, um circuito RC passivo que compunha o seu filtro de malha e um oscilador controlado por tensão (que era o VCO da PLL). Este tipo de PLL era denominado de “Linear Phase Locked Loop LPLL”.

No final dos anos 70, os PLLs passaram a ter os sinais de entrada binários. Mas ainda eram dispositivos híbridos, somente o detetor de fase era um circuito digital (porta EXOR ou Flip-Flop-JK) o restante dos blocos eram constituídos por blocos analógicos.

Somente na década de 80 que apareceu o PLL totalmente digital (ADPLL), não possuía dispositivos como resistores e capacitores e com ele o SPL (Phase Locked Loop Software), que utiliza um microcontrolador ou um microprocessador.

Inicialmente, estudou-se o circuito ADPLL para aplicação requerida. Com base neste estudos projetou-se um circuito do tipo EXOR que se ajustava a altas frequências, mais os outros blocos funcionais (filtro, Oscilador de Controle Digital (DCO)) a serem implementados em CMOS não iriam operar nesta frequência[6,7,9]. As principais inconveniências da ADPLL operando nesta velocidade foram:

- o sincronismo interno do DCO e do filtro digital deveria ser feito em uma frequência muito elevada (cerca de 16 vezes maior que a frequência central do DCO, cerca de 9,92 Ghz);

- a necessidade de um cristal externo operando a uma frequência de trabalho de 9,92 Ghz.

Por estas razões, optou-se pela implementação de um PLL que não fosse totalmente digital, ou seja, um DPLL. O DPLL de "Charge Pump" [7,8] foi o dispositivo que mais se adaptou as características do projeto, pois este circuito possui uma grande faixa de sincronismo e seus blocos podem ser implementados para operar em 622 Mhz.

1.1 Caracterização do Problema

Este trabalho visa o projeto e a implementação de um circuito DPLL (Digital Phase Locked Loop) de alta velocidade em CMOS (Complementary Metal Oxide Semicondutor) em tecnologia 0,7 μ m, a ser utilizado em redes de comunicação de alta velocidade. O circuito foi implementado na tecnologia CMOS por oferecer algumas vantagens, entre elas:

- alto nível de integração;

- facilidade de realização dos circuitos com várias ferramentas de CAD, além de
- outras, conforme mencionado anteriormente.

Em sistemas de comunicação é necessário recuperar a mensagem transmitida, esta necessidade fez com que se desenvolvesse circuito para realizar esta tarefa, este circuito era chamado de Recuperador de Sincronismo. Atualmente, o dispositivo mais utilizado para realizar esta tarefa é o PLL que faz o sincronismo de relógio no receptor de um sistema de comunicação conforme mostrado na Figura 1.1.

No Capítulo 2 é descrito um PLL Clássico, mostrando a estrutura de seus blocos funcionais. No Capítulo 3 é apresentado o projeto do PLL e as simulações de cada bloco feitas pelo simulador HSPICE. O capítulo 4 apresenta simulações onde são consideradas as capacitâncias parasitas existentes nos blocos projetados e também o “layout” final do PLL desenvolvido. No final deste trabalho são apresentadas as conclusões do projeto.

O conceito de malha de frequência em um PLL (Phase Locked Loop) é um sistema de controle que usa um sinal utilizado a malha sempre para geração de um sinal de saída, sincronizado, em fase e frequência, com um sinal de entrada ou referência, pode ser caracterizado como sendo um servomecanismo que controla a fase e a frequência de um sinal de saída com relação a um sinal de entrada.

A PLL consiste em três blocos funcionais distintos:

- Detector de fase (FD)
- Filtro de malha (LF)
- Oscilador controlado por tensão (VCO)

A Figura 2.1 mostra um diagrama em blocos de um PLL clássico.

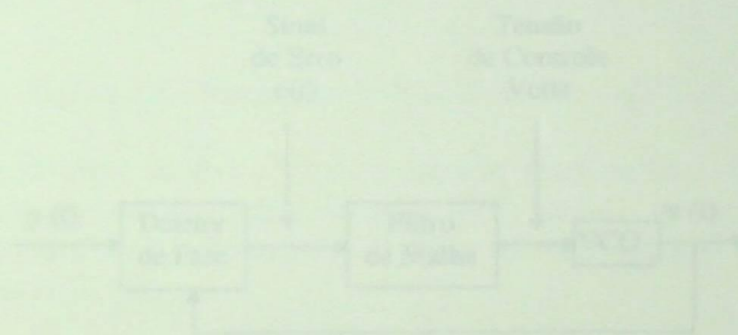


Figura 2.1- Modelo de um PLL Clássico.

O circuito detector de fase tem a função de medir a diferença de fase/frequência entre os sinais $y(t)$ (sinal de referência) e $x(t)$ (sinal de saída do VCO) gerando um sinal de erro $e(t)$. O sinal de erro é aplicado a um filtro de malha (do tipo passa baixa) gerando o sinal de controle $V_c(t)$ que é aplicado ao VCO. A partir desse sinal de controle o VCO irá produzir $x(t)$ sincronizado com $y(t)$.

2.1 Funções de Transferências do Circuito PLL

Considere o sistema PLL, representado pelo um circuito comparador de fase, pelo filtro de malha e um circuito oscilador controlado por tensão como, representado na Figura 2.2.

A fase do sinal de referência aplicado ao circuito detector de fase é $\theta_r(t)$, e a fase do sinal de saída do VCO é dada por $\theta_o(t)$. Para esta análise, que o sistema esteja sincronizado. Nesta situação a resposta do sistema



Capítulo 2

PHASE LOCKED LOOP CLÁSSICO

O circuito de malha bloqueada em fase (Phase Locked Loop - PLL), é um sistema de controle que vem sendo utilizado a muito tempo para geração de um sinal de saída, sincronizado, em fase e frequência, com um sinal de entrada ou referência, pode ser caracterizado como sendo um servomecanismo que controla a fase e a frequência de um sinal de saída com relação a um sinal de entrada

A PLL consiste em três blocos funcionais distintos:

- Detetor de fase (PD)
 - Filtro de malha (LF)
 - Oscilador controlado por tensão (VCO).
- A Figura 2.1 mostra um diagrama em blocos de um PLL clássico.

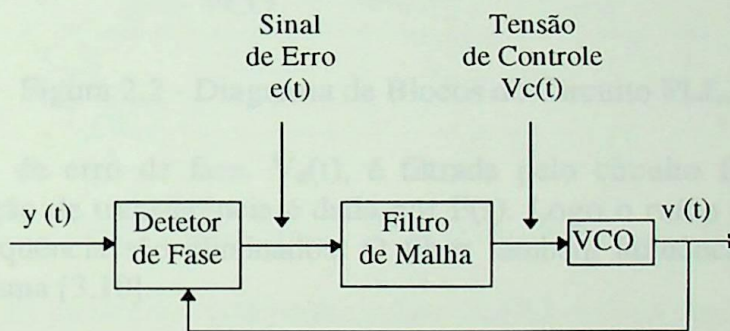


Figura 2.1 - Modelo de um PLL Clássico.

O circuito detetor de fase tem a função de medir a diferença de fase/frequência entre os sinais $y(t)$ (sinal de referência) e $v(t)$ (sinal de saída do VCO) gerando um sinal de erro $e(t)$. O sinal de erro é aplicado a um filtro de malha (do tipo passa baixa) gerando o sinal de controle $V_c(t)$ a ser aplicado no VCO. A partir deste sinal de controle o VCO irá produzir $v(t)$ sincronizado com $y(t)$.

2.1 Funções de Transferências do Circuito PLL

Considere o sistema PLL composto pelo um circuito comparador de fase, pelo filtro de malha e um circuito oscilador controlado por tensão como, representado na Figura 2.2.

A fase do sinal de referência aplicado ao circuito detetor de fase é dado por $\theta_i(t)$, e a fase do sinal de saída do VCO é dada por $\theta_o(t)$. Para esta análise considere que o sistema esteja sincronizado. Nesta situação a resposta do circuito detetor de fase

é linear e proporcional a diferença de fase dos sinais de entrada. Então pode-se representar o sinal de saída do circuito detetor de fase pela seguinte equação:

$$v_d(t) = K_d \theta_e(t) = K_d [\theta_i(t) - \theta_o(t)] \quad (2.1)$$

onde K_d é o ganho do circuito detetor de fase dado em [V/rd].

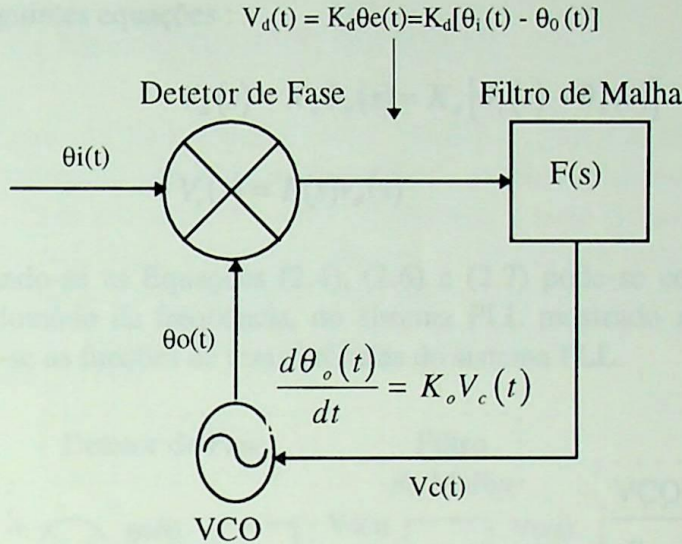


Figura 2.2 - Diagrama de Blocos do Circuito PLL.

A tensão de erro de fase, $V_d(t)$, é filtrada pelo circuito filtro de malha do sistema cuja função de transferência é dada por $F(s)$. Logo o ruído e componentes do sinal em alta frequência são eliminados. O filtro também influencia no desempenho dinâmico do sistema [3,10].

A tensão de controle $V_c(t)$, presente na saída do filtro de malha, determina a frequência de operação do circuito VCO. O desvio do VCO de sua frequência central é dada por:

$$\Delta\omega = K_o \cdot V_c(t) \quad (2.2)$$

onde K_o é o ganho do circuito VCO dado em (rd/s.V).

Como a frequência de um sinal é correspondente a derivada da fase do próprio sinal, a operação do VCO é regida por:

$$\frac{d\theta_o(t)}{dt} = K_o V_c(t) \quad (2.3)$$

que no domínio da frequência, plano S, é dada por (Transformada de Laplace):

$$L\left[\frac{d\theta_o(t)}{dt}\right] = s\theta_o(s) = K_o V_c(s) \quad (2.4)$$

Logo, da Equação (2.3), observa-se que a fase do sinal de saída do VCO é linearmente proporcional à integral da tensão de controle do sistema, ou seja:

$$\theta_o(t) = K_o \int V_c(t) dt \quad (2.5)$$

Utilizando-se a Transformada de Laplace nas equações que aparecem na Figura 2.2 tem-se as seguintes equações :

$$V_d(s) = K_d \theta_e(s) = K_d [\theta_i(s) - \theta_o(s)] \quad (2.6)$$

$$V_c(s) = F(s) V_d(s) \quad (2.7)$$

Combinando-se as Equações (2.4), (2.6) e (2.7) pode-se compor o diagrama em blocos, no domínio da frequência, do sistema PLL mostrado na Figura 2.3. Do diagrama obtém-se as funções de transferências do sistema PLL.

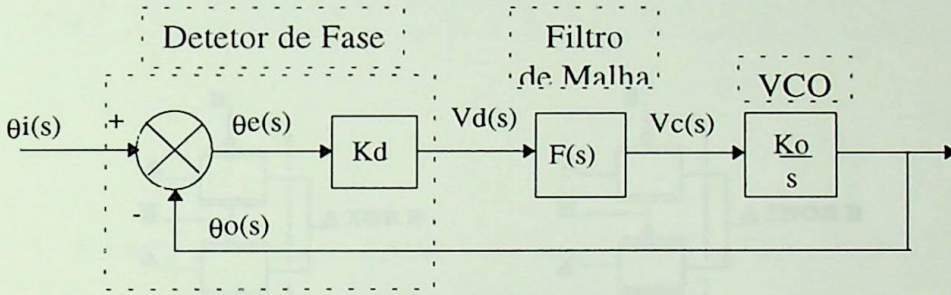


Figura 2.3 - Diagrama de Blocos do PLL no Domínio da Frequência.

A função de transferência do erro de fase da PLL é dada por:

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{\theta_i(s) - \theta_o(s)}{\theta_i(s)} = \frac{s}{s + K_o K_d F(s)} \quad (2.8)$$

A função de transferência de malha aberta do sistema PLL é dada por:

$$G_o(s) = \frac{K_d K_o F(s)}{s} \quad (2.9)$$

A função de transferência de malha fechada do sistema PLL é dada por:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_d F(s)}{s + K_o K_d F(s)} \quad (2.10)$$

No projeto do circuito DPLL serão apresentados todos os parâmetros que foram utilizados, tais como o valor do ganho do circuito detetor de fase, ganho do circuito VCO e o tipo de filtro de malha utilizado no projeto.

2.2 Blocos Constituintes do DPLL (Digital Phase Locked Loop)

O DPLL é um dispositivo híbrido [3] sendo que o único bloco digital é o detetor de fase/frequência. Os demais circuitos (filtro de malha e VCO) são analógicos. Este tipo de circuito apresenta enormes qualidades quando utilizado em sistemas de recuperação de relógio. Por apresentar esta característica dar-se-á ênfase ao estudo do DPLL.

2.2.1 Detetor de Fase XOR, XNOR e EXOR

Os detetores de fase Ou-Exclusivo (XOR) e Não Ou-Exclusivo (XNOR) podem ser implementados baseando-se na teoria de porta de transmissão mostrados na figura 2.4 e 2.5. Cada estrutura necessita de somente quatro transistores, mas requer entradas complementares[2]. Neste tipo de circuito é comum ocorrer uma queda na capacidade de condução do sinal, mas mesmo assim, pode operar em altas frequências. Em geral, o sinal de saída do circuito provém diretamente do VDD e VSS, como mostrado na figura 2.5 [5].

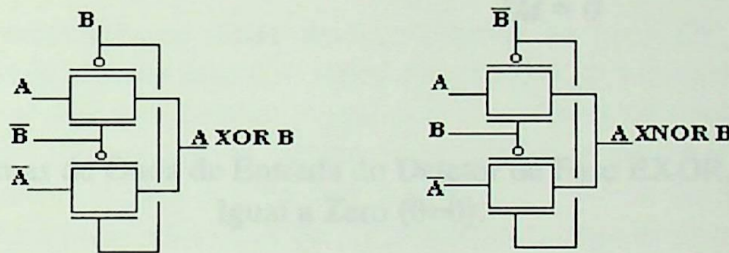


Figura 2.4 - Portas de Transmissão Implementadas para Funções XOR e XNOR.

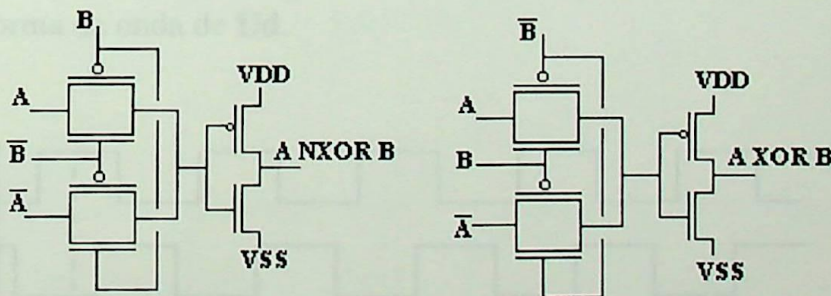


Figura 2.5 - Portas de Transmissão Implementadas para Funções XOR e XNOR com Driving de saída.

O detetor de fase “Ou-Exclusivo” mostrado na Figura 2.4, é utilizado quando os sinais de entrada são constituídos por formas de ondas quadradas (sinais digitais)

[4] e quando estes sinais possuem ciclos de trabalhos de 50% (simétricos). O sinal de saída do detetor está em nível lógico alto quando os dois sinais de entrada são diferentes, e está em nível lógico baixo (zero) quando os dois sinais possuem o mesmo nível lógico. O ciclo de trabalho do sinal de saída do detetor é proporcional ao erro de fase existente entre os sinais de entrada. Para um erro de fase igual a zero, os sinais **U1** e **U2'**, estão fora de fase de exatamente 90° , como mostrado na Figura 2.6. Assim o sinal de saída **Ud** é uma forma de onda , cuja a frequência é duas vezes a frequência de referência.

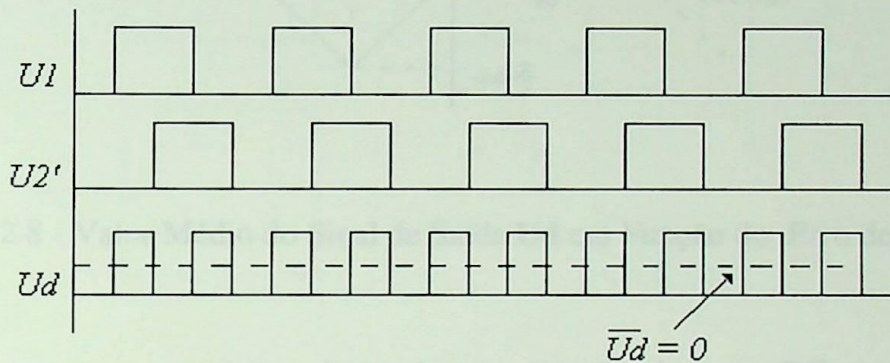


Figura 2.6 - Formas de Onda de Entrada do Detetor de Fase EXOR, Para um Erro Igual a Zero ($\theta=0$).

O valor médio do sinal **Ud** é considerado o ponto quiescente da EXOR. Quando **U2'** estiver atrasado de **U1**, o erro de fase θ_e torna-se positivo, como mostrado na Figura 2.7. Neste caso, o ciclo de trabalho é maior que 50% e consequentemente ao valor médio de **Ud** torna-se positivo, como mostra a linha tracejada na forma de onda de **Ud**.

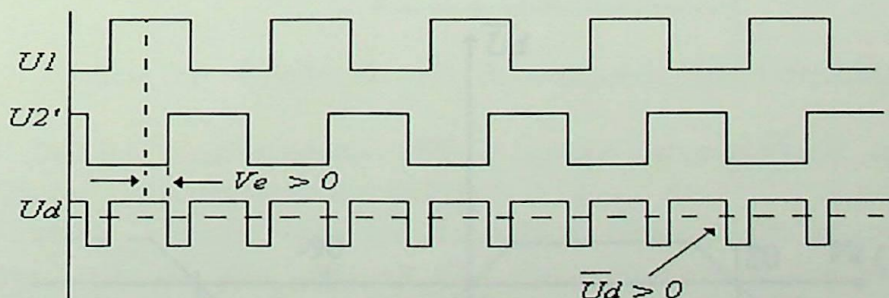


Figura 2.7 - Forma de Onda Utilizando um Detetor de Fase do Tipo EXOR, para um Erro de Fase Positivo ($\theta_e > 0$).

Claramente, a média de $\overline{U_d}$ alcançada atinge o valor máximo para o erro de fase de $\theta_e=90^\circ$ e mínimo para o valor de $\theta_e=-90^\circ$. a Figura 2.8 apresenta a curva característica do Detetor de Fase Ou-Exclusivo.

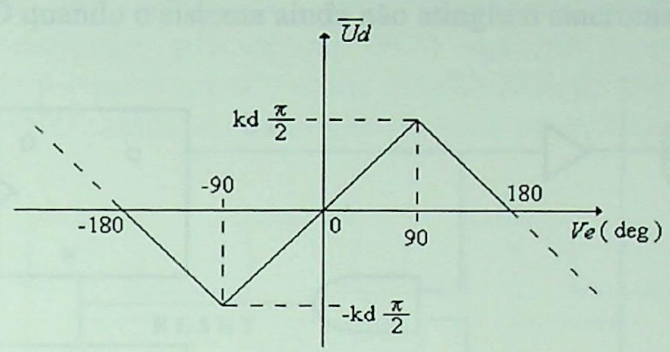


Figura 2.8 - Valor Médio do Sinal de Saída $\overline{U_d}$ em Função do Erro de Fase θ_e .

Da curva característica deste detetor (tensão de erro DC produzida pelo detetor de fase versus erro de fase dos sinais de entrada), como se pode observar na figura 2.8, conclui-se que este detetor possui uma faixa linear de operação limitada de $[-\pi/2, +\pi/2]$, e que o mesmo possui característica triangular para o seu sinal de saída. O ganho deste detetor de fase é dado por K_d , tensão máxima de saída do detetor, conforme mostra a Equação (2.11). A performance do detetor de fase EXOR torna-se severamente prejudicada se os sinais U_1 e U_2' tornarem-se assimétricos. Se isto ocorrer, o sinal médio de saída $\overline{U_d}$ irá grampear-se para qualquer nível intermediário, como mostra a Figura 2.9.

$$K_d = U_d / \pi$$

(2.11)

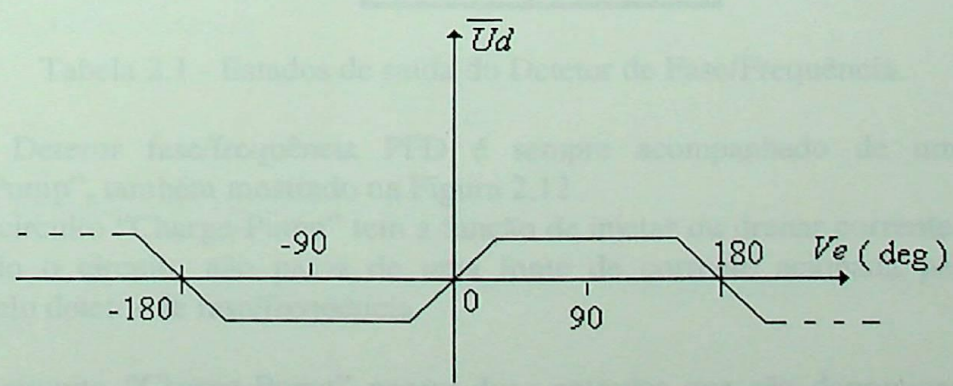


Figura 2.9 Média do Sinal de Saída $\overline{U_d}$ vs Erro de Fase θ_e . (Formas de Ondas U_1 e U_2' Assimétricas)

2.2.2 Detetor de Fase/Frequência

O circuito detetor de fase/frequência pode ser implementado através de dois Flip-Flops tipo D e uma porta AND como mostra a figura 2.10. Este tipo de detetor é sequencial e capaz de detectar diferença de fase e de frequência entre sinais de referência e do VCO quando o sistema ainda não atingiu o sincronismo[9,11,12].

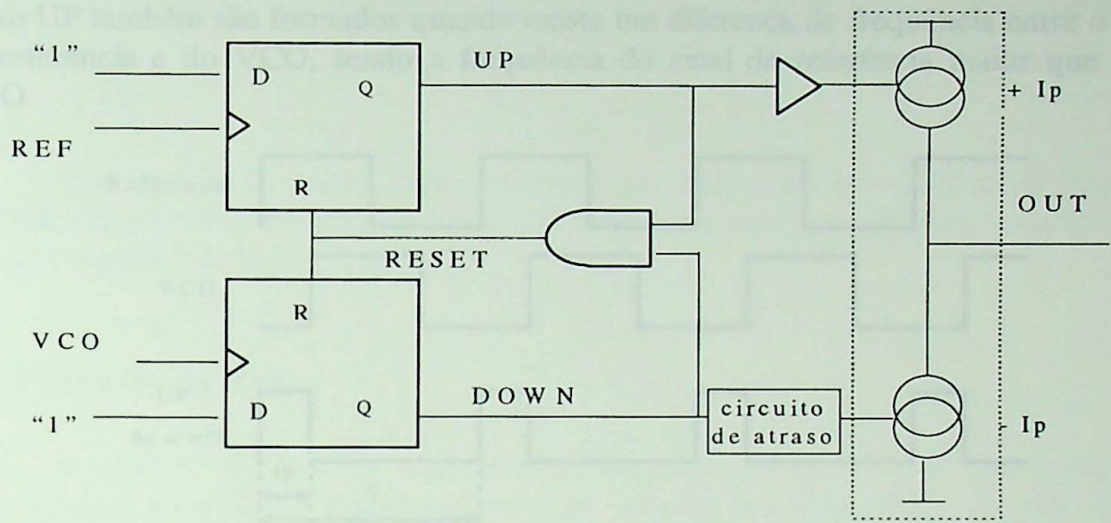


Figura 2.10 - Representação do Circuito PFD e Circuito “Charge-Pump”.

Este circuito possui quatro estados de saída, como mostrado na Tabela 2.1. Somente três estados podem ser considerados válidos. O estado que ocorre quando UP=DOWN=1 não é válido pois corresponde a geração simultânea de pulsos UP/DOWN. Esta condição é utilizada para fazer com que o circuito PFD esteja pronto para receber uma nova transmissão de entrada dos sinais de referência ou do VCO, podendo ser denominada de inicialização do circuito PFD.

UP	DOWN
0	0
1	0
0	1
1	1

Tabela 2.1 - Estados de saída do Detetor de Fase/Frequência.

O Detetor fase/frequência PFD é sempre acompanhado de um circuito “Charge-Pump”, também mostrado na Figura 2.12.

O circuito “Charge-Pump” tem a função de injetar ou drenar corrente do filtro. A princípio o circuito não passa de uma fonte de corrente acionada pelos sinais gerados pelo detetor de fase/frequência.

O circuito “Charge-Pump” possui duas entradas que são denominadas UP e DOWN. A entrada UP tem a função de ativar a fonte de corrente +Ip, e com isso, injetar uma corrente no filtro de malha fazendo com que a carga injetada aumente a

tensão do filtro. Em contrapartida quando a entrada DONW ativa a fonte -IP faz com que a corrente do filtro seja drenada ocasionando uma diminuição na tensão[9].

Considerando-se que os sinais de referência e do VCO tenham a mesma frequência e que a fase do sinal de referência esteja adiantada com relação a fase do sinal do VCO, existe a geração de um pulso UP pelo detetor. O ciclo de trabalho do pulso UP gerado pelo PFD representa a diferença de fase existente entre o sinal de referência e o sinal produzido pelo circuito VCO conforme mostra Figura 2.11. Os pulso UP também são formados quando existe uma diferença de frequência entre o sinal de referência e do VCO, sendo a frequência do sinal de referência maior que a do VCO.

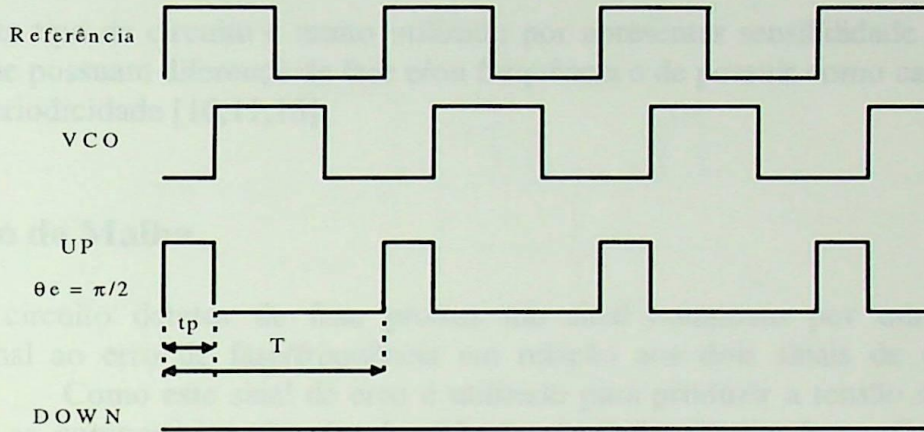


Figura 2.11 - Geração do sinal UP pelo PFD.

A diferença básica entre as duas situações descritas acima é o valor da corrente que é injetada no filtro de malha, ou seja para uma diferença de frequência entre os sinais a quantidade de corrente é muito maior do que a situação onde os sinais possuem fases diferentes [13]. Conseqüentemente, o nível de tensão de controle produzido pelo circuito filtro é muito maior na situação de frequências diferentes dos sinais de entrada.

A geração do pulso DOWN pelo circuito PFD ocorre de modo inverso a descrita anteriormente.

Observa-se pela Figura 2.11 que a duração do erro de fase do detetor, t_p , é dado pela seguinte equação:

$$t_p = \frac{|\theta_e|}{\omega_i}$$

(2.12)

sendo ω_i a frequência do sinal de referência.

A corrente injetada (drenada) pelo circuito “Charge-Pump” no filtro, em cada ciclo, é dada por:

$$i_d(t) = \pm I_p \frac{t_p}{T} = \pm I_p \left(\frac{|\theta_e|}{\omega_i} \right) \left(\frac{\omega_i}{2\pi} \right)$$

$$i_d(t) = \pm I_p \left(\frac{|\theta_e|}{2\pi} \right)$$

(2.13)

O ganho do circuito PFD tipo “Chage-Pump” pode ser representado por:

$$K_d = \frac{I_p}{2\pi}$$

(2.14)

Este tipo de circuito é muito utilizado por apresentar sensibilidade a sinais de entrada que possuam diferença de fase e/ou frequência e de possuir como característica sua não periodicidade [10,11,13].

2.3 Filtro de Malha

O circuito detetor de fase produz um sinal composto por um nível DC proporcional ao erro de fase/frequência em relação aos dois sinais de entrada do sistema. Como este sinal de erro é utilizado para produzir a tensão de controle do VCO, as componentes de alta frequência são indesejáveis. Para eliminar estas componentes indesejáveis torna-se necessário a inclusão de um filtro de malha [9,13,14], caracterizado por ser do tipo passa baixa. Existem vários modos de se implementar o filtro de malha em circuitos DPLL, e neste trabalho serão analisados somente dois filtros que são comumente utilizados, sendo o primeiro do tipo “Lag” passivo (proporcional mais integral) e o segundo do tipo “Lag” passivo com capacitor em paralelo.

2.3.1 Filtro Tipo “Lag Passivo”

A característica principal deste tipo de filtro, mostrado na figura 2.12, é apresentar uma resposta proporcional mais integral, da seguinte forma: a parcela proporcional é dada pelo resistor e a parcela integral é dada pelo capacitor. A impedância do filtro é dada por:

$$Z_f(s) = \frac{1 + RCs}{Cs}$$

(2.15)

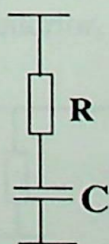


Figura 2.12 - Filtro Tipo “Lag” (Proporcional mais Integral).

Analisando-se a tensão de controle que é formada durante um ciclo do sinal de entrada por este filtro, observa-se que a corrente injetada pelo circuito “Charge-Pump” no filtro faz com que apareça uma tensão instantânea no filtro dada por $\Delta V_c(t) = RI_p$. No fim de cada ciclo do sinal de entrada uma tensão de mesma magnitude, mas de sentido oposto é formado por este circuito como mostrado na Figura 2.13.

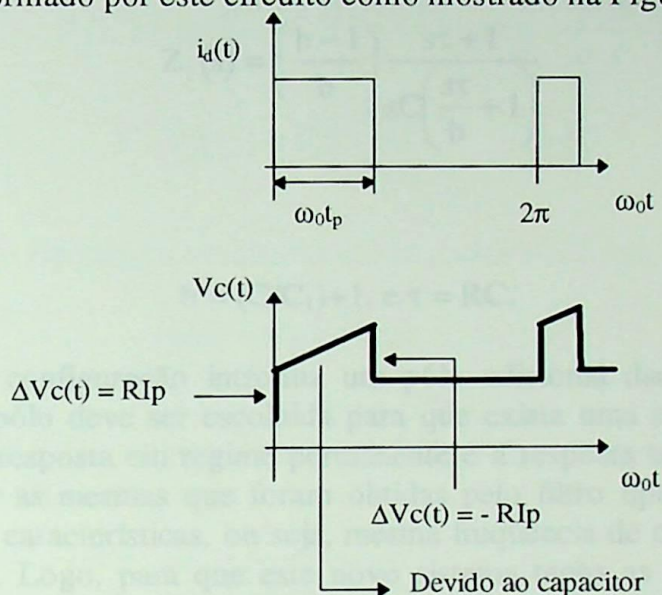


Figura 2.13 - Tensão de Controle Formada pelo Filtro “Lag” Durante um Ciclo do Sinal de Entrada.

O desvio de frequência resultante no oscilador para esta tensão de controle é dada por:

$$|\Delta\omega_2 = K_0 \cdot \Delta V_c(t_p) = K_0 RI_p \quad (2.16)$$

A inconveniência deste filtro é que a parcela da resposta devido ao resistor que o compõe provoca grandes excursões retangulares (ripple) na tensão de controle do oscilador como pode ser visto na Figura 2.13. Estas excursões podem provocar a sobrecarga do circuito VCO e conseqüentemente provocar a perda de sincronismo do circuito DPLL.

2.3.2 Filtro “lag” Passivo com Capacitor em Paralelo

Para se reduzir as excursões provocadas pelo filtro tipo “Lag”, utiliza-se um capacitor em paralelo com o circuito anterior, tal como indicado na Figura 2.14.

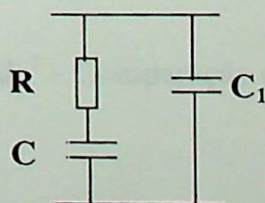


Figura 2.14 - Filtro Tipo “Lag” com Capacitor em Paralelo.

A impedância [9] deste filtro é dada por:

$$Z_f(s) = \left(\frac{b-1}{b} \right) \frac{s\tau + 1}{sC \left(\frac{s\tau}{b} + 1 \right)} \quad (2.17)$$

onde:

$$b = (C/C_1) + 1, \text{ e } \tau = RC.$$

Esta nova configuração introduz um pólo adicional dado por $s = -(b/\tau)$. A localização deste pólo deve ser escolhida para que exista uma redução do ripple do sistema DPLL. A resposta em regime permanente e a resposta transitória deste novo sistema devem ser as mesmas que foram obtidas pelo filtro tipo “Lag” passivo que possua as mesmas características, ou seja, mesma frequência de corte e mesmo ganho de malha do PLL. Logo, para que este novo sistema tenha as características dadas acima, o pólo adicional deve estar localizado a pelo menos uma década a direita da frequência de corte do sistema como mostrado na Figura 2. 15 [9,11].

Da Figura 2.15 observa-se que a resposta em regime permanente e a resposta dinâmica dos sistemas (sistemas utilizando filtro tipo ‘Lag’ passivo e filtro tipo “Lag” passivo com capacitor em paralelo) são praticamente iguais, somente existindo uma pequena diferença na fase entre estes dois sistemas.

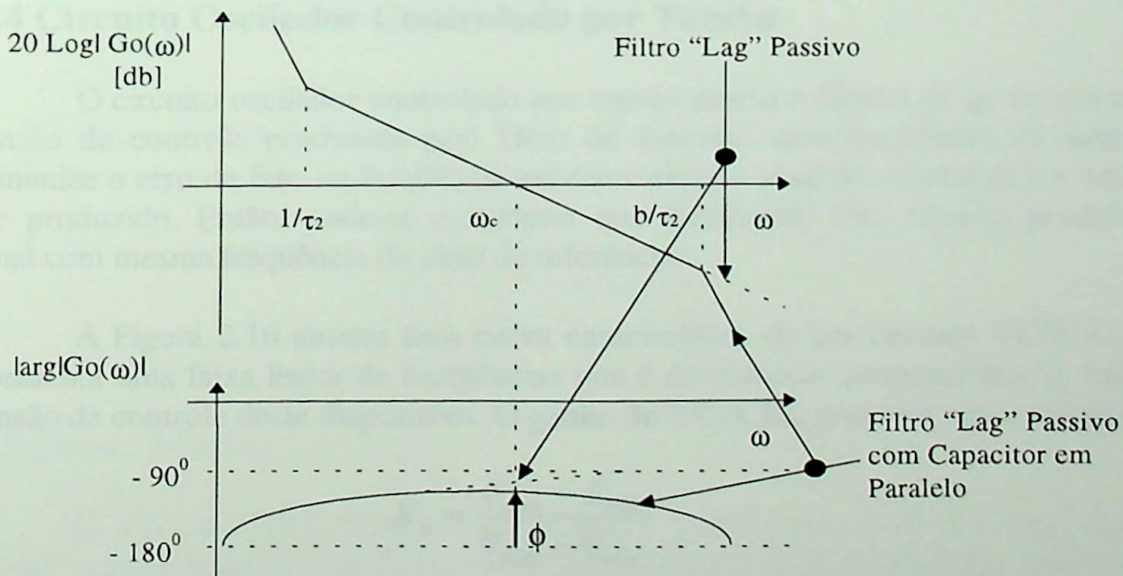


Figura 2.15 - Diagrama de Bode¹ - Comparação entre os Sistemas Apresentados.

¹ a definição do Diagrama de Bode é apresentada na Seção 2.5.

A redução do “ripple” conseguida através da inclusão do capacitor C_1 em comparação com o sistema anterior será computado agora. O capacitor C_1 faz com que as excursões retangulares mostradas na Figura 2.14 sejam “alisadas” em funções exponenciais. A resposta deste filtro para um pulso de corrente de duração t_p é dada por :

$$V_c(t_p) = I_p R \left(\frac{b-1}{b} \right) \left\{ \frac{b-1}{b} \left[1 - \exp \left(-\frac{|\theta_e| b}{\omega_i \tau_2} \right) + \frac{|\theta_e|}{\omega_i \tau_2} \right] \right\}$$

$$V_c(t_p) = I_p R \frac{b|\theta_e|}{\omega_i \tau_2}, \quad b \gg 1$$

(2.18)

O desvio de frequência resultante no oscilador para esta tensão de controle é dada por:

$$|\Delta\omega_3| = K_0 \cdot V_c(t_p)$$

(2.19)

Então, a redução do ripple, denominada de RR, por este sistema com relação ao anterior é calculada como sendo:

$$RR = \frac{|\Delta\omega_3|}{|\Delta\omega_2|} = \frac{b|\theta_e|}{\omega_i \tau_2}$$

(2.20)

Observa-se que a grande vantagem deste sistema é que o mesmo apresenta a resposta transitória e a resposta em regime permanente muito próxima a resposta dada pelo filtro tipo “Lag” passivo, mas com a vantagem de reduzir sensivelmente o ripple do sistema, evitnado assim, sobrecarregar o VCO.

2.4 Circuito Oscilador Controlado por Tensão

O circuito oscilador controlado por tensão possui a função de gerar, a partir da tensão de controle produzida pelo filtro do sistema, uma frequência de saída que minimize o erro de fase ou frequência existente entre o sinal de referência e o sinal por ele produzido. Então, pode-se considerar que idealmente este circuito produza um sinal com mesma frequência do sinal de referência.

A Figura 2.16 mostra uma curva característica de um circuito VCO. O VCO apresenta uma faixa linear de frequências que é diretamente proporcional ao valor da tensão de controle deste dispositivo. O ganho do VCO, K_0 , pode ser representado por:

$$K_0 = \frac{F_{\max} - F_{\min}}{V_{\max} - V_{\min}}$$

(2.21)

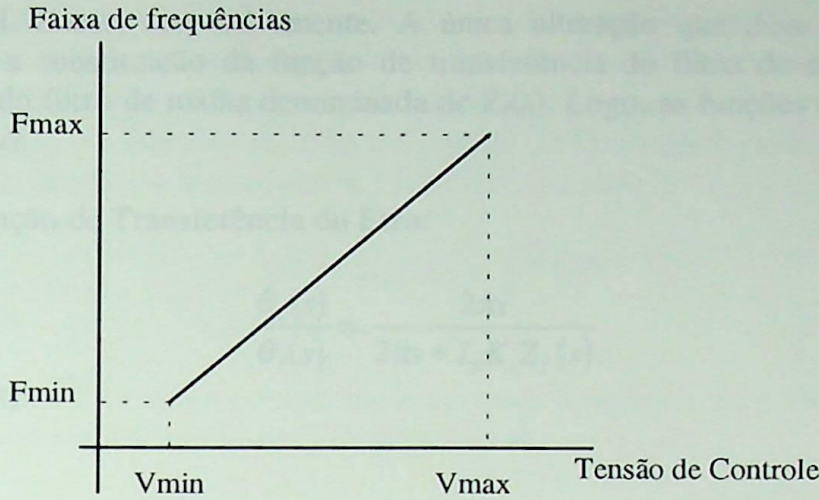


Figura 2.16 - Curva Característica do VCO.

Sabendo-se que a frequência angular de um sinal é igual a derivada da fase deste sinal com relação ao tempo (Figura 2.2), então a lei de controle do VCO é dada por:

$$(2.22) \quad \frac{d\theta_0(t)}{dt} = \omega_0 + K_0 V_c(t)$$

Assim, a partir da Equação (2.22), tem-se que o desvio de frequência provocado no VCO pela tensão de controle do sistema é dado por:

$$(2.23) \quad \frac{d\theta_0(t)}{dt} = K_0 V_c(t)$$

Como o DPLL compara as fases dos sinais (referência e VCO), da Equação (2.17) tem-se que a fase do sinal de saída produzido pelo VCO é dada por:

$$(2.24) \quad \theta_0(t) = \int_0^t K_0 V_c(t) dt$$

2.5 Estabilidade

O circuito DPLL proposto é composto por um circuito PFD Tipo “Charge Pump” como detetor de fase/frequência, um filtro de malha do tipo “Lag” passivo com Capacitor em Paralelo, e um VCO capaz de responder dentro da faixa de operação requerida para o sistema.

Para obter as funções de transferências do circuito proposto pode-se utilizar as Equações (2.8), (2.9) e (2.10), que representam a função de transferência de erro, a função de transferência de malha aberta e a função de transferência de malha fechada

de uma PLL linear, respectivamente. A única alteração que deve ser feita nestas equações é a substituição da função de transferência do filtro de malha, $F(s)$, pela impedância do filtro de malha denominada de $Z_f(s)$. Logo, as funções de transferências do DPLL são:

- Função de Transferência do Erro:

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{2\pi s}{2\pi s + I_p K_o Z_f(s)} \quad (2.25)$$

- Função de Transferência de Malha Aberta:

$$G_o(s) = \left(\frac{I_p}{2\pi} \right) \left(\frac{K_o}{s} \right) Z_f(s) \quad (2.26)$$

- Função de Transferência de Malha Fechada:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{I_p K_o Z_f(s)}{2\pi s + I_p K_o Z_f(s)} \quad (2.27)$$

O valor de $Z_f(s)$ nas Equações (2.25), (2.26) e (2.27) é dado pela Equação (2.17).

Uma ferramenta poderosa que é utilizada durante o projeto do circuito DPLL é o diagrama de Bode. O diagrama de Bode [10,11] é a representação da amplitude e da fase da resposta em frequência do sistema DPLL. A resposta em frequência é obtida substituindo-se a função de transferência de malha aberta do DPLL, $G_o(s)$, por um número complexo, isto é, agora analisa-se $G_o(j\omega)$ para um dado valor de ω .

O par de gráficos de Bode é plotado com relação a um eixo de escala logarítmica. O gráfico da amplitude é normalmente expresso da seguinte forma:

$$20 \log |G_o(\omega)| \quad (2.28)$$

sendo este dado em decibel (dB).

O valor da frequência de corte do DPLL, que é calculada como sendo o ponto de interseção da curva de amplitude com a linha de zero "dB" do sistema. A frequência de corte é determinada matematicamente pela seguinte equação:

$$|G_o(\omega_c)| = 1 \quad (2.29)$$

O gráfico de fase, que compõe o par do diagrama de Bode do sistema, é utilizado para se fazer considerações a respeito da estabilidade do sistema. O critério de Nyquist indica se um sistema é estável quando a margem de fase do sistema, MF, é positiva [14,15]. A margem de fase do sistema é determinada somando-se 180° ao argumento da função de transferência $|G_o(\omega)|$, ou seja:

$$MF = \arg[G_o(\omega_c)] + 180^\circ \tag{2.30}$$

A Figura 2.17 mostra como se determina a frequência de corte e a margem de fase de um sistema utilizando-se o diagrama de Bode.

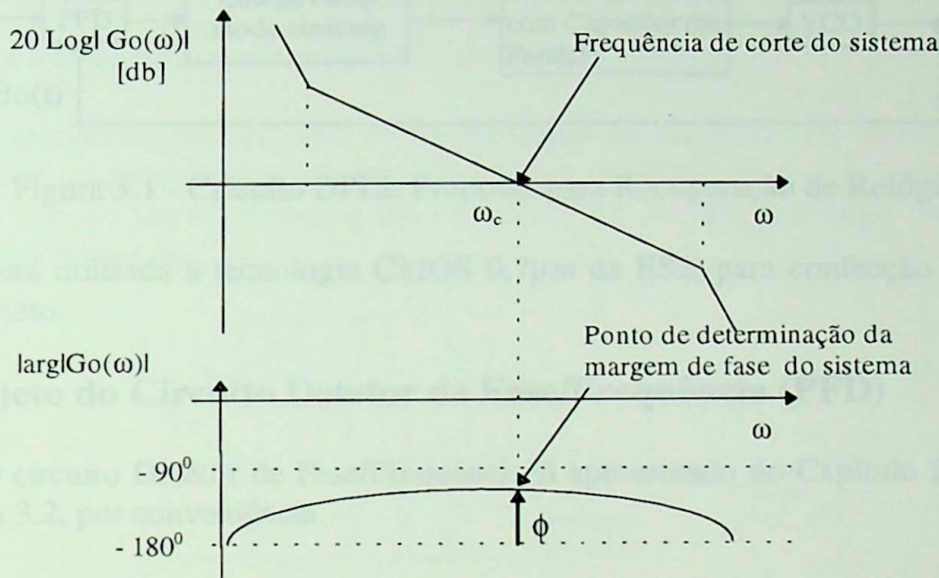


Figura 2.17 - Diagrama de Bode de um Sistema de 3ª Ordem.

Um outro método de se analisar a estabilidade no sistema DPLL é analisar a localização dos pólos da função de transferência de malha fechada do DPLL [15]. Neste tipo de análise considera-se que o sistema é estável se todos os pólos do mesmo estão localizados a esquerda no plano complexo “S” como indicado na Figura 2.18.

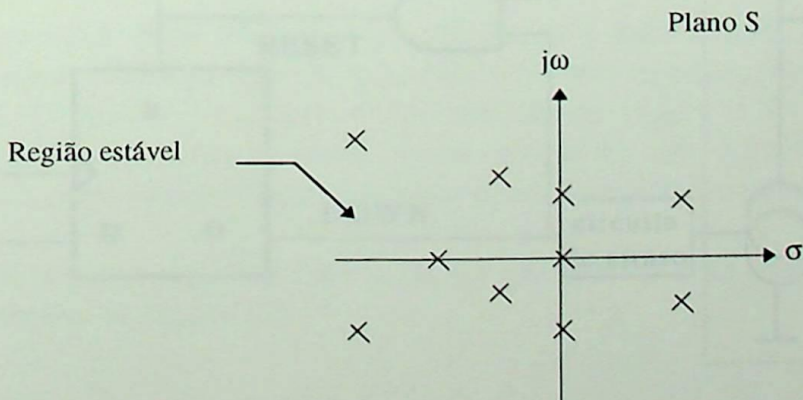


Figura 2.18 - Localização de Pólos no Plano “S”.

Os dois métodos de análise de estabilidade mostrados anteriormente serão utilizados posteriormente para estudar a estabilidade do sistema DPLL proposto.

Capítulo 3

PROJETO DO CIRCUITO DIGITAL PHASE LOCKED LOOP (DPLL)

O circuito DPLL proposto para ser usado em sistemas de recuperação de relógio é constituído por um detetor de fase/frequência - PFD, um circuito "Charge-Pump", um filtro e um circuito oscilador controlado por tensão -VCO, conforme é mostrado na Figura 3.1.

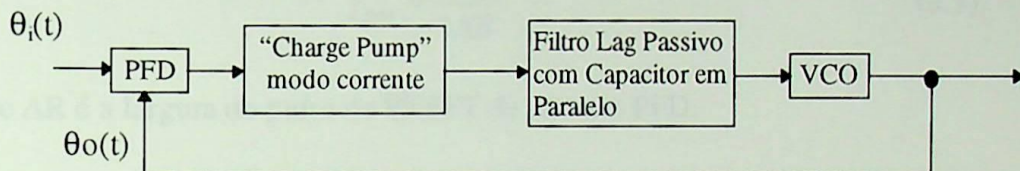


Figura 3.1 - Circuito DPLL Proposto para Recuperação de Relógio

Será utilizada a tecnologia CMOS 0,7 μ m da ES2, para confecção dos blocos deste projeto.

3.1 Projeto do Circuito Detetor de Fase/Frequência (PFD)

O circuito Detetor de Fase/Frequência já apresentado no Capítulo 2 é repetido na Figura 3.2, por conveniência.

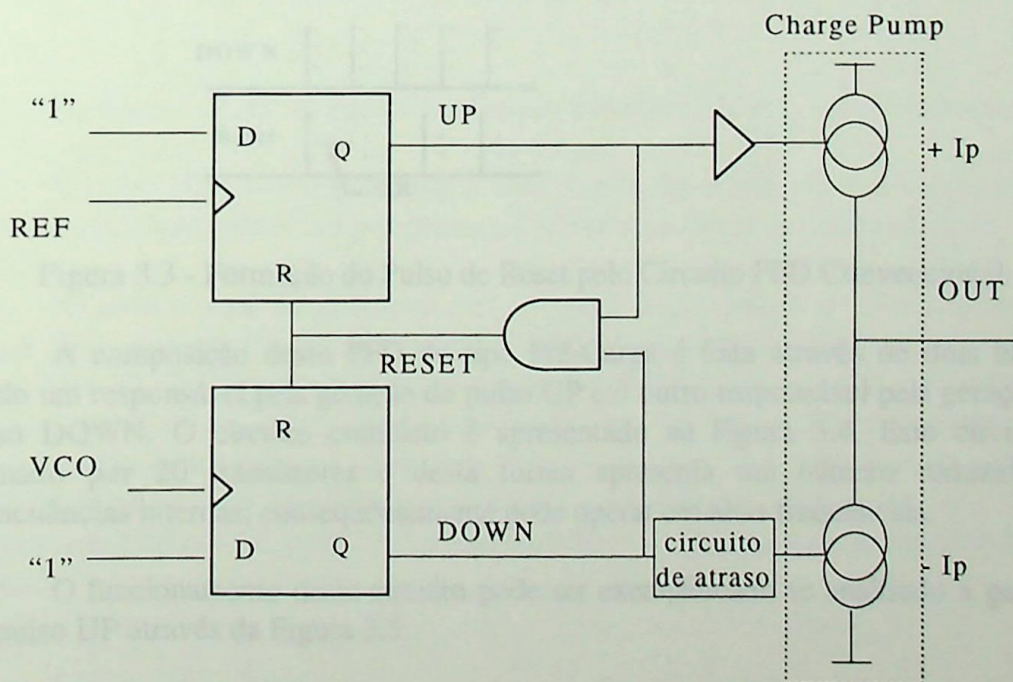


Figura 3.2 - Representação do Circuito PFD e Circuito "Charge-Pump".

A inicialização do circuito PFD se dá quando há geração de pulsos UP=DOWN=1. Desta forma, o circuito fica apto a receber novas transições de entrada do sinal de referência ou sinal produzido pelo VCO.

Para este circuito, existe uma restrição com relação a frequência máxima de operação [16,17], pelo fato do mesmo operar em altas velocidades. Caso o pulso de RESET for longo demais, promoverá um erro na formação do sinal de saída do PFD, como mostra a Figura 3.3. Logo a frequência máxima de operação deste circuito é dada em função do atraso do sinal de RESET, ou seja:

$$f_{max} = \frac{1}{2\Delta R} \quad (3.1)$$

onde ΔR é a largura do pulso de RESET do circuito PFD.

Este tipo de circuito, não se mostra capaz de comparar os dados de entrada (sinal de referência e sinal produzido pelo VCO) do PFD em altas frequências, desta forma, a solução foi implementar um circuito PFD do tipo pré-carga proposto por Harafusa Kondon [18].

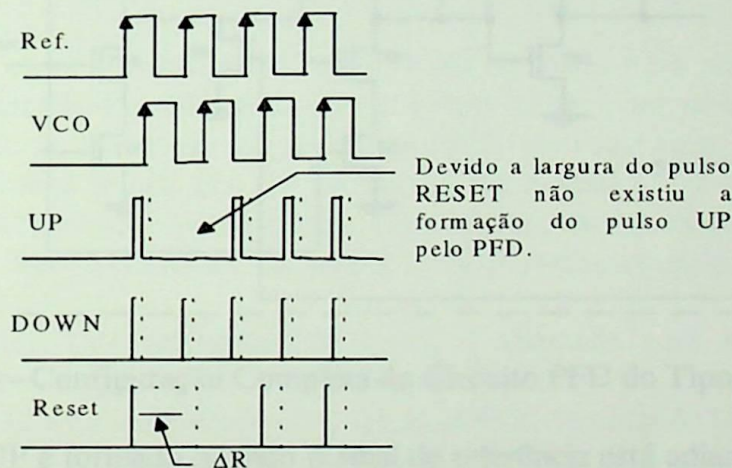


Figura 3.3 - Formação do Pulso de Reset pelo Circuito PFD Convencional

A composição deste PFD do tipo Pré-Carga é feita através de dois blocos, sendo um responsável pela geração do pulso UP e o outro responsável pela geração do pulso DOWN. O circuito completo é apresentado na Figura 3.4. Este circuito é formado por 20 transistores e desta forma apresenta um número reduzido de capacitâncias internas; consequentemente pode operar em altas frequências.

O funcionamento deste circuito pode ser exemplificado se analisado a geração do pulso UP através da Figura 3.5.

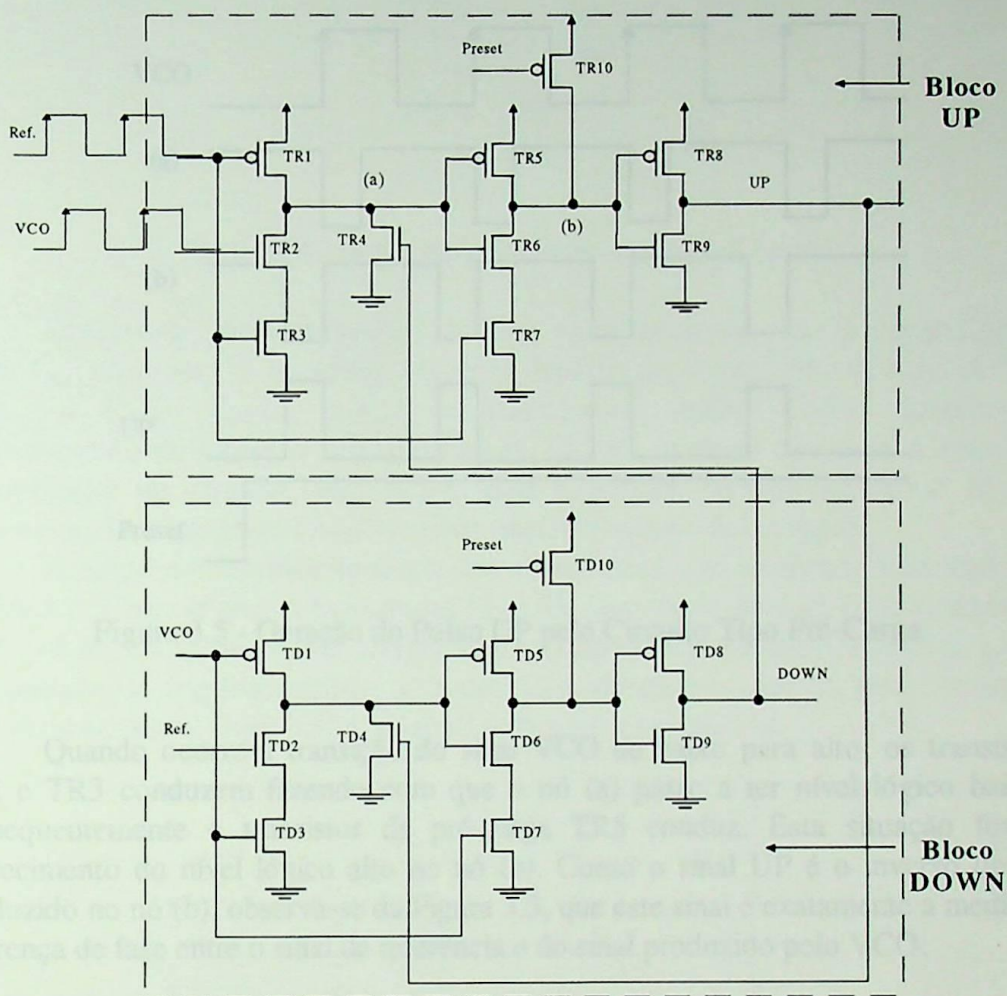
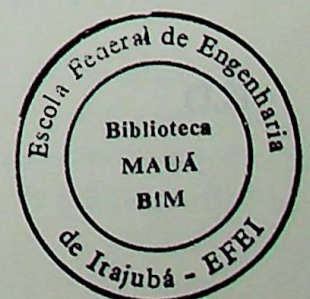


Figura 3.4 - Configuração Completa do Circuito PFD do Tipo Pré-Carga

O pulso UP é formado quando o sinal de referência está adiantado com relação ao sinal produzido pelo VCO (recomenda-se observar a figura 3.4 nesta análise).

Quando o sinal de referência está em nível lógico baixo, o transistor de Pré-Carga TR1 conduz, e consequentemente o nó (a) do circuito é colocado em nível lógico alto. O nó (b) também se encontra em nível lógico alto devido a aplicação de um sinal de preset durante a inicialização do sistema. Quando o sinal de referência faz uma transição de nível lógico baixo para alto, o transistor TR1 corta fazendo com que o nó (a) fique em alta impedância (mantendo o nível lógico alto), e faz com que os transistores TR6 e TR7 conduzam, quando então o nó (b) passa estar em nível lógico baixo.



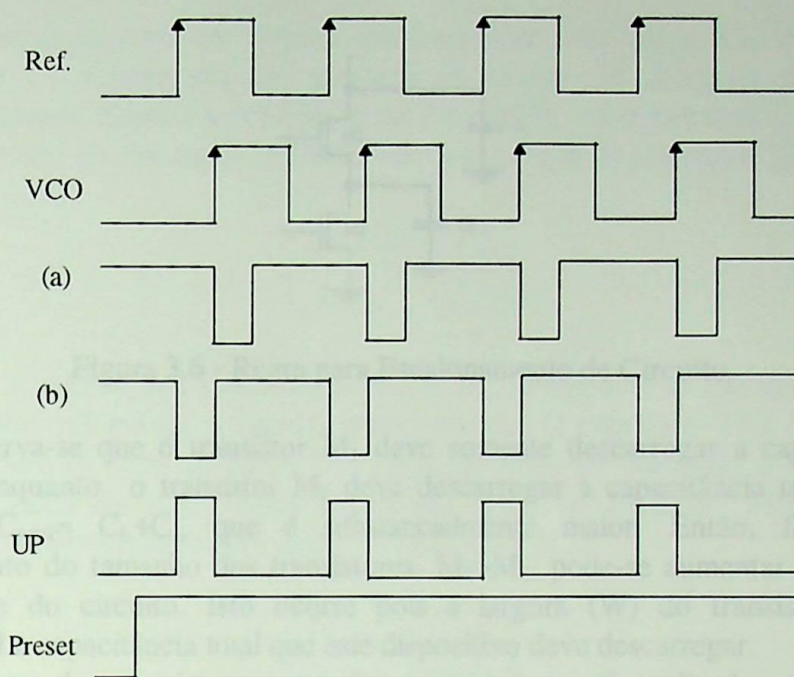


Figura 3.5 - Geração do Pulso UP pelo Circuito Tipo Pré-Carga.

Quando ocorre a transição do sinal VCO de baixo para alto, os transistores TR2 e TR3 conduzem fazendo com que o nó (a) passe a ter nível lógico baixo, e consequentemente o transistor de pré-carga TR5 conduz. Esta situação força o aparecimento do nível lógico alto no nó (b). Como o sinal UP é o inverso do sinal produzido no nó (b), observa-se da Figura 3.5, que este sinal é exatamente a medida da diferença de fase entre o sinal de referência e do sinal produzido pelo VCO.

O transistor TR4 (transistor de reset) é utilizado para que não exista a formação simultânea de pulsos UP e DOWN pelo circuito PFD, ou seja, este transistor é encarregado de fazer o reset dos blocos UP e DOWN no circuito PFD.

O transistor TR10 (transistor de preset) é utilizado para que o PFD não faça a geração de pulsos UP e DOWN durante a inicialização do sistema.

A técnica para atingir altas velocidades é utilizada para o projeto dos blocos UP e DOWN e como os mesmos possuem a mesma configuração, será apresentado somente o projeto do bloco UP. Os resultados apresentados para o bloco UP será válido para o bloco DOWN.

Para atingir altas velocidades na concepção do bloco UP, do circuito PFD, é utilizado o escalonamento de transistores e o reposicionamento dos mesmos [19]. Para esta técnica existe uma regra que pode ser exemplificada através da Figura 3.6:

$$W_{M2} = W_{M1} \left(\frac{C_L + C_a}{C_L} \right) \quad (3.2)$$

em contrapartida haveria um aumento da capacitância de carga, C_L , do sistema. O aumento de C_L resulta em um aumento do tempo de descarga do sistema e consequentemente diminui a velocidade do ramo [20]. As dimensões adotadas, após simulações feitas no simulador HSPICE, para o transistor de pré-carga TR1 são:

$$\left(\frac{W}{L}\right)_{R1} = \left(\frac{7,2}{0,8}\right)$$

Para o calculo dos transistores TR2 e TR3 utilizou-se as mesmas técnicas de projeto de alta velocidade mostradas anteriormente. O transistor TR2 é o transistor crítico do primeiro ramo do bloco UP, logo este deve ser colocado o mais próximo possível da saída do ramo. Após simulações feitas no simulador HSPICE, foram adotados as seguintes dimensões para o transistor TR2:

$$\left(\frac{W}{L}\right)_{R2} = \left(\frac{3,6}{0,8}\right)$$

Para determinar as dimensões do transistor TR3, aplicou-se a técnica de escalonamento e pode utilizar a Equação (3.2), logo:

$$\left(\frac{W}{L}\right)_{R3} = \left(\frac{W}{L}\right)_{R2} \left(\frac{C_L + C_a}{C_L}\right) = 1,3 \left(\frac{W}{L}\right)_{R2}$$

$$\left(\frac{W}{L}\right)_{R3} = \left(\frac{4,8}{0,8}\right)$$

$$\left(\frac{C_L + C_a}{C_L}\right) = 1,3$$

Esta relação foi obtida após simulações do circuito dado acima no simulador HSPICE).

Os transistores TR5, TR6, TR7, formam o segundo ramo de pré-carga do bloco UP como é mostrado na Figura 3.4. Para determinar as dimensões dos transistores TR6 e TR7 que operam durante a fase de avaliação do bloco, utilizou-se apenas a técnica de escalonamento. As dimensões dos transistores TR6 e TR7 podem ser determinadas através da equação (3.2) e assim tem-se:

$$\left(\frac{W}{L}\right)_{R6} = \left(\frac{3,6}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{R7} = \left(\frac{C_L + C_a}{C_L}\right) \left(\frac{W}{L}\right)_{R6} = \left(\frac{4,8}{0,8}\right)$$

O transistor de pré-carga TR5 possui o mesmo valor do transistor de pré-carga TR1, logo as dimensões de TR5 são:

$$\left(\frac{W}{L}\right)_{R5} = \left(\frac{7,2}{0,8}\right)$$

Os transistores TR4 e TR10 que tem como função fazer o preset do bloco UP, tem a dimensão o valor mínima permitida pela tecnologia (CMOS 0,7 μ m da ES2), pois desta forma não contribuirão para um aumento da capacitância dos nós (a) e (b) do bloco UP (Figura 3.4). Logo, as dimensões dos transistores TR4 e TR10 são:

$$\left(\frac{W}{L}\right)_{R4,R10} = \left(\frac{2,4}{0,8}\right)$$

Os transistores TR8 e TR9 mostrados na Figura 3.4, formam o inversor de saída do bloco UP. Estes transistores foram projetados para possuírem tempo de subida e descida idênticos. Como a mobilidade do transistor pMOS é menor quando comparada com o transistor nMOS, para um inversor com tempos de subida e descida

iguais, a largura do transistor pMOS deve ser multiplicada por um fator $\left(\frac{\mu_n}{\mu_p}\right)=2$.

Adotando-se as dimensões mínimas para o transistor TR9 permitidas pela tecnologia, tem-se:

$$\left(\frac{W}{L}\right)_{R9} = \left(\frac{2,4}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{R8} = 2 \left(\frac{W}{L}\right)_{R9} = \left(\frac{4,8}{0,8}\right)$$

Os resultados obtidos para o bloco UP também são válidos para o bloco DOWN, pois estes são idênticos.

A Figura 3.8 mostra a simulação do circuito PFD para os sinais de entrada em 622 MHz com uma diferença de fase de 90°.

Figura 3.8 - Equilíbrio Fast de Carga PFD do Tipo Pré-Carga

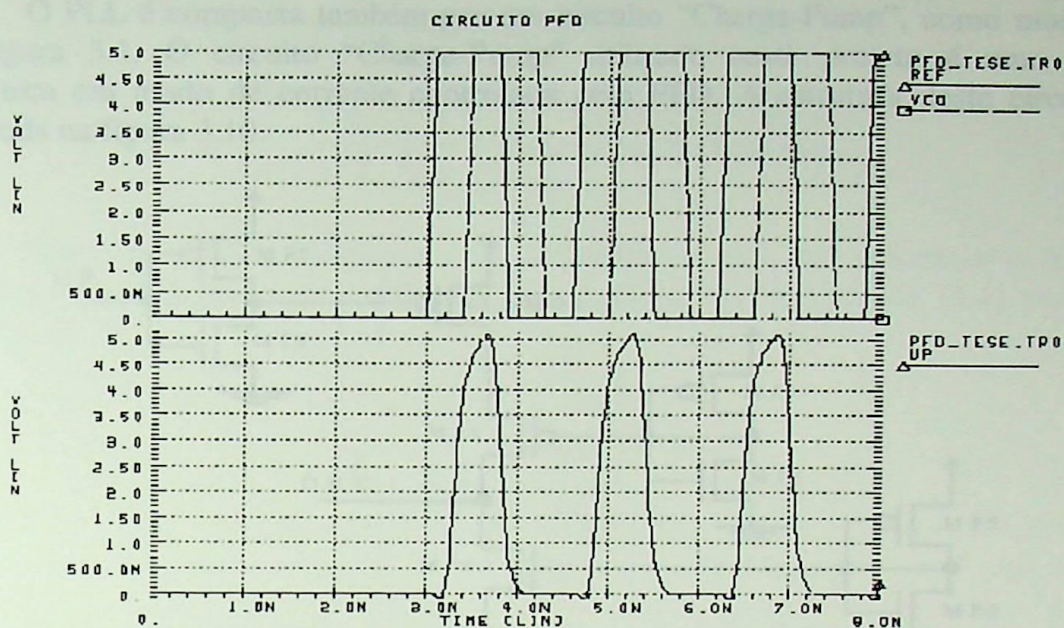


Figura 3.8. - Geração do Sinal UP pelo Circuito PFD.

O esquema final do circuito PFD é mostrado na Figura 3.9.

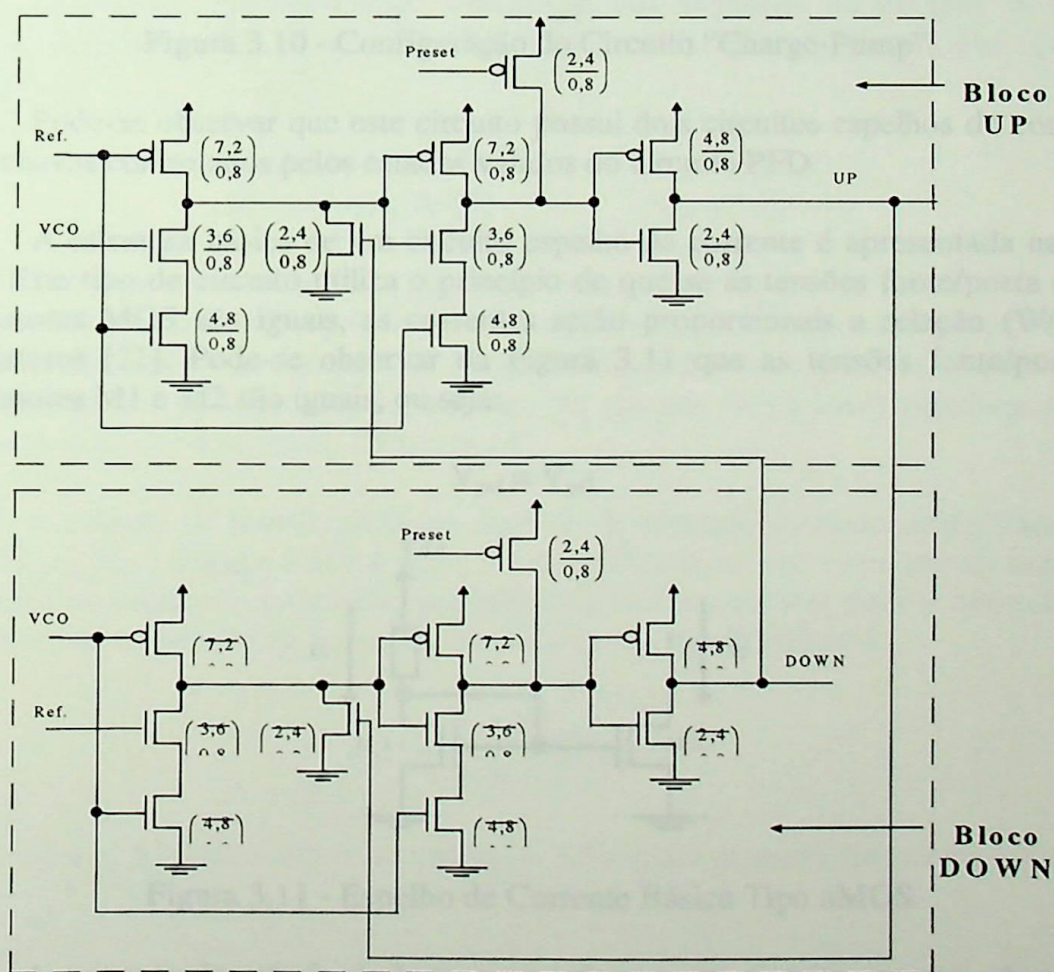


Figura 3.9: - Esquemático Final do Circuito PFD do Tipo Pré-Carga.

O PLL é composta também por um circuito “Charge-Pump”, como mostrado na Figura 3.1. O circuito “Charge-Pump” utilizado neste projeto é uma chave eletrônica em modo de corrente controlada pelo PFD. A estrutura deste circuito é mostrada na figura 3.10.

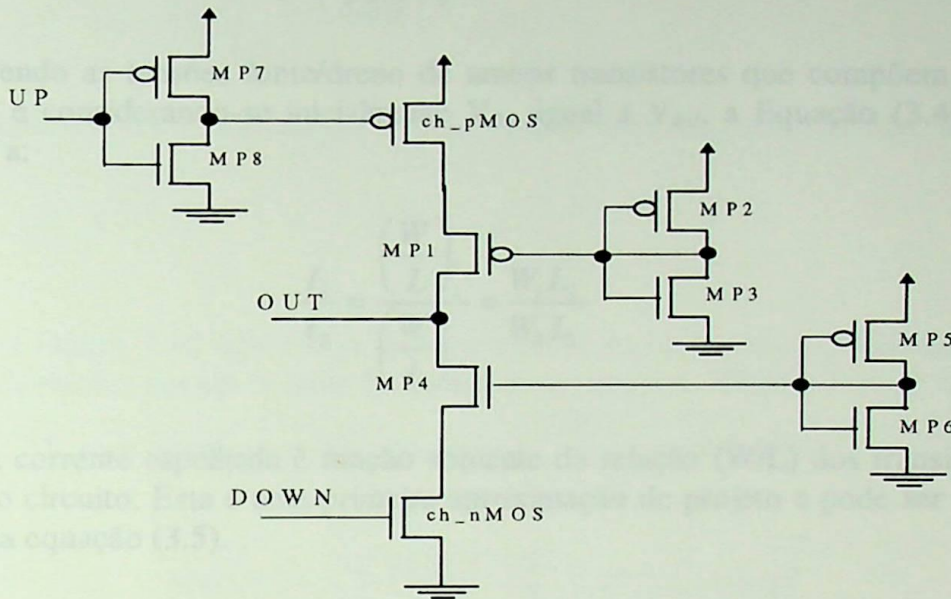


Figura 3.10 - Configuração do Circuito “Charge-Pump”.

Pode-se observar que este circuito possui dois circuitos espelhos de corrente e duas chaves controlados pelos estados válidos do circuito PFD.

A estrutura básica de um circuito espelho de corrente é apresentada na figura 3.11. Este tipo de circuito utiliza o princípio de que se as tensões fonte/porta de dois transistores MOS são iguais, as correntes serão proporcionais a relação (W/L) dos transistores [21]. Pode-se observar da Figura 3.11 que as tensões fonte/porta dos transistores M1 e M2 são iguais, ou seja:

$$V_{gs1} = V_{gs2} \quad (3.3)$$

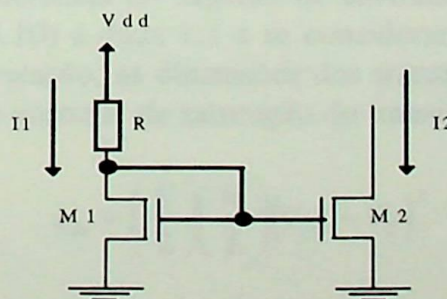


Figura 3.11 - Espelho de Corrente Básico Tipo nMOS.

A corrente de referência I_1 é controlada por um circuito externo. A corrente espelhada I_2 é dada pela equação 3.4, considerando-se que ambos os transistores operem na região de saturação.

$$\frac{I_1}{I_2} = \frac{\left(\frac{K_n}{2}\right)\left(\frac{W}{L}\right)_1 (V_{gs1} - V_{Ton})^2 (1 + \lambda V_{ds1})}{\left(\frac{K_n}{2}\right)\left(\frac{W}{L}\right)_2 (V_{gs2} - V_{Ton})^2 (1 + \lambda V_{ds2})} \quad (3.4)$$

Sendo as tensões fonte/dreno de ambos transistores que compõem o espelho idênticas e considerando-se inicialmente V_{ds1} igual a V_{ds2} , a Equação (3.4) pode ser reduzida a:

$$\frac{I_1}{I_2} = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2} = \frac{W_1 L_2}{W_2 L_1} \quad (3.5)$$

A corrente espelhada é função somente da relação (W/L) dos transistores que compõe o circuito. Esta é uma primeira aproximação de projeto e pode ser observada através da equação (3.5).

O circuito “Charge-Pump” utilizou-se dos seguintes parâmetros de projeto (CMOS 0,7µm da ES2) para os cálculos das dimensões dos transistores que compõe o circuito:

$$\begin{array}{ll} K_p = 50,6461 (\mu A/V^2) & V_{top} = -0,92(V) \\ K_n = 127,63 (\mu A/V^2) & V_{ton} = 0,906(V) \end{array}$$

Para que o circuito DPLL consiga fazer o sincronismo de modo mais rápido, fez-se o uso dos circuitos espelhos de corrente, pois estes circuitos são projetados para conduzir (drenar) uma corrente de 500µA. Este valor foi especificado para que se consiga carregar as capacitâncias internas do circuito DPLL mais rapidamente para aumentar o ganho do circuito DPLL [9,14].

A relação de transferência do espelho de corrente formado pelos transistores M_{p1} , M_{p2} e M_{p3} , (Figura 3.10) é dada 1:1 e se considerar que estes transistores estão operando na região de saturação, as dimensões dos transistores podem ser calculadas utilizando-se a equação de corrente de saturação do transistor MOS:

$$I_{ds} = \left(\frac{K}{2}\right)\left(\frac{W}{L}\right)(V_{gs1} - V_T)^2 \quad (3.6)$$

Assim, adotando-se o valor de $V_{gs2} = 3,5V$ (para primeira aproximação), a razão $\left(\frac{W}{L}\right)_{p2}$ é:

$$500.10^{-6} = \frac{50,5451.10^{-6}}{2} \left(\frac{W}{L} \right)_{P_2} (3,5 - |-0,92|)^2$$

$$\left(\frac{W}{L} \right)_{P_2} = 2,9663$$

Definindo-se o valor de $L_{P_2} = 0,8\mu$, as dimensões do transistor M_{P_2} são:

$$\left(\frac{W}{L} \right)_{P_2} = \left(\frac{2,4}{0,8} \right)$$

Da Figura 3.10 observa-se que as tensões fonte/porta dos transistores M_{P_1} e M_{P_2} são diferentes devido as suas localizações no circuito “Charge-Pump”. Adotando-se $V_{gs1} = 2,5V$ para o transistor M_{P_1} tem-se que $\left(\frac{W}{L} \right)_{P_1}$ é dado por:

$$500.10^{-6} = \frac{50,5451.10^{-6}}{2} \left(\frac{W}{L} \right)_{P_1} (2,5 - |-0,92|)^2$$

$$\left(\frac{W}{L} \right)_{P_1} = 7,9093$$

Adotando-se $L_{P_1} = 0,8\mu$, as dimensões de M_{P_1} são:

$$\left(\frac{W}{L} \right)_{P_1} = \left(\frac{6,4}{0,8} \right)$$

Como $V_{gs2} = 3,5V$, pode-se observar pela Figura 3.10 que a tensão fonte/porta do transistor M_{P_3} é dada por $V_{gs3} = 1,5V$, logo a razão $\left(\frac{W}{L} \right)_{P_3}$ é dado por:

$$500.10^{-6} = \frac{127,63.10^{-6}}{2} \left(\frac{W}{L} \right)_{P_3} (1,5 - 0,906)^2$$

$$\left(\frac{W}{L} \right)_{P_3} = 22,4385$$

Adotando-se $L_{P_3} = 0,8\mu$, as dimensões de M_{P_3} são:

$$\left(\frac{W}{L} \right)_{P_3} = \left(\frac{18}{0,8} \right)$$

O outro circuito espelho de corrente é formado pelos transistores M_{P4} , M_{P5} e M_{P6} (Figura 3.10), apresentando uma relação de transferência de corrente de 1:1 entre os transistores M_{P4} e M_{P6} . Como todos os transistores estão operando na região de saturação, a Equação (3.6) pode ser utilizada para determinar as suas dimensões.

Logo, $\left(\frac{W}{L}\right)_{P6}$ é dada por:

$$50010^{-6} = \frac{127,6 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{P6} (3 - 0,906)^2$$

$$\left(\frac{W}{L}\right)_{P6} = 1,7869$$

Definindo-se o valor de $L_{P6} = 0,8\mu$, as dimensões do transistor M_{P6} são:

$$\left(\frac{W}{L}\right)_{P6} = \left(\frac{2,4}{0,8}\right)$$

Devido a disposição dos transistores M_{P6} e M_{P4} no circuito “Charge-Pump” (Figura 3.10) as tensões fonte/porta destes transistores são diferentes. A tensão fonte/porta do transistor M_{P4} é menor quando comparada com a do transistor M_{P6} .

Admitindo-se $V_{gs4} = 2,5V$, a razão $\left(\frac{W}{L}\right)_{P4}$ é:

$$50010^{-6} = \frac{127,6 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{P4} (2,5 - 0,906)^2$$

$$\left(\frac{W}{L}\right)_{P4} = 3,5103$$

Adotando-se $L_{P4} = 0,8\mu$, as dimensões de M_{P4} são:

$$\left(\frac{W}{L}\right)_{P4} = \left(\frac{2,8}{0,8}\right)$$

Como $V_{gs5} = 3V$, pode-se observar na Figura 3.10 que a tensão fonte/porta do transistor M_{P5} é dada por $V_{gs5} = 2V$, logo $\left(\frac{W}{L}\right)_{P5}$ é:

$$50010^{-6} = \frac{50,6461 \cdot 10^{-6}}{2} \left(\frac{W}{L} \right)_{P5} (2 - |-0,92|)^2$$

$$\left(\frac{W}{L} \right)_{P5} = 16,928$$

Adotando-se $L_{P5} = 0,8\mu$, as dimensões de M_{P5} são:

$$\left(\frac{W}{L} \right)_{P5} = \left(\frac{13}{0,8} \right)$$

As chaves de controle ch_pMOS e ch_nMOS da Figura 3.10 foram projetadas para possuírem a mesma velocidade de operação. Adotando-se as dimensões mínimas para o transistor M_{ch_nMOS} e considerando-se que $\left(\frac{\mu_n}{\mu_p} \right) = 2$, tem-se que as dimensões de M_{ch_pMOS} são:

$$\left(\frac{W}{L} \right)_{ch_nMOS} = \left(\frac{2,4}{0,8} \right)$$

$$\left(\frac{W}{L} \right)_{ch_pMOS} = 2 \left(\frac{W}{L} \right)_{ch_nMOS} = \left(\frac{4,8}{0,8} \right)$$

O inversor de entrada da ch_pMOS formado pelos transistores M_{P7} e M_{P8} da Figura 3.10 foi projetado para possuir tempos de subida e descida idênticos, assim:

$$\left(\frac{W}{L} \right)_{P8} = \left(\frac{2,4}{0,8} \right)$$

$$\left(\frac{W}{L} \right)_{P7} = 2 \left(\frac{W}{L} \right)_{P8} = \left(\frac{4,8}{0,8} \right)$$

A Figura 3.12 apresenta uma simulação do circuito “Charge-Pump” feita no simulador HSPICE. As novas dimensões dos transistores, ajustadas através das simulações são mostradas na Figura 3.13.

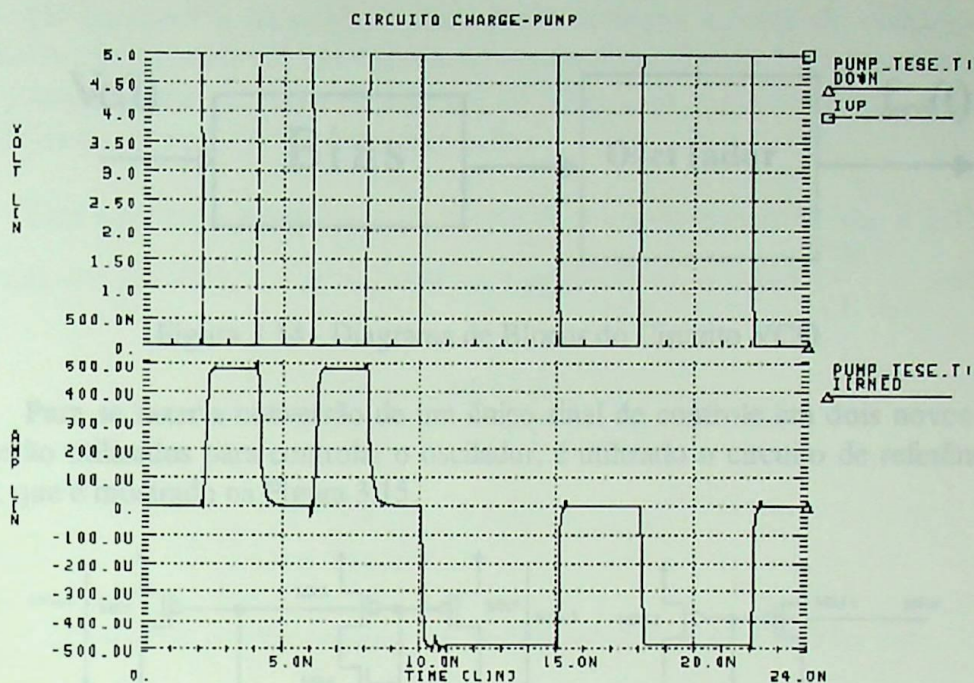


Figura 3.12 - Simulação do Circuito "Charge-Pump".

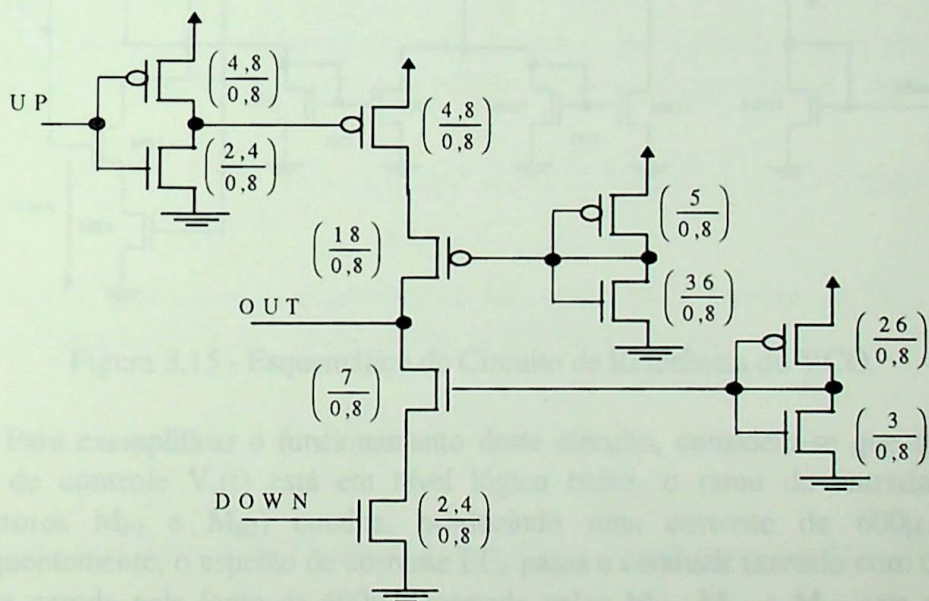


Figura 3.13 - Esquemático Final do Circuito "Charge-Pump".

3.2 Circuito Controlado por Tensão (VCO)

O circuito VCO é dividido em dois blocos: um bloco de referência (circuito de polarização) e o circuito oscilador. A Figura 3.14 mostra os dois blocos distintos do circuito oscilador controlado por tensão.

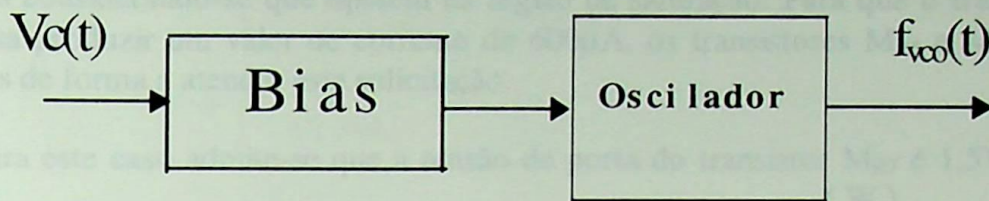


Figura 3.14 - Diagrama de Blocos do Circuito VCO.

Para se fazer a conversão de um único sinal de controle em dois novos sinais que serão utilizados para controlar o oscilador, é utilizado o circuito de referência do VCO, que é mostrado na Figura 3.15.

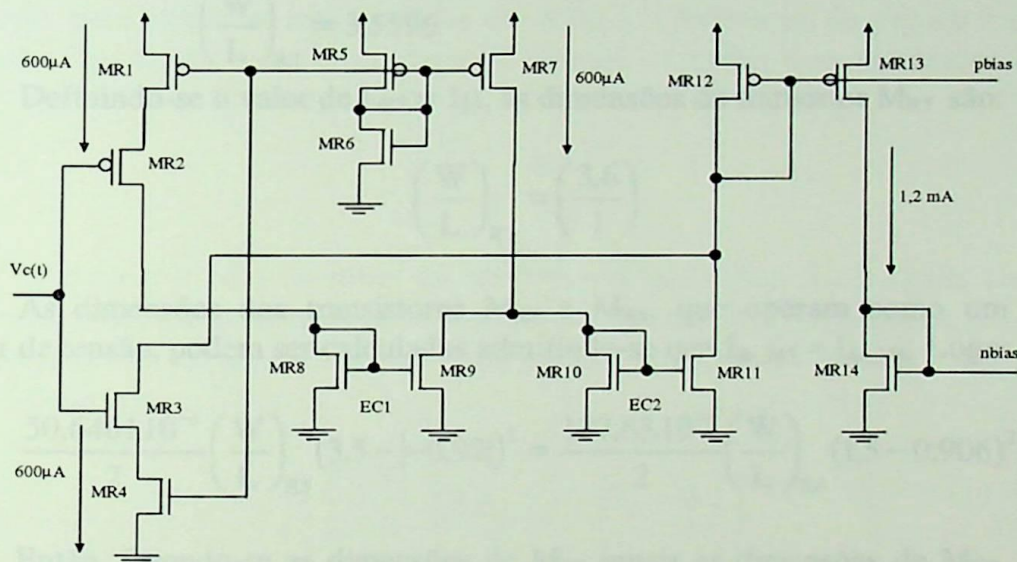


Figura 3.15 - Esquemático do Circuito de Referência do VCO.

Para exemplificar o funcionamento deste circuito, considera-se que quando a tensão de controle $V_c(t)$ está em nível lógico baixo, o ramo de entrada pMOS (transistores M_{R1} e M_{R2}) conduz, produzindo uma corrente de $600\mu A$ [18]. Consequentemente, o espelho de corrente EC_1 passa a conduzir fazendo com que toda corrente gerada pela fonte de $600\mu A$ formada pelos M_{R5} , M_{R6} e M_{R7} seja drenada. Nesta situação não existe corrente no ramo de saída (transistores M_{R12} e M_{R14}), a tensão de saída $pbias$ estará em nível lógico alto e a $nbias$ estará em nível lógico baixo. Esta situação representa a operação do VCO em sua frequência mínima.

Para o caso onde se tem o VCO operando com sua frequência máxima, a tensão de controle $V_c(t)$ estará em nível lógico alto. Logo o ramo de entrada nMOS (transistores M_{R3} e M_{R4}) conduza produzindo uma corrente de $600\mu A$. Desta forma, o espelho de corrente EC_2 passará a conduzir fazendo com que toda corrente gerada pela fonte de $600\mu A$ seja drenada por este espelho. Assim existe um fluxo de corrente máximo, da ordem de $1,2mA$, circulando pelo ramo de saída deste circuito (transistores M_{R12} e M_{R14}), a tensão de saída $Pbias$ estará em nível lógico baixo e a $nbias$ estará em nível lógico alto.

Os transistores M_{R5} , M_{R6} e M_{R7} que constituem a fonte de $600\mu A$, foram projetados considerando-se que operem na região de saturação. Para que o transistor M_{R7} , possa produzir um valor de corrente de $600\mu A$, os transistores M_{R5} e M_{R6} são calculados de forma a atender esta solicitação.

Para este caso admite-se que a tensão de porta do transistor M_{R7} é $1,5V$ para uma corrente de $600\mu A$, e se utilizando a equação (3.6), a razão $\left(\frac{W}{L}\right)_{R7}$ será dada por:

$$600 \cdot 10^{-6} = \frac{50,6461 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{R7} (3,5 - |-0,92|)^2$$

$$\left(\frac{W}{L}\right)_{R7} = 3,5596$$

Definindo-se o valor de $L_{R7} = 1\mu$, as dimensões do transistor M_{R7} são:

$$\left(\frac{W}{L}\right)_{R7} = \left(\frac{3,6}{1}\right)$$

As dimensões dos transistores M_{R5} e M_{R6} , que operam como um circuito divisor de tensão, podem ser calculadas admitindo-se que $I_{ds_M5} = I_{ds_M6}$. Logo:

$$\frac{50,6461 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{R5} (3,5 - |-0,92|)^2 = \frac{127,63 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{R6} (1,5 - 0,906)^2 \quad (3.7)$$

Então, fazendo-se as dimensões de M_{R5} iguais as dimensões de M_{R7} , pode-se utilizar a Equação (3.7) para se determinar as dimensões de M_{R6} :

$$\left(\frac{W}{L}\right)_5 = \left(\frac{W}{L}\right)_7 = \left(\frac{3,6}{1}\right)$$

e utilizando-se a Equação (3.7), tem-se que as dimensões do transistor M_{R6} são:

$$\left(\frac{W}{L}\right)_{R6} = \left(\frac{26,6}{1}\right)$$

O projeto dos circuitos espelhos de corrente EC_1 e EC_2 considera uma corrente máxima de $600\mu A$. Como o circuito EC_1 e EC_2 possuem uma relação de transferência de 1:1, conclui-se que M_{R8} , M_{R9} , M_{R10} , M_{R11} possuem as mesmas dimensões. Utilizando a Equação (3.6) e admitindo que $V_{gs8,9,10,11} = 3,5V$, tem-se que a razão $\left(\frac{W}{L}\right)_{R8}$ é:

$$600.10^{-6} = \frac{127,63.10^{-6}}{2} \left(\frac{W}{L} \right)_{R8} (3,5 - 0,906)^2$$

$$\left(\frac{W}{L} \right)_{R8} = 1,3984$$

Fazendo-se $L_{R8} = 2\mu$, as dimensões destes transistores são:

$$\left(\frac{W}{L} \right)_{R8,R9,R10,R11} = \left(\frac{2,8}{2} \right)$$

Os transistores M_{R1} e M_{R2} que compõe o ramo de entrada pMOS foram projetado para conduzir uma corrente de $600\mu A$. Observa-se da Figura 3.15 que o transistor M_{R2} opera como uma chave de entrada do ramo, e as dimensões adotadas para este transistor são as seguintes:

$$\left(\frac{W}{L} \right)_{R2} = \left(\frac{4,8}{0,8} \right)$$

O transistor M_{R1} do ramo de entrada pMOS (Figura 3.15) opera como uma resistência limitando a corrente em $600\mu A$. Pode-se observar, por simulação, que M_{R1} está operando na região linear. A corrente de um transistor MOS operando na região linear é dada por:

$$I_{ds} = \frac{K}{2} \left(\frac{W}{L} \right) [2(V_{gs} - V_T)V_{ds} - V_{ds}^2] \quad (3.8)$$

Então, a partir da Equação (3.8), pode-se determinar a razão $\left(\frac{W}{L} \right)_{R1}$:

$$600.10^{-6} = \frac{50,6461.10^{-6}}{2} \left(\frac{W}{L} \right)_{R1} [2(3,5 - |-0,92|)0,5 - 0,5^2]$$

$$\left(\frac{W}{L} \right)_{R1} = 10,169$$

Adotando-se $L_{R1} = 1\mu$, as dimensões de M_{R1} são:

$$\left(\frac{W}{L} \right)_{R1} = \left(\frac{10}{1} \right)$$

Os transistores M_{R3} e M_{R4} que compõe o ramo de entrada nMOS foram projetados para conduzir uma corrente de $600\mu A$ quando a chave deste ramo estiver ativada. Observa-se da Figura 3.15, que o transistor M_{R3} opera como uma chave de entrada deste ramo e as dimensões adotadas para esta chave são:

$$\left(\frac{W}{L}\right)_{R3} = \left(\frac{2,4}{0,8}\right)$$

O transistor M_{R4} do ramo de entrada nMOS opera como uma resistência limitando a corrente em $600\mu A$, e observa-se que este está operando na região de saturação. A partir da Equação (3.6), a relação $\left(\frac{W}{L}\right)_{R4}$ é:

$$600 \cdot 10^{-6} = \frac{127,63 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{R4} (1,5 - 0,906)^2$$

$$\left(\frac{W}{L}\right)_{R4} = 26,6474$$

Adotando-se $L_{R4} = 1\mu$, as dimensões de M_{R4} são:

$$\left(\frac{W}{L}\right)_{R4} = \left(\frac{27}{1}\right)$$

Os transistores M_{R12} , M_{R13} , e M_{R14} compõe o circuito de saída da Figura 3.15. Os transistores M_{R12} e M_{R13} estão ligados como um espelho de corrente, enquanto que o transistor M_{R14} está conectado como carga para limitar a corrente fornecida pelo transistor M_{R13} . Todos os transistores do circuito de saída estão operando na região de saturação, ou seja, a razão destes transistores pode ser obtida utilizando a Equação (3.6). A corrente máxima no ramo de saída deve ser $1,2mA$.

Assim, a partir da Equação (3.6) a razão $\left(\frac{W}{L}\right)_{R12,R13}$ é:

$$1,2 \cdot 10^{-3} = \frac{50,6461 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{R12,R13} (3 - |-0,92|)^2$$

$$\left(\frac{W}{L}\right)_{R12,R13} = 10,953$$

Definindo-se $L_{R12,R13} = 2\mu$, as dimensões dos transistores M_{R12} e M_{R13} são:

$$\left(\frac{W}{L}\right)_{R12,R13} = \left(\frac{22}{2}\right)$$

A razão $\left(\frac{W}{L}\right)_{R14}$ também pode ser determinada utilizando-se a Equação (3.6):

$$1,2 \cdot 10^{-3} = \frac{127,63 \cdot 10^{-6}}{2} \left(\frac{W}{L} \right)_{R14} (3,5 - 0,906)^2$$

$$\left(\frac{W}{L} \right)_{R14} = 2,794$$

As dimensões de M_{R14} , adotando-se $L_{R14} = 2\mu$, são:

$$\left(\frac{W}{L} \right)_{R14} = \left(\frac{5,6}{2} \right)$$

O esquemático final do circuito de referência do VCO é mostrado na Figura 3.16.

A Figura 3.17 mostra a curva característica do circuito de referência do VCO. Esta curva representa a relação de transformação de tensão de entrada para a corrente do ramo de saída. A Figura 3.18 mostra as tensões de controle geradas pelo circuito de referência do VCO.

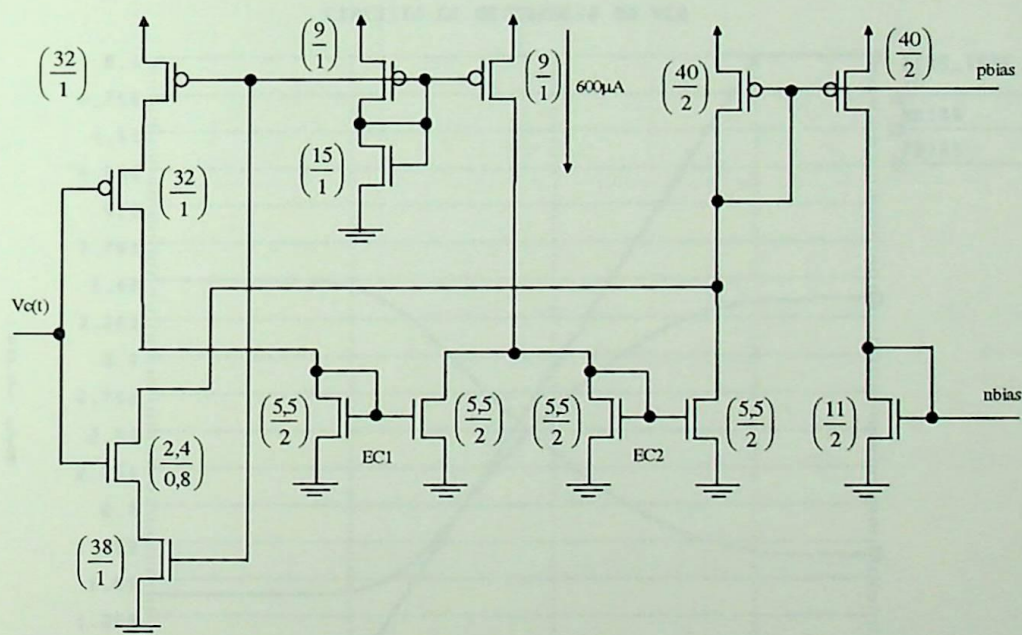


Figura 3.16 - Esquemático Final do Circuito de Referência do VCO.



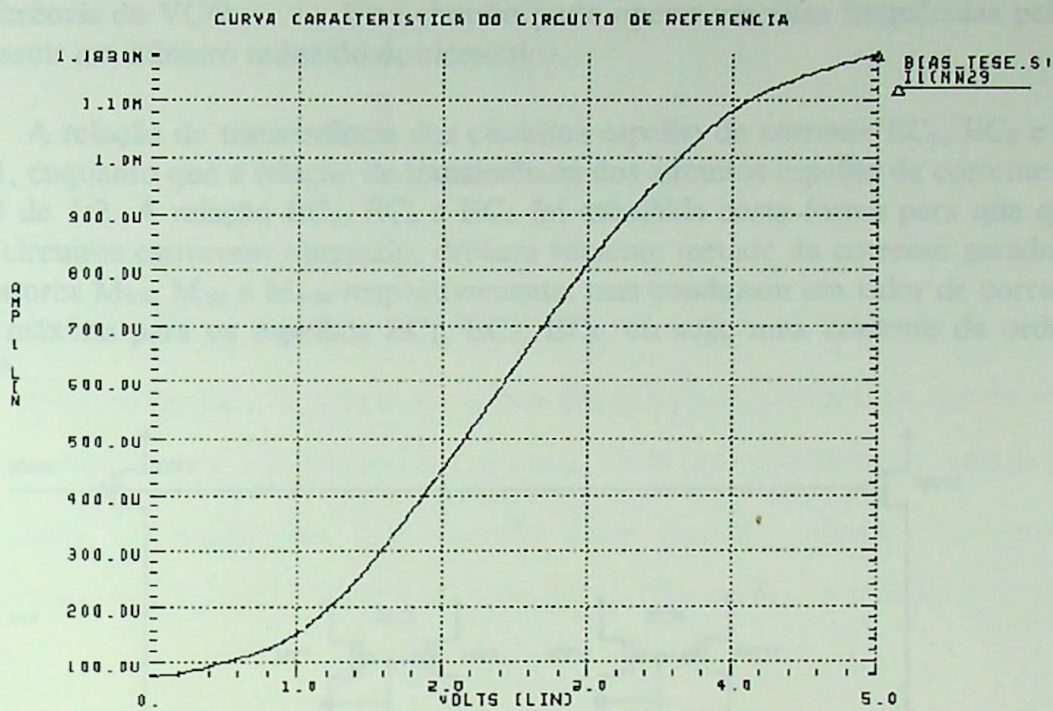


Figura 3.17 - Curva Característica do Circuito de Referência do VCO.

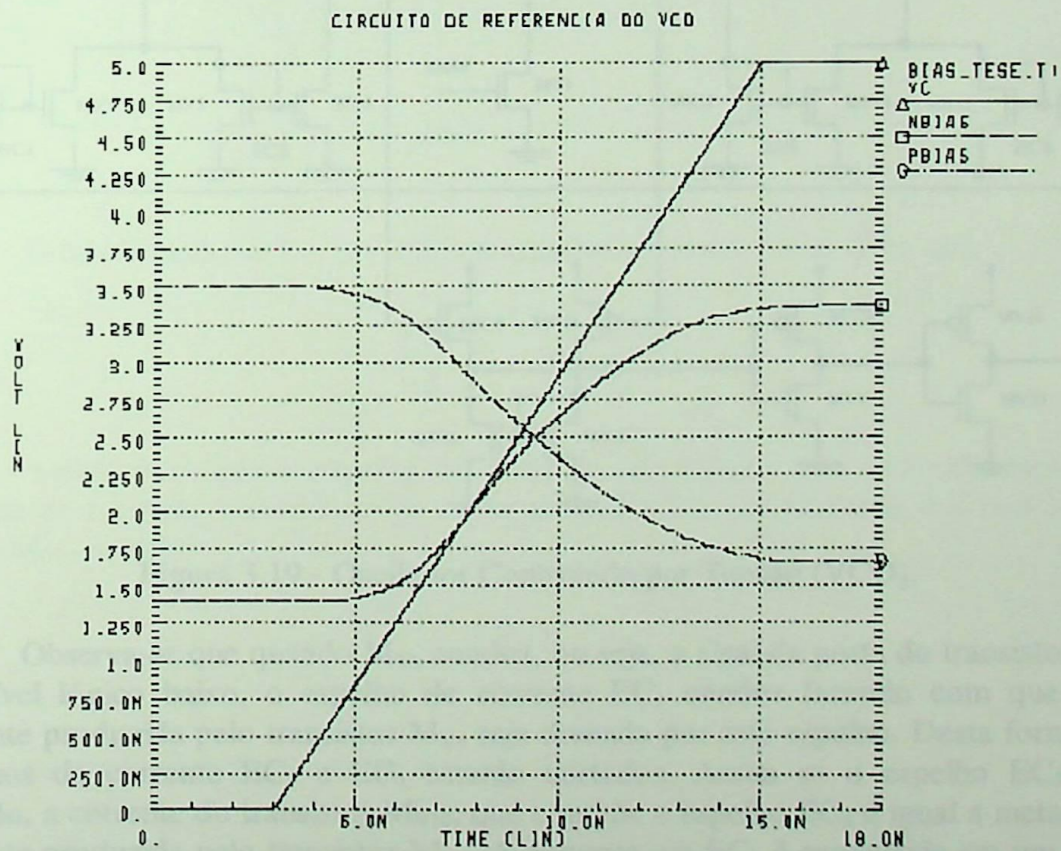
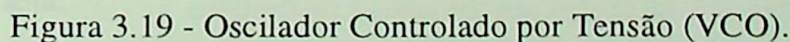


Figura 3.18 - Tensões de Controle para o VCO Geradas pelo Circuito de Referência.

A Figura 3.19 mostra o circuito controlado por tensão, que é constituído por três estágios, ou seja três circuitos de corrente. Para que o sinal produzido pelo oscilador seja retangular, um amplificador diferencial é utilizado em sua saída. A operação do oscilador é controlada pelas tensões de controle produzidas pelo circuito

A relação de transferência dos circuitos espelho de corrente EC_1 , EC_2 e EC_5 é de 1:1, enquanto que a relação de transferência dos circuitos espelho de corrente EC_2 e EC_6 é de 1:2. A relação EC_2 , EC_4 e EC_6 foi escolhida desta forma para que quando estes circuitos estiverem operando, drenem somente metade da corrente gerada pelos transistores M_{V4} , M_{V9} e M_{V14} respectivamente, mas conduzam um valor de corrente de saída máxima para os espelhos EC_1 , EC_3 , EC_5 , ou seja, uma corrente da ordem de 1,2mA.



Os circuitos espelhos de corrente nMOS, EC_1 e EC_2 são apresentados na Figura 3.20.

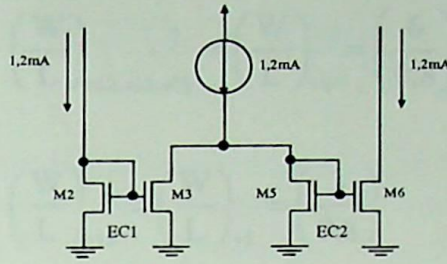


Figura 3.20 - Esquemático do Circuito Espelho de Corrente EC1 e EC2.

No espelho EC₁, a relação de transferência é de 1:1, enquanto que no espelho EC₂ esta relação é de 1:2. Utiliza-se a Equação (3.6) para determinar a relação $\left(\frac{W}{L}\right)$, pois todos os transistores que compõe estes circuitos operam na saturação. Considerando-se $V_{gs2,3}=2,5V$ para os transistores M_{V2} e M_{V3}, a relação $\left(\frac{W}{L}\right)_{V2,V3}$ é dada por:

$$1,2 \cdot 10^{-3} = \frac{127,63 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{V2,V3} (2,5 - 0,906)^2$$

$$\left(\frac{W}{L}\right)_{V2,V3} = 7,4009$$

Estabelecendo-se $L_{V2,V3} = 0,8\mu$, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{V2,V3} = \left(\frac{6}{0,8}\right)$$

Assim, para que o espelho de corrente EC₂ possua uma corrente espelhada máxima de 1,2 mA, o transistor M_{V6} deve possuir a mesma dimensão dos transistores M_{V2} e M_{V3}, ou seja:

$$\left(\frac{W}{L}\right)_{V6} = \left(\frac{W}{L}\right)_{V2,V3} = \left(\frac{6}{0,8}\right)$$

As dimensões do transistor M_{V5} são dadas por:

$$\left(\frac{W}{L}\right)_{V5} = \frac{1}{2} \left(\frac{W}{L}\right)_{V6} = \left(\frac{3}{0,8}\right)$$

Pelo fato dos espelhos nMOS EC₅ e EC₆ apresentarem as mesmas características dos espelhos EC₁ e EC₂, como mostrado na Figura 3.19, as dimensões destes espelhos podem ser consideradas iguais. Desta forma, as dimensões que compõe estes circuitos são dadas por:

$$\left(\frac{W}{L}\right)_{v12,v13,v16} = \left(\frac{W}{L}\right)_{v6} = \left(\frac{6}{0,8}\right)$$

$$\left(\frac{W}{L}\right)_{v15} = \left(\frac{W}{L}\right)_{v5} = \left(\frac{3}{0,8}\right)$$

Da Figura 3.19 tem-se os espelhos pMOS EC₃ e EC₄ que possuem a relação de transferência de corrente 1:1 e 1:2, respectivamente, operam na região de saturação, assim da Equação (3.6) pode ser utilizada para determinar as relações $\left(\frac{W}{L}\right)$ destes transistores. A razão $\left(\frac{W}{L}\right)$ dos transistores M_{v7}, M_{v8} e M_{v11} dadas por:

$$1,2 \cdot 10^{-3} = \frac{50,6461 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{v7,v8,v11} (3,5 - |-0,92|)^2$$

$$\left(\frac{W}{L}\right)_{v7,v8,v11} = 7,0425$$

Adotando-se L_{v7,v8,v11} = 0,8μ, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{v7,v8,v11} = \left(\frac{5,6}{0,8}\right)$$

As dimensões do transistor M_{v10} que compõem o espelho de corrente EC₄ são dadas por:

$$\left(\frac{W}{L}\right)_{v10} = \frac{1}{2} \left(\frac{W}{L}\right)_{v11} = \left(\frac{2,8}{0,8}\right)$$

A corrente máxima utilizadas nas chaves ch_bck é de 1,2 mA, sendo que as duas chaves foram projetadas para estarem na região de saturação. Logo estabelecendo-se V_{gsch_bck} = 3,5V, a razão $\left(\frac{W}{L}\right)$ destas chaves é:

$$1,2 \cdot 10^{-3} = \frac{50,6461 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{v1,v17} (3,5 - |-0,92|)^2$$

$$\left(\frac{W}{L}\right)_{v1,v17} = 7,0425$$

Adotando-se L_{v1,v17} = 0,8μ, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{v1,v17} = \left(\frac{5,6}{0,8}\right)$$

As fontes de corrente formadas pelos transistores M_{V4} , M_{V14} e M_{V9} , mostrados na Figura 3.19, possuem tensões estabelecidas pelo circuito VCO e são utilizados para gerar uma corrente de 1,2mA. Os transistores M_{V14} e M_{V4} são do tipo pMOS, enquanto que o transistor M_{V9} é do tipo nMOS. Considerando-se que todos os transistores estão operando na região de saturação, a relação $\left(\frac{W}{L}\right)$ de cada transistor é:

- transistores M_{V4} e M_{V14} (adotando-se $V_{gs}=3V$)

$$1,2 \cdot 10^{-3} = \frac{50,6461 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{v4,v14} (3 - |0,92|)^2$$

$$\left(\frac{W}{L}\right)_{v4,v14} = 10,05$$

adotando-se $L_{V4,V14} = 0,8\mu$, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{v4,v14} = \left(\frac{8,8}{0,8}\right)$$

- transistor M_{V9} (adotando-se $V_{gs}=3V$)

$$1,2 \cdot 10^{-3} = \frac{127,64 \cdot 10^{-6}}{2} \left(\frac{W}{L}\right)_{v9} (3 - 0,906)^2$$

$$\left(\frac{W}{L}\right)_{v9} = 4,288$$

estabelecendo-se $L_{V9} = 0,8\mu$, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right)_{v9} = \left(\frac{3,4}{0,8}\right)$$

Os transistores M_{V18} , M_{V19} , M_{V20} e M_{V21} compõe o amplificador diferencial [20,21] de saída do VCO (Figura 3.19). Os transistores pMOS M_{V18} e M_{V19} formam o par diferencial, enquanto que a carga para este par diferencial é formado por um circuito espelho de corrente nMOS, sendo que os transistores que compõe este circuitos são os M_{V20} e M_{V21} . Como as correntes dos ramos deste circuito são iguais, ou seja, $I_{ds_MV18} = I_{ds_MV20}$ e $I_{ds_MV19} = I_{ds_MV21}$, e considerando-se $V_{gs18,19}=3,5V$ e $V_{gs20,21}=3V$, tem-se a seguinte equação:

$$\frac{50,6461 \cdot 10^{-6}}{2} \left(\frac{W}{L} \right)_{V18,V19} (3,5 - |-0,92|)^2 = \frac{127,63 \cdot 10^{-6}}{2} \left(\frac{W}{L} \right)_{V20,V21} (3 - 0,906)^2 \quad (3.9)$$

Para os transistores M_{V18} e M_{V19} são adotadas as dimensões mínimas, e utilizando a Equação (3.9), pode-se determinar as dimensões dos transistores M_{V20} e M_{V21} que são dadas por:

$$\left(\frac{W}{L} \right)_{V18,V19} = \left(\frac{2,4}{0,8} \right)$$

$$\left(\frac{W}{L} \right)_{V20,V21} = \left(\frac{1,8092}{1} \right)$$

Adotou-se $L_{V20,V21} = 1\mu$ para se calcular as dimensões de M_{V20} e M_{V21} .

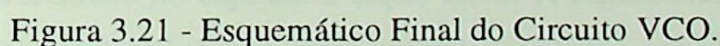
Foi utilizados inversores na saída do amplificador diferencial (Figura 3.19) para aumentar o fan-out do circuito VCO. Considera-se a razão $\left(\frac{W_p}{W_n} \right) = 2$ pelo fato de serem projetados para tempos de subida e descida idênticos. As dimensões dos transistores que formam estes inversores são dadas por:

$$\left(\frac{W}{L} \right)_{V23} = \left(\frac{2,4}{0,8} \right) \quad \text{e} \quad \left(\frac{W}{L} \right)_{V22} = 2 \left(\frac{W}{L} \right)_{V23} = \left(\frac{4,8}{0,8} \right)$$

$$\left(\frac{W}{L} \right)_{V25} = \left(\frac{4,8}{0,8} \right) \quad \text{e} \quad \left(\frac{W}{L} \right)_{V24} = 2 \left(\frac{W}{L} \right)_{V25} = \left(\frac{9,6}{0,8} \right)$$

$$\left(\frac{W}{L} \right)_{V27} = \left(\frac{9,6}{0,8} \right) \quad \text{e} \quad \left(\frac{W}{L} \right)_{V26} = 2 \left(\frac{W}{L} \right)_{V27} = \left(\frac{19,2}{0,8} \right)$$

O esquemático final do circuito VCO é mostrado na Figura 3.21.


$$K_0 = \frac{f_{max} - f_{min}}{V_{max} - V_{min}} = \frac{900.10^6 - 260.10^6}{5}$$

$$K_0 = 127,8 \left(\frac{Mhz}{V} \right)$$

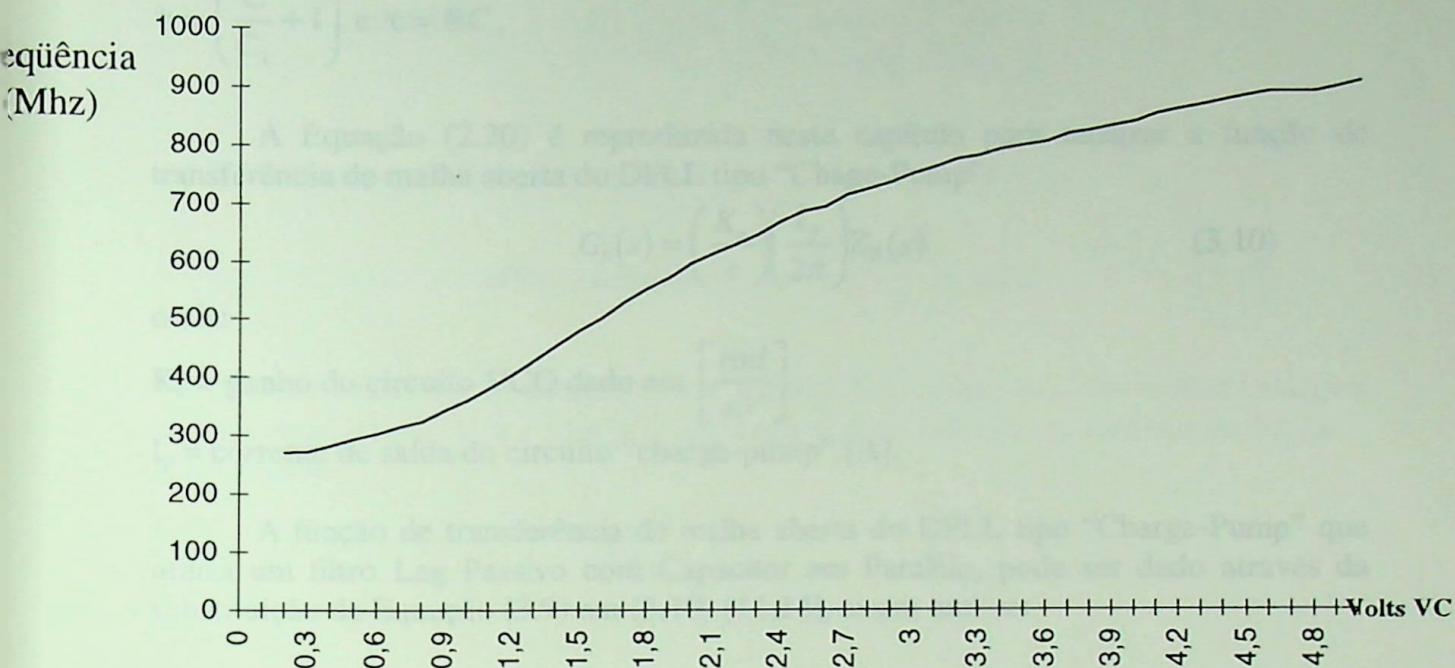


Figura 3.22 - Curva Característica do VCO

3.3 Circuito Filtro de Malha do DPLL

Para converter o sinal produzido pelo circuito PFD em um sinal de controle a ser utilizado pelo VCO utiliza-se um filtro de malha no DPLL. Este filtro é responsável pela supressão do “ripple”, fazendo com que o VCO não sature e o DPLL não perca o sincronismo.

O filtro utilizado neste projeto foi do tipo Lag Passivo com capacitor em paralelo como apresentado no capítulo 2 seção 2.3.2. A Figura 3.23 mostra este tipo de filtro:

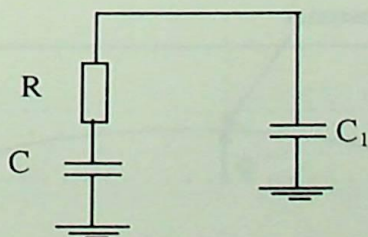


Figura 3.23 - Configuração do Filtro Utilizado no Circuito DPLL.

A impedância do filtro mostrado na Figura 3.23 é dado por:

$$Z_F(s) = \left(\frac{b-1}{b} \right) \frac{s\tau + 1}{sC \left(\frac{s\tau}{b} + 1 \right)} \quad (3.9)$$

onde:

$$b = \left(\frac{C}{C_1} + 1 \right) e \quad \tau = RC.$$

A Equação (2.20) é reproduzida neste capítulo para mostrar a função de transferência de malha aberta do DPLL tipo “Charge-Pump”:

$$G_0(s) = \left(\frac{K_o}{s} \right) \left(\frac{I_p}{2\pi} \right) Z_F(s) \quad (3.10)$$

onde:

K_o = ganho do circuito VCO dado em $\left[\frac{rad}{s.V} \right]$,

I_p = corrente de saída do circuito “charge-pump” [A].

A função de transferência de malha aberta do DPLL tipo “Charge-Pump” que utiliza um filtro Lag Passivo com Capacitor em Paralelo, pode ser dado através da substituição da Equação (3.9) em (3.10) [11,14], assim tem-se:

$$G_0(s) = K_o \left(\frac{I_p}{2\pi} \right) R \left(\frac{b-1}{b} \right) \frac{s\tau + 1}{s^2 \tau \left(\frac{s\tau}{b} + 1 \right)} \quad (3.11)$$

Por conveniência a figura 2.17 é mostrada neste Capítulo, na Figura 3.24..

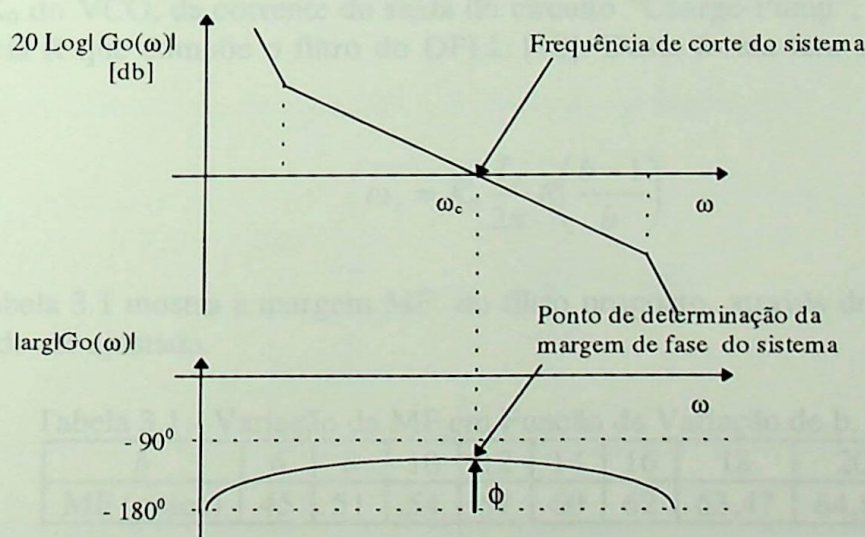


Figura 3.24 - Diagrama de Bode de um Sistema de 3ª Ordem.

Para determinar os valores dos elementos que compõe o circuito filtro do DPLL, pode-se adotar valores de frequência de corte e de margem de fase do sistema, isto consiste em um método de projeto [14].

Para se determinar o valor da constante de tempo τ em função de ω pode-se utilizar a equação (3.11), desta forma tem-se:

$$G_0(j\omega)\Big|_{s=j\omega} = K_0 \left(\frac{I_p}{2\pi} \right) R \left(\frac{b-1}{b} \right) \frac{j\omega\tau + 1}{-\omega^2\tau \left(\frac{j\omega\tau}{b} + 1 \right)} \quad (3.12)$$

A margem de fase, MF, do sistema é:

$$MF = \arctag(\omega\tau) - \arctag\left(\frac{\omega\tau}{b}\right) + 180^\circ \quad (3.13)$$

Para calcular a frequência de corte do DPLL, utiliza-se a derivada da margem de fase com relação a ω e iguala o resultado a zero (cálculo de máximo de função), assim tem-se:

$$\frac{dMF}{d\omega} = \frac{\tau}{1+(\omega\tau)^2} - \frac{\left(\frac{\tau}{b}\right)}{1+\left(\frac{\omega\tau}{b}\right)^2} = 0 \quad (3.14)$$

$$\omega_c = \frac{\sqrt{b}}{\tau}$$

Pode-se também determinar a frequência de corte em sistema DPLL em função do ganho K_0 do VCO, da corrente de saída do circuito “Charge-Pump”, I_p , e do valor da resistência R que compõe o filtro do DPLL [10]. Desta forma tem-se a Equação (3.15):

$$\omega_c = K_0 \frac{I_p}{2\pi} R \left(\frac{b-1}{b} \right) \quad (3.15)$$

A tabela 3.1 mostra a margem MF do filtro proposto, através do valor de b a margem pode ser ajustada.

Tabela 3.1 - Variação da MF em Função da Variação de b .

b	6	8	10	12	14	16	18	20
MF (graus)	45	51	54	57	60	62	63,47	64,82

Os valores dos componentes do filtro do DPLL pode ser determinados se utilizadas as equações (3.14) e (3.15).

A principal característica do projeto do filtro é a sua rápida resposta transitória. Os cálculos dos componentes são apresentados:

- adotando-se $\omega_c = 195,4071$ (Mrad/s) e $b=11$ tem-se, a partir da Equação (3.15):

$$\left(\frac{127,8 \cdot 10^6 \cdot 2\pi \cdot 500 \cdot 10^{-6} \cdot R}{2\pi} \right) \left(\frac{11-1}{11} \right) = 195,4071 \cdot 10^6$$

$$R = 3,36(K\Omega)$$

E a partir da Equação (3.14):

$$C = \frac{\sqrt{11}}{(195,4071 \cdot 10^6 \cdot 3,36 \cdot 10^3)} = 5 \cdot 10^{-12}$$

$$C = 5(pF)$$

Como $b = \left(\frac{C}{C_1} + 1 \right)$, C_1 é dado por:

$$C_1 = \frac{C}{11} = \frac{5 \cdot 10^{-12}}{11} = 0,5 \cdot 10^{-12}$$

$$C_1 = 0,5(pF)$$

O filtro utilizado no circuito DPLL é mostrado na Figura 3.25.

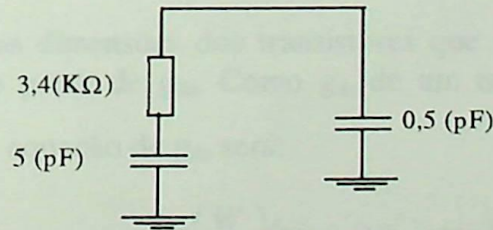


Figura 3.25 - Configuração do Filtro Projetado do Circuito DPLL.

Os componentes deste projeto de filtro devem ser integrados, pois o projeto do DPLL requer elementos totalmente integrados.

A Figura 3.26 mostra dois transistores operando na região linear, esta configuração caracteriza um resistor que compõe o filtro.

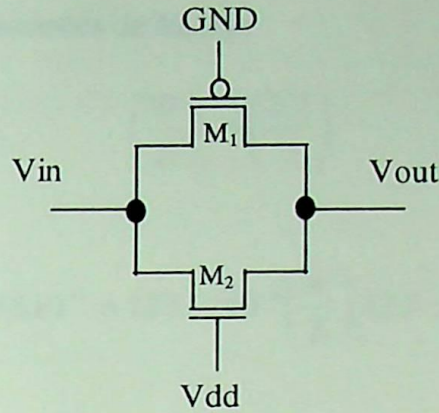


Figura 3.26 - Resistor Formado por Transistores.

O calculo da resistência mostrada na Figura 3.26 pode ser apresentado do seguinte modo:

$$R = (R_{M1} \parallel R_{M2}) = \left(\frac{1}{g_{ds1}} \right) \parallel \left(\frac{1}{g_{ds2}} \right) \quad (3.16)$$

Como os transistores apresentados na Figura 3.26 estão em paralelos, deve-se considerar que cada transistor possua um resistência de $6,8(K\Omega)$, logo a resistência do filtro é de $3,4(K\Omega)$, então da equação (3.16) tem-se os valores de $g_{ds1}=g_{ds2}$ dados por:

$$g_{ds1,ds2} = \frac{1}{6.8.10^3} = 147,058.10^{-6}$$

$$g_{ds1,ds2} = 147,058.10^{-6}$$

Para determinar as dimensões dos transistores que irão compor o resistor do filtro do DPLL, pode-se partir de g_{ds} . Como g_{ds} de um transistor MOS é dado em função da razão $\left(\frac{W}{L}\right)$, a equação de g_{ds} será:

$$g_{ds} = K \left(\frac{W}{L} \right) (V_{gs} - V_T - V_{ds}) \quad (3.17)$$

As dimensões dos transistores M_1 e M_2 que compõem o resistor do filtro do DPLL (Figura 3.26) são:

- transistor M_1

$$147,058.10^{-6} = 50,6461.10^{-6} \left(\frac{W}{L} \right)_1 (2,5 - |-0,92|)$$

$$\left(\frac{W}{L} \right)_1 = 1,8377$$

adotando-se $L_1 = 2\mu$, as dimensões de M_1 são:

$$\left(\frac{W}{L}\right)_1 = \left(\frac{3,7}{2}\right)$$

- transistor M_2

$$147,058 \cdot 10^{-6} = 127,63 \cdot 10^{-6} \left(\frac{W}{L}\right)_2 (2,5 - 0,906)$$

$$\left(\frac{W}{L}\right)_2 = 0,7228$$

adotando-se $W_2 = 2,4\mu$, as dimensões de M_2 são:

$$\left(\frac{W}{L}\right)_2 = \left(\frac{2,4}{3,2}\right)$$

O processo CMOS $0,7\mu\text{m}$ da ES2 permite implementar um capacitor através de trilhas sobrepostas de metal1/metal2, mas é difícil implementar um capacitor de valor constante levando-se em consideração as corridas de fabricação.

Neste caso, a melhor solução para implementar o capacitor é utilizar a capacitância de porta do transistor pMOS ou nMOS. Desta forma pode-se obter uma capacitância relativamente linear, em uma grande faixa de tensão de porta dos transistores, como mostra a Figura 3.27.

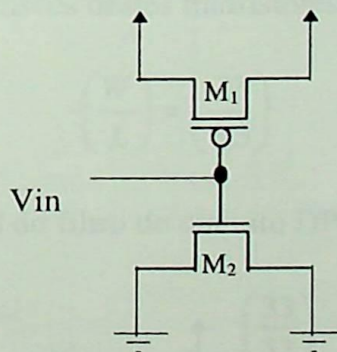


Figura 3.27 - Capacitor Utilizando Porta dos Transistores MOS.

A capacitância de porta de um transistor MOS (CMOS $0,7\mu\text{m}$ da ES2) é:

$$C_{\text{porta}} = 2300(\mu\text{F}/\text{m}^2)$$

Os valores dos capacitores que constituem o filtro são respectivamente 5pF e $0,5\text{pF}$. Assim os cálculos dos transistores que formam os capacitores são:

1)Capacitância de 5pF :

Como os transistores da Figura 3.27 estão em paralelos, para se formar a capacitância total de 5pF, é necessário de que cada transistor possua a metade deste valor, ou seja 2,5pF. O cálculo das dimensões dos transistores que forma o capacitor do filtro utiliza-se a equação:

$$C_{\text{porta}} = (W.L)C_{\text{porta}/m^2} \quad (3.18)$$

Assim para $C_{\text{porta}} = 2,5\text{pF}$ tem-se:

$$2,5 \cdot 10^{-12} = (W.L)2300 \cdot 10^{-6}$$

$$W = L = 32,9\mu$$

As dimensões dos transistores são:

$$\left(\frac{W}{L}\right) = \left(\frac{33}{33}\right)$$

2) Capacitância de 0,5pF:

Para calcular as dimensões dos transistores que formarão a capacitância de 0,5pF do filtro do DPLL, pode-se utilizar do mesmo processo. Assim tem-se:

$$0,25 \cdot 10^{-12} = (W.L)2300 \cdot 10^{-6}$$

$$W.L = 217,39 \cdot 10^{-12}$$

Adotando-se $W = 33\mu$, as dimensões destes transistores são:

$$\left(\frac{W}{L}\right) = \left(\frac{33}{3,3}\right)$$

O esquema final do filtro do circuito DPLL é mostrado na Figura 3.28.

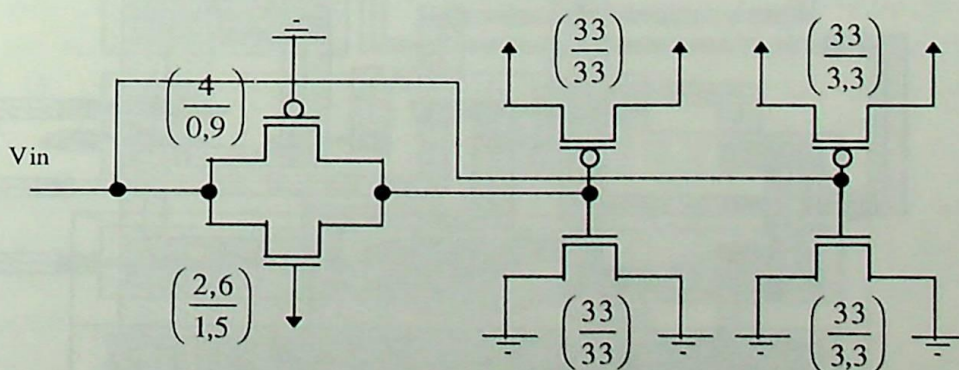


Figura 3.28 - Esquema Final do Circuito Filtro do DPLL

Capítulo 4

ANÁLISE E SIMULAÇÃO DO CIRCUITO DPLL

Neste capítulo é apresentado o DPLL completo, bem como os resultados e as simulações. O software CADENCE foi utilizado para elaboração dos “layouts” dos blocos constituintes do DPLL. O simulador HSPICE foi utilizado para as simulações dos mesmos e foram consideradas as capacitâncias parasitas existentes no “layout” de cada bloco. Considerou-se os três casos possíveis de operação do DPLL, ou seja, caso típico de operação, pior caso de velocidade e pior caso potência.

Uma análise de estabilidade do circuito DPLL é apresentado no final deste capítulo.

4.1 Análise e Simulação do Circuito Detetor de Fase/Frequência

O Detetor de Fase/Frequência usado para gerar um sinal de erro proporcional à diferença de fase/frequência existente entre o sinal de referência e o sinal produzido pelo VCO. A Figura 4.1 mostra o “layout” do circuito Detetor de Fase/Frequência correspondente ao esquemático apresentado na Figura 3.9. Devido ao fato do circuito ter que apresentar poucas capacitâncias parasitas, sendo este um fator de limitação de operação, o “layout” do circuito foi elaborado de forma à atender esta característica.

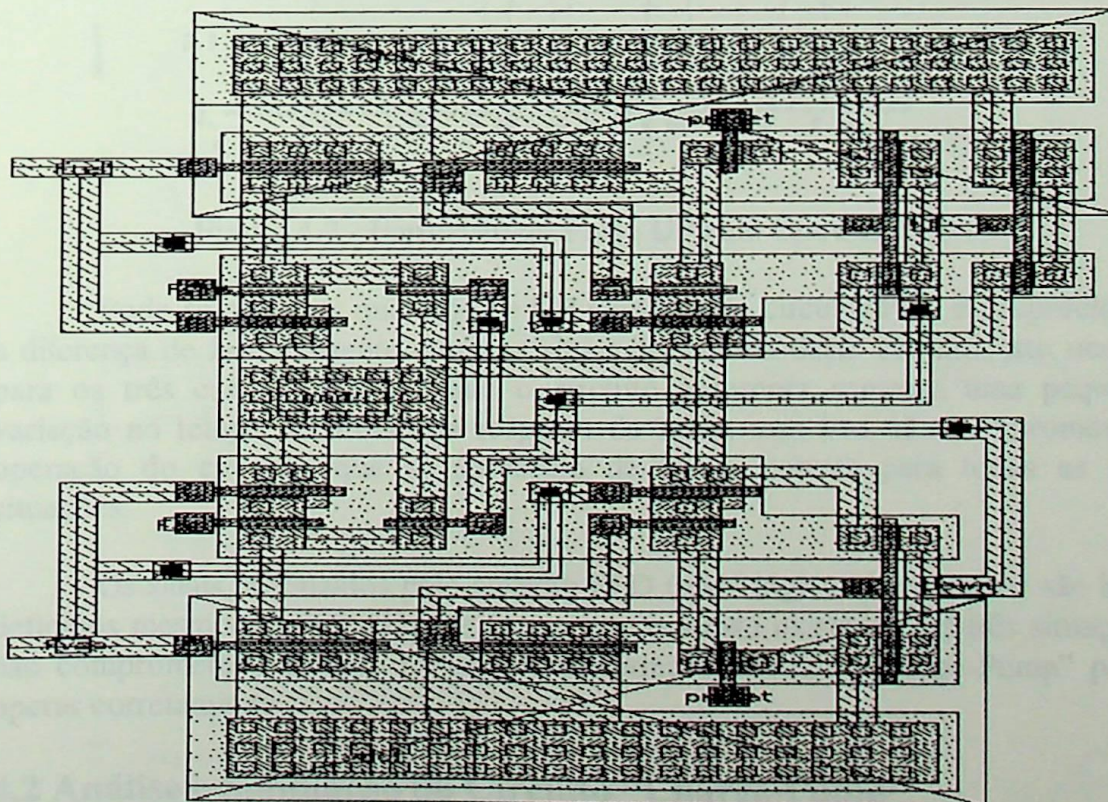


Figura 4.1 - “Layout” do Circuito Detetor de Fase/Frequência.

Nas simulações feitas no simulador HSPICE considerou-se todas as capacitâncias parasitas obtidas pelo software CANDENCE. As simulações foram feitas para modelos de nível 6. Os três casos possíveis de operação, para a geração do pulso UP no circuito PFD são apresentados na Figura 4.2. Nesta simulação os sinais de entrada têm uma frequência de 622MHz.

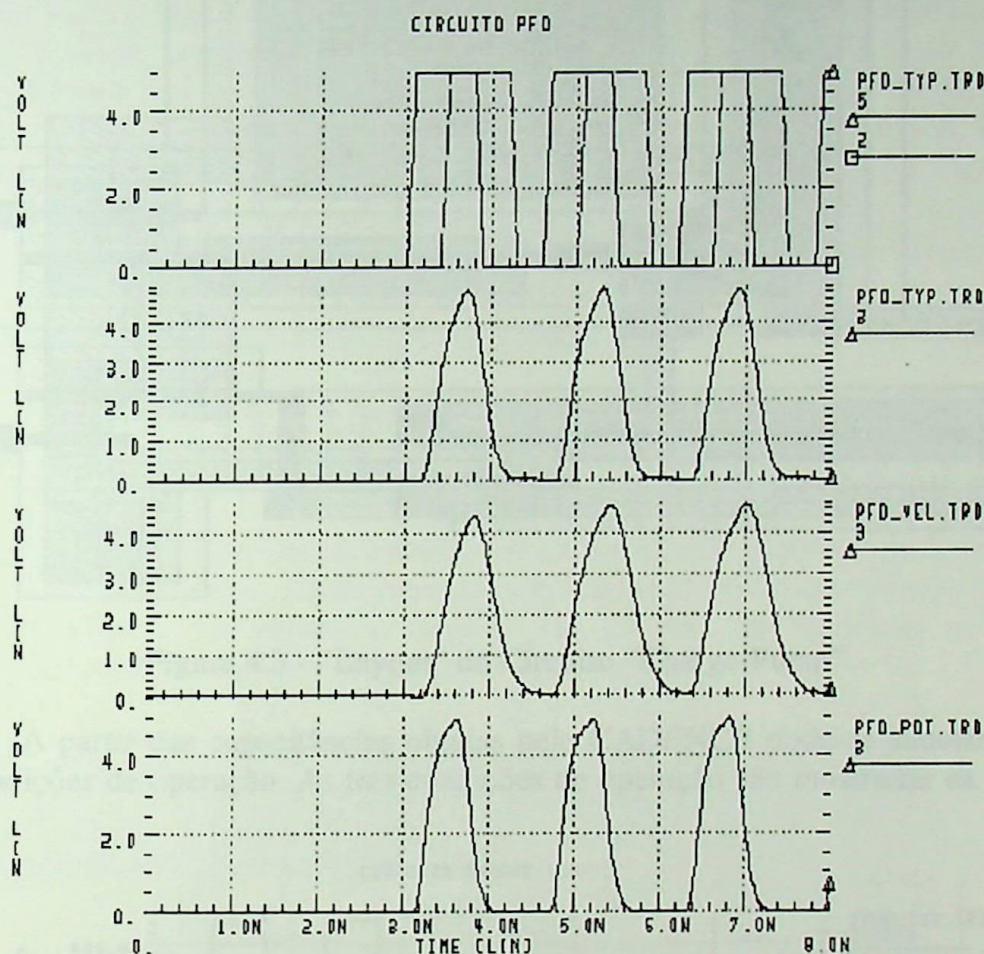


Figura 4.2 - Formação do Pulso UP pelo Circuito PFD

Pode-se observar que o pulso UP gerado pelo circuito PFD é proporcional a diferença de fase existente entre os sinais de entrada deste circuito, isto ocorre para os três casos. Nota-se que o circuito apresenta somente uma pequena variação no tempo de atraso da resposta da saída, mas isto não compromete a operação do circuito, que se apresenta de forma correta para todas as três situações.

Os sinais produzidos pelo circuito PFD (nível lógico alto e baixo) são bem definidos mesmo em 622MHz. de forma que o atraso existente nas três situações não compromete o circuito DPLL, desta forma o circuito "Charge-Pump" pode operar corretamente.

4.2 Análise e Simulação do Circuito "Charge-Pump"

Este circuito é empregado para gerar um sinal de corrente, a partir dos sinais gerados pelo circuito Detetor de Fase/Frequência. Estes sinais serão

utilizados para gerar uma tensão de controle do VCO. A Figura 4.3 mostra o "layout" do circuito "Charge-Pump" correspondente ao esquemático apresentado na figura 3.13.

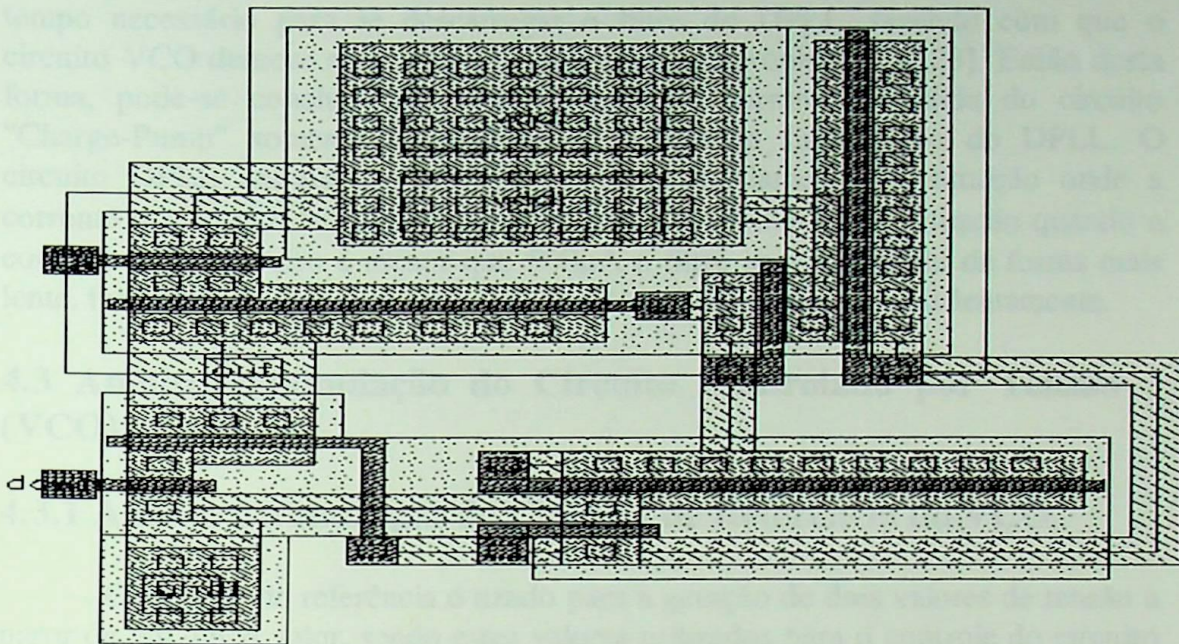


Figura 4.3 - "Layout" do Circuito "Charge-Pump".

A partir das capacitâncias obtidas pelo CADENCE pode-se simular todas as condições de operação. As três condições de operação são mostradas na Figura 4.4.

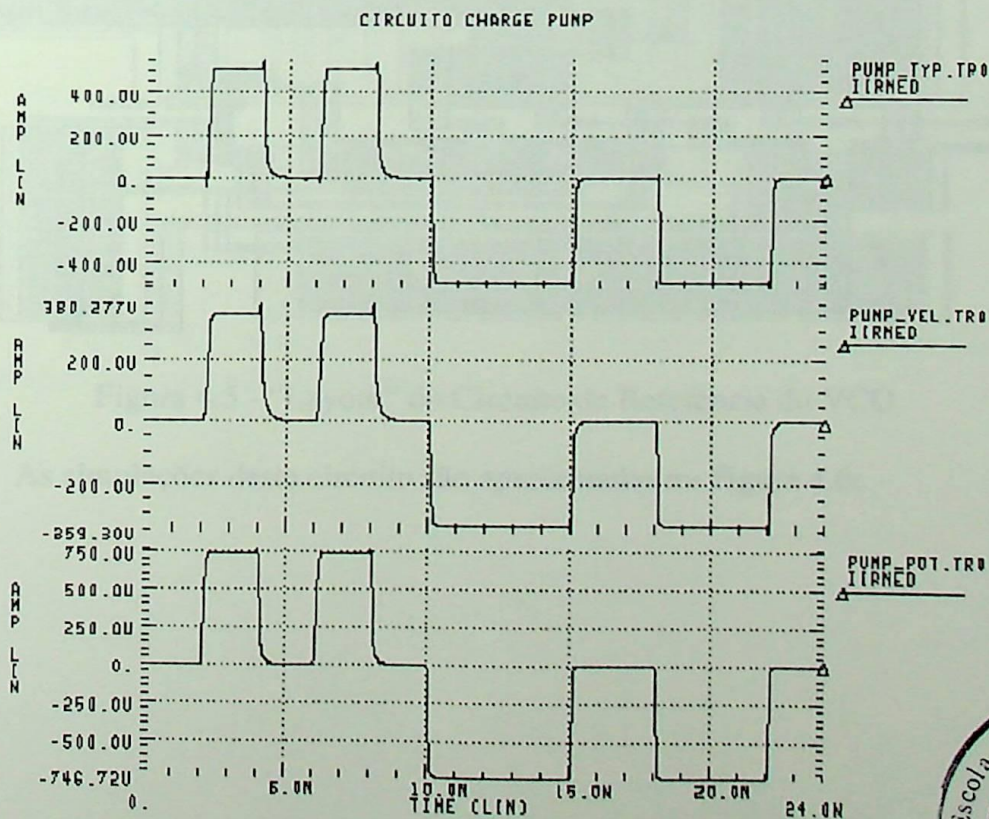


Figura 4.4 - Sinal de Saída do Circuito "Charge-Pump"



O projeto do circuito “Charge-Pump” foi elaborado de forma a apresentar uma corrente de saída de $\pm 500\mu\text{A}$. Pode-se observar na Figura 4.4 que existe uma variação de $\pm 200\mu\text{A}$, quando o circuito é simulado para o pior caso de potência e pior caso de velocidade. Esta variação de corrente de saída terá influência no tempo necessário para se descarregar o filtro do DPLL, fazendo com que o circuito VCO demore mais (menos) para atingir sincronismo [22,23]. Então desta forma, pode-se concluir que esta variação de corrente de saída do circuito “Charge-Pump” somente influenciará no tempo de sincronismo do DPLL. O circuito DPLL entrará em sincronismo mais rapidamente na situação onde a corrente do circuito “Charge-Pump” for superior a $500\mu\text{A}$. Na situação quando a corrente deste circuito é menor que $500\mu\text{A}$ o filtro será carregado de forma mais lenta, fazendo com que o circuito DPLL entre em sincronismo mais lentamente.

4.3 Análise e Simulação do Circuito Controlado por Tensão (VCO)

4.3.1 Análise e Simulação do Circuito de Referência do VCO

O circuito de referência é usado para a geração de dois valores de tensão a partir de um único valor, sendo estes valores utilizados para o controle do circuito VCO. A Figura 4.5 mostra o “layout” do circuito de referência do VCO correspondente ao esquemático apresentado na Figura 3.16.

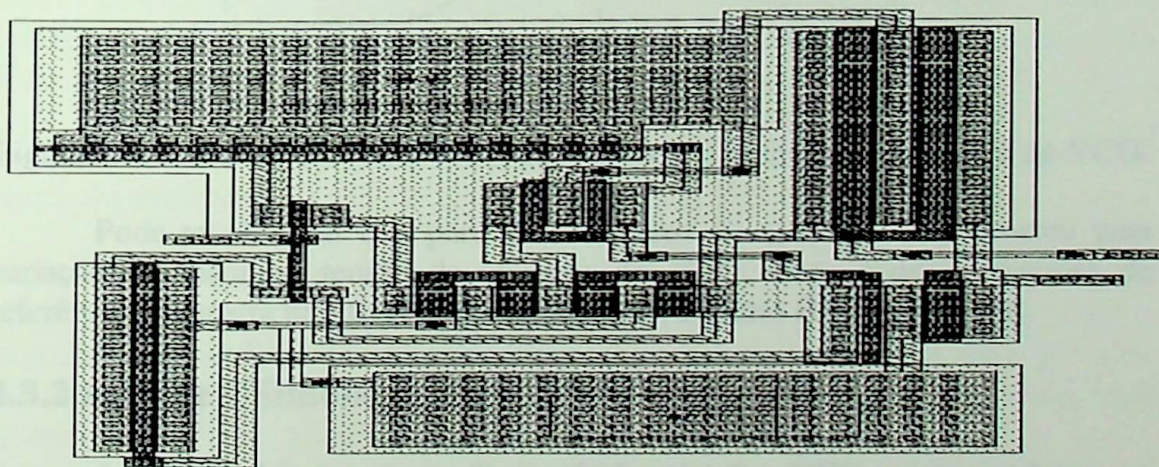


Figura 4.5 - “Layout” do Circuito de Referência do VCO

As simulações deste circuito são apresentadas na Figura 4.6:

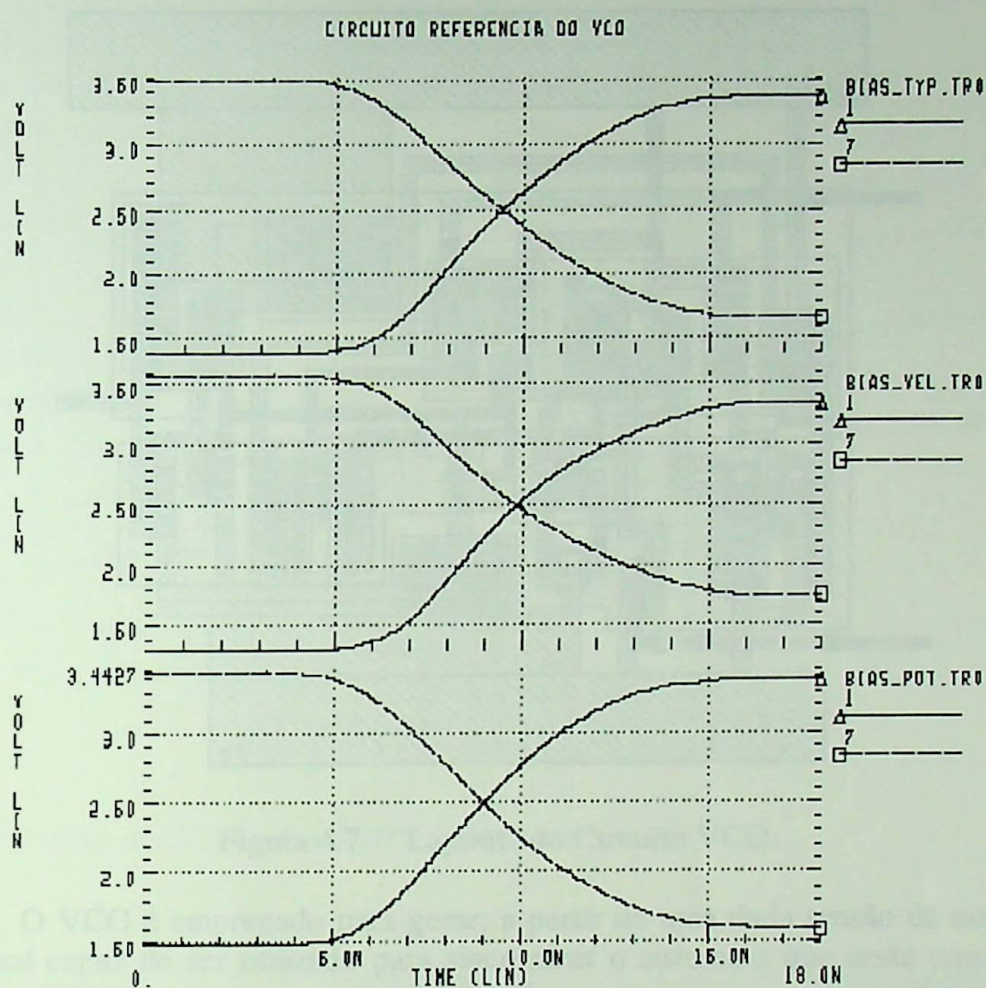


Figura 4.6 - Tensões de Controle Produzidas pelo Circuito de Referência do VCO.

Pode-se observar que para os três casos de operação não ocorreu uma variação no valor da tensão de controle do VCO, desta forma o circuito de referência se mostra pronto para ser utilizado no circuito DPLL projetado.

4.3.2 Análise e Simulação do VCO

A Figura 4.7 mostra o "layout" do circuito VCO correspondente ao esquemático apresentado na Figura 3.21.

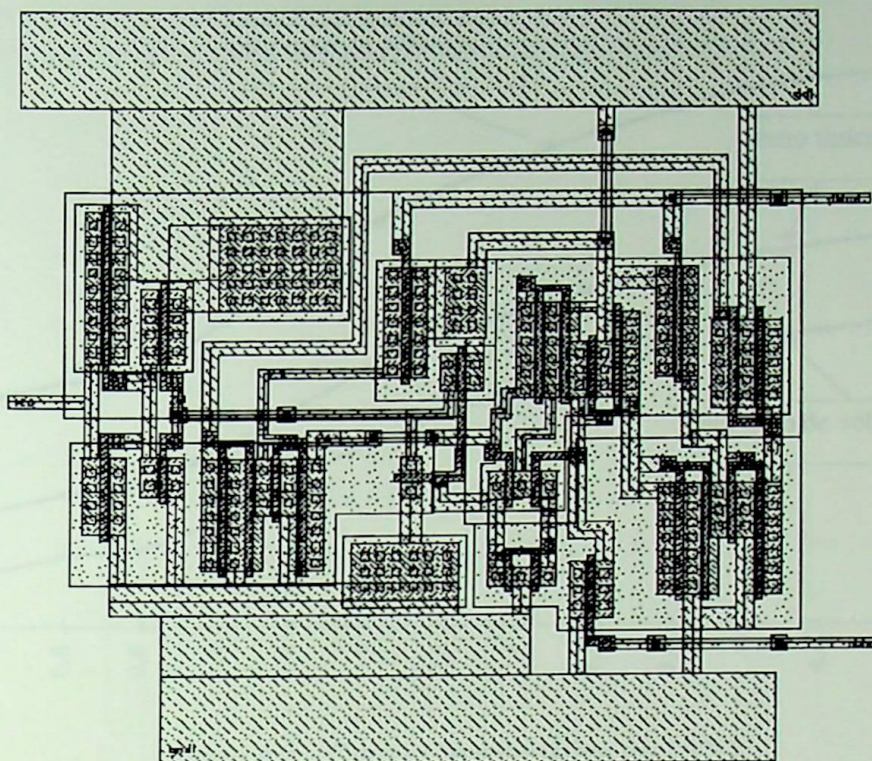


Figura 4.7 - "Layout" do Circuito VCO.

O VCO é empregado para gerar, a partir de uma dada tensão de controle, um sinal capaz de ser utilizado para sincronizar o sistema e que neste caso é um sinal de 622Mhz.

A Figura 4.8 mostra a curva característica do VCO para os três casos de operação propostos.

Pode-se observar da Figura 4.8 que o VCO responde em uma faixa de frequência de 251 a 869 Mhz para o caso típico, para o pior caso de velocidade o circuito opera na faixa de 118 a 684 Mhz e para o pior caso de potência, opera na faixa de 505 a 1227 Mhz. Com estes dados pode-se concluir que o circuito está pronto para ser utilizado no projeto do DPLL.

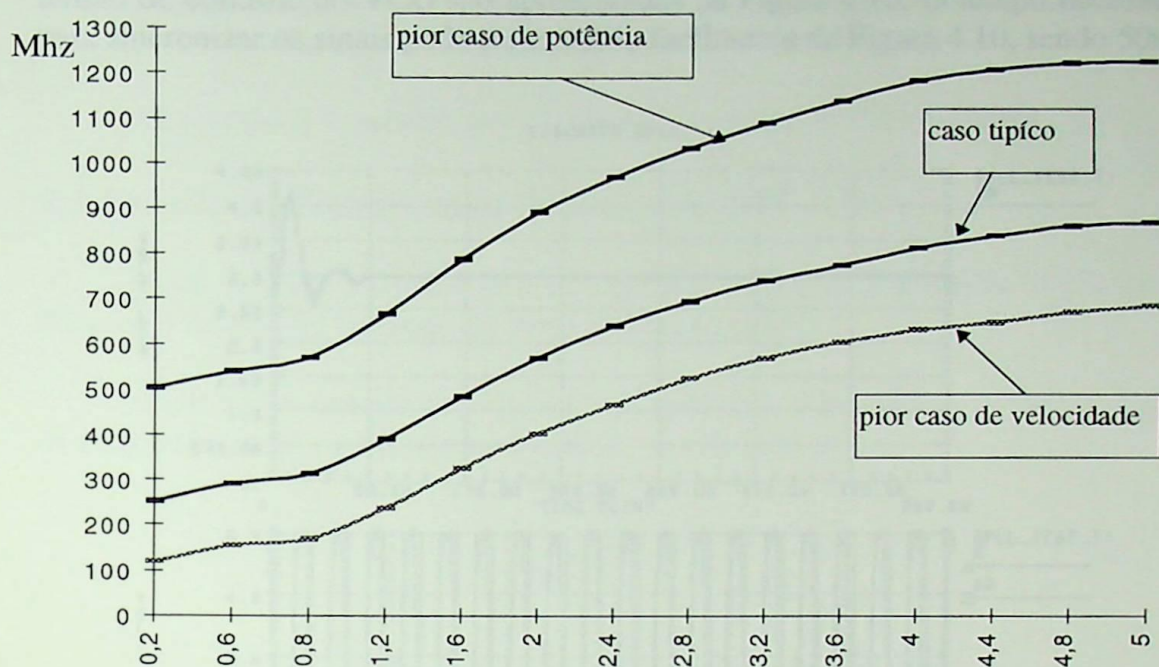


Figura 4.8 - Curva Característica do VCO.

V

4.4 Análise do Circuito DPLL Completo

O “layout” do circuito DPLL completo é apresentado na Figura 4.9.

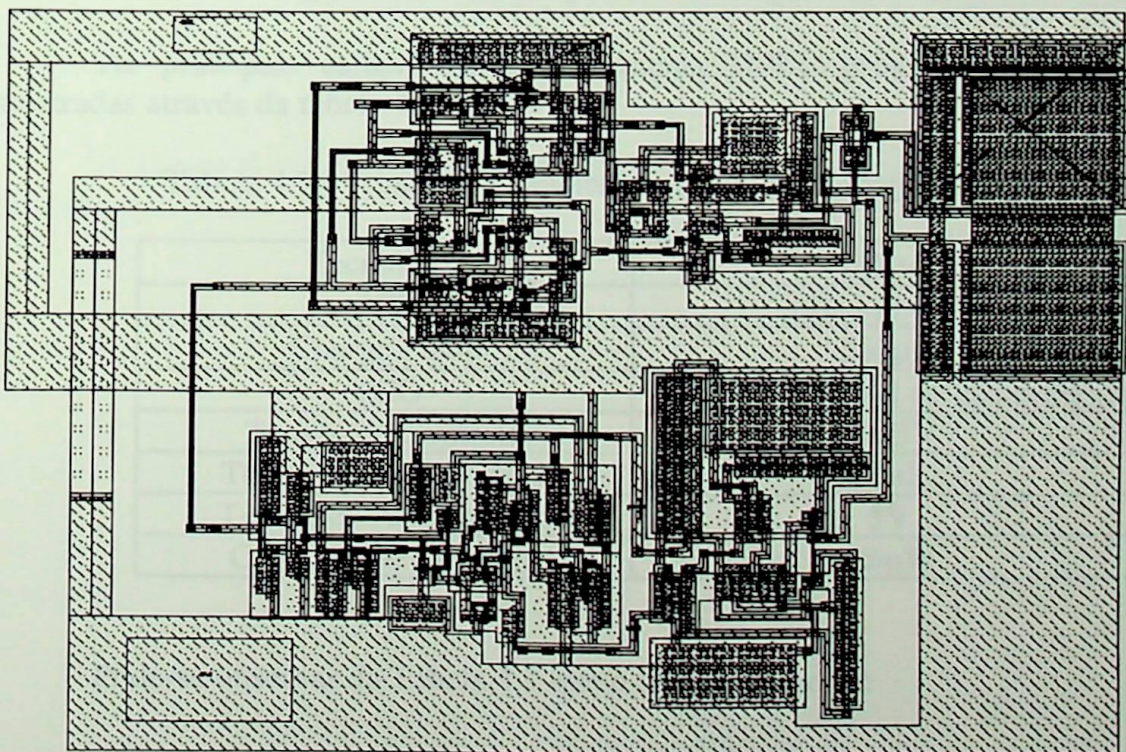


Figura 4.9 - “Layout” do Circuito DPLL Completo

O programa utilizado para simulação do circuito DPLL completo é apresentado no anexo A. Os sinais sincronizados do DPLL bem como as curvas da

tensão de controle do VCO são apresentadas na Figura 4.10. O tempo necessário para sincronizar os sinais pode ser extraído facilmente da Figura 4.10, sendo 50nS.

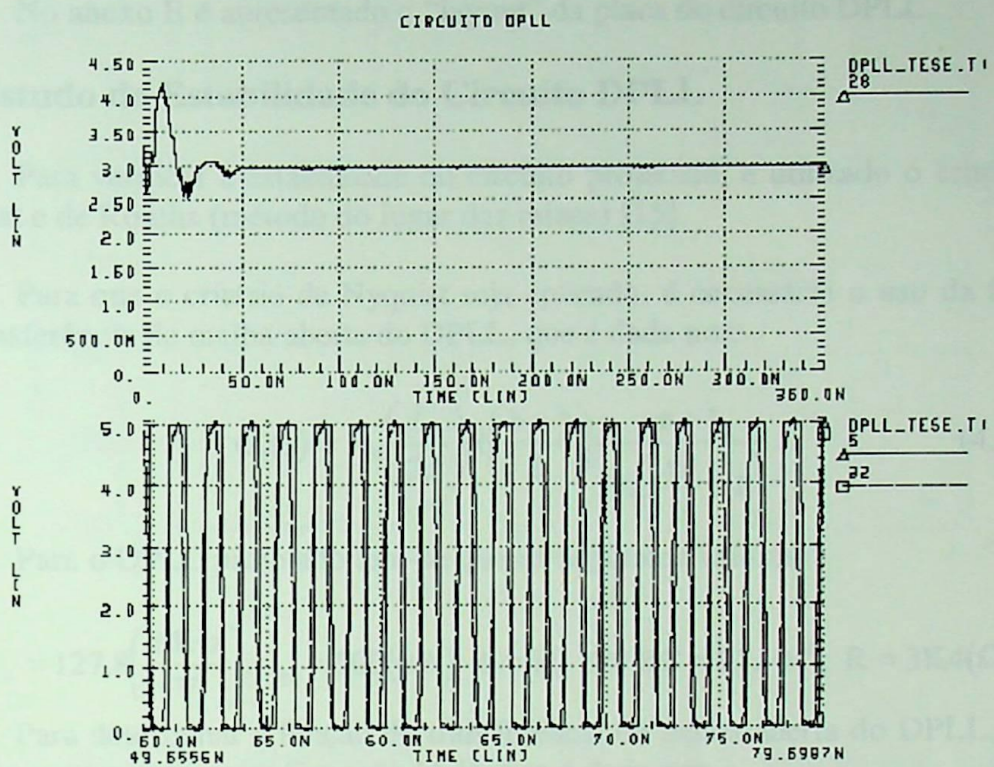


Figura 4.10 - Simulação do Circuito DPLL.

As principais características do sistema DPLL projetado podem ser mostradas através da tabela 4.1.

Tabela 4.1 - Principais Características do DPLL Projetado.

Tecnologia	0,7 μ m
PFD	tipo pré-carga
Charge Pump	500 μ A
VCO	oscilador em anel de três estágios
Tensão de Controle	0 a 5V
Tempo de Sincronismo	50nS
Tensão de Alimentação	5V
Consumo de Potência	55mW

Pode-se observar da Tabela 4.1 que o DPLL apresenta:

- pequeno tempo para atingir o sincronismo dos sinais;
- baixo consumo de potência.

A área de silício do circuito DPLL ficou sensivelmente reduzida devido ao fato deste circuito possuir um número reduzido de transistores. A área total do

circuito integrado do DPLL projetado é de $0,26 \times 0,2 \text{ mm}^2$, sem considerar a área dos pads. Se incluir os pads, esta área passará a $0,6 \times 0,46 \text{ mm}^2$.

No anexo B é apresentado o “layout” da placa do circuito DPLL.

4.5 Estudo de Estabilidade do Circuito DPLL

Para verificar a estabilidade do circuito projetado, é utilizado o critério de Nyquist e de Rouths (método do lugar das raízes) [15].

Para que o critério de Nyquist seja aplicado, é necessário o uso da função de transferência de malha aberta do DPLL, que é dada por:

$$G_0(s) = K_0 \left(\frac{I_p}{2\pi} \right) R \left(\frac{b-1}{b} \right) \frac{s\tau + 1}{s^2 \tau \left(\frac{s\tau}{b} + 1 \right)} \quad (4.1)$$

Para o DPLL projetado tem-se que os seguintes valores:

$$K_0 = 127,8 \left(\frac{\text{MHz}}{\text{V}} \right), I_p = 500(\mu\text{A}), b = 11, \tau = RC = 1,7 \cdot 10^{-8}, R = 3\text{K}4(\Omega)$$

Para determinar a função de transferência de malha aberta do DPLL, basta substituir estes valores na Equação (4.1), que é dada por:

$$G_0(s) = \frac{3,357s + 1,9751 \cdot 10^8}{2,6273 \cdot 10^{-17} s^3 + 1,70 \cdot 10^{-8} s^2} \quad (4.2)$$

A Figura 4.4 mostra o diagrama de Bode da função de transferência dada pela equação (4.2).

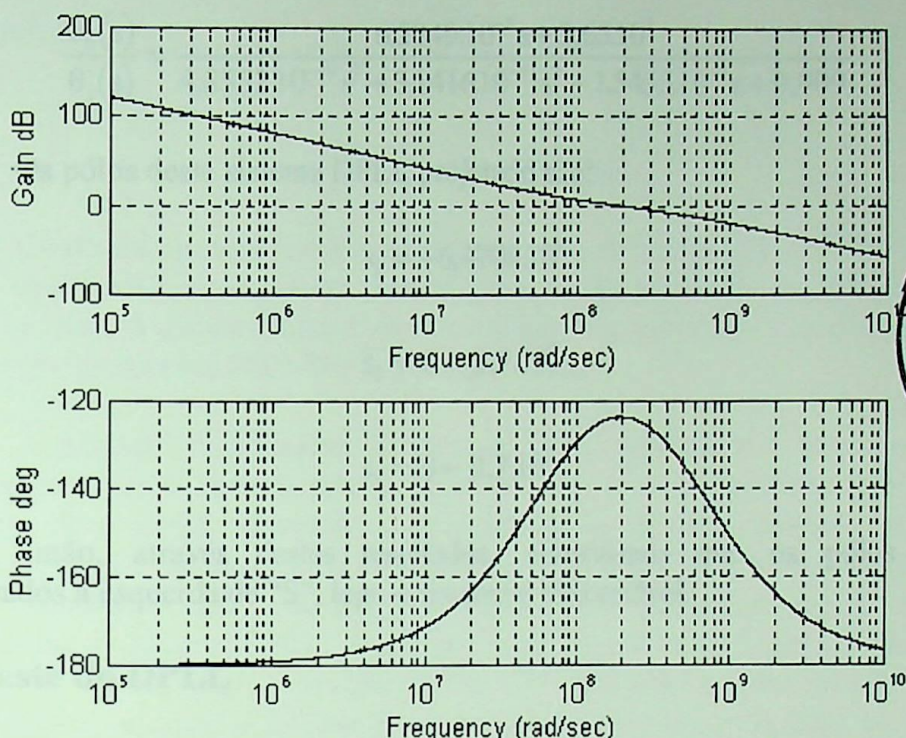


Figura 4.4 - Diagrama de Bode do DPLL Projetado

O estudo de estabilidade do circuito DPLL é feito utilizando-se o gráfico de fase do diagrama de Bode. Um sistema é considerado estável segundo o critério de Nyquist, se a margem de fase do sistema é positiva. A margem de fase do sistema projetado é dada por:

$$MF = \arg[G_0(\omega_c)] + 180^\circ = 56,44^\circ$$

onde ω_c é a frequência de corte do sistema DPLL.

Logo este sistema pode ser considerado estável, pois a margem de fase é positiva atendendo o critério de Nyquist.

O critério de Rouths faz o estudo da estabilidade através da localização dos pólos da função de transferência de malha do circuito DPLL. Neste caso, se o sistema apresentar todos os pólos localizados a esquerda de "S", o sistema pode ser considerado estável. A função de transferência de malha do DPLL projetado é dada por

:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{\tau I_p K_0 \left(\frac{b-1}{1} \right) s + I_p K_0 \left(\frac{b-1}{1} \right)}{2\pi C \left(\frac{\tau}{b} \right) s^3 + (2\pi C) s^2 + \left(\frac{b-1}{b} \right) \tau s + \left(\frac{b-1}{b} \right)} \quad (4.3)$$

Para o DPLL projetado, faz-se a substituição dos valores válidos. Assim a função de transferência de malha fechada do sistema é dada por:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{6,2049 \cdot 10^{-3} s + 3,65 \cdot 10^5}{4,8552 \cdot 10^{-20} s^3 + 3,1416 \cdot 10^{-11} s^2 + 1,5455 \cdot 10^{-8} s + 0,909}$$

Os pólos deste sistema DPLL projetado são:

$$s_1 = -6,4708 \cdot 10^8$$

$$s_2 = 0 + j1,7 \cdot 10^5$$

$$s_3 = 0 - j1,7 \cdot 10^5$$

Então, através destes resultados, observamos que os pólos estão localizados a esquerda de “S”, logo o sistema é dito estável.

4.6 Teste do DPLL

A confecção do “layout” da placa para montar o Circuito Integrado foi feita utilizando o software TANGO e obedecendo as regras para operar em altas velocidades [23], para isto, os componentes SMD (Surface Mount Device) são usados neste projeto.

Os testes a serem realizados no laboratório LSI da Universidade de São Paulo poderão revelar se o circuito funcionará de acordo com o projeto. São exigidos equipamentos sofisticados tais como: fonte de alta precisão, osciloscópio que permita respostas rápidas em alta frequência e um gerador de sinal de precisão. Caso positivo o circuito poderá ser caracterizado e difundido em maior escala.

Caso negativo, com base nos resultados, tentar-se-á descobrir se houve falhas de projeto, elaboração de “layout”, fabricação ou outras.

Capítulo 5

CONCLUSÕES

Como foi apresentado anteriormente todos os blocos que compõem o circuito DPLL operaram coerentemente possibilitando assim que o circuito DPLL possa ser utilizado como o circuito recuperador de relógio de um sistema operando em redes de dados com protocolos SDH/SONET em 622MHz..

A principal característica do circuito DPLL proposto é o pequeno tempo de sincronismo que o sistema possui. Para se obter esta característica foi necessário implementar o DPLL possuindo um circuito de inicialização utilizado pelo circuito "Charge-Pump", um alto ganho de malha e o filtro do DPLL foi implementado tendo uma pequena constante de tempo, pois desta forma consegue-se reduzir o tempo de sincronismo do sistema DPLL. A utilidade desta característica é que quando o sistema receptor é inicializado, o circuito DPLL não necessita ter um grande tempo de acomodação, ou seja, o sistema desenvolvido é capaz de sincronizar os sinais bem rapidamente.

A única inconveniência do circuito DPLL proposto é que o mesmo deve ser utilizado como circuito recuperador de relógio em sistemas de comunicações que operam em redes SDH/SONET. Estas redes possuem uma grande densidade de transmissão de dados, ou seja, não apresentam índice de sequências longas de zeros e uns.

O sistema DPLL projetado também pode operar como circuito recuperador de relógio em sistemas onde os dados não possuam grande densidade de transmissão, neste caso deve-se utilizar circuitos adicionais juntamente com o circuito DPLL para a recuperação de relógio.

Uma outra alternativa para se resolver este problema é mudar-se as constantes de tempo do filtro de malha do DPLL, desta forma o circuito responderá mais lentamente conseguindo ser utilizado como um sistema de sincronismo onde os dados apresentem longa sequências de zeros ou uns. A inconveniência desta solução é que o tempo de sincronismo do DPLL também será aumentado consideravelmente.

Descrição SPICE do Circuito Extraído do DP

CIRCUITO DPLL

```

*****
*                                     *
*               condicoes para simulacao e convergencia               *
*                                     *
*****
.OPTIONS gmin=1.0E-15 POST $PROBE
.OPTIONS NOPAGE INTERP UNWRAP CAPTAB opts $node
.OPTIONS ABSI=1.0E-12 METHOD=GEAR
.OPTIONS ACCURATE KCLTEST BADCHR ABSMOS=1.0E-12 ACCT LVLTIM=2
*****

*               fontes de entrada               *
*               *
*****
VDD  37 0 DC 5
VIN  5 0 PULSE(0 5 1NS 0.1NS 0.1NS 0.7NS 1.6NS)
VPRESET 40 0 PWL(0NS 0 5NS 0 5.1ns 5)
*****

*               condicoes iniciais               *
*               *
*****
.ic v(1)  = 1.7461 v(2)  = 3.0354 v(3)  = 3.2404
+ v(4)  = 5.0221 v(5)  = 0. v(6)  = 3.3419
+ v(7)  = 3.4302 v(8)  = 3.1549 v(9)  = 2.0709
+ v(10) = 33.3342u v(11) = 2.1113 v(12) = 1.5710
+ v(13) = 2.2967 v(14) = 1.4307 v(15) = 5.1347
+ v(16) = -477.1306m v(17) = 2.9299 v(18) = 1.9265
+ v(19) = 5.1054 v(20) = 1.4275 v(21) = 110.1295m
+ v(22) = 1.1362 v(23) = 891.6112m v(24) = 4.3070
+ v(25) = 4.9680 v(26) = 2.0615 v(27) = 2.5347
+ v(28) = 3.2315 v(29) = 1.7608 v(30) = 1.5137
+ v(31) = 4.9998 v(32) = 140.6546m v(33) = 4.9955
+ v(35) = 3.0084 v(36) = 665.5609u v(37) = 5.0000
+ v(38) = 691.2291m v(39) = 3.5651 v(40) = 5.0000
+ v(41) = -77.5593u
*****

*               nos do circuito               *
*               *
*****
* net 0 = gnd!
* net 1 = /28
* net 2 = /nbias
* net 3 = /29
* net 4 = /10
* net 5 = /ref
* net 6 = /11
* net 7 = /12
* net 8 = /30
* net 9 = /13
* net 10 = /up
* net 11 = /1
* net 12 = /32
* net 13 = /2
* net 14 = /33
* net 15 = /16
* net 16 = /3
* net 17 = /34
* net 18 = /18
* net 19 = /17

* net 20 = /4
* net 21 = /35
* net 22 = /19
* net 23 = /6
* net 24 = /5
* net 25 = /36
* net 26 = /pbias
* net 27 = /7
* net 28 = /vc
* net 29 = /37
* net 30 = /8
* net 31 = /iup
* net 32 = /vco
* net 33 = /9
* net 35 = /100
* net 36 = /down
* net 37 = /vdd!
* net 38 = /21
* net 39 = /22
* net 40 = /preset

```


* net 41 = /23

* capacitancias parasitas *

* capacitor(0) = /+269	C22 14 17 2.31815e-16	* capacitor(45) = /+224
C0 37 0 1.37934e-12	* capacitor(23) = /+246	C45 1 0 5.43387e-17
* capacitor(1) = /+268	C23 12 0 4.92453e-15	* capacitor(46) = /+223
C1 35 0 3.60469e-14	* capacitor(24) = /+245	C46 1 28 5.0512e-17
* capacitor(2) = /+267	C24 12 37 1.03412e-15	* capacitor(47) = /+222
C2 35 37 1.71032e-14	* capacitor(25) = /+244	C47 31 0 5.0303e-15
* capacitor(3) = /+266	C25 12 28 2.49824e-17	* capacitor(48) = /+221
C3 28 0 3.88206e-14	* capacitor(26) = /+243	C48 31 37 3.59904e-15
* capacitor(4) = /+265	C26 12 29 2.55527e-18	* capacitor(49) = /+220
C4 28 37 7.51411e-15	* capacitor(27) = /+242	C49 31 28 3.51806e-18
* capacitor(5) = /+264	C27 12 25 1.01807e-16	* capacitor(50) = /+219
C5 28 35 1.27987e-15	* capacitor(28) = /+241	C50 31 14 2.22933e-17
* capacitor(6) = /+263	C28 12 21 2.9848e-17	* capacitor(51) = /+218
C6 29 0 1.85647e-14	* capacitor(29) = /+240	C51 31 3 8.41867e-18
* capacitor(7) = /+262	C29 26 0 2.00326e-14	* capacitor(52) = /+217
C7 29 37 5.93169e-15	* capacitor(30) = /+239	C52 36 0 1.83604e-14
* capacitor(8) = /+261	C30 26 37 1.52027e-14	* capacitor(53) = /+216
C8 29 28 3.01459e-18	* capacitor(31) = /+238	C53 36 37 5.68937e-16
* capacitor(9) = /+260	C31 26 28 1.17409e-19	* capacitor(54) = /+215
C9 25 37 2.16715e-15	* capacitor(32) = /+237	C54 36 28 4.6325e-18
* capacitor(10) = /+259	C32 26 29 1.27138e-15	* capacitor(55) = /+214
C10 25 28 9.23671e-17	* capacitor(33) = /+236	C55 36 17 1.46614e-17
* capacitor(11) = /+258	C33 26 25 1.09333e-18	* capacitor(56) = /+213
C11 25 29 4.81578e-17	* capacitor(34) = /+235	C56 36 1 8.41867e-18
* capacitor(12) = /+257	C34 26 21 5.13496e-17	* capacitor(57) = /+212
C12 21 0 3.67813e-15	* capacitor(35) = /+234	C57 2 0 1.22917e-14
* capacitor(13) = /+256	C35 26 12 8.31655e-17	* capacitor(58) = /+211
C13 21 28 1.28074e-16	* capacitor(36) = /+233	C58 2 37 8.16795e-16
* capacitor(14) = /+255	C36 8 0 5.50704e-15	* capacitor(59) = /+210
C14 21 29 7.23362e-17	* capacitor(37) = /+232	C59 2 29 8.99013e-17
* capacitor(15) = /+254	C37 8 37 5.76412e-16	* capacitor(60) = /+209
C15 21 25 5.29846e-18	* capacitor(38) = /+231	C60 2 26 9.76095e-16
* capacitor(16) = /+253	C38 8 28 4.9913e-19	* capacitor(61) = /+208
C16 17 0 1.33533e-14	* capacitor(39) = /+230	C61 40 0 2.39249e-14
* capacitor(17) = /+252	C39 8 29 9.00033e-17	* capacitor(62) = /+207
C17 17 37 1.71057e-15	* capacitor(40) = /+229	C62 40 37 2.5421e-14
* capacitor(18) = /+251	C40 8 25 6.73826e-18	* capacitor(63) = /+206
C18 17 28 9.90216e-16	* capacitor(41) = /+228	C63 40 28 2.43214e-18
* capacitor(19) = /+250	C41 8 12 1.04577e-16	* capacitor(64) = /+205
C19 14 0 3.12913e-15	* capacitor(42) = /+227	C64 40 14 1.56444e-18
* capacitor(20) = /+249	C42 8 26 2.75126e-17	* capacitor(65) = /+204
C20 14 37 2.64076e-15	* capacitor(43) = /+226	C65 40 31 8.26243e-16
* capacitor(21) = /+248	C43 3 37 1.06322e-16	* capacitor(66) = /+203
C21 14 28 8.20386e-16	* capacitor(44) = /+225	C66 40 36 3.52327e-17
* capacitor(22) = /+247	C44 3 28 1.01024e-16	* capacitor(67) = /+202

C67 41 0 2.53759e-15
 * capacitor(68) = /+201
 C68 41 37 9.2364e-16
 * capacitor(69) = /+200
 C69 41 28 8.39879e-17
 * capacitor(70) = /+199
 C70 41 17 1.12e-18
 * capacitor(71) = /+198
 C71 41 36 7.14311e-18
 * capacitor(72) = /+197
 C72 41 40 1.91393e-16
 * capacitor(73) = /+196
 C73 39 0 1.2269e-15
 * capacitor(74) = /+195
 C74 39 37 3.45511e-15
 * capacitor(75) = /+194
 C75 39 26 4.48824e-17
 * capacitor(76) = /+193
 C76 39 2 1.72869e-17
 * capacitor(77) = /+192
 C77 38 0 3.74178e-15
 * capacitor(78) = /+191
 C78 38 37 2.04525e-15
 * capacitor(79) = /+190
 C79 38 39 9.7427e-17
 * capacitor(80) = /+189
 C80 10 0 1.28894e-14
 * capacitor(81) = /+188
 C81 10 37 1.36576e-15
 * capacitor(82) = /+187
 C82 10 31 7.7593e-17
 * capacitor(83) = /+186
 C83 10 36 2.03754e-15
 * capacitor(84) = /+185
 C84 10 40 4.92e-18
 * capacitor(85) = /+184
 C85 22 0 1.19845e-14
 * capacitor(86) = /+183
 C86 22 37 1.22369e-14
 * capacitor(87) = /+182
 C87 22 26 1.0228e-15
 * capacitor(88) = /+181
 C88 22 39 4.018e-17
 * capacitor(89) = /+180
 C89 22 38 2.5858e-16
 * capacitor(90) = /+179
 C90 18 0 4.78938e-15
 * capacitor(91) = /+178
 C91 18 37 1.28651e-15

* capacitor(92) = /+177
 C92 18 26 2.80851e-20
 * capacitor(93) = /+176
 C93 18 2 2.35392e-18
 * capacitor(94) = /+175
 C94 18 38 1.42014e-16
 * capacitor(95) = /+174
 C95 18 22 4.34835e-18
 * capacitor(96) = /+173
 C96 19 0 3.56518e-15
 * capacitor(97) = /+172
 C97 19 37 2.29117e-15
 * capacitor(98) = /+171
 C98 19 36 4.33617e-17
 * capacitor(99) = /+170
 C99 19 40 5.03186e-17
 * capacitor(100) = /+169
 C100 19 10 8.32163e-19
 * capacitor(101) = /+168
 C101 15 0 3.56424e-15
 * capacitor(102) = /+167
 C102 15 37 2.28403e-15
 * capacitor(103) = /+166
 C103 15 31 1.26e-18
 * capacitor(104) = /+165
 C104 15 36 8.32163e-19
 * capacitor(105) = /+164
 C105 15 40 5.03186e-17
 * capacitor(106) = /+163
 C106 15 10 5.61082e-17
 * capacitor(107) = /+162
 C107 32 0 4.2015e-14
 * capacitor(108) = /+161
 C108 32 37 8.53656e-15

* capacitor(109) = /+160
 C109 32 36 2.76533e-17
 * capacitor(110) = /+159
 C110 32 40 1.52213e-15
 * capacitor(111) = /+158
 C111 32 10 9.43035e-17
 * capacitor(112) = /+157
 C112 5 0 2.28956e-14
 * capacitor(113) = /+156
 C113 5 37 8.5153e-16
 * capacitor(114) = /+155
 C114 5 36 2.13148e-16
 * capacitor(115) = /+154
 C115 5 40 1.70684e-16
 * capacitor(116) = /+153
 C116 5 10 1.99169e-17
 * capacitor(117) = /+152
 C117 5 32 2.50901e-15
 * capacitor(118) = /+151
 C118 9 0 2.77758e-15
 * capacitor(119) = /+150
 C119 9 37 6.10768e-15
 * capacitor(120) = /+149
 C120 9 26 6.4625e-18
 * capacitor(121) = /+148
 C121 9 2 1.45413e-17
 * capacitor(122) = /+147
 C122 9 38 1.09333e-18
 * capacitor(123) = /+146
 C123 9 18 1.32247e-16


```

* capacitor(124) =
/+145
C124 7 0 7.92861e-17
* capacitor(125) =
/+144
C125 7 10 1.81263e-18
* capacitor(126) =
/+143
C126 7 19 7.61507e-17
* capacitor(127) =
/+142
C127 7 32 8.41867e-18
* capacitor(128) =
/+141
C128 6 0 7.92861e-17
* capacitor(129) =
/+140
C129 6 36 1.81263e-18
* capacitor(130) =
/+139
C130 6 10 3.66383e-19
* capacitor(131) =
/+138
C131 6 15 7.61507e-17
* capacitor(132) =
/+137
C132 6 5 8.41867e-18
* capacitor(133) =
/+136
C133 4 0 4.80937e-15
* capacitor(134) =
/+135
C134 4 37 3.81225e-15
* capacitor(135) =
/+134
C135 4 40 1.12e-18
* capacitor(136) =
/+133
C136 4 10 2.33609e-17
* capacitor(137) =
/+132
C137 4 19 2.78631e-16
* capacitor(138) =
/+131
C138 4 32 9.26053e-16
* capacitor(139) =
/+130
C139 4 5 8.41867e-18

```

```

* capacitor(140) =
/+129
C140 4 7 8.41867e-18
* capacitor(141) =
/+128
C141 33 0 4.81639e-15
* capacitor(142) =
/+127
C142 33 37 3.81225e-15
* capacitor(143) =
/+126
C143 33 36 2.33609e-17
* capacitor(144) =
/+125
C144 33 40 1.12e-18
* capacitor(145) =
/+124
C145 33 15 2.78631e-16
* capacitor(146) =
/+123
C146 33 32 8.41867e-18
* capacitor(147) =
/+122
C147 33 5 9.25798e-16
* capacitor(148) =
/+121
C148 33 6 8.41867e-18
* capacitor(149) =
/+120
C149 30 0 3.70448e-15
* capacitor(150) =
/+119
C150 30 37 6.5807e-15
* capacitor(151) =
/+118
C151 30 26 8.57701e-19
* capacitor(152) =
/+117
C152 30 22 8.49042e-19
* capacitor(153) =
/+116
C153 30 9 1.06529e-16

```

```

* capacitor(154) =
/+115
C154 27 0 3.20227e-15
* capacitor(155) =
/+114
C155 27 37 6.27695e-16
* capacitor(156) =
/+113
C156 27 2 3.81333e-18
* capacitor(157) =
/+112
C157 27 18 2.67019e-18
* capacitor(158) =
/+111
C158 27 9 1.56124e-16
* capacitor(159) =
/+110
C159 27 30 8.12308e-19
* capacitor(160) =
/+109
C160 23 0 4.64698e-15
* capacitor(161) =
/+108
C161 23 37 2.14993e-15
* capacitor(162) =
/+107
C162 23 26 3.37333e-18
* capacitor(163) =
/+106
C163 23 9 7.31154e-18
* capacitor(164) =
/+105
C164 23 30 3.9424e-16
* capacitor(165) =
/+104
C165 23 27 5.25993e-17
* capacitor(166) =
/+103
C166 24 0 4.34553e-15
* capacitor(167) =
/+102
C167 24 37 5.17692e-15

```


* capacitor(168) =	C186 13 30 8.17605e-
/+101	17
C168 24 22 7.7129e-16	* capacitor(187) = /+82
* capacitor(169) =	C187 13 24 6.31189e-
/+100	16
C169 24 32 4.9473e-18	* capacitor(188) = /+81
* capacitor(170) = /+99	C188 11 0 2.69871e-15
C170 24 30 7.62858e-	* capacitor(189) = /+80
16	C189 11 37 3.16742e-
* capacitor(171) = /+98	15
C171 24 23 7.17557e-	* capacitor(190) = /+79
18	C190 11 22 4.88193e-
* capacitor(172) = /+97	17
C172 20 0 8.19863e-17	* capacitor(191) = /+78
* capacitor(173) = /+96	C191 11 32 1.448e-16
C173 20 10 1.09333e-	* capacitor(192) = /+77
18	C192 11 24 1.74256e-
* capacitor(174) = /+95	16
C174 20 32 8.46505e-	
18	
* capacitor(175) = /+94	
C175 20 5 8.41867e-18	
* capacitor(176) = /+93	
C176 20 4 7.5768e-17	
* capacitor(177) = /+92	
C177 16 0 8.19863e-17	
* capacitor(178) = /+91	
C178 16 36 1.09333e-	
18	
* capacitor(179) = /+90	
C179 16 32 8.41867e-	
18	
* capacitor(180) = /+89	
C180 16 5 8.41867e-18	
* capacitor(181) = /+88	
C181 16 33 7.5768e-17	
* capacitor(182) = /+87	
C182 13 0 3.19738e-15	
* capacitor(183) = /+86	
C183 13 37 3.21473e-	
15	
* capacitor(184) = /+85	
C184 13 26 1.62633e-	
17	
* capacitor(185) = /+84	
C185 13 22 4.10939e-	
16	
* capacitor(186) = /+83	


```

*****
*
*                               capacitores do filtro                               *
*****
c200 35 0 5pF
c201 28 0 0.5pF
*****
*   decricao do circuito   *
*****
* pfet(193) = /+76
M193 25 29 37 37 pmos w=32u l=1u ad=7.04e-11 as=7.04e-11
+pd=4.696e-05 ps=4.696e-05 nrd=0.001 nrs=0.001
* pfet(194) = /+75
M194 35 0 28 37 pmos w=4u l=0.9u ad=8.8e-12 as=8.8e-12
+pd=9.72e-06 ps=9.72e-06 nrd=0.001 nrs=0.001
* pfet(195) = /+74
M195 25 28 12 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(196) = /+73
M196 17 17 37 37 pmos w=22u l=0.8u ad=4.84e-11 as=1.62e-11
+pd=3.366e-05 ps=1.5355e-05 nrd=0.001 nrs=0.001
* pfet(197) = /+72
M197 37 14 14 37 pmos w=5u l=0.8u ad=1.62e-11 as=1.1e-11
+pd=1.5355e-05 ps=1.105e-05 nrd=0.001 nrs=0.001
* pfet(198) = /+71
M198 28 14 3 37 pmos w=18u l=0.8u ad=3.96e-11 as=1.368e-11
+pd=2.834e-05 ps=1.2762e-05 nrd=0.001 nrs=0.001
* pfet(199) = /+70
M199 8 29 37 37 pmos w=9u l=1u ad=1.98e-11 as=1.08e-11
+pd=1.637e-05 ps=5.37e-06 nrd=0.001 nrs=0.001
* pfet(200) = /+69
M200 37 29 29 37 pmos w=9u l=1u ad=1.08e-11 as=1.98e-11
+pd=5.37e-06 ps=1.637e-05 nrd=0.001 nrs=0.001
* pfet(201) = /+68
M201 3 31 37 37 pmos w=4.8u l=0.8u ad=1.368e-11 as=1.056e-11
+pd=1.2762e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(202) = /+67
M202 26 26 37 37 pmos w=40u l=2u ad=8.8e-11 as=4.8e-11
+pd=5.76e-05 ps=1.56e-05 nrd=0.001 nrs=0.001
* pfet(203) = /+66
M203 37 26 2 37 pmos w=40u l=2u ad=4.8e-11 as=8.8e-11
+pd=1.56e-05 ps=5.76e-05 nrd=0.001 nrs=0.001
* pfet(204) = /+65
M204 28 40 37 37 pmos w=5u l=0.8u ad=1.1e-11 as=1.1e-11
+pd=1.105e-05 ps=1.105e-05 nrd=0.001 nrs=0.001
* pfet(205) = /+64
M205 41 40 37 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(206) = /+63
M206 39 39 37 37 pmos w=11u l=0.8u ad=2.42e-11 as=1.32e-11
+pd=1.903e-05 ps=6.03e-06 nrd=0.001 nrs=0.001
* pfet(207) = /+62
M207 31 10 37 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(208) = /+61

```


M208 37 39 22 37 pmos w=11u l=0.8u ad=1.32e-11 as=2.42e-11
+pd=6.03e-06 ps=1.903e-05 nrd=0.001 nrs=0.001
* pfet(209) = /+60
M209 36 19 37 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(210) = /+59
M210 10 15 37 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(211) = /+58
M211 38 26 37 37 pmos w=14u l=0.8u ad=3.08e-11 as=3.08e-11
+pd=2.302e-05 ps=2.302e-05 nrd=0.001 nrs=0.001
* pfet(212) = /+57
M212 18 9 37 37 pmos w=11u l=0.8u ad=2.42e-11 as=1.08e-11
+pd=1.903e-05 ps=7.37e-06 nrd=0.001 nrs=0.001
* pfet(213) = /+56
M213 37 40 15 37 pmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.592e-06 ps=7.592e-06 nrd=0.001 nrs=0.001
* pfet(214) = /+55
M214 37 40 19 37 pmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.592e-06 ps=7.592e-06 nrd=0.001 nrs=0.001
* pfet(215) = /+54
M215 37 9 9 37 pmos w=7u l=0.8u ad=1.08e-11 as=1.14e-11
+pd=7.37e-06 ps=8.035e-06 nrd=0.001 nrs=0.001
* pfet(216) = /+53
M216 9 30 37 37 pmos w=12u l=0.8u ad=1.14e-11 as=1.44e-11
+pd=8.035e-06 ps=6.36e-06 nrd=0.001 nrs=0.001
* pfet(217) = /+52
M217 15 33 37 37 pmos w=7.2u l=0.8u ad=1.584e-11 as=1.584e-11
+pd=1.3976e-05 ps=1.3976e-05 nrd=0.001 nrs=0.001
* pfet(218) = /+51
M218 37 4 19 37 pmos w=7.2u l=0.8u ad=1.584e-11 as=1.584e-11
+pd=1.3976e-05 ps=1.3976e-05 nrd=0.001 nrs=0.001
* pfet(219) = /+50
M219 37 30 30 37 pmos w=12u l=0.8u ad=1.44e-11 as=2.64e-11
+pd=6.36e-06 ps=2.036e-05 nrd=0.001 nrs=0.001
* pfet(220) = /+49
M220 27 9 37 37 pmos w=3.3u l=0.8u ad=7.26e-12 as=4.14e-12
+pd=8.789e-06 ps=3.6885e-06 nrd=0.001 nrs=0.001
* pfet(221) = /+48
M221 37 30 23 37 pmos w=3.6u l=0.8u ad=4.14e-12 as=7.92e-12
+pd=3.6885e-06 ps=9.188e-06 nrd=0.001 nrs=0.001
* pfet(222) = /+47
M222 37 23 24 37 pmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.0784e-05 ps=1.0784e-05 nrd=0.001 nrs=0.001
* pfet(223) = /+46
M223 37 32 4 37 pmos w=7.2u l=0.8u ad=1.584e-11 as=1.584e-11
+pd=1.3976e-05 ps=1.3976e-05 nrd=0.001 nrs=0.001
* pfet(224) = /+45
M224 33 5 37 37 pmos w=7.2u l=0.8u ad=1.584e-11 as=1.584e-11
+pd=1.3976e-05 ps=1.3976e-05 nrd=0.001 nrs=0.001
* pfet(225) = /+44
M225 37 26 13 37 pmos w=14u l=0.8u ad=3.08e-11 as=3.08e-11
+pd=2.302e-05 ps=2.302e-05 nrd=0.001 nrs=0.001
* pfet(226) = /+43


```

M226 37 24 11 37 pmos w=9.6u l=0.8u ad=2.112e-11 as=2.112e-11
+pd=1.7168e-05 ps=1.7168e-05 nrd=0.001 nrs=0.001
* pfet(227) = /+42
M227 37 11 32 37 pmos w=19.2u l=0.8u ad=4.224e-11 as=4.224e-11
+pd=2.9936e-05 ps=2.9936e-05 nrd=0.001 nrs=0.001
* nfet(228) = /+41
M228 35 37 28 0 nmos w=2.6u l=1.5u ad=5.72e-12 as=5.72e-12
+pd=7.52e-06 ps=7.52e-06 nrd=0.001 nrs=0.001
* nfet(229) = /+40
M229 21 29 0 0 nmos w=38u l=1u ad=8.36e-11 as=8.36e-11 pd=5e-05
+ps=5e-05 nrd=0.001 nrs=0.001
* nfet(230) = /+39
M230 0 14 14 0 nmos w=20u l=0.8u ad=1.38e-11 as=4.4e-11
+pd=1.32e-05 ps=2.84e-05 nrd=0.001 nrs=0.001
* nfet(231) = /+38
M231 21 28 26 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(232) = /+37
M232 12 12 0 0 nmos w=5.5u l=2u ad=1.21e-11 as=6.6e-12
+pd=1.1e-05 ps=3.5e-06 nrd=0.001 nrs=0.001
* nfet(233) = /+36
M233 0 12 8 0 nmos w=5.5u l=2u ad=6.6e-12 as=6.6e-12 pd=3.5e-06
+ps=3.5e-06 nrd=0.001 nrs=0.001
* nfet(234) = /+35
M234 17 17 0 0 nmos w=3u l=0.8u ad=6.6e-12 as=1.38e-11 pd=8e-06
+ps=1.32e-05 nrd=0.001 nrs=0.001
* nfet(235) = /+34
M235 8 8 0 0 nmos w=5.5u l=2u ad=6.6e-12 as=6.6e-12 pd=3.5e-06
+ps=3.5e-06 nrd=0.001 nrs=0.001
* nfet(236) = /+33
M236 0 8 26 0 nmos w=5.5u l=2u ad=6.6e-12 as=1.21e-11 pd=3.5e-06
+ps=1.1e-05 nrd=0.001 nrs=0.001
* nfet(237) = /+32
M237 1 17 28 0 nmos w=7u l=0.8u ad=5.64e-12 as=1.54e-11
+pd=5.64e-06 ps=1.28e-05 nrd=0.001 nrs=0.001
* nfet(238) = /+31
M238 0 36 1 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.64e-12
+pd=7.28e-06 ps=5.64e-06 nrd=0.001 nrs=0.001
* nfet(239) = /+30
M239 29 29 0 0 nmos w=15u l=1u ad=3.3e-11 as=1.56e-11
+pd=2.24e-05 ps=7e-06 nrd=0.001 nrs=0.001
* nfet(240) = /+29
M240 0 2 2 0 nmos w=11u l=2u ad=1.56e-11 as=2.42e-11 pd=7e-06
+ps=1.76e-05 nrd=0.001 nrs=0.001
* nfet(241) = /+28
M241 0 41 28 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(242) = /+27
M242 0 40 41 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(243) = /+26
M243 39 38 0 0 nmos w=14u l=0.8u ad=3.22e-11 as=1.26e-11
+pd=2.14e-05 ps=8e-06 nrd=0.001 nrs=0.001
* nfet(244) = /+25

```


M244 31 10 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(245) = /+24
M245 0 38 38 0 nmos w=7u l=0.8u ad=1.26e-11 as=1.26e-11 pd=8e-06
+ps=8e-06 nrd=0.001 nrs=0.001
* nfet(246) = /+23
M246 38 18 0 0 nmos w=14u l=0.8u ad=1.26e-11 as=1.68e-11
+pd=8e-06 ps=5.2e-06 nrd=0.001 nrs=0.001
* nfet(247) = /+22
M247 0 18 18 0 nmos w=14u l=0.8u ad=1.68e-11 as=3.08e-11
+pd=5.2e-06 ps=2.12e-05 nrd=0.001 nrs=0.001
* nfet(248) = /+21
M248 36 19 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(249) = /+20
M249 10 15 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(250) = /+19
M250 7 32 0 0 nmos w=4.8u l=0.8u ad=5.04e-12 as=1.056e-11
+pd=3.84e-06 ps=1.016e-05 nrd=0.001 nrs=0.001
* nfet(251) = /+18
M251 0 5 6 0 nmos w=4.8u l=0.8u ad=1.056e-11 as=5.04e-12
+pd=1.016e-05 ps=3.84e-06 nrd=0.001 nrs=0.001
* nfet(252) = /+17
M252 6 33 15 0 nmos w=3.6u l=0.8u ad=5.04e-12 as=7.92e-12
+pd=3.84e-06 ps=8.72e-06 nrd=0.001 nrs=0.001
* nfet(253) = /+16
M253 19 4 7 0 nmos w=3.6u l=0.8u ad=7.92e-12 as=5.04e-12
+pd=8.72e-06 ps=3.84e-06 nrd=0.001 nrs=0.001
* nfet(254) = /+15
M254 9 2 0 0 nmos w=7u l=0.8u ad=1.54e-11 as=1.54e-11
+pd=1.28e-05 ps=1.28e-05 nrd=0.001 nrs=0.001
* nfet(255) = /+14
M255 27 27 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=2.88e-12
+pd=7.28e-06 ps=2.88e-06 nrd=0.001 nrs=0.001
* nfet(256) = /+13
M256 0 27 23 0 nmos w=2.4u l=0.8u ad=2.88e-12 as=5.28e-12
+pd=2.88e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(257) = /+12
M257 4 10 0 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(258) = /+11
M258 0 36 33 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(259) = /+10
M259 20 32 0 0 nmos w=4.8u l=0.8u ad=5.04e-12 as=1.056e-11
+pd=3.84e-06 ps=1.016e-05 nrd=0.001 nrs=0.001
* nfet(260) = /+9
M260 0 5 16 0 nmos w=4.8u l=0.8u ad=1.056e-11 as=5.04e-12
+pd=1.016e-05 ps=3.84e-06 nrd=0.001 nrs=0.001
* nfet(261) = /+8
M261 4 5 20 0 nmos w=3.6u l=0.8u ad=7.92e-12 as=5.04e-12
+pd=8.72e-06 ps=3.84e-06 nrd=0.001 nrs=0.001
* nfet(262) = /+7


```

M262 16 32 33 0 nmos w=3.6u l=0.8u ad=5.04e-12 as=7.92e-12
+pd=3.84e-06 ps=8.72e-06 nrd=0.001 nrs=0.001
* nfet(263) = /+6
M263 0 23 24 0 nmos w=2.4u l=0.8u ad=5.28e-12 as=5.28e-12
+pd=7.28e-06 ps=7.28e-06 nrd=0.001 nrs=0.001
* nfet(264) = /+5
M264 30 13 0 0 nmos w=14u l=0.8u ad=3.08e-11 as=1.26e-11
+pd=2.12e-05 ps=8e-06 nrd=0.001 nrs=0.001
* nfet(265) = /+4
M265 0 13 13 0 nmos w=7u l=0.8u ad=1.26e-11 as=1.26e-11 pd=8e-06
+ps=8e-06 nrd=0.001 nrs=0.001
* nfet(266) = /+3
M266 13 22 0 0 nmos w=14u l=0.8u ad=1.26e-11 as=1.68e-11
+pd=8e-06 ps=5.2e-06 nrd=0.001 nrs=0.001
* nfet(267) = /+2
M267 0 22 22 0 nmos w=14u l=0.8u ad=1.68e-11 as=3.08e-11
+pd=5.2e-06 ps=2.12e-05 nrd=0.001 nrs=0.001
* nfet(268) = /+1
M268 0 24 11 0 nmos w=4.8u l=0.8u ad=1.056e-11 as=1.056e-11
+pd=1.016e-05 ps=1.016e-05 nrd=0.001 nrs=0.001
* nfet(269) = /+0
M269 0 11 32 0 nmos w=9.6u l=0.8u ad=2.112e-11 as=2.112e-11
+pd=1.592e-05 ps=1.592e-05 nrd=0.001 nrs=0.001
*****
*

```

PARAMETROS ES2 - 0,7 μ m - CASO TIPICO

```

*****
**
.MODEL n NMOS
+ LEVEL = 6.0      UPDATE = 1.0
+ NSUB = 1.965e+16 TOX = 150.0    BETA = 97e-6
+ XJ = 0.25u
+ RSH = 65
+ MOB = 2
+ F1 = 372k      F2 = 200m      UTRA = 563m
+ XL = 0.04u     LD = 0.1u
+ XW = 0.9u      WD = 0.45u
+ VTO = 815m
+ NSS = 0.0
+ NWE = 193.7n
+ UFDS = 99.5m   VFDS = 0.2      FDS = 84m
+ VB0 = 1.50     GAMMA = 764m    LGAMMA = 705m
+ VSH = 650m     NWM = -197m     SCM = 1.733
+ WIC = 2        NFS = 5E11      WEX = 17
+ LAMBDA = 10.63u
+ NU = 1
+ KU = 1.405     ECRIT = 87k     MBL = 555m
+ KA = 974m      MAL = 295m
+ CLM = 3
+ KCL = 1.08     MCL = 4.63
+ TLEV = 1

```



+ BEX = -1.5 TCV = -2m
 + CAPOP = 4.0 ACM = 2.0
 + CJ = 503u MJ = 0.43
 + CJSW = 109p MJSW = 0.43 PB = 0.675
 + CGDO = 200p CGSO = 200p JS = 2u
 .MODEL p PMOS
 + LEVEL = 6.0 UPDATE = 1.0
 + NSUB = 2.5e+16 TOX = 150.0 BETA = 30.16e-6
 + XJ = 0.5u
 + RSH = 80
 + MOB = 2
 + F1 = 483k F2 = 320m UTRA = -197m
 + XL = 0.042u LD = 0.1u
 + XW = 0.9u WD = 0.45u
 + VTO = -1
 + NWE = 56.1n
 + UFDS = 331m VFDS = 0.5 FDS = 286m
 + VB0 = 1.5 GAMMA = 587m LGAMMA = 653m
 + VSH = -116m NWM = -442m SCM = 1.01
 + WIC = 2 NFS = 6E11 WEX = 14.3
 + LAMBDA = 14u
 + NU = 1
 + KU = 9.871 ECRIT = 486k MBL = 803m
 + KA = 1.082 MAL = 0
 + CLM = 3
 + KCL = 41.91m MCL = 6.97
 + TLEV = 1
 + BEX = -1.0 TCV = 1.52m
 + CAPOP = 4.0 ACM = 2.0
 + CJ = 776u MJ = 0.51
 + CJSW = 572p MJSW = 0.51 PB = 0.7
 + CGDO = 200p CGSO = 200p JS = 20u

Anexo B

Cópia do Artigo Apresentado em Congresso

The Design of a 0,7 μm CMOS Pre-Charge Type DPLL for Clock Recovery under the SONET/SDH Protocols at 622 Mhz

Leonardo Mesquita, Paulo C. Crepaldi, Elbio L. Petrucci, Tales C. Pimenta

Escola Federal de Engenharia de Itajubá

Grupo de Microeletrônica

Av. BPS 1303, Itajubá - MG 37500-000

Tel. (035) 629-1190 - 629-1191

e-mail : tales@esmeralda.iee.efei.rmg.br

Abstract - This paper presents a pre-charge type DPLL (Digital Phase Locked Loop) to be used for clock recovery in the communication systems working at 622 Mhz under the SONET/SDH protocols. It is presented a pre-charge type PFD, a biasing circuit and a VCO capable of working at that frequency. The circuit was design for a 0.7 μm CMOS process. The HSPICE simulations show that the circuit is capable of working at such high frequency.

1. INTRODUCTION

The receivers of the communication systems working under the SONET/SDH protocols[1] require circuits to recover the clock signal, which is extracted from the incoming message. This clock signal is used to synchronize the receiver with the incomming information.

This work presents the implementation of a DPLL circuit that can be used in the clock recovery of a 622 Mhz incoming signal. The section 2 describes the DPLL designed. It is presented in section 2.1 the pre-charge type Phase-Frequency Detector - PFD designed. The section 2.2 describes the charge-pump circuit and the loop filter. The Voltage Controlled Oscillator - VCO implemented is presented in section 2.3. Section 2.4 shows the layout of the integrated circuit designed in a 0.7 μm CMOS technology. This section also shows the respective HSPICE simulations, along with the circuit characteristics. Finally, section 3 presents the conclusions related to this project.

2. DPLL IMPLEMENTATION

The DPLL designed [2] is composed of a phase-frequency detector - PFD, its respective charge-pump circuit, an a voltage controlled oscillator - VCO, as indicated in Figure 1.

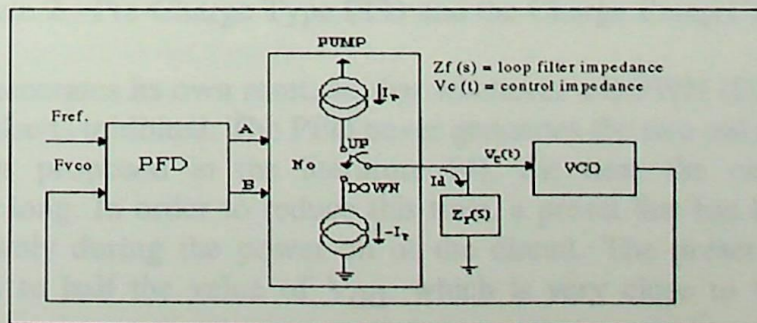


Figure 1 - DPLL.

The PFD is widely used in the design of DPLLs due to its large tracking range, fast frequency acquisition and its easy implementation. The charge-pump circuit is used to convert

the output of the PFD to current. This current is applied to the filter, which is used to reduce the ripple and provide stability to the DPLL. The VCO is used to convert the controlling voltage to frequency.

2.1 Phase-Frequency Detector - PFD

The PFD is fully digital circuit [3], and its operation is shown in Table 1, along with a short analysis of its operation according to input signals.

A	B	Operation	Frequencies
0	0	High Impedance	$F_{ref} = F_{vco}$
0	1	Generation of the Down Pulse	$F_{ref} < F_{vco}$ or θ_{ref} leading θ_{vco}
1	0	Generation of the Up pulse	$F_{ref} > F_{vco}$ or θ_{ref} lagging θ_{vco}

Table 1 - PFD Operation.

The pre-charge type PFD implemented [4,5] can operate at high frequencies, the opposite of the conventional PFD [6]. Figure 2 shows the PFD along with its charge pump circuit, and Figure 3 shows its HSPICE response to two 625 Mhz signals with a 90° phase shift.

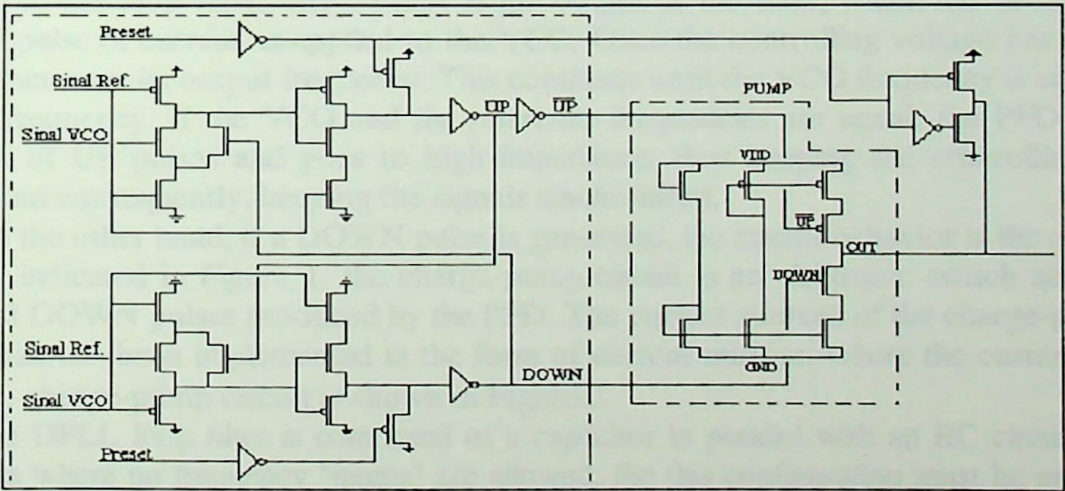


Figure 2 - Pre-Charge Type PFD and the Charge Pump Circuit.

The circuit generates its own reset, so that whenever a DOWN (UP) pulse is generated, the UP (DOWN) pulse is inhibited. The PFD never generates the two pulses at the same time.

In the PFDs proposed in the literature [4], the time the circuits take to reach synchronism is very long. In order to reduce this time, a preset line has been introduced. This preset is activated only during the power-on of the circuit. The preset forces the oscillator controlling voltages to half the value of V_{dd} , which is very close to the normal operation value. In our case, this value is 2.5V for a 5V power supply.

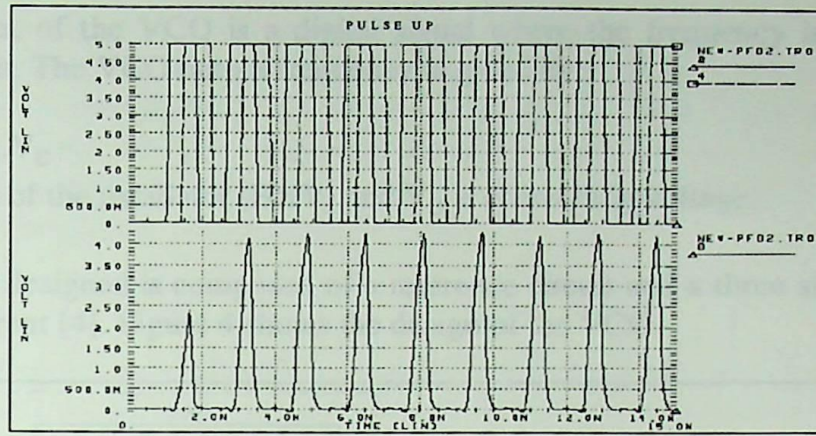


Figure 3 - Response of the PFD at 625 Mhz.

2.2 Charge-Pump Circuit and Loop Filter

The charge-pump circuit [7] converts the phase error obtained from the PFD into current to be used by the loop filter to provide the controlling voltage of the VCO. The charge pump circuit and the loop filter are shown in Figure 1.

The current from the charge pump circuit is given by

$$I_d = \pm I_p \cdot (\theta_e / 2\pi)$$

where θ_e is the phase error between the input signals.

If the PFD produces an UP pulse, the charge pump converts it to current which is conducted to the loop filter. The voltage at the output of the filter, which has been increased due to the pulse of current, is applied to the VCO. Once the controlling voltage has increased, the VCO increases its output frequency. This continues until the VCO frequency is equal to the reference frequency. If the VCO and the reference frequencies are equal, the PFD stops the generation of UP pulses and goes to high impedance, thus keeping the controlling voltage constant, and consequently, keeping the signals synchronised.

On the other hand, if a DOWN pulse is generated, the circuit behavior is the opposite.

As indicated in Figure 1, the charge-pump circuit is an electronic switch activated by the UP and DOWN pulses produced by the PFD. The current sources of the charge-pump used in this circuit have been implemented in the form of current mirrors, where the current is set to $25\mu\text{A}$. The charge-pump circuit is shown in Figure 2.

The DPLL loop filter is composed of a capacitor in parallel with an RC circuit [8,9]. In applications where no frequency "jumps" are allowed, this configuration must be used. In this configuration, the capacitor in parallel with the RC circuit provides an additional filtering of the signal, thus reducing the jitter in the system.

The main advantage of this type of loop filter is its short response time. Also, this filter does not allow sharp voltage changes that would saturate the oscillator.

2.3 Voltage Controlled Oscillator - VCO

The output of the VCO is a digital signal where the frequency is controlled by the voltage at its input. The VCO output frequency is given by:

$$f_{VCO} = K_O \cdot V_C$$

Where K_O is gain of the oscillator (Hz/V) and V_C is controlling voltage.

The VCO designed is composed of a reference circuit and a three stages ring oscillator controlled by current [4]. Figure 4 shows the design of the VCO.

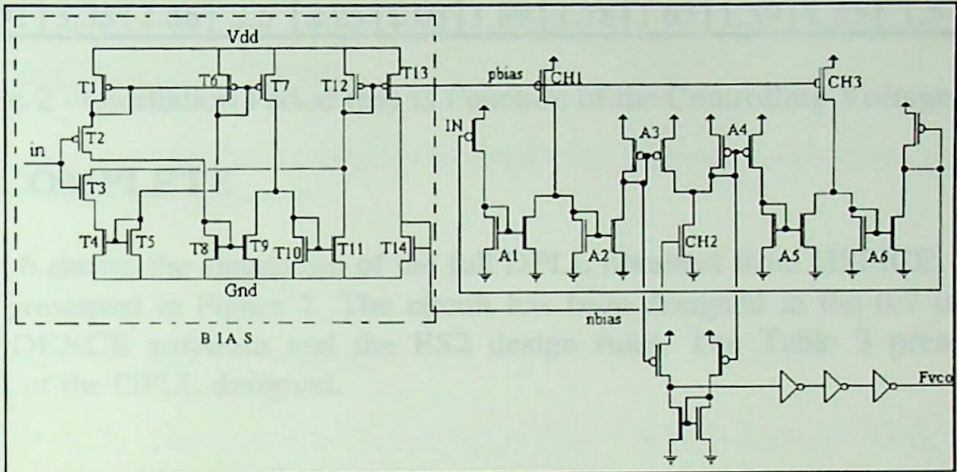


Figure 4 - The VCO and the Reference Circuit.

The reference circuit converts the controlling voltage to a proportional current which is used by the ring oscillator. The current is obtained from current sum and subtraction on the branches of the circuit. The input block, composed of the transistors T1, T2, T3 and T4, can be adjusted in order to set input current according to the desired output frequency range desired.

Figure 5 shows the DC characteristics of the voltage reference circuit obtained from HSPICE simulations, where the controlling voltage range is 1-4V.

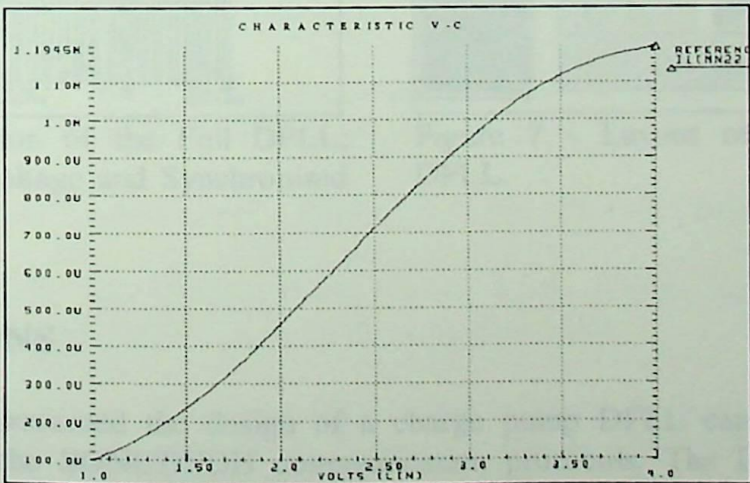


Figure 5 - The DC Characteristic of the Reference Circuit.

The operation of the VCO is given as follows. Considering the node IN at logic level 1, the current mirror A1 is cut-off, and mirror A2 absorbs all the current supplied by CH1. In this situation, the current on the mirror A3 is the same as the current on CH2 and the mirror A4

cuts-off. From that, the mirror A5 cuts-off and the mirror A6 absorbs all the current from CH3, which forces the IN to logic level 0. This forces the circuit to oscillate.

The output of the oscillator is obtained from a differential amplifier connected on the current mirrors A3 and A4. The differential amplifier is used to set the duty cycle to 50%. Table 2 shows the oscillation period of this circuit as function of the controlling voltage at the input of the reference circuit.

Vc	1	1.2	1.4	1.6	1.8	2.0	2.2	2.4	2.6	2.8	3.0	3.2	3.6	3.8	4.0
Period	3.91	3.35	2.86	2.5	2.25	2.03	1.89	1.78	1.67	1.59	1.55	1.5	1.42	1.4	1.37

Table 2 - Oscillation Period (ns) as Function of the Controlling Voltage (V).

2.4 DPLL COMPLETE

Figure 6 shows the simulation of the full DPLL obtained from HSPICE. The layout of the circuit is presented in Figure 7. The circuit has been designed in the 0.7 μm technology using the CADENCE software and the ES2 design rules. The Table 3 presents the main characteristics of the DPLL designed.

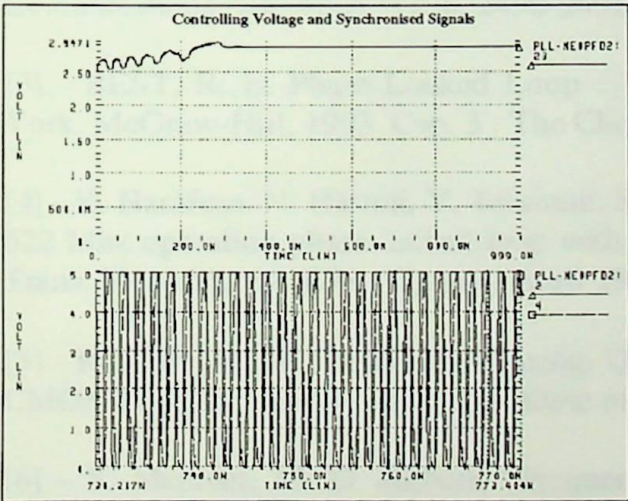


Figure 6 - Simulation of the Full DPLL; VCO Controlling Voltage and Synchronised Signals.

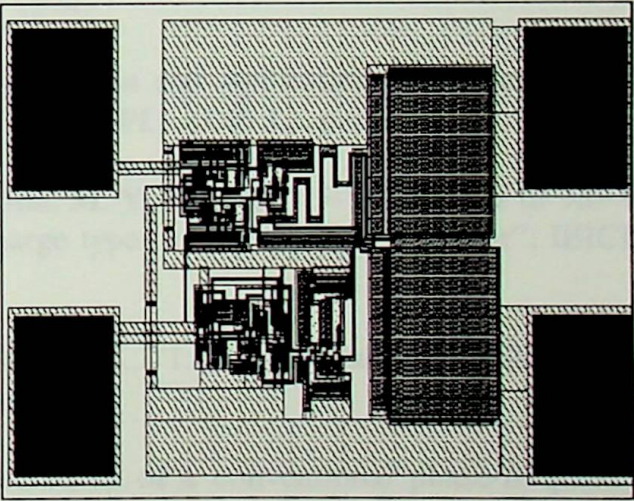


Figure 7 - Layout of the Charge Pump DPLL.

3. CONCLUSIONS

This paper presented the design of a charge pump DPLL capable of operating at 622Mhz to attend the SONET/SDH communication protocols. The DPLL is used at the receiver to extract the clock signal from the incoming messages. The PFD of this DPLL is able to operate at high frequencies. The PFD introduced a preset line used to reduce the time the circuit takes to reach synchronization after the power-on of the circuit.

Technology	0,7 μm CMOS
------------	------------------------

PFD	pre-charge type
“charge-pump” current	25 μ A
VCO	three stages ring oscillator
Controlling Voltage	1 to 4 V
Lock-in time	600 ns
Power Supply	5 V
Power Consumption	40 mW

Table 3 - Main Characteristics of the Full DPLL.

4. ACKNOWLEDGEMENTS

The authors would like to thank the Engineers Robson L. Moreno and Adriano M. Pereira for their valuable suggestions.

REFERENCES

- [1] - SDH SEMINAR, Hewlett Packard
- [2] - PAEMEL, M. V. Analysis of a Charge Pump PLL : A New Model. IEEE Transaction on Communications, vol. 42, n° 12, p. 2490-2498, July 1994.
- [3] - BEST, R. E. Phase Locked Loop : Theory, Design and Applications, 2^a Edição. New York, McGraw-Hill, 1993. Cap. 3 : The Chassical Digital PLL (DPLL), p.93-171.
- [4] - K. Harafusa, N. Hiromi, Y. Tsutomu, S. Hiroshi, M. Yoshio; “A 1.5-V 250 Mhz to 3.0-V 622 Mhz operation phase-locked loop with precharge type phase-frequency detector”; IEICE Trans. Electron, vol. E78 - C, no 4, Abril 1995.
- [5] - Rogenmoser, R., Felber, N., Huang, Q., Fichtner, W., “1.16 GHZ dual -modulus 1.2 μ m CMOS prescaler”, Swiss Federal Institute of Technology.
- [6] - S. Mehmet, M. G. Robert; “Frequency limitations of a conventional phase-frequency detector”; IEEE Journal of Solid-State Circuits; vol. 25, no 4, Agosto 1990.
- [7] - Encinas, J., “Phase Locked Loop” - thrid edition, pp. 129-143, Chapman & Hall 1993.
- [8] - GARDNER, F. M. Charge Pump Phase Lock Loops. IEEE Transaction on Communications, vol. COM - 28, n° 12, p. 1849-1858, Nov 1980.
- [9] - Meyr, H. & Ascheid, G., Synchronization in digital communications - Volume 1 - Phase-, Frequency-locked loops, and Amplitude Control, 1^a Edição, Jonh Wiley & Sons. Cap 2 : Phase locked loop fundamentais, p. 21-95.

REFERÊNCIAS BIBLIOGRÁFICAS

1. B. P. Lathi, *Modern Digital and Communications Systems*, McGraw Hill, NY, 1991.
2. Eduard A. Lee and David G. Messerschmitt, *Digital Communication*, 2nd Edition, KAP, 1994.
3. R. E. Best, *Phase Locked Loop : Theory, Design and Applications*, McGraw Hill, NY, 1993.
4. Introduction to the SDH Networks and Tests, SDH SEMINAR, Hewlett Packard
5. Jyh-Ming, Sung-Chuan Fang, Wu-Shiung Feng, *New Efficient Desings For XOR and XNOR Functions on the transistor Level*, IEEE, vol.29, n°7, July 1994.
6. Dan H. Wolaver, *Phase Locked Loop Circuit Design*, Prentice Hall, 1991.
7. R. Wim, " ALL - Digital Phase Locked Loops Using the 74HC/HCT297", *Electronic Components and Aplicacions*, vol. 9, n° 2.
8. Behzard Razani, "Design of a Monolithic Phase Locked Loops and Clock Recovery Cirucits - A Tutorial", IEEE PRESS, vopl 42, n° 7, pp 1849-1858.
9. F. M. Gardner, "Charge Pump Phase Locked Loop", *IEEE transaction on Communications*, vol. 28, n° 11, November 1980..
10. F. M. Gardner, *Phaselock Techniques*, Jonh Wiley & Sons, NY, 1979.
11. H. Meyr; G. Ascheid, *Synchronization in Digital Communications*, Jonh Wiley & Sons, NY, 1990.
12. M. V. Paemel, "Analysis of a Charge Pump PLL : A New Model", *IEEE Transactions on Communications*, vol. 42, n 7, July, 1994, pp. 2490 - 2498.
13. J. Encinas, *Phase Locked Loop*, Chapmam & Hall, 1993.

14. Willian O. Keese, "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loops", National Semiconductor, AN 1001, May, 1996.
15. Charles L. Phillips and Royce D. Harbor, *Feedback Control Systems*, 2nd Edition, Prentice Hall, 1991.
16. Mehmet Sayver & Robert G. Meyer, "Frequency Limitations of a Convencional Phase Frequency Detector", IEEE Journal of Solid State Circuits, vol. 25, n° 4, August, 1990, pp. 1019-1022.
17. R. C. Halgren et. al., "Improved Aquisition in PLLs with Sawtooth Phase Detectors", IEEE Trans. Commum, vol. COM-30, October, 1982, pp. 2364-2375.
18. Harafusa Kodon et. al., "A 1,5V 250Mhz to 3,0V 622Mhz Operation CMOS Phase Locked Loop with Precharge Type Phase Frequency Detector", IEICE Trans Electron, vol. E78C, n° 4, April, 1995, pp. 381-388.
19. Jan M. Rabaey, *Digital Integrated Circuits - A Design Perspective*, Prentice Hall, 1996.
20. Jonh P. Uuemura, *Circuit Design for CMOS VLSI*, KAP, 1992.
21. P. E. Allen & D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, Inc., 1987.
22. D. Byrd, C. Davis & W. O. Keese, "A Fast Locking Scheme for PLL Frequency Synthesizers", AN 1000, National, July, 1995.
23. National Semicondutores, 74VHC4046 CMOS Phase Lock Loop, October, 1995.
24. J. Kleber Cunha Pinto, PEE-790 Microlinhas de Trasmissoão - Placa de Teste para um Circuito Integrado de Alta Velocidade

EFEI / BIBLIOTECA

ESTE LIVRO DEVE SER DEVOLVIDO NA

ÚLTIMA DATA CARIMBADA .

20/02/99		
14-05-02		
<i>[Signature]</i>		
21/05/02		
08/05/02		
07-05-02		
11/05/02		
18/05/02		
<i>[Signature]</i>		
25/06/02		
<i>[Signature]</i>		
02/07/04		
18-02-04		
<i>[Signature]</i>		
01/03/04		
08-03-04		
<i>[Signature]</i>		
15/03/04		
25-3-2004		
31/03/04		

EFEI - BIBLIOTECA MAUÁ
8200937

NÃO DANIFIQUE ESTA ETIQUETA