

TESE
1013

LA FEDERAL DE ENGENHARIA DE ITAJUBÁ

*Projeto de um Modulador Sigma-Delta de
Segunda Ordem em Low Voltage, Utilizando a
Técnica de Capacitores Chaveados*

CARLOS RENATO TREVISAN DE MORI

JULHO / 1999

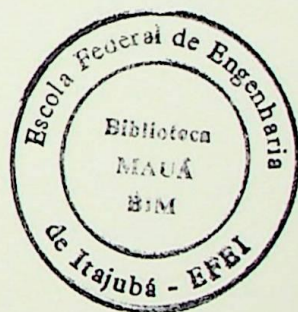
Escola Federal de Engenharia de Itajubá

**Projeto de um Modulador Sigma-Delta de
Segunda Ordem em *Low Voltage*, Utilizando a
Técnica de Capacitores Chaveados**

por

Carlos Renato Trevisan de Mori

Orientadores: Prof. Tales Cleber Pimenta, PhD.
Prof. MSc. Paulo César Crepaldi



Dissertação apresentada à Escola Federal de Engenharia de Itajubá como parte dos requisitos necessários para a obtenção do título de Mestre em Engenharia Elétrica.

Julho/1999

"...foi tempo em que aprendi a transformar o medo em respeito, a vergonha em confiança. Descobri como é bom chegar quando se tem paciência. E para se chegar, onde quer que seja, aprendi que não é preciso dominar a força, mas o estado. É preciso, antes de mais nada, querer."

*Aos meus pais, José e Odila,
e irmãos, Luiz Fernando e
Ana Claudia, dedico.*

Agradecimentos

À Deus, pelo seu insuperável amparo em todos os momentos.

A todos os meus familiares, especialmente meus pais e irmãos, por seu incondicional incentivo e amor.

Aos professores orientadores, Tales Cleber Pimenta e Paulo César Crepaldi, pelo crédito, confiança, amizade e pela ajuda na realização desse trabalho.

Aos amigos e ex-colegas de trabalho, engenheiros Robson Luiz Moreno e Adriano Marques Pereira, e a todos do Grupo de Microeletrônica da EFEI, pelas constantes sugestões e contribuições para esse trabalho.

Aos amigos e quase irmãos, próximos ou distantes, Luiz Aurélio, Leandro, Ernesto, Claudio, Renata e Gisele, por seu incontestável apoio, pelos momentos de descontração e, principalmente, pela paciência.

À fundação CAPES, que através do programa “Demanda Social” viabilizou esse projeto.

Meus humildes e sinceros agradecimentos.

Resumo

Os recentes avanços nas tecnologias digitais aplicadas a circuitos de processamento de sinal possibilitaram a sua utilização em larga escala em circuitos integrados devido ao seu baixo custo, à sua alta precisão e à possibilidade de se alcançar altas velocidades. Dessa forma, tornou-se também necessário o desenvolvimento de conversores análogo/digitais capazes de suprir as necessidades dos circuitos digitais de processamento de sinal, ou seja, conversores compatíveis com esses últimos. Conversores A/D baseados na modulação sigma-delta ($\Sigma\Delta$) são uma alternativa de baixo custo para conversores de alta resolução e podem ser integrados sem maiores problemas em CIs de processamento digital de sinal. Normalmente, outros tipos de conversores convencionais não alcançam as velocidades exigidas por esses circuitos, além de se tornarem muito complexos quando a precisão exigida é alta.

Esse trabalho mostra o projeto de um modulador $\Sigma\Delta$ de precisão, implementado com a técnica de capacitores chaveados e que opera em baixa tensão (*low voltage*). A operação em *low voltage* é fundamental nos sistemas eletrônicos portáteis modernos, pois permite a utilização de um número menor de baterias nestes sistemas. A utilização da técnica de capacitores chaveados, ao invés de uma implementação analógica convencional, é importante na redução do tamanho do circuito modulador (menor custo) e proporciona a implementação de “resistores simulados” mais lineares e precisos que os circuitos implementados com resistores integrados.

Índice

Abstract

The recently advances in digital circuits, such as high speed, high precision and low cost, made possible the wide use of signal processing circuits. In that way, it became also necessary the development of analog-to-digital converters to meet the needs of the digital signal processing circuits. The A/D converters based on sigma-delta ($\Sigma\Delta$) modulation are a low cost alternative for converters of high resolution and can be a part of digital signal processing IC. Usually, other types of conventional converters don't reach the speeds required by digital signal processing circuits and can beco me very complex as the precision increases.

This work aims the design of a resolution $\Sigma\Delta$ modulator implemented using the switched-capacitor technique for low voltage operation. The low voltage operation is essential in modern portable electronic systems to guarantee a smaller number of batteries. The use of switched-capacitor technique allows a reduction of modulator size (smaller cost) and more linear and precise “simulated resistors”.

Índice

Capítulo 1 – Introdução

1.1 Considerações Gerais	01
1.2 Justificativas	02
1.3 Objetivo	03
1.4 Estrutura do Trabalho	03

Capítulo 2 – Conceitos Básicos

2.1 Princípio da Sobreamostragem	05
2.2 Modulador Delta e Sigma-Delta	08
2.2.1 Modulador Delta	08
2.2.2 Modulador Sigma-Delta	09
2.3 Técnica de Capacitores Chaveados	12
2.3.1 Princípio de Funcionamento	12
2.3.2 Integradores com Capacitores Chaveados	13

Capítulo 3 – Definição da Arquitetura

3.1 Considerações Iniciais	15
3.2 Integradores	17
3.2.1 Primeiro Integrador	17
3.2.2 Segundo Integrador	22
3.3 Comparador	23
3.4 Conversor D/A	24
3.5 Simulação Funcional	25

Capítulo 4 – Projeto Elétrico

4.1 Considerações Iniciais	33
4.2 Integradores	34
4.2.1 Projeto do Amplificador Operacional	37
4.2.2 Circuito de Realimentação de Modo Comum (CMFB)	49
4.2.3 Simulação Elétrica do Integrador	51
4.3 Comparador	53
4.4 Conversor D/A	56
4.5 Gerador de Fases	59

Capítulo 5 – Circuito Final

5.1 Simulações	64
5.2 Layout	71

Lista de Figuras

Capítulo 2

Figura 2.1 – Comparação entre amostradores de Nyquist e de sobreamostragem	07
Figura 2.2 – Resposta do filtro <i>anti-aliasing</i> de conversores de sobreamostragem	08
Figura 2.3 – Modulação delta	08
Figura 2.4 – Modulador $\Sigma\Delta$ a partir do modulador delta	09
Figura 2.5 – Diagrama em blocos de um modulador $\Sigma\Delta$	09
Figura 2.6 – Análise de um modulador $\Sigma\Delta$ de 1ª ordem no domínio discreto	10
Figura 2.7 – Espectro de um modulador $\Sigma\Delta$ e distribuição do ruído	11
Figura 2.8 – Entrada e saída de um modulador $\Sigma\Delta$ de 1ª ordem	12
Figura 2.9 – Circuito com capacitor chaveado	13
Figura 2.10 – Forma clássica do integrador	13
Figura 2.11 – Integrador com capacitor chaveado	14
Figura 2.12 – Integrador com capacitor chaveado insensível às capacitâncias parasitas	14

Capítulo 3

Figura 3.1 – SNR versus taxa de sobreamostragem para moduladores sigma-delta	16
Figura 3.2 – Diagrama em blocos de um modulador sigma-delta de 2ª ordem	16
Figura 3.3 – Circuito do integrador com capacitor chaveado	17
Figura 3.4 – Amplificador operacional <i>folded-cascode</i>	18
Figura 3.5 – Diagrama em blocos do modulador $\Sigma\Delta$ de 2ª ordem com os ganhos da arquitetura	26
Figura 3.6 – Diagrama em blocos do modulador $\Sigma\Delta$ de 2ª ordem utilizado para simulação no Matlab ⁽⁹⁾	27
Figura 3.7 – Entrada e saída do modulador $\Sigma\Delta$ de 2ª ordem simulado no Matlab ⁽⁹⁾	28
Figura 3.8 – Detalhe da passagem por zero do sinal de entrada do modulador $\Sigma\Delta$ de 2ª ordem da Figura 3.7 e respectiva saída	29
Figura 3.9 – Detalhe do pico positivo do sinal de entrada do modulador $\Sigma\Delta$ de 2ª ordem da Figura 3.7 e respectiva saída	30
Figura 3.10 – Espectro do sinal de saída do modulador $\Sigma\Delta$ de 2ª ordem, calculado no Matlab ⁽⁹⁾	31
Figura 3.11 – SNR do modulador $\Sigma\Delta$ de 2ª ordem em função do sinal de entrada normalizado	32

Capítulo 4

Figura 4.1 – Diagrama em blocos simplificado do modulador $\Sigma\Delta$ de 2ª ordem	34
Figura 4.2 – Circuito do integrador implementado com capacitor chaveado	35
Figura 4.3 – Circuito simplificado do amplificador <i>folded-cascode</i>	38
Figura 4.4 – Resposta do integrador (saída diferencial) a uma tensão amostrada na fase ϕ_1	38
Figura 4.5 – Esquemático do amplificador <i>folded-cascode</i>	42
Figura 4.6 – Esquemático do circuito de polarização	42
Figura 4.7 – Ganho diferencial (em dB) e fase do sinal de saída (em graus) para o caso típico	44
Figura 4.8 – Ganho diferencial (em dB) e fase do sinal de saída (em graus) para o pior caso de potência	44
Figura 4.9 – Ganho diferencial (em dB) e fase do sinal de saída (em graus) para o pior caso de velocidade	45
Figura 4.10 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2+\delta$ no caso típico	46
Figura 4.11 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2+\delta$ no pior caso de potência	47
Figura 4.12 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2+\delta$ no pior caso de velocidade	47
Figura 4.13 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2+\delta$ no caso típico para $\delta = 0,6V$ (maior ganho) e $\delta = 1,1V$ (menor ganho)	48
Figura 4.14 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2+\delta$ no pior caso de velocidade para $\delta = 0,6V$ (maior ganho) e $\delta = 0,9V$ (menor ganho)	49
Figura 4.15 – Circuito de realimentação de modo comum dinâmico (DCMFB)	50
Figura 4.16 – Resposta do integrador (saída diferencial $V(out+, vout-)$) a uma tensão DC diferencial de 1,2V amostrada na fase ϕ_1	51
Figura 4.17 – Entrada e saída diferencial do integrador da Figura 4.2	52
Figura 4.18 – Espectro do sinal de saída do integrador	53
Figura 4.19 – Esquemático completo do circuito comparador	55
Figura 4.20 – Funcionamento do circuito comparador: curvas com sinais de entrada, sinais de saída (para os três casos) e fase de comparação ϕ_1 , respectivamente	56
Figura 4.21 – Esquemático do conversor D/A de um bit	58
Figura 4.22 – Fases de <i>clock</i> necessárias ao funcionamento do modulador	59
Figura 4.23 – Esquemático do circuito gerador das fases de <i>clock</i>	60
Figura 4.24 – Fases de <i>clock nonoverlapping</i> com <i>delay</i> para o caso típico	61
Figura 4.25 – Detalhe da transição das quatro fases da Figura 4.24	61
Figura 4.26 – Fases de <i>clock nonoverlapping</i> com <i>delay</i> para o pior caso de potência	62
Figura 4.27 – Fases de <i>clock nonoverlapping</i> com <i>delay</i> para o pior caso de velocidade	62

Lista de Tabelas

Capítulo 5

Figura 5.1 – Esquemático completo do modulador sigma-delta	65
Figura 5.2 – Capacitores chaveados da entrada do modulador (detalhe da Figura 5.1)	66
Figura 5.3 – Entrada e saída do modulador sigma-delta simulado no Hspice [®]	66
Figura 5.4 – Espectro do sinal de saída do modulador simulado para o caso típico	67
Figura 5.5 – Espectro do sinal de saída do modulador simulado para o pior caso de potência	68
Figura 5.6 – Espectro do sinal de saída do modulador simulado para o pior caso de velocidade	69
Figura 5.7 – Espectro do sinal de saída do modulador sigma-delta, calculado no Matlab [®] , utilizando os parâmetros do caso típico	70
Figura 5.8 – <i>Layout</i> da matriz de capacitores	71
Figura 5.9 – <i>Layout</i> do modulador sigma-delta	73

Capítulo 6

Figura 6.1 – Diagrama em blocos de um conversor A/D $\Sigma\Delta$	75
--	----

Lista de Tabelas

Tabela 1 – Valores dos ganhos das malhas de realimentação	26
Tabela 2 – Valores da SNR, THD e SNDR calculados pelo Matlab [®]	31
Tabela 3 – Valores dos capacitores do primeiro e segundo integradores	36
Tabela 4 – Características dos transistores do amplificador <i>folded-cascode</i> (figura 4.3)	41
Tabela 5 – Características dos transistores do circuito de polarização	43
Tabela 6 – Resumo das simulações realizadas com o circuito de polarização	43
Tabela 7 – Resultados obtidos com o amplificador <i>folded-cascode</i> ($V_{ICM} = V_{OCM} = V_{DD}/2$)	45
Tabela 8 – Resultados obtidos com o amplificador <i>folded-cascode</i> ($V_{ICM} = V_{DD}/2$ e $V_{OCM} = V_{DD}/2 + \delta$)	46
Tabela 9 – Resultados do circuito gerador de fases	63
Tabela 10 – THD do modulador sigma-delta simulado	69
Tabela 11 – Valores da SNR, THD e SNDR calculados pelo Matlab [®]	70
Tabela 12 – Comparação dos parâmetros propostos com os parâmetros obtidos	74

Lista de Símbolos e Variáveis

F_s	Frequência de sobreamostragem do sinal
f_s	Frequência de amostragem do sinal
N	Taxa de sobreamostragem (quanto a frequência de sobreamostragem F_s é maior que a frequência de Nyquist f_s)
f_0	Maior frequência do sinal
$x(t)$	Sinal de entrada analógico do modulador
$\bar{x}(t)$	Sinal quantizado de saída do modulador, convertido para a forma analógica
$y(n)$	Sinal de saída quantizado
$N(s)$	Ruído de quantização
PDM	Modulação em densidade de pulsos (<i>Pulse Density Modulation</i>)
f_B	Banda de frequência do sinal de entrada
T_c	Período de <i>clock</i>
f_c	Frequência de <i>clock</i>
SNR	Relação sinal/ruído (<i>Signal to Noise Ratio</i>)
n	Número de bits do modulador
SC	Denomina a técnica de capacitores chaveados (<i>Switched-Capacitor</i>)
PSRR	Rejeição da fonte ao ruído (<i>Power Supply Rejection Ratio</i>)
THD	Distorção harmônica total (<i>Total Harmonic Distortion</i>)
C_{in}	Capacitor de amostragem do integrador
C_f	Capacitor de integração do integrador
V_{bi}	Tensão de polarização do nó i
K_1, K_2	Ganho do 1º e 2º integradores, respectivamente
V_{ref}	Tensão de referência do conversor D/A
α	Fator de atenuação da tensão de entrada em relação à tensão de referência
p_{in}	Potência do sinal de entrada
NQ	Potência do ruído de quantização
NT	Potência do ruído térmico
Δ	Degrau de quantização do conversor D/A de 1 bit
C_{if}	Capacitor de realimentação do conversor D/A
γ_m	Fator que representa o excesso de ruído devido ao amplificador operacional
γ	Contribuição de ruído dos transistores do amplificador operacional
C_L	Capacitância de saída (carga) do amplificador operacional
f_1	Frequência de ganho unitário do amplificador operacional
DR	Faixa dinâmica (<i>Dynamic Range</i>)
SR	<i>Slew Rate</i> do amplificador operacional
T_s	Período de amostragem para uma frequência igual a f_s
$V_{in(max)}$	Amplitude máxima do sinal de entrada
DNL	Não-linearidade diferencial (<i>Differential Non-Linearity</i>)

d1, d2	Ganho de realimentação do conversor D/A para o 1º e 2º integradores, respectivamente
FFT	Transformada rápida de Fourier (<i>Fast Fourier Trasformer</i>)
SNDR	Relação sinal/(ruído+distorção) (<i>Signal to Noise+Distortion Ratio</i>)
FI1, ϕ_1	Fase de amostragem
FI1D, ϕ_{1d}	Fase de amostragem atrasada
FI2, ϕ_2	Fase de integração
FI2D, ϕ_{2d}	Fase de integração atrasada
OTA	Amplificador operacional de transcondutância (<i>Operational Transconductance Amplifier</i>)
β	Fator de ganho do transistor MOS ($= K_p \cdot W/L$)
CMFB	Circuito de realimentação de modo comum (<i>Common Mode Feedback Circuit</i>)
DCMFB	Circuito de realimentação de modo comum dinâmico (<i>Dynamic Common Mode Feedback Circuit</i>)
C_x	Soma das capacitâncias parasitas no nó x
PM	Margem de fase (<i>Phase Margin</i>)
P1, P2, N2	Nós de polarização do amplificador operacional
VB, V_B	Tensão de referência externa do circuito de polarização
COM	Tensão de modo comum desejada no circuito DCMFB
NIQ	Tensão quiescente de polarização do circuito DCMFB

Capítulo 1

Introdução

1.1 Considerações Gerais

O desempenho de sistemas de comunicação e de processamento digital de sinal é, normalmente, limitado pela precisão alcançada pelo sinal digital de entrada desses sistemas na interface entre a informação analógica e a digital. A tecnologia de conversão A/D baseada na modulação sigma-delta ($\Sigma\Delta$) é uma alternativa de baixo custo para conversores de alta resolução (maior que 12 bits), que podem ser integrados em CI's de processamento digital de sinal.

Embora o modulador $\Sigma\Delta$ apareça na literatura em datas tão distantes quanto 1961 [26], ele não ganhou importância até recentes desenvolvimentos em tecnologias VLSI digitais. Esse tipo de tecnologia proporcionou o aparecimento dos meios práticos de implementação de circuitos de processamento digital de sinal. O uso crescente de técnicas digitais em aplicações de áudio e comunicação também têm contribuído para o recente interesse em conversores A/D de alta precisão e baixo custo. Uma exigência da interface analógica-digital é a compatibilidade com tecnologia VLSI para possibilitar a integração em uma única pastilha das seções digitais e analógicas do circuito. Como os conversores A/D sigma-delta são baseados em técnicas de filtragem digital, quase 90% do *die* é implementado através de circuito digital, assegurando essa compatibilidade. Outras vantagens desse tipo de circuito são a alta confiabilidade, o aumento da funcionalidade e a redução do custo do *chip*. Nos dias de hoje, essas características são comumente necessárias em um ambiente de processamento digital de sinal. Consequentemente, o avanço da tecnologia de processamento digital tem sido um importante incentivo ao desenvolvimento de conversores A/D de alta precisão, que podem ser integrados no mesmo *die* que o processador digital de sinal propriamente dito.

Conversores A/D de alta resolução convencionais, como os conversores tipo *flash* e por aproximação sucessiva, operando à taxa de Nyquist, frequentemente não se utilizam das altas velocidades alcançadas com a tecnologia VLSI. Esses amostradores de Nyquist necessitam de um complicado filtro analógico passa-baixa (filtro *anti-aliasing*) para limitar a máxima frequência de entrada do A/D, além de um circuito *sample-and-hold*. Por outro lado, conversores A/D sigma-delta utilizam um conversor A/D de baixa resolução (quantizador de um bit), um atenuador de ruído (*noise shaping*) e uma taxa de amostragem do sinal muito alta (taxa de sobreamostragem). A alta resolução pode ser alcançada através do processo de decimação (redução da taxa de amostragem). Além disso, desde que o casamento preciso de componentes ou o ajuste por laser não é necessário em conversores A/D sigma-delta de alta resolução, eles são muito vantajosos na implementação de sistemas monolíticos complexos que devem incorporar tanto as funções digitais quanto as analógicas. Essas características são o oposto das exigências das arquiteturas de conversores convencionais, que geralmente necessitam de um alto número de dispositivos precisos.

1.2 Justificativas

Em sistemas eletrônicos portáteis, as operações em baixa tensão (*low-voltage*) são de grande importância, pois possibilitam a utilização de um menor número de baterias, aliviando problemas de tamanho e peso destes sistemas. Atualmente, quanto mais sistemas eletrônicos portáteis são desenvolvidos, mais importante se torna o desenvolvimento de blocos básicos desses sistemas em *low-voltage*. Um conversor A/D é um bloco padrão importante, inevitável como a interface entre o mundo analógico e o *hardware* de processamento digital do sinal.

Em conversores A/D operando com baixa tensão de alimentação, há uma limitação na magnitude dos sinais, tornando difícil maximizar a relação sinal/ruído (SNR) do circuito através do aumento do nível do sinal. A solução para maximizar a SNR nestes circuitos está na redução do nível de ruído na banda de frequência do sinal, que é uma propriedade fundamental da modulação $\Sigma\Delta$.

Devido a esta propriedade, os moduladores $\Sigma\Delta$ (em conjunto com um filtro passa-baixa digital e um decimador) têm sido muito utilizados em conversores A/D de alta resolução [2,3,4,7], principalmente para sinais na faixa de áudio. Uma outra vantagem é que os circuitos que compõem os moduladores $\Sigma\Delta$ de moderada SNR são relativamente simples, além de não exigirem componentes de alta precisão e casamento entre componentes [1,7,9]. Os circuitos baseados em moduladores $\Sigma\Delta$ são muito interessantes para projetos utilizando processo CMOS digital padrão, pois esse último permite a compatibilidade do circuito digital (filtro e decimador) com o circuito analógico (modulador). A eficiência desses moduladores já foi mostrada em uma variedade de aplicações [2,3,7,10,11], como sistemas de processamento digital de voz, instrumentação e telecomunicações.

1.3 Objetivo

O objetivo desse trabalho é projetar um modulador $\Sigma\Delta$ que possua uma precisão de 12 bits, tensão de alimentação de 3V e que module um sinal de entrada cuja largura de banda seja de 10 KHz. Com essa especificação básica, é possível obter um modulador que possa ser utilizado, por exemplo, em aplicações de telefonia e sem tornar o projeto complexo. Para tal, serão feitas simulações funcionais preliminares utilizando o *software* Matlab[®], com o intuito de estimar algumas grandezas que, posteriormente, serão comparadas aos resultados obtidos com as simulações elétricas do circuito.

1.4 Estrutura do Trabalho

Além desse primeiro capítulo introdutório, esse trabalho se divide em outros cinco capítulos.

O Capítulo 2 trata dos conceitos básicos que envolvem o projeto e a implementação do modulador $\Sigma\Delta$, abordando o princípio da sobreamostragem, os princípios da modulação delta e sigma-delta e a técnica de capacitores chaveados.

O Capítulo 3 aborda os aspectos levados em consideração na definição da arquitetura do modulador a ser utilizada. Para tanto, parte-se do cálculo da estimativa da relação sinal/ruído (SNR) que o circuito deve alcançar e faz-se uma série de considerações que culminam com a definição da arquitetura propriamente dita do modulador, além de outros parâmetros de projeto que devem ser considerados. Com essa arquitetura, é feita uma simulação funcional que mostra a viabilidade do projeto.

O Capítulo 4 descreve, em detalhes, o projeto elétrico dos blocos que compõem o modulador $\Sigma\Delta$, a saber: integrador, comparador, conversor D/A e gerador de fases. Esse capítulo inclui considerações para o projeto de cada bloco e simulações dos circuitos finais obtidos, feitas através do simulador Hspice[®].

O Capítulo 5 mostra o circuito final completo do modulador projetado, incluindo as simulações de caso típico e dos piores casos de velocidade e potência, *layout* do circuito final e o cálculo de parâmetros que foram estimados no Capítulo 3, com a finalidade de comparar com os obtidos nesse Capítulo 5.

Finalmente, o Capítulo 6 traz as conclusões finais e perspectivas de trabalhos futuros nessa área.

Além disso, esse trabalho possui três apêndices: o apêndice A mostra as rotinas desenvolvidas no *software* Matlab[®] para o cálculo do espectro do sinal de saída do modulador e alguns parâmetros que se pode calcular a partir desse espectro; o apêndice B apresenta algumas recomendações utilizadas nas simulações realizadas no *software* Hspice[®], com relação ao cálculo do espectro do sinal de saída do modulador; o apêndice C, por fim, traz a descrição completa do modulador em Hspice[®].

Capítulo 2

2.1 Conceitos Básicos

Conceitos Básicos

2.1 Princípio da Subamostragem

O processo de conversão de um sinal analógico (que possui resolução infinita, por definição) para um sistema de números finitos (quantização) introduz um erro de quantização no sinal de saída que está sendo amostrado. Esse erro de quantização é da ordem de 1 bit menos significativo (LSB) em amplitude e resulta quando se compara o valor de escala do sinal. Contudo, quando ocorre o sinal de entrada, há uma redução a consideração do erro de quantização no sinal.

O processo de quantização em um conversor A/D que opera à taxa de Nyquist é, normalmente, diferente daquele encontrado em um conversor de subamostragem. Em ambos os conversores A/D de Nyquist, a entrada é amostrada em um único intervalo de amostragem, em contraste de subamostragem, onde uma sequência de dados é amostrada e quantizada a uma taxa de subamostragem $f_s = M \cdot f_N$, onde M é um inteiro. O sinal de entrada que entra o sinal de entrada está presente em uma taxa de amostragem menor do que a taxa de amostragem da subamostragem, ou seja, a taxa de amostragem da subamostragem é maior do que a taxa de amostragem da amostragem.

O processo de quantização em um conversor de subamostragem, onde a amostragem é realizada em uma taxa de amostragem menor do que a taxa de amostragem da amostragem, é uma tarefa de frequência muito complexa. Para ilustrar essa situação, considere, por exemplo, uma aplicação típica de subamostragem, particularmente, um conversor de Nyquist e, depois, utilizando o modelo de subamostragem.

Capítulo 2

Conceitos Básicos

2.1 Princípio da Sobreamostragem

O processo de conversão de um sinal analógico (que possui resolução infinita, por definição) para um sistema de números finitos (quantização) introduz um erro de sinal que depende do sinal que está sendo aproximado. Esse erro de quantização é da ordem de 1 bit menos significativo (LSB) em amplitude e muito pequeno se comparado ao fundo de escala do sinal. Contudo, quanto menor o sinal de entrada, maior se torna a contribuição do erro de quantização no sinal.

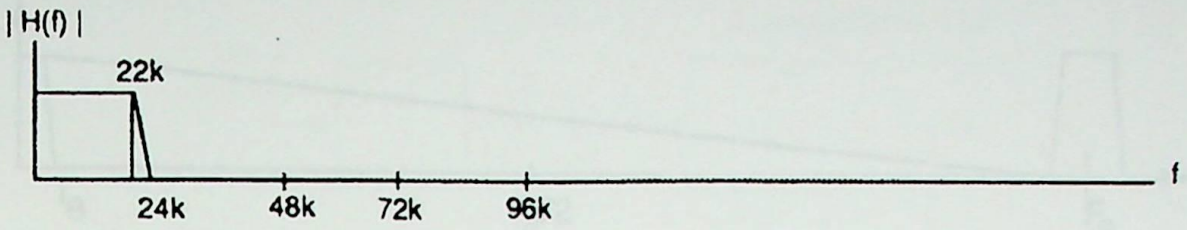
O processo de quantização em um conversor A/D que opera à taxa de Nyquist é, normalmente, diferente daquele encontrado em um conversor de sobreamostragem. Enquanto um conversor A/D de Nyquist efetua a quantização em um único intervalo de amostragem, um conversor de sobreamostragem utiliza uma sequência de dados grosseiramente quantizados a uma taxa de sobreamostragem $F_s = N \cdot f_s$, seguido por um processo digital de decimação que estima o sinal de entrada mais precisamente e com uma taxa de amostragem menor na saída, f_s (a mesma usada pelos amostradores de Nyquist), como será detalhado a seguir.

O processo de quantização em um conversor de sobreamostragem tem benefícios imediatos para o filtro *anti-aliasing*, pois este não precisará possuir uma grande atenuação em uma banda de frequência muito estreita. Para ilustrar essa afirmação, considere, por exemplo, uma aplicação típica de áudio utilizando, primeiramente, um conversor de Nyquist e, depois, utilizando o modelo de sobreamostragem.

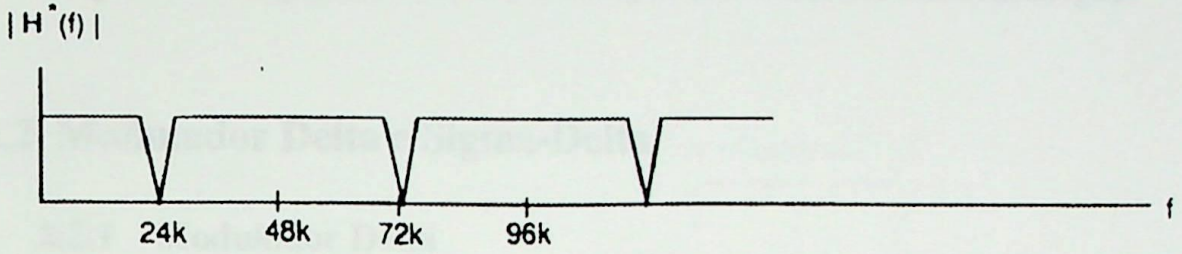
As amostras de dados de conversores que operam à frequência de Nyquist são tomadas a uma taxa de amostragem igual a duas vezes a maior frequência do sinal de interesse. Por exemplo, uma taxa de amostragem igual a 48 KHz permite a passagem de um sinal com uma frequência de até 24 KHz sem que ele sofra de *aliasing*. Por razões práticas de circuito, a maior frequência que o filtro permite é de 22 KHz. Um conversor com essas características necessita de um filtro *anti-aliasing* na sua entrada que limite essa banda de sinal. Além disso, esse filtro *anti-aliasing* precisa ter uma grande atenuação sem distorção de fase na banda de interesse. Para prevenir a distorção do sinal devido ao *aliasing*, os sinais acima da banda de interesse devem ser atenuados, pelo menos, 96 dB para uma resolução de 16 bits em uma banda de transição de 2 KHz (de 22 KHz para 24 KHz) [25], como mostrado na Figura 2.1.a. A Figura 2.1.b mostra o espectro do sinal amostrado à frequência de Nyquist (48 KHz). Essas especificações para o filtro *anti-aliasing* dificilmente são alcançadas com filtros passa-baixa analógicos.

Considere, agora, o mesmo sinal utilizado no exemplo anterior, mas sendo amostrado com uma frequência igual a $F_s = 2 \cdot f_s = 96$ KHz, ou seja, uma frequência duas vezes maior que a utilizada pelo critério de Nyquist (taxa de sobreamostragem, nesse caso, igual a dois). Nesse caso, o filtro *anti-aliasing* precisa eliminar, apenas, sinais acima de 74 KHz ao invés dos 24 KHz do filtro usado com o amostrador de Nyquist. Esse filtro é mais simples de ser construído porque a banda de transição pode ser de 52 KHz (de 22 KHz para 74 KHz) para atenuar os mesmos 96 dB do caso anterior, como mostra a Figura 2.1.c. No entanto, para um filtro *anti-aliasing* como este, o espectro dos dados sobreamostrados seria como o da Figura 2.1.d, ou seja, ainda ocorrendo o *aliasing*. Mas a taxa final de amostragem é 48 KHz (f_s). Assim, é necessário um filtro de redução da taxa de amostragem (*downsampling*), o decimador, que é implementado digitalmente, ao contrário do filtro *anti-aliasing* implementado com circuito analógico. A Figura 2.1.e mostra o espectro desse filtro digital de decimação e a Figura 2.1.f mostra o espectro do sinal amostrado ao dobro da frequência de Nyquist, $2 \cdot f_s$, sem o *aliasing*, eliminado pelo filtro digital através do processo de *downsampling*.

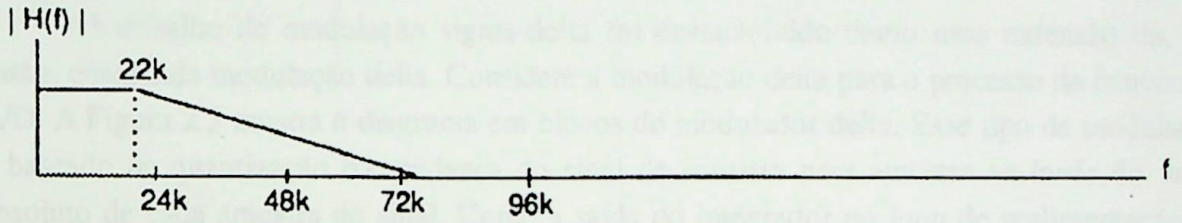
Essa sobreamostragem feita à $2 \cdot f_s$ pode ser estendida para conversores de sobreamostragem de $N \cdot f_s$. A Figura 2.2 mostra a resposta em frequência de um filtro *anti-aliasing* genérico para um sobreamostrador de N vezes. Como a complexidade do filtro é uma forte função da relação entre a largura da banda de transição e a largura da banda de passagem, os conversores sobreamostrados necessitam de filtros *anti-aliasing* consideravelmente mais simples que conversores de Nyquist com o mesmo desempenho. Por exemplo, com $N = 64$, um simples filtro RC passa-baixa na entrada analógica é, frequentemente, suficiente.



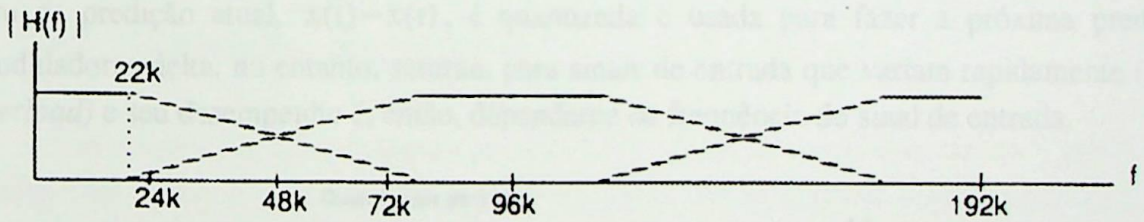
(a) Resposta do filtro *anti-aliasing* para amostradores de Nyquist.



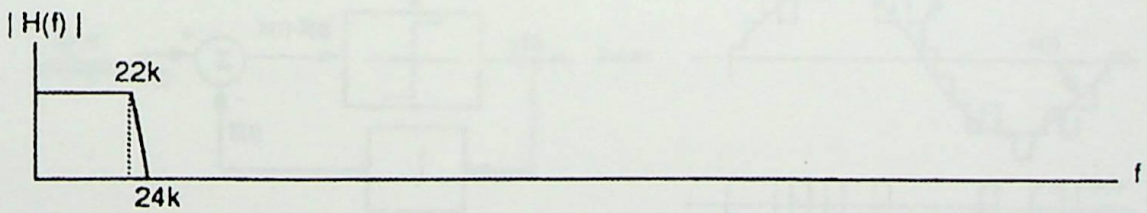
(b) Espectro dos dados amostrados quando $f_s = 48$ KHz.



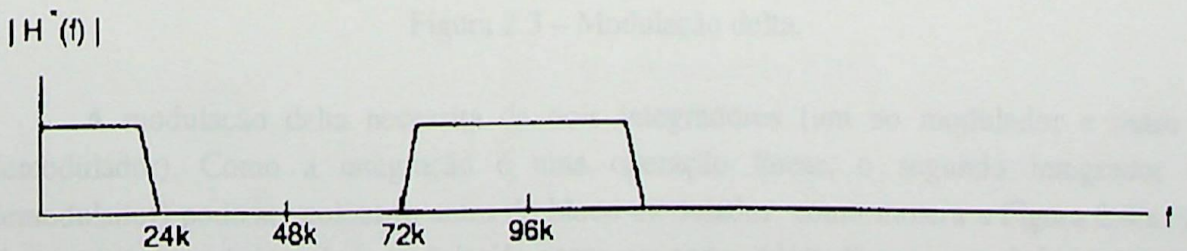
(c) Resposta do filtro *anti-aliasing* para sobreamostradores de duas vezes.



(d) Espectro dos dados sobreamostrados de duas vezes quando $f_s = 96$ KHz.



(e) Resposta em frequência do filtro digital para um processo de decimação 2:1.



(f) Espectro dos dados amostrados quando $f_s = 96$ KHz.

Figura 2.1 – Comparação entre amostradores de Nyquist e de sobreamostragem.

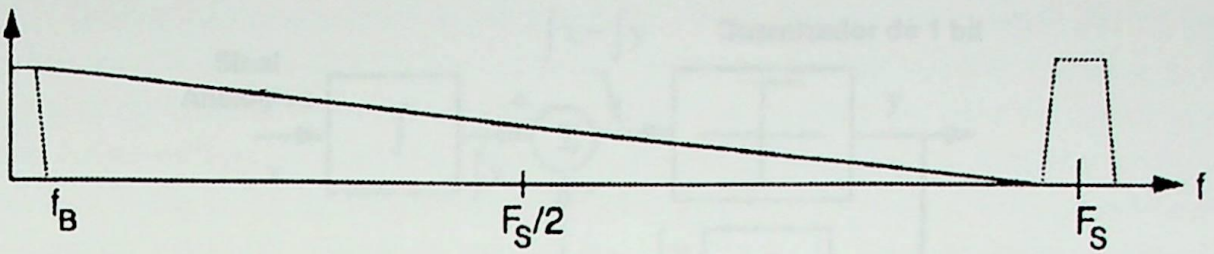


Figura 2.2 – Resposta do filtro *anti-aliasing* de conversores de sobreamostragem.

2.2 Modulador Delta e Sigma-Delta

2.2.1 Modulador Delta

O trabalho de modulação sigma-delta foi desenvolvido como uma extensão da, até então, conhecida modulação delta. Considere a modulação delta para o processo de conversão A/D. A Figura 2.3 mostra o diagrama em blocos do modulador delta. Esse tipo de modulação é baseado na quantização da mudança do sinal de amostra para amostra ao invés do valor absoluto de cada amostra do sinal. Como a saída do integrador no *loop* de realimentação da Figura 2.3 tenta prever a entrada $x(t)$, o integrador trabalha como um preditor. O termo de erro da predição atual, $x(t) - \bar{x}(t)$, é quantizada e usada para fazer a próxima predição. Moduladores delta, no entanto, saturam para sinais de entrada que variam rapidamente (*slope overload*) e seu desempenho é, então, dependente da frequência do sinal de entrada.

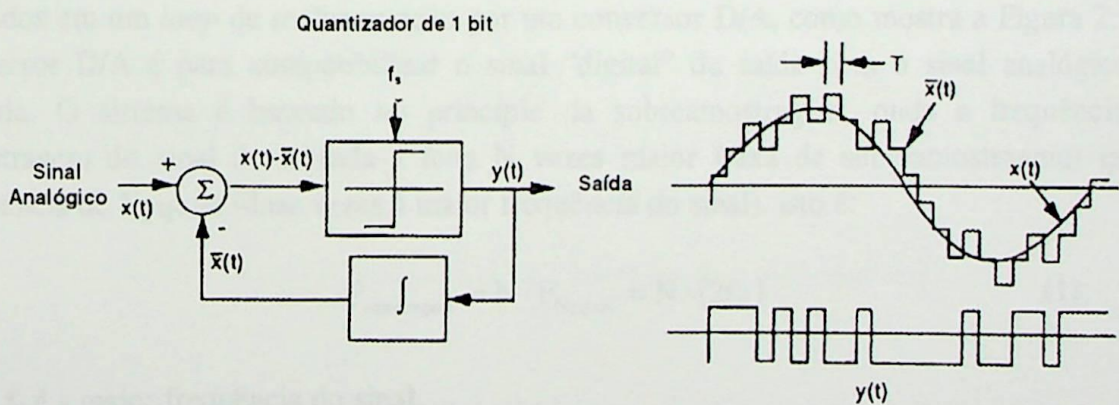


Figura 2.3 – Modulação delta.

A modulação delta necessita de dois integradores (um no modulador e outro no demodulador). Como a integração é uma operação linear, o segundo integrador (do demodulador) pode ser colocado antes do bloco modulador, como mostra a Figura 2.4.a, sem alterar as características de entrada/saída como um todo. Além disso, esses dois integradores podem ser combinados em um único integrador, como mostra a Figura 2.4.b, pela propriedade da operação linear, resultando no modulador sigma-delta ($\Sigma\Delta$). O nome modulador $\Sigma\Delta$ é devido à colocação do integrador (sigma) antes do modulador delta.

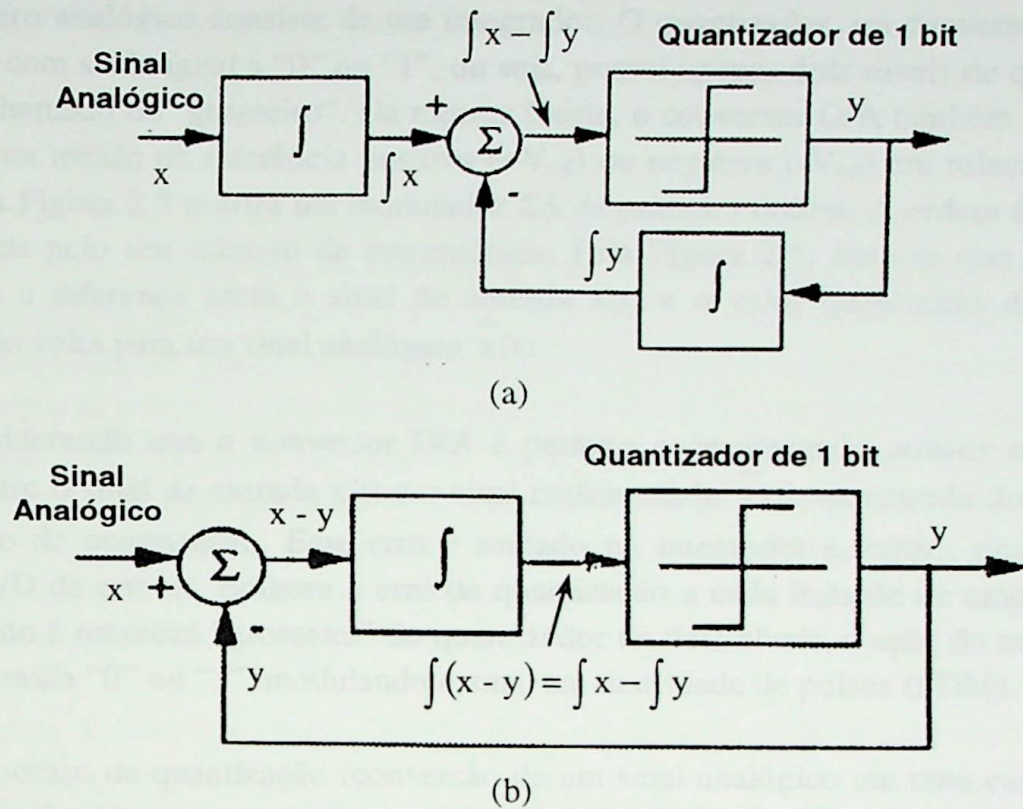


Figura 2.4 – Modulador $\Sigma\Delta$ a partir do modulador delta.

2.2.2 Modulador Sigma-Delta

Um modulador $\Sigma\Delta$ é formado por um filtro analógico e um quantizador “grosseiro”, fechados em um *loop* de realimentação por um conversor D/A, como mostra a Figura 2.5. O conversor D/A é para compatibilizar o sinal “digital” da saída com o sinal analógico da entrada. O sistema é baseado no princípio da sobreamostragem, onde a frequência de amostragem do sinal de entrada é feita N vezes maior (taxa de sobreamostragem) que a frequência de Nyquist (duas vezes a maior frequência do sinal), isto é:

$$F_{amostragem} = N \cdot F_{Nyquist} = N \cdot (2f_0) \tag{1}$$

onde f_0 é a maior frequência do sinal.

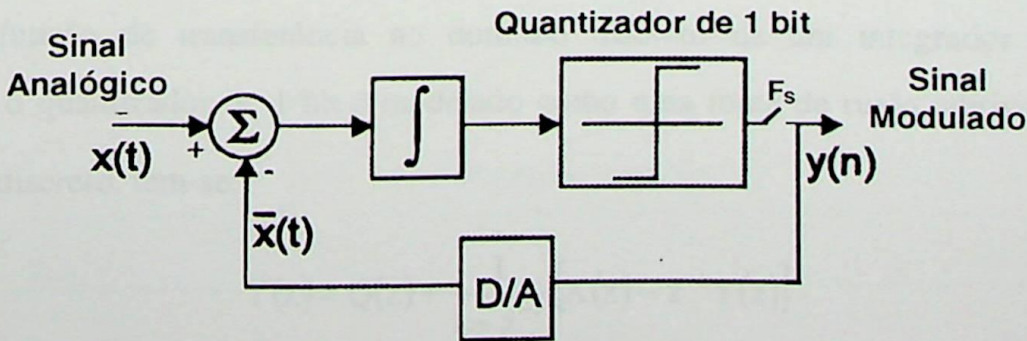


Figura 2.5 – Diagrama em blocos de um modulador $\Sigma\Delta$.

O filtro analógico consiste de um integrador. O quantizador, ou conversor A/D, é um comparador com saída igual a “0” ou “1”, ou seja, possui apenas dois níveis de quantização e, por isso, é chamado de “grosseiro”. Da mesma forma, o conversor D/A também é de um bit e satura em uma tensão de referência positiva (+ V_{ref}) ou negativa (- V_{ref}) em relação a um terra analógico. A Figura 2.5 mostra um modulador $\Sigma\Delta$ de primeira ordem. A ordem do modulador é determinada pelo seu número de integradores. Pela Figura 2.5, nota-se que a entrada do integrador é a diferença entre o sinal de entrada $x(t)$ e o valor quantizado da saída $y(n)$, convertido de volta para um sinal analógico $\bar{x}(t)$.

Considerando que o conversor D/A é perfeito e desprezando atrasos no sinal, essa diferença entre o sinal de entrada $x(t)$ e o sinal realimentado $\bar{x}(t)$ na entrada do integrador é igual ao erro de quantização. Esse erro é somado no integrador e, então, quantizado pelo conversor A/D de um bit. Embora o erro de quantização a cada instante de amostragem seja grande, devido à natureza “grosseira” do quantizador de dois níveis, a ação do modulador $\Sigma\Delta$ é gerar uma saída “0” ou “1”, modulando o sinal em densidade de pulsos (PDM).

O processo de quantização (conversão de um sinal analógico em uma cadeia finita de números) introduz um erro no sinal que está sendo quantizado, o chamado erro de quantização ou ruído de quantização. Junto com o filtro, o *loop* de realimentação age para atenuar o ruído de quantização a baixas frequências, movendo-o para altas frequências. Para enfatizar essa idéia, principal ação de um modulador $\Sigma\Delta$, considere o modulador de 1ª ordem da Figura 2.6 [25].

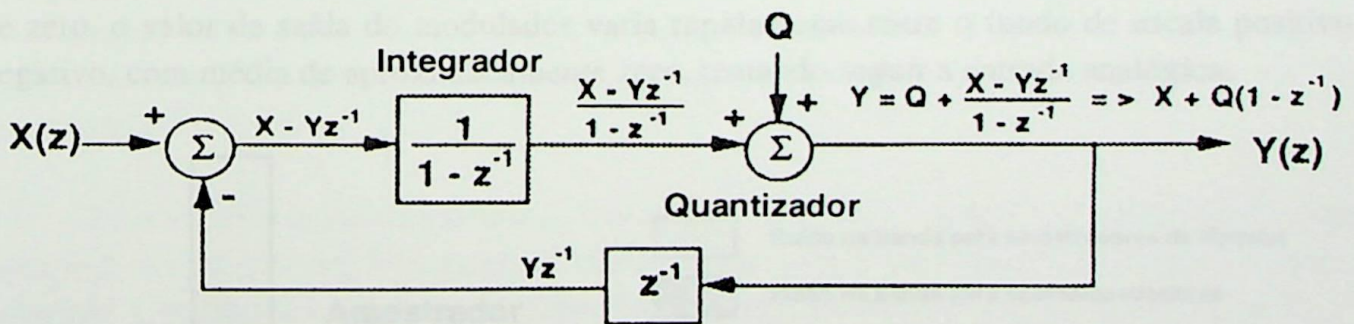


Figura 2.6 – Análise de um modulador $\Sigma\Delta$ de 1ª ordem no domínio discreto.

A função de transferência no domínio discreto de um integrador é dada por $\left(\frac{1}{1-z^{-1}}\right)$ e o quantizador de 1 bit é modelado como uma fonte de ruído aditivo. Da análise no domínio discreto, tem-se:

$$Y(z) = Q(z) + \frac{1}{1-z^{-1}} [X(z) - z^{-1}Y(z)] \quad (2)$$

Resolvendo a Equação (2) para $Y(z)$, a saída do *loop* $\Sigma\Delta$ de 1ª ordem fica:

$$Y(z) = X(z) + (1 - z^{-1})Q(z) \tag{3}$$

Assumindo que o ruído de quantização é aleatório, o diferenciador $(1 - z^{-1})$ mostrado na Equação (3) dobra a potência do ruído quantizado. Entretanto, o erro foi empurrado para altas frequências pelo mesmo fator diferenciador $(1 - z^{-1})$. Portanto, considerando que o sinal analógico de entrada do modulador, $x(t)$, é sobreamostrado, o ruído de quantização de alta frequência pode ser removido por um filtro digital passa-baixa sem afetar as características do sinal de entrada que está dentro da banda de interesse. Esse filtro digital é parte do processo de decimação. Isso significa que após o processo de decimação, o sinal de saída tem apenas as componentes de frequência de 0 a f_B . Então, o desempenho de moduladores $\Sigma\Delta$ de 1ª ordem pode ser comparado a amostradores de Nyquist de 1 bit. A Figura 2.7 mostra o espectro de um modulador atenuador de ruído (*noise-shaper*) 1ª ordem descrito na Figura 2.6.

A Figura 2.8 mostra a entrada e a saída de um modulador de 1ª ordem (como o da Figura 2.5), onde a entrada é uma onda senoidal e a saída é um sinal modulado em densidade de pulsos. Para cada ciclo de *clock*, o valor da saída do modulador é um dos níveis de quantização, de acordo com o resultado da conversão A/D de um bit. Quando a entrada senoidal é próxima ao fundo de escala positivo, a saída é positiva durante a maior parte dos ciclos de *clock*. Da mesma forma, quando a entrada senoidal é próxima ao fundo de escala negativo, a saída é negativa durante a maior parte dos ciclos de *clock*. Em ambos os casos, a média local da saída do modulador segue a entrada analógica. Quando a entrada está próxima de zero, o valor da saída do modulador varia rapidamente entre o fundo de escala positivo e negativo, com média de aproximadamente zero, tentando seguir a entrada analógica.

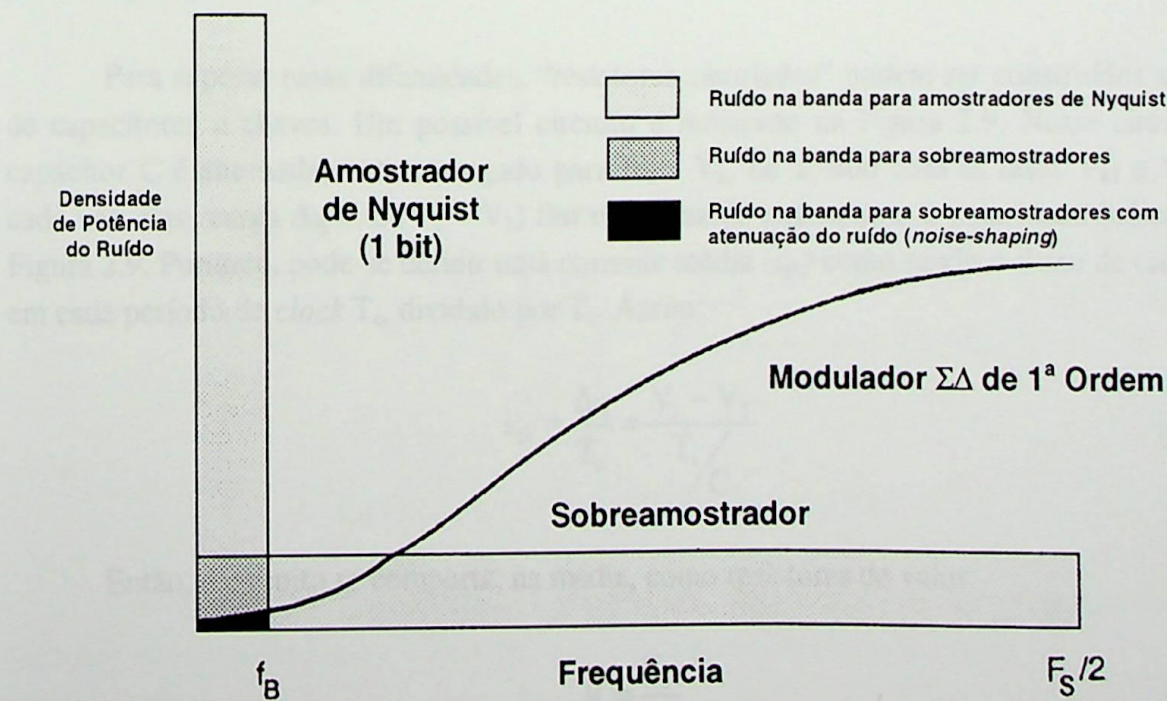


Figura 2.7 – Espectro de um modulador $\Sigma\Delta$ e distribuição do ruído.

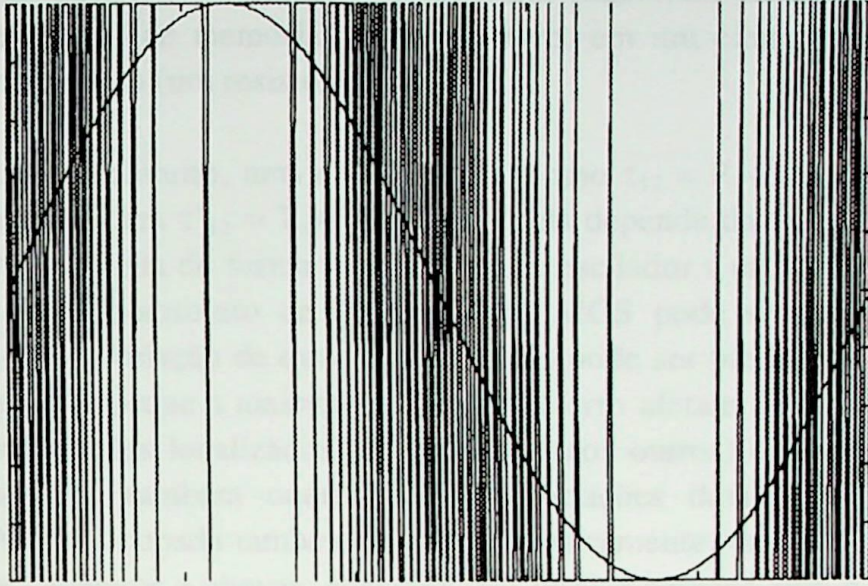


Figura 2.8 – Entrada e saída de um modulador $\Sigma\Delta$ de 1ª ordem.

2.3 Técnica de Capacitores Chaveados

2.3.1 Princípio de funcionamento

A técnica de capacitores chaveados surgiu para substituir os resistores integrados, uma vez que esses ocupam uma grande área do *chip* e, no caso de resistores MOS, são altamente não-lineares. Além disso, como os capacitores e resistores possuem precisão absoluta de 5% a 10% e seus erros não podem ser correlacionados, o erro total de uma constante de tempo RC, por exemplo, pode chegar a 20%.

Para superar essas dificuldades, “resistores simulados” podem ser construídos a partir de capacitores e chaves. Um possível circuito é mostrado na Figura 2.9. Nesse circuito, o capacitor C é alternadamente carregado para V_1 e V_2 , de acordo com as fases $V_{\phi 1}$ e $V_{\phi 2}$. A cada vez, uma carga $\Delta q = C \cdot (V_1 - V_2)$ flui na forma de pulsos com a polaridade indicada na Figura 2.9. Portanto, pode-se definir uma corrente média (i_{av}) como sendo o fluxo de carga Δq em cada período de *clock* T_c , dividido por T_c . Assim:

$$i_{av} = \frac{\Delta q}{T_c} = \frac{V_1 - V_2}{T_c / C} \quad (4)$$

Então, o circuito se comporta, na média, como resistores de valor:

$$R = \frac{T_c}{C} \quad (5)$$

conectados entre os nós ① e ②. Do ponto de vista funcional, as chaves transformam o capacitor C , um elemento de memória não-dissipativo, em um elemento dissipativo e sem capacidade de memorização (um resistor).

Para esse tipo de circuito, uma constante de tempo $\tau_{12} = R_1 \cdot C_2$ será transformada, de acordo com a Equação 5, em $\tau'_{12} = T_c \cdot C_2 / C_1$. Então, ela depende da frequência de *clock* $f_c = 1/T_c$, que pode ser controlada de forma precisa por um oscilador a cristal, e da relação C_2/C_1 . Assim, enquanto o valor absoluto de um capacitor MOS pode ser controlado com uma precisão de 5% a 10%, a relação de duas capacitâncias pode ser precisa dentro de uma faixa de 1% [23]. Isso ocorre porque a maioria das fontes de erro afetam os capacitores do mesmo *chip* (especialmente aqueles localizados próximos uns aos outros) da mesma maneira. Esse tipo de comportamento também ocorre com as variações devido à temperatura e ao envelhecimento. A área ocupada também se reduz drasticamente, uma vez que o resistor foi substituído por um capacitor e chaves, normalmente implementadas com o tamanho mínimo (ou próximo dele) permitido pela tecnologia.

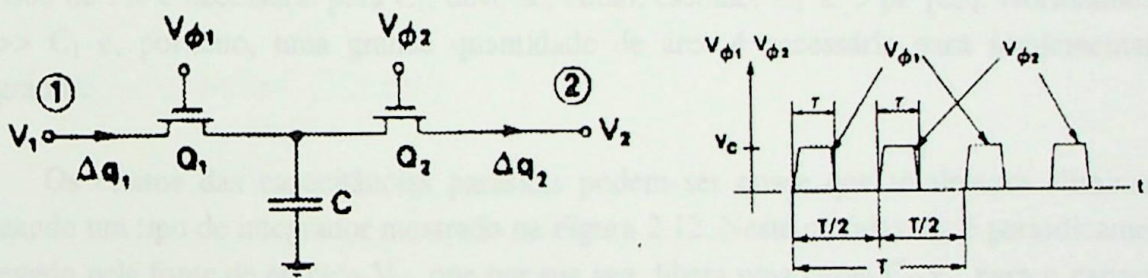


Figura 2.9 – Circuito com capacitor chaveado.

2.3.2 Integradores com Capacitores Chaveados

A forma clássica de implementação de um integrador é mostrada na Figura 2.10.

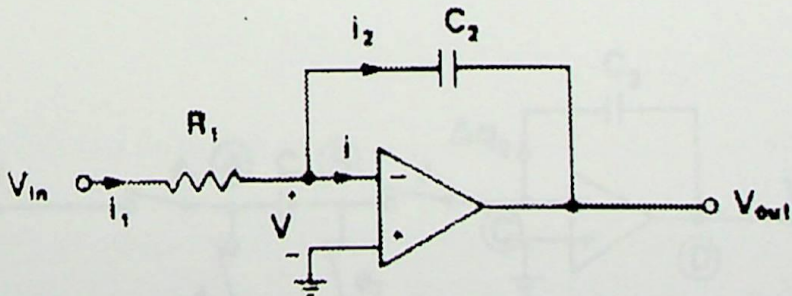


Figura 2.10 – Forma clássica do integrador.

Substituindo R_1 pelo resistor simulado da Figura 2.9, tem-se o integrador com capacitor chaveado da Figura 2.11, com os mesmos sinais de *clock* da Figura 2.9.

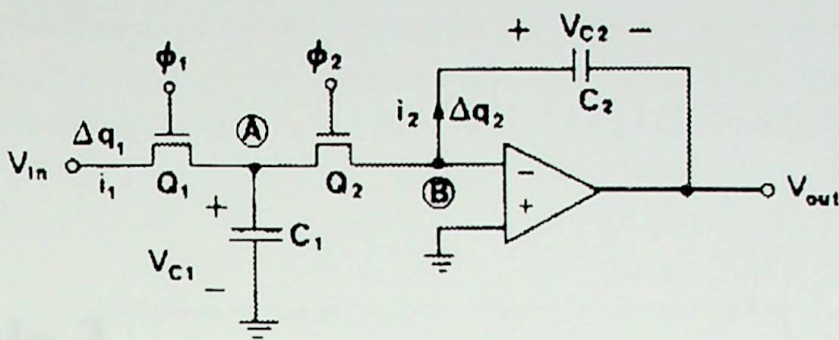


Figura 2.11 – Integrador com capacitor chaveado.

Esse tipo de integrador sofre de uma pequena deficiência: ele é sensível ao efeito das capacitâncias parasitas entre os vários nós e linhas ao terra. No circuito da Figura 2.11, o nó (A) é conectado às difusões fonte/dreno de Q₁ e Q₂, que possuem uma capacitância considerável para o substrato. Além disso, os terminais de Q₁, Q₂ e C₁ possuem uma capacitância parasita para o substrato. A capacitância parasita resultante C_A pode ser tão grande quanto 0,05 pF; esse valor não pode ser totalmente controlado e torna o valor real de C₁ impreciso. Se uma precisão de 1% é necessária para C₁, deve-se, então, escolher C₁ ≥ 5 pF [23]. Normalmente, C₂ >> C₁ e, portanto, uma grande quantidade de área é necessária para implementar o integrador.

Os efeitos das capacitâncias parasitas podem ser quase que totalmente eliminados utilizando um tipo de integrador mostrado na Figura 2.12. Neste circuito, C₁ é periodicamente carregado pela fonte de entrada V_{in}, que por sua vez libera uma carga C₁·V_{in} para o capacitor C₂. A análise das capacitâncias parasitas C_A, C_B, C_C e C_D nos nós (A), (B), (C) e (D), respectivamente, mostra que, para um ganho infinito do operacional, nenhuma delas contribui para a carga q₂ em C₂. A razão para essa insensibilidade é que o terminal de todo capacitor é chaveado entre nós de baixa impedância (terra e saída do operacional) ou é chaveada entre o terra e um terra virtual (que possuem o mesmo potencial). Logo, nenhuma delas afeta V_{out} = -q₂/C₂.

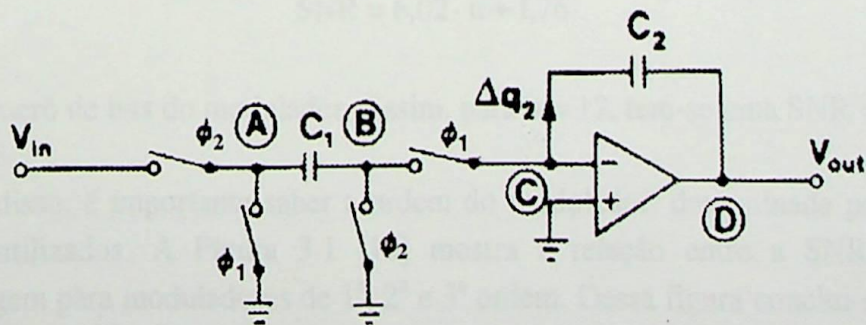


Figura 2.12 – Integrador com capacitor chaveado insensível às capacitâncias parasitas.

Capítulo 3

Definição da Arquitetura

3.1 Considerações Iniciais

No Capítulo 1 (Item 1.3) foi colocado que o modulador que se deseja projetar deve possuir uma precisão de 12 bits e modular um sinal com frequência máxima de 10 KHz. Dessas especificações derivam-se outras que serão fundamentais tanto para o projeto quanto para a avaliação do circuito.

A primeira delas é com relação à precisão do circuito. Normalmente, ela não é dada em bits, mas através da relação sinal-ruído (SNR), ou seja, quanto o ruído de quantização é atenuado em relação ao sinal de entrada na banda de interesse. A relação entre o número de bits e a SNR correspondente é dada por [24]:

$$SNR = 6,02 \cdot n + 1,76 \quad (6)$$

onde n é o número de bits do modulador. Assim, para $n = 12$, tem-se uma $SNR = 74$ dB.

Além disso, é importante saber a ordem do modulador, determinada pelo número de integradores utilizados. A Figura 3.1 [15] mostra a relação entre a SNR e a taxa de sobreamostragem para moduladores de 1ª, 2ª e 3ª ordem. Dessa figura conclui-se duas coisas: primeiro, quanto maior a taxa de sobreamostragem, menor o ruído (relação sinal/ruído maior); e segundo, quanto maior a ordem do modulador, também é menor o ruído. Assim, para se alcançar a SNR de 74dB, um modulador de 1ª ordem necessitaria de uma taxa de sobreamostragem muito elevada (maior que 128), dificultando a implementação do circuito. Por outro lado, para um modulador de 3ª ordem, pode-se alcançar a SNR desejada com uma

taxa de sobreamostragem de 64. No entanto, os moduladores de ordem 3 ou mais, por questões de estabilidade, devem ser implementados com blocos de 1ª ordem em paralelo, estes últimos inerentemente estáveis. Por outro lado, esse tipo de arquitetura exige muito do circuito em termos de precisão e casamento dos componentes, dificultando sua implementação.

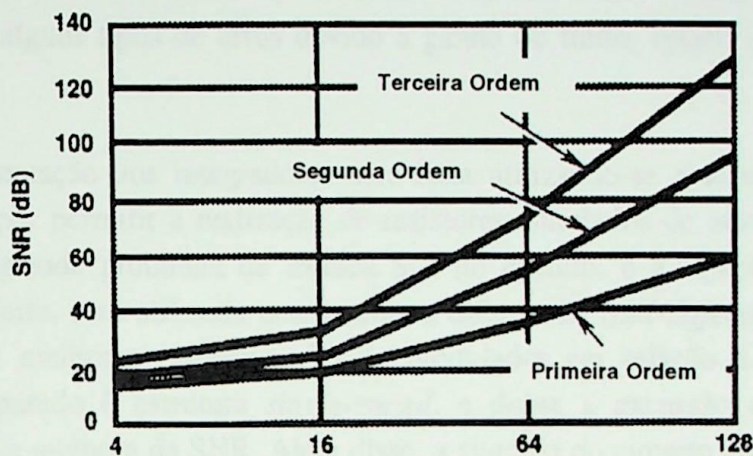


Figura 3.1 – SNR versus taxa de sobreamostragem para moduladores sigma-delta.

Assim, o modulador de 2ª ordem é a arquitetura mais adequada para o circuito aqui proposto, pois exige menos em termos de precisão e casamento dos componentes e pode ser implementado a uma taxa de sobreamostragem aceitável. A diferença do modulador de 2ª ordem e o modulador de 1ª ordem, mostrado no Capítulo 2, é a inclusão de mais um integrador no caminho direto do modulador. Por causa disso, o modulador de 2ª ordem atenua mais o ruído na banda de interesse, como pode ser verificado na Figura 3.1 através da maior SNR que esse modulador alcança em relação ao de 1ª ordem.

Logo, o modulador será de 2ª ordem, como mostra o diagrama em blocos da Figura 3.2, e com uma taxa de sobreamostragem de 128.

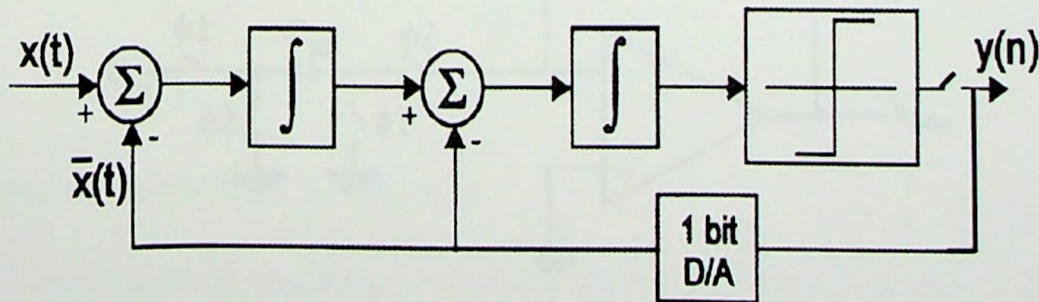


Figura 3.2 – Diagrama em blocos de uma modulador sigma-delta de 2ª ordem.

Para a taxa de sobreamostragem $N = 128$ e com uma banda de sinal $f_B = 10$ KHz, a frequência de sobreamostragem fica $F_s = 2 \cdot f_B \cdot N = 2 \cdot 10000 \cdot 128 \Rightarrow F_s = 2,56$ MHz.

Os itens seguintes mostrarão as especificações de cada bloco integrante do modulador.

3.2 Integradores

O integrador colocado no caminho direto do modulador serve para acumular os erros de quantização, que resultam da utilização de um quantizador de dois níveis, e força a sua média para zero. Idealmente, a saída do integrador é a diferença entre o sinal de entrada $x(t)$ e o sinal analógico realimentado $\bar{x}(t)$. No entanto, a implementação analógica de integradores pode resultar em alguns tipos de erros devido a ganho dc finito, *offset*, *slew-rate* e *settling time*.

A implementação dos integradores será feita utilizando-se a técnica de capacitores chaveados (SC), por permitir a realização de resistores simulados de alto valor sem ocupar muita área. Um grande problema da técnica SC, no entanto, é a injeção de cargas. Para minimizar esse efeito, será utilizada uma estrutura diferencial (*full-differential*). Este tipo de estrutura também melhora o desempenho do modulador em relação à rejeição de fonte (PSRR), se comparado à estrutura *single-ended*, e dobra a excursão do sinal de saída, contribuindo para a melhora da SNR. Além disso, a simetria do circuito diferencial melhora o desempenho do modulador em relação à distorção harmônica (THD), pois há o cancelamento das componentes de distorção de ordem par, independente de suas causas [6]. No entanto, como consequência da utilização de uma estrutura diferencial, ocorre o aumento da área e do consumo de potência.

3.2.1 Primeiro Integrador

Este é o bloco mais crítico no projeto do modulador. A Figura 3.3 mostra o circuito simplificado do integrador implementado com capacitor chaveado, numa versão *single-ended*.

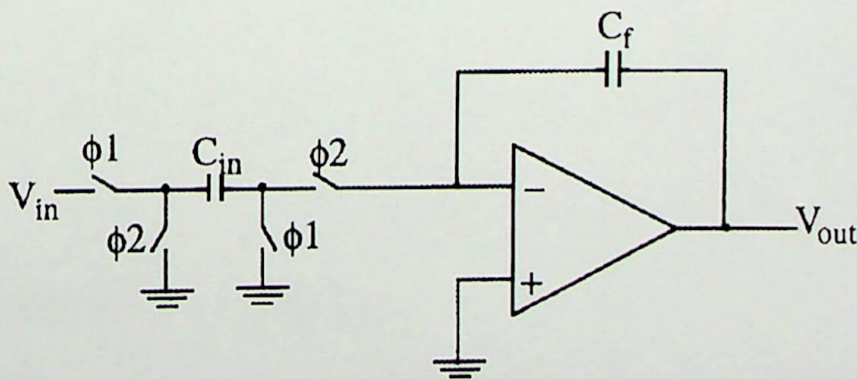


Figura 3.3 – Circuito do integrador com capacitor chaveado.

Em função das especificações gerais do modulador, pode-se definir vários valores e grandezas do primeiro integrador, garantindo que este tenha o desempenho necessário para atingir as especificações do modulador. Para que isto ocorra, deve-se definir:

- **Ganho DC do amplificador operacional**

Teoricamente, o ganho do operacional pode ser igual à taxa de sobreamostragem (128), ou seja, 42dB. No entanto, um ganho muito pequeno provoca distorção harmônica na saída do modulador [1]. Para evitar isso, geralmente se utiliza um ganho entre 55dB e 60dB. Um ganho dessa magnitude pode ser conseguido com um amplificador de um estágio, simplificando o projeto e reduzindo o consumo de potência. Dessa forma, optou-se por utilizar uma topologia *folded-cascode* na implementação do amplificador, a qual possui um ganho elevado comparado com outras topologias de um estágio. O circuito simplificado de um amplificador *folded-cascode* é mostrado na Figura 3.4.

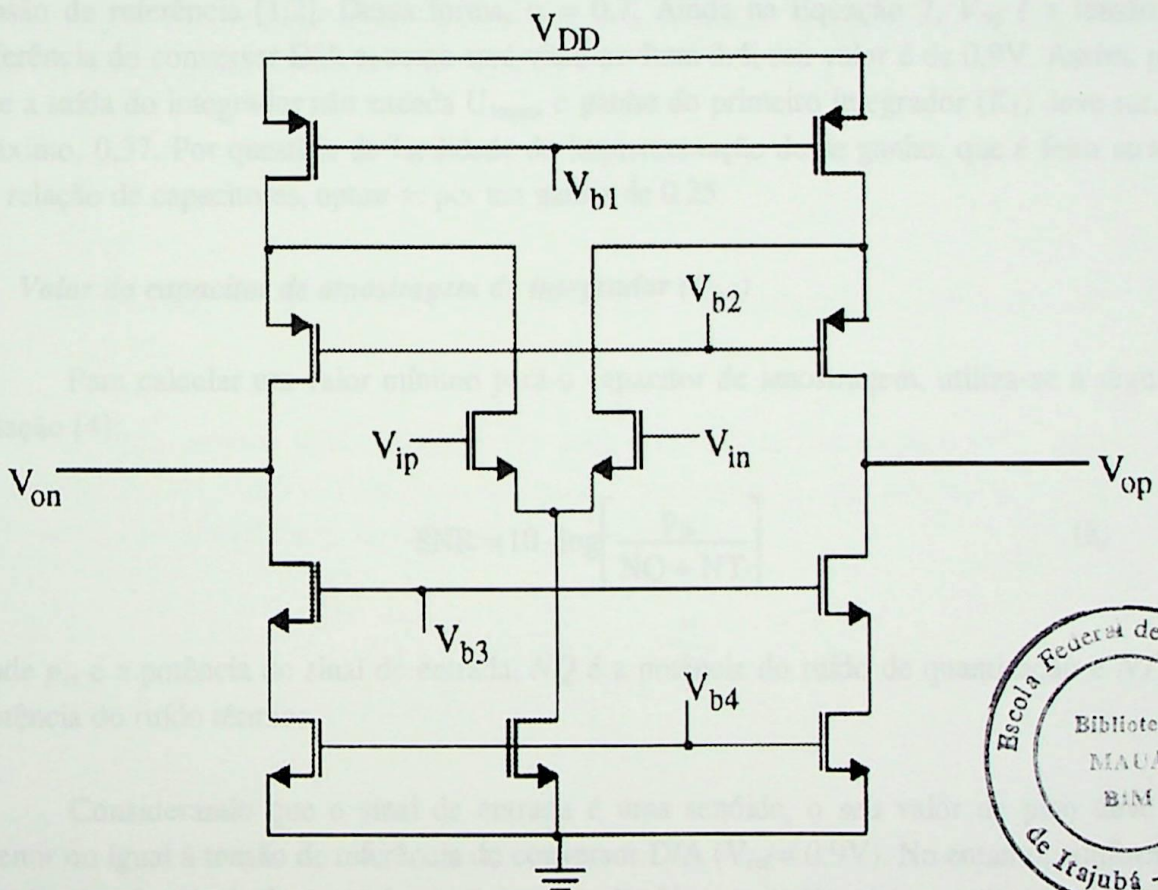


Figura 3.4 – Amplificador operacional *folded-cascode*.

- **Tensão de saída máxima do integrador**

A máxima tensão de saída do integrador depende das tensões mínima e máxima de saída que mantém o operacional na região de alto ganho. Considerando que será utilizado um circuito *folded-cascode*, o ramo de saída do operacional tem 2 transistores PMOS e 2 transistores NMOS. Se a tensão de saturação de todos os 4 transistores for igual a 300 mV, a tensão de saída mínima será de 0,6V e a máxima de 2,4V ($V_{DD} = 3V$). Considerando a tensão de saída de modo comum igual a 1,5V ($V_{DD}/2$), a máxima tensão de pico de saída do primeiro integrador (U_{1max}) será de 0,9V.



- **Ganho do integrador**

Referindo-se à Figura 3.3, o ganho do integrador (K_1) é definido como a relação C_{in}/C_f . A tensão de saída máxima do integrador é 0,9V, definida anteriormente. O valor de K_1 deve garantir que a saída do integrador não ultrapasse esse valor. A tensão de saída do integrador (U_1) obedece à seguinte equação [1]:

$$U_1 = (2 + \alpha) \cdot K_1 \cdot V_{ref} \quad (7)$$

Na Equação 7, α é o fator de atenuação da tensão de entrada em relação à referência. Esse fator serve para limitar o sinal de entrada em, aproximadamente, -3dB (0,7) em relação à tensão de referência [1,2]. Dessa forma, $\alpha = 0,7$. Ainda na Equação 7, V_{ref} é a tensão de referência do conversor D/A e, como será visto no Item 3.4, seu valor é de 0,9V. Assim, para que a saída do integrador não exceda U_{1max} , o ganho do primeiro integrador (K_1) deve ser, no máximo, 0,37. Por questões de facilidade de implementação desse ganho, que é feito através da relação de capacitores, optou-se por um ganho de 0,25.

- **Valor do capacitor de amostragem do integrador (C_{in1})**

Para calcular um valor mínimo para o capacitor de amostragem, utiliza-se a seguinte relação [4]:

$$SNR = 10 \cdot \log \left[\frac{P_{in}}{NQ + NT} \right] \quad (8)$$

onde p_{in} é a potência do sinal de entrada, NQ é a potência do ruído de quantização e NT é a potência do ruído térmico.

Considerando que o sinal de entrada é uma senóide, o seu valor de pico deve ser menor ou igual à tensão de referência do conversor D/A ($V_{ref} = 0,9V$). No entanto, conforme a amplitude do sinal de entrada aproxima-se de V_{ref} , o ruído de quantização aumenta, diminuindo a SNR do modulador [5]. Novamente, limita-se o sinal de entrada através do fator α [1,2]. Dessa forma, a potência do sinal de entrada é dada por :

$$P_{in} = \left(\frac{\alpha \cdot V_{ref}}{\sqrt{2}} \right)^2 \quad (9)$$

Para um modulador de 2^a ordem, a potência do ruído de quantização é dada por [7,2]:

$$NQ = \frac{\pi^4 \cdot \Delta^2}{5 \cdot N^5 \cdot 12} \quad (10)$$

Na Equação 10, Δ é o degrau de quantização do conversor D/A de 1 bit, ou seja, $V_{ref} = \Delta/2$.

Em uma estrutura diferencial, o ruído térmico devido ao capacitor C_{in} é [1]:

$$NT_{C_{in}} = 2 \cdot \frac{2 \cdot k \cdot T}{C_{in1} \cdot N} \quad (11)$$

Conforme será visto no Item 3.4, se for utilizado um ramo separado para a realimentação do conversor D/A na entrada do integrador, será necessário um outro capacitor (C_{ifl}). Assim, a Equação 11 deve ser multiplicada por $(1+C_{ifl}/C_{in1})$ para levar em consideração a contribuição do capacitor C_{ifl} . Para minimizar o consumo de potência, C_{ifl}/C_{in1} deve ser igual a $1/\alpha$ [1]. Assim, o ruído térmico passa a ser:

$$NT_{C_{in}, C_{ifl}} = \frac{4 \cdot k \cdot T}{C_{in1} \cdot N} \cdot \frac{(\alpha + 1)}{\alpha} \quad (12)$$

Na Equação 12, k é a constante de Boltzman, T é a temperatura ($kT=4,16 \times 10^{-21}$ V.C para $T = 25$ °C).

O ruído térmico total (Equação 12) deve levar em consideração o ruído devido aos transistores do operacional. Para tanto, define-se o parâmetro γ_w , que representa o excesso de ruído devido ao amplificador operacional e é dado por [1]:

$$\gamma_w = 1 + \frac{\frac{\gamma}{6 \cdot K_I^2} \cdot \frac{\alpha}{1 + \alpha}}{C_L / C_{in1}} \quad (13)$$

Na Equação 13, K_I é o ganho do integrador, α é o fator de atenuação da tensão de entrada, C_L é a capacitância de saída do amplificador operacional e γ é a contribuição de ruído dos transistores do operacional, podendo variar de 2 a 6. Para o cálculo do capacitor de entrada, considere $C_L = C_{fl}$ (portanto $C_L/C_{in1} = 1/K_I$) e $\gamma = 6$, que seria um pior caso. Assim, a Equação 12 fica multiplicada pelo fator γ_w definido na Equação 13.

Dessa forma, utilizando as equações 8, 9, 10, 12 e 13, o valor de C_{in} deve ser maior que 27fF para se obter uma SNR maior que 74dB. Como será utilizada uma estrutura diferencial, existe a necessidade de casamento entre os capacitores dos dois ramos do integrador diferencial. O valor de 27fF é muito pequeno para se obter um bom casamento e, para melhorá-lo, será adotado o tamanho mínimo de 0,2pF [1]. Portanto, o valor de C_{in1} passa a ser 0,2pF. Utilizando as equações 8, 9, 10, 12 e 13 com $C_{in1} = 0,2pF$, a SNR passa para 82dB.

Deve-se observar que as equações utilizadas aqui são bem conservadoras pois, com estes valores calculados, a SNR teórica (sem ruído térmico) seria de 91dB, portanto, 9dB acima da SNR calculada (82dB).

- **Valor do capacitor de integração (C_{fl})**

O ganho estimado para o integrador (K_I) foi de 0,25 e o valor do capacitor de amostragem (C_{in1}) foi de 0,2pF. Como $K_I = C_{in1}/C_{fl}$, então $C_{fl} = 0,8pF$.

- **Variação da capacitância com a tensão**

Os capacitores serão feitos utilizando uma camada de poli e outra de metal (processo CMOS digital padrão, 0,8 μ m, 2 metais, 2 poli - CYB AMS).

- **Frequência de ganho unitário do amplificador operacional (f_T)**

Diferentes equações foram encontradas para definir f_T . A equação que resultou no pior caso, portanto mais conservadora, foi [1]:

$$f_T = \frac{1,85 \cdot f_s \cdot DR}{2 \cdot \pi} \quad (14)$$

Na Equação 14, f_s é a frequência de chaveamento e DR é a faixa dinâmica em bits. Para a taxa de sobreamostragem escolhida de 128, tem-se $f_s = 2,56MHz$. Como $DR = 12$ bits, tem-se $f_T = 9MHz$.

- **Slew-Rate do amplificador operacional (SR)**

O settling do integrador não deve ser limitado pelo slew-rate. Para tanto, o slew-rate deve obedecer à seguinte equação [2]:

$$SR \geq \frac{K_I}{1 - e^{-T_s/(2\tau)}} \cdot \frac{V_{in(max)}}{\tau} \quad (15)$$

Na Equação 15, K_I é o ganho do integrador, T_s é o período de amostragem ($1/f_s$), $V_{in(max)}$ é a amplitude máxima do sinal de entrada e τ é a constante de tempo do integrador, dada por [2]:

$$\tau = \frac{1 + C_{in1}/C_{fl}}{2 \cdot \pi \cdot f_T} \quad (16)$$

Considerando a amplitude máxima do sinal de entrada igual a 0,637V (-3dB de $\Delta/2 = 0,9V$), obtém-se $SR > 6,01V/\mu s$.

3.2.2 Segundo Integrador

Devido à propriedade de *noise shaping* (atenuação do ruído) do modulador sigma-delta, as especificações para o segundo integrador são mais relaxadas. Assim, como visto no primeiro integrador, em função das especificações gerais do modulador pode-se definir vários valores e grandezas do segundo integrador. Dessa forma, tem-se:

- **Ganho DC do amplificador operacional**

Um ganho igual à taxa de sobreamostragem é suficiente para o segundo integrador, ou seja, 42dB. Dessa forma, assim como no primeiro integrador, pode-se utilizar uma topologia *folded-cascode* (apenas um estágio).

- **Tensão de saída máxima do integrador (U_{2max})**

Analogamente ao primeiro integrador, considerando que será utilizado um circuito *folded-cascode* e a saída de modo comum igual a $V_{DD}/2$, a máxima tensão de saída do segundo integrador (U_{2max}) será de 0,9V.

- **Ganho do integrador (K_2)**

Analogamente ao primeiro integrador, o valor de K_2 deve garantir que a saída do segundo integrador não ultrapasse U_{2max} . A tensão de saída do integrador (U_2) obedece à seguinte equação [1]:

$$U_2 = (3 + \alpha) \cdot K_1 \cdot K_2 \cdot V_{ref} \quad (17)$$

Assim, substituindo os valores na Equação 17, para que a saída do integrador não exceda U_{2max} , o ganho do segundo integrador (K_2) deve ser 1,08. No entanto, esse ganho foi ajustado para 0,5 através de simulações funcionais realizadas no Matlab®, as quais serão mostradas no Item 3.5.

- **Valor do capacitor de amostragem do segundo integrador (C_{in2})**

Devido à atenuação do ruído do segundo integrador pelo ganho do *loop* do modulador, não há a necessidade de se preocupar com o tamanho do capacitor devido ao ruído térmico. No entanto, devido à estrutura diferencial do integrador, existe a necessidade de casamento entre os capacitores. Esta exigência de casamento é menor comparada com o primeiro integrador mas, por facilidades de *layout*, o tamanho mínimo para os capacitores será de

0,2pF [1]. Dessa forma, o valor do capacitor de amostragem do segundo integrador, C_{in2} , será de 0,2pF.

- **Valor do capacitor de integração (C_{f2})**

O ganho estimado para o integrador (K_2) foi de 0,5 e o valor do capacitor de amostragem (C_{in2}) foi de 0,2pF. Como $K_2 = C_{in2}/C_{f2}$, então $C_{f2} = 0,4pF$.

- **Variação da capacitância com a tensão**

As considerações para esse item são iguais às feitas para o primeiro integrador.

- **Frequência de ganho unitário do amplificador operacional (f_T)**

Conforme mencionado anteriormente, diferentes equações foram encontradas para definir f_T . Como a exigência para o segundo integrador é menor, utilizou-se uma equação menos conservadora, dada por [3]:

$$f_T = \frac{1 + \frac{C_{in2}}{C_{f2}}}{\pi \cdot \left(\frac{1}{2 \cdot f_s} \right)} \quad (18)$$

Substituindo valores na Equação 18, tem-se $f_T = 2,44MHz$.

- **Slew-Rate do amplificador operacional (SR)**

O *settling* do integrador não deve ser limitado pelo *slew-rate*. Para tanto, o *slew-rate* deve obedecer a Equação 15, trocando-se K_1 por K_2 , e a Equação 16, trocando-se C_{in1} e C_{f1} por C_{in2} e C_{f2} , respectivamente. Substituindo os valores nas equações e considerando a amplitude máxima do sinal de entrada igual a 0,9V (U_{1max}), obtém-se $SR > 5,3V/\mu s$.

3.3 Comparador

O objetivo do comparador em um modulador $\Sigma\Delta$ é quantizar o sinal do *loop* (quantizador de 1 bit) e fornecer a saída do modulador. Como o comparador aparece após o bloco de ganho do *loop* e antes do terminal de saída, não-idealidades a ele associadas são atenuadas pelo *loop* da mesma maneira que o ruído de quantização que ele produz é atenuado. Isso significa que, nas frequências de interesse, as não-idealidades do comparador são, na maioria, reduzidas.

O principal parâmetro a ser considerado no seu projeto é a velocidade, que deve ser a maior possível para não comprometer o tempo disponível para a integração. Além disso, outras considerações para o projeto do comparador são [2,6]:

- Estrutura diferencial (devido ao integrador)
- Histerese de até 5% da amplitude do sinal de entrada, ou seja, 90mV, é desprezível
- O ruído térmico é desprezível
- Não há a necessidade de cancelamento do *offset*

É importante salientar que a sensibilidade do modulador $\Sigma\Delta$ à histerese do comparador é várias ordens de grandeza menor que em conversores que trabalham à taxa de Nyquist.

3.4 Conversor D/A

O objetivo do conversor D/A (DAC) de realimentação no fechamento da malha do modulador é converter o sinal digital da saída do modulador de volta à forma analógica, para ser subtraído do sinal analógico de entrada. Dessa forma, o desempenho do modulador é completamente dependente da precisão do DAC de realimentação e no modo em que sua saída é comparada com a entrada analógica. O conversor será formado por chaves, capacitores e uma tensão de referência que será o valor analógico convertido a ser comparado com a entrada analógica. Dependendo da saída do modulador, a saída do conversor D/A irá saturar em $+V_{\text{ref}}$ ou $-V_{\text{ref}}$.

A principal exigência do DAC é que ele seja linear. Por isso, os DACs de 1 bit são os mais utilizados por serem inerentemente lineares, isto é, como possuem apenas um *step* de tensão, não sofrem de não-linearidade diferencial (DNL). Além disso, são simples de ser implementados por possuírem apenas dois níveis. Os DACs multibit são mais complexos, além de, normalmente, exigirem calibração e *trimming* para que tenham um comportamento mais linear. Basicamente, o DAC de 1 bit consiste de uma chave que seleciona um dos dois níveis de quantização (1 bit). O principal problema do DAC de 1 bit são as não-idealidades associadas à tensão de referência que gera os dois níveis de quantização.

O valor da tensão de referência (V_{ref}) deve ser o maior possível, pois quanto maior o seu valor, maior será a amplitude da tensão de entrada, aumentando a SNR. No entanto, se V_{ref} for maior que a tensão de saída máxima do integrador (Item 3.2.1), o ganho do integrador deverá ser muito pequeno para não saturar a saída do amplificador operacional. Com a redução do ganho, ocorrerá também uma redução da SNR. Assim, o ideal é fazer o valor de V_{ref} igual à tensão de saída máxima do integrador [1], ou seja, $\pm 0,9\text{V}$ em torno do terra analógico.

A subtração da tensão de referência da tensão de entrada amostrada pode ser feita de duas maneiras: utilizando o mesmo ramo da tensão de entrada, ou seja, o mesmo capacitor

C_{in} , ou utilizando um ramo independente, ou seja, outro capacitor, denominado C_{if} . A segunda opção aumenta o ruído térmico devido ao capacitor C_{if} , exigindo um aumento do capacitor de entrada para se obter a SNR desejada. No entanto, o capacitor de entrada, originalmente, deveria ser de 27fF mas, para melhorar o casamento entre os capacitores, aumentou-se esse valor mínimo para 0,2pF (Item 3.2.1). Esse aumento, portanto, já atendeu a exigência de se aumentar o capacitor de entrada para se obter a SNR desejada. Assim, optou-se pela utilização de ramos independentes (com C_{if}) porque essa opção ainda possui a vantagem de o *settling* incompleto de C_{if} não gerar distorção, uma vez que a sua carga não é dependente da tensão de entrada. Por facilidades de implementação, o valor de C_{if} do primeiro integrador (C_{if1}) fica igual a C_{in} , ou seja, $C_{if1} = 0,2\text{pF}$. Assim, o ganho na realimentação do conversor D/A fica:

$$d1 = \frac{C_{if1}}{C_{f1}} = 0,25 \quad (19)$$

O valor de C_{if} para o segundo integrador (C_{if2}), foi definido através do Matlab[®] (ganho $d2$) e levando em consideração, por questões de estabilidade do modulador, a relação $K_1 < 0,75 \cdot d2$ [10]. Assim, $d2 = 0,375$ (definido no Matlab[®]). Então, como $C_{f2} = 0,4\text{pF}$, tem-se:

$$d2 = \frac{C_{if2}}{C_{f2}} \Rightarrow C_{if2} = 0,15\text{pF} \quad (20)$$

3.5 Simulação Funcional

Nos itens anteriores foram calculadas e estimadas algumas grandezas que serão utilizadas no projeto elétrico do modulador, a ser detalhado no próximo capítulo. No entanto, alguns desses dados serão aqui utilizados para realizar a simulação funcional do circuito que será projetado, a fim de mostrar que o mesmo é viável. Além disso, os resultados aqui obtidos serão comparados com aqueles obtidos da simulação elétrica do circuito final (Capítulo 5). Essa simulação funcional foi realizada no Matlab[®].

O diagrama em blocos do modulador é mostrado na Figura 3.5. É um modulador de 2ª ordem e que irá trabalhar com uma frequência de sobreamostragem de 2,56 MHz. Na Figura 3.5 também estão mostrados os ganhos definidos anteriormente, onde $K1$ e $K2$ são os ganhos dos integradores, e $d1$ e $d2$ são os ganhos de realimentação do conversor D/A. Os valores desses ganhos estão resumidos na Tabela 1.

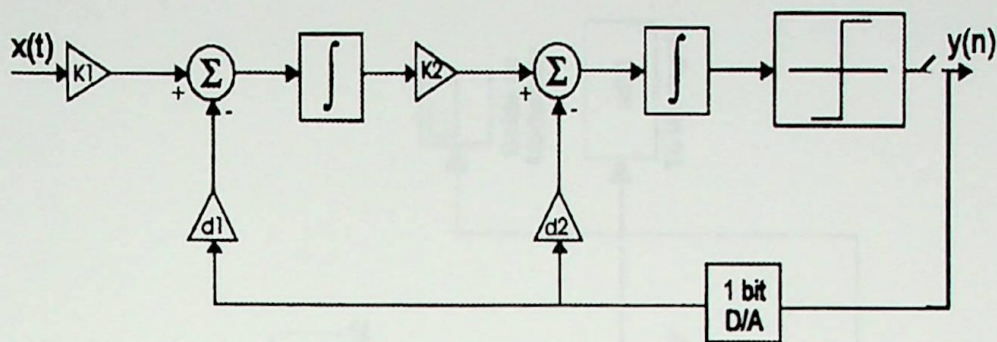


Figura 3.5 – Diagrama em blocos do modulador $\Sigma\Delta$ de 2ª ordem com os ganhos da arquitetura.

Coeficientes	Valor
K1	0,25
d1	0,25
K2	0,5
d2	0,375

Tabela 1 – Valores dos ganhos das malhas de realimentação.

Como afirmado em itens anteriores, a tensão de referência será igual a $V_{DD}/2$ (1,5V). No entanto, na simulação aqui realizada, o bloco comparador satura nos níveis +1 e -1 e isso não pode ser mudado. Assim, o sinal de saída modulado oscila entre esses dois valores, diferentemente do circuito elétrico simulado no Capítulo 5, cuja saída varia entre +1,5V e -1,5V. Por causa disso, a senóide de entrada também será limitada em +1 e -1. Na verdade, devido ao fator de atenuação da tensão de entrada em relação à referência (α) ser igual a 0,7, a senóide de entrada ficará limitada por esse valor.

A Figura 3.6 mostra o diagrama em blocos da Figura 3.5 montado no Matlab®. Foram desenvolvidas rotinas para o cálculo da Transformada Rápida de Fourier (FFT) do sinal de saída do modulador e para o cálculo da relação sinal/ruído (SNR), distorção harmônica total (THD) e relação sinal/(ruído+distorção) (SNDR). Os arquivos com essas rotinas estão no Apêndice A.

A Figura 3.7 mostra o resultado da simulação do diagrama da Figura 3.6 para o semi-ciclo positivo da onda senoidal de entrada e sua correspondente saída. Nota-se que a Figura 3.7 segue o mesmo princípio da Figura 2.8 (Item 2.2.2), ou seja, o modulador procura fazer com que a média local de sua saída modulada em densidade de pulsos siga a entrada analógica. Isto quer dizer que quando a entrada encontra-se no pico positivo, a saída possui mais pulsos em nível alto que em nível baixo. Este fato é mostrado mais claramente na Figura 3.8. Da mesma forma, quando a entrada passa por zero, os pulsos alternam-se entre nível alto e baixo de modo a manter a média local igual a zero, seguindo a entrada. Este comportamento é mostrado mais claramente na Figura 3.9.

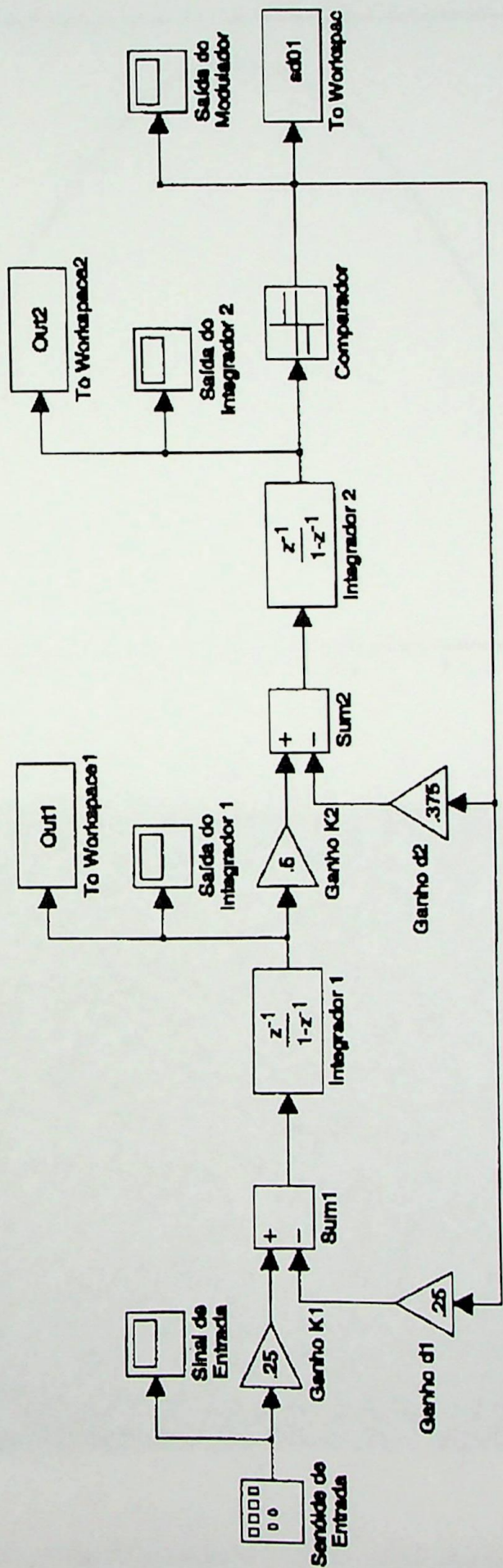


Figura 3.6 – Diagrama em blocos do modulador $\Sigma\Delta$ de 2ª ordem utilizado para simulação no Matlab®.

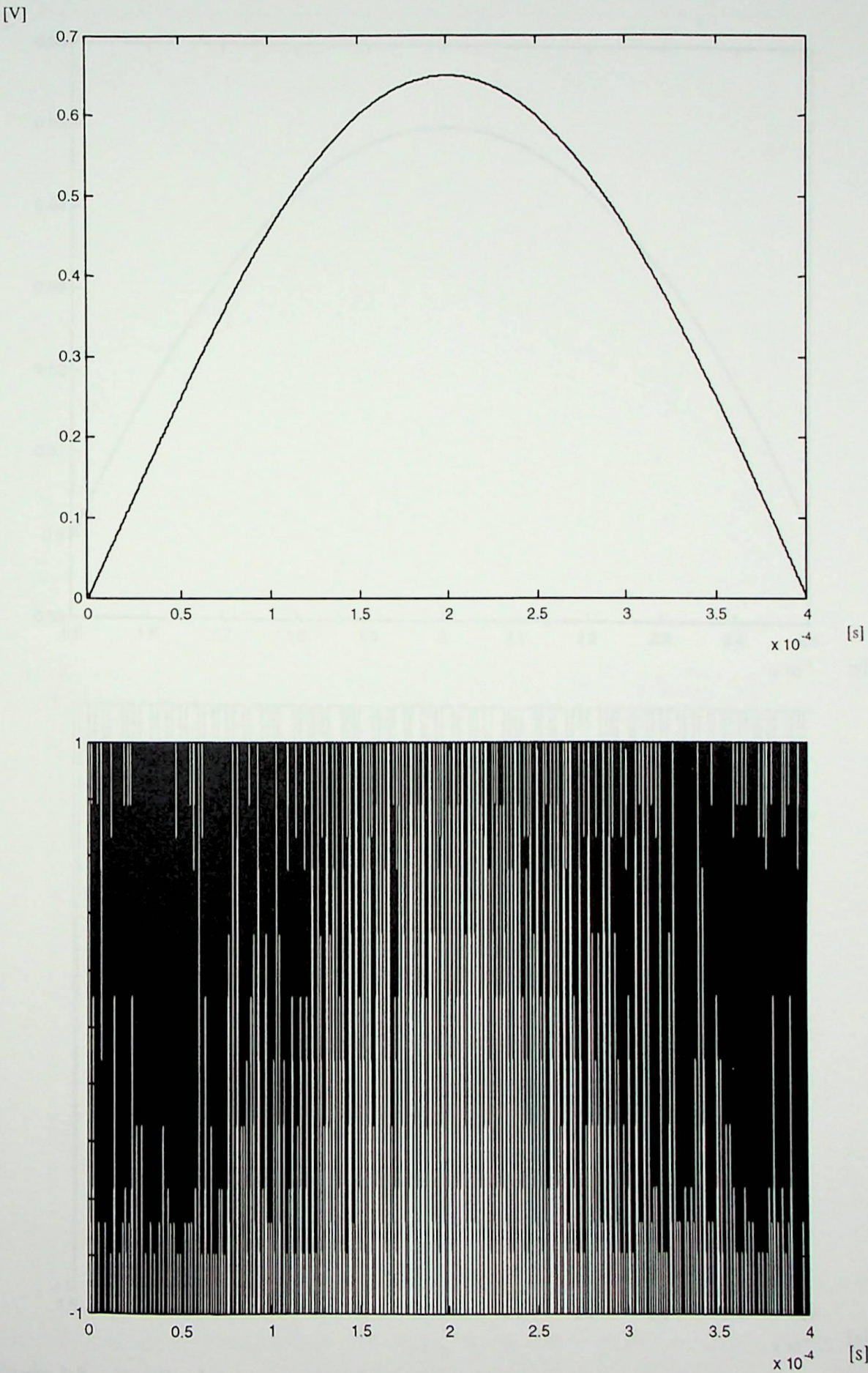


Figura 3.7 – Entrada e saída do modulador $\Sigma\Delta$ de 2ª ordem simulado no Matlab®.

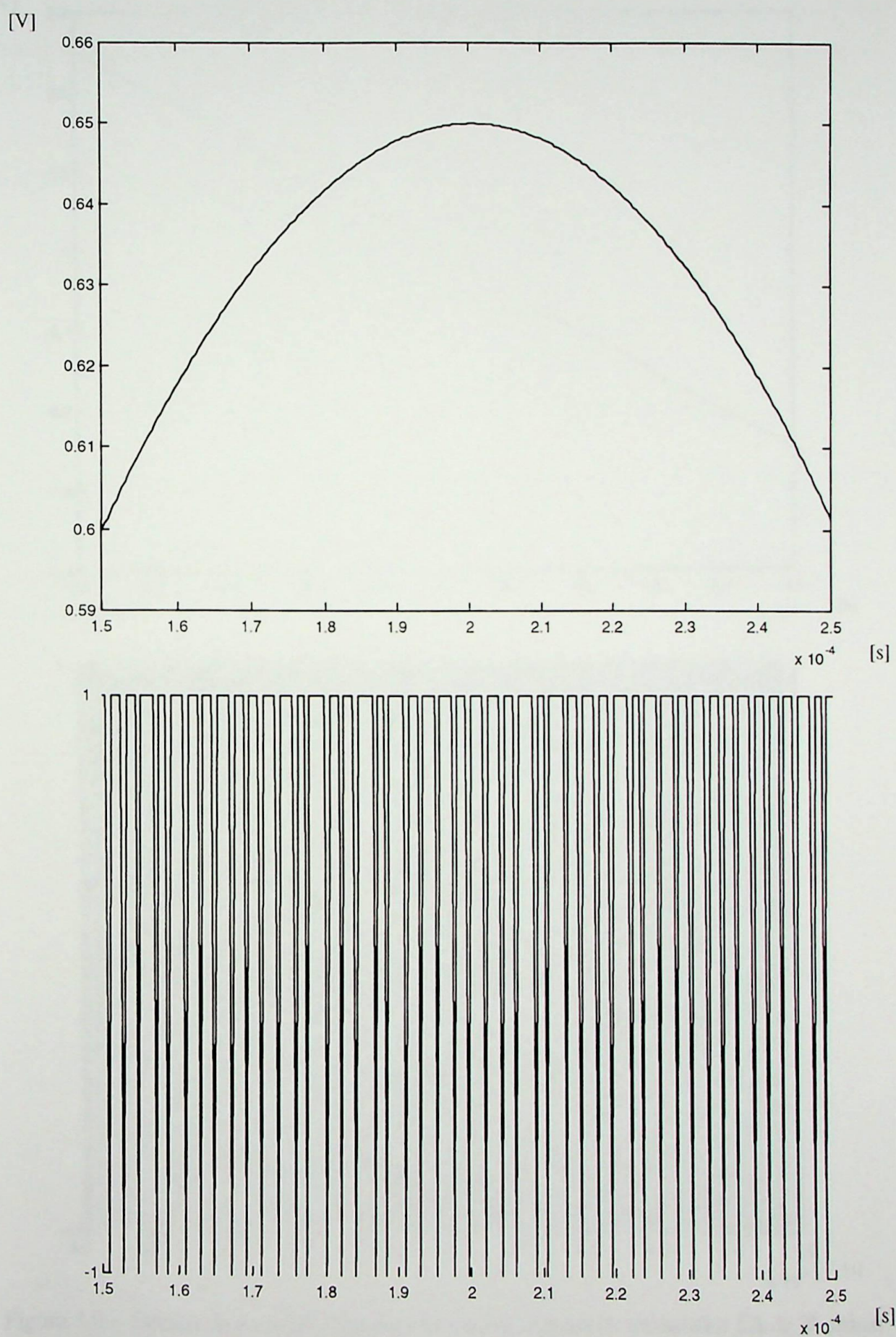


Figura 3.8 – Detalhe do pico positivo do sinal de entrada do modulador $\Sigma\Delta$ de 2ª ordem da Figura 3.7 e respectiva saída.

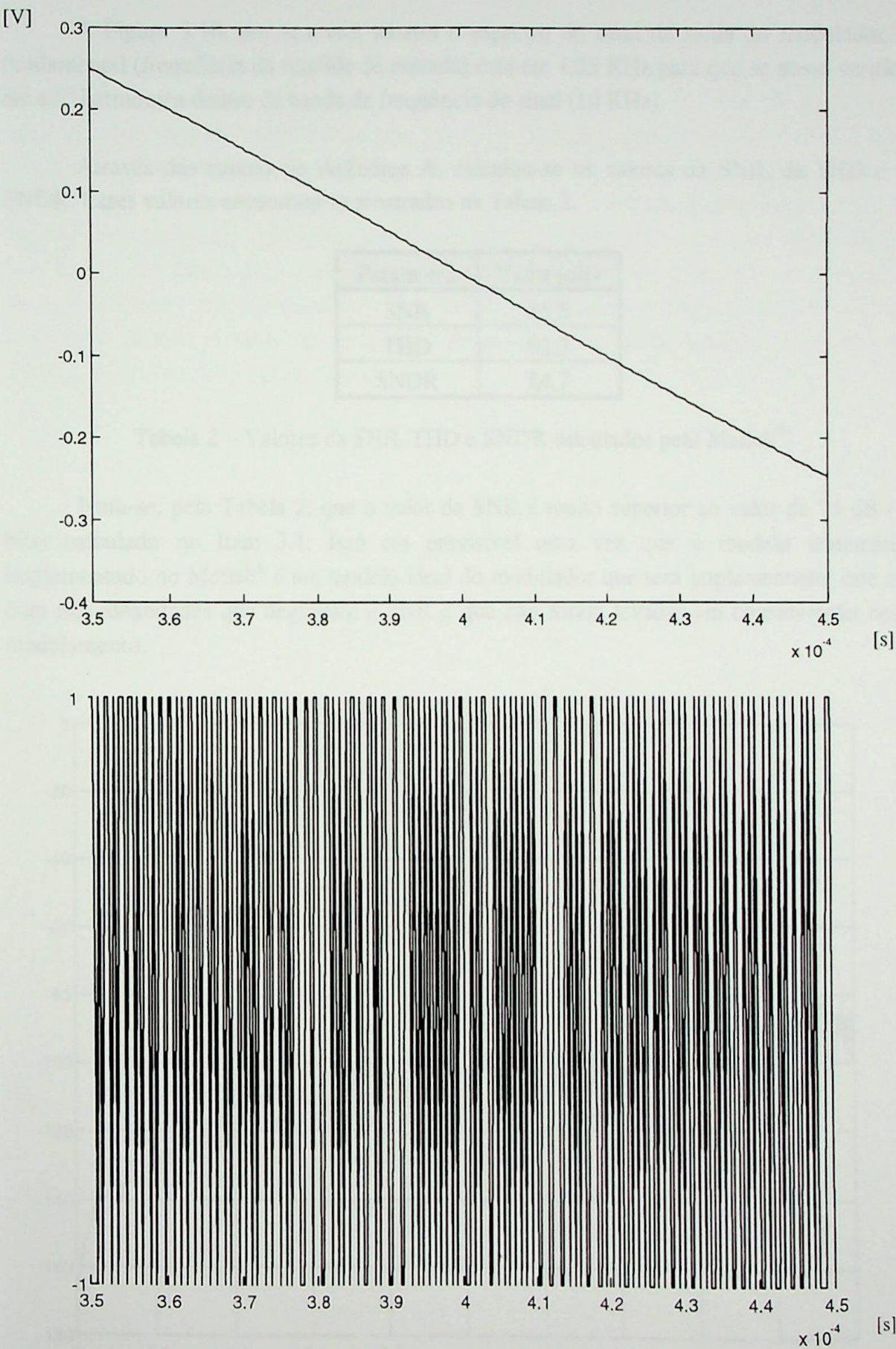


Figura 3.9 – Detalhe da passagem por zero do sinal de entrada do modulador $\Sigma\Delta$ de 2ª ordem da Figura 3.7 e respectiva saída.

A Figura 3.10, por sua vez, mostra o espectro do sinal de saída do modulador. A fundamental (frequência da senóide de entrada) está em 1,25 KHz para que se possa verificar até a 8ª harmônica dentro da banda de frequência do sinal (10 KHz).

Através das rotinas do Apêndice A, calculou-se os valores da SNR, da THD e da SNDR. Esses valores encontram-se mostrados na Tabela 2.

Parâmetro	Valor (dB)
SNR	85,5
THD	92,3
SNDR	84,7

Tabela 2 – Valores da SNR, THD e SNDR calculados pelo Matlab®.

Nota-se, pela Tabela 2, que o valor da SNR é muito superior ao valor de 74 dB (12 bits) calculado no Item 3.1. Isso era previsível uma vez que o modelo matemático implementado no Matlab® é um modelo ideal do modulador que será implementado, este sim com não-idealidades que degradam a SNR e que não foram levadas em consideração nesse modelamento.

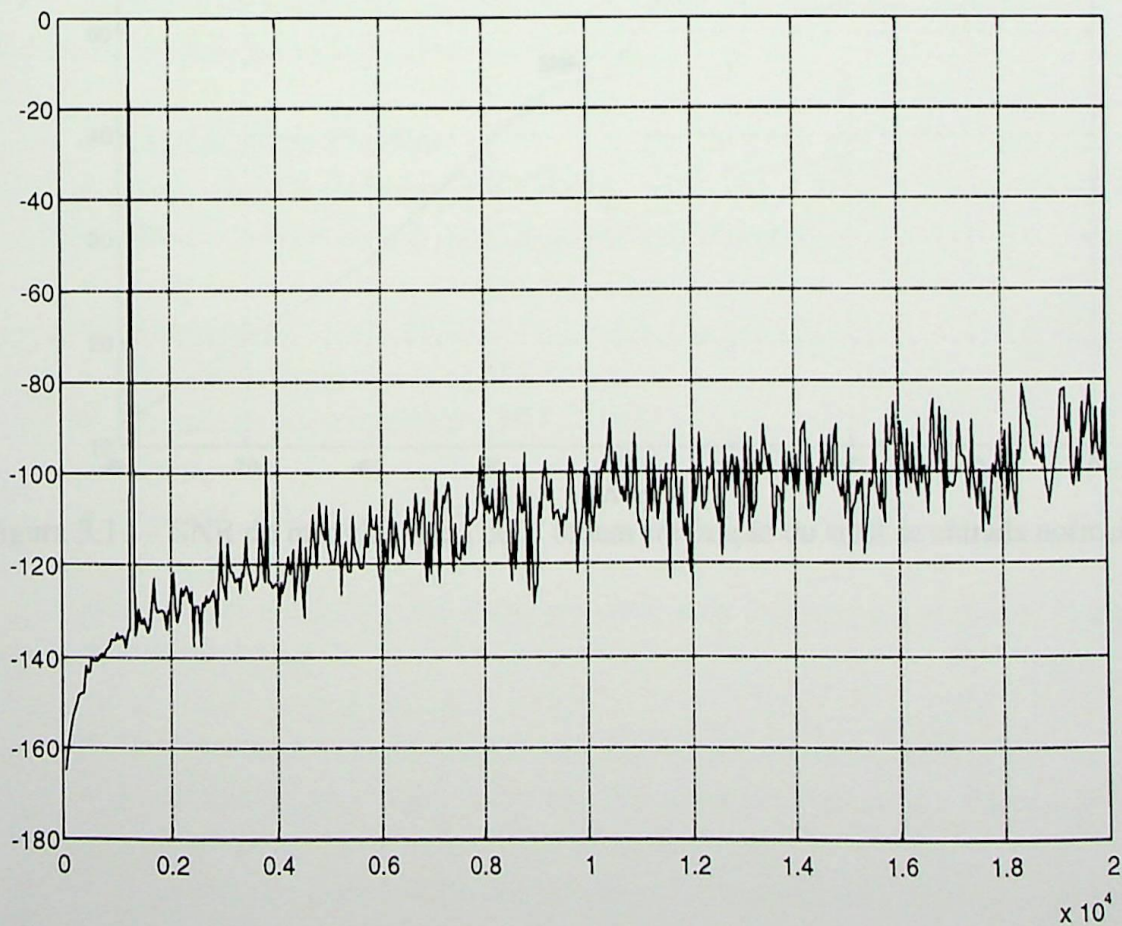


Figura 3.10 – Espectro do sinal de saída do modulador $\Sigma\Delta$ de 2ª ordem, calculado no Matlab®.

Por fim, a Figura 3.11 mostra o resultado de várias simulações feitas no Matlab[®] variando-se a amplitude do sinal senoidal de entrada. Para cada simulação, foi calculada a SNR na banda de frequência do sinal. A curva da Figura 3.11 está em função da amplitude de pico do sinal senoidal normalizada por $\Delta/2$ (V_{ref}). É importante notar que a SNR é maior quanto menos atenuada é a tensão de entrada em relação à tensão de referência. O maior valor de SNR que se pode alcançar ocorre quando essa tensão de entrada é atenuada cerca de 3dB em relação à tensão de referência, pois os integradores foram projetados para operar em suas regiões de alto ganho para esse valor de tensão na entrada. Essa atenuação corresponde ao fator α utilizado nas equações dos itens anteriores. Quando o sinal de entrada é igual à referência (0 dB), o sinal fica totalmente degradado, pois os integradores saem das suas regiões de alto ganho e ficam saturados.

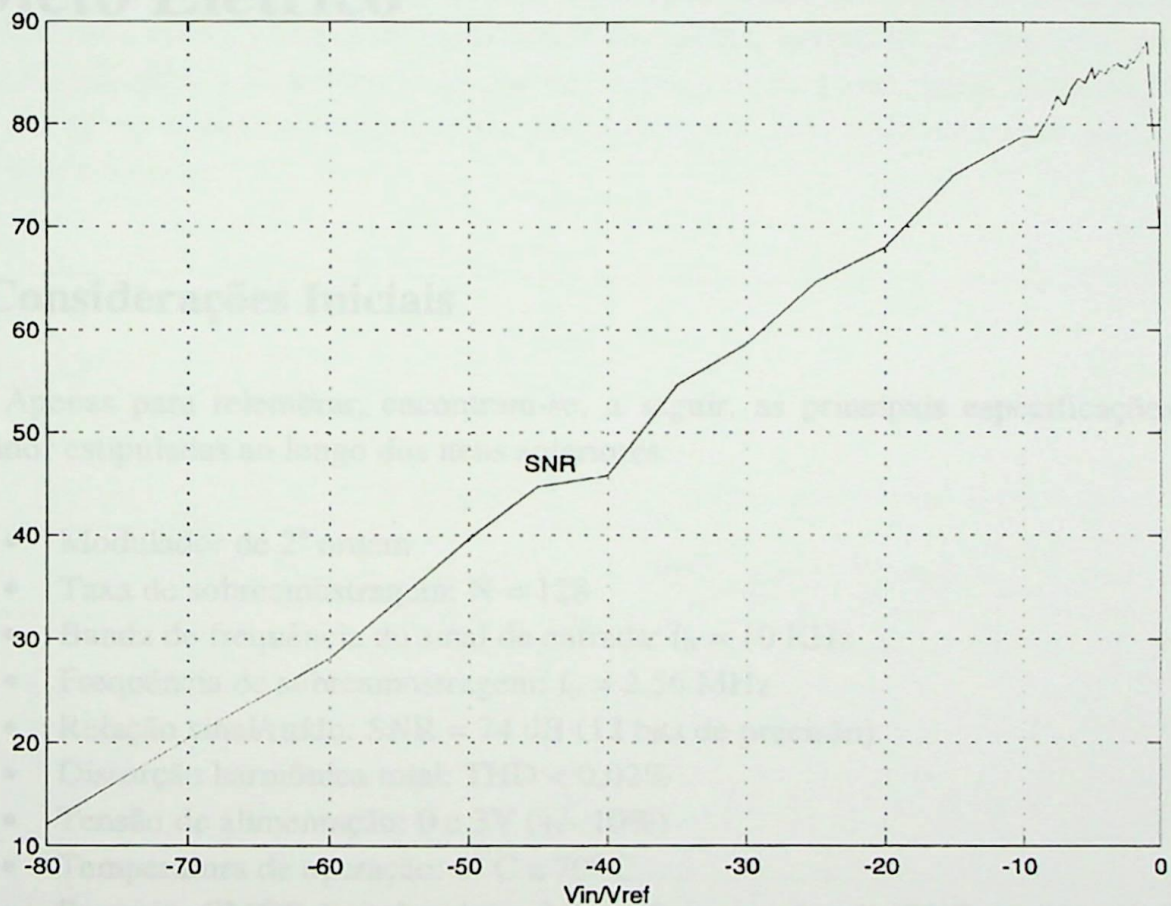


Figura 3.11 – SNR do modulador $\Sigma\Delta$ de 2ª ordem em função do sinal de entrada normalizado.

Capítulo 4

Projeto Elétrico

4.1 Considerações Iniciais

Apenas para lembrar, encontram-se, a seguir, as principais especificações para o modulador estipuladas ao longo dos itens anteriores:

- Modulador de 2ª ordem
- Taxa de sobreamostragem: $N = 128$
- Banda de frequência do sinal de entrada: $f_B = 10 \text{ KHz}$
- Frequência de sobreamostragem: $f_S = 2,56 \text{ MHz}$
- Relação sinal/ruído: $\text{SNR} = 74 \text{ dB}$ (12 bits de precisão)
- Distorção harmônica total: $\text{THD} < 0,02\%$
- Tensão de alimentação: 0 e 3V (+/- 10%)
- Temperatura de operação: 0° C a 70° C
- Processo CMOS digital padrão, 0,8 μm , 2 metais, 2 poli (CYB AMS)

Para atender essas especificações, propôs-se uma arquitetura que possui as seguintes características principais:

- Implementação dos integradores utilizando a técnica de capacitores chaveados
- Utilização de estruturas totalmente diferenciais para melhorar a PSRR e minimizar o efeito da injeção de cargas (diminuindo a THD)
- Seqüência de chaveamento dos integradores adequada para permitir insensibilidade a capacitâncias parasitas dos vários nós para o terra [23] e cancelamento da injeção de cargas (*clocks nonoverlapping* com *delay* [14])

- Utilização de conversor D/A com ramo de realimentação independente do capacitor de entrada (capacitor extra), evitando distorções devido a carga dependente do sinal de entrada e permitindo um ajuste do ganho de realimentação do D/A independente do ganho do integrador

Um diagrama em blocos simplificado do modulador é mostrado na Figura 4.1. Devido à utilização de uma estrutura diferencial, os ramos de realimentação são duplicados. Assim, além dos dois integradores (INT1 e INT2) e do comparador (COMP), tem-se quatro conversores D/A de um bit (D/A1+, D/A1-, D/A2+, D/A2-). Devido à estrutura diferencial dos amplificadores utilizados nos integradores, existe a necessidade de um circuito para definir a tensão de saída de modo comum dos integradores. Estes circuitos são representados na Figura 4.1 por CMFB1 e 2. Conforme mencionado anteriormente, os integradores serão implementados com a técnica de capacitores chaveados, necessitando, portanto, de fases de *clock* para abertura e fechamento de chaves. Assim, embora não esteja mostrado na figura, existe um bloco digital para gerar estas fases de *clock*. Nos itens seguintes serão descritos cada um dos blocos.

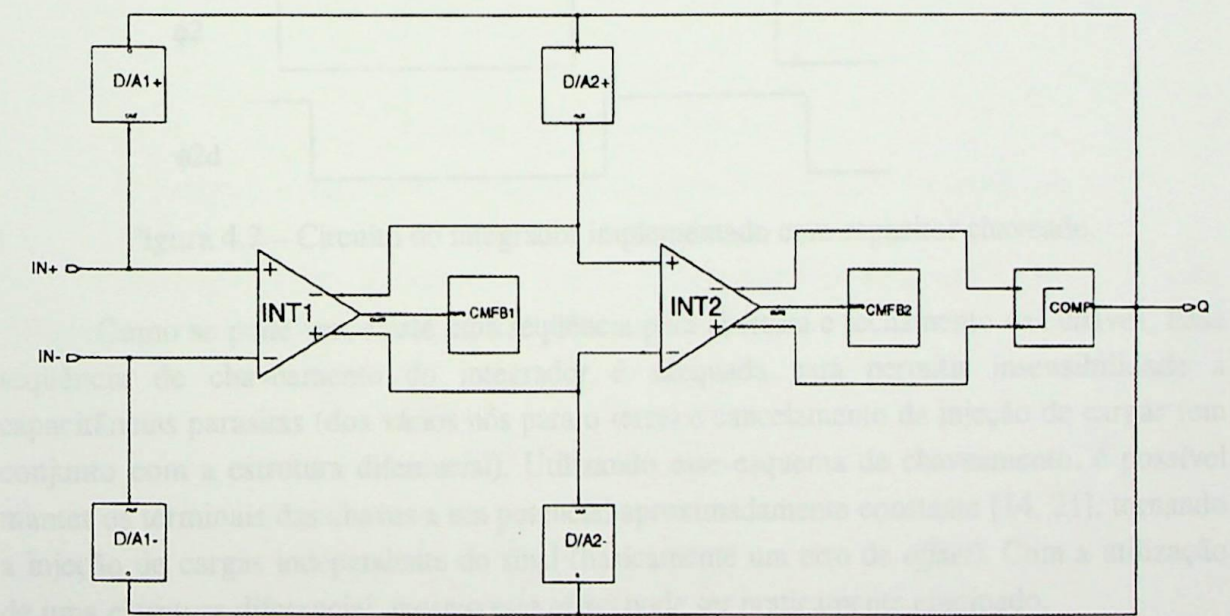


Figura 4.1 – Diagrama em blocos simplificado do modulador $\Sigma\Delta$ de 2ª ordem.

4.2 Integradores

A implementação dos integradores será feita utilizando-se a técnica de capacitor chaveado (SC). O grande problema dessa técnica é a injeção de cargas e, para minimizá-la, será utilizado um esquema com 4 fases de *clock nonoverlapping* com *delay* [14, 21] e uma estrutura diferencial (*full-differential*). Os integradores serão os mesmos mostrados na Figura 2.12 (Item 2.3.2). A Figura 4.2 mostra as fases de *clock* e o circuito simplificado do integrador diferencial implementado com capacitor chaveado.

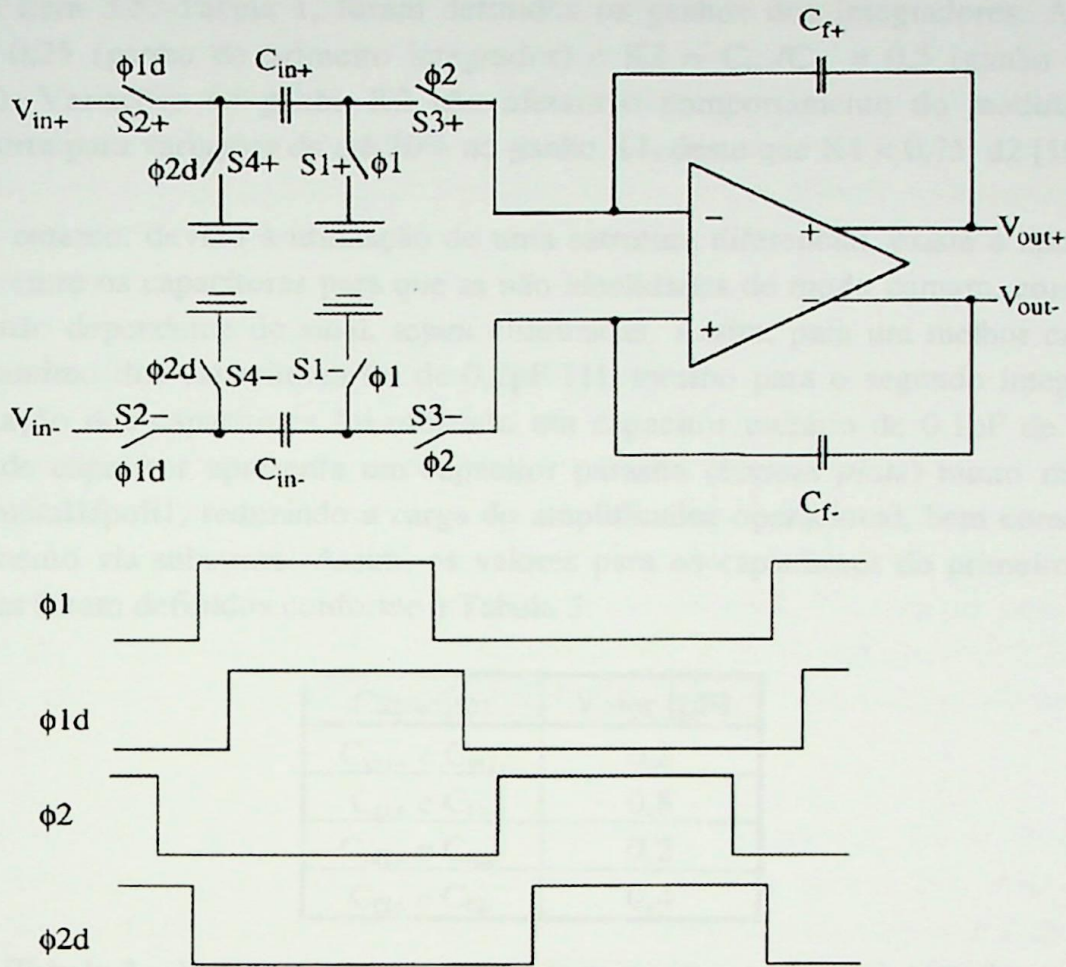


Figura 4.2 – Circuito do integrador implementado com capacitor chaveado.

Como se pode ver, existe uma seqüência para abertura e fechamento das chaves. Essa seqüência de chaveamento do integrador é adequada para permitir insensibilidade a capacitâncias parasitas (dos vários nós para o terra) e cancelamento da injeção de cargas (em conjunto com a estrutura diferencial). Utilizando esse esquema de chaveamento, é possível manter os terminais das chaves a um potencial aproximadamente constante [14, 21], tornando a injeção de cargas independente do sinal (basicamente um erro de *offset*). Com a utilização de uma estrutura diferencial, mesmo este *offset* pode ser praticamente eliminado.

Com exceção dos nós de entrada e saída, todos os outros permanecem com um valor de tensão igual ao terra analógico ($V_{DD}/2$). Assim, todas as chaves foram implementadas com transistor do tipo NMOS, com exceção das chaves de entrada S2+ e S2-, onde foram utilizados *gates* de transmissão (NMOS/PMOS). É importante a utilização de *gates* de transmissão nessas chaves para manter a resistência (R_{on}) mais constante e minimizar a injeção de cargas dependente do sinal de entrada [14]. O transistor PMOS possui 2,5 vezes a largura do transistor NMOS, deixando R_{on} mais constante. Como a tensão de alimentação é de 3V, R_{on} é suficientemente baixa (10K Ω) e não foi necessário a utilização de dobradores de tensão para diminuir a resistência das chaves.

No Item 3.5, Tabela 1, foram definidos os ganhos dos integradores. Assim, $K1 = C_{in1}/C_{f1} = 0,25$ (ganho do primeiro integrador) e $K2 = C_{in2}/C_{f2} = 0,5$ (ganho do segundo integrador). Variações no ganho K2 não afetam o comportamento do modulador [2]. O mesmo ocorre para variações de até 20% no ganho K1, desde que $K1 < 0,75 \cdot d2$ [10].

No entanto, devido à utilização de uma estrutura diferencial, existe a necessidade de casamento entre os capacitores para que as não-idealidades de modo comum, como a injeção de cargas não dependente do sinal, sejam eliminadas. Assim, para um melhor casamento, o tamanho mínimo dos capacitores foi de 0,2pF [1], mesmo para o segundo integrador. Para implementação dos capacitores foi utilizado um capacitor unitário de 0,1pF de poli1/poli2. Esse tipo de capacitor apresenta um capacitor parasita (*bottom plate*) muito menor que o capacitor metal1/poli1, reduzindo a carga do amplificador operacional, bem como os efeitos de acoplamento via substrato. Assim, os valores para os capacitores do primeiro e segundo integradores foram definidos conforme a Tabela 3.

Capacitor	Valor [pF]
C_{in1+} e C_{in1-}	0,2
C_{f1+} e C_{f1-}	0,8
C_{in2+} e C_{in2-}	0,2
C_{f2+} e C_{f2-}	0,4

Tabela 3 – Valores dos capacitores do primeiro e segundo integradores.

Com estes ganhos definidos, a função de transferência ideal em z ($H(z)$) de cada integrador pode ser definida pelas equações 21 e 22.

$$H_1(Z) = \frac{1}{4} \cdot \frac{z^{-1}}{1 - z^{-1}} \tag{21}$$

$$H_2(z) = \frac{1}{2} \cdot \frac{z^{-1}}{1 - z^{-1}} \tag{22}$$

Essa é a função de transferência ideal. Não-idealidades como ganho dc finito do amplificador, *slew-rate* e tensão máxima de saída dentre outras, alteram esta função de transferência e, conseqüentemente, o comportamento do modulador. Assim, em função das especificações gerais do modulador, é necessário especificar, também, valores adequados para estas não-idealidades, com o objetivo de não comprometer especificações gerais do modulador, como a SNR.

O primeiro integrador é o bloco mais crítico do modulador e, por isso, possui as especificações mais rígidas. Devido à atenuação das não-idealidades do segundo integrador pelo ganho do *loop* do modulador, as especificações para este integrador são mais relaxadas.

A parte crítica no projeto de ambos integradores é o projeto do amplificador operacional. Devido às especificações diferentes dos dois integradores (Itens 3.2.1 e 3.2.2), os amplificadores também são diferentes. O projeto de dois amplificadores diferentes implicaria em um ganho de área e potência muito pequeno comparado ao projeto de dois amplificadores iguais. Assim, por facilidade de *layout* e projeto, optou-se por utilizar o mesmo amplificador nos dois integradores. Logicamente, as especificações para este amplificador são as do primeiro integrador.

4.2.1 Projeto do amplificador operacional

A topologia de circuito escolhida para o projeto do amplificador foi a *folded-cascode*, mostrada de forma simplificada na Figura 4.3. Para tensões de alimentação menores que 3V, normalmente são utilizados amplificadores com dois estágios, sendo o estágio de saída apenas com dois transistores para aumentar a faixa de tensão de saída. No entanto, para tensões de alimentação de 3V ou mais, o *circuito folded-cascode* é muito utilizado [3,7,11] pela sua simplicidade, simetria, velocidade, menor consumo e melhor PSRR, comparado com circuitos de dois estágios [12].

Para atenuar o ruído térmico introduzido pelo operacional, foi utilizado um par diferencial PMOS, o qual possui um coeficiente de ruído menor [8]. Além disso, os transistores do par diferencial devem possuir uma área elevada para atenuar o ruído *flicker* ou $1/f$. Outra vantagem é que no processo utilizado (CMOS 0,8 μ m CYB AMS), a utilização de transistores PMOS no par diferencial permite a conexão fonte-substrato ($V_{BS} = 0$).

A definição do valor da corrente I_{SS} da Figura 4.3 é muito importante para atingir as especificações do amplificador. A definição desse valor pode ser feita em função do ganho de operacional (A_V), da frequência de ganho unitário (f_T) ou do *slew-rate* (SR). De acordo com o Item 3.2.1, os valores especificados para A_V e f_T (55dB e 9MHz, respectivamente) não são difíceis de se atingir com uma topologia *folded-cascode*. Assim, a definição de I_{SS} será feita com base no *slew-rate*.

Quando o integrador amostra um valor de tensão (fase ϕ_1 da Figura 4.2) e esta tensão é transferida para a entrada do amplificador, ocorre um *step* na saída do integrador (início da fase ϕ_2 da Figura 4.2). Como o operacional não é ideal, se a amplitude desse *step* é grande, a resposta do integrador sempre apresentará uma parte limitada pelo SR e outra, exponencial, limitada pela constante de tempo do integrador. Como o SR depende da tensão de entrada, se o *settling* do integrador é limitado pelo SR, ocorrerão distorções. Essa resposta do integrador também é alterada pela impedância de saída do *folded-cascode*.

Idealmente, um amplificador operacional possui uma impedância de saída igual a zero. Nos integradores com capacitor chaveado, normalmente são utilizados amplificadores operacionais de transcondutância (OTA) [1,2,3,4] com impedância de saída elevada, que é o

caso do operacional da Figura 4.3. Essa impedância altera o resposta do integrador [16] como mostra a Figura 4.4. Na figura, vê-se a saída diferencial do integrador da Figura 4.2 com um operacional ideal (curva cheia) e com um OTA (curva pontilhada). Como se pode ver no início da fase ϕ_2 , a tensão que foi amostrada na fase ϕ_1 é aplicada à entrada do operacional. No caso ideal, a saída varia do terra analógico para um valor definido pelo ganho do integrador e a tensão amostrada. No caso do OTA, a saída, inicialmente, vai para o sentido oposto ao *step* ideal [16].

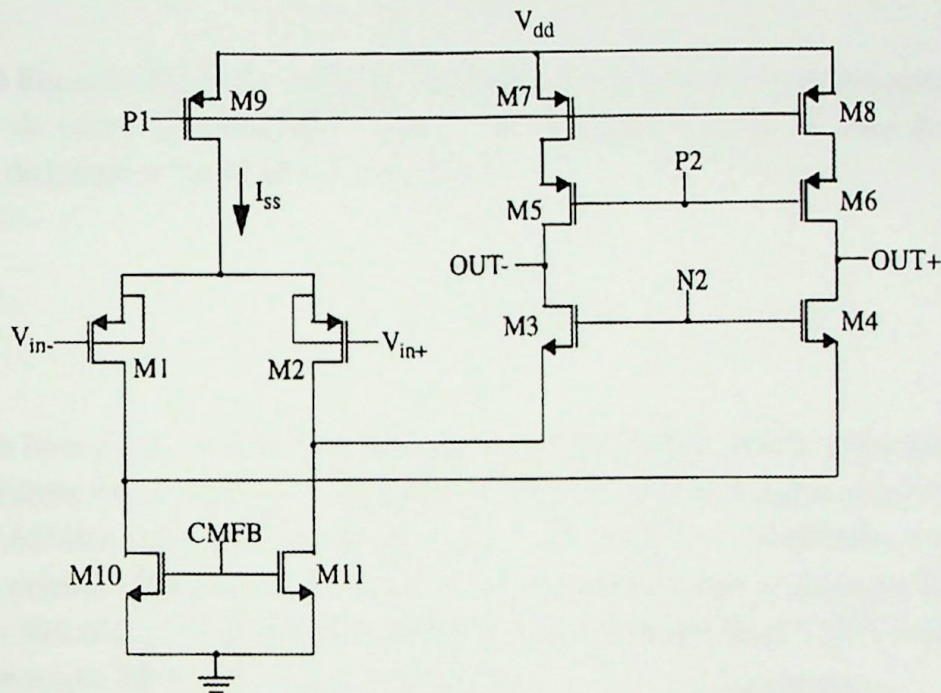


Figura 4.3 – Circuito simplificado do amplificador *folded-cascode*.

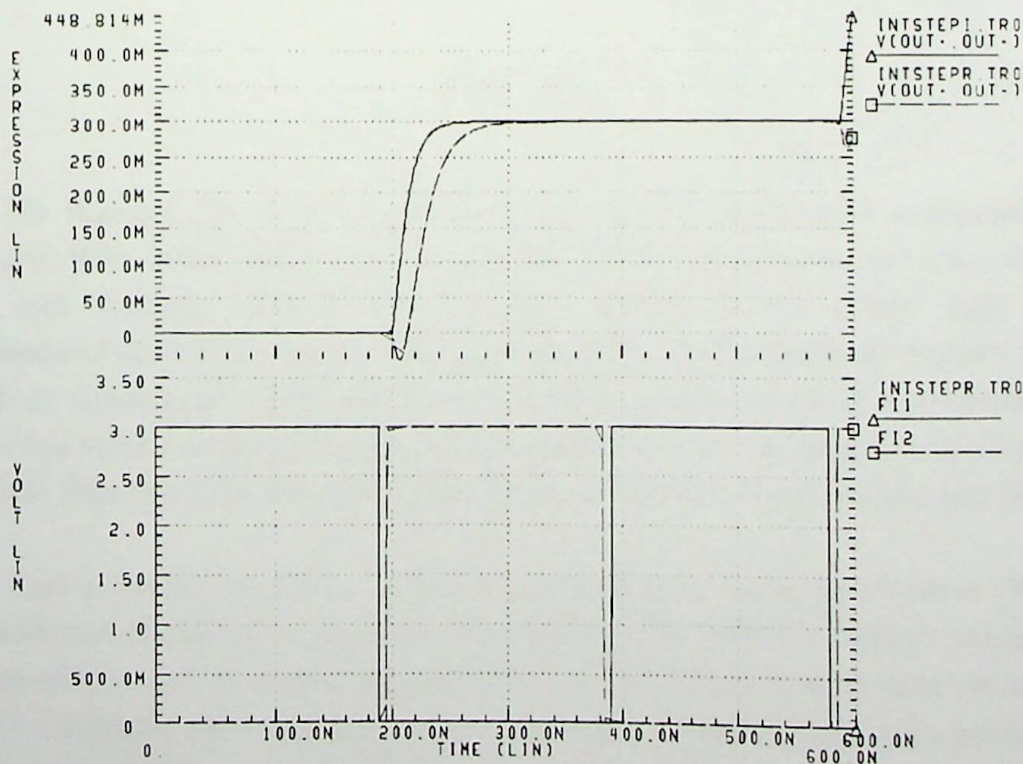


Figura 4.4 – Resposta do integrador (saída diferencial) a uma tensão amostrada na fase ϕ_1 .

Para garantir que a saída do integrador não seja limitada pelo SR, essa especificação foi alterada. O tempo para *slewing* foi reduzido para 1/4 da fase ϕ_2 , ou seja, 1/8 de T_s . Esse valor é normalmente adotado em outros projetos [1]. O valor anterior, no Item 3.2.1, era toda a duração da fase ϕ_2 . A equação para o cálculo de SR é mostrada abaixo.

$$SR \geq \frac{K_I}{1 - e^{-T_s/(8\tau)}} \cdot \frac{V_{in(max)}}{\tau} \quad (23)$$

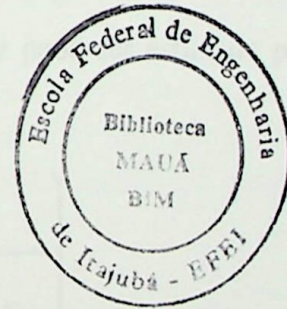
Na Equação 23, K_I é o ganho do integrador, T_s é o período de amostragem ($1/f_s$), τ é a constante de tempo do integrador e $V_{in(max)}$ é a amplitude máxima do sinal de entrada. A constante de tempo do integrador, τ , é dada por:

$$\tau = \frac{1 + C_{in}/C_f}{2 \cdot \pi \cdot f_T} \quad (24)$$

No Item 3.2.1, o valor especificado para f_T foi de 9MHz, porém, como será visto mais adiante (Tabela 7), as simulações realizadas no Hspice® indicaram que o menor valor para f_T foi de 10,66MHz (pior caso de velocidade). Considerando $f_T = 10,66\text{MHz}$, a constante de tempo do primeiro integrador vale 18,66ns. Substituindo esse valor na Equação 23, com $K_I = 0,25$, $T_s = 390,625\text{ns}$ e a amplitude máxima do sinal de entrada igual 0,637V (-3dB de $\Delta/2 = 0,9\text{V}$), temos que SR deve ser maior que 9,2V/ μs .

Para o circuito *folded-cascode*, SR é dado por [12]:

$$SR = \frac{I_{ss}}{2 \cdot C_L} \quad (25)$$



Na Equação 25, C_L é a capacitância na saída do amplificador configurado como integrador. Pelo efeito Miller, $C_L = C_{fl} = 0,8\text{pF}$. Como este capacitor será feito com poli1/poli2, será formado também um capacitor parasita (*bottom plate*), cujo valor é aproximadamente 0,03pF. Além desses dois capacitores, existe também um terceiro capacitor na saída do amplificador. Esse capacitor é do circuito de realimentação de modo comum (Item 4.2.2) e seu valor é de 0,5pF. Dessa forma, a capacitância total na saída do amplificador será de 1,33pF. Para que o SR seja maior que 9,2V/ μs , a corrente I_{ss} deve ser maior que 24,47 μA .

Para propiciar um ganho elevado ao amplificador, a tensão de *overdrive* ($V_{GS} - V_T$) dos transistores do par diferencial deve ser reduzida (entre 100mV e 200mV), resultando em uma alta relação g_m/I . Para não aumentar muito a área dos transistores, o valor adotado foi de 160mV. A equação que relaciona a tensão de *overdrive* à transcondutância dos transistores do par diferencial é mostrada a seguir [12].

$$g_{m_{M1}} = \frac{I_{ss}}{V_{GS} - V_T} \quad (26)$$

Substituindo os valores na Equação 26, tem-se que o valor da transcondutância é de, aproximadamente, $150\mu A/V$. Com o valor da transcondutância dos transistores do par diferencial definida, pode-se estimar a frequência de ganho unitário (f_T), dada por:

$$f_T = \frac{g_{m_{M1}}}{2 \cdot \pi \cdot C_L} \quad (27)$$

Substituindo os valores na Equação 27, tem-se $f_T = 17,9MHz$, portanto, bem maior que o valor especificado.

Para transistores que contribuem com o ganho do amplificador, recomenda-se a utilização de uma tensão de *overdrive* reduzida. Já para transistores de fontes de corrente, a tensão de *overdrive* deve ser a maior possível [12]. A justificativa para isso é um melhor casamento das fontes de corrente, menor sensibilidade a variações de processo e maior rejeição da fonte de alimentação [1]. No entanto, para operação com baixa tensão, os transistores do estágio de saída, inclusive os das fontes de corrente, devem ter uma tensão de *overdrive* reduzida para aumentar a faixa de tensão de saída. Assim, os transistores M3 a M11 da Figura 4.3 devem ter uma tensão de *overdrive* da ordem de 200mV.

A margem de fase do amplificador *folded-cascode* pode ser estimada pela equação abaixo [12].

$$PM = 90^\circ - \arctan \left(\frac{f_T}{\frac{g_{m_{M3}}}{2 \cdot \pi \cdot C_x}} \right) \quad (28)$$

Na Equação 28, $g_{m_{M3}}$ é a transcondutância do transistor M3 da Figura 4.3 e C_x é a soma das capacitâncias parasitas na fonte do transistor M3. Como a tensão de *overdrive* de M3 deve ser menor que 200mV, tem-se que $g_{m_{M3}}$ será, aproximadamente, $130\mu A/V$. Considerando $C_x = 100fF$ e $f_T = 17,9MHz$ (calculado pela Equação 27), a margem de fase será $PM = 85^\circ$.

Com base nos valores calculados para a corrente I_{ss} , a transcondutância e a tensão de *overdrive*, foram calculadas as relações W/L dos transistores do amplificador. Para obter um melhor casamento entre os transistores, o valor adotado para o comprimento de canal foi de $2,4\mu m$ (3 vezes o comprimento mínimo). Com o auxílio do Hspice[®], foi feito um ajuste nos valores das tensões de *overdrive* para maximizar a faixa de alto ganho do amplificador. Os valores obtidos por simulação são mostrados na Tabela 4.

Função do transistor	Transistor	Tipo	W/L [μm]	I _D [μA]	V _{GS} – V _T [V]
Transistores do par diferencial	MP1	PMOS	50/2,4	12,4	-0,16
	MP2	PMOS	50/2,4	12,4	-0,16
Transistores cascode das fontes de corrente	MN3	NMOS	22/2,4	12,4	0,17
	MN4	NMOS	22/2,4	12,4	0,17
	MP5	PMOS	50/2,4	12,4	-0,17
	MP6	PMOS	50/2,4	12,4	-0,17
Transistores das fontes de corrente	MP7	PMOS	40/2,4	12,4	-0,20
	MP8	PMOS	40/2,4	12,4	-0,20
	MP9	PMOS	72/2,4	24,8	-0,20
	MN10	NMOS	36/2,4	24,8	0,20
	MN11	NMOS	36/2,4	24,8	0,20

Tabela 4 – Características dos transistores do amplificador *folded-cascode* (Figura 4.3).

Como se pode ver pela Tabela 4, a tensão de *overdrive* dos transistores das fontes de corrente foi colocada em 0,2V (onde o casamento é um problema crítico) e nos transistores *cascode* (onde o casamento não é tão crítico) a tensão de *overdrive* foi colocada em 0,17V.

O esquemático do circuito completo, feito no *Design Architect*[®], é mostrado na Figura 4.5. Como se pode ver pela figura, para evitar problemas de acoplamento via substrato, a fonte e o substrato de cada transistor são separados, sendo que no *layout* estes nós estarão em *pads* também separados. As polarizações P1, P2 e N2 vem do circuito de polarização, cujo esquemático é mostrado na Figura 4.6. O *port* CMFB vem do circuito de realimentação de modo comum, que será visto mais adiante.

O mesmo circuito de polarização será ligado aos dois integradores. Como se pode ver pela Figura 4.6, este circuito é formado por fontes de corrente cuja relação W/L e as correntes de dreno tem uma proporção de aproximadamente 1/5 em relação às fontes de corrente do amplificador. A exceção são os transistores MNB5 e MPB5, que irão gerar as polarizações P2 e N2 dos transistores *cascode* das fontes de corrente do amplificador.

Na Figura 4.5, a diferença entre as tensões V_{GS} de MN3 e MN11 deve ser maior que a tensão de saturação (V_{dsat}) de MN11. O mesmo deve ocorrer entre MP5 e MP7. Para o projeto do circuito de polarização, se forem utilizadas as equações de V_{dsat} e I_D (na saturação), encontra-se que β_{MNB5,MPB5} deve ser 4 vezes menor que β dos demais transistores do circuito de polarização [17] para que a diferença entre as tensões V_{GS} de MN3 e MN11 seja de V_{dsat}. Para aumentar um pouco essa diferença, β_{MNB5,MPB5} foi feito, aproximadamente, 5 vezes menor que β dos demais transistores do circuito de polarização. Na Figura 4.6, o transistor MNB6 tem a função de gerar a corrente de polarização (aproximadamente 2,65μA) através de

uma tensão de referência externa ($V_B = 1,280$ no caso típico). A Tabela 5 mostra as características dos transistores do circuito de polarização.

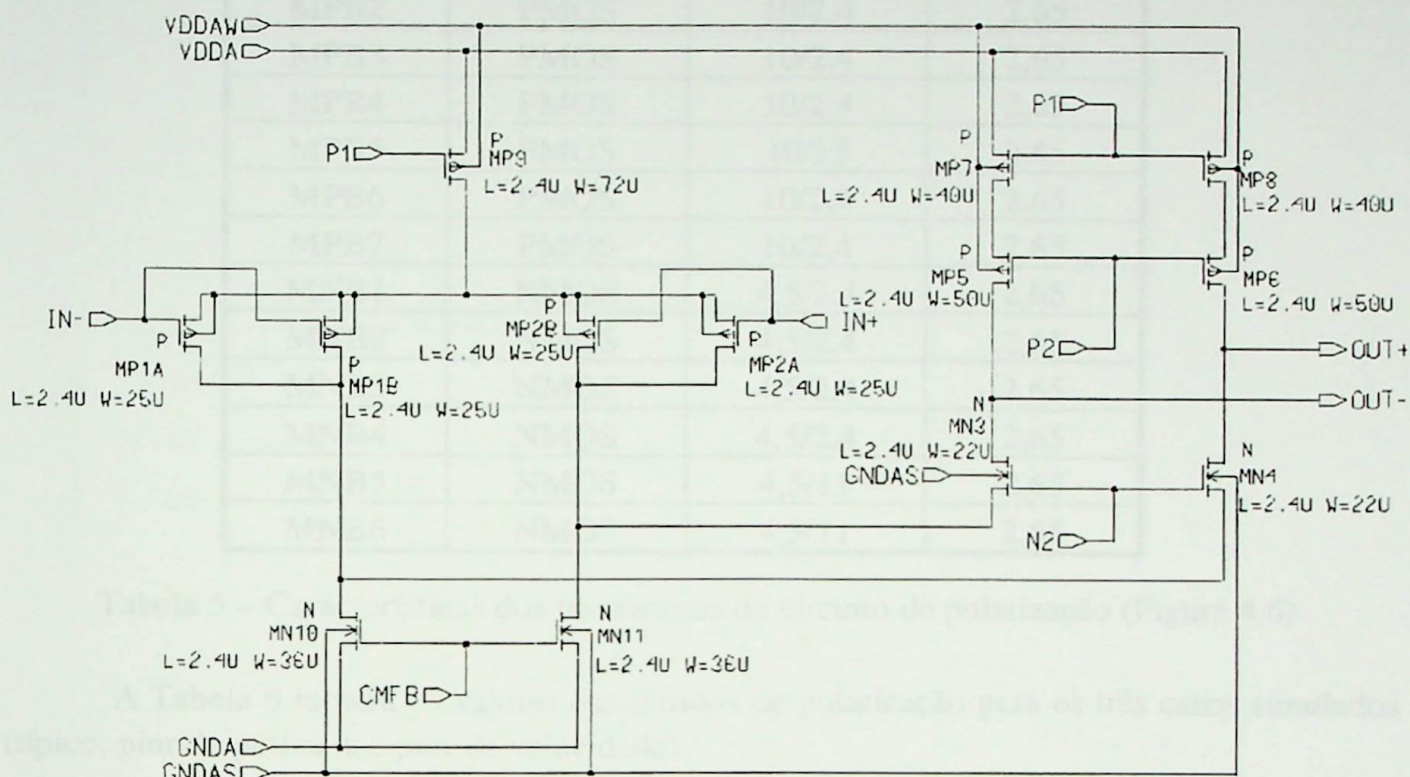


Figura 4.5 – Esquemático do amplificador *folded-cascode*.

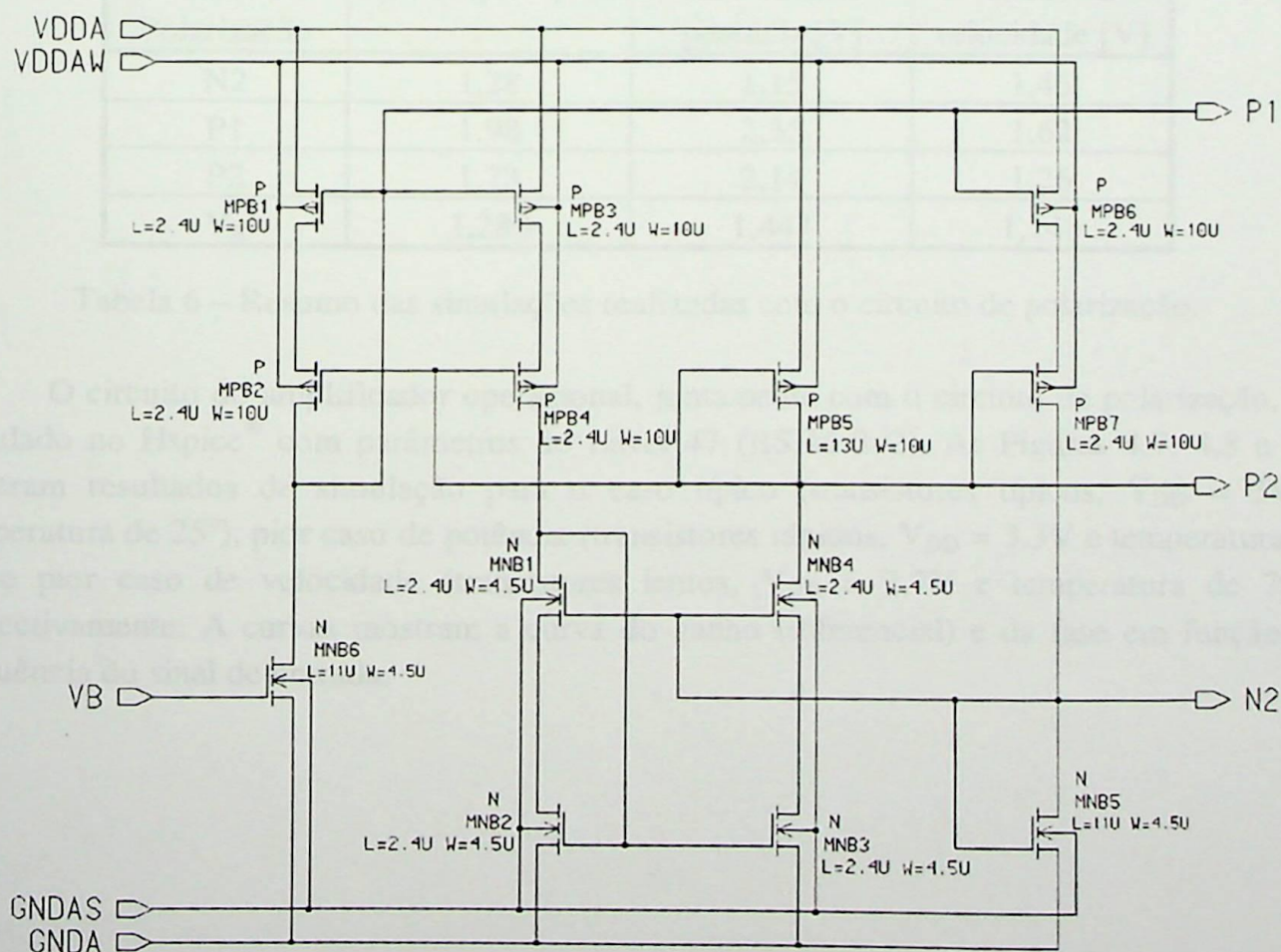


Figura 4.6 – Esquemático do circuito de polarização.

Transistor	Tipo	W/L [μm]	I_D [μA]
MPB1	PMOS	10/2,4	2,65
MPB2	PMOS	10/2,4	2,65
MPB3	PMOS	10/2,4	2,65
MPB4	PMOS	10/2,4	2,65
MPB5	PMOS	10/13	2,65
MPB6	PMOS	10/2,4	2,65
MPB7	PMOS	10/2,4	2,65
MNB1	NMOS	4,5/2,4	2,65
MNB2	NMOS	4,5/2,4	2,65
MNB3	NMOS	4,5/2,4	2,65
MNB4	NMOS	4,5/2,4	2,65
MNB5	NMOS	4,5/11	2,65
MNB6	NMOS	4,5/11	2,65

Tabela 5 – Características dos transistores do circuito de polarização (Figura 4.6).

A Tabela 6 mostra os valores das tensões de polarização para os três casos simulados (típico, pior de potência e pior de velocidade).

Nós de Polarização	Caso típico [V]	Pior caso de potência [V]	Pior caso de velocidade [V]
N2	1,28	1,15	1,45
P1	1,98	2,35	1,62
P2	1,73	2,14	1,26
V_B	1,280	1,447	1,148

Tabela 6 – Resumo das simulações realizadas com o circuito de polarização.

O circuito do amplificador operacional, juntamente com o circuito de polarização, foi simulado no Hspice[®] com parâmetros do Level 47 (BSIM 3v2). As Figuras 4.7, 4.8 e 4.9 mostram resultados de simulação para o caso típico (transistores típicos, $V_{DD} = 3\text{V}$ e temperatura de 25°), pior caso de potência (transistores rápidos, $V_{DD} = 3,3\text{V}$ e temperatura de 0°) e pior caso de velocidade (transistores lentos, $V_{DD} = 2,7\text{V}$ e temperatura de 70°), respectivamente. A curvas mostram a curva do ganho (diferencial) e da fase em função da frequência do sinal de entrada.

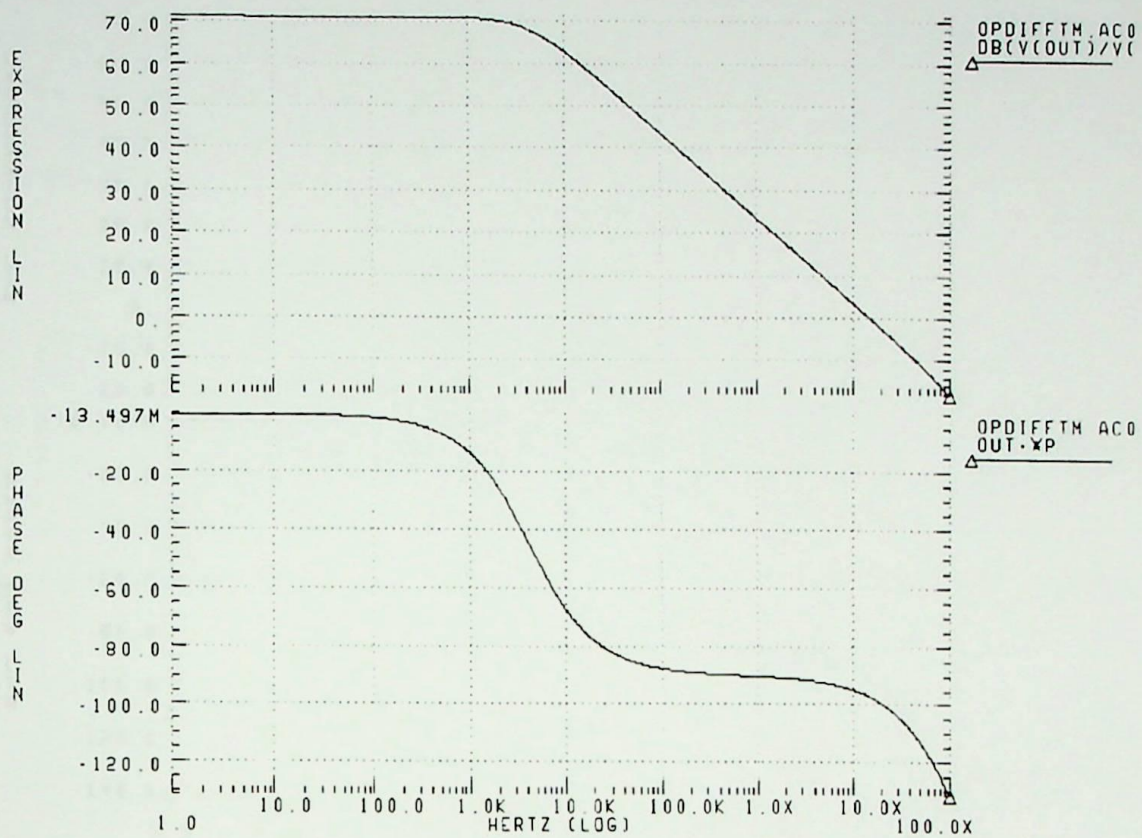


Figura 4.7 – Ganho diferencial (em dB) e fase do sinal de saída (em graus) para o caso típico.

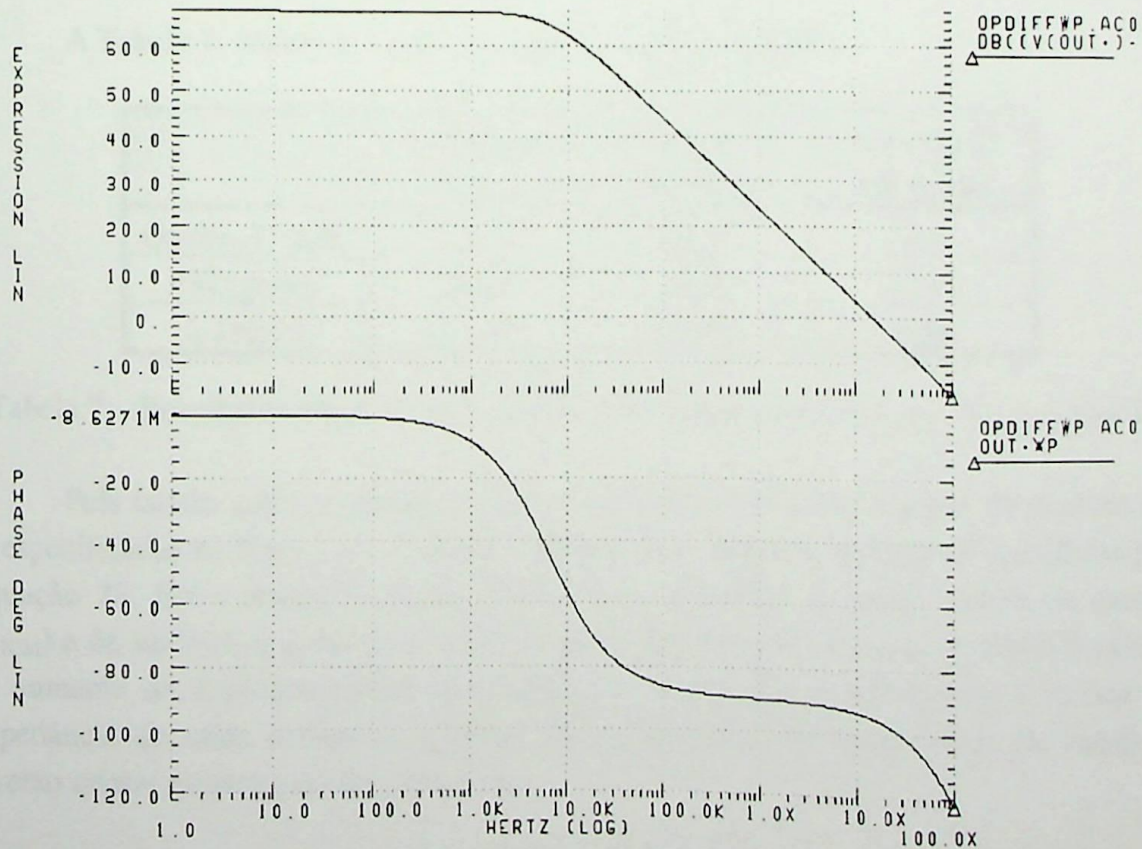


Figura 4.8 – Ganho diferencial (em dB) e fase do sinal de saída (em graus) para o pior caso de potência.

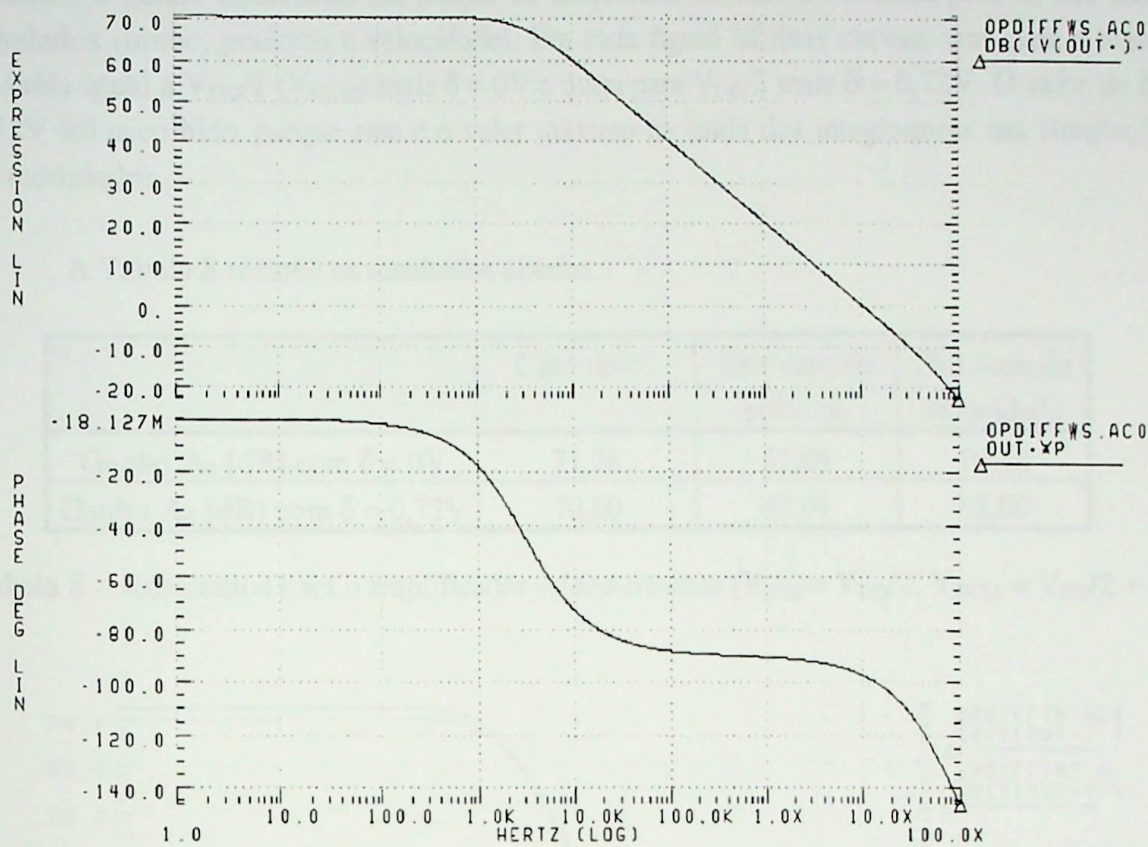


Figura 4.9 – Ganho diferencial (em dB) e fase do sinal de saída (em graus) para o pior caso de velocidade.

A Tabela 7, mostrada a seguir, resume os resultados obtidos.

	Caso típico	Pior caso de potência	Pior caso de velocidade
Ganho A_0 [dB]	71,26	67,69	70,82
PM [graus]	82,84	84,46	83,32
f_T [MHz]	15,15	15,51	10,66

Tabela 7 – Resultados obtidos com o amplificador *folded-cascode* ($V_{ICM} = V_{OCM} = V_{DD}/2$).

Pela tabela, pode-se ver que o ganho e a frequência de ganho unitário são maiores que as especificadas no Item 3.2.1. A margem de fase ficou bem próxima dos 85° calculados pela Equação 28. Estes resultados foram obtidos com as tensões de modo comum de entrada (V_{ICM}) e de saída (V_{OCM}) iguais a $V_{DD}/2$. A queda no ganho no pior caso de potência (apesar do aumento da transcondutância dos transistores do par diferencial) deve-se à redução na impedância de saída devido ao aumento em λ (modulação do comprimento de canal). O inverso ocorre no pior caso de velocidade.

Uma situação importante, não considerada na Tabela 7, é a redução do ganho com o aumento da tensão de saída, chamado aqui de variação δ . As Figuras 4.10, 4.11 e 4.12

mostram o ganho diferencial em função da frequência do sinal de entrada para os três casos simulados (típico, potência e velocidade). Em cada figura há duas curvas, uma para a tensão de saída igual a $V_{DD}/2$ (V_{OCM}) mais $\delta = 0V$ e outra para $V_{DD}/2$ mais $\delta = 0,72V$. O valor de $\delta = 0,72V$ foi escolhido porque este é o valor máximo na saída dos integradores nas simulações do modulador.

A Tabela 8 resume os resultados obtidos.

	Caso típico	Pior caso de potência	Pior caso de velocidade
Ganho A_0 [dB] com $\delta = 0V$	71,26	67,69	70,82
Ganho A_0 [dB] com $\delta = 0,72V$	70,00	67,01	68,00

Tabela 8 – Resultados para o amplificador *folded-cascode* ($V_{ICM} = V_{DD}/2$, $V_{OCM} = V_{DD}/2 + \delta$).

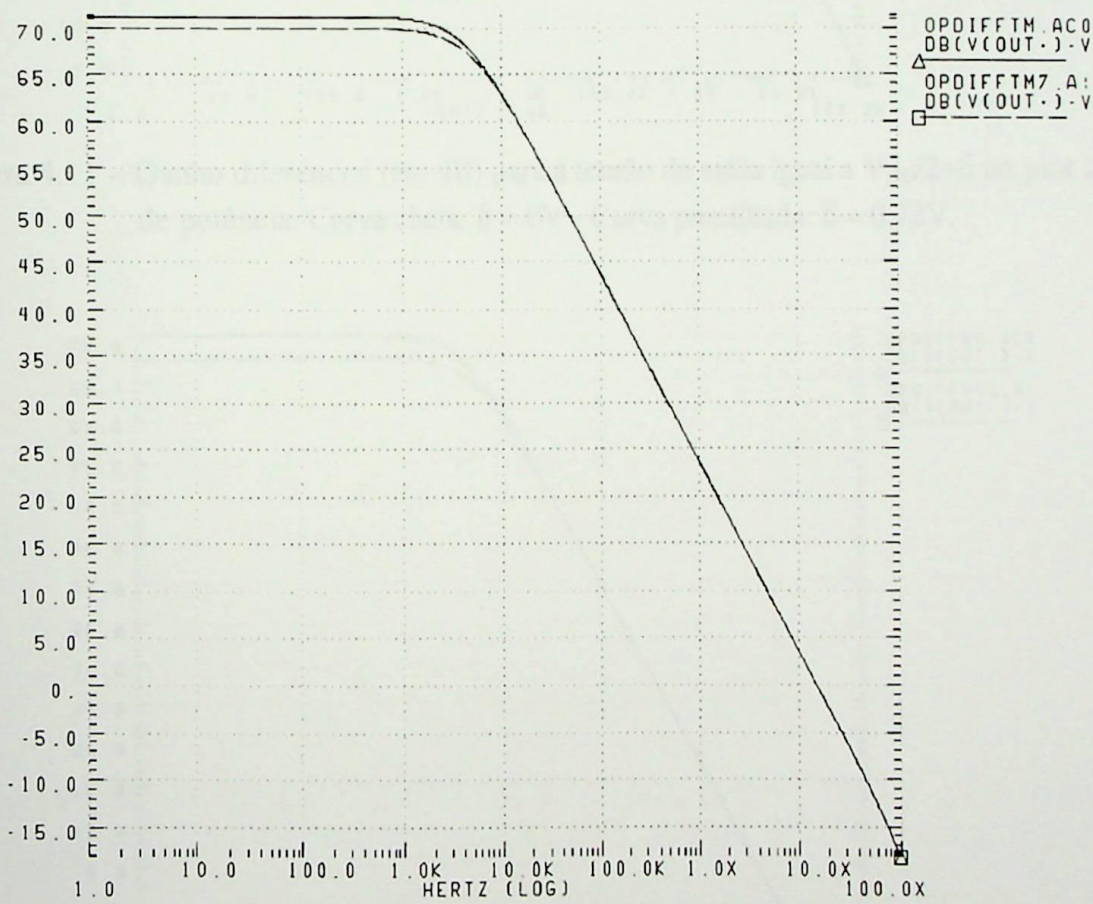


Figura 4.10 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2 + \delta$ no caso típico. Curva cheia: $\delta = 0V$ - Curva pontilhada: $\delta = 0,72V$.

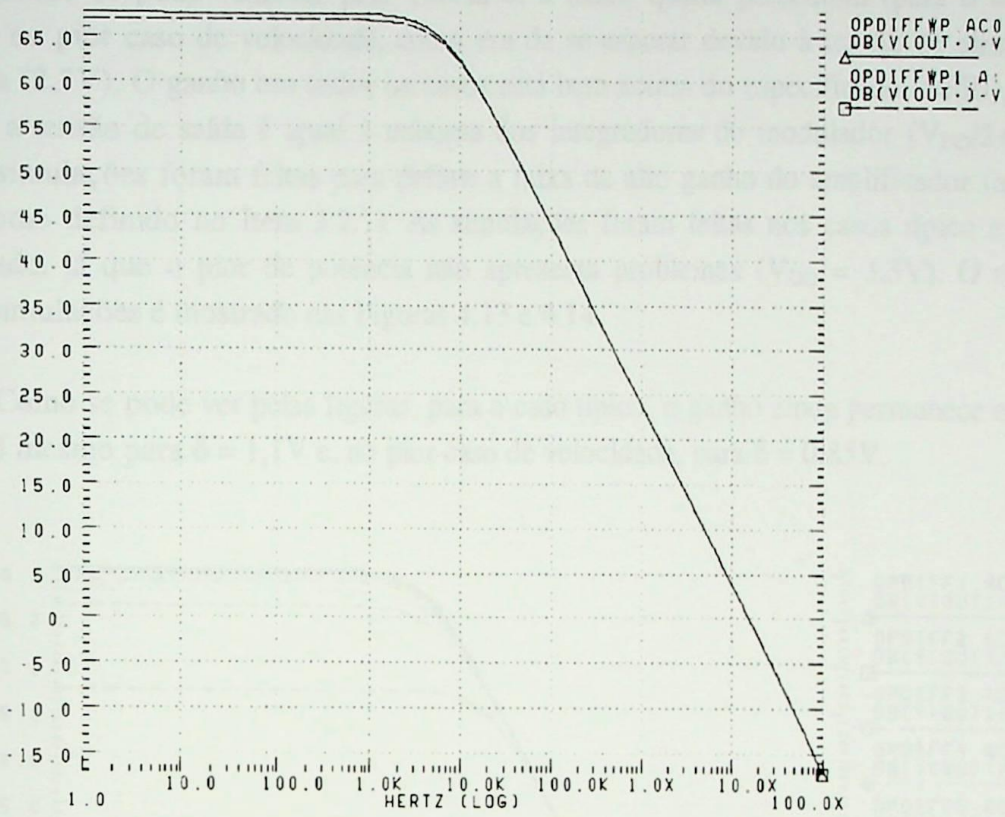


Figura 4.11 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2+\delta$ no pior caso de potência. Curva cheia: $\delta = 0V$ - Curva pontilhada: $\delta = 0,72V$.

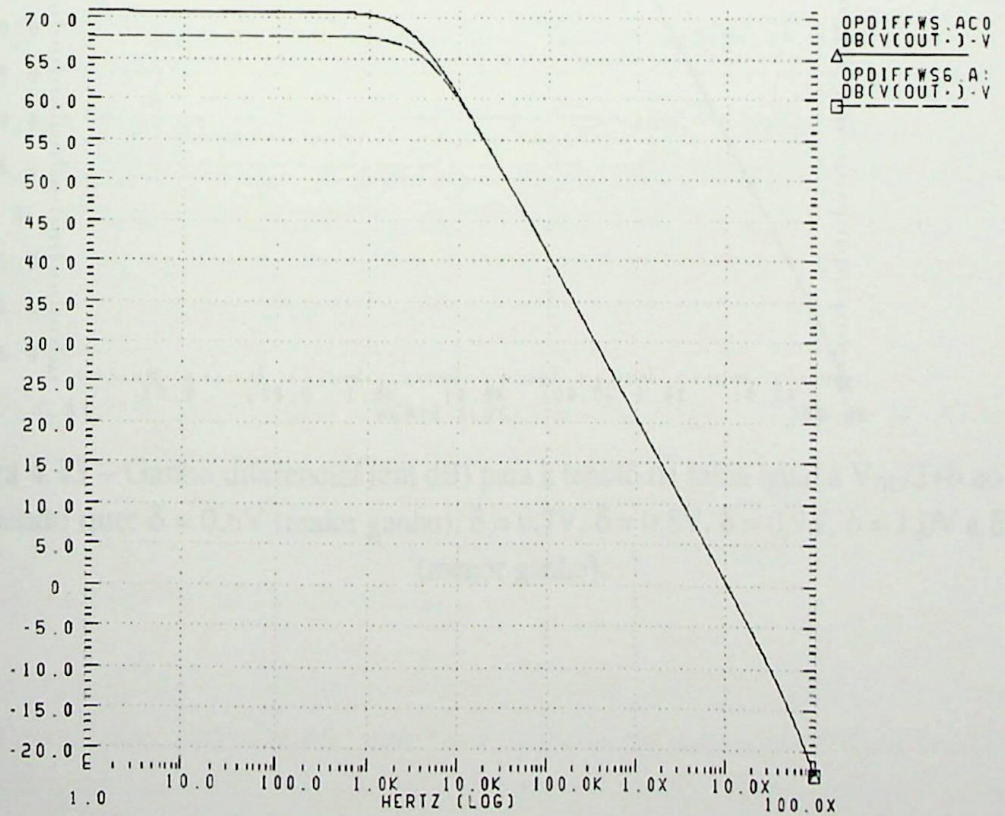


Figura 4.12 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2+\delta$ no pior caso de velocidade. Curva cheia: $\delta = 0V$ - Curva pontilhada: $\delta = 0,72V$.

Como se pode observar pela Tabela 8, a maior queda percentual (para $\delta = 0,72V$) ocorreu no pior caso de velocidade, como era de se esperar devido à tensão de alimentação reduzida (2,7V). O ganho em todos os casos está bem acima do especificado (55dB), mesmo quando a tensão de saída é igual à máxima dos integradores do modulador ($V_{DD}/2+0,72V$). Outras simulações foram feitas para definir a faixa de alto ganho do amplificador (acima de 55dB, como definido no Item 3.2.1). As simulações foram feitas nos casos típico e pior de velocidade, já que o pior de potência não apresenta problemas ($V_{DD} = 3,3V$). O resultado dessas simulações é mostrado nas Figuras 4.13 e 4.14.

Como se pode ver pelas figuras, para o caso típico, o ganho ainda permanece em torno de 55dB mesmo para $\delta = 1,1V$ e, no pior caso de velocidade, para $\delta = 0,85V$.

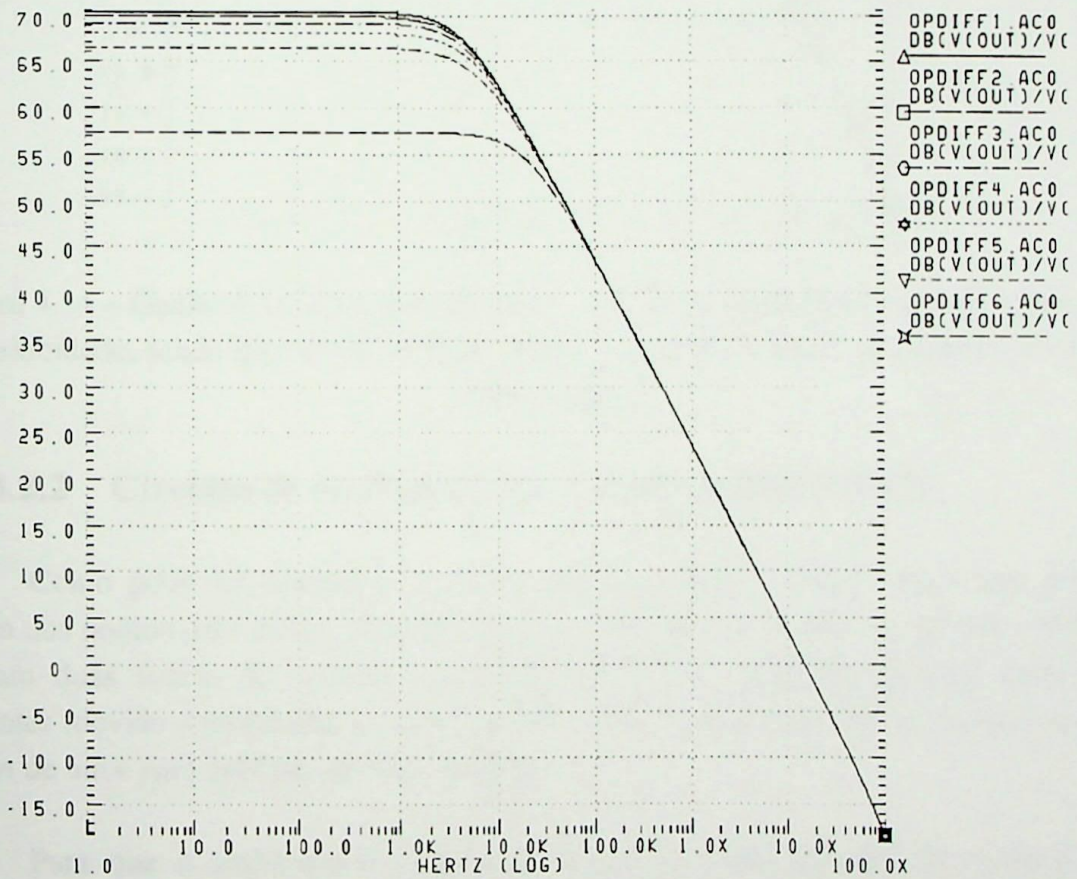


Figura 4.13 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2+\delta$ no caso típico, sendo que: $\delta = 0,6V$ (maior ganho), $\delta = 0,7V$, $\delta = 0,8V$, $\delta = 0,9V$, $\delta = 1,0V$ e $\delta = 1,1V$ (menor ganho).

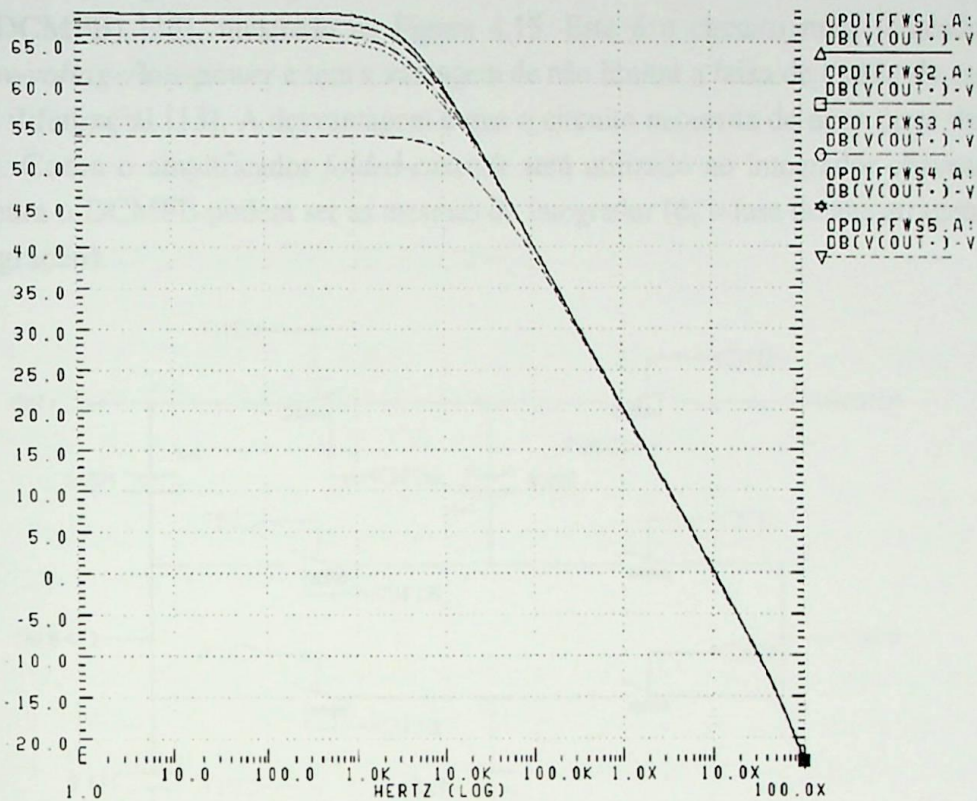


Figura 4.14 – Ganho diferencial (em dB) para a tensão de saída igual a $V_{DD}/2 + \delta$ no pior caso de velocidade, sendo que: $\delta = 0,6V$ (maior ganho), $\delta = 0,7V$, $\delta = 0,8V$, $\delta = 0,85V$ e $\delta = 0,9V$ (menor ganho).

4.2.2 Circuito de realimentação de modo comum (CMFB)

Como pode ser observado na Figura 4.3, não existe nenhuma ligação que define a tensão nos pontos out+ e out-. No ponto out+, por exemplo, os transistores M6/M8 e M4/M10 formam duas fontes de corrente ligadas no ponto out+. Qualquer diferença entre essas correntes (devido a problemas de casamento ou mesmo variações no sinal de entrada) levará a tensão de out+ para próximo de V_{DD} ou GND.

Para que o amplificador diferencial tenha uma tensão de saída de modo comum (V_{OCM}) definida, utiliza-se um circuito de realimentação de modo comum para monitorar as saídas out+ e out- e uma realimentação para uma das tensões de polarização das fontes de corrente. O circuito de modo comum compara V_{OCM} com uma tensão de referência e estabelece a tensão de polarização correta.

O circuito de realimentação de modo comum pode ser dinâmico ou contínuo. Os circuitos contínuos, normalmente, utilizam amplificadores que possuem uma faixa de tensão de entrada limitada, como por exemplo, um par diferencial. Essa limitação na tensão de entrada dos circuitos de modo comum contínuos acarretariam uma limitação na tensão de saída do amplificador *folded-cascode*, principalmente para tensões de alimentação reduzidas. Outra desvantagem dos circuitos contínuos é o consumo de potência.

Uma solução para esses problemas é o circuito de realimentação de modo comum dinâmico (DCMFB) [18], mostrado na Figura 4.15. Este é o circuito mais indicado para circuitos *low-voltage/low-power* e tem a vantagem de não limitar a faixa de tensão de saída do operacional diferencial [13]. A desvantagem é que o circuito necessita de duas fases de *clock* para operar. Como o amplificador *folded-cascode* será utilizado no integrador chaveado, as duas fases para o DCMFB podem ser as mesmas do integrador (ϕ_1 = fase de amostragem, ϕ_2 = fase de integração).

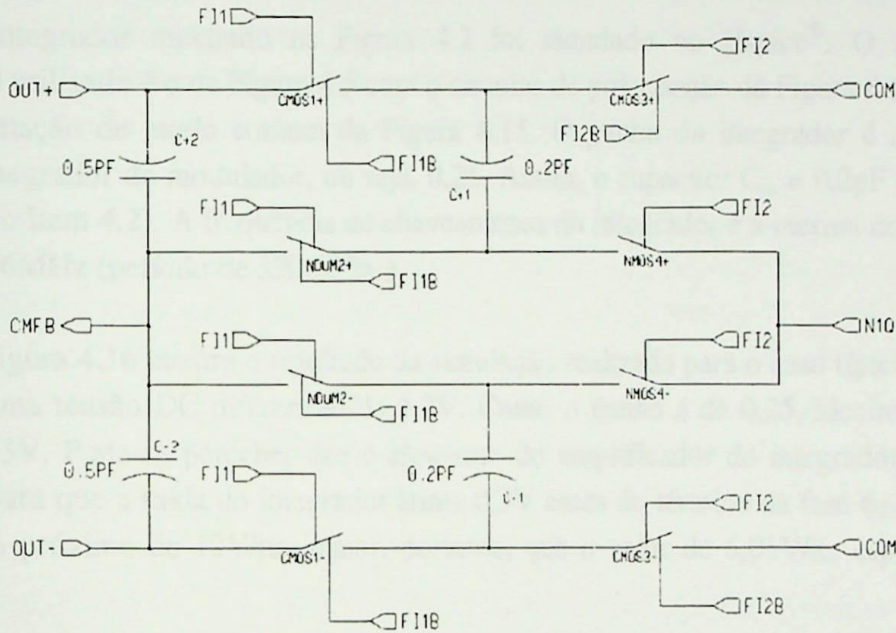


Figura 4.15 – Circuito de realimentação de modo comum dinâmico (DCMFB).

O circuito da Figura 4.15 deve ser conectado ao esquemático da Figura 4.5, sendo que CMFB é a tensão de polarização das fontes de corrente formadas por M10 e M11, COM é a tensão de modo comum desejada, N1Q é a tensão quiescente de polarização das fontes de corrente e OUT+/OUT- são as saídas do amplificador *folded-cascode*. Na Figura 4.15 existem chaves CMOS (para nós com grande variação de tensão), NMOS (para nós com pequena variação de tensão) e NDUM (para o nó de realimentação do circuito), que são chaves NMOS com chaves *dummy*. Os valores dos capacitores C1+/C1- e C2+/C2- foram definidos com base em [1].

Desprezando as capacitâncias parasitas e considerando C2+/C2- e C1+/C1- casados, a tensão no nó CMFB é ajustada para um valor tal que a tensão de saída de modo comum do operacional ($(V_{OUT+} + V_{OUT-})/2$) seja igual à tensão do nó COM [13].

Para o correto funcionamento do circuito DCMFB no contexto do integrador chaveado, quando o integrador está amostrando a tensão de entrada (fase ϕ_1), os capacitores C1+ e C1- ajustam as tensões de referência de C2+ e C2-, ou seja, as chaves CMOS1+, CMOS1-, NDUM2+ e NDUM2- se fecham. Quando o integrador está transferindo a carga (fase ϕ_2), os capacitores C1+ e C1- são recarregados com V_{COM} e V_{N1Q} , ou seja, as chaves CMOS3+, CMOS3-, NMOS4+ e NMOS4- se fecham [13].

Quando as chaves CMOS1+, CMOS1-, NDUM2+ e NDUM2- se fecham (início da fase ϕ_1), ocorre um pico de tensão na saída do integrador [13]. Esse pico provoca uma componente de alta frequência no sinal de saída do integrador. No entanto, não provoca nenhuma alteração na banda de frequência do sinal de entrada (10KHz). Isto pode ser observado nas simulações do integrador no próximo item.

4.2.3 Simulação elétrica do integrador

O integrador mostrado na Figura 4.2 foi simulado no Hspice[®]. O amplificador operacional utilizado é o da Figura 4.5 com o circuito de polarização da Figura 4.6 e o circuito de realimentação de modo comum da Figura 4.15. O ganho do integrador é o mesmo do primeiro integrador do modulador, ou seja, 0,25. Assim, o capacitor $C_{in} = 0,2\text{pF}$ e $C_f = 0,8\text{pF}$ (Tabela 3 do Item 4.2). A frequência de chaveamento do integrador é a mesma do modulador, ou seja, 2,56MHz (período de 390,625ns).

A Figura 4.16 mostra o resultado da simulação realizada para o caso típico. O sinal de entrada é uma tensão DC diferencial de 1,2V. Como o ganho é de 0,25, idealmente a saída deve ser 0,3V. Pode-se perceber que o *slew-rate* do amplificador do integrador é mais que suficiente para que a saída do integrador atinja 0,3V antes do término da fase ϕ_2 . Nesse caso, o valor fica próximo de 12V/ μs , maior, portanto, que o valor de 6,01V/ μs especificado no Item 3.2.1.

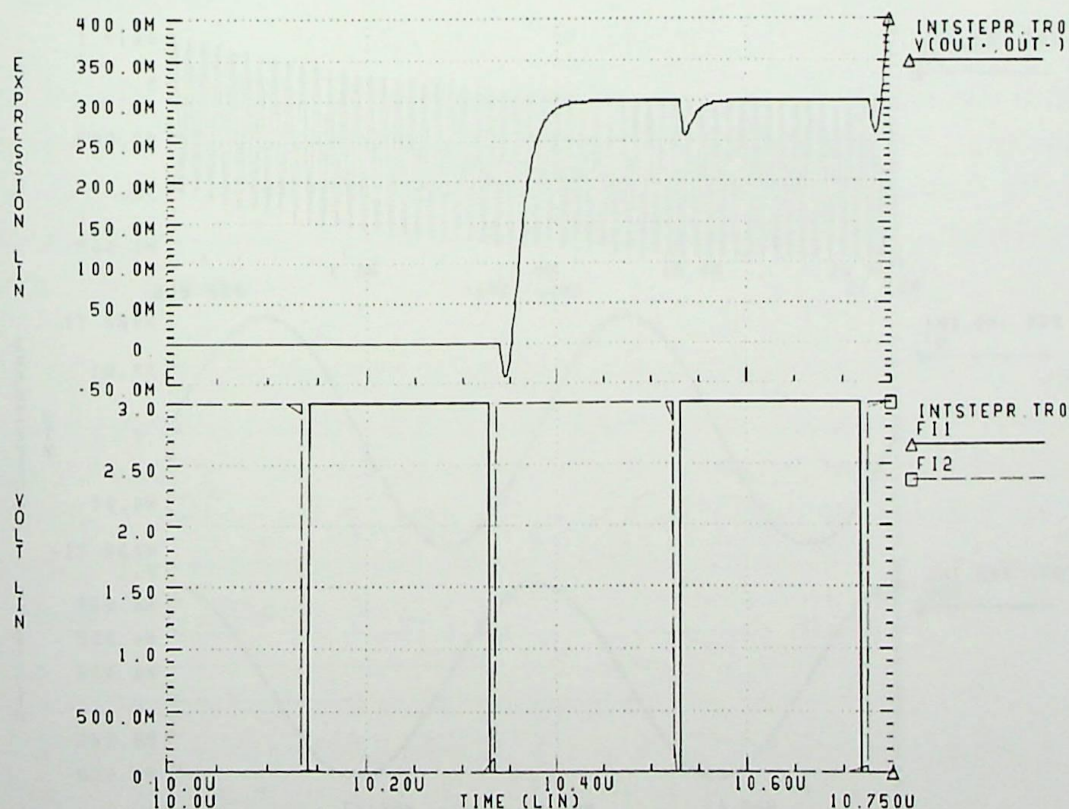


Figura 4.16 – Resposta do integrador (saída diferencial $V(out+, out-)$) a uma tensão DC diferencial de 1,2V amostrada na fase ϕ_1 .

Na Figura 4.16 pode-se observar o pico de tensão mencionado no Item 4.2.2 (da fase 2 para a fase 1), devido ao circuito de realimentação de modo comum dinâmico (DCMFB). Esse pico, como dito antes, não produz distorções na banda de frequência do sinal de entrada do modulador.

Os resultados de outra simulação realizada, também para o caso típico, são mostrados nas Figuras 4.17 e 4.18. A Figura 4.17 mostra a saída diferencial do integrador da Figura 4.2 para uma senóide aplicada à entrada. A frequência do sinal de entrada é de 2,5KHz e a amplitude foi ajustada para se obter uma tensão de pico na saída de aproximadamente 0,72V (amplitude máxima dos integradores do modulador de segunda ordem). A Figura 4.18 mostra o espectro do sinal de saída do integrador calculado pelo Hspice®.

Na Figura 4.17, a primeira curva mostra a saída em função do tempo total de simulação e as curvas 2 e 3 mostram a entrada e a saída, respectivamente, em função de um tempo parcial de simulação. Como se pode observar na Figura 4.17, a saída possui um transitório inicial e, depois, se estabiliza. Por causa disso, percebe-se uma componente DC no espectro do Figura 4.18. A THD calculada pelo Hspice® do espectro da Figura 4.18 (na banda de frequência do sinal de entrada do modulador), indicou uma distorção de apenas 0,0122%, que é menor que o valor de 0,02% especificado inicialmente. Transformando em bits, tem-se:

$$\frac{1}{2^n} = 0,0122\% = \frac{0,0122}{100} \Rightarrow 2^n = 8196,72 \Rightarrow n \cdot \log 2 = \log 8196,72 \Rightarrow n = 13 \text{ bits}$$

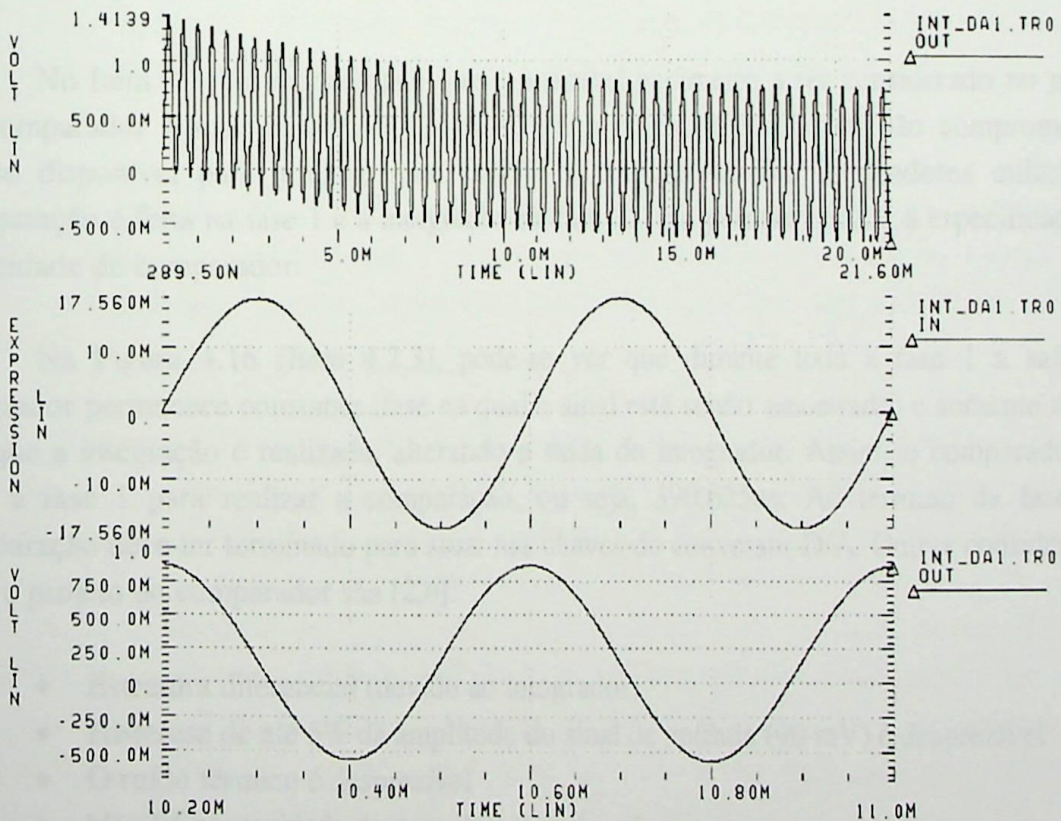


Figura 4.17 – Entrada e saída diferencial do integrador da Figura 4.2.

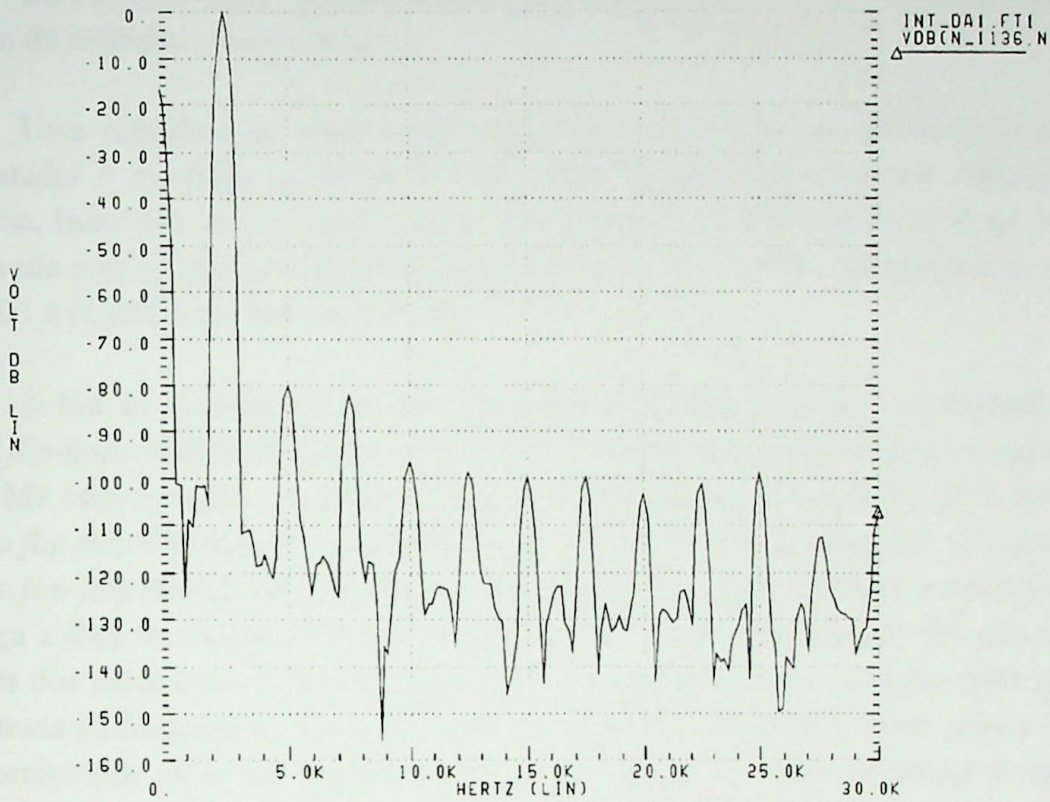


Figura 4.18 – Espectro do sinal de saída do integrador.

4.3 Comparador

No Item 3.3, foi mencionado que o principal parâmetro a ser considerado no projeto do comparador é sua velocidade, que deve ser a maior possível para não comprometer o tempo disponível para a integração. Devido à configuração de integradores utilizada, a comparação é feita na fase 1 e a integração na fase 2. Isso permite relaxar a especificação de velocidade do comparador.

Na Figura 4.16 (Item 4.2.3), pode-se ver que durante toda a fase 1 a saída do integrador permanece constante (fase na qual o sinal está sendo amostrado) e somente na fase 2 é que a integração é realizada, alterando a saída do integrador. Assim, o comparador tem toda a fase 1 para realizar a comparação, ou seja, 390,625ns. Ao término da fase 1, a comparação deve ter terminado para atuar nas chaves do conversor D/A. Outras considerações para o projeto do comparador são [2,6]:

- Estrutura diferencial (devido ao integrador)
- Histerese de até 5% da amplitude do sinal de entrada (90 mV) é desprezível
- O ruído térmico é desprezível
- Não há necessidade de cancelamento de *offset*

Do exposto acima, pode-se concluir que o comparador é o bloco menos crítico no projeto do modulador sigma-delta.

Uma topologia de circuito que atende, com folga, todas as especificações para o comparador é mostrada na Figura 4.19 [19]. Este circuito possui uma área relativamente pequena, baixa histerese e é muito rápido. No esquemático da Figura 4.19, os vários V_{DD} s e GNDs são para separar as conexões de fonte e substrato. INV1 e INV2 são portas inversoras e NAND1 à NAND4 formam um *latch* SR.

A fase ϕ_1 do modulador é a fase de comparação e a fase ϕ_2 é a de *reset*. Durante a fase ϕ_2 , os *flip-flops* NMOS (M4, M5) e PMOS (M6, M7) estão desconectados, pois os transistores M8 e M9 estão cortados. Ao mesmo tempo, os transistores de precarga (M10, M11) levam os nós do *flip-flop* PMOS para V_{DD} , enquanto que os transistores de descarga (M1, M2) levam os nós do *flip-flop* NMOS para próximo de GND. Quando ϕ_1 vai para alto, uma corrente de carga começa a fluir do *flip-flop* PMOS para o NMOS. Uma parte dessa corrente flui para o terra através dos transistores de descarga M1 e M2, que tem seus *gates* controlados pelas tensões de entrada do comparador (saídas do segundo integrador do modulador). Desde que os valores das correntes de dreno dos transistores de descarga diferem, uma grande diferença de tensão é obtida quando as tensões de dreno do *flip-flop* NMOS excedem a tensão *threshold*. Essa diferença de tensão é amplificada rapidamente depois do *flip-flop* ultrapassar o ganho unitário [19]. Essa diferença de tensão amplificada é passada para o *flip-flop* PMOS (através de M8 e M9) e é amplificada novamente para valores próximos ao da alimentação.

Após o circuito comparador efetuar a comparação, os inversores INV1 e INV2 levam o resultado para V_{DD} ou GND e o *latch* SR mantém o resultado até a próxima fase de comparação.

O comprimento de canal dos transistores do circuito comparador (com exceção de M8 e M9) foi feito 3 vezes maior que o mínimo para minimizar o descasamento. O mesmo foi adotado para a largura de canal, mantendo a relação de 2,2 vezes entre transistores NMOS e PMOS.

A Figura 4.20 mostra o resultado de uma simulação do circuito realizada no Hspice[®]. Os sinais de entrada IN+ e IN- começam com 1mV abaixo e acima do terra analógico, respectivamente, e se alternam durante a simulação. A figura mostra os resultados dos três casos simulados, ou seja, típico, pior de velocidade e pior de potência. Como se pode ver pela Figura 4.20, a histerese do comparador é praticamente zero. Obviamente que devido a problemas de casamento, o circuito real deve apresentar alguma histerese, porém bem menor que a especificada (90 mV). Pode-se observar, também na Figura 4.20, que em todos os casos a comparação é feita muito antes do término de um ciclo da fase ϕ_1 (tempo disponível para a comparação). O maior tempo foi de 28ns (pior caso de velocidade).

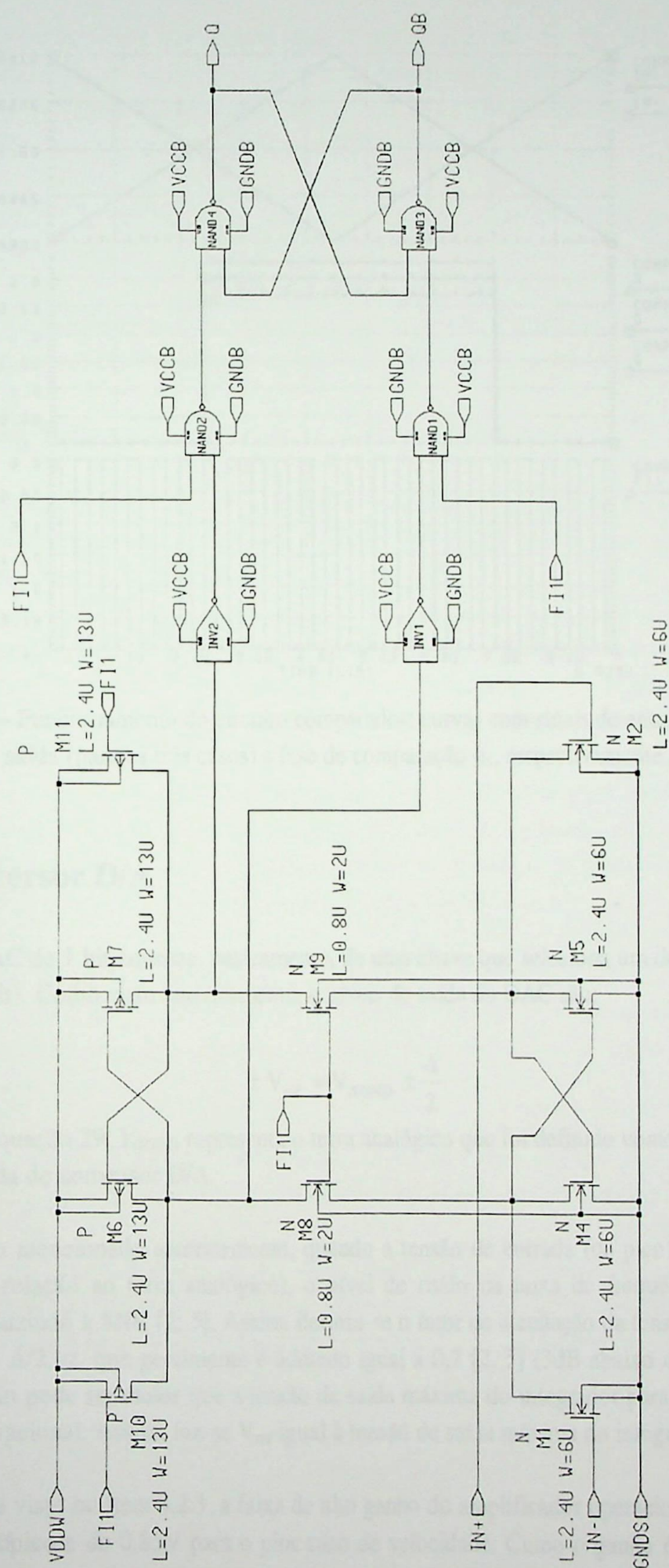


Figura 4.19 – Esquemático completo do circuito comparador.

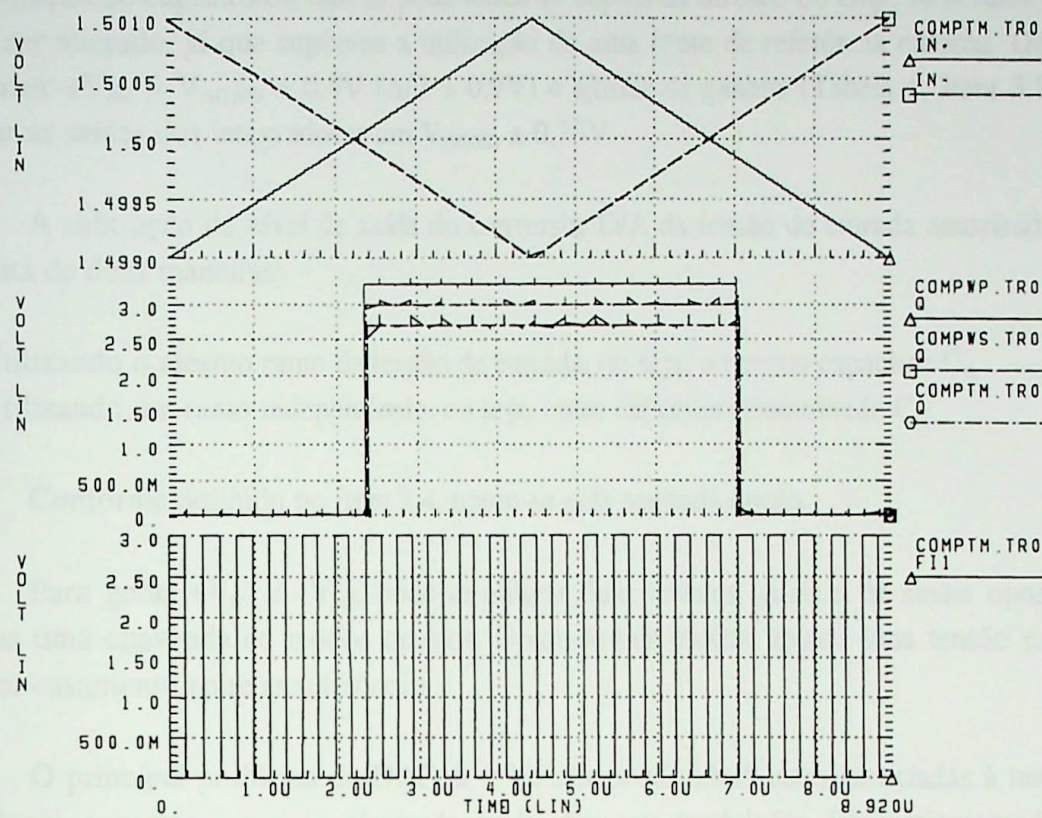


Figura 4.20 – Funcionamento do circuito comparador: curvas com sinais de entrada, sinais de saída (para os três casos) e fase de comparação ϕ_1 , respectivamente.

4.4 Conversor D/A

O DAC de 1 bit consiste, basicamente, de uma chave que seleciona um dos dois níveis de saída (1 bit). Como visto anteriormente, o níveis de saída do DAC são:

$$\pm V_{ref} = V_{AGND} \pm \frac{\Delta}{2} \tag{29}$$

Na Equação 29, V_{AGND} representa o terra analógico que foi definido como $V_{DD}/2$ e Δ é o *step* de saída do conversor D/A.

Como mencionado anteriormente, quando a tensão de entrada (de pico) aproxima-se de $\Delta/2$ (em relação ao terra analógico), o nível de ruído na faixa de frequência do sinal aumenta, reduzindo a SNR [2, 5]. Assim, definiu-se o fator de atenuação da tensão de entrada em relação a $\Delta/2$, α , que geralmente é adotado igual a 0,7 [2, 5] (3dB abaixo de $\Delta/2$). Além disso, V_{ref} não pode ser maior que a tensão de saída máxima do integrador para não saturar a saída do operacional. Assim, faz-se V_{ref} igual à tensão de saída máxima do integrador [1].

Como visto no Item 4.2.1, a faixa de alto ganho do amplificador operacional é de 1,1V para o caso típico e de 0,85V para o pior caso de velocidade. Como o ganho é definido por

uma relação de capacitores, não se pode mudá-lo depois da difusão do *chip*. Já o valor de V_{ref} pode ser alterado, já que supõe-se a utilização de uma fonte de referência externa. Optou-se por fazer $\pm V_{ref} = V_{AGND} \pm 0,9V$ ($\Delta/2 = 0,9V$) e ajustar os ganhos (Tabela 1, Item 3.5) para limitar as saídas dos integradores em $V_{AGND} \pm 0,75V$.

A subtração do nível de saída do conversor D/A da tensão de entrada amostrada pode ser feita de duas maneiras:

- Utilizando o mesmo ramo da tensão de entrada, ou seja, o mesmo capacitor C_{in}
- Utilizando um ramo independente, ou seja, outro capacitor denominado C_{if}

Conforme definido no Item 3.4, optou-se pela segunda opção.

Para gerar $+V_{ref}$ e $-V_{ref}$, pode-se utilizar duas tensões iguais e de sinais opostos ou apenas uma chaveada de modos opostos. Optou-se por utilizar apenas uma tensão para um melhor casamento entre as referências.

O principal problema do DAC de 1 bit são as não-idealidades associadas à tensão de referência que gera os dois níveis de saída. Em um modulador $\Sigma\Delta$ implementado com capacitor chaveado, a carga é obtida da tensão de referência e liberada para os integradores.

No que se refere à obtenção da carga a partir da referência, a quantidade de carga e o tempo para se obter a carga deve ser idêntico a cada ciclo [6]. Algumas implementações de conversores D/A fazem a obtenção de carga depender da densidade de pulsos. Isto equivale a uma variação de carga para a referência e introduz distorções [6].

No que se refere à liberação da carga para os integradores, a carga armazenada no capacitor C_{if} (obtida da referência), deve ser totalmente liberada para o integrador e o tempo para essa liberação não deve depender do tempo de comparação [6], como acontece em algumas implementações.

As duas não-idealidades mencionadas acima são mais críticas para moduladores operando em frequências mais elevadas, porém devem ser evitadas em qualquer arquitetura.

Uma implementação que resolve esses problemas é apresentada na Figura 4.21 [6]. Essa implementação aproveita a estrutura diferencial do integrador para liberar uma carga positiva ou negativa para os nós de soma do integrador.

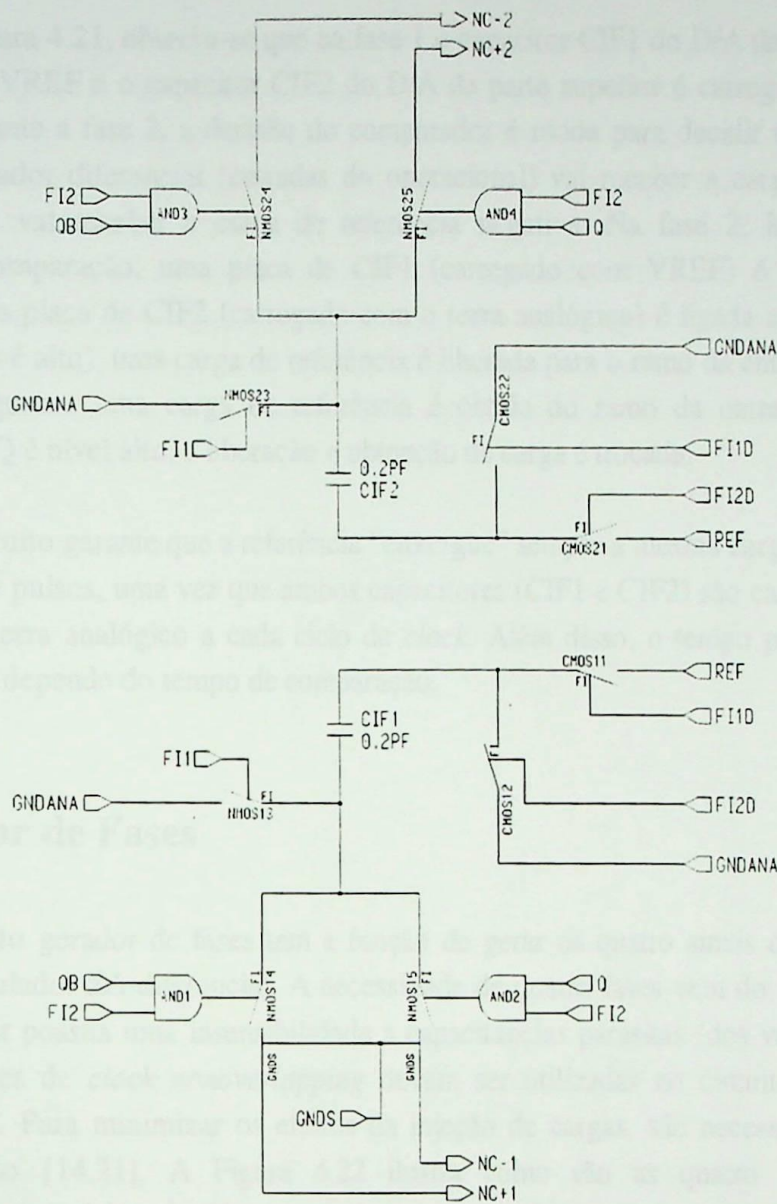


Figura 4.21 – Esquemático do conversor D/A de um bit.

Os conversores D/A da Figura 4.21 são os blocos D/A1+ e D/A1- do modulador $\Sigma\Delta$ diferencial da Figura 4.1. Na Figura 4.21, GNDANA é o terra analógico, FI1, FI1D, FI2 e FI2D são as fases de *clock* do modulador (fase 1, fase 1 atrasada, fase 2 e fase 2 atrasada, respectivamente), Q e QB são as saídas do comparador, VREF é a tensão de referência (GNDANA + 0,9V), CIF1 e CIF2 são os capacitores de amostragem dos conversores D/A. Os nós NC+1 e NC+2 são ligados ao ramo da entrada positiva do modulador (entrada IN- do amplificador operacional diferencial) e os nós NC-1 e NC-2 são ligados ao ramo da entrada negativa do modulador (entrada IN+ do amplificador operacional diferencial).

As chaves associadas à tensão VREF (2,4V no caso típico) são do tipo CMOS e as demais NMOS. O valor dos capacitores CIF1 e CIF2 foi definido com base no ganho d1 da Tabela 1 do Item 3.5.

Pela Figura 4.21, observa-se que na fase 1 o capacitor CIF1 do D/A da parte inferior é carregado com VREF e o capacitor CIF2 do D/A da parte superior é carregado com o terra analógico. Durante a fase 2, a decisão do comparador é usada para decidir qual dos nós de soma do integrador diferencial (entradas do operacional) vai receber a carga de referência positiva e qual vai receber a carga de referência negativa. Na fase 2, independente do resultado da comparação, uma placa de CIF1 (carregado com VREF) é ligada ao terra analógico e uma placa de CIF2 (carregado com o terra analógico) é ligada a VREF. Se Q é nível baixo (QB é alto), uma carga de referência é liberada para o ramo da entrada positiva do modulador, enquanto uma carga de referência é obtida do ramo da entrada negativa do modulador. Se Q é nível alto, a liberação e obtenção de carga é trocada.

Este circuito garante que a referência “enxergue” sempre a mesma carga, independente da densidade de pulsos, uma vez que ambos capacitores (CIF1 e CIF2) são carregados entre a referência e o terra analógico a cada ciclo de *clock*. Além disso, o tempo para a carga dos capacitores não depende do tempo de comparação.

4.5 Gerador de Fases

O circuito gerador de fases tem a função de gerar os quatro sinais de *clock* para as chaves do modulador $\Sigma\Delta$ diferencial. A necessidade de quatro fases vem do integrador. Para que o integrador possua uma insensibilidade a capacitâncias parasitas (dos vários nós para o terra), duas fases de *clock nonoverlapping* devem ser utilizadas no circuito integrador da Figura 4.2 [20]. Para minimizar os efeitos da injeção de cargas, são necessárias mais duas fases em atraso [14,21]. A Figura 4.22 ilustra como são as quatro fases de *clock nonoverlapping* com *delay*.

Utilizando esse esquema de chaveamento, é possível manter os terminais das chaves dos nós de soma do modulador a um potencial aproximadamente constante [21], tornando a injeção de cargas independente do sinal (basicamente um erro de *offset*). Com a utilização de uma estrutura diferencial, mesmo este *offset* pode ser praticamente eliminado.

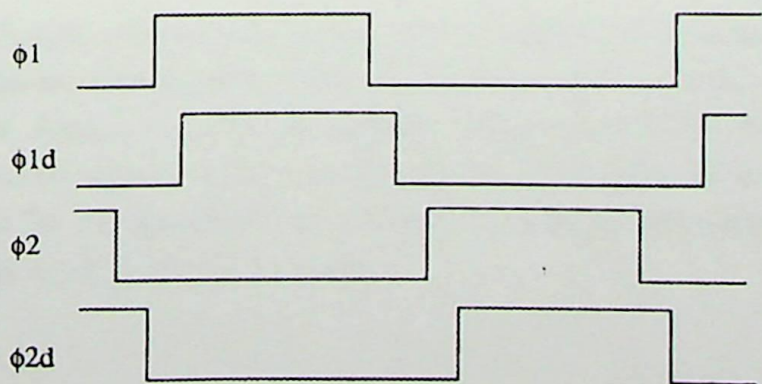


Figura 4.22 – Fases de *clock* necessárias ao funcionamento do modulador.

Um circuito que é tradicionalmente utilizado para gerar essas fases de *clock* é mostrado no esquemático da Figura 4.23 [20]. No esquemático, as duas portas NOR e os 13 inversores garantem a geração das fases *nonoverlapping* e as fases com *delay*. Como no circuito modulador são utilizadas algumas chaves CMOS, existe a necessidade de se gerar as fases invertidas totalizando, dessa forma, oito fases de *clock*. As portas Buff1 a Buff8 são pequenos *buffers* para excitar todas as chaves do modulador. Os *ports* VCCD e GNDD representam a fonte de alimentação e o terra digital, que serão ligados em *pads* separados da alimentação analógica. A alimentação dos *buffers* também foi separada das demais, seguindo recomendações descritas em [20]. Isso permite deixar os sinais de *clock* menos sujeitos a ruído digital.

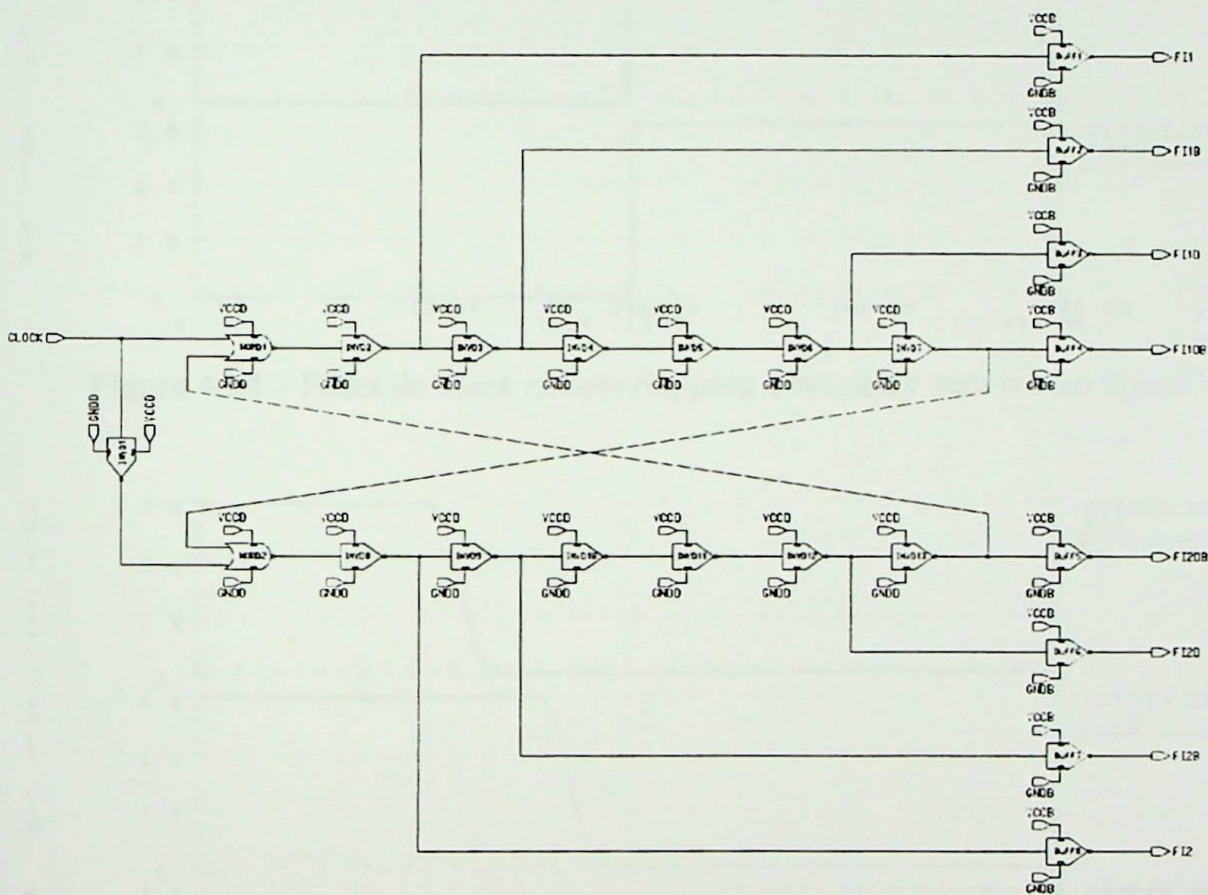


Figura 4.23 – Esquemático do circuito gerador das fases de *clock*.

Os tempos adotados foram baseados em resultados de simulações apresentadas em [22]. Esses valores foram aumentados para não ficarem muito pequenos nas simulações de pior caso de potência. Assim, o atraso da fase FI1 para a fase FI1D, assim com de FI2 para FI2D, foi de 2,5ns (caso típico) e da fase FI1 para a fase FI2 foi de 4ns (caso típico). O circuito da Figura 4.23 foi simulado no Hspice® e alguns resultados de simulação são mostrados nas Figuras 4.24, 4.25, 4.26 e 4.27.

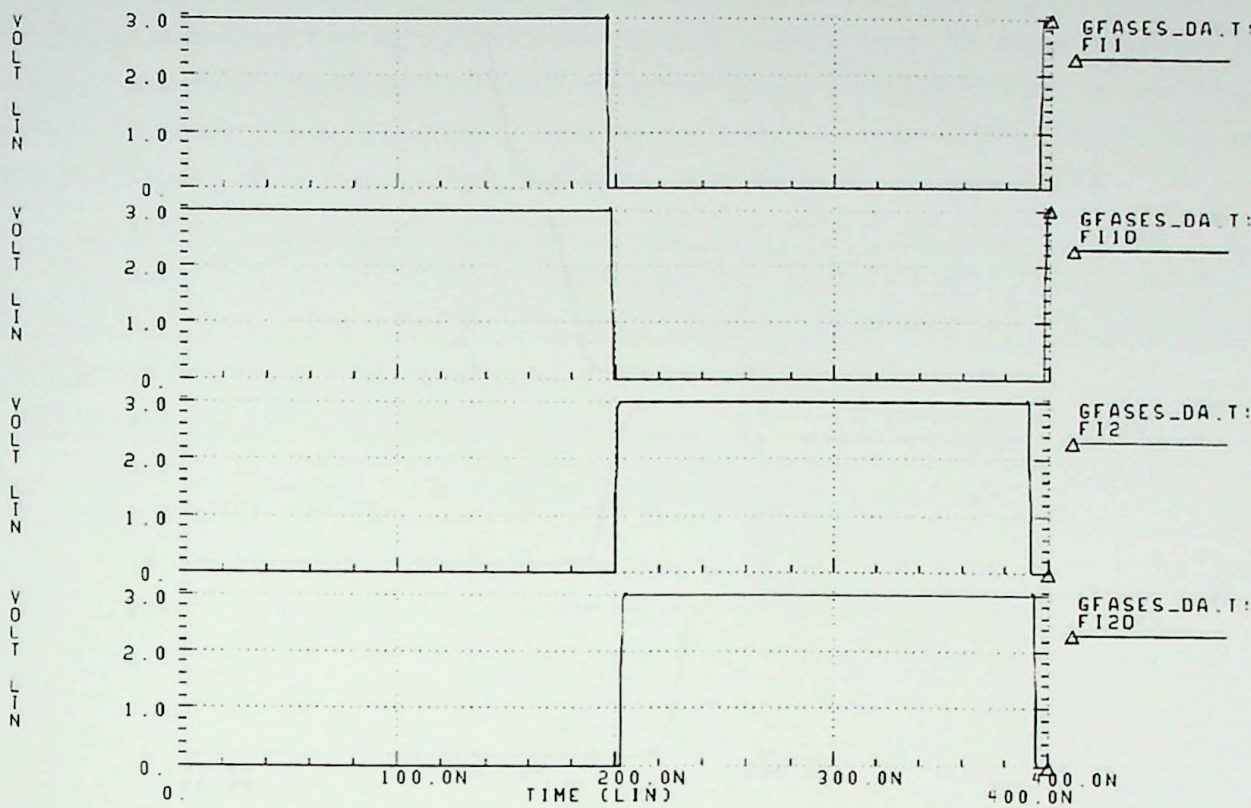


Figura 4.24 – Fases de *clock nonoverlapping* com *delay* para o caso típico.

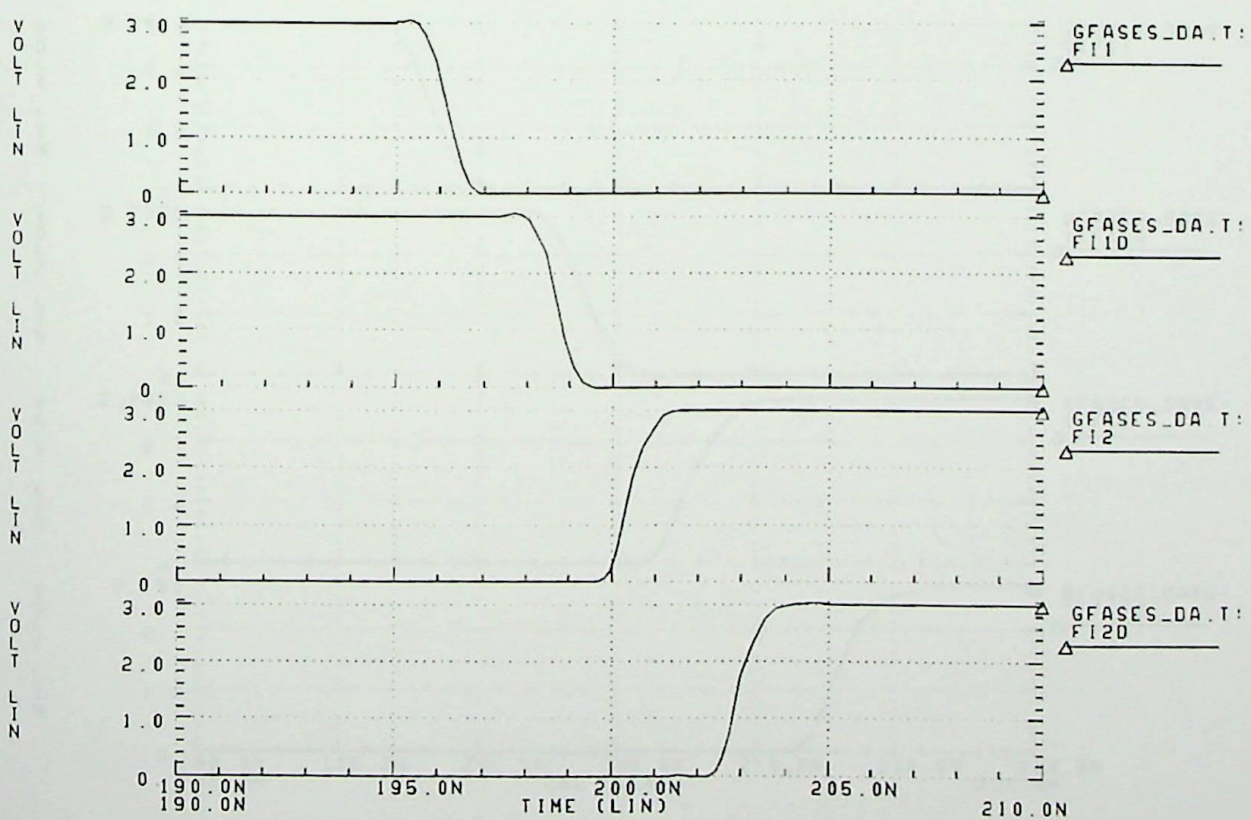


Figura 4.25 – Detalhe da transição das quatro fases da Figura 4.24.

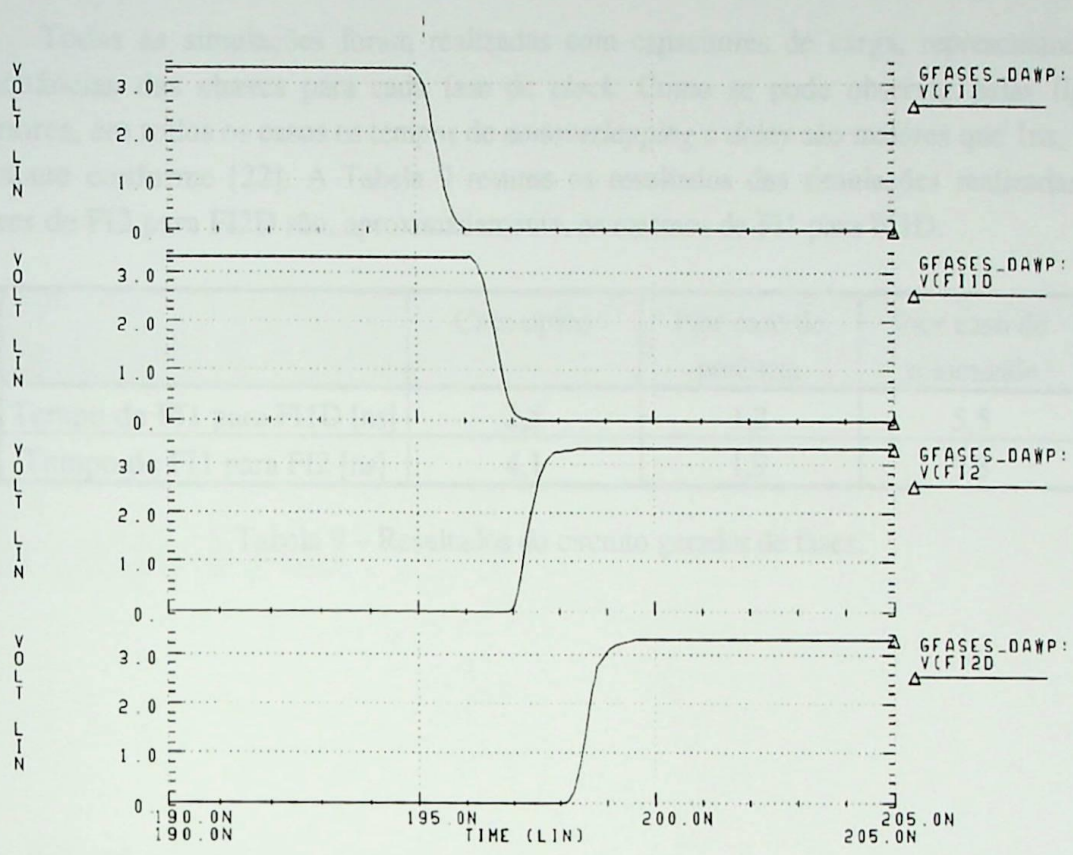


Figura 4.26 – Fases de *clock nonoverlapping* com *delay* para o pior caso de potência.

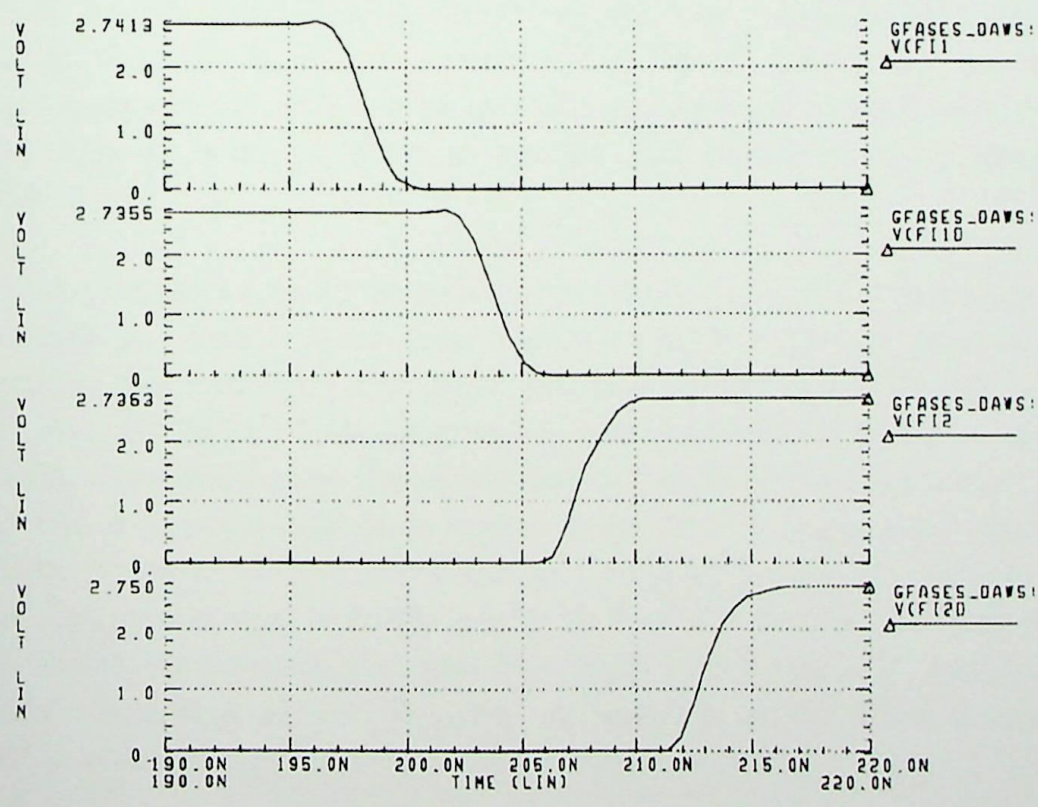


Figura 4.27 – Fases de *clock nonoverlapping* com *delay* para o pior caso de velocidade.

Todas as simulações foram realizadas com capacitores de carga, representando as capacitâncias das chaves para cada fase de *clock*. Como se pode observar pelas figuras anteriores, em todos os casos os tempos de *nonoverlapping* e *delay* são maiores que 1ns, valor suficiente conforme [22]. A Tabela 9 resume os resultados das simulações realizadas. Os valores de FI2 para FI2D são, aproximadamente, os mesmos de FI1 para FI1D.

	Caso típico	Pior caso de potência	Pior caso de velocidade
Tempo de FI1 para FI1D [ns]	2,5	1,2	5,5
Tempo de FI1 para FI2 [ns]	4,1	1,9	9,3

Tabela 9 – Resultados do circuito gerador de fases.

3.1 Simulações

A primeira simulação realizada foi a análise de desempenho do circuito gerador de fases. Para isso, foi utilizado o espectro de frequência do sinal de saída para uma análise e aplicação à corrente de modulação. Para isso, foi utilizada a análise FFT de Hspice[®], que analisa o espectro e a distorção harmônica total (THD) de um sinal. Para simulação para o cálculo do espectro de um sinal de saída de um módulo, devem ser fornecidos alguns parâmetros, como os descritos no Apêndice B.

O esquemático completo do gerador de fases é mostrado na Figura 3.1. Para a simulação foi utilizado para fazer o layout sobre o componente (LVS) e, por isso, algumas vezes alimentadores para cada bloco (parte digital, parte analógica, alimentação de carga, entre as partes). Na Figura 3.1 não são mostrados o circuito gerador de fases e o circuito de polarização dos amplificadores operacionais. Isso foi feito para deixar a figura mais “limpa”, pois devido à grande quantidade de conexões dentro dos circuitos, ficava difícil visualizar o circuito de modulação. A partir dessa simulação, foi gerado o espectro de simulação para o Hspice[®] juntamente com o circuito gerador de fases e o circuito de polarização dos amplificadores operacionais. Para isso, foi utilizado o Hspice[®]. No Apêndice C, é mostrado o arquivo gerado pelo Hspice[®]. A Figura 3.2, que é o gráfico de saída da Figura 3.1, mostra as capacitâncias chaveadas na corrente de modulação.

Capítulo 5

Circuito Final

5.1 Simulações

A forma utilizada para se analisar o desempenho do circuito modulador completo foi através do espectro de frequência do sinal de saída para uma senóide aplicada à entrada do modulador. Para isso, foi utilizada a análise FFT do Hspice[®], que calcula o espectro e a distorção harmônica total (THD) de um sinal. Nas simulações para o cálculo do espectro do sinal de saída do modulador, devem ser tomados alguns cuidados, como os descritos no Apêndice B.

O esquemático completo do modulador é mostrado na Figura 5.1. Esse esquemático foi utilizado para fazer o *layout versus* esquemático (LVS) e, por isso, apresenta várias alimentações para cada bloco (terra digital, terra analógico, alimentação de poço, anéis de guarda, etc.). Na Figura 5.1 não são mostrados o circuito gerador de fases e o circuito de polarização dos amplificadores operacionais. Isso foi feito para deixar a figura mais “clara”, pois devido à grande quantidade de ligações desses circuitos, ficaria difícil visualizar o circuito do modulador. A partir desse esquemático, foi gerado o arquivo de simulação para o Hspice[®] (juntamente com o circuito gerador de fases e o circuito de polarização dos amplificadores operacionais). Para isso, foi utilizado o Hspicenet[®]. No Apêndice C, é mostrado o arquivo gerado pelo Hspicenet[®]. A Figura 5.2, que é o detalhe destacado na Figura 5.1, mostra os capacitores chaveados na entrada do modulador.

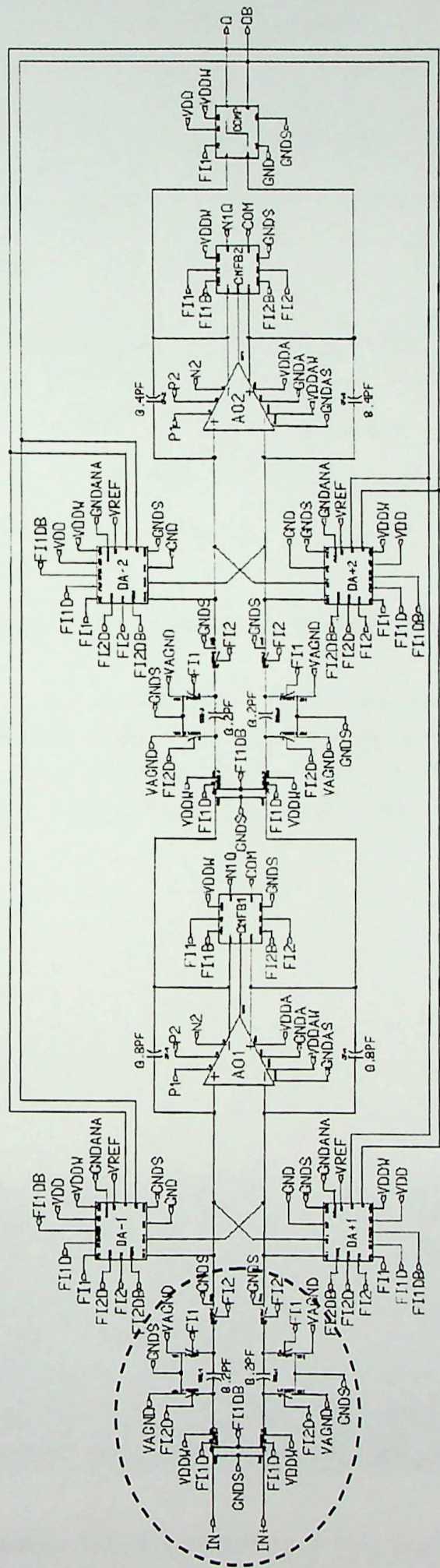


Figura 5.1 – Esquemático completo do modulador sigma-delta.

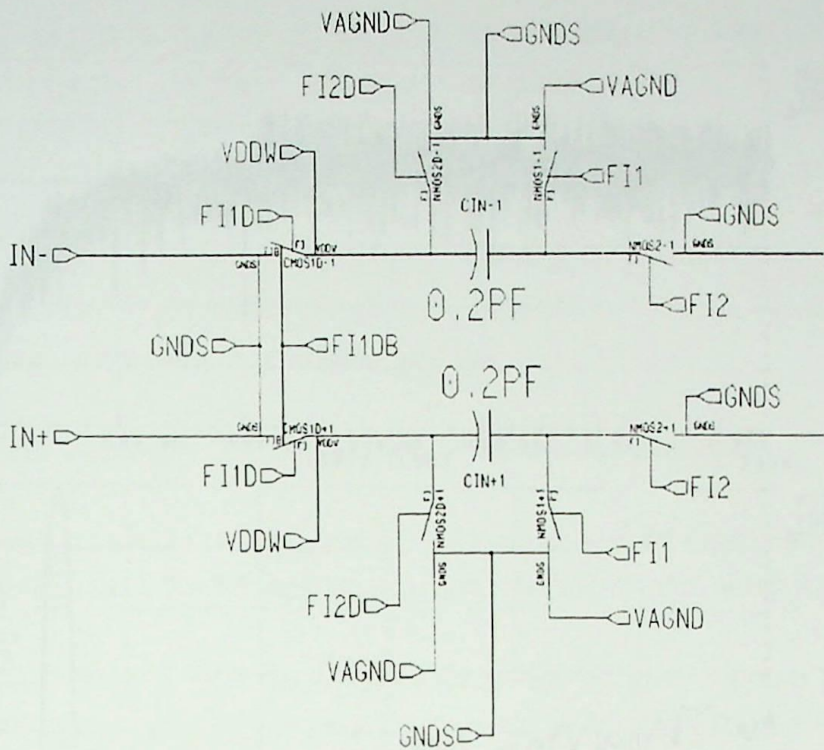


Figura 5.2 – Capacitores chaveados da entrada do modulador (detalhe da Figura 5.1).

As Figuras 5.3 e 5.4 mostram um resultado de simulação para o caso típico. A Figura 5.3 mostra um ciclo da entrada diferencial (que equivale a uma senóide de 0,6V de pico em cada uma das entradas) com frequência de 2,5KHz e a saída do modulador referenciada ao terra analógico. A Figura 5.4 mostra o espectro desse sinal de saída.

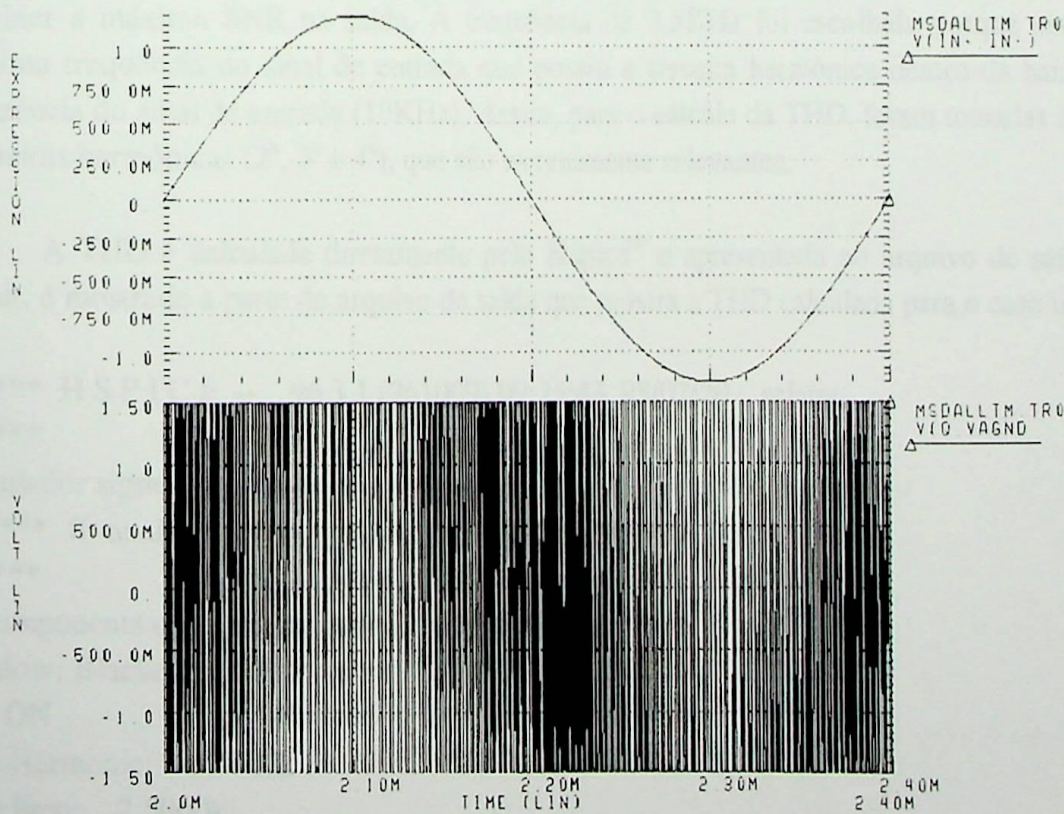


Figura 5.3 – Entrada e saída do modulador sigma-delta simulado no Hspice®.

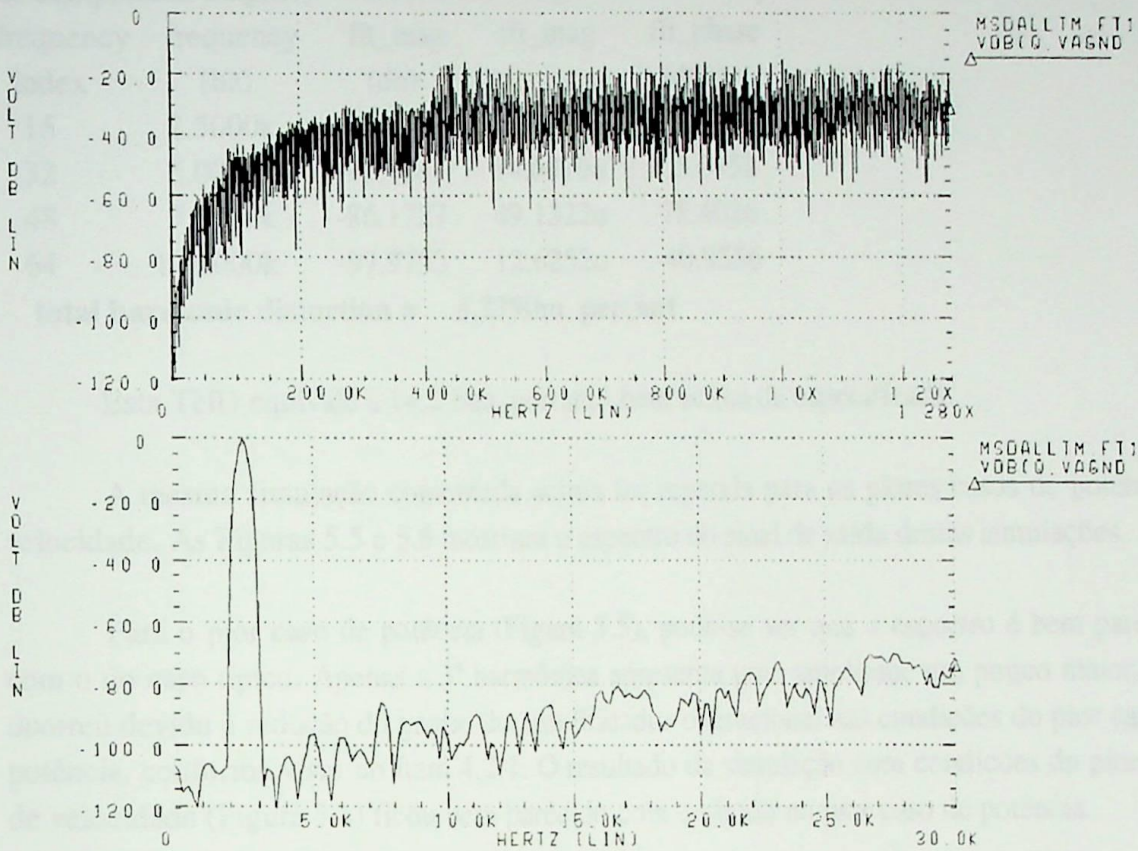


Figura 5.4 – Espectro do sinal de saída do modulador simulado para o caso típico.

A amplitude aplicada às entradas do modulador é de aproximadamente -3dB dos níveis de saída do conversor D/A. Teoricamente, essa é a amplitude da tensão de entrada para se obter a máxima SNR na saída. A frequência de 2,5KHz foi escolhida porque esta é a máxima frequência do sinal de entrada que possui a terceira harmônica dentro da banda de frequência do sinal de entrada (10KHz). Assim, para o cálculo da THD, foram tomadas as três primeiras harmônicas (2ª, 3ª e 4ª), que são as realmente relevantes.

A THD é calculada diretamente pelo Hspice® e apresentada no arquivo de saída. A seguir, é mostrado a parte do arquivo de saída que mostra a THD calculada para o caso típico.

```
***** H S P I C E -- 96.3.1 (961009) 09:25:44 98/07/20 solaris
*****
modulador sigma-delta de segunda ordem
***** fft analysis tnom= 25.000 temp= 25.000
*****
fft components of transient response v(q,vagnd)
Window: Blackman-Harris
DC: ON
First Harmonic: 2.5000k
Start Freq: 2.5000k
Stop Freq: 10.0000k
```


dc component: mag(db)= -1.068D+02 mag= 4.585D-06 phase= 1.800D+02

frequency index	frequency (hz)	fft_mag (db)	fft_mag	fft_phase (deg)
16	2.5000k	0.	1.0000	-91.1418
32	5.0000k	-96.7083	14.6079u	105.6452
48	7.5000k	-86.1727	49.1322u	78.4026
64	10.0000k	-97.9753	12.6252u	-40.9556

total harmonic distortion = 5.2790m percent

Esta THD equivale a 14,2 bits, portanto bem acima da especificada.

A mesma simulação comentada acima foi repetida para os piores casos de potência e velocidade. As Figuras 5.5 e 5.6 mostram o espectro do sinal de saída destas simulações.

Para o pior caso de potência (Figura 5.5), pode-se ver que o espectro é bem parecido com o do caso típico. Apenas a 3ª harmônica apresenta uma amplitude um pouco maior. Isso ocorreu devido à redução do ganho do amplificador operacional nas condições do pior caso de potência, conforme visto no Item 4.2.1. O resultado de simulação com condições do pior caso de velocidade (Figura 5.6) ficou bem parecido com o obtido no pior caso de potência.

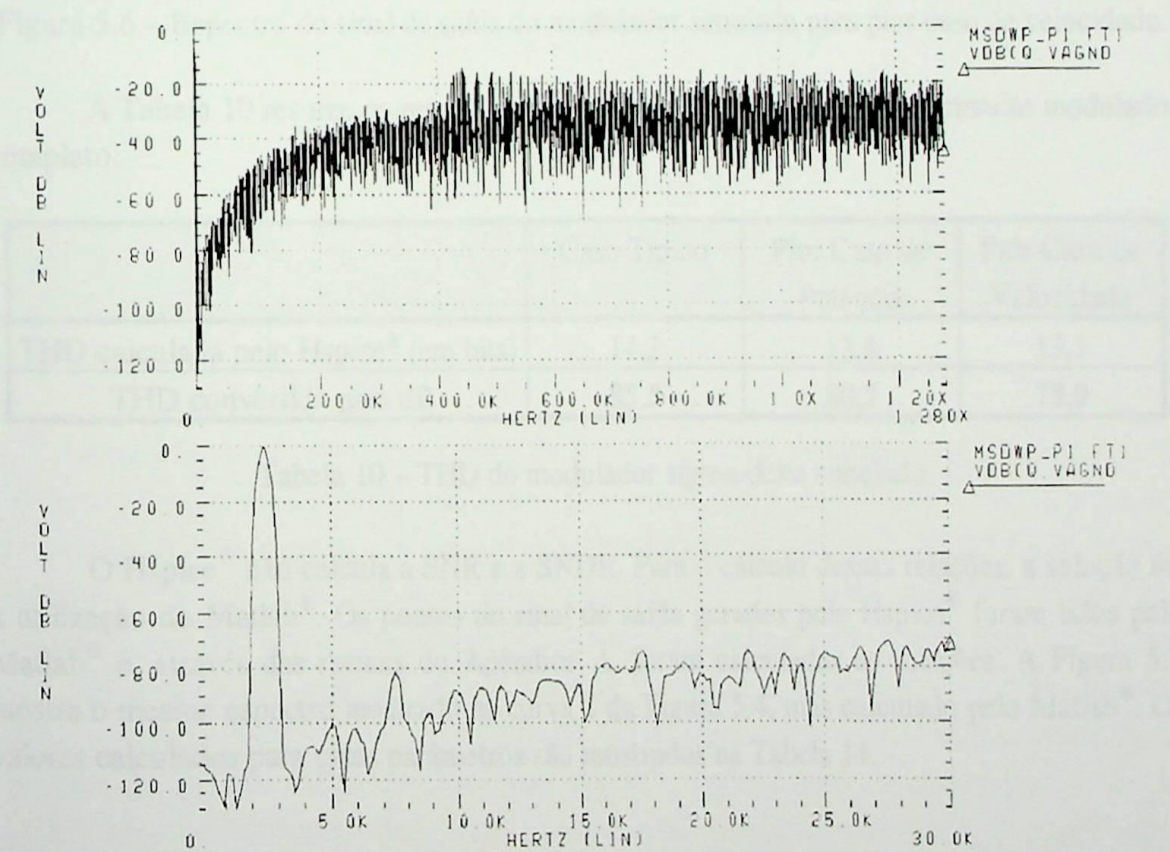


Figura 5.5 – Espectro do sinal de saída do modulador simulado para o pior caso de potência.

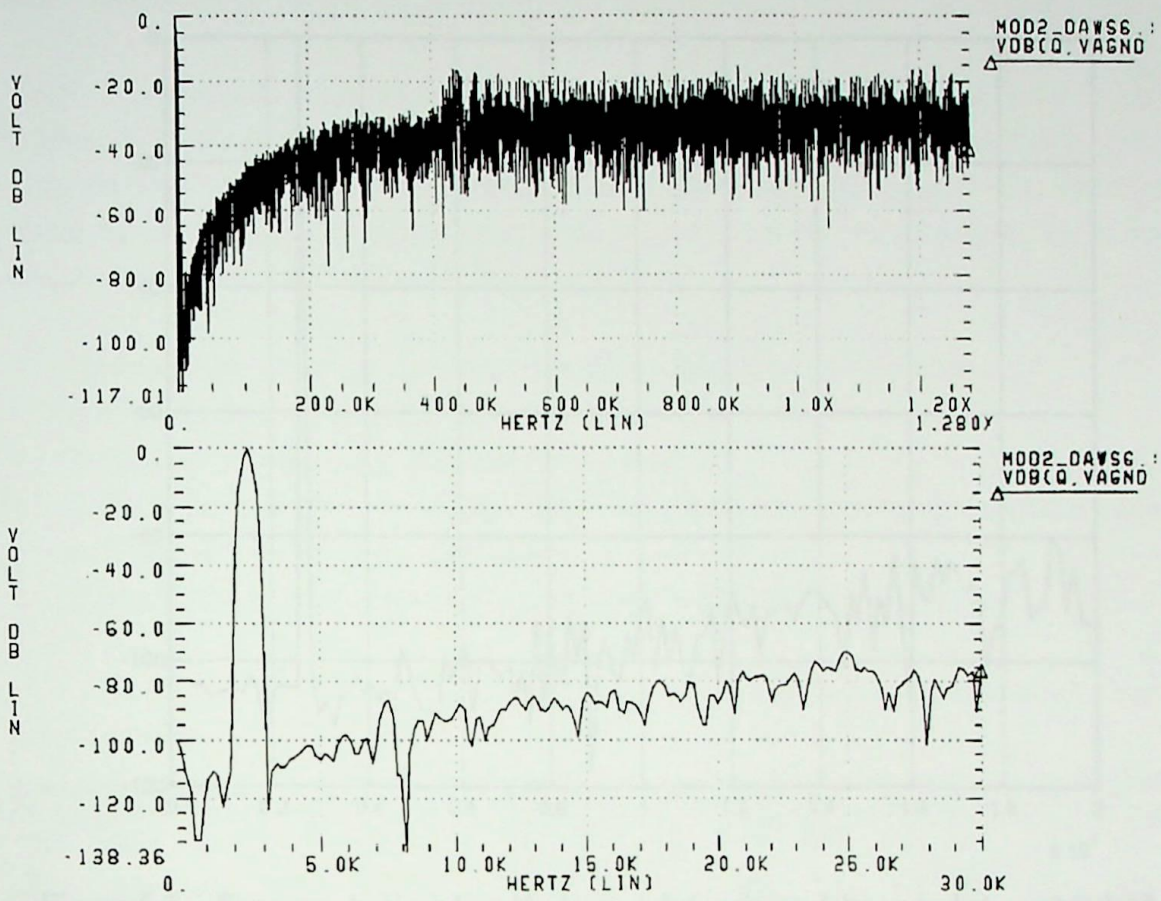


Figura 5.6 – Espectro do sinal de saída do modulador simulado para pior caso de velocidade.

A Tabela 10 resume os resultados das simulações realizadas com o circuito modulador completo.

	Caso Típico	Pior Caso de Potência	Pior Caso de Velocidade
THD calculada pelo Hspice® (em bits)	14,2	13,4	13,1
THD convertida para dB	85,5	80,7	78,9

Tabela 10 – THD do modulador sigma-delta simulado.

O Hspice® não calcula a SNR e a SNDR. Para o cálculo dessas relações, a solução foi a utilização do Matlab®. Os pontos do sinal de saída gerados pelo Hspice® foram lidos pelo Matlab® e, através das rotinas do Apêndice A, foram calculadas as relações. A Figura 5.7 mostra o mesmo espectro mostrado na curva 2 da Figura 5.4, mas calculado pelo Matlab®. Os valores calculados para esses parâmetros são mostrados na Tabela 11.

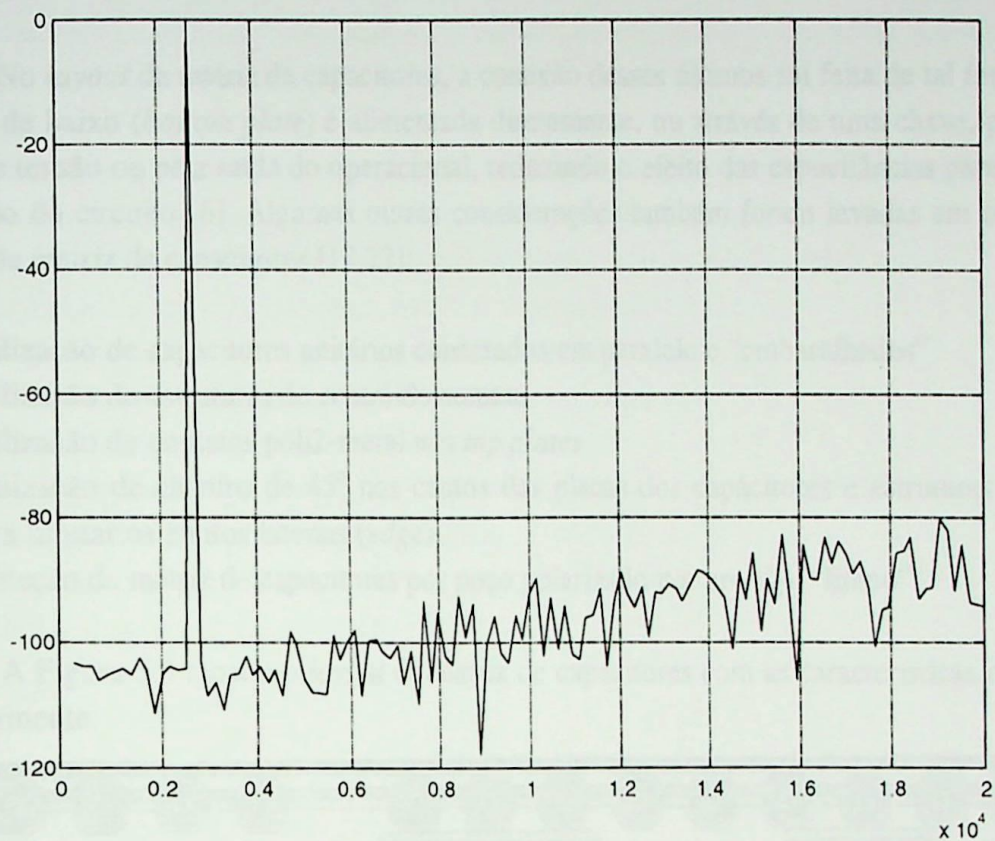


Figura 5.7 – Espectro do sinal de saída do modulador sigma-delta, calculado no Matlab®, utilizando os parâmetros do caso típico.

Parâmetro	Valor (dB)
SNR	82,5
THD	85,5
SNDR	81,4

Tabela 11 – Valores da SNR, THD e SNDR calculados pelo Matlab®.

Dessa forma, nota-se que o valor alcançado para uma simulação real do circuito está bem acima dos 74 dB de relação sinal/ruído necessários para a obtenção de 12 bits de precisão do modulador. No entanto, os valores aqui encontrados já são mais realistas que aqueles encontrados no Item 3.5 (Tabela 2), pois o circuito elétrico simulado considera muitas não-idealidades que não foram consideradas na simulação funcional realizada no Item 3.5. Dentre essas não-idealidades, pode-se citar a potência do ruído de quantização, o ruído térmico devido aos capacitores C_{in} e C_{if} e o ruído devido as transistores do operacional (fator γ_w da Equação 13) que não são computados pelo Matlab®, mas que foram considerados no cálculo da SNR feito no Item 3.2.1. Além disso, há outras não-idealidades inerentes ao amplificador operacional que o Hspice® considera, mas o Matlab® não, como ganho DC finito, *offset*, *slew-rate* e *settling time*. Dessa forma, o valor aqui encontrado para a SNR é bem próximo daquele calculado no Item 3.2.1 (82 dB).

5.2 Layout

No *layout* da matriz de capacitores, a conexão desses últimos foi feita de tal forma que a placa de baixo (*bottom plate*) é alimentada diretamente, ou através de uma chave, por uma fonte de tensão ou pela saída do operacional, reduzindo o efeito das capacitâncias parasitas na operação do circuito [6]. Algumas outras considerações também foram levadas em conta no *layout* da matriz de capacitores [17,22]:

- Utilização de capacitores unitários conectados em paralelo e “embaralhados”
- Utilização de estruturas de centróide comum
- Utilização de contatos poli2-metal nos *top plates*
- Utilização de chanfro de 45° nos cantos das placas dos capacitores e estruturas *dummy* para limitar os efeitos laterais (*edge*)
- Proteção da matriz de capacitores por poço polarizado por um V_{DD} “limpo”

A Figura 5.8 mostra o *layout* da matriz de capacitores com as características descritas anteriormente.

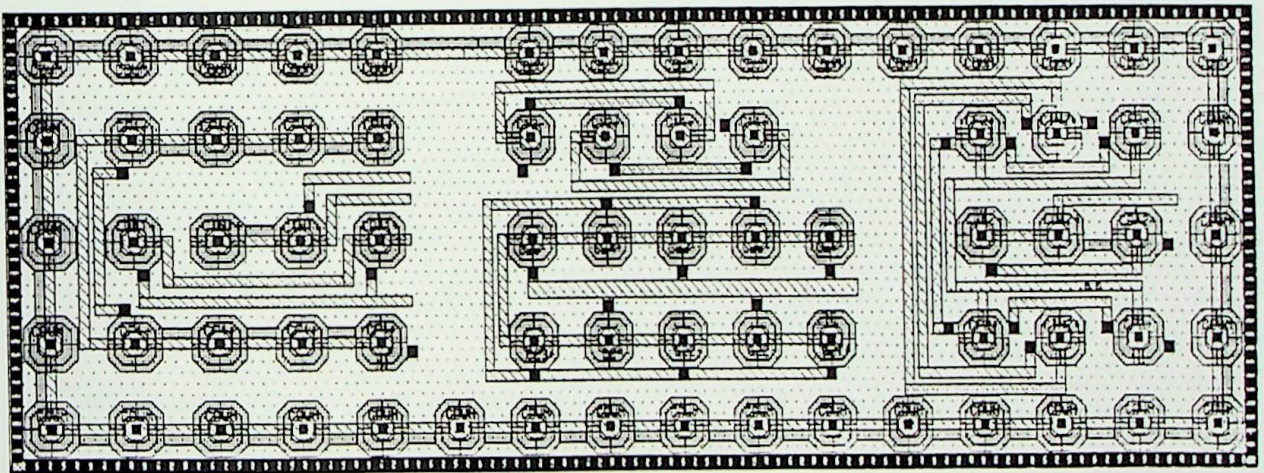


Figura 5.8 – Layout da matriz de capacitores.

O *layout* do modulador sigma-delta, sem os *pads*, é mostrado na Figura 5.9. O circuito foi enviado à *foundry* para ser difundido em um processo CMOS AMS 0,8 μm n-well com duas camadas de poli e duas de metal. O circuito da Figura 5.9 mede 560 μm x 680 μm .

O *layout* da Figura 5.9 mostra o chamado *floorplanning* do circuito modulador sigma-delta [6,17,22], amplamente utilizado na implementação do mesmo. A sua principal característica é fazer com que os circuitos analógicos fiquem o mais longe possível do circuito digital e das chaves (fontes de ruído). Assim, proporciona uma distribuição dos componentes de tal forma que não há o cruzamento das linhas de sinal e de polarização analógicas com o barramento digital. Na Figura 5.9, os elementos analógicos encontram-se no centro do *layout* e são rodeados pela matriz de capacitores, chaves, barramento digital e gerador de fases.

Por se tratar de um circuito misto, alguns cuidados especiais foram tomados para evitar acoplamento de ruído via substrato e através de cruzamentos de linhas analógicas e linhas digitais. Dentre esses cuidados, destacam-se [17,20,22]:

- Utilização de apenas um circuito de polarização para os dois operacionais do modulador
- Colocação do comparador nos limites entre a parte digital e a parte analógica
- Proteção do barramento digital por poço polarizado por um V_{DD} “limpo”
- Utilização de *pads* separados para barramentos analógicos e digitais
- Utilização de *pads* separados para linhas de polarização analógicas e digitais
- Utilização de *guard-rings* protegendo os blocos analógicos
- Separação de trilhas *source*/substrato
- Alimentação dos *buffers* de saída do circuito digital com V_{DD} e GND diferentes da alimentação do circuito digital (V_{DD} digital e GND digital)
- Contato de substrato colocado entre a matriz de capacitores e as chaves, polarizado por GND, para separar porção analógica da digital

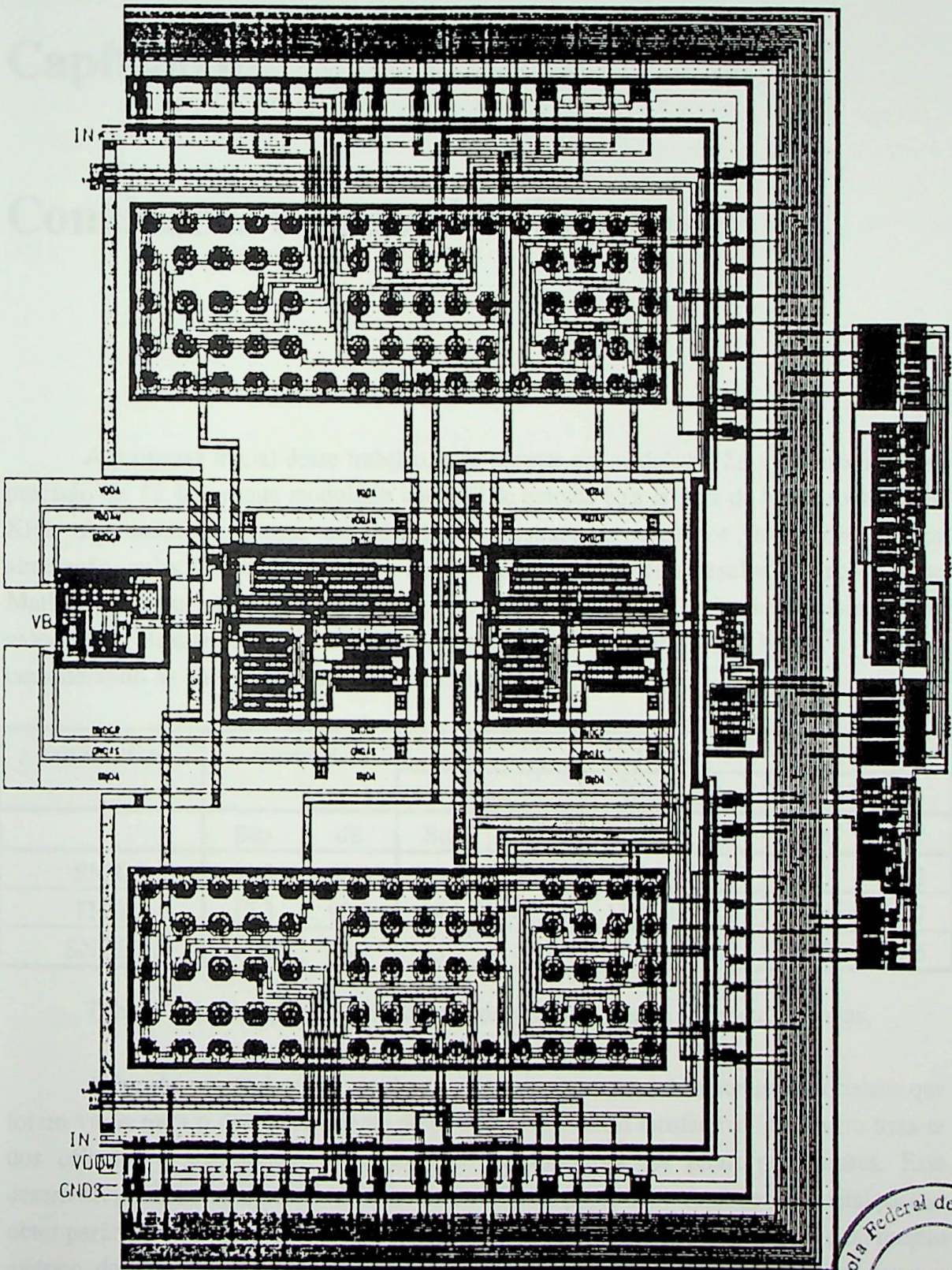


Figura 5.9 – Layout do modulador sigma-delta.



Capítulo 6

Conclusões e Trabalhos Futuros

A proposta inicial desse trabalho, a de projetar um modulador $\Sigma\Delta$ que possuísse uma precisão de 12 bits e que modulasse um sinal de entrada cuja largura de banda fosse de 10 KHz, foi satisfatoriamente atingida, como mostram os resultados finais, obtidos por simulação, colocados na Tabela 12. É importante salientar que esses resultados, calculados no Matlab[®], devem ser bastante próximos dos resultados práticos, pois esses valores foram calculados utilizando os pontos de saída do circuito simulado no Hspice[®], ou seja, considerando as não-idealidades do circuito real.

Parâmetro	Proposto		Obtido					
			Típico		Velocidade		Potência	
	Bits	dB	Bits	dB	Bits	dB	Bits	dB
SNR	14,2	85,5	13,7	82,5	12,7	76,5	13,0	78,2
THD	15,3	92,3	14,2	85,5	13,1	78,9	13,4	80,7
SNDR	14,1	84,7	13,5	81,4	12,5	75,2	12,9	77,6

Tabela 12 – Comparação dos parâmetros propostos com os parâmetros obtidos.

Além do resultado final obtido, deve-se ressaltar outros dois pontos importantes que foram vitais para o desenvolvimento desse trabalho de forma satisfatória. O primeiro trata-se dos cálculos e estimativas feitos a partir das especificações gerais preliminares. Esse desenvolvimento, explicitado da forma mais detalhada possível no Capítulo 3, foi vital para se obter parâmetros que, posteriormente, foram utilizados nas simulações funcionais e no projeto elétrico dos blocos que compõem o modulador. A partir de alguns desses dados, como o tamanho dos capacitores necessários ou os parâmetros que definiram a arquitetura utilizada na

implementação dos amplificadores operacionais (ganho, frequência de ganho unitário, *slew rate*, etc.), já se podia ter uma idéia do grau de complexidade dos sub-circuitos.

O segundo ponto importante foi a utilização de alguns desses parâmetros obtidos no Capítulo 3 para se fazer a simulação funcional do modulador que se desejava projetar. Num primeiro instante, a simulação funcional serviu para ajustar alguns dos próprios parâmetros estimados para se fazer essa simulação. Com essa tarefa cumprida, a simulação funcional, como seu objetivo maior, foi uma ferramenta poderosa e de grande utilidade, pois já sinalizava com a viabilidade do projeto e com alguns resultados que se deveria esperar do circuito final. A partir daí, o trabalho de se projetar o circuito real tornou-se mais produtivo e objetivo, uma vez que já se sabia que tipo de arquitetura utilizar em cada bloco, quais as especificações desses blocos e tendo em mente que a possibilidade desses blocos funcionarem corretamente era bastante grande.

Para complementar o desenvolvimento desse circuito, pode-se partir para o projeto do conversor A/D completo, utilizando o modulador aqui projetado e incluindo o decimador e a tensão de referência para os D/As. A tensão de referência (V_{ref}) utilizada nesse trabalho foi deixada externa ao *chip*, uma vez que era desejável poder variar o seu valor e verificar a influência dessa variação no desempenho do modulador. No entanto, uma fonte de referência *bandgap* pode ser integrada e ser utilizada como V_{ref} . O decimador é implementado através de um filtro digital que transforma a saída PDM, que possui 1 bit de resolução (saída do comparador), em uma saída digital com o número de bits para o qual o modulador/conversor foi projetado (12 bits nesse trabalho). Além disso, o filtro digital, depois de filtrar o ruído de quantização que o modulador “empurrou” para altas frequências (ver Figura 2.7 do Item 2.2.2), reduz a taxa de amostragem do sinal para a taxa de Nyquist de modo a minimizar a quantidade de informação para subsequente transmissão, armazenamento ou processamento do sinal digital.

A Figura 6.1 mostra um diagrama em blocos simplificado de um conversor A/D $\Sigma\Delta$, destacando os blocos que foram projetados nesse trabalho.

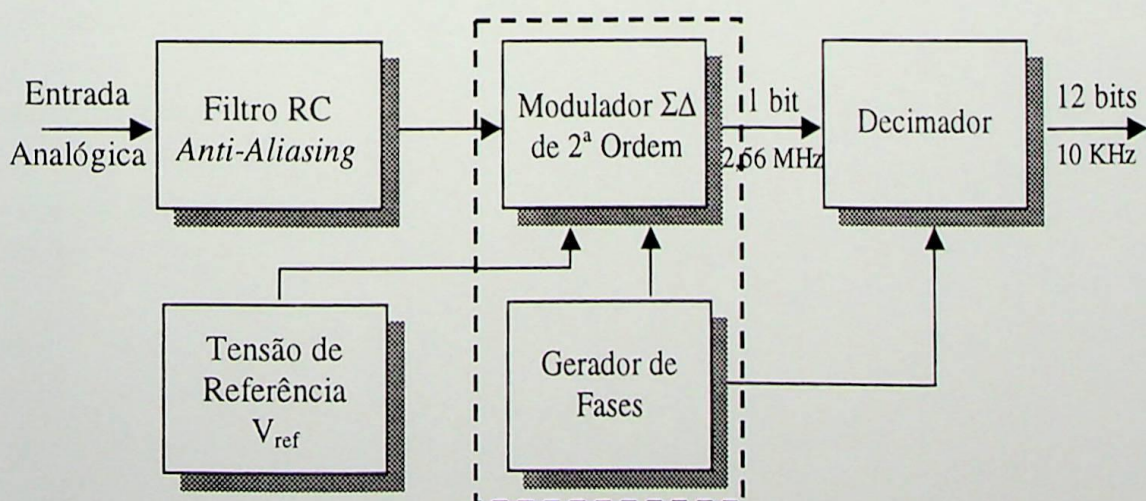


Figura 6.1 – Diagrama em blocos de um conversor A/D $\Sigma\Delta$.

1. Rotina para o cálculo da taxa de erro de bits - função "tber"

2. Programa para calcular o espectro de um sinal sigma-delta a partir do

3. código de bits sigma-delta de 16 bits de resolução.

4.

5. f_s = frequência do sinal em Hz

6. f_{max} = frequência máxima de interesse em Hz

7. N = número de pontos de amostragem

8. N_{fft} = tamanho da FFT

9.

10. Cálculo da FFT do sinal de saída do modulador sigma-delta

11. Cálculo da FFT do ruído de fundo

12. Cálculo da FFT do sinal de saída do modulador sigma-delta

13. Cálculo da FFT do sinal de saída do modulador sigma-delta

14. Cálculo da FFT do sinal de saída do modulador sigma-delta

15. Cálculo da FFT do sinal de saída do modulador sigma-delta

16. Cálculo da FFT do sinal de saída do modulador sigma-delta

17. Cálculo da FFT do sinal de saída do modulador sigma-delta

18. Cálculo da FFT do sinal de saída do modulador sigma-delta

19. Cálculo da FFT do sinal de saída do modulador sigma-delta

20. Cálculo da FFT do sinal de saída do modulador sigma-delta

21. Cálculo da FFT do sinal de saída do modulador sigma-delta

22. Cálculo da FFT do sinal de saída do modulador sigma-delta

23. Cálculo da FFT do sinal de saída do modulador sigma-delta

24. Cálculo da FFT do sinal de saída do modulador sigma-delta

25. Cálculo da FFT do sinal de saída do modulador sigma-delta

26. Cálculo da FFT do sinal de saída do modulador sigma-delta

27. Cálculo da FFT do sinal de saída do modulador sigma-delta

28. Cálculo da FFT do sinal de saída do modulador sigma-delta

29. Cálculo da FFT do sinal de saída do modulador sigma-delta

30. Cálculo da FFT do sinal de saída do modulador sigma-delta

31. Cálculo da FFT do sinal de saída do modulador sigma-delta

32. Cálculo da FFT do sinal de saída do modulador sigma-delta

33. Cálculo da FFT do sinal de saída do modulador sigma-delta

34. Cálculo da FFT do sinal de saída do modulador sigma-delta

35. Cálculo da FFT do sinal de saída do modulador sigma-delta

36. Cálculo da FFT do sinal de saída do modulador sigma-delta

37. Cálculo da FFT do sinal de saída do modulador sigma-delta

38. Cálculo da FFT do sinal de saída do modulador sigma-delta

39. Cálculo da FFT do sinal de saída do modulador sigma-delta

40. Cálculo da FFT do sinal de saída do modulador sigma-delta

41. Cálculo da FFT do sinal de saída do modulador sigma-delta

42. Cálculo da FFT do sinal de saída do modulador sigma-delta

43. Cálculo da FFT do sinal de saída do modulador sigma-delta

44. Cálculo da FFT do sinal de saída do modulador sigma-delta

Apêndice A

Rotinas do Matlab®

Nesse apêndice estão as rotinas, escritas para o Matlab®, versão 5.1, utilizadas para calcular o espectro do sinal de saída do modulador sigma-delta, a distorção harmônica(THD), a relação sinal/ruído (SNR) e a relação sinal/(ruído+distorção) (SNDR) do sinal.

- **Rotina para o cálculo do espectro do sinal - rotina “spec.m”**

```
% Programa para calcular o espectro de um sinal gerado a partir do
% modulador sigma-delta de segunda ordem.
%
% ff = frequencia do sinal em Hz
% fb = frequencia da banda de interesse em Hz
% fs = frequencia de amostragem em Hz
% tf = tempo final de simulacao
%
% O sinal possui [n=tf*ff] ciclos ([a=length(sd01)-1] pontos), sendo
% desprezado o primeiro ciclo de sinal ([b=a/n] pontos). Para o cálculo
% do espectro são usados os [n-1] ciclos restantes ([c=a-b] pontos).

ff=input('entre com ff= '); % frequencia do sinal
fb=input('entre com fb= '); % frequencia da banda de interesse
fs=input('entre com fs= '); % frequencia de amostragem
tf=input('entre com tf= '); % tempo final de simulacao
nd=input('entre com o numero de ciclos a serem desprezados= ');

n=tf*ff; % numero de ciclos - deve ser potencia de 2 + 1 ciclo
a=length(sd01)-1; % total de pontos da simulacao
b=a/n; % total de pontos por ciclo - deve ser potencia de 2
c=a-nd*b; % total de pontos desprezando o primeiro ciclo - deve ser potencia de 2

k=1:c;
out=sd01(k+(nd*b+1)); % Desprezar primeiro ciclo do sinal
r=fft(out,c); % Calculo da fft do sinal
ar=abs(r); % Valor absoluto da fft
ar db=20*log10(ar); % fft em dB
nar db=ar db-ar db(c/b+1); % Normalização da fft em relação à fundamental

np=length(ar db);
f=fs*(1:c)/c; % escalonamento do eixo de frequência
plot(f(1:c*fb/fs),nar db(1:c*fb/fs));
grid on;

thd; % Rotina para cálculo da distorção harmônica
snr; % Rotina para cálculo da relação sinal/ruído
tsnr; % Rotina para cálculo da SNR+THD
```


- **Rotina para cálculo da distorção harmônica - rotina “thd.m”**

```
% Rotina para calcular a distorção harmônica de um sinal gerado a
% partir do programa "spec". O calculo e feito atraves do somatorio do
% quadrado do valor absoluto de cada harmonica da fft do sinal,
% excetuando-se a fundamental ("primeira harmonica"). Esse valor e, entao,
% subtraido da fundamental (potencia do sinal).
```

```
nh=fb/ff; % Numero de harmonicas dentro da faixa de interesse
```

```
somah=0;
```

```
% Calculo da THD desprezando a primeira harmonica(fundamental)
```

```
for k=2:nh
```

```
    somah=somah+(ar(c/b*k+1))^2;
```

```
end
```

```
thddb=ar db(c/b+1)-10*log10(somah) % THD em dB
```


- **Rotina para calcular a relação sinal/ruído - rotina "snr.m"**

```
% Rotina para calcular a relação sinal/ruído de um sinal gerado a  
% partir do programa "spec". O calculo e feito atraves do somatorio do  
% quadrado do valor absoluto de cada ponto da fft do sinal, excetuando-se  
% as harmonicas que se encontram dentro da faixa do sinal de interesse  
% (potencia do ruido). Esse valor e, entao, subtraido da potencia do  
% sinal (fundamental).
```

```
s1=0;
```

```
s2=0;
```

```
s3=0;
```

```
nh=fb/ff; % Numero de harmonicas dentro da faixa de interesse
```

```
% Eliminação das harmônicas (1 a nh) e soma do quadrado dos pontos  
% restantes (potência do ruído)
```

```
for k1=1:nh
```

```
    v(k1)=c/b*k1+1;
```

```
    s1=s1+(ar(v(k1)))^2;
```

```
end
```

```
for k2=1:1+fb*c/fs;
```

```
    s2=s2+ar(k2)^2;
```

```
end;
```

```
s3=s2-s1;
```

```
snrdb=ardec(c/b+1)-10*log10(s3) % Cálculo da SNR
```


- **Rotina para calcular a relação sinal/(ruído+distorção) - rotina “tsnr.m”**

```
% Rotina para calcular a (SNR+THD) de um sinal gerado a partir do  
% programa "spec". O calculo e feito atraves do somatorio do quadrado  
% do valor absoluto de cada ponto da fft do sinal dentro da faixa de  
% interesse, excetuando-se a fundamental ("primeira harmonica"). Esse  
% valor e, entao, subtraido do valor da fundamental (potencia do sinal).
```

```
s=0;
```

```
% Eliminação da primeira harmônica e soma do quadrado dos pontos e  
% harmônicas restantes (potência do ruído+distorção)
```

```
for k=1:1+fb*c/fs;
```

```
    if (k~=c/b+1);
```

```
        s=s+ar(k)^2;
```

```
    end;
```

```
end;
```

```
tsnrdb=ar(b(c/b+1))-10*log10(s) % Cálculo da SNR+THD
```


Apêndice B

Recomendações para Simulação

Neste apêndice encontram-se algumas recomendações que devem ser utilizadas nas simulações para o cálculo do espectro do sinal de saída do modulador, a fim de melhorar a precisão da análise e aumentar a velocidade de simulação.

- O sinal de saída deve ser referenciado ao terra analógico ($Q = 1,5V$ ou $-1,5V$ no caso típico)
- O Hspice[®] permite escolher a janela da FFT, sendo que a mais frequente nas publicações é a janela de Blackman-Harris, também indicada no manual do Hspice[®] (WINDOW = HARRIS)
- O número de pontos (NP) da FFT deve ser potência de 2 (nas simulações, NP = 16384), o que pode ser controlado pelo Time_Step na análise .TRAN
- Quanto maior o tempo de simulação na análise .TRAN, menor será o *step* de frequência no espectro do sinal ($f_{\text{Step}} = 1/T_{\text{Stop}}$). Nas simulações, foi utilizado $T_{\text{stop}} = 7,2\text{ms}$ para um sinal de entrada de 2,5KHz, amostrado a 2,56MHz
- Alguns ciclos iniciais devem ser desprezados no cálculo da FFT (para eliminar transientes e estabilizar a tensão de saída de modo comum dos integradores). Para isto, deve-se utilizar a opção START na análise FFT, sendo que $(T_{\text{Stop}} - \text{START})/\text{Time_Step}$ deve ser igual a NP
- Para o cálculo da FFT, deve-se tomar apenas um ponto por ciclo (1 ciclo = 390,625ns). Assim, o Time_Step da análise .TRAN deve ser de 390,625ns
- Para que o ponto não seja tomado no final do ciclo, o início da simulação deve ser deslocado para o meio da primeira fase FI2, aproximadamente. Por *default*, o início da simulação é zero. Para mudá-lo, utiliza-se a opção START na análise .TRAN

- O início e o fim da simulação devem coincidir com o início e o fim de um ciclo da senóide aplicada na entrada do modulador. Assim, o deslocamento feito em START na análise .TRAN deve ser feito nos sinais de entrada do modulador e em T_{Stop} na análise .TRAN
- Como o Time_Step é muito grande, surgem alguns problemas de convergência. Para resolvê-los, deve-se utilizar a opção .OPTIONS RMIN=1E-11 para diminuir o mínimo valor de tempo estimado na análise de transiente
- A opção .OPTIONS INTERP também deve ser utilizada para gerar no arquivo de saída somente os pontos do Time_Step. Por *default*, todos os pontos que convergirem na análise de transiente são passados para o arquivo de saída
- O cálculo da THD deve ser feito somente na banda de frequência do sinal de entrada do modulador
- Recomenda-se que o número de ciclos do sinal de entrada seja uma potência de 2

Este apêndice é composto de arquivos de descrição de circuitos modulares existentes utilizados para simulação em SPICE. Este arquivo foi gerado pelo Hyperwin[®] através de sequências e comandos de SPICE. O responsável é o autor utilizando para gerar o CVS (Control Vector) Experimental, assegurando a confiabilidade do projeto.

MODULADOR SIGMA-DELTA DE SEGUNDA ORDEM COMPLETO

*** Configura para convergência

.OPTIONS POST PROBE

.OPTIONS INTERP

.OPTIONS RMIN=1E-11

.OPTIONS NOPAGE UNWEAP CAP=45-40

.OPTIONS ACCURATE PVCT=15

.OPTIONS ECLTEST

.OPTIONS MEASURE=GLAR \$AUTOMATICALLY SET \$VLTH=0

.OPTIONS ABSV=1E-5 ABSV=VNTOL= MINOR TENDAO VAO TONOLADA

DEFAULT=1000

.OPTIONS RELT=0.0001 \$RELY=RELTOL DEFAULT=0.001

.OPTIONS ASS=1E-12 ANIMOS=1E-12 \$RELT=1E-4

.OPTIONS CNCTOL=1E-18

TRACAL GROUND VDD VAGND

Apêndice C

Descrição do Modulador em Hspice[®]

Neste apêndice é apresentado o arquivo de descrição do circuito modulador completo utilizado para simulação com o Hspice[®]. Este arquivo foi gerado pelo Hspicenet[®] através do esquemático completo do modulador. O esquemático é o mesmo utilizado para fazer o LVS (*Layout* versus Esquemático), garantindo a confiabilidade do projeto.

MODULADOR SIGMA-DELTA DE SEGUNDA ORDEM COMPLETO

*

*** Condições para convergência

*

.OPTIONS POST PROBE

.OPTIONS INTERP

.OPTIONS RMIN=1E-11

.OPTIONS NOPAGE UNWRAP CAPTAB opts

.OPTIONS ACCURATE PIVOT=13

.OPTIONS KCLTEST

.OPTIONS METHOD=GEAR \$ AUTOMATICAMENTE SETA LVLTIM=2)

.OPTIONS ABSV=1E-6 \$ ABSV=VNTOL= MENOR TENSÃO NÃO IGNORADA
(DEFAULT=50U)

*.OPTIONS RELV=0.0001 \$ RELV=RELTOL (DEFAULT=0.001)

.OPTIONS ABSI=1E-12 ABSMOS=1E-12 \$ RELI=1E-6

*.OPTIONS CHGTOL=1E-18

*

.GLOBAL GROUND VDD VAGND

*

*

* SUBCIRCUITOS

*

*

* CIRCUITO DE POLARIZACAO DOS AMPLIFICADORES OPERACIONAIS

.SUBCKT bias

+ GNDA GNDAS N2 P1 P2 VB VDDA VDDAW

MPB1 N_8 P1 VDDA VDDAW P L=2.4U W=10U

MNB4 P2 N2 N_830 GNDAS N L=2.4U W=4.5U

MPB4 N_205 P2 N_203 VDDAW P L=2.4U W=10U

MNB2 N_206 N_205 GNDA GNDAS N L=2.4U W=4.5U

MPB3 N_203 P1 VDDA VDDAW P L=2.4U W=10U

MNB6 P1 VB GNDA GNDAS N L=11U W=4.5U

MNB3 N_830 N_205 GNDA GNDAS N L=2.4U W=4.5U

MPB2 P1 P2 N_8 VDDAW P L=2.4U W=10U

MNB1 N_205 N2 N_206 GNDAS N L=2.4U W=4.5U

MPB7 N2 P2 N_212 VDDAW P L=2.4U W=10U

MNB5 N2 N2 GNDA GNDAS N L=11U W=4.5U

MPB6 N_212 P1 VDDA VDDAW P L=2.4U W=10U

MPB5 P2 P2 VDDA VDDAW P L=13U W=10U

.ENDS \$ bias \$

*

* PORTA AND DOS CONVERSORES D/A

.SUBCKT and

+ A B GNDB OUT VCCB

MNA N_3 A N_4 GNDB N L=0.8U W=4U

MNINV OUT N_3 GNDB GNDB N L=0.8U W=4U

MPA N_3 A VCCB VCCB P L=0.8U W=9U

MPB N_3 B VCCB VCCB P L=0.8U W=9U

MPINV OUT N_3 VCCB VCCB P L=0.8U W=9U

MNB N_4 B GNDB GNDB N L=0.8U W=4U

.ENDS \$ and \$

*

* CAPACITOR DE AMOSTRAGEM DO PRIMEIRO INTEGRADOR

.SUBCKT c02

+ IN OUT

CCIN1 IN OUT 0.1P

CCIN2 IN OUT 0.1P

.ENDS \$ c02 \$

*



* CHAVE NMOS

```
.SUBCKT nmos_sw
+ FI GNDS IN OUT
MNS IN FI OUT GNDS N L=0.8U W=2U
.ENDS $ nmos_sw $
*
```

* CHAVE CMOS

```
.SUBCKT cmos_sw
+ FI FIB GNDS IN OUT VDDW
MNS OUT FI IN GNDS N L=0.8U W=2U
MPS OUT FIB IN VDDW P L=0.8U W=4.5U
.ENDS $ cmos_sw $
*
```

* CAPACITOR DE INTEGRACAO DO SEGUNDO INTEGRADOR

```
.SUBCKT c04
+ IN OUT
CCIN2 IN OUT 0.1P
CCIN3 IN OUT 0.1P
CCIN1 IN OUT 0.1P
CCIN4 IN OUT 0.1P
.ENDS $ c04 $
*
```

* AMPLIFICADOR OPERACIONAL

```
.SUBCKT oadiff
+ CMFB GNDA GNDAS IN+ IN- N2 OUT+ OUT- P1 P2 VDDA VDDAW
MP2A N_1450 IN+ N_1448 N_1448 P L=2.4U W=25U
MP1A N_1449 IN- N_1448 N_1448 P L=2.4U W=25U
MP9 N_1448 P1 VDDA VDDAW P L=2.4U W=72U
MP5 OUT- P2 N_19 VDDAW P L=2.4U W=50U
MN3 OUT- N2 N_1450 GNDAS N L=2.4U W=22U
MN4 OUT+ N2 N_1449 GNDAS N L=2.4U W=22U
MP8 N_20 P1 VDDA VDDAW P L=2.4U W=40U
MN11 N_1450 CMFB GNDA GNDAS N L=2.4U W=36U
MP6 OUT+ P2 N_20 VDDAW P L=2.4U W=50U
MP2B N_1450 IN+ N_1448 N_1448 P L=2.4U W=25U
MP1B N_1449 IN- N_1448 N_1448 P L=2.4U W=25U
MN10 N_1449 CMFB GNDA GNDAS N L=2.4U W=36U
MP7 N_19 P1 VDDA VDDAW P L=2.4U W=40U
```



```
.ENDS $ oadiff $
```

```
*
```

```
* CAPACITOR DE INTEGRACAO DO PRIMEIRO INTEGRADOR
```

```
.SUBCKT c08
```

```
+ IN OUT
```

```
CCIN4 IN OUT 0.1P
```

```
CCIN3 IN OUT 0.1P
```

```
CCIN1 IN OUT 0.1P
```

```
CCIN2 IN OUT 0.1P
```

```
CCIN5 IN OUT 0.1P
```

```
CCIN7 IN OUT 0.1P
```

```
CCIN6 IN OUT 0.1P
```

```
CCIN8 IN OUT 0.1P
```

```
.ENDS $ c08 $
```

```
*
```

```
* INVERSOR DO CIRCUITO GERADOR DE FASES
```

```
.SUBCKT invd
```

```
+ GNDD IN OUT VCCD
```

```
MN OUT IN GNDD GNDD N L=1.6U W=5U
```

```
MP OUT IN VCCD VCCD P L=1.6U W=10U
```

```
.ENDS $ invd $
```

```
*
```

```
* BUFFER DO CIRCUITO GERADOR DE FASES
```

```
.SUBCKT buff
```

```
+ GNDB IN OUT VCCB
```

```
MP OUT IN VCCB VCCB P L=0.8U W=18U
```

```
MN OUT IN GNDB GNDB N L=0.8U W=8U
```

```
.ENDS $ buff $
```

```
*
```

```
* PORTA NOR DO CIRCUITO GERADOR DE FASES
```

```
.SUBCKT nord
```

```
+ A B GNDD OUT VCCD
```

```
MPNOR2 N_9 B VCCD VCCD P L=0.8U W=9U
```

```
MNNOR2 OUT B GNDD GNDD N L=0.8U W=4U
```

```
MNNOR1 OUT A GNDD GNDD N L=0.8U W=4U
```

```
MPNOR1 OUT A N_9 VCCD P L=0.8U W=9U
```

```
.ENDS $ nord $
```

```
*
```


* CAPACITOR DO CIRCUITO CMFB

```
.SUBCKT c05
+ IN OUT
CCIN1 IN OUT 0.1P
CCIN4 IN OUT 0.1P
CCIN3 IN OUT 0.1P
CCIN5 IN OUT 0.1P
CCIN2 IN OUT 0.1P
.ENDS $ c05 $
```

*

* CHAVE NMOS COM DUMMY

```
.SUBCKT ndum_sw
+ FI FIB GNDS IN OUT
MNSD2 OUT FIB OUT GNDS N L=0.8U W=2U
MNSD1 IN FIB IN GNDS N L=0.8U W=2U
MNS IN FI OUT GNDS N L=0.8U W=4U
.ENDS $ ndum_sw $
```

*

* INVERSOR DO COMPARADOR

```
.SUBCKT inv
+ GNDB IN OUT VCCB
MP OUT IN VCCB VCCB P L=2.4U W=10U
MN OUT IN GNDB GNDB N L=2.4U W=10U
.ENDS $ inv $
```

*

* NAND DO COMPARADOR

```
.SUBCKT nand
+ A B GNDB OUT VCCB
MNNAN1 OUT A N_12 GNDB N L=0.8U W=4U
MPNAN1 OUT A VCCB VCCB P L=0.8U W=9U
MPNAN2 OUT B VCCB VCCB P L=0.8U W=9U
MNNAN2 N_12 B GNDB GNDB N L=0.8U W=4U
.ENDS $ nand $
```

*

* CAPACITOR DE AMOSTRAGEM DO SEGUNDO INTEGRADOR

```
.SUBCKT c015
+ IN OUT
```



```
CCIN1 IN N_2245 0.1P
```

```
CCIN3 IN OUT 0.1P
```

```
CCIN2 N_2245 OUT 0.1P
```

```
.IC V(N_2245)=1.5V
```

```
.ENDS $ c015 $
```

```
*
```

```
* PORTAS AND DOS CONVERSORES D/A
```

```
.SUBCKT fback
```

```
+ FI2 GNDB Q QB SW4 SW5 VCCB
```

```
XAND1 QB FI2 GNDB SW4 VCCB and
```

```
XAND2 Q FI2 GNDB SW5 VCCB and
```

```
.ENDS $ fback $
```

```
*
```

```
* CIRCUITO GERADOR DE FASES
```

```
.SUBCKT gfasas
```

```
+ CLOCK FI1 FI1B FI1D FI1DB FI2 FI2B FI2D FI2DB GNDB GNDD VCCB VCCD
```

```
XINVD13 GNDD N_536 N_542 VCCD invd
```

```
XINVD11 GNDD N_524 N_530 VCCD invd
```

```
XINVD7 GNDD N_533 N_539 VCCD invd
```

```
XBUFF6 GNDB N_536 FI2D VCCB buff
```

```
XBUFF5 GNDB N_542 FI2DB VCCB buff
```

```
XBUFF4 GNDB N_539 FI1DB VCCB buff
```

```
XBUFF8 GNDB N_512 FI2 VCCB buff
```

```
XBUFF7 GNDB N_518 FI2B VCCB buff
```

```
XINVD10 GNDD N_518 N_524 VCCD invd
```

```
XINVD1 GNDD CLOCK N_508 VCCD invd
```

```
XINVD5 GNDD N_521 N_527 VCCD invd
```

```
XINVD4 GNDD N_515 N_521 VCCD invd
```

```
XINVD8 GNDD N_511 N_512 VCCD invd
```

```
XBUFF2 GNDB N_515 FI1B VCCB buff
```

```
XBUFF1 GNDB N_504 FI1 VCCB buff
```

```
XINVD3 GNDD N_504 N_515 VCCD invd
```

```
XINVD6 GNDD N_527 N_533 VCCD invd
```

```
XBUFF3 GNDB N_533 FI1D VCCB buff
```

```
XNORD2 N_508 N_539 GNDD N_511 VCCD nord
```

```
XINVD12 GNDD N_530 N_536 VCCD invd
```

```
XINVD2 GNDD N_503 N_504 VCCD invd
```

```
XNORD1 N_542 CLOCK GNDD N_503 VCCD nord
```

```
XINVD9 GNDD N_512 N_518 VCCD invd
```



```
.IC V(N_508)=3 V(N_511)=0 V(N_542)=0 V(N_503)=3 V(N_539)=3
```

```
.ENDS $ gfases $
```

```
*
```

```
* CIRCUITO DE REALIMENTACAO DE MODO COMUM DINAMICO
```

```
.SUBCKT cmfb
```

```
+ CMFB COM FI1 FI1B FI2 FI2B GNDS N1Q OUT+ OUT- VDDW
```

```
XC+1 N_1717 N_1718 c02
```

```
XC+2 OUT+ CMFB c05
```

```
XNDUM2- FI1 FI1B GNDS N_1926 CMFB ndum_sw
```

```
XC-2 OUT- CMFB c05
```

```
XC-1 N_1925 N_1926 c02
```

```
XNDUM2+ FI1 FI1B GNDS N_1718 CMFB ndum_sw
```

```
XCMOS1- FI1 FI1B GNDS OUT- N_1925 VDDW cmos_sw
```

```
XCMOS3- FI2 FI2B GNDS N_1925 COM VDDW cmos_sw
```

```
XNMOS4+ FI2 GNDS N1Q N_1718 nmos_sw
```

```
XCMOS3+ FI2 FI2B GNDS N_1717 COM VDDW cmos_sw
```

```
XCMOS1+ FI1 FI1B GNDS OUT+ N_1717 VDDW cmos_sw
```

```
XNMOS4- FI2 GNDS N1Q N_1926 nmos_sw
```

```
.ENDS $ cmfb $
```

```
*
```

```
* COMPARADOR
```

```
.SUBCKT comp
```

```
+ FI1 GNDB GNDS IN+ IN- Q QB VCCB VDDW
```

```
M6 N_846 N_1490 VDDW VDDW P L=2.4U W=13U
```

```
M11 N_1490 FI1 VDDW VDDW P L=2.4U W=13U
```

```
XINV1 GNDB N_846 N_1704 VCCB inv
```

```
XNAND1 N_1704 FI1 GNDB N_839 VCCB nand
```

```
XNAND4 QB N_1480 GNDB Q VCCB nand
```

```
M4 N_1470 N_1471 GNDS GNDS N L=2.4U W=6U
```

```
XNAND3 Q N_839 GNDB QB VCCB nand
```

```
XINV2 GNDB N_1490 N_1479 VCCB inv
```

```
M9 N_1490 FI1 N_1471 GNDS N L=0.8U W=2U
```

```
M10 N_846 FI1 VDDW VDDW P L=2.4U W=13U
```

```
M2 N_1471 IN+ GNDS GNDS N L=2.4U W=6U
```

```
M8 N_846 FI1 N_1470 GNDS N L=0.8U W=2U
```

```
M7 N_1490 N_846 VDDW VDDW P L=2.4U W=13U
```

```
M5 N_1471 N_1470 GNDS GNDS N L=2.4U W=6U
```

```
M1 N_1470 IN- GNDS GNDS N L=2.4U W=6U
```

```
XNAND2 N_1479 FI1 GNDB N_1480 VCCB nand
```



```
.ENDS $ comp $
```

```
*
```

```
* CONVERSOR D/A
```

```
.SUBCKT DAC-1
```

```
+ FI1 FI1D FI1DB FI2D FI2DB GNDANA GNDS NC+2 NC-2 REF SW4 SW5 VDDW
```

```
XCMOS21 FI2D FI2DB GNDS N_454 REF VDDW cmos_sw
```

```
XNMOS25 SW5 GNDS N_455 NC+2 nmos_sw
```

```
XNMOS23 FI1 GNDS N_455 GNDANA nmos_sw
```

```
XCMOS22 FI1D FI1DB GNDS GNDANA N_454 VDDW cmos_sw
```

```
XNMOS24 SW4 GNDS N_455 NC-2 nmos_sw
```

```
XCDA-1 N_454 N_455 c02
```

```
.ENDS $ DAC-1 $
```

```
*
```

```
* CONVERSOR D/A
```

```
.SUBCKT DAC-2
```

```
+ FI1 FI1D FI1DB FI2D FI2DB GNDANA GNDS NC+2 NC-2 REF SW4 SW5 VDDW
```

```
XCMOS21 FI2D FI2DB GNDS N_469 REF VDDW cmos_sw
```

```
XNMOS23 FI1 GNDS N_470 GNDANA nmos_sw
```

```
XNMOS24 SW4 GNDS N_470 NC-2 nmos_sw
```

```
XCMOS22 FI1D FI1DB GNDS GNDANA N_469 VDDW cmos_sw
```

```
XCDA-2 N_469 N_470 c015
```

```
XNMOS25 SW5 GNDS N_470 NC+2 nmos_sw
```

```
.ENDS $ DAC-2 $
```

```
*
```

```
* CONVERSOR D/A
```

```
.SUBCKT DAC+2
```

```
+ FI1 FI1D FI1DB FI2D FI2DB GNDANA GNDS NC+1 NC-1 REF SW4 SW5 VDDW
```

```
XCDA+2 N_668 N_669 c015
```

```
XCMOS11 FI1D FI1DB GNDS N_668 REF VDDW cmos_sw
```

```
XNMOS14 SW4 GNDS N_669 NC+1 nmos_sw
```

```
XNMOS13 FI1 GNDS N_669 GNDANA nmos_sw
```

```
XNMOS15 SW5 GNDS N_669 NC-1 nmos_sw
```

```
XCMOS12 FI2D FI2DB GNDS GNDANA N_668 VDDW cmos_sw
```

```
.ENDS $ DAC+2 $
```

```
*
```

```
* CONVERSOR D/A
```

```
.SUBCKT DAC+1
```

```
+ FI1 FI1D FI1DB FI2D FI2DB GNDANA GNDS NC+1 NC-1 REF SW4 SW5 VDDW
```



```
XCMOS12 FI2D FI2DB GNDS GNDANA N_668 VDDW cmos_sw
```

```
XCDA+1 N_668 N_669 c02
```

```
XNMOS13 FI1 GNDS N_669 GNDANA nmos_sw
```

```
XNMOS15 SW5 GNDS N_669 NC-1 nmos_sw
```

```
XNMOS14 SW4 GNDS N_669 NC+1 nmos_sw
```

```
XCMOS11 FI1D FI1DB GNDS N_668 REF VDDW cmos_sw
```

```
.ENDS $ DAC+1 $
```

```
*
```

```
* CIRCUITO DO MODULADOR
```

```
.SUBCKT mod2
```

```
+COM FI1 FI1B FI1D FI1DB FI2 FI2B FI2D FI2DB GNDA GNDANA GNDAS GNDB  
+GNDS IN+ IN- N1Q N2 P1 P2 Q QB SW4 SW5 VAGND VCCB VDDA VDDAW VDDW  
+ VREF
```

```
XCMFB1 N_2 COM FI1 FI1B FI2 FI2B GNDS N1Q N_472 N_473 VDDW cmfb
```

```
XCIN+1 N_3316 N_3524 c02
```

```
XCOMP FI1 GNDB GNDS N_478 N_479 Q QB VCCB VDDW comp
```

```
XNMOS2-2 FI2 GNDS N_3317 N_3321 nmos_sw
```

```
XCMOS1D+2 FI1D FI1DB GNDS N_3313 N_472 VDDW cmos_sw
```

```
XNMOS2-1 FI2 GNDS N_3523 N_3526 nmos_sw
```

```
XNMOS1-1 FI1 GNDS N_3523 VAGND nmos_sw
```

```
XDA-1 FI1 FI1D FI1DB FI2D FI2DB GNDANA GNDS N_3315 N_3526 VREF SW4 SW5  
+ VDDW DAC-1
```

```
XDA-2 FI1 FI1D FI1DB FI2D FI2DB GNDANA GNDS N_3320 N_3321 VREF SW4 SW5  
+ VDDW DAC-2
```

```
XCMOS1D-1 FI1D FI1DB GNDS N_3311 IN- VDDW cmos_sw
```

```
XNMOS2D-2 FI2D GNDS N_3319 VAGND nmos_sw
```

```
XNMOS1+2 FI1 GNDS N_3525 VAGND nmos_sw
```

```
XNMOS2D-1 FI2D GNDS N_3311 VAGND nmos_sw
```

```
XCIN-2 N_3319 N_3317 c02
```

```
XDA+2 FI1 FI1D FI1DB FI2D FI2DB GNDANA GNDS N_3320 N_3321 VREF SW4 SW5  
+ VDDW DAC+2
```

```
XNMOS2+1 FI2 GNDS N_3524 N_3315 nmos_sw
```

```
XNMOS2D+2 FI2D GNDS N_3313 VAGND nmos_sw
```

```
XCMOS1D+1 FI1D FI1DB GNDS N_3316 IN+ VDDW cmos_sw
```

```
XCF+2 N_478 N_3320 c04
```

```
XNMOS2+2 FI2 GNDS N_3525 N_3320 nmos_sw
```

```
XCIN-1 N_3311 N_3523 c02
```

```
XNMOS2D+1 FI2D GNDS N_3316 VAGND nmos_sw
```

```
XAO1 N_2 GNDA GNDAS N_3526 N_3315 N2 N_472 N_473 P1 P2 VDDA VDDAW  
+ oadiff
```

```
XCF-2 N_479 N_3321 c04
```



```

XAO2 N_59 GNDA GNDAS N_3321 N_3320 N2 N_478 N_479 P1 P2 VDDA VDDAW
+ oadiff
XCMOS1D-2 FI1D FI1DB GNDS N_3319 N_473 VDDW cmos_sw
XCIN+2 N_3313 N_3525 c02
XCF+1 N_472 N_3315 c08
XCF-1 N_473 N_3526 c08
XNMOS1-2 FI1 GNDS N_3317 VAGND nmos_sw
XNMOS1+1 FI1 GNDS N_3524 VAGND nmos_sw
XCMFB2 N_59 COM FI1 FI1B FI2 FI2B GNDS N1Q N_478 N_479 VDDW cmfb
XDA+1 FI1 FI1D FI1DB FI2D FI2DB GNDANA GNDS N_3315 N_3526 VREF SW4 SW5
+ VDDW DAC+1
.ENDS $ mod2 $
*
*** Analises
*
.OP

.TRAN 390.625N 7.2002895M START=289.5NS $ 18432 PONTOS EM 18 CICLOS

.IC V(XSD.N_3526)=1.5 V(XSD.N_3315)=1.5 V(XSD.N_3321)=1.5 V(XSD.N_3320)=1.5
+ V(XSD.N_472)=1.5 V(XSD.N_473)=1.5 V(XSD.N_478)=1.5 V(XSD.N_479)=1.5
+ V(XSD.N_2)=1.0054 V(XSD.N_59)=1.0054

.FFT V(Q,VAGND) WINDOW=HARRIS NP=16384 START=800.2895U FREQ=2.5K
+ FMAX=10K

*** Fonte de alimentacao
*
VVDD VDD GROUND 3.0V $ TODOS VDD'S E GND'S FORAM LIGADOS JUNTOS
*
* SINAIS DE ENTRADA
*
VIN- IN- GROUND SIN(1.5 -0.6 2.5K 289.5NS)
VIN+ IN+ GROUND SIN(1.5 0.6 2.5K 289.5NS)

VVB VB GROUND 1.28V
VVREF VREF GROUND 2.4V
VCOM COM GROUND 1.5V
VN1Q N1Q GROUND 1.0054V
VAGND VAGND GROUND 1.5V
VCLOCK CLOCK GROUND PULSE(0 3 195.3125N 1N 1N 189.3125N 390.625N)
*

```


* CIRCUITO

*

XFBACK N_23 GROUND Q QB N_21 N_22 VDD fback

XSD COM N_10 N_11 N_4 N_12 N_23 N_5 N_7 N_6 GROUND VAGND GROUND
+ GROUND GROUND IN+ IN- N1Q N_1 N_2 N_15 Q QB N_21 N_22 VAGND VDD
+ VDD VDD VDD VREF mod2

XFASES CLOCK N_10 N_11 N_4 N_12 N_23 N_5 N_7 N_6 GROUND GROUND VDD
+ VDD gfas

XBIAS GROUND GROUND N_1 N_2 N_15 VB VDD VDD bias

*

.PRINT TRAN V(IN+) V(IN-) V(XSD.N_3526) V(XSD.N_3315) V(XSD.N_3321)
+ I(VVDD) V(XSD.N_472) V(XSD.N_473) V(XSD.N_478) V(XSD.N_479)
+ I1(XSD.XAO1.MN10) I1(XSD.XAO1.MP8) V(Q,VAGND)

*

.include '/d0/efeivref/modelos/cyx/level47.mod'

*

.END

Referências Bibliográficas

- [1] Grilo, J., "Improved design techniques for low-voltage low-power switched-capacitor delta-sigma modulators", Ph.D Dissertation, Oregon State University, June 1997.
- [2] Boser, B. E., Wooley, B. A., "The design of sigma-delta modulation analog-to-digital converters", IEEE Journal of Solid-State Circuits, vol. 23, n° 6, pp. 1298-1308, December 1988.
- [3] Choi, J., Sheu, B. J., Lee, B. W., "A 16-bit sigma-delta A/D converter with high-performance operational amplifiers", Journal of Analog Integrated Circuits and Signal Processing, Kluwer Academic Publisher, pp. 105-119, n° 6, 1994.
- [4] Onodera, K., Abo, A., "A second-order sigma-delta A/D converter", EE290Y Project, University of California, Berkeley, CA, June 1995.
- [5] Candy, J. C., "A use of double integration in sigma-delta modulation", IEEE Transactions on Communications., vol. COM-33, pp. 246-258, March 1985.
- [6] Norsworthy, S. R., Schreier, R., Temes, G. C., "Delta-sigma data converters: theory, design and simulation", IEEE Press, 1997.
- [7] Candy, J. C., Temes, G. C., "Oversampling methods for A/D and D/A conversion - Oversampling Delta-Sigma Data Converters: Theory, Design, and Simulation", IEEE Press, 1992.
- [8] Allen, P. E., "CMOS Analog Circuit Design", Holt, Rinehart and Winston, Inc., Series in Electrical and Computer Engineering, 1987.
- [9] Hauser, M. W., Brodersen, R. W., "Circuit and technology considerations for MOS delta-sigma A/D converters", IEEE Proceedings ISCAS'86, pp. 1310-1315, May 1986.
- [10] Peluso, V., Steyaert, M. S. J., Sansen, W., "A 1.5V -100mW delta-sigma modulator with 12-b dynamic range using the switched-opamp technique", IEEE Journal of Solid-State Circuits, vol. 32, n° 7, pp. 943-952, July 1997.
- [11] Ong, A. D., Wooley, B. A., "A two-path bandpass delta-sigma modulator for digital IF extraction at 20MHz", IEEE Journal of Solid-State Circuits, vol. 32, n° 12, pp. 1920-1934, December 1997.
- [12] Laker, K. R., Sansen, W. M. C., "Design of Analog Integrated Circuits and Systems", McGraw-Hill Inc., 1994.

- [13] Pena-Finol, J., "Switched-capacitor signal processing circuits in scaled technologies", Ph.D Dissertation, University of California, Berkeley, CA, November 1986.
- [14] Lee, K. L., Meyer, R. G., "Low-distortion switched-capacitor filter design techniques", IEEE Journal of Solid-State Circuits, vol. SC-20, n° 6, pp. 1103-1113, December 1985.
- [15] Jarman, D., "A Brief Introduction to Sigma-Delta Conversion", Application Note AN9504, Harris Semiconductor, May 1995.
- [16] Sansen, W. M. C., Qiuting, H., Halonen, K. A. I., "Transient analysis of charge transfer in SC filters - gain error and distortion", IEEE Journal of Solid-State Circuits, vol. SC-22, n° 2, pp. 268-276, April 1997.
- [17] Franca, J. E., Tsividis, Y., "Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing", Prentice-Hall Inc., 1994.
- [18] Castello, R., Gray, P. R., "A high-performance micropower switched-capacitor filter", IEEE Journal of Solid-State Circuits, vol. SC-20, n° 6, pp. 1122-1132, December 1985.
- [19] Yukawa, A., "A CMOS 8-bit high-speed A/D converter IC", IEEE Journal of Solid-State Circuits, vol. SC-20, n° 3, pp. 775-779, June 1985.
- [20] Gregorian, R., Temes, G. C., "Analog Integrated Circuits", John Wiley & Sons Inc., 1986.
- [21] Haigh, D. G., Singh, B., "A switching scheme for SC Filters which reduces the effect of parasitic capacitances", Proceedings of IEEE ISCAS'83, , pp. 775-779, April 1983.
- [22] Rodríguez-Vazquez, A., "Analog sampled-data filters", Curso Diseño de Circuitos Integrados Analógicos, IBERCHIP'98, Mar Del Plata, Argentina, 02 a 10 de Março, 1998.
- [23] Gregorian, R., Martin, K. W., Temes, G. C., "Switched-Capacitor Circuit Design", Proceedings of the IEEE, vol. 71, n° 78, August 1983.
- [24] Van de Plassche, R., "Integrated Analog-to-Digital and Digital-to-Analog Converters", Kluwer Academic Publishers, 1994.
- [25] Park, S., "Principles of Sigma-Delta Modulation for Analog-to-Digital Converters", APR8/D, Motorola Inc., 1990.
- [26] Inose, H., Yasuda, Y., Murakami, J., "A Communication System by Code Modulation Delta-Sigma", Journal Inst. Elec. Eng., Japan, vol. 44, n° 11, pp. 442-466, December 1961.