

TESE

1127

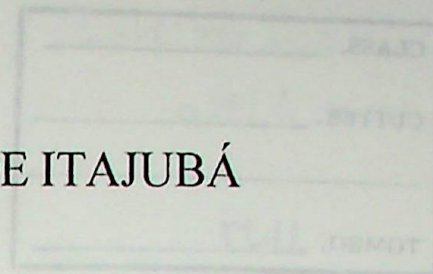
FEDERAL DE ENGENHARIA DE ITAJUBÁ

**Projeto de um Amplificador de Potência de RF Operando a
836,5 em Tecnologia CMOS de 0,35 μ m para Aplicação
em um Transceptor Wireless de Espalhamento Espectral**

JOSÉ FELICIANO ADAMI

Itajubá, Dezembro de 2001

ESCOLA FEDERAL DE ENGENHARIA DE ITAJUBÁ



DISSERTAÇÃO DE MESTRADO

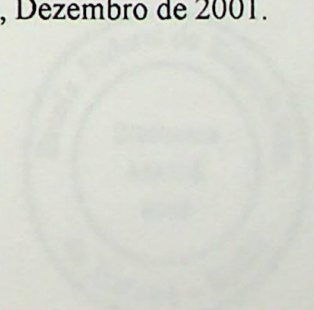
Projeto de um Amplificador de Potência de RF Operando a 836,5MHz em Tecnologia CMOS de 0,35 μ m para Aplicação em um Transceptor Wireless de Espalhamento Espectral.

Autor : José Feliciano Adami

Orientador : Prof. Tales Cleber Pimenta, PhD.

Dissertação apresentada à Escola Federal de Engenharia de Itajubá para obtenção do título de Mestre em Engenharia Elétrica.

Itajubá, Dezembro de 2001.



CLASS. 621.375(043.9)
CUTTER. A 198p
TOMBO. 1127

ESCOLA FEDERAL DE ENGENHARIA D

DISSERTAÇÃO DE MESTRADO

Projeto de um Amplificador de Potência de RF Operando a
836.5MHz em Tecnologia CMOS de 0.35um para Aplicações
em um Transceptor Wireless de Espalhamento Espectral

orientador: Prof. Dr. Cleber Pimenta PhD
coorientador: Prof. Dr. Luciano Adams

Dissertação apresentada à Escola Federal de
Engenharia de Curitiba para obtenção do título de
Mestre em Engenharia Elétrica

Curitiba, Dezembro de 2001

AGRADECIMENTOS

Dedicatória

A Deus, pelo seu inestimável auxílio, principalmente nos momentos mais difíceis de minha vida.

Agradeço ao Prof. Tales César Pinheiro pela sua orientação, confiança, apoio moral e principalmente aos pais pelo apoio moral e financeiro para conclusão por finalizar esta obra.

Agradeço também ao Prof. Francisco Marcos Peres.

À minha esposa, Maria Elisabete que teve de superar muitas dificuldades para que eu pudesse concluir esta dissertação,

e aos meus Filhos Daniel, Débora e Thiago

Aos meus pais, Benedito e Denyr.

Agradeço também aos amigos: Donald Calderaro Corbin, Raul Leite Giloi, João Artur de Faria da Almeida, Carlo B. Sperandio, Francisco Marcos Salermo que de alguma forma contribuíram na elaboração desta obra.



RÉSUMO

AGRADECIMENTOS

À Deus, pelo seu insuperável amparo, principalmente nos momentos mais difíceis de minha vida.

Agradeço ao **Prof. Tales Cleber Pimenta** pela sua capacidade, confiança, apoio irrestrito e principalmente sua paciência. A nossa mais sincera e justa consideração por viabilizar este trabalho.

Agradeço também ao **Prof. Francisco Martins Portelinha**.

Agradeço aos amigos, **Prof. Robson Luiz Moreno**, **Prof. Paulo César Crepaldi**, pelo grande apoio e incentivo recebidos durante a execução deste trabalho, não tendo hora e nem dia.

Agradeço também aos colegas Eng. **Evandro Daniel Calderaro Cotrim**, **Roni Leite Gifoni**, **Júlio Arlindo Pinto de Azevedo**, **Carlo R. Sperandeo**, **Benedicto Marcos Salomon** que de alguma forma contribuíram na elaboração desta tese.

RESUMO

O notável crescimento nas áreas de comunicações pessoais e de Wireless (comunicação de sem fio), provocou o desenvolvimento das tecnologias, resultando na otimização de circuitos e dispositivos eletrônicos levando a diminuição de tamanho e redução consumo de potência. A demanda destes circuitos aumentaram drasticamente, e também a pesquisa, pois no ambiente portátil Wireless todo circuito é alimentado por uma pequena bateria, tornando-se um dos mais importantes aspectos do circuito, a otimização do consumo de potência. Além disto, estes dispositivos devem ser usados em produtos de baixo custo, o que por sua vez demandam menores custos para o circuito.

Analisando estes aspectos e com o objetivo de evoluir nesta área, resolveu-se então projetar um amplificador de potência na tecnologia CMOS (Complementary Metal Oxide Silicon) de $0,35\mu\text{m}$ na faixa de frequência 824 a 849 MHz com uma tensão de alimentação 3V. Sua potência de saída deve ser controlada digitalmente para fornecer uma potência de saída máxima de 31,25mW ($\sim 15\text{dBm}$), e uma potência mínima de $0,18\mu\text{W}$ ($\sim -37,5\text{ dBm}$), correspondendo uma faixa dinâmica de 52,5 dB. O amplificador de potência usa a modulação FSK (Frequency Shift Keying) em um transceptor de espalhamento espectral utilizando a técnica CDMA (Code Division Multiple Access).

ABSTRACT

The impressive growth in the personal and wireless communication areas caused an optimization of electronic circuits and devices in terms of size and power consumption. Since the market demand on these products has increased, the research has also increased. Since the wireless device uses energy from batteries, the research is focused on reducing the power consumption. Additionally, those circuits are intended to be used in inexpensive products, which in turn demands low priced circuits.

By considering those aspects and aiming a development in this area, it has been decided to design a $0.35\mu\text{m}$ CMOS power amplifier for the range of 824 to 849 MHz at a 3V power supply. The output power must be digitally controlled to be in the range of a minimal of $0.18\mu\text{W}$ (~ 37.5 dBm) and a maximum of 31.25mW ($\sim 15\text{dBm}$), which corresponds to a dynamic range of 52.5 dB. The power amplifier will use FSK - Frequency Shift Keying in a spread spectrum transceiver in CDMA - Code Division Multiple Access.

2.3 Modulação	8
2.3.1 Modulação Digital	8
2.3.1.1 ASK (Amplitude Shift Keying)	9
2.3.1.2 Modulação FSK (Frequency Shift Keying)	10
2.3.1.3 PSK (Phase Shift Keying)	11
3 Características Gerais do Amplificador de Potência	12
3.1 Considerações no Projeto de Amplificador de Potência	13
3.2 Amplificador de Potência	13
3.2.1 Introdução	13
3.2.2 Eficiência de Drain	14
3.2.3 Eficiência adicionada a Potência ou PAE	14
3.2.3.1 Eficiência TOTAL	14
3.3 Arquitetura de Amplificadores de Potência	15
3.4 Considerações Gerais	16
3.5 Amplificadores de Potência Classe A, AB, B e C	19
3.5.1 Amplificador Classe A	20

Índice

1 Introdução.....	1
1.1 Considerações Gerais	1
1.2 Objetivos.....	1
1.3 Estrutura da dissertação.....	2
2 Fundamentos.	3
2.1 Arquitetura de um Sistema de RF (Rádio Freqüência).....	3
2.2 Tecnologia de Múltiplos Acessos.....	4
2.2.1 FDMA – Múltiplo Acesso por Divisão de Freqüência.....	4
2.2.2 TDMA – Múltiplo Acesso por Divisão de Tempo.....	5
2.2.3 CDMA – Múltiplo Acesso por Divisão de Código.....	6
2.3 Modulação.....	8
2.3.1 Modulação Digital.....	8
2.3.2 ASK (Amplitude Shift Keying).....	9
2.3.3 Modulação FSK (Frequency Shift Keying).....	10
2.3.4 PSK (Phase Shift Keying).	10
3 Conceitos Básicos do Amplificador de Potência.	12
3.1 Considerações no Projeto do Amplificador de Potência.	12
3.2 Amplificador de Potência.	13
3.2.1 Introdução.....	13
3.2.2 Eficiência de Dreno:.....	14
3.2.3 Eficiência adicionada a Potência ou PAE.....	14
3.2.3 Eficiência TOTAL.....	14
3.3 Arquitetura de Amplificadores de Potência.....	15
3.4 Considerações Gerais.....	16
3.5 Amplificadores de Potência Classe A, AB, B e C.....	19
3.5.1 Amplificadores Classe A.....	20

3.5.2 Amplificador Classe B.....	23
3.5.3 Amplificador Classe C.....	25
3.5.4 Amplificador de Potência Classe AB.....	28
3.6 Configurações de Controle de Potência.....	29
3.6.1 Proposta da técnica de Controle de Potência.....	30
3.7 Estabilidade de um Amplificador de Potência.....	31
3.8 Projeto Sintonizado.....	33
3.9 Topologia Diferencial.....	35
3.10 Indutores.....	36
3.10.1 Indutores Espirais.....	36
3.11 Conclusão.....	41
4 Projeto do Amplificador de Potência.....	42
4.1 Considerações Gerais.....	42
4.2 Estágio de Saída.....	45
4.3 Cálculos.....	49
4.3.1 Cálculo da potência, corrente de pico na Carga.....	49
4.3.2 - Cálculo do indutor L1 do pré amplificador.....	50
4.3.3 Cálculo das correntes nos transistores.....	52
4.4 Casamento da impedância Saída.....	54
4.5 Pré Amplificador.....	55
4.6 Controle de Potência Digital.....	59
4.8 Conclusões.....	62
5- Simulações do Amplificador Proposto.....	63
5.1 Simulação do Controle de Potência.....	63
5.2 Forma de onda do sinal de Saída.....	64
5.3 Forma de onda da transformada de Fourier (FFT).....	65

5.4 Análise da resposta transiente das componentes de Fourier do sinal de saída (V(VA,VB)).....	66
5.5 Simulação da eficiência da conversão de Potência	67
5.6 Simulação da característica de compressão	68
5.7 Estabilidade e cálculo do fator K	69
5.8 Resposta AC do Amplificador de Potência.....	70
5.9 Resultados do Layout.....	71
Capítulo 6	75
6.1 Conclusões.....	75
6.2 Comparação deste trabalho com outros artigos / tese.....	76
6.3 Trabalhos Futuros	76
Apêndice A.....	77
ASITIC.....	77
Referências Bibliográficas.....	79
Figura 16 - Amplificador Classe C.....	21
Figura 17 - Tensão e corrente de um amplificador classe C ideal.....	21
Figura 18 - Descrição da forma de onda de corrente de classe C.....	21
Figura 19 - Formas de onda corrente e tensão de um amplificador classe AB.....	22
Figura 20 - Técnica de variação de amplitude de um sinal PP para controle de potência.....	29
Figura 21 - Técnica de controle de nível de polarização para controle de potência.....	30
Figura 22 - Proposta técnica de controle de potência digital com chaves ideais.....	31
Figura 23 - Capacidades de realimentação máxima (Vd).....	32
Figura 24 - Efeito ideal de amostragem - ganho x largura de banda, a resposta de frequência segue linha, transporta frequência com ruído aumentado.....	34
Figura 25 - Configuração simples e diferencial, a) Configuração simples, b) Configuração diferencial.....	35
Figura 26 - Indutor espiral planar.....	37
Figura 27 - Indutor espiral.....	38

Índice de Figuras

<i>Figura 1 - Diagrama em blocos de um transceptor de uma estação rádio base.</i>	3
<i>Figura 2 - Múltiplo acesso por divisão de frequência.</i>	4
<i>Figura 3 - Múltiplo acesso por divisão de tempo.</i>	5
<i>Figura 4 - Operação em DS - CDMA.</i>	6
<i>Figura 5 - Frequência Hopping - CDMA.</i>	7
<i>Figura 6 - Múltiplo Acesso por Divisão de Código.</i>	7
<i>Figura 7 - Modulação - a) amplitude, b) fase, c) frequency shift keying.</i>	9
<i>Figura 8 - Transmissor</i>	12
<i>Figura 9 - Esquema Controle de potência.</i>	13
<i>Figura 10 - Estágio Fonte comum com diferentes tipos de conexão de carga.</i>	17
<i>Figura 11 - Rede Casada (a) Rede casada como amplificador de tensão, (b) Uso de transformador como rede casada.</i>	18
<i>Figura 12 - Modelo genérico de um amplificador de potência.</i>	19
<i>Figura 13 - Tensão e corrente de dreno de um amplificador classe A.</i>	21
<i>Figura 14 - Amplificador classe B.</i>	23
<i>Figura 15 - Tensão e corrente de dreno de um amplificador classe B ideal.</i>	24
<i>Figura 16 Amplificador Classe C.</i>	25
<i>Figura 17 - Tensão e corrente de um amplificador classe C ideal.</i>	26
<i>Figura 18 - Detalhe da forma de onda da corrente de dreno.</i>	27
<i>Figura 19 - Forma de onda corrente e tensão de um amplificador classe AB.</i>	28
<i>Figura 20 - Técnica de variação de amplitude de entrada RF para controle de potência.</i>	29
<i>Figura 21 - Técnica de controle de tensão de polarização para controle de potência.</i>	30
<i>Figura 22 - Proposta técnica de controle de potência digital com chaves ideais.</i>	31
<i>Figura 23 - Capacitância de realimentação interna C_{gd}.</i>	32
<i>Figura 24 - Efeito ideal de sintonização - ganho x largura de banda. a) resposta de frequência estágio básico. b) resposta frequência com indutor sintonizado.</i>	34
<i>Figura 25 - Configuração simples e diferencial. a) Configuração simples. b) Conferencial diferencial.</i>	35
<i>Figura 26 - Indutor espiral planar.</i>	37
<i>Figura 27 - Indutor espiral.</i>	39

<i>Figura 28 - Modelo de um indutor espiral dentro do chip.....</i>	<i>40</i>
<i>Figura 29 - Diagrama em blocos do amplificador de potência.....</i>	<i>42</i>
<i>Figura 30 – Circuito Amplificador de Potência.....</i>	<i>44</i>
<i>Figura 31 – Circuito Amplificador de Potência compacto.</i>	<i>45</i>
<i>Figura 32 - Proposta simples do estágio de saída.....</i>	<i>45</i>
<i>Figura 33 - Impedância entrada e modelo capacitância de junção de saída do dispositivo.....</i>	<i>46</i>
<i>Figura 34 - Modelo transistor saída modo comutação.</i>	<i>47</i>
<i>Figura 35 - Efeito Miller no estágio saída do dispositivo.....</i>	<i>48</i>
<i>Figura 36 - Estágio de Saída balanceado excitando uma rede casada.....</i>	<i>49</i>
<i>Figura 37 - Indutor do circuito pré amplificador.</i>	<i>51</i>
<i>Figura 38 - Circuito equivalente do indutor.</i>	<i>52</i>
<i>Figura 39 - Circuito de saída com impedância casada, ignorando as perdas do substrato de silício.....</i>	<i>54</i>
<i>Figura 40 - Estágio pré amplificador, inversor e buffer seguido pelo estágio de saída.....</i>	<i>56</i>
<i>Figura 41 - Sinal de entrada do amplificador de potência (R11).....</i>	<i>57</i>
<i>Figura 42 – Sinal na Porta do transistor M1.....</i>	<i>58</i>
<i>Figura 43 - Sinal no dreno do transistor M1 (inversor).....</i>	<i>58</i>
<i>Figura 44 – Sinal na saída do buffer do amplificador.....</i>	<i>58</i>
<i>Figura 45 - Proposta técnica de controle de potência.</i>	<i>59</i>
<i>Figura 46 - Circuito amplificador de potência completo com as chaves binárias S1, S2, S3, S4, S5 e S6 que são digitalmente selecionadas para os transistores NFET's.</i>	<i>60</i>
<i>Figura 47 - Casamento impedância.(a).Transmissão alta potência; (b)transmissão baixa potência.....</i>	<i>62</i>
<i>Figura 48 - Amplificador de potência excitando uma antena (100Ω).....</i>	<i>63</i>
<i>Figura 49 - Simulação do controle de potência.....</i>	<i>64</i>
<i>Figura 50 - Amplitude sinal de saída , as chaves S1, S2, S3, S4, S5 e S6 estão ligadas.....</i>	<i>65</i>
<i>Figura 51 - Amplitude sinal de saída, as chaves S1, S2, S3, S4, S5 e S6 estão desligadas.....</i>	<i>65</i>
<i>Figura 52 - Forma de onda da transformada de Fourier.....</i>	<i>66</i>
<i>Figura 53 - Potência de saída versus eficiência.</i>	<i>67</i>
<i>Figura 54 - Potências DC e AC do amplificador de potência.</i>	<i>68</i>
<i>Figura 55 - Característica de Compressão.....</i>	<i>69</i>
<i>Figura 56 - Parâmetros S11 e S21.....</i>	<i>69</i>

<i>Figura 57 - Parâmetros S_{22} e S_{12}.....</i>	<i>70</i>
<i>Figura 58 - Resposta AC do amplificador de potência.....</i>	<i>70</i>
<i>Figura 59 - Layout do amplificador de potência.</i>	<i>71</i>
<i>Figura 60 - Vista dos transistores do amplificador de potência.....</i>	<i>72</i>
<i>Figura 61 - Indutor de 19,5nH.....</i>	<i>73</i>
<i>Figura 62 - Alguns pds com circuito de proteção do amplificador de potência.....</i>	<i>73</i>
<i>Figura 63 - Transistor com anel de guarda.</i>	<i>74</i>
<i>Figura 64 – ASITIC.....</i>	<i>78</i>

Índice de Tabelas

<i>Tabela 1 - Correntes de dreno do amplificador de potência.....</i>	<i>53</i>
<i>Tabela 2 - Resposta transiente das componentes de Fourier do sinal de saída.</i>	<i>66</i>
<i>Tabela 3 - Fator de estabilidade K.....</i>	<i>70</i>

AMC	- Amplitude Shift Keying
BR	- Banda base
BER	- Taxa de erro de bit
BPF	- Filtro passa banda
CDMA	- Code Division Multiple Access
C_{gs}	- Capacitância porta-gate
CM	- Modo comum
CMOS	- Complementary Metal Oxide Silicon
DB	- Decibel
DC	- Corrente contínua
DRC	- Design Rules Check
DSSS	- Direct Sequence Spread Spectrum
F_c	- Frequência de corte
FDMA	- Frequency Division Multiple Access
FTH	- Fast Frequency Hopping
FSSS	- Frequency Hopping Spread Spectrum
f_L	- Frequência intermediária
FM	- Frequência modulada
FSK	- Frequency Shift Keying
G.A.	- Ganho de Gálio
g_m	- Transcondutância
GSM	- Global System Mobile
I_{Dp}	- Corrente de dreno de pico
I_{pp}	- Corrente de pico a pico
IS 94	- Interim standard 94 (TIA/EIA TUMA cellular standard, U.S.)
IS 95	- Interim standard 95 (TIA/EIA TUMA cellular standard, U.S.)
K_u	- Parâmetro de transcondutância de medição - CMOS

Lista de Símbolos

- AC** - Corrente alternada
- AMPS** - Advanced Mobile Telephone Service
- ASITIC** - Analysis and Simulation of Spiral Inductors and Transformers for ICs
- ASK** - Amplitude Shift Keying
- BB** - Banda base
- BER** - Taxa de erro de Bit
- BPF** - Filtro passa banda
- CDMA** - Code Division Multiple Access
- C_{gd} - Capacitância porta dreno
- CM** - Modo comum
- CMOS** - Complementary Metal Oxide Silicon
- dB** - decibel
- DC** - Corrente contínua
- DRC** - Design Rules Check
- DSSS** - Direct Sequence Spread Spectrum
- F_c - Frequência de corte
- FDMA** - Frequency Division Multiple Access
- FFH** - Fast Frequency Hopping
- FHSS** - Frequency Hopping Spread Spectrum
- FI** - Frequência intermediária
- FM** - Frequência modulada
- FSK** - Frequency Shift Keying
- G_nA_s - Arseneto de Gálio
- g_m - Transcondutância
- GSM** - Global System Mobile
- ID_{pk} - Corrente de dreno de pico
- I_{pp} - Corrente de pico a pico
- IS 54** - Interrim standard 54 (TIA/EIA TDMA cellular standard, U.S)
- IS 95** - Interrim standard 95 (TIA/EIA TDMA cellular standard, U.S)
- K_n - Parâmetro de transcondutância do transistor nMOS

K_p	- Parâmetro de transcondutância do transistor pMOS
LNA	- Amplificador de baixo ruído
LPF	- Filtro passa baixo
LVS	- Layout versus Schematic
PA	- Amplificador de potência
PSK	- Phase Shift Keying
Q	- Fator de qualidade
RF	- Rádio frequência
RFC	- Choque de rádio frequência
RL	- Resistência da carga
SFH	- Slow Frequency Hopping
SPICE	- Simulation Program With Integrated Circuits Emphasis
SW	- Software
TDMA	- Time Division Multiple Access
V_{DD}	- Tensão de alimentação
V_{DS}	- Tensão fonte/dreno do transistor MOS
V_{GS}	- Tensão fonte/porta do transistor MOS
V_{pp}	- Volt de pico a pico
V_{th}	- Tensão de threshold
Wireless	- Comunicação sem fio
Z_0	- Impedância característica

1.2 Objetivos

Com a grande variedade de tipos de sistemas de comunicação sem fio (Wireless), a necessidade de sistemas com baixa complexidade e baixo custo para comunicação sem fio é cada vez maior. A RF é essencial para a comunicação e baixo custo. Um sistema Wireless em um sistema de comunicação sem fio deve ser capaz de operar em uma faixa de frequência de rádio frequência (RF) com uma potência de saída de 100 mW a 1 W. O objetivo é que um sistema Wireless em um sistema de comunicação sem fio seja capaz de operar em uma faixa de frequência de rádio frequência (RF) com uma potência de saída de 100 mW a 1 W.

Capítulo 1

1 Introdução

1.1 Considerações Gerais

Este trabalho aborda o projeto de um amplificador de potência balanceado na tecnologia CMOS de $0,35\mu\text{m}$ para operar na faixa de 824 a 849MHz com uma tensão de alimentação de 3V. A potência de saída é controlada digitalmente para fornecer uma potência de saída mínima $0,18\mu\text{W}$ ($\sim -37,5\text{dBm}$), e uma potência máxima $31,25\text{ mW}$ ($\sim 15\text{ dBm}$) a uma antena, correspondendo a uma faixa dinâmica de controle de 52,5 dB. Este amplificador sintonizado é centrado na frequência 836,5MHz.

O amplificador de potência apresenta uma eficiência na conversão de potência em torno de 25% para uma potência de saída máxima de $31,5\text{mW}$ ($\sim 15\text{dBm}$).

Para simulação do circuito foi utilizado SPICE (Simulation Program With Integrated Circuits Emphasis) e para simulação da bobina de RF, usou-se o ASITIC (Analysis and Simulation of Spiral Inductors and Transformers for ICs). Na simulação SPICE dos parâmetros S do amplificador, constatou-se que o amplificador é incondicionalmente estável por todas as frequências, dentro e fora da banda.

Este amplificador foi projetado para ser usado em modulação FSK [3][17] em um transceptor de espalhamento espectral utilizando a técnica CDMA.

1.2 Objetivos

Com o grande interesse atual nos sistemas de comunicações sem fio (Wireless), a necessidade de telefones sem fio, modems sem fio e redes de comunicações pessoais têm exigido que os componentes de RF apresentem alto nível de integração e baixo custo. Um transceptor Wireless em um único chip é desejável. Este, deve apresentar um pequeno consumo de potência, suportar tráfego de voz e de dados sobre uma pequena faixa de transmissão e ter controle de potência de transmissão, evitando interferências e economizando potência. O objetivo é que este sistema opere em baixa tensão com alta eficiência e estenda a vida útil da bateria.

A tecnologia usada atualmente na implementação de componentes de RF é a de Arseneto de Gálio (GaAs), devido à baixa figura de ruído, alto ganho e alta potência de saída. Porém, com a evolução nos processos de fabricação dos componentes CMOS, estes tornaram-se confiáveis para serem usados em alta frequência. A tecnologia CMOS oferece alto nível de integração digital e analógica com a vantagem da redução do consumo de potência e baixo custo comparado com GaAs.

Foram analisados estes aspectos e, decidiu-se pelo projeto de um amplificador de potência na tecnologia CMOS de $0,35\mu\text{m}$, com controle de potência digital para ser usado em um transceptor de espalhamento espectral na faixa de frequência 824 a 849MHz.

1.3 Estrutura da dissertação

Esse trabalho se divide em seis capítulos.

O Capítulo 2, aborda sobre arquitetura de um sistema RF e a tecnologia de múltiplos acesso, os tipos de modulações.

O Capítulo 3, descreve os conceitos básicos e os tipos de amplificadores de potência e suas principais características e limitações, mostra configurações de controle de potência, aborda sobre o projeto do circuito sintonizado, indutores, topologia diferencial.

O Capítulo 4, descreve detalhes do projeto do amplificador de potência, os pré-amplificadores e seu controle de potência.

O Capítulo 5, mostra o circuito completo, suas simulações e o layout do amplificador de potência.

Finalmente, o Capítulo 6, traz as conclusões finais e as expectativas futuras.

Capítulo 2

2 Fundamentos.

2.1 Arquitetura de um Sistema de RF (Rádio Frequência).

A Figura 1, ilustra uma estrutura básica de um transceptor de RF para comunicação pessoal.

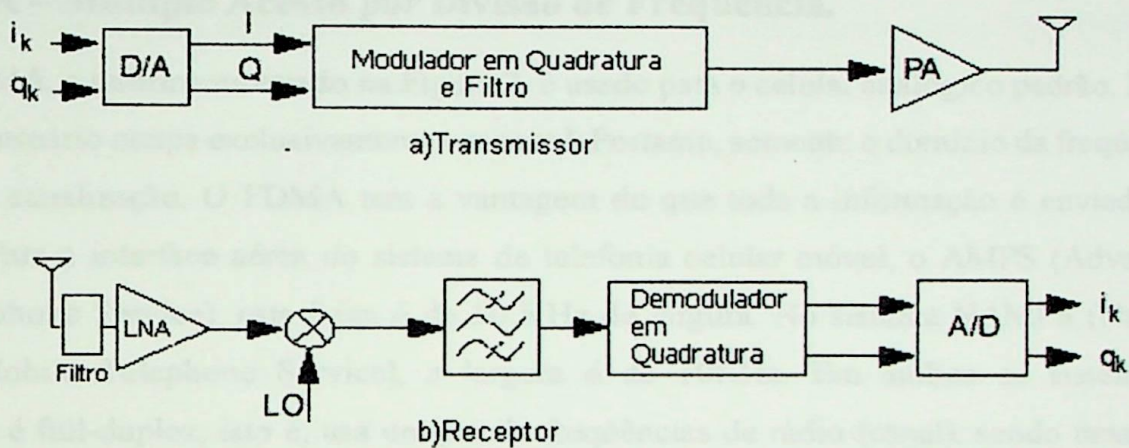


Figura 1 - Diagrama em blocos de um transceptor de uma estação rádio base.

No transmissor os dados digitais são inicialmente codificados, e então os sinais em fase I, e em quadratura Q são combinados e modulados por uma portadora de RF no modulador em quadratura, ou os dois estágios devem ser combinados em um único bloco. Este sinal será filtrado e aplicado em um amplificador de potência, que por sua vez excita a antena que irradia o sinal para o ar completando a transmissão.

O receptor realiza a operação inversa, embora componentes diferentes devam ser usados. O sinal recebido na antena é filtrado para selecionar a banda de RF de interesse, e à seguir o sinal é encaminhado para um amplificador de baixo ruído - LNA (Low Noise Amplifier). Após o LNA, o sinal é misturado com um oscilador local que gera a frequência de FI. Este sinal é usualmente filtrado e em seguida demodulado diretamente para banda base, no caso de conversão direta ou homodina, ou demodulado por uma ou mais frequências intermediárias (FI), no caso de receptor heterodino ou super heterodino. Frequentemente, o último estágio de demodulação irá

separar o sinal em dois componentes, um em fase I, e outro em quadratura Q. Uma vez na banda base, o sinal é convertido para sinal digital e então processado.

2.2 Tecnologia de Múltiplos Acessos.

Em um sistema celular, utiliza-se o sistema de múltiplo acesso, o que significa que vários usuários utilizam o mesmo recurso, no caso o espectro de frequência, simultaneamente dentro de uma interferência aceitável. As técnicas de múltiplos acessos mais utilizadas são:

FDMA – (Frequency Division Multiple Access); **TDMA** – (Time Division Multiple Access);
CDMA – (Code Division Multiple Access)

2.2.1 FDMA – Múltiplo Acesso por Divisão de Frequência.

O FDMA, conforme mostrado na Figura 2, é usado para o celular analógico padrão. Neste sistema cada usuário ocupa exclusivamente um canal. Portanto, somente o domínio da frequência é usado para canalização. O FDMA tem a vantagem de que toda a informação é enviada em tempo real. Para a interface aérea do sistema de telefonia celular móvel, o AMPS (Advanced Mobile Telephone Service), esta faixa é de 30 KHz de largura. No sistema NAMPS (Narrow Advanced Mobile Telephone Service), a largura é de 10KHz. Em ambos os sistemas a comunicação é full-duplex, isto é, usa um par de frequências de rádio (canal), sendo uma para transmitir informações, e outra para recebê-las.

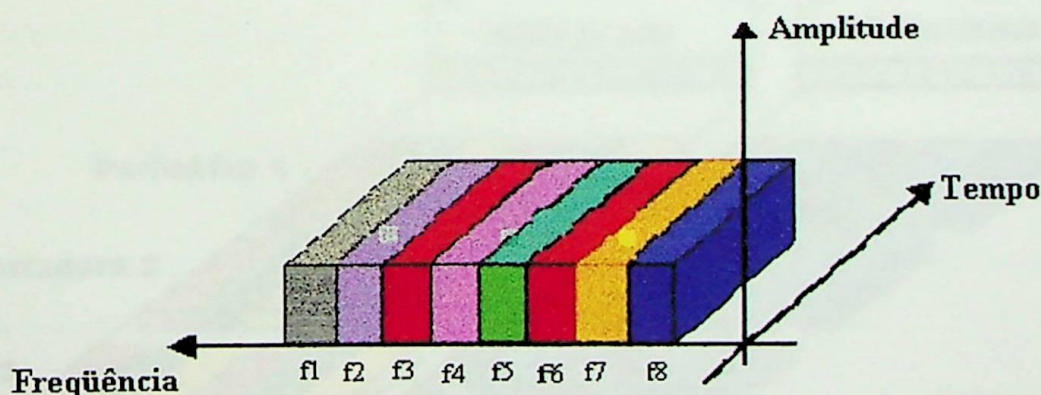


Figura 2 - Múltiplo acesso por divisão de frequência.



2.2.2 TDMA – Múltiplo Acesso por Divisão de Tempo

No TDMA, conforme representado na Figura 3, os usuários são alocados à uma faixa do espectro de RF de 30 kHz (uma vez que esta técnica foi projetada para co-existir facilmente com o AMPS), sendo que agora três usuários devem compartilhar um único canal. Assim, após a divisão em frequência, o canal é dividido no tempo em seis time-slots, e cada canal utiliza um ou dois slots, permitindo aumentar em 3,0 a 6 vezes a capacidade do AMPS. A um determinado usuário é designado um slot de tempo particular no canal e somente pode mandar ou receber informações naquele tempo. Outros usuários estarão usando os outros slots de tempo. Assim, o fluxo de informação não é contínuo para cada usuário, mas enviado e recebido em surtos (burst). Os surtos são agrupados na extremidade receptora e parecem contínuos, porque o processo é muito rápido. O quadro tem duração de 40ms, correspondendo a uma janela de 6,67ms. O TDMA refere-se a interface aérea, conforme padrão IS 136.

O TDMA proporciona ao usuário uma durabilidade na carga da bateria maior, ou melhor, mais tempo de conversação, uma vez que a unidade móvel transmite em apenas uma porção do tempo (1/3 a 1/10) de conversação.

O sistema padrão europeu GSM (Global System Mobile) é também uma tecnologia TDMA, mas usa canais de largura 200KHz, que são subdivididos em 8 slots de tempo por canal. O sistema celular digital pessoal PDS (Personal Digital System) japonês é também um TDMA.

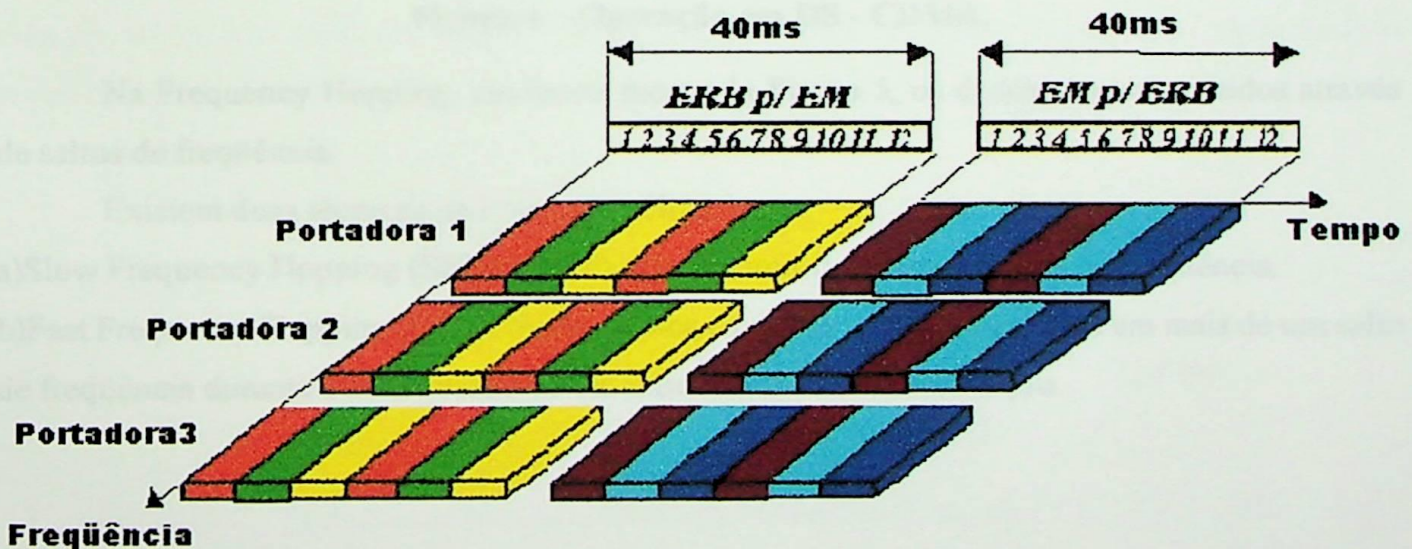


Figura 3 - Múltiplo acesso por divisão de tempo.

2.2.3 CDMA – Múltiplo Acesso por Divisão de Código.

Espalhamento Espectral (Spread Spectrum) é uma forma de processamento de sinais que utiliza uma banda de frequência muito maior do que a tipicamente requerida para uma dada taxa de transmissão. As duas técnicas mais utilizadas são: Direct Sequence Spread Spectrum (DSSS); Frequency Hopping Spread Spectrum (FHSS).

O sistema Sequência Direta é a mais utilizada das técnicas de spread spectrum, onde o sinal é multiplicado por um código pseudo-aleatório denominado PN-code, que é uma seqüência de chips (bit de PN-code) com valor -1 e $+1$ (polar), ou 0 e 1 (não polar) como mostra a Figura 4. O tipo a ser utilizado pelo celular é seqüência direta (DSSS)

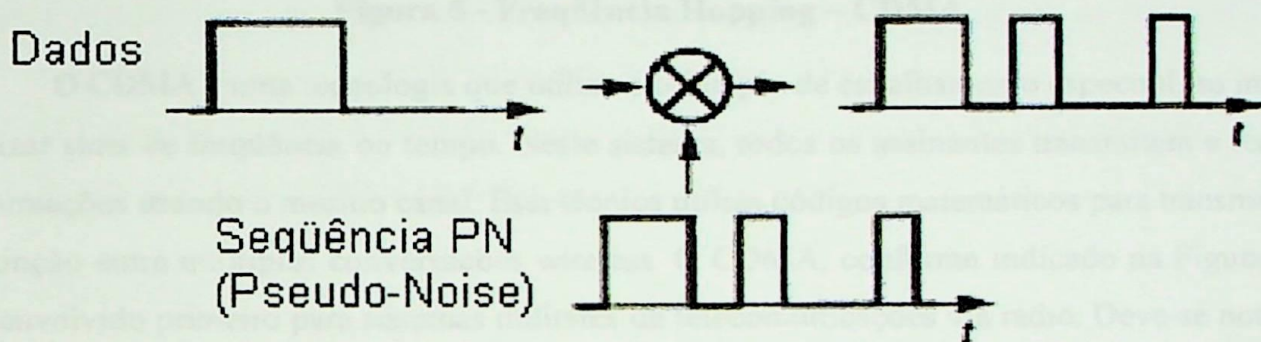


Figura 4 – Operação em DS - CDMA.

Na Frequency Hopping, conforme mostrado Figura 5, os dados são transmitidos através de saltos de frequência.

Existem duas técnicas de Frequency Hopping:

- a) Slow Frequency Hopping (SFH). Os bits são transmitidos com um salto de frequência.
- b) Fast Frequency Hopping (FFH). Nesta técnica os dados são representados em mais de um salto de frequência durante a transmissão de um único símbolo de informação.

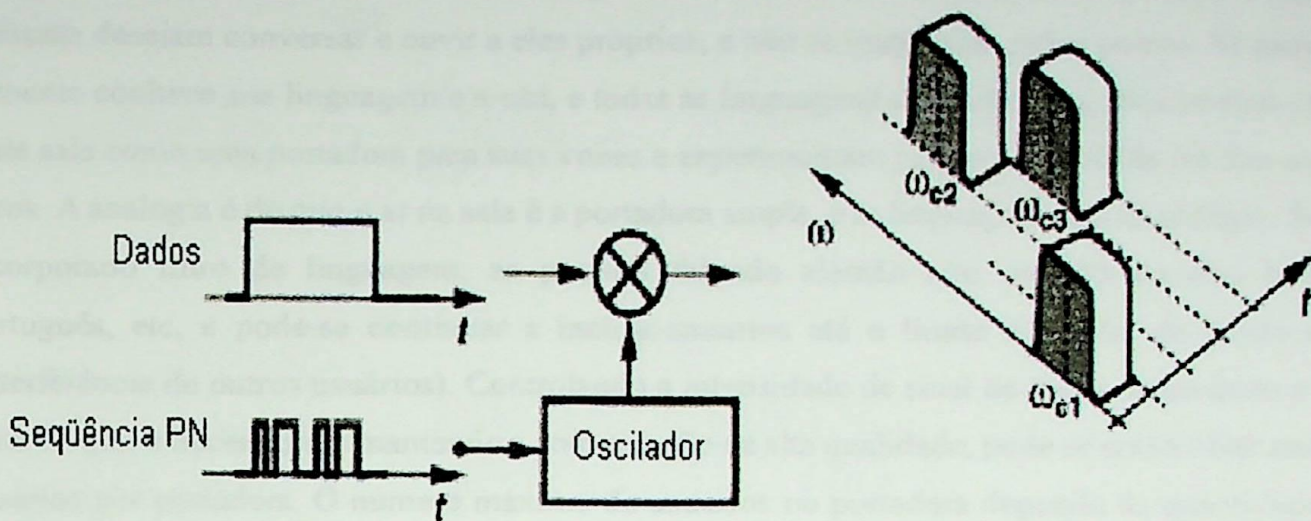


Figura 5 - Frequência Hopping – CDMA.

O CDMA é uma tecnologia que utiliza o princípio de espalhamento espectral, ao invés de utilizar slots de frequência ou tempo. Neste sistema, todos os assinantes transmitem e recebem informações usando o mesmo canal. Esta técnica utiliza códigos matemáticos para transmissão e distinção entre múltiplas conversações wireless. O CDMA, conforme indicado na Figura 6, foi desenvolvido primeiro para sistemas militares de telecomunicações via rádio. Deve-se notar que o canal, ou ainda a portadora, é amplo – 1,25 MHz. Os canais de tráfego são criados pela designação a cada usuário de códigos separados, e espalhando cada código sobre a portadora inteira. Assim, não há divisão de tempo, e todos os usuários usam a portadora inteira, todo o tempo. É muito difícil interferir numa transmissão via rádio que use CDMA, e também rastrear e ouvir clandestinamente esta transmissão.

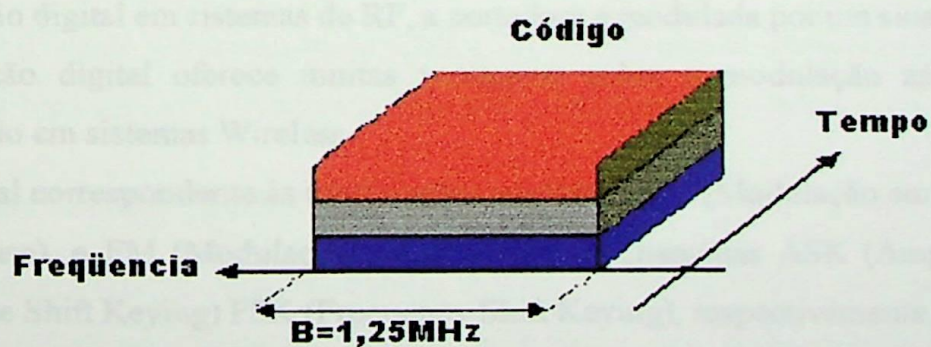


Figura 6 - Múltiplo Acesso por Divisão de Código.

Para compreender a diferença, imagine uma sala com diversos pares de pessoas. Os pares somente desejam conversar e ouvir a eles próprios, e não se interessam pelos outros. Se cada par somente conhece sua linguagem e a usa, e todas as linguagens são diferentes, eles podem usar o ar da sala como uma portadora para suas vozes e experimentam pequena interferência dos outros pares. A analogia é de que o ar na sala é a portadora ampla, e as linguagens são os códigos. Se for incorporado filtro de linguagem, as pessoas falando alemão não ouvirão aquelas falando português, etc, e pode-se continuar a incluir usuários até o limite do ruído de fundo total (interferência de outros usuários). Controlando a intensidade de sinal de todos os usuários a não mais do que o necessário e mantendo a conversação de alta qualidade, pode se então obter muitos usuários por portadora. O número máximo de usuários ou portadora depende da quantidade de atividade que está se processando em cada portadora e, portanto não é precisa. O conceito de carga suave, no qual um usuário adicional pode geralmente ser acomodado, se necessário, a um custo de um pouco mais de interferência para os outros usuários.

O CDMA usa as frequências disponíveis de forma eficiente, simplifica o planejamento, pois todas as unidades transmitem e recebem na mesma frequência.

2.3 Modulação

As Modulações Analógica e Digital são funções essenciais em sistemas de comunicações. Enquanto novos métodos de desempenho destas funções continuam a aparecer, esquemas como o FSK, o PSK e outros têm amadurecido durante anos e são empregados em muitas aplicações de RF.

2.3.1 Modulação Digital.

Na modulação digital em sistemas de RF, a portadora é modulada por um sinal banda base digital. A modulação digital oferece muitas vantagens sobre a modulação analógica e é amplamente utilizado em sistemas Wireless.

A parte digital correspondente às modulações analógica AM (Modulação em Amplitude), PM (Modulação Fase), e FM (Modulação Frequência) são chamadas ASK (Amplitude Shift Keying), PSK (Phase Shift Keying) FSK (Frequency Shift Keying), respectivamente.

A Figura 7 ilustra exemplos destas formas de ondas para um sinal de banda base. Em aplicações de RF, o PSK e o FSK são mais utilizados do que o ASK devido a baixa susceptibilidade ao ruído[3].

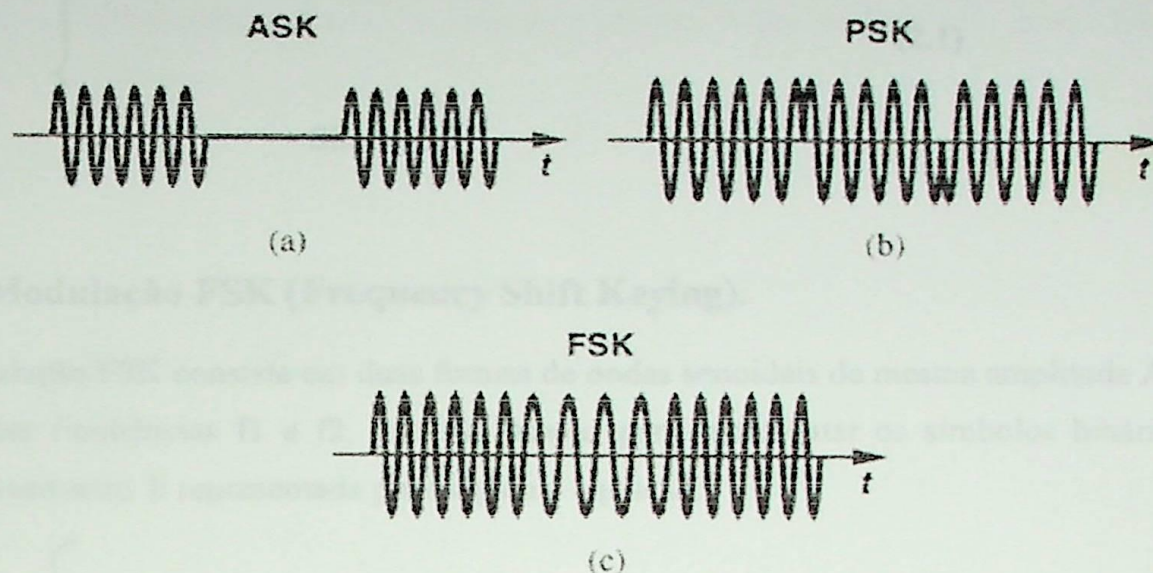


Figura 7 – Modulação – a) amplitude, b) fase, c) frequency shift keying.

A análise de um modem está vinculada a três parâmetros: qualidade do sinal, eficiência do espectro e eficiência da potência. A qualidade do método de sinalização digital é expresso em termos de taxa de erro de bits (BER), definido como a medida de número de bits errados observado na saída do detector dividido pelo número de bits recebido em uma unidade de tempo. Assim, o objetivo é o cálculo da probabilidade de erros em presença de ruído ou interferência.

Os primeiros sistemas de telefones celulares foram baseados na modulação analógica; porém os sistemas wireless de segunda e terceira geração usam a modulação digital. As técnicas de modulação digital são usadas para transmitir dados binários sobre um canal de comunicação passa banda com limites de frequência fixas estabelecidos pelo canal.

Em um sistema de transmissão M-aries, durante cada intervalo de bit é possível transmitir somente um entre M possíveis sinais. Para quase todas as aplicações, o número de possíveis sinais é igual a $M = 2^n$ onde n é um número inteiro [3]. Na técnica de modulação digital mais simples, chamada de binário, ($n = 0$), somente dois símbolos são transmitidos.

2.3.2 ASK (Amplitude Shift Keying).

No sistema de modulação ASK, o símbolo binário 1, é representado pela transmissão de uma portadora senoidal de amplitude A_c , frequência f_c fixa e com uma duração de bit de T_b segundos, ao passo que o símbolo binário 0 é representado pelo chaveamento da portadora desligada por T_b segundos. Pode-se representar a modulação ASK da seguinte forma:

$$S(t) = \begin{cases} A_c \cos(2\pi f_c t) & \text{Símbolo 1} \\ 0 & \text{Símbolo 0} \end{cases} \quad (2.1)$$

2.3.3 Modulação FSK (Frequency Shift Keying).

A modulação FSK consiste em duas formas de ondas senoidais de mesma amplitude A_c , mas de diferentes frequências f_1 e f_2 , que são usadas para representar os símbolos binários 1 e 0, respectivamente. É representada pela seguinte equação:

$$S(t) = \begin{cases} A_c \cos(2\pi f_1 t) & \text{Símbolo 1} \\ A_c \cos(2\pi f_2 t) & \text{Símbolo 0} \end{cases} \quad (2.2)$$

2.3.4 PSK (Phase Shift Keying).

A modulação binária PSK consiste em variar a fase da portadora de acordo com o nível lógico do pulso a ser transmitido. Por exemplo, a modulação pode ter a fase igual a zero, quando se transmite o nível lógico 1 e igual a 180° se o nível lógico for zero. Este tipo de modulação é conhecido como BPSK (Binary Shift Keying).

O sinal PSK pode ser escrito como:

$$S(t) = \begin{cases} A_c \cos 2\pi f_c t & \text{Símbolo 1} \\ A_c \cos(2\pi f_c t + \pi) & \text{Símbolo 0} \end{cases} \quad (2.3)$$

Considera-se neste projeto que a modulação a ser usada é FSK devido a simplicidade na detecção e eficiência de potência. Facilitando o projeto do pré-amplificador, pois a linearidade não será um problema.

3 Conceitos Básicos do Amplificador de Potência.

3.1 Considerações no Projeto do Amplificador de Potência.

O estágio de amplificação de potência para sistemas de comunicações sem fio (Wireless) é conectado entre o amplificador e a antena, tal como ilustrado na Figura 8. As principais considerações que o amplificador deverá ter são: a alta eficiência, o controle de potência, o casamento de impedância, e baixa emissão de espúrias.

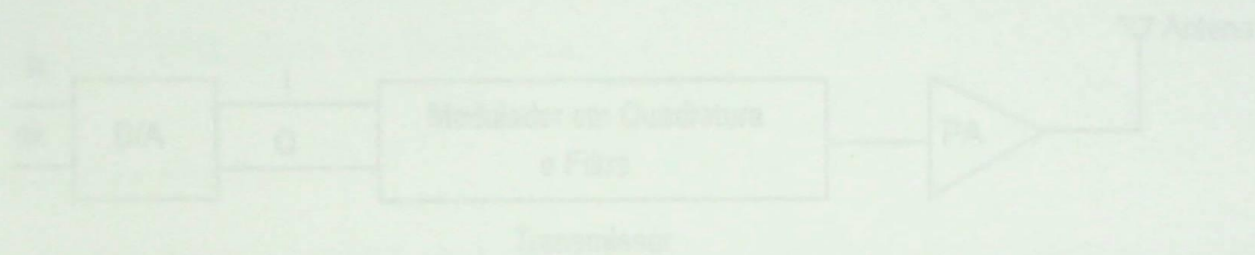


Figura 8 - Transmissor

O amplificador de potência de um transceptor durante o período de transmissão e no estado ligado ("on") consome maior corrente de alimentação. Porém, nos sistemas modernos, os transceptores empregando o controle de potência adaptativo, ajustam a potência média transmitida pelo amplificador de potência a um nível mínimo necessário e suficiente para uma recepção segura. A economia de potência também reduz as interferências nas células vizinhas.

Este sistema de controle de potência possibilita que a estação rádio móvel regule os níveis de potência transmitida de cada transceptor, permitindo com isso que um número maior de usuários compartilhe um canal de rádio com controle de interferência. Assim, o amplificador de potência deve ter alta eficiência com um nível de saída relacionado digitalmente.

O uso de tecnologia CMOS não somente reduz a potência total do sistema, mas também proporciona capacidade de controle digital de potência necessária em aplicações sem fio.

Capítulo 3

3 Conceitos Básicos do Amplificador de Potência.

3.1 Considerações no Projeto do Amplificador de Potência.

O estágio de amplificação de potência para sistema de comunicações sem fio (Wireless) é colocado entre o modulador e a antena, tal como ilustrado na Figura 8. As principais características que o amplificador deverá ter são: a alta eficiência, o controle de potência, o casamento de impedância, a baixa emissão de espúrias.

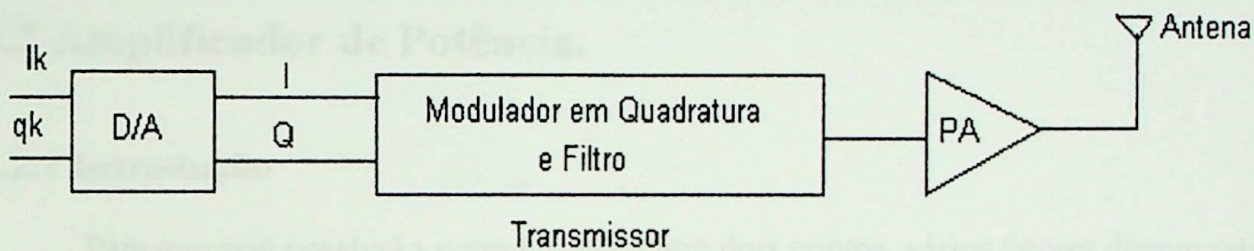


Figura 8 - Transmissor

O amplificador de potência de um transceptor durante o período de transmissão e no estado ligado (“on”) consome maior corrente de dreno. Porém, nos sistemas modernos, os transceptores empregando o controle de potência adaptativo, conforme mostrado na Figura 9, reduz a potência média transmitida pelo amplificador de potência a um nível mínimo necessário e suficiente para uma recepção segura. A economia de potência também reduz as interferências nas células vizinhas.

Este sistema de controle de potência possibilita que a estação rádio base regule os níveis de potência transmitida de cada transceptor, permitindo com isto que um número maior de usuários compartilhe um canal de rádio com controle de interferência. Assim, o amplificador de potência deve ter alta eficiência com um nível de saída selecionado digitalmente.

O uso da tecnologia CMOS não somente reduz a potência total do sistema, mas também proporciona capacidade de controle digital de potência necessária em aplicações sem fio.

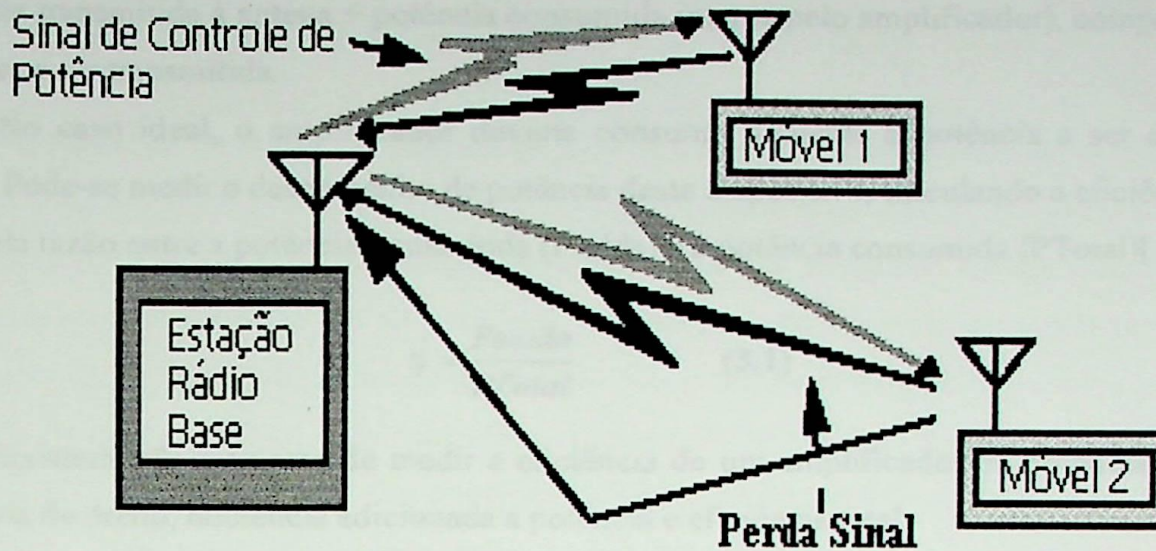


Figura 9 - Esquema Controle de potência.

3.2 Amplificador de Potência.

3.2.1 Introdução

Para que seja possível a comunicação entre dois pontos, vários fatores devem satisfazer os requisitos estabelecidas. Primeiramente, deve-se ter um meio que possa transportar o sinal ou a informação de forma segura de modo que o receptor possa entender e recuperar esta informação. Em segundo lugar, deve haver um dispositivo que transmita e receba os dados que se deseja comunicar (áudio, vídeo, dados, etc.). No transmissor deverá existir um estágio que produza o sinal codificado, de tal forma que o receptor entenda. Este sinal a ser transmitido deverá ser amplificado a um nível adequado, prevenindo as perdas ocorridas entre o transmissor e o receptor. Este dispositivo é conhecido como amplificador de potência. O sinal de saída de um amplificador de potência é aplicado normalmente em uma carga, um elemento real de circuito, uma antena ou dispositivo similar. Como se deseja níveis altos de sinal, uma grande quantidade de potência é consumida internamente pelo amplificador de potência. Em muitas aplicações este consumo não é crítico. No entanto em outras situações onde existe uma quantidade limitada de energia disponível, a potência consumida por todo dispositivo deve ser minimizada à fim de que seja maximizado o tempo de energia disponível. Nesta situação o amplificador de potência tem a função de excitar a antena com a máxima potência de saída, e consumir a mínima potência

(potência transmitida à antena + potência consumida interna pelo amplificador), comparada com a que deve ser transmitida.

No caso ideal, o amplificador deveria consumir somente a potência a ser entregue a antena. Pode-se medir o desempenho de potência deste dispositivo, calculando a eficiência que é dada pela razão entre a potência transmitida ($P_{saída}$) e a potência consumida (P_{Total})[19][15]:

$$\eta = \frac{P_{saída}}{P_{Total}} \quad (3.1)$$

Existem três maneiras de medir a eficiência de um amplificador de potência real. Pela eficiência de dreno, eficiência adicionada a potência e eficiência total.

3.2.2 Eficiência de Dreno:

A eficiência de dreno é definida como a relação entre potência de saída de RF e a potência de entrada DC [2][19].

$$Ef_{Dreno} = \frac{P_{RFSAÍDA}}{P_{DC}} \quad (3.2)$$

Onde, $P_{RFSAÍDA}$ é a potência fornecida para a carga na frequência de RF desejada (referente a primeira harmônica, pois as demais harmônicas podem ser desconsideradas), P_{DC} é a potência total fornecida pela fonte DC ou potência necessária para alimentar o circuito.

3.2.3 Eficiência adicionada a Potência ou PAE.

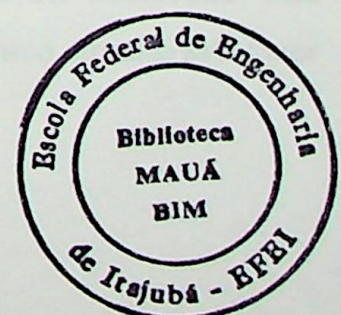
É a relação entre a diferença da potência de RF de saída e a potência de entrada e a potência DC [2][19].

$$PAE = \frac{P_{RFsaída} - P_{RFentrada}}{P_{DC}} \quad (3.3)$$

Onde, $P_{RFentrada}$ é a potência necessária para excitar à entrada na frequência RF de interesse.

3.2.3 Eficiência TOTAL

A eficiência total é definida por[19]:



$$E_{ftotal} = \frac{P_{RFSaída}}{P_{DC} + P_{RFentrada}} \quad (3.4)$$

Os três tipos de eficiência são usados para caracterizar o desempenho do amplificador de potência. Para um amplificador de potência ideal, a eficiência total deve ser próxima de um, onde a potência fornecida para a carga deve ser idêntica à fornecida pela fonte. No caso ideal, não deve haver consumo de potência no amplificador, ou melhor, não deve ter consumo potência nos transistores ou em outros dispositivos que constituem o amplificador de potência. Na realidade, a eficiência de um amplificador de potência não atinge 100%, principalmente em alta frequência, devido ao consumo de potência dos componentes internos do amplificador. No caso de sistemas de alta frequência, o amplificador de potência deve amplificar o sinal e excitar a carga de saída. Para realizar este processo eficientemente, o dispositivo deve consumir pouca ou nenhuma potência durante a amplificação. Para solucionar os problemas de projeto de amplificadores de potência, diferentes soluções têm sido descobertas e refinadas [19]. Porém, com o crescimento do mercado wireless, um novo grupo de projetistas começaram a atacar o problema. Estes, ao invés de utilizar dispositivos discretos em placas de circuito impresso, sugerem soluções integradas, em que o amplificador de potência completo com os mesmos componentes passivos, são colocados em um ou mais chips. Com isto houve uma redução de tamanho, custo e consumo, mantendo-se a eficiência [19].

3.3 Arquitetura de Amplificadores de Potência.

No passado existia uma grande quantidade de arquiteturas de amplificadores de potência que poderiam ser implementados. Os amplificadores de potência são divididos em várias categorias dependendo, se eles são de banda larga ou banda estreita, e se devem operar linearmente ou não linear.

Um amplificador é dito linear, quando tem uma relação linear entre entrada e saída, ou melhor, quando a saída produz uma réplica da entrada. Um amplificador não linear é aquele que geralmente produz uma saída, cuja amplitude é idealmente independente da entrada. Serão visto os amplificadores não lineares para aplicação em sinais com envoltória constante, fornecendo uma alta eficiência para sinais de amplitude constante. Como poderá ser observada, esta variedade de topologias de amplificadores reflete a incapacidade de um único circuito satisfazer todas as exigências.

3.4 Considerações Gerais.

O teorema de máxima transferência de potência, que estabelece que a potência transferida a uma carga por um circuito de corrente contínua linear bilateral será máximo, quando a resistência desta carga for exatamente igual à resistência equivalente do circuito ligado a esta carga, é inútil em projetos de amplificadores de potência[4]. Uma das razões é que não está completamente claro como definir impedância para grande sinal em um sistema não linear. Uma outra razão mais importante é que mesmo que se fosse capaz de solucionar este pequeno problema e fazendo o casamento de impedância entre a saída do amplificador de potência e a carga, a eficiência deverá ser somente 50%, por causa da igual quantidade de potência que é dissipada. Em muitos casos este valor é inaceitavelmente baixo. Pode-se exemplificar o problema de um fornecimento de 50W para uma antena, onde o amplificador tem uma eficiência de 50%. A dissipação do circuito deve ser igualmente 50W, introduzindo, ou melhor, exigindo uma gerência térmica. Igualmente, no domínio de baixa potência, dispositivos de comunicações portáteis, como telefone celular, é desejável uma alta eficiência para se estender vida útil e reduzir o peso das baterias. Portanto, em vez da limitação da eficiência em 50% imposta pelo teorema da máxima transferência, um amplificador de potência fornece uma quantidade de potência específica para a carga com alta eficiência, compatível com ganho e linearidade aceitável. Estas metas podem ser alcançadas, ignorando-se este teorema.

Inicialmente, considere um transmissor que fornece 1W de potência em uma antena de 50Ω! A potência ca na carga será [5]:

$$P_L = \frac{V_{PP}^2}{8R_L} = \frac{R_L \times I_{PP}^2}{8} \quad (3.5)$$

onde, P_L é potência ca da carga, V_{pp} é a tensão de pico a pico sobre a carga, R_L é a Resistência da Carga e I_{pp} é corrente de pico a pico na carga.

A corrente pico a pico vale $I_{pp} = 400\text{mA}$.

Considerando um amplificador fonte comum (ou emissor comum), como mostrado na Figura 10.a e 10.b, necessita-se de uma fonte de alimentação (V_{DD}) maior que V_{pp} [3]. No entanto, se for substituída a fonte de corrente da Figura 10.b, por um indutor denominado de Choque de Rádio Freqüência (RFC) a fonte de alimentação poderá ser reduzida pela metade, pois no ponto X, a tensão V_x pode oscilar de aproximadamente "0" a $2V_{DD}$.

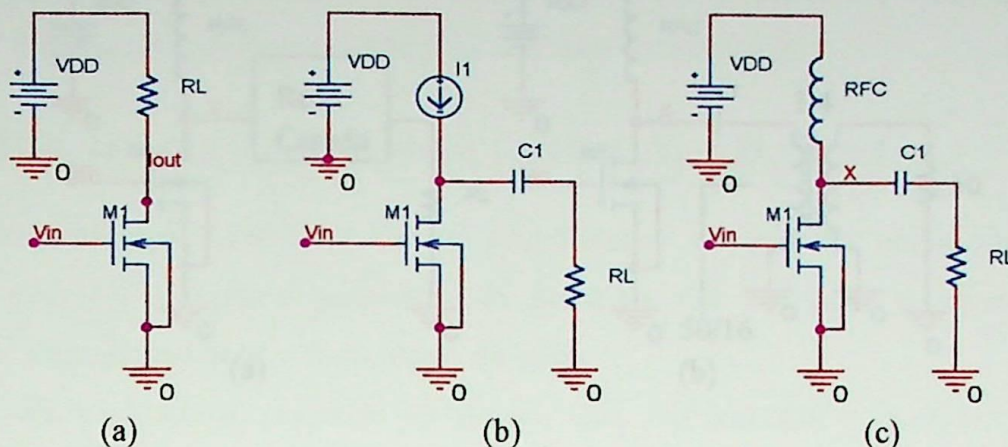


Figura 10 - Estágio Fonte comum com diferentes tipos de conexão de carga.

Assim, o indutor RFC aproxima-se de uma fonte de corrente que pode suportar ambas tensões positiva e negativa. Apesar de uma menor fonte de alimentação, o uso do indutor RFC não diminui o estresse em um dispositivo ativo, por exemplo, a máxima tensão dreno fonte experimentada pelo transistor M1. Porém, uma tensão de 10V necessita de um grande número de baterias. Para que uma baixa tensão de alimentação forneça uma potência de 1W para uma antena de 50Ω , uma rede casada pode ser interposta entre o amplificador e a carga, como pode ser visto na Figura 11.a. A Figura 11.b, mostra um transformador sem perdas com uma relação de espiras 1:4, que converte uma tensão 5Vpp no nó X, para uma tensão de 20Vpp na saída. Por um outro ponto de vista, a rede casada transforma a carga RL para um valor pequeno, tal que a tensão proporcionada pelo amplificador de potência pode fornecer a potência de saída necessária.

Amplificadores e transformadores em circuitos. Simuladamente uma resistência de alguns milohms no capacitor, no RFC ou no indutor casado pode resultar em uma considerável perda. Por sua natureza, indutores e capacitores em circuitos de RF tornam-se cruciais. É interessante notar que como no estágio de saída de amplificador de potência, é na entrada dos LNAs, geralmente feitos em tecnologia de transistor, visto que uma grande corrente pode introduzir vários problemas com mais dispositivos ativos no caminho de sinal.

As espiras e os núcleos na saída de um amplificador de potência em uma banda de frequência são críticos, se o transformador incorpora um deslocamento de fase por causa de frequência mais altas, deve-se considerar o casamento de impedância. É importante notar que as perdas do transformador que conduzem a uma diminuição, através do amplificador de saída e do LNA. Calculando a figura de ruído e o ganho de potência do amplificador, o ruído térmico de saída deve

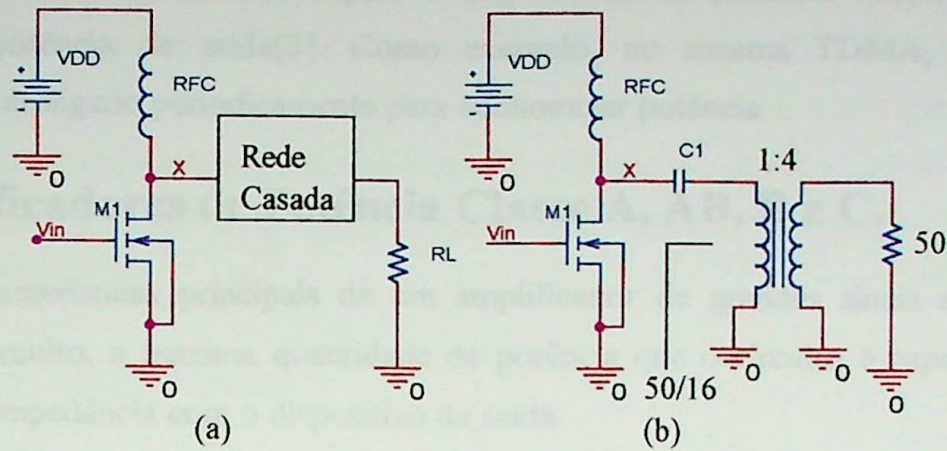


Figura 11 - Rede Casada (a) Rede casada como amplificador de tensão, (b)Uso de transformador como rede casada.

A necessidade de transformar a tensão significa que a corrente gerada pelo amplificador de potência deve ser proporcionalmente alta. Para o exemplo da Figura 11.a, a corrente de pico no primário do transformador excede 800mA. O transistor M1 deve diminuir a corrente, fluindo através de ambos RFC, e do transformador. Quando $V_x = 0$, a corrente pico do dreno é próximo de 1,6A. Na prática, a eficiência deve ser menor que 40%, implicando uma alta corrente, através do transistor de saída. Uma das dificuldades nos projetos de amplificadores de potência é o encapsulamento devido à altas correntes nos dispositivos de saída e da rede casada[3].

Se um pico de corrente, através do transistor de saída é da ordem de vários ampéres, em 900MHz é de 10A/ns [3]. Assim, uma capacitância parasita de 10pF, causa uma redução de 100mV na tensão de saída[3]. Além disso, a capacitância parasita pode introduzir várias ressonâncias e instabilidade no circuito. Similarmente uma resistência de poucos miliohms no transistor, no RFC ou na rede casada pode resultar em uma considerável perda. Por esta razão o layout e o encapsulamento em projeto de circuitos em RF tornam-se cruciais. É interessante notar que como no estágio de saída do amplificador de potência, e na entrada dos LNAs, geralmente inclui-se somente um transistor, visto que uma grande corrente pode introduzir maiores perdas com mais dispositivos ativos no caminho do sinal.

As espúrias e os ruídos na saída de um amplificador de potência em uma banda de recepção são críticos, se o transceptor incorpora um duplexador (vide anexo).por divisão de frequência sem offset entre o transmissor e o receptor. Isto é devido à isolação finita entre as duas portas do duplexador que conduz a uma alimentação, através do amplificador de saída e do LNA. Calculado a figura de ruído e o ganho de potência do amplificador, o ruído térmico de saída deve

ser tipicamente abaixo da ordem de -130dBm/Hz [3] para ser desprezível na entrada do LNA. Uma outra característica necessária para o amplificador de potência em wireless padrão é o controle da potência de saída[3]. Como exemplo, no sistema TDMA, IS-54 e GSM, o amplificador é desligado periodicamente para economizar potência.

3.5 Amplificadores de Potência Classe A, AB, B e C.

As características principais de um amplificador de grandes sinais são a eficiência de potência do circuito, a máxima quantidade de potência que o circuito é capaz de fornecer, e o casamento de impedância com o dispositivo de saída.

Os amplificadores se dividem em classes que representam o intervalo de tempo que o sinal de saída varia sobre um ciclo de operação, para um ciclo completo do sinal de entrada.

Existem vários tipos de amplificadores de potência, classificados primeiramente pelas condições de polarização, e são denominados de “clássicos”, por causa de suas precedências históricas. Eles são classificados como classe A, AB, B e C, e todos os quatro devem ser compreendidos, analisando o modelo simples da Figura 12.

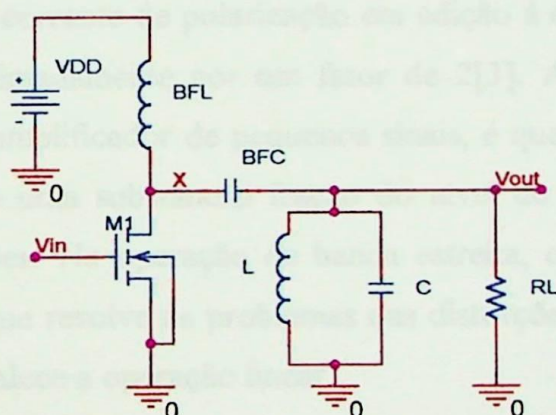


Figura 12 - Modelo genérico de um amplificador de potência.

Neste modelo genérico conforme mostrado na Figura 12, o resistor R_L representa a carga a qual se fornece a potência de saída. Uma indutância BFL supre a potência DC do dreno, e é grande, o suficiente para que a corrente através dele seja substancialmente constante. O dreno é conectado a um circuito tanque, através do capacitor BFC para impedir dissipação DC na carga. Uma vantagem nesta configuração particular é a capacitância de saída do transistor, que pode ser absorvida pelo tanque como um amplificador convencional de pequeno sinal, outra é que a

filtragem proporcionada pelo tanque elimina emissões fora da banda, causadas pelas não linearidades. Esta consideração é particularmente importante aqui, porque há restrição à operação de pequenos sinais e, portanto, pode-se esperar alguma distorção. Para simplificar a análise, será assumido que o circuito tanque tem um alto Q (fator de qualidade), ainda que a corrente suprida seja não senoidal. Esta suposição necessariamente emprega a operação de banda estreita. Embora amplificadores de potência banda larga são também de interesse, limitar-se-á aos casos de banda estreita.

3.5.1 Amplificadores Classe A

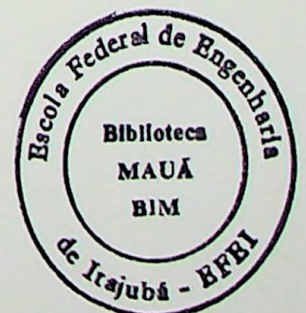
O amplificador classe A é definido como amplificador padrão. A suposição no projeto de um amplificador classe A, é que os níveis de polarização são escolhidos para que o transistor opere (quase) linearmente. Para uma configuração bipolar, a condição é satisfeita, evitando corte e saturação; para implementações MOS, o transistor é mantido na região saturação.

Dentre as três configurações possíveis para um transistor, a topologia fonte (emissor) comum proporciona alta eficiência. No circuito porta (base) comum, a corrente de saída, igualmente flui através da rede de entrada, introduzindo uma perda substancial, e no estágio dreno (coletor) comum, uma corrente de polarização em adição à corrente da carga é necessária, abaixando a eficiência aproximadamente por um fator de 2[3]. A primeira diferença entre um amplificador classe A, e um amplificador de pequenos sinais, é que os sinais de correntes em um amplificador de potência são uma substancial fração do nível de polarização, e deve, portanto conter uma série de distorções. Na operação de banda estreita, como mostrado no modelo do circuito geral, o circuito tanque resolve os problemas das distorções associadas com cada grande oscilação, de modo que, prevalece a operação linear.

Embora a linearidade é certamente desejada, o amplificador classe A, proporciona uma baixa eficiência, porque existe sempre dissipação, devido à corrente de polarização, mesmo quando não existe sinal. Para entender quantitativamente porquê a eficiência é pobre, considere que a corrente de dreno seja aproximadamente [4]:

$$I_D = I_{DC} + i_{rf} \text{ sen } \omega_0 t \quad (3.6)$$

Onde I_{DC} é a corrente polarização, i_{rf} é a amplitude da componente do sinal da corrente de dreno DC, ω_0 é a frequência do sinal sintonizado pelo tanque.



A tensão de saída é simplesmente o produto da corrente pela resistência de carga (R ou R_L). Uma vez que o indutor BFL força uma corrente constante, então conclui-se que a corrente não é outra que a componente da corrente dreno. Então [4]:

$$v_o = -i_{rf} R \text{ sen}\omega_0 t \quad (3.7)$$

Finalmente, a tensão de dreno é a soma das tensões de dreno DC e AC. O indutor BFL apresenta uma pequena tensão DC, e a tensão de dreno oscila simetricamente sobre V_{DD} . A tensão de dreno e a corrente são, portanto, sinais senoidais defasadas 180° como indicado na Figura 13.

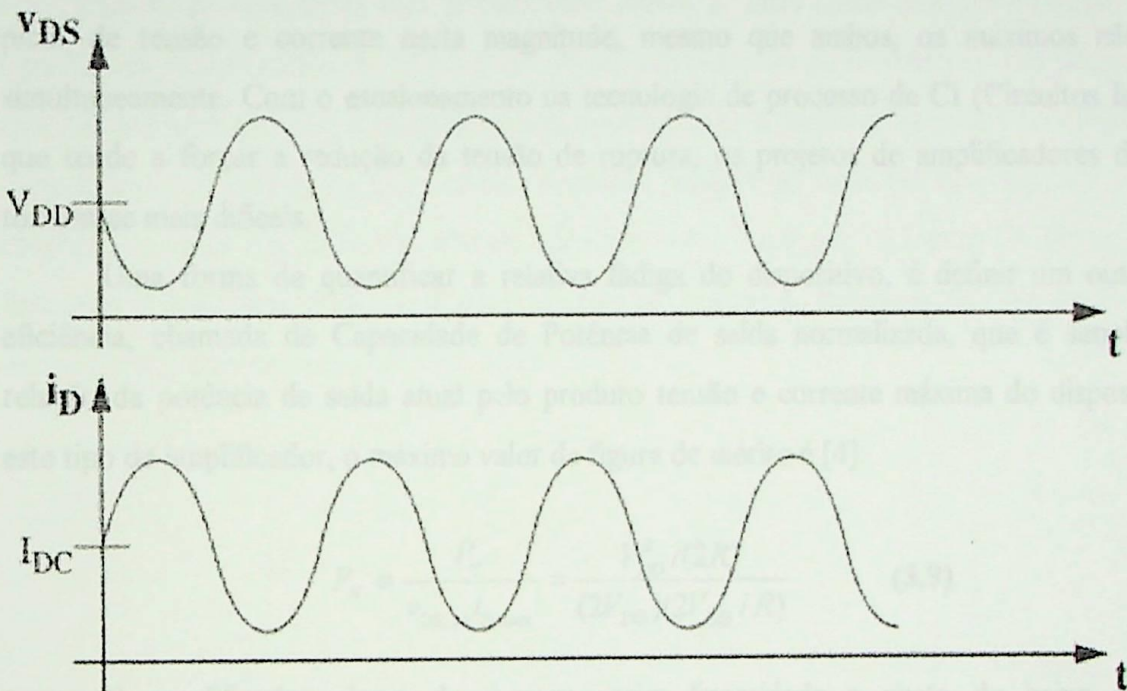


Figura 13 - Tensão e corrente de dreno de um amplificador classe A.

Além das equações, pode-se observar pela Figura 13 que o transistor sempre dissipa potência, por causa do produto corrente de dreno e tensão de dreno que é sempre positivo.

A eficiência de dreno é dada por [4]:

$$\eta = \frac{P_{rf}}{P_{DC}} = \frac{i_{rf}^2 (R/2)}{i_{rf} V_{DD}} = \frac{i_{rf} R}{2V_{DD}} \quad (3.8)$$

Considerando o máximo valor absoluto que o produto $i_{rf} \cdot R$ pode ter é V_{DD} , a máxima eficiência teórica de dreno é 50%. Entretanto, ao se considerar V_{DS} mínimo não nulo, variações das condições de polarização não ideais, variações de excitação da amplitude e uma inevitável perda no filtro e nas interconexões, a eficiência certamente será menor que 50% - particularmente para uma tensão de alimentação mais baixa, onde $V_{SD,on}$ representa uma fração grande de V_{DD} . Conseqüentemente, eficiência de dreno entre 30 e 35% são valores típicos de amplificadores práticos.

Além da eficiência, outra importante consideração é a fadiga do transistor de saída sempre ligado. No amplificador classe A, a máxima tensão de dreno – fonte é $2V_{DD}$, enquanto que o pico de corrente de dreno tem um valor de $2V_{DD}/R$. Portanto, o dispositivo deve ser capaz de suportar picos de tensão e corrente nesta magnitude, mesmo que ambos, os máximos não ocorram simultaneamente. Com o escalonamento na tecnologia de processo de CI (Circuitos Integrados), que tende a forçar a redução da tensão de ruptura, os projetos de amplificadores de potência tornam-se mais difíceis.

Uma forma de quantificar a relativa fadiga do dispositivo, é definir um outro tipo de eficiência, chamada de Capacidade de Potência de saída normalizada, que é simplesmente a relação da potência de saída atual pelo produto tensão e corrente máxima do dispositivo. Para este tipo de amplificador, o máximo valor da figura de mérito é [4]:

$$P_N \equiv \frac{P_{rf}}{v_{DS,pk} i_{D,max}} = \frac{V_{DD}^2 / (2R)}{(2V_{DD})(2V_{DD} / R)} \quad (3.9)$$

O amplificador classe A, fornece assim linearidade a custo de baixa eficiência e relativamente grande fadiga ao dispositivo ($P_N = 1/8$)[4]. Por estas razões, os amplificadores classe A são raros em aplicações de potência de RF e relativamente raros em aplicações de potência de áudio (particularmente para níveis de alta potência).

É importante salientar que o valor da eficiência de 50% representa o limite superior. Se a oscilação de dreno é pequena e, se existirem perdas adicionais em qualquer parte do dispositivo, a eficiência cai. Com a oscilação do sinal aproximando-se de zero, a eficiência de dreno também se aproxima de zero, porque o sinal de potência entregue à carga vai para zero enquanto o transistor continua a consumir potência DC.

3.5.2 Amplificador Classe B

Uma indicação de como se pode obter uma eficiência mais alta do que um amplificador classe A, pode ser inferida pela forma de onda da Figura 13. Deve estar claro que, se a polarização for ajustada para reduzir a fração sobre o ciclo em que a corrente e a tensão de dreno são simultaneamente não nulas, a dissipação no transistor deve diminuir.

Em um amplificador classe B, a polarização é ajustada para que o dispositivo de saída atue no corte durante metade de todo o ciclo. Obviamente, isto resulta em uma saída grosseira de uma operação linear, e um ressonador de alto Q é absolutamente mandatário para se obter uma aproximação aceitável da tensão de saída senoidal.

Deve se mencionar que amplificador classe B mais usual é a configuração com dois transistores denominados de “Push-Pull”. Nesta estrutura classe B, existem dois dispositivos, um que fornece corrente para a carga (empurra corrente para a carga) e outro que remove corrente da carga (puxa corrente da carga). Durante a metade positiva do sinal, um dos dispositivos irá puxar corrente da carga e o outro irá fornecer corrente, como mostrado na Figura 14. Outra forma para descrever a ação deste dispositivo é que ele tem um ângulo de condução de 180° ou meio ciclo de entrada (com uma entrada completa sendo 360°).

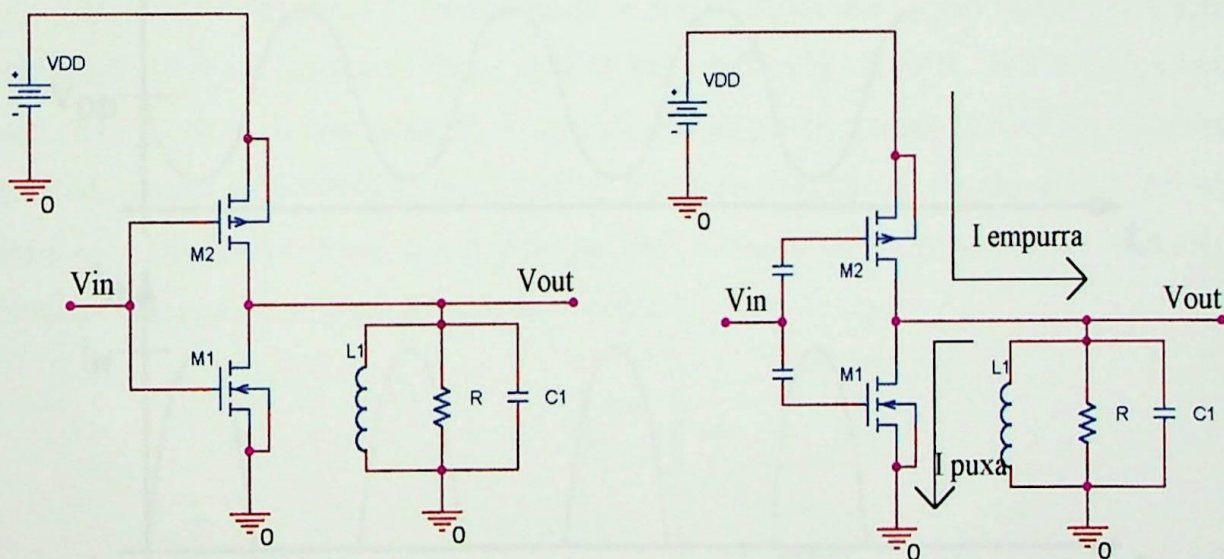


Figura 14 - Amplificador classe B.

Quando não é aplicado sinal, então não existe fluxo de corrente, pois ambos dispositivos estão cortados. Como resultado, no caso ideal, quando há corrente através de um dos dois dispositivos ela vai diretamente para a carga e desta forma maximizando a eficiência.

Este tipo de amplificador é classificado geralmente como linear, embora exista um instante (dependendo da polarização) durante a passagem do sinal de positivo para negativo(ou vice-versa), em que não há linearidade. Esta distorção é conhecida como distorção “crossover” e ocorre devido ao fato de o circuito não apresentar um chaveamento perfeito entre condução e corte do transistor, na condição de tensão zero. Ambos dispositivos podem estar parcialmente cortados ou desligados, de modo que a tensão de saída não segue a entrada em torno da condição de tensão zero e isto degrada a linearidade desta arquitetura. Para um amplificador classe B, então se assume que a corrente é senoidal para metade do ciclo e zero na outra metade [4]:

$$i_D = i_{rf} \text{ sen } \omega_o t \quad \text{Para } i_D > 0 \quad (3.10)$$

O tanque de saída filtra as harmônicas desta corrente, deixando uma tensão de dreno senoidal como no amplificador classe A. A corrente e a tensão de dreno por dispositivo, portanto, aparecem aproximadamente como mostrada na Figura 15.

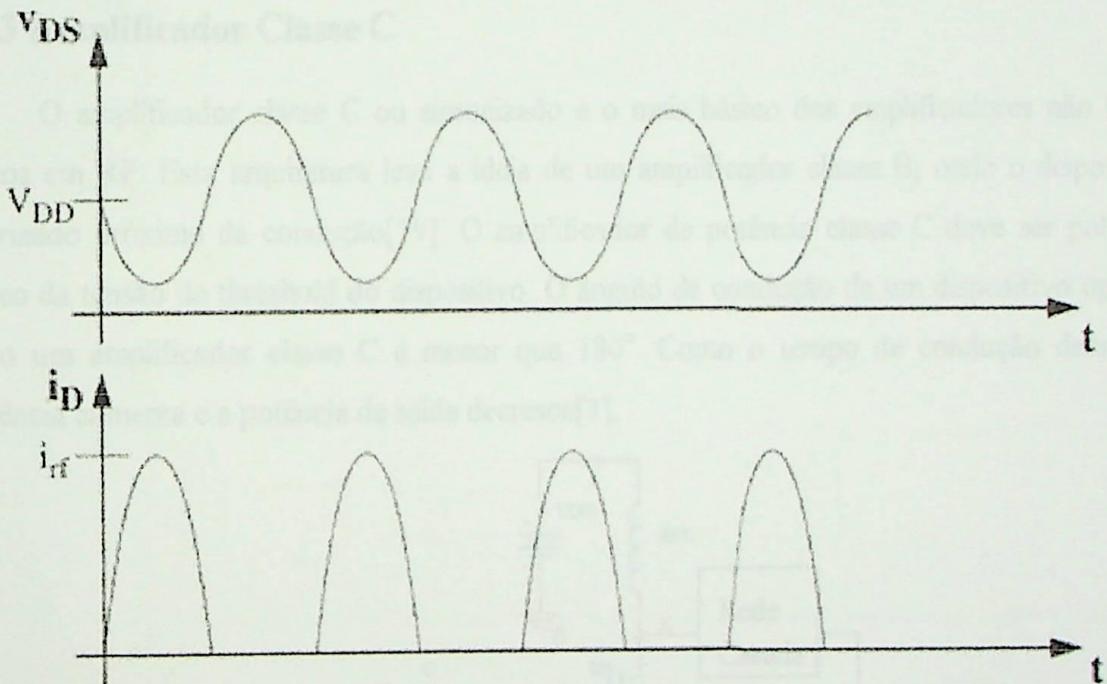


Figura 15 - Tensão e corrente de dreno de um amplificador classe B ideal.

A máxima eficiência de dreno de um amplificador classe B é [4],[5]:

$$\eta = \frac{P_{0,\max}}{P_{DC}} = \frac{\frac{V_{DD}^2}{2R}}{\frac{2V_{DD}^2}{\pi R}} = \frac{\pi}{4} = 0,785 \quad (3.11)$$

Desta forma, observa-se que a eficiência de dreno é de 78,5%, consideravelmente maior que no amplificador classe A. Continuando com o exemplo hipotético de transmitir 50W, a dissipação do dispositivo irá diminuir as perdas para um terço do valor anterior, de 50W para 14W. Contudo, como no amplificador classe A, a eficiência real de alguma implementação prática será algo abaixo do que se obteve na análise mostrada anteriormente devido aos efeitos já desconsiderados. Apesar disto, fica certo que, o amplificador classe B oferece substancialmente maior eficiência que o classe A.

A capacidade de potência normalizada deste amplificador é igual a 1/8, o mesmo que o classe A, visto que a potência de saída, a máxima tensão de dreno e a corrente de dreno são as mesmas.

Para o amplificador classe B, aceita-se distorção em troca de uma melhora significativa da eficiência.

3.5.3 Amplificador Classe C

O amplificador classe C ou sintonizado é o mais básico dos amplificadores não lineares usados em RF. Esta arquitetura leva a idéia de um amplificador classe B, onde o dispositivo é polarizado próximo da condução[19]. O amplificador de potência classe C deve ser polarizado abaixo da tensão de threshold do dispositivo. O ângulo de condução de um dispositivo operando como um amplificador classe C é menor que 180°. Como o tempo de condução decresce, a eficiência aumenta e a potência de saída decresce[3].

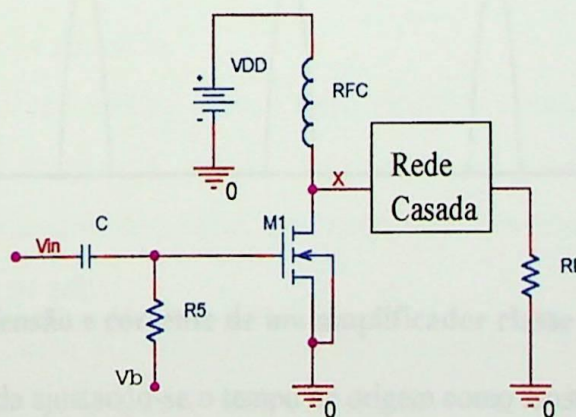


Figura 16 Amplificador Classe C.

No amplificador de potência classe C, a polarização da porta é ajustada para obrigar o transistor conduzir abaixo da metade do tempo. Conseqüentemente, a corrente de dreno consiste de trens de pulsos periódicos. Para facilitar a análise direta é tradicional aproximar esses pulsos por pedaços do topo de uma senóide. Assim, pode-se assumir que a corrente de dreno $I_D > 0$ é dada por [4]:

$$i_D = I_{DC} + i_{rf} \text{ sen } \omega_0 t \quad (3.12)$$

No qual a corrente offset I_{DC} , que é análoga à corrente de polarização de um amplificador linear. A corrente de dreno i_D é sempre positiva ou zero, visto que, é um pedaço de uma onda senoidal, quando o transistor é ativo, e zero quando o transistor está cortado. Assume-se que o transistor conduz todo tempo como uma fonte de corrente (alta impedância de saída).

Por isto tem-se um circuito tanque de saída com alto Q, e a tensão através da carga fica substancialmente senoidal. A tensão de dreno e a corrente de dreno, portanto ficam parecidas como as da Figura 17.

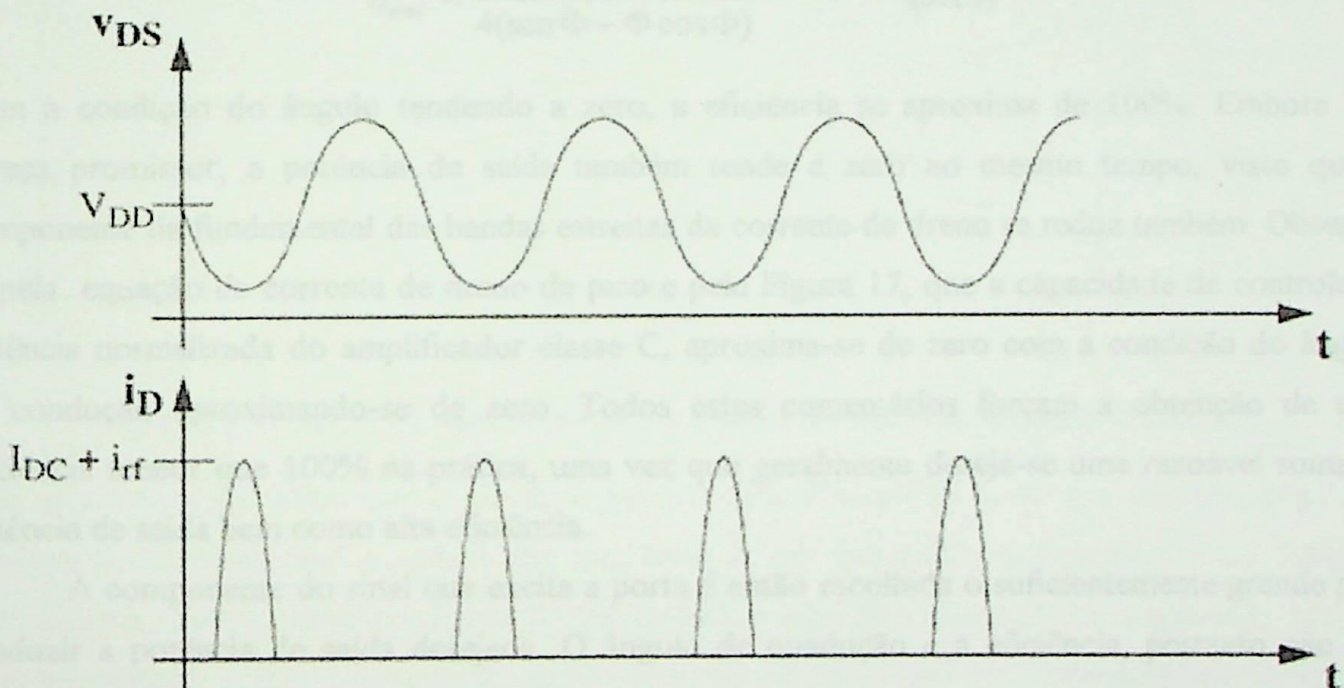


Figura 17 - Tensão e corrente de um amplificador classe C ideal.

A análise fica inalterada ajustando-se o tempo de origem como mostrado na Figura 18.

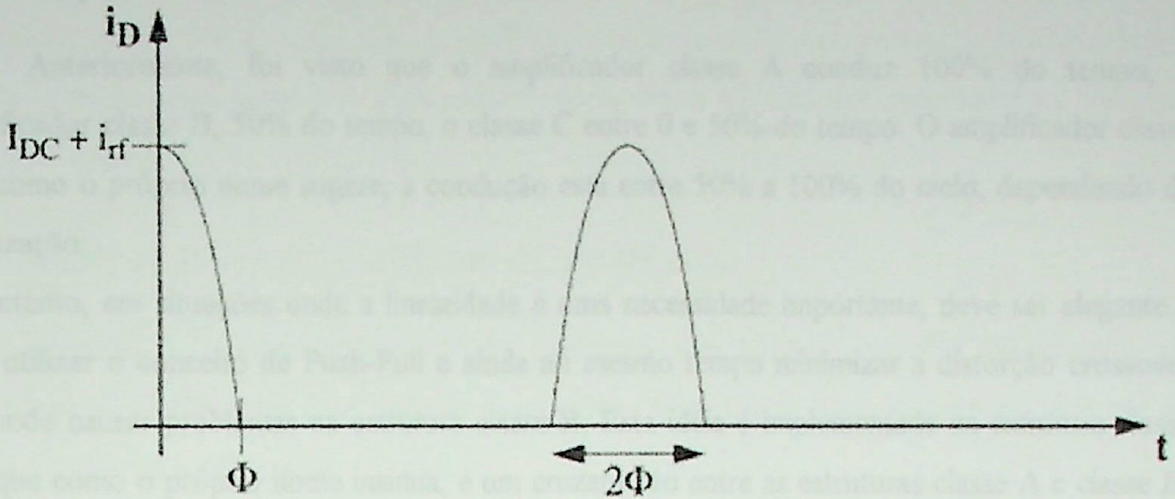


Figura 18 - Detalhe da forma de onda da corrente de dreno.

A eficiência de dreno é dada por [4]:

$$\eta_{\max} = \frac{2\Phi - \text{sen } \Phi}{4(\text{sen } \Phi - \Phi \cos \Phi)} \quad (3.13)$$

Com a condição do ângulo tendendo a zero, a eficiência se aproxima de 100%. Embora isto pareça promissor, a potência de saída também tende a zero ao mesmo tempo, visto que a componente da fundamental das bandas estreitas da corrente de dreno se reduz também. Observa-se pela equação da corrente de dreno de pico e pela Figura 17, que a capacidade de controle da potência normalizada do amplificador classe C, aproxima-se de zero com a condição do ângulo de condução aproximando-se de zero. Todos estes comentários forçam a obtenção de uma eficiência menor que 100% na prática, uma vez que geralmente deseja-se uma razoável soma de potência de saída bem como alta eficiência.

A componente do sinal que excita a porta é então escolhida o suficientemente grande para produzir a potência de saída desejada. O ângulo de condução e a eficiência, portanto não são usualmente explícitos nos parâmetros de projeto, mas simplesmente a consequência da escolha da polarização zero e a potência de saída.

Nos amplificadores classe C, normalmente são necessários ajustes nos valores dos componentes calculados devido a suposição feita do pico de corrente senoidal, da corrente da fonte e do comportamento do transistor.

3.5.4 Amplificador de Potência Classe AB

Anteriormente, foi visto que o amplificador classe A conduz 100% do tempo, o amplificador classe B, 50% do tempo, o classe C entre 0 e 50% do tempo. O amplificador classe AB, como o próprio nome sugere, a condução está entre 50% a 100% do ciclo, dependendo da polarização.

No entanto, em situações onde a linearidade é uma necessidade importante, deve ser elegante e hábil utilizar o conceito de Push-Pull e ainda ao mesmo tempo minimizar a distorção crossover que pode causar problemas na estrutura classe B. Esta idéia é implementada na estrutura classe AB, que como o próprio nome insinua, é um cruzamento entre as estruturas classe A e classe B. A idéia é o uso da estrutura Push-Pull, onde cada dispositivo é polarizado ligeiramente acima da tensão de threshold. Implementações de circuitos amplificadores de potência classe AB são similares à arquitetura classe B; tendo como diferença a polarização e a forma de onda saída, como mostradas na Figura 19.

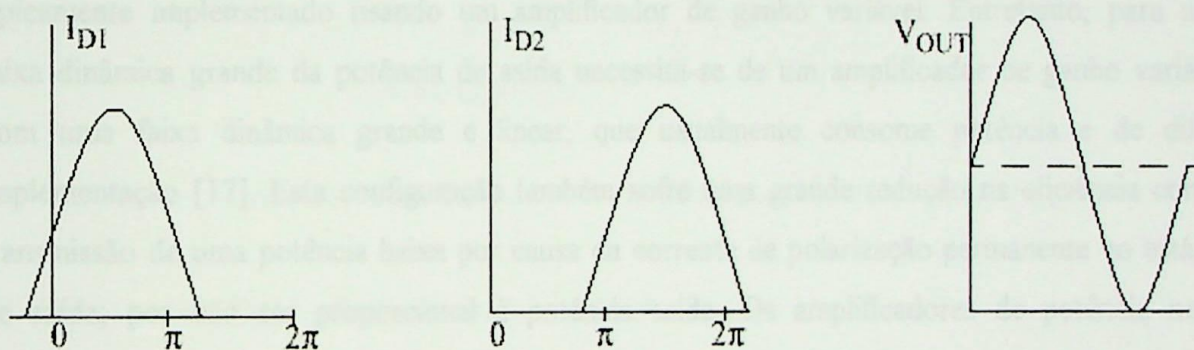


Figura 19 - Forma de onda corrente e tensão de um amplificador classe AB.

Esta arquitetura é melhor que o classe A porque cada dispositivo conduz a corrente abaixo da polarização nominal, mas é semelhante ao classe B em que nenhum dispositivo está ligado o ciclo inteiro. Como nesta configuração as correntes dos dois dispositivos conduzem por um pequeno período, a forma de onda da tensão de saída durante o período “crossover” pode ser mais uniforme, e conseqüentemente haverá uma redução na distorção na saída. Então, esta estrutura pode fornecer uma linearidade próxima ao classe A, com eficiência ajustada para a estrutura classe B, dependendo se a linearidade ou a eficiência é predominante. O ponto de polarização pode ser escolhido para se aproximar da threshold (o ponto de polarização classe B) e nesse caso ambas, eficiência e linearidade devem se aproximar dos níveis de um classe B, ou pode ser

escolhido tal que o dispositivo permaneça ligado por mais tempo (ajustado para o ponto de polarização classe A), e neste caso a eficiência e a linearidade aproximam-se dos valores do amplificador potência classe A. Vários amplificadores classe AB têm sido reportados na literatura com eficiência entre 30% a 60% [19].

3.6 Configurações de Controle de Potência.

Sistemas de comunicações sem fio modernos têm adotado projetos de controle de potência para proporcionar uma redução do consumo de potência, para aumentar a vida útil da bateria e melhorar a capacidade do canal.

Dois métodos convencionais de controle de potência são:

- 1) Variação da excitação de entrada de RF;
- 2) Controle da polarização de entrada.

Na primeira técnica, a potência de saída é ajustada para variar lentamente a amplitude de RF do sinal de excitação do estágio de saída. A Figura 20 ilustra este conceito. Este projeto é tipicamente implementado usando um amplificador de ganho variável. Entretanto, para uma faixa dinâmica grande da potência de saída necessita-se de um amplificador de ganho variável com uma faixa dinâmica grande e linear, que usualmente consome potência e de difícil implementação [17]. Esta configuração também sofre uma grande redução na eficiência com a transmissão de uma potência baixa por causa da corrente de polarização permanente no estágio de saída, por não ser proporcional à potência saída. Os amplificadores de potência nesta configuração devem ser mais lineares para qualquer tipo de sinal na entrada.

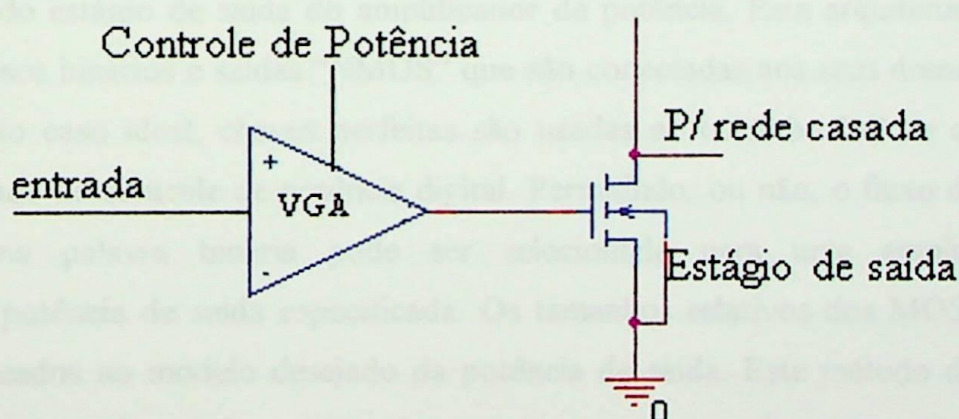


Figura 20 - Técnica de variação de amplitude de entrada RF para controle de potência.

No segundo método, o controle de potência atua no ponto de polarização de entrada do estágio de saída conforme indicado na Figura 21. Contudo, exige-se um conjunto de circuitos adicionais para o controle da tensão de entrada de polarização para o estágio de saída. Similar à técnica anterior, esta configuração consome potência para o controle da tensão de polarização e também sofre com a baixa eficiência em baixa potência de transmissão, visto que a corrente de polarização estabilizada do estágio de saída é proporcional a potência de saída, e as correntes estabilizadas nos estágios anteriores não são proporcionais a potência de saída. Este esquema também requer um amplificador de potência com alta linearidade [17].

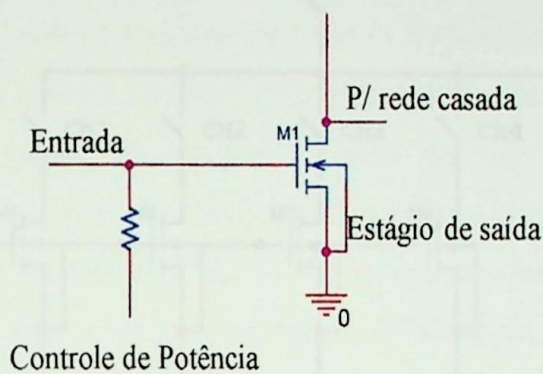


Figura 21 - Técnica de controle de tensão de polarização para controle de potência.

3.6.1 Proposta da técnica de Controle de Potência

Na configuração proposta e exibida na Figura 22, há um controle de potência digital construído dentro do estágio de saída do amplificador de potência. Esta arquitetura consiste de um arranjo com pesos binários e saídas “NMOS” que são conectadas aos seus drenos a uma rede casada de saída. No caso ideal, chaves perfeitas são usadas no caminho DC de cada MOS de saída com capacidade de controle de potência digital. Permitindo, ou não, o fluxo de corrente na seção binária, uma palavra binária pode ser selecionada para uma amplitude efetiva, correspondendo à potência de saída especificada. Os tamanhos relativos dos MOS's no arranjo são escolhidos baseados no modelo desejado da potência de saída. Este método de controle de potência tem a vantagem do escalonamento da corrente permanente de saída com a potência de saída. O amplificador de potência não necessita ser linear para formar o sinal de saída, por causa da forma de como o sinal é obtido dentro do ultimo estágio. As chaves reais empregadas para o

controle de potência são associadas com resistências finitas, e capacitâncias extrínsecas que se comportam como um filtro passa baixo. Portanto, precaução é necessária no local da implementação das chaves nesta configuração para evitar qualquer tipo de distorção.

Serão utilizados no projeto do amplificador de potência para controlar a potência de saída seis chaves, perfazendo um total de $2^6 = 64$ combinações de níveis. Os níveis de potência deverão apresentar uma variação de $0,18 \mu\text{W}$ ($-37,5\text{dBm}$) a $31,25\text{mW}$ (15dBm) correspondendo a uma faixa dinâmica de controle de $52,5 \text{ dB}$.

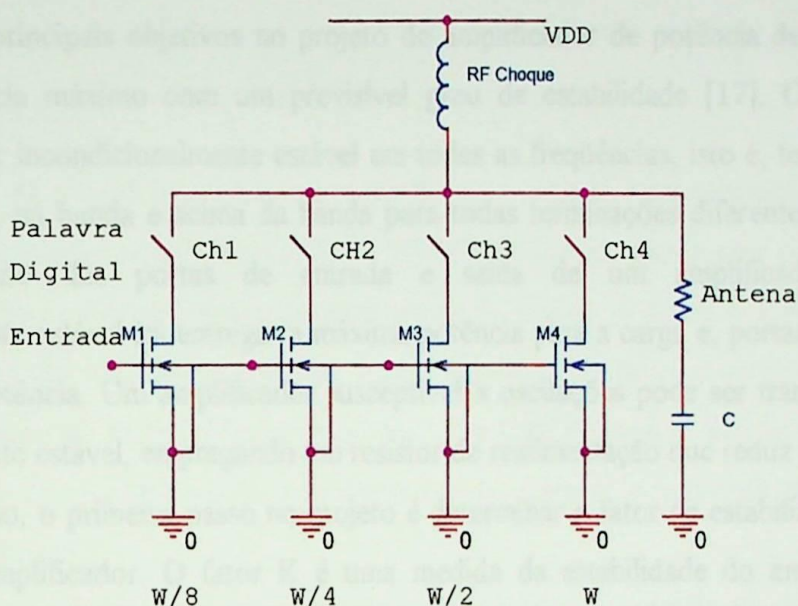


Figura 22 - Proposta técnica de controle de potência digital com chaves ideais.

3.7 Estabilidade de um Amplificador de Potência.

Ao iniciar o projeto do amplificador de potência, uma consideração importante a ser comentada é a estabilidade do amplificador. Um amplificador estável é livre de oscilações indesejáveis. A instabilidade ocorre quando uma energia suficiente da saída é retornada para a porta de entrada na fase adequada, resultando em uma resistência negativa na saída ou na entrada do amplificador. O acoplamento entre entrada e saída acontece através de capacitâncias internas do dispositivo (capacitâncias parasitas) e, através de circuitos externos. Por causa da reatância capacitiva de realimentação (por exemplo, C_{gd}), conforme mostrado na Figura 23, que diminui com aumento da frequência, a probabilidade de oscilações indesejáveis em amplificadores de RF é grande [17].



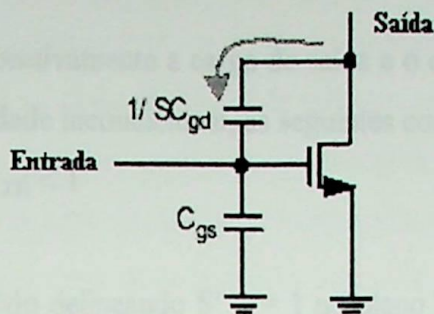


Figura 23 - Capacitância de realimentação interna C_{gd} .

Um dos principais objetivos no projeto de amplificador de potência de RF é atingir um ganho de potência máximo com um previsível grau de estabilidade [17]. O amplificador de potência deve ser incondicionalmente estável em todas as frequências, isto é, tem que ser estável abaixo da banda, na banda e acima da banda para todas terminações diferentes. Um conjugado simultâneo casado das portas de entrada e saída de um amplificador de potência incondicionalmente estável irá entregar a máxima potência para a carga e, portanto, produzirá um alto ganho de potência. Um amplificador susceptível a oscilações pode ser transformado em um incondicionalmente estável, empregando um resistor de realimentação que reduz o ganho [17].

Além disso, o primeiro passo no projeto é determinar o fator de estabilidade (K) versus a frequência do amplificador. O fator K é uma medida da estabilidade do amplificador, sendo derivado das condições de estabilidade básica das potências refletida de entrada e saída, que devem ser sempre menores que a potência incidente. A relação da potência refletida e a potência incidente de entrada e saída são chamadas respectivamente coeficientes de reflexão de entrada e de saída (S'_{11} e S'_{22}). Os parâmetros S são valores admencionais, representando a relação entre as potências de entrada e saída terminada e casada. Os coeficientes de reflexões das entradas e saídas das terminações desconhecidas é definido como [2][19]:

$$S'_{11} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} = \frac{S_{11} - D\Gamma_L}{1 - S_{22}\Gamma_L} \quad (3.14)$$

$$S'_{22} = S_{22} + \frac{S_{12}S_{21}\Gamma_G}{1 - S_{11}\Gamma_G} = \frac{S_{22} - D\Gamma_G}{1 - S_{11}\Gamma_G} \quad (3.15)$$

Onde:

$$D = S_{11} S_{22} - S_{12} S_{21} \quad (3.16)$$

Γ_L e Γ_G são respectivamente a carga de saída e o coeficiente de reflexão da impedância do gerador. Para a estabilidade incondicional, as seguintes condições devem ser mantidas[2],[19] :

$$|S'_{11}| < 1, |S'_{22}| < 1$$

O fator K é obtido delineando $S'_{11} = 1$ no plano Γ_L e $S'_{22} = 1$ no plano Γ_G . Manipulando algebricamente as equações anteriores tem-se [2][19]:

$$K = \frac{(1 - |S_{11}|^2 - |S_{22}|^2 + |D|^2)}{|2S_{12}S_{21}|} \quad (3.17)$$

Um fator de estabilidade maior que um ($K > 1$) é exigido para estabilidade incondicional. Dispositivos de microondas, tal como o GaAs MESFET, que são geralmente usados em projetos alta frequência são avaliados pelos seus parâmetros S. Assim, o ganho e a estabilidade de um dispositivo simples são usualmente conhecidos pelo projetista no início do projeto.

Para projetos de amplificadores de potência em CMOS deve-se simular o circuito para se obter os valores dos parâmetros S, e posteriormente calcular o valor de K para verificar a estabilidade do circuito.

Esta análise será usada na determinação da estabilidade do amplificador projetado.

3.8 Projeto Sintonizado

Um método de extrair ganho de um dispositivo com baixa frequência de corte f_t é de algum modo sintonizar o elemento que torna f_t baixo, a saber, as capacitâncias associadas com o dispositivo. No caso dos dispositivos MOS, a capacitância da porta é a capacitância dominante, contribuindo para diminuição do ganho com a frequência. Um método de sintonização das capacitâncias é o uso de indutores para produzir um circuito que ressona na frequência desejada, e por isso pode idealmente apresentar uma impedância infinita para o drive. Em essência, a região de operação pode ser deslocada em frequência pela introdução deste elemento sintonizado. A performance das frequências baixas deverá ser diminuída pela pequena carga que o indutor apresenta nestas frequências, mas a operação em alta frequência (esperançosamente para a frequência de interesse), pode ser melhorada. Por exemplo, assumamos que um certo estágio tenha a

resposta de frequência dada conforme a Figura 24.a, com o primeiro pólo em uma certa frequência ω_0 . Ao usar um indutor, o pólo ω_0 pode ser deslocado em frequência conforme mostrado na Figura 24.b (a custo de adição de um zero em baixa frequência), e o dispositivo pode ser empregado em altas frequências. O fato de criar uma estrutura ressonante, diminui a soma da corrente que é necessária para excitar as grandes capacitâncias inerentes em estágios de grande excitação. Uma estrutura ressonante paralela necessita somente de ser suprida pela soma de corrente que é menor que a corrente calculada na estrutura ressonante pelo fator de qualidade ou Q. O fator de qualidade Q é a relação que compara as partes imaginárias com as partes reais da impedância [14][5], e é usado para determinar as de perdas de um elemento.

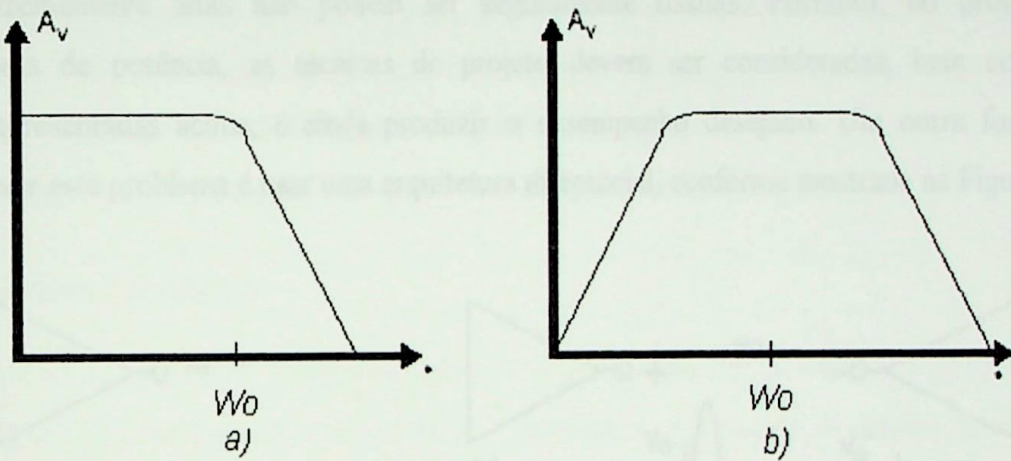


Figura 24 - Efeito ideal de sintonização - ganho x largura de banda. a) resposta de frequência estágio básico. b) resposta frequência com indutor sintonizado.

Desta forma, um alto Q no elemento significa ter baixo componente resistivo e uma potência menor perdida através da dissipação na parte real da impedância. Para um circuito ressonante paralelo LC ideal, com Q infinito, não se necessita de corrente de uma fonte externa, visto que a estrutura irá ressonar com alguma excitação inicial. Entretanto, para Q's não infinitos, o circuito irá consumir alguma corrente devido às perdas nos componentes resistivos. Por exemplo, se um indutor não ideal, com um Q finito devido à resistência parasita série, a corrente circulando irá eventualmente dissipar, e necessita de ser reposta.

3.9 Topologia Diferencial

Uma outra maneira de projetar um circuito de saída de alto nível, é usar a topologia diferencial, a qual auxilia no projeto do amplificador de potência em mais de um aspecto. A maioria dos amplificadores de potência hoje normalmente disponíveis são projetados em um estilo de um único terminal, afinal, a maioria das antenas padrões necessita de ser excitada com o sinal em uma única extremidade. Contudo, com o desenvolvimento nos projetos de circuitos analógicos e na tecnologia de processo, a necessidade de operação em baixa tensão está aumentando, e a necessidade de grandes oscilações de tensão para gerar nível razoável de potência nem sempre será disponível. Com o advento de dispositivos com características $0,6\mu\text{m}$ ou menor, a tensão no transistor ou a ruptura das junções parasitas é igualmente reduzida, e assim tensões extremamente altas não podem ser seguramente usadas. Portanto, no projeto de amplificadores de potência, as técnicas de projeto devem ser consideradas, bem como as restrições apresentadas acima, e ainda produzir o desempenho desejado. Um outra forma de tentar resolver este problema é usar uma arquitetura diferencial, conforme mostrada na Figura 25.

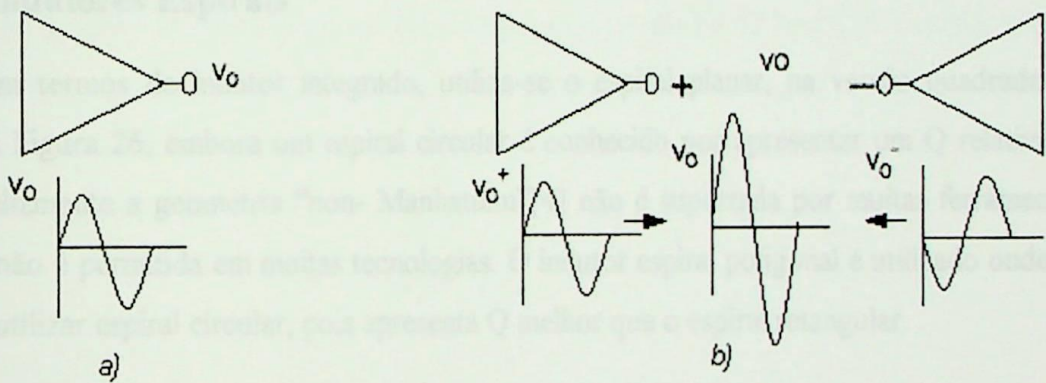


Figura 25 - Configuração simples e diferencial. a) Configuração simples. b) Conferencial .diferencial.

O projeto diferencial permite uma faixa mais dinâmica no circuito, e assim as oscilações da tensões necessárias em todos os nós do circuito são reduzidas pela metade. Entretanto uma implementação diferencial em que a saída é conectada em dois nós diferenciais de saída, necessita-se que cada nó suporte metade da tensão de oscilação desejada, com a diferença das duas proporcionando a tensão total exigida. Um outro benefício da arquitetura diferencial é a imunidade de ruído de modo comum (CM) e outros distúrbios [19]. Na implementação de um

estágio de um único terminal, o estágio de saída de um amplificador de potência terá freqüente gerações de uma grande soma de correntes AC no substrato, que causará degradação do sinal, devido a flutuações de tensão no substrato, ou geralmente com grande ruído externo que pode causar mal funcionamento do circuito. Contudo, em uma implementação diferencial, o ruído, que pode ser considerado um sinal de modo comum, pode ser ignorado nesta configuração.

Dadas essas vantagens, considerou-se neste trabalho o projeto de um amplificador usando a topologia diferencial.

3.10 Indutores

Do ponto de vista de circuitos de RF, a falta de bons indutores integrados é evidente devido à dificuldade de construí-los com alto fator de qualidade. Embora circuitos ativos possam algumas vezes sintetizar um indutor equivalente, eles apresentam alto ruído, distorção e consumo potência mais alto que os indutores reais feitos com mesmo número de espiras a fio.

3.10.1 Indutores Espirais

Em termos de indutor integrado, utiliza-se o espiral planar, na versão quadrada como mostrada Figura 26, embora um espiral circular é conhecido por apresentar um Q relativamente alto. Infelizmente a geometria “non- Manhattan”[4] não é suportada por muitas ferramentas de layout e não é permitida em muitas tecnologias. O indutor espiral poligonal é utilizado onde não é possível utilizar espiral circular, pois apresenta Q melhor que o espiral retangular.

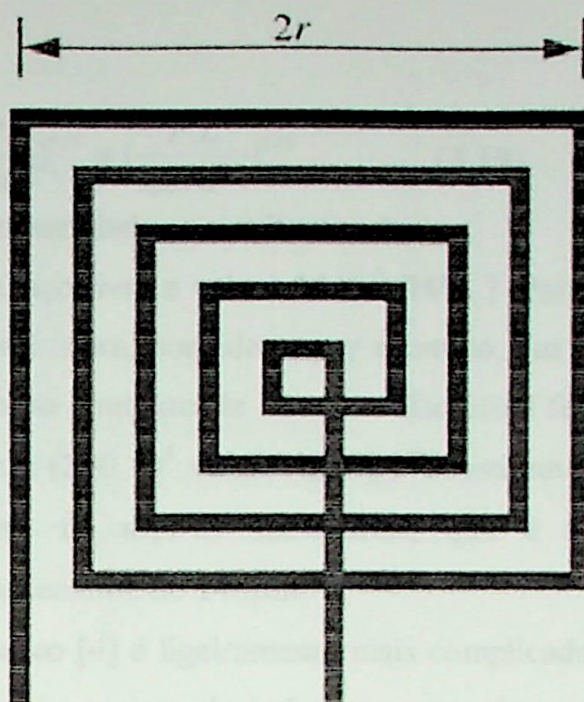


Figura 26 - Indutor espiral planar.

O corpo do espiral é implementado na camada de metal mais alta disponível (algumas vezes em dois ou mais níveis colocados juntos para reduzir a resistência), e a conexão para o centro da espiral é feita com um cruzamento em baixo, alguns níveis abaixo do metal. A indutância de cada espiral é feita com um cruzamento em baixo, alguns níveis abaixo do metal. A indutância de cada espiral é uma complexa função geométrica, necessitando cálculo preciso, e o uso de soluções de campo ou método “Greenhouse”[4]. Entretanto para um cálculo aproximado da indutância pode-se utilizar a seguinte equação [4]:

$$L \cong \mu n^2 r = 4\pi 10^{-7} n^2 r \quad (3.18)$$

$$L = 1,210^{-6} n^2 r$$

Onde L é a indutância em henries, n é o numero de voltas em metros, r é o raio da espiral em metros.

Esta equação tipicamente produz um valor mais alto, mas geralmente dentro de 30% do valor correto (geralmente melhor). Para outras formas além do espiral quadrado, deve-se multiplicar o valor da fórmula espiral quadrado pela raiz quadrada da relação da área, obtendo desta forma uma estimativa grosseira do valor correto. Assim, para espiral circular, multiplicar o valor da espiral quadrada por $(\pi/2)^{0.5} \cong 0,89$ [4] e para espiral ortogonal por 0,91[4]. A equação mais usada no projeto de indutor espiral quadrado é [4]:

$$n \approx \left[\frac{P.L}{\mu_0} \right]^{1/3} \approx \left[\frac{P.L}{1,210^{-6}} \right]^{1/3} \quad (3.19)$$

Onde P é o afastamento do enrolamento dado por voltas/ metros.

A permeabilidade é a do espaço livre e vale $1,2 \cdot 10^{-6}$ [H/m]. Para progredir a idéia sobre como é ineficiente a área de cada estrutura, considere, por exemplo, um indutor de 120nH (valor de indutância considerado pequeno no contexto de circuitos discretos) feito com um afastamento do enrolamento da espiral P de $5 \mu\text{m}$ ($200 \cdot 10^3$ voltas /metro). Substituindo este valor na fórmula do projeto encontra-se o número de espiras necessárias, que é algo em torno de 27, correspondendo a um raio aproximadamente de $140 \mu\text{m}$.

A fórmula de indutância abaixo [4] é ligeiramente mais complicada, porém o valor de L é mais exato, usado em sintonia fina de projeto de indutores antes da verificação via solução de campo

$$L \approx \frac{37,5 \mu_0 n^2 a^2}{22r - 14a} \quad (3.20)$$

a é o raio médio da espira quadrada, definida como a distância do centro do indutor ao meio do enrolamento.

A fórmula apresenta um erro menor que 5% entre o valor calculado e obtido na prática. Note também que esta fórmula é adequada para indutor espiral oco, como mostrado na Figura 27, em que uma ou mais voltas são removidas para melhorar o Q.



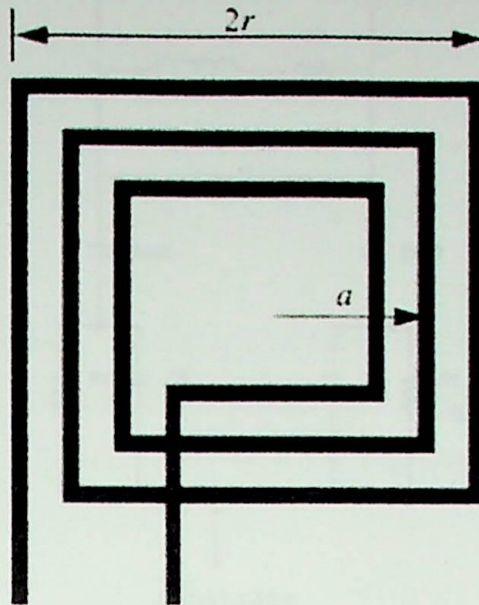


Figura 27 - Indutor espiral.

Além de uma grande área potencialmente consumida, outro sério problema com o indutor espiral é sua grande perda. As perdas resistivas DC são acentuadas pelo efeito SKIN, que causa não uniformidade na distribuição da corrente no indutor de RF. A consequência é uma redução na efetiva seção transversal, aumentando a resistência série. Além da perda resistiva série, a capacitância do substrato é outro considerável problema para o espiral “on chip”. Na tecnologia de silício, o substrato é escolhido (tipicamente não mais que 2 a 5 μm) e bastante condutivo, criando um capacitor de placas paralelas que ressona com o indutor. A frequência de ressonância da combinação LC representa o limite superior útil do indutor, que é freqüentemente, portanto abaixo da faixa onde o indutor não atua mais. A proximidade do substrato também reduz o Q por causa das energias acopladas na perda do substrato. Um elemento parasita adicional é a capacitância shunt, através do indutor que surge para sobrepor “crossunder” com o resto da espiral [4]. A capacitância lateral de espira para espira tem um efeito total insignificante, porque é a conexão série desta capacitância que ultimamente aparece através dos terminais do indutor.

A Figura 28, mostra um modelo completo de um indutor espiral integrado. O modelo é simétrico, mesmo que o espiral real não o seja. O erro introduzido é desprezível em muitas aplicações.

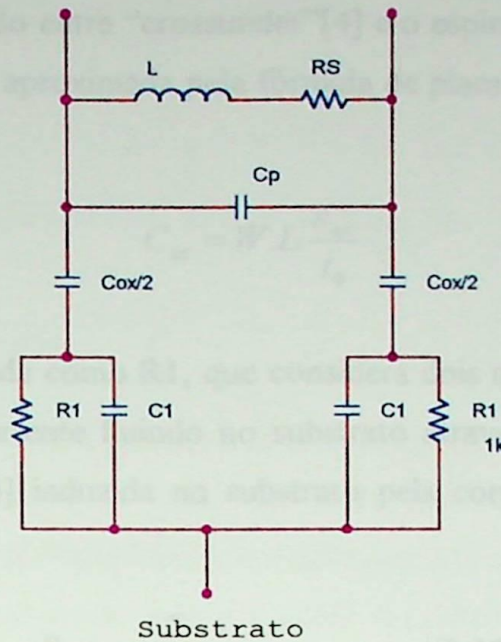


Figura 28 - Modelo de um indutor espiral dentro do chip.

Uma estimativa da resistência série pode ser obtida pela equação [4]:

$$R \cong \frac{l}{W\sigma \cdot \delta(1 - e^{-l/\delta})} \quad (3.21)$$

Onde σ é a condutividade do material [S/m], l é o comprimento total do enrolamento[m], W e t são a largura e espessura da interconexão e a profundidade Skin, δ é dada por [4]:

$$\delta = \sqrt{\frac{2}{W\mu_0\sigma}} \quad (3.22)$$

A capacitância shunt $C_p = C_{BR}$ é dada por [4]:

$$C_p = nW^2 \cdot \frac{\epsilon_{ox}}{t_{ox}} \quad (3.23)$$

Onde t_{ox} é a espessura do óxido entre “crossunder”[4] e o espiral principal. A capacitância entre o espiral e o substrato é C_{ox} é aproximada pela fórmula de placas paralelas, em que a área total é aquela do enrolamento [4]:

$$C_{ox} = W.L. \frac{\epsilon_{ox}}{t_0} \quad (3.24)$$

A perda no substrato é modelada como R_1 , que considera dois mecanismos distintos. O primeiro é a perda associada com a corrente fluindo no substrato através C_{ox} , e a segunda é devido a circulação corrente imagem [4] induzida no substrato pela corrente fluindo sobre o espiral. O valor de R_1 é dado por [4]:

$$R_1 \approx \frac{2}{W.L.G_{sub}} \quad (3.25)$$

Onde G_{sub} é um parâmetro de adaptação que tem dimensões da condutância por área. Ele é constante para um dado material do substrato e para a distância do espiral para o substrato, e tem um valor típico aproximado de $10^{-7} \text{ S}/\mu\text{m}^2$.

Neste projeto será usado o espiral quadrado, devido as limitações imposta pelo software no Mentor Graphics, particularmente a sua ferramenta de edição de layout (ICStation).

3.11 Conclusão.

Analisando os tipos de amplificadores de potência, as configurações de controle de potência, a estabilidade do amplificador, a utilização de indutor sintonizado e as vantagens de se usar a topologia diferencial para aumentar o nível de saída de 3 dB com a redução do ruído de modo comum, iniciou-se o projeto do amplificador de potência.

Capítulo 4

4 Projeto do Amplificador de Potência.

4.1 Considerações Gerais.

Neste capítulo será abordado, primeiramente, uma pequena descrição do circuito geral e a seguir serão explicados os detalhes do estágio de saída, dos cálculos (potências, correntes), do casamento de impedâncias, do pré-amplificador e do controle de potência.

Com objetivo de mostrar como o amplificador de potência será constituído, o diagrama em blocos da Figura 29 ilustra as principais partes. Os itens a seguir descreverá o funcionamento de cada parte que compõem o amplificador de potência.

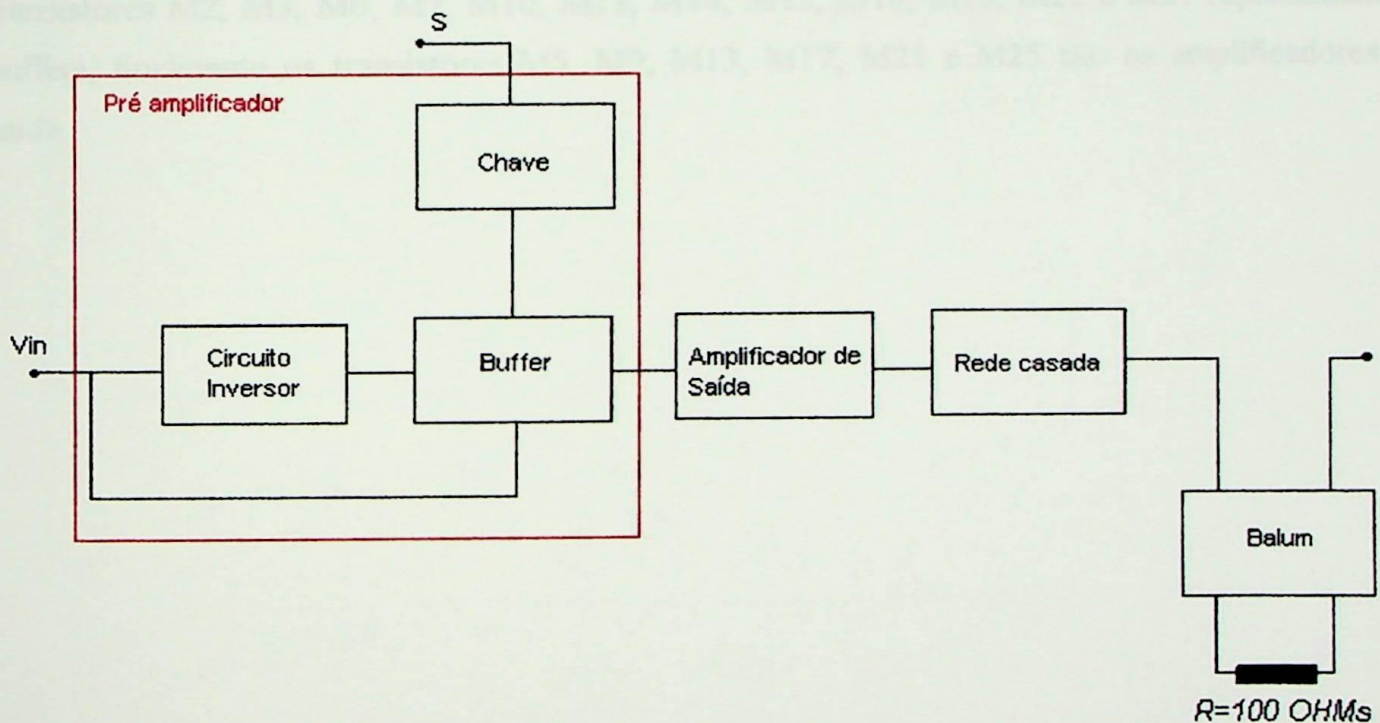


Figura 29 - Diagrama em blocos do amplificador de potência.

Para projetar o amplificador com as seis chaves para controlar a potência de saída, inicialmente, foi construído o circuito compacto conforme a Figura 31. O indutor L1 escolheu-se um valor para sintonizar a frequência de 836,5MHz com a capacitância da porta do transistor M3.

O indutor L4, de mesmo valor de L1 tem a função de aumentar o nível de tensão na porta do transistor M1, que atua como um inversor. Os transistores M2 e M3 formam um buffer e o transistor M4 atua como uma chave, que quando estiver aberto produz potência mínima (-37,5 dBm), e fechado produz a potência máxima (+15 dBm). O transistor M6 é o amplificador de saída. O resistor R2 representa a carga da antena de 50 Ω . Os indutores externos L3 e L6 são usados para filtrar a alimentação e sintonizar o circuito de saída do amplificador de potência respectivamente. As capacitâncias e resistências parasitas dos indutores, do substrato e do pad serão representadas posteriormente.

Utilizando-se o simulador elétrico SPICE ajustou-se as correntes dos transistores do circuito compacto como mostra a Figura 31, alterando os valores de W/L para fornecer nível de potência desejado (+15 dBm) na antena com a melhor eficiência. Posteriormente iniciou-se o projeto do circuito definitivo, conforme apresentado na Figura 30, onde os transistores M4, M8, M12, M16, M20 e M24, representam as chaves que controlarão o nível de saída do amplificador de potência, o transistor M1 tem a função de inverter o sinal de entrada do circuito. Os transistores M2, M3, M6, M7, M10, M11, M14, M15, M18, M19, M22 e M23 representam os buffers, finalmente os transistores M5, M9, M13, M17, M21 e M25 são os amplificadores de saída.

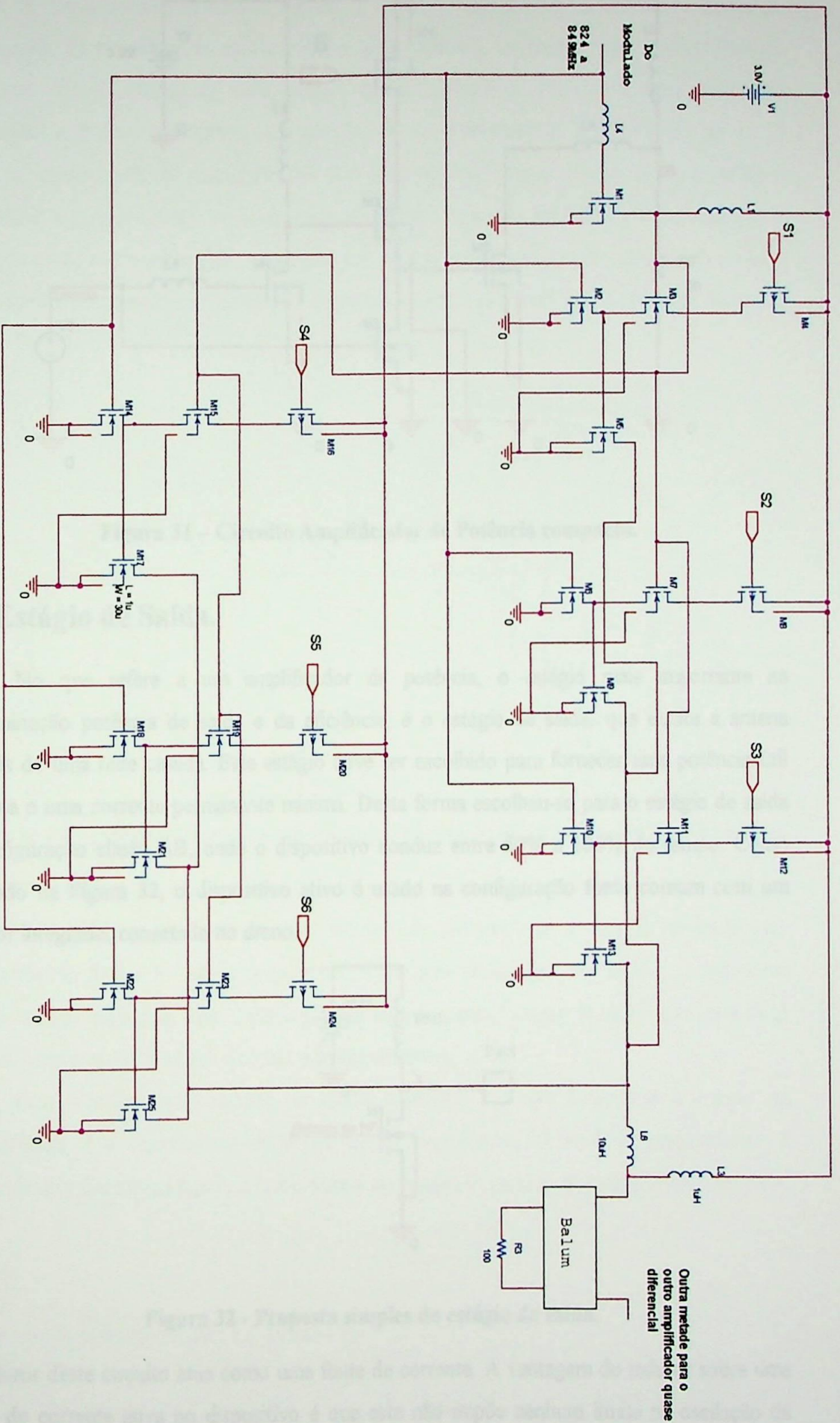


Figura 30 – Circuito Amplificador de Potência.

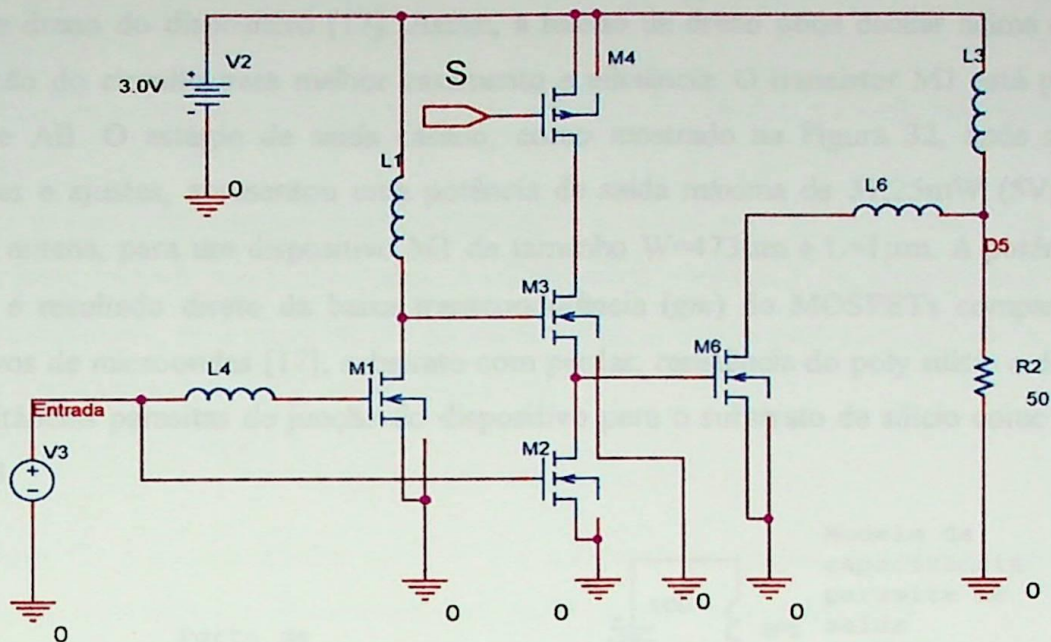


Figura 31 – Circuito Amplificador de Potência compacto.

4.2 Estágio de Saída.

No que refere a um amplificador de potência, o estágio mais importante na determinação potência de saída e da eficiência, é o estágio de saída, que excita a antena através de uma rede casada. Este estágio deve ser escolhido para fornecer uma potência útil máxima e uma corrente permanente mínima. Desta forma escolheu-se para o estágio de saída a configuração classe AB, onde o dispositivo conduz entre 50% a 100% do tempo. Como ilustrado na Figura 32, o dispositivo ativo é usado na configuração fonte comum com um indutor integrado, conectado no dreno.

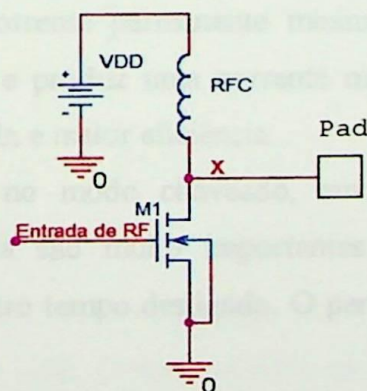


Figura 32 - Proposta simples do estágio de saída.

O indutor deste circuito atua como uma fonte de corrente. A vantagem do indutor sobre uma fonte de corrente ativa no dispositivo é que este não impõe nenhum limite na oscilação da

tensão de dreno do dispositivo [17]. Assim, a tensão de dreno pode oscilar acima da tensão alimentação do circuito para melhor casamento e eficiência. O transistor M1 está polarizado em classe AB. O estágio de saída casado, como mostrado na Figura 32, após sucessivas simulações e ajustes, apresentou uma potência de saída máxima de 31,25mW (5Vpp ou 15 dBm) na antena, para um dispositivo M1 de tamanho $W=473\mu\text{m}$ e $L=1\mu\text{m}$. A potência baixa de saída é resultado direto da baixa transcondutância (g_m) do MOSFETs comparado com dispositivos de microondas [17], substrato com perdas, resistência do poly silício e da porta, e as capacitâncias parasitas de junção do dispositivo para o substrato de silício como mostra a Figura 33.

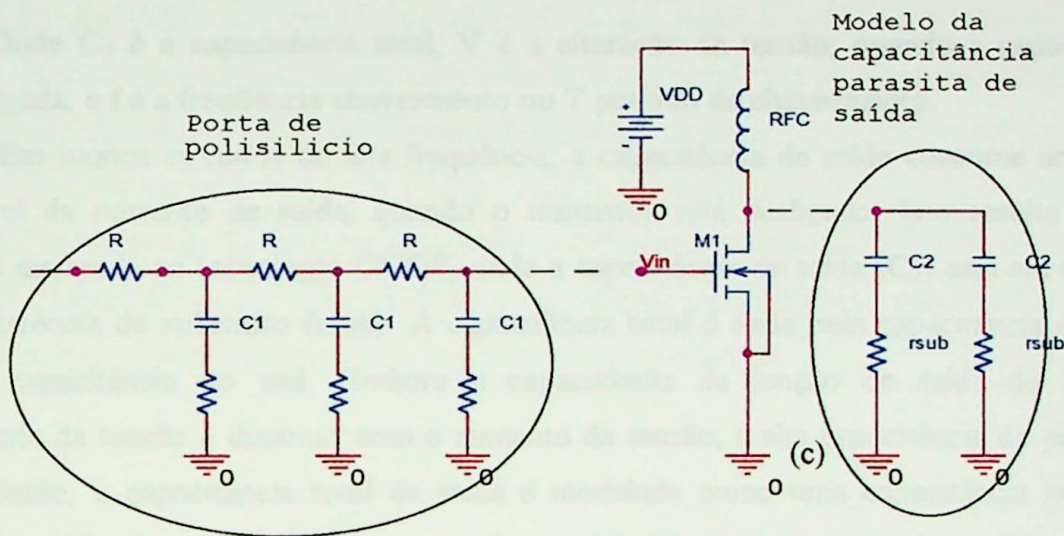


Figura 33 - Impedância entrada e modelo capacitância de junção de saída do dispositivo.

O transistor de saída sintonizado compensa a baixa transcondutância g_m e a alta capacitância parasita de saída. O sinal sintonizado permite que o estágio de saída seja polarizado de forma a reduzir a corrente permanente mínima ao ser ligado. O transistor conduz pouco mais que meio ciclo e produz uma corrente mínima de dreno para um sinal máximo com a maior potência de saída e maior eficiência.

Para circuitos que operam no modo chaveado, em alta frequência o tempo de chaveamento e a capacitância saída são muito importantes. O sinal de chaveamento é composto por um tempo ligado e outro tempo desligado. O período que ele permanece ligado

$$\delta = \frac{t_{on}}{T}$$

é chamado de ciclo de trabalho e é definido por:

Ou

$$\delta(\%) = \frac{t_{on}}{T} \cdot 100$$

O percentual de tempo que permanece ligado ou ciclo de trabalho é função das características de projeto.

Os tempos de comutação são usualmente uma parcela de um período da forma de onda que pode reduzir substancialmente a eficiência da potência [17]. Uma parte da potência é também dissipada, se a capacitância de saída é descarregada para zero, devido a tensão do transistor ainda presente; tendo em vista que[15]:

$$P_d = C_0 V^2 f = C_0 V / T$$

Onde C_0 é a capacitância total, V é a alteração da tensão, quando a capacitância é descarregada, e f é a frequência chaveamento ou T período de chaveamento.

Em muitos circuitos de alta frequência, a capacitância de saída consome uma fração apreciável da corrente de saída, quando o transistor está desligado. Isto resulta em uma potência dissipada na tecnologia CMOS, onde a capacitância de saída (C_2) está em série com uma resistência de substrato (r_{sub}). A capacitância total é dada pela capacitância de junção mais a capacitância do pad. Embora a capacitância de junção de saída do transistor dependente da tensão e diminuir com o aumento da tensão, a alta capacitância do pad é mais linear. Então, a capacitância total de saída é modelada como uma capacitância linear. Um modelo simplificado de um transistor de saída de modo chaveado é mostrado na Figura 34.

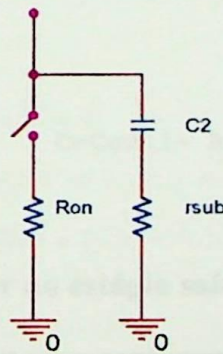


Figura 34 - Modelo transistor saída modo comutação.

Um modelo distribuído da resistência entre poly silício e porta e da capacitância em adição ao modelo capacitância saída total, foram incluídas na simulação para se obter maior precisão do dispositivo.

O estágio de saída Classe AB polarizado com uma tensão de 1,18V (mais alta que tensão de limiar), foi escolhido após varias simulações no SPICE para fornecer a potência de saída exigida. Esta configuração foi otimizada para uma potência de saída máxima de

31,25mW (15dBm) na antena, pela seleção do transistor M6 de tamanho $W=473\mu\text{m}$ e $L=1\mu\text{m}$ conforme ilustrado na Figura 31. Há um tamanho ótimo para o estágio de saída devido ao compromisso entre transcondutância mais alta e capacitâncias parasitas de junção mais baixas. Aumentando-se o dispositivo, também aumenta-se o ganho, contudo devido a alta capacitância nas áreas de difusão, há uma degradação no desempenho do amplificador e na frequência corte ($f_t=gm/cgs$) [17]. As altas capacitâncias parasitas de saída diminuem a potência de saída e a eficiência pelo carregamento e descarregamento repetidamente na frequência de RF. A capacitância da porta de entrada e a resistência ao longo do dispositivo é mostrado na Figura 33. Uma grande capacitância Miller $C_{\text{ent(Miller)}}$ (vide apêndice) dificulta a geração de um pulso de entrada do dispositivo de saída e conseqüentemente, consome potência. Embora a capacitância da porta para difusão dreno seja usualmente muito pequena, o alto ganho da saída a faz atuar como um grande capacitor e, portanto difícil de excitar [5],[17].

As impedâncias de entrada e de saída do dispositivo M6 de $W= 473\mu\text{m}$ conforme a Figura 31, foram simuladas para verificar a estabilidade, utilizando os métodos descritos no Capítulo 3. O dispositivo mostrou ser incondicionalmente estável.

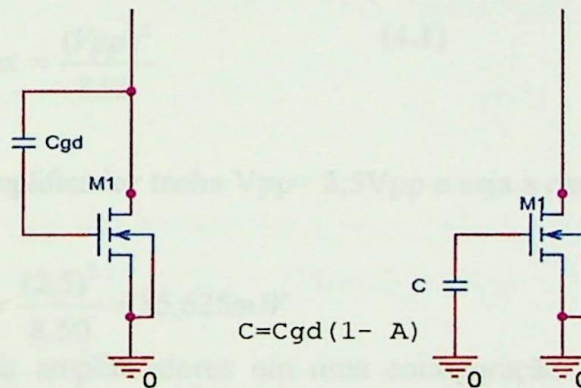


Figura 35 - Efeito Miller no estágio saída do dispositivo.

O estágio de saída foi projetado em uma configuração diferencial, conforme mostrado na Figura 36, para ser integrado com os componentes balanceados desenvolvidos previamente. Utilizando o estágio de saída balanceado reduz-se os efeitos dos ruídos, como elimina-se a segunda harmônica, aumenta-se a potência de saída do estágio de saída em 3dB mantendo a mesma eficiência adicionada a potência [17]. Empregando dois estágios idênticos, iria resultar em uma potência de saída duas vezes maior que um único estágio de potência saída saturada.

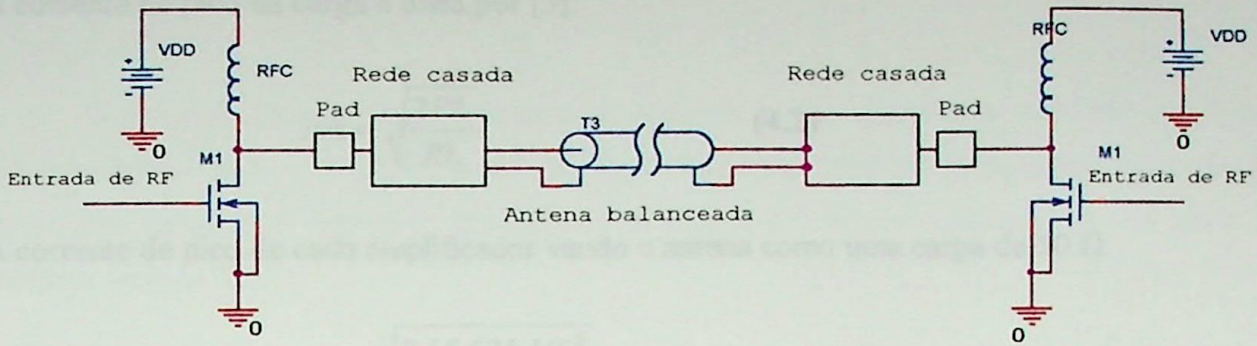


Figura 36 - Estágio de Saída balanceado excitando uma rede casada.

4.3 Cálculos.

Neste item serão apresentados os cálculos da potência e corrente do amplificador da Figura 30 para obter a tensão máxima de 5Vpp e uma tensão mínima de 12mVpp na saída.

4.3.1 Cálculo da potência, corrente de pico na Carga.

A potência na carga é dada por [5]:

$$PL_{\max} = \frac{(V_{pp})^2}{8RL} \quad (4.1)$$

Considerando-se que cada amplificador tenha $V_{pp} = 2,5V_{pp}$ e veja a carga igual a 50Ω

$$PL_{\max} = \frac{(2,5)^2}{8.50} = 15,625mW$$

porém como utilizou-se dois amplificadores em uma configuração balanceada, a potência total entregue na antena é de 31,25mW, então a potência total em dBm será:

$$PL_{\max} = 10 \log \frac{31,25}{1.10^{-3}} \cong 15dBm$$

Considerando agora uma tensão mínima de 6mVpp em cada amplificador a potência é de:

$$PL_{\min} = \frac{(6.10^{-3})^2}{8.50} = 0,09\mu W$$

A potência total mínima entregue na antena é de $0,18\mu W$, em dBm vale:

$$PL_{\min} = 10 \log \frac{0,18.10^{-6}}{1.10^{-3}} = -37,5dBm$$

A corrente de pico na carga é dada por [5]:

$$I_{pk} = \sqrt{\frac{2PL}{RL}} \quad (4.2)$$

A corrente de pico de cada amplificador vendo a antena como uma carga de 50 Ω

$$I_{pk} = \sqrt{\frac{2.15,625.10^{-3}}{50}} = 12,5mA$$

Então a corrente total na antena é de 25mA.

4.3.2 - Cálculo do indutor L1 do pré amplificador.

Para o calculo do indutor L1, será considerado a Figura 37, o indutor L (L1) deverá estar sintonizado com a capacitância Cp da porta do próximo estágio na frequência 836,5 MHz.

Primeiramente calcula-se a capacitância Cp, que é formada pelas capacitâncias das portas dos transistores M3, M7, M11, M15, M19 e M23, conforme mostrado na Figura 30.

$$C_p = CGOX * (WT * L) \quad (4.3)$$

Onde:

- WT é soma das larguras (W) dos transistores [(W_{M3}=192) + (W_{M7}=96) + (W_{M11}=48) + (W_{M15}=24) + (W_{M19}=12) + (W_{M23}=6) = (WT= 378 μ m)] ou W_{M3} = 378 μ m, conforme Figura 30.
- L comprimento do canal (1 μ m)
- CGOX capacitância média por área (4,6fF/ μ m²), obtido dos parâmetros de processo CMOS 0,35 μ m da AMS (Austria Mikro Systeme International AG).

Assim:

$$C_p = CGOX * (WT * L) = 4,6(378 * 1) = 1,74pF$$

Com o valor da capacitância Cp pode-se calcular o valor da indutância utilizando a fórmula [5]:

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (4.4)$$

Considerando fo= 836,5MHz e C=Cp=1,74pF

O valor de L será: $L=20,8\text{nH}$.

O valor de indutância L , utilizado no projeto, o que apresentou melhores resultados nas simulações foi $L = 19,5\text{nH}$, devido as capacitâncias e resistências parasitas apresentadas no indutor construído dentro do dispositivo. A Figura 37, ilustra a capacitância da porta do próximo estágio (C_p).

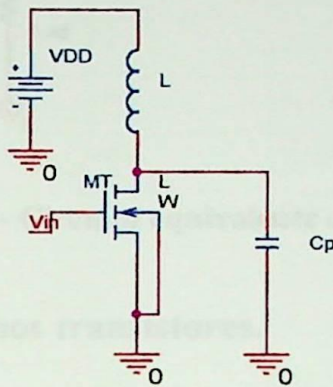


Figura 37 - Indutor do circuito pré amplificador.

Construíram-se com auxílio do programa ASITIC vários indutores em formato de um espiral quadrado de um polígono 6, 8, 12 e 18 lados, entre 18nH e 22nH , para se obter os valores das capacitâncias e resistências parasitas. De posse destes valores foram realizadas várias simulações no SPICE. O valor do indutor como mencionado, que apresentou melhor resultado com relação ao nível de saída desejado de 15dBm e eficiência na frequência de $836,5\text{MHz}$, foi $L=19,5\text{nH}$, conforme mostrado na Figura 38. Devido às limitações na construção do layout no Mentor Graphics de indutores de 6, 8 ou mais lados, construiu-se um no formato de um espiral quadrado. Nas simulações do ASITIC, observou-se que o indutor em formato de um espiral quadrado apresentou maior resistência e menor Q (fator qualidade) que indutores nas formas de um polígono de 6, 8, 12 e 18 lados.

A resistência associada ao indutor $L=19,5\text{nH}$ foi obtida na simulação executadas com programa ASITIC e seu valor é de $11,4\ \Omega$. As capacitâncias e resistências parasitas do substrato do indutor apresentaram valores de $C8=1,41\text{pF}$, $C9 = 1,36\text{pF}$, $R14 = 1,48\ \Omega$, $R15 = 4,29\ \Omega$. O fator de qualidade Q do indutor é aproximadamente $5,2$.

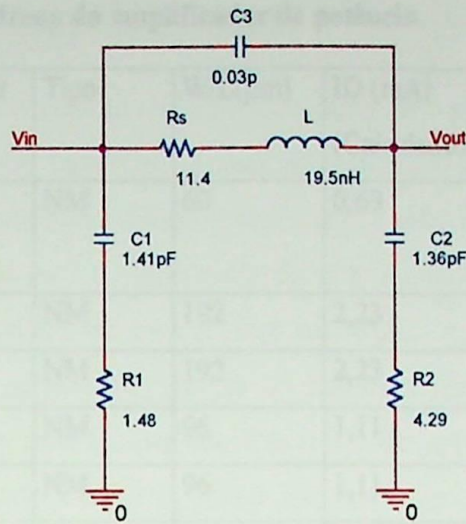


Figura 38 - Circuito equivalente do indutor.

4.3.3 Cálculo das correntes nos transistores.

A partir da tensão desejada de 2,5Vpp em cada amplificador de potência de saída correspondendo a uma tensão total na antena 5 Vpp (15 dBm) foi calculado as correntes de dreno dos transistores do circuito da Figura 30.

A equação utilizada para cálculo das correntes nos transistores é [1,15]:

$$ID = \frac{1}{2} K \frac{W}{L} (V_{GS} - V_{th})^2 \quad (4.5)$$

Onde:

K é igual K_n / X

K_n parâmetro de transcondutância do processo

O valor X é igual a 1,854 e foi determinado através simulação no SPICE, considerando um circuito inversor, utilizando a tecnologia CMOS de 0,35 μ m da AMS e adotando:

$V_{GS} = 1,3V$; $V_{th} = 0,742 V$;

$K_n = 138,125810^{-6}$; $ID = 1,16mA$ e $W/L = 100\mu$.

A partir da equação 4.5 determinou-se conforme mostrado na Tabela 1 os valores das correntes de dreno dos transistores do amplificador de potência para obter a potência 15 dBm desejada na antena.

Tabela 1 - Correntes de dreno do amplificador de potência.

Função dos Transistores	Transistor	Tipo	W/L(μm)	ID (mA) (Calculado)	ID (mA) (Simulado)	$V_{GS}-V_{th}$ (V)
Transistor Inversor	M1	NM	60	0,69	0,69	0,56
Transistor buffer	M2	NM	192	2,23	2,23	0,56
	M3	NM	192	2,23	2,23	0,56
	M6	NM	96	1,11	1,11	0,56
	M7	NM	96	1,11	1,11	0,56
	M10	NM	48	0,557	0,557	0,56
	M11	NM	48	0,557	0,557	0,56
	M14	NM	24	0,278	0,278	0,56
	M15	NM	24	0,278	0,278	0,56
	M18	NM	12	0,139	0,14	0,56
	M19	NM	12	0,139	0,14	0,56
	M22	NM	6	0,07	0,0697	0,56
M23	NM	6	0,07	0,0697	0,56	
Transistores Chaves	M4	PM	600	-	2,23	2,062
	M8	PM	300	-	1,11	2,062
	M12	PM	300	-	0,0557	2,062
	M16	PM	300	-	0,278	2,062
	M20	PM	300	-	0,14	2,062
	M24	PM	300	-	0,0697	2,062
Transistores Amplificadores	M5	NM	240	1,72	1,86	0,44
	M9	NM	120	0,858	0,937	0,44
	M13	NM	60	0,429	0,467	0,44
	M17	NM	30	0,214	0,234	0,44
	M21	NM	15	0,108	0,117	0,44
	M25	NM	8	0,0582	0,0627	0,44

4.4 Casamento da impedância Saída

O casamento de uma rede de saída deve ser capaz de transformar a carga resistiva de uma antena para impedância capacitiva de saída do dispositivo obter a máxima potência na saída. O descasamento causa uma potência refletida para a entrada do circuito, resultando em uma redução na eficiência ou na possibilidade de uma instabilidade, se o amplificador de potência não for incondicionalmente estável. Para implementar a rede casada no amplificador de potência, ignorou-se as pequenas perdas do substrato, usou-se um indutor fora do dispositivo, que ressonasse com a capacitância total (C) de saída incluindo a do PAD, e ao mesmo tempo transformando a carga da antena em uma carga ótima para o dispositivo. A capacitância total C de saída da rede na frequência de ressonância, pode ser observado na Figura 39. A rede casada foi projetada para potência de saída máxima na antena de 31,25mW. Os resultados de simulação mostram que R_{opt} do dispositivo de largura $W=473\mu\text{m}$ é de aproximadamente 137Ω , e que pode ser transformado em 50Ω , usando um simples circuito LC casado, conforme ilustrado na Figura 39.

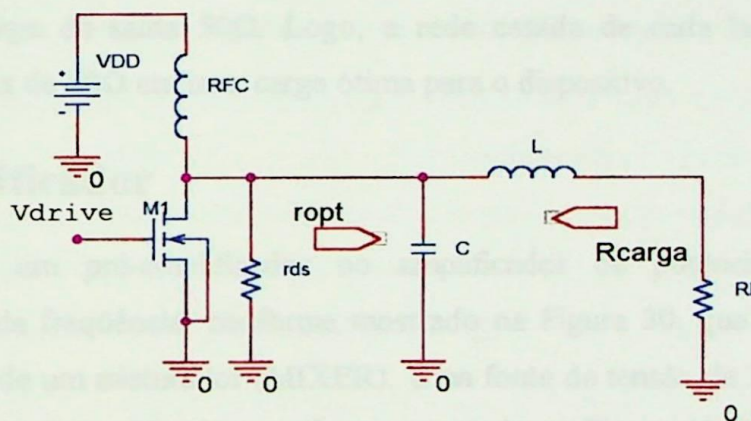


Figura 39 - Circuito de saída com impedância casada, ignorando as perdas do substrato de silício.

A função transferência simples do circuito casado da Figura 39 é [17]:

$$R(j\omega) = X_C // R_L + X_L \quad (4.6)$$

$$R(j\omega) = \frac{1}{j\omega} // (R_L + j\omega L)$$

$$Y(j\omega) = \frac{R_L}{R_L^2 + (\omega L)^2} + j[\omega C - \frac{\omega L}{R_L^2 + (\omega L)^2}]$$

Na ressonância:

$$W_o = \sqrt{\left[\frac{1}{LC} - \frac{R_L^2}{L^2} \right]} \quad (4.7)$$

$$Z_o = \frac{L}{R_L C} \quad (4.8)$$

Onde, R_L = resistência de carga; L = indutância externa; C = capacitância total.

A capacitância total de saída foi determinada para ser aproximadamente 1,72pF para uma indutância de 15nH para ressonar na frequência 836,5MHz. Na frequência de ressonância, a carga capacitiva de saída é sintonizada pelo indutor e o resultado torna-se parte real plana.

O estágio de saída diferencial, conforme mostrado na Figura 36, excita uma antena balanceada de 100Ω. Isto é equivalente a dois estágios de saída simples casados, onde cada um excita uma carga de saída 50Ω. Logo, a rede casada de cada lado é projetada para transformar a antena de 50Ω em uma carga ótima para o dispositivo.

4.5 Pré Amplificador

Utilizou-se um pré-amplificador no amplificador de potência de espalhamento espectral de salto de frequência, conforme mostrado na Figura 30, que poderá ser excitado com sinal de saída de um misturador (MIXER). Uma fonte de tensão de 3 V, é exigida para o estágio de saída. O pré-amplificador, conforme mostrado na Figura 40, de alto ganho (2,1) é necessário para excitar o amplificador de potência de saída, transistor M_5 . A linearidade do pré-amplificador não é um problema por causa da modulação FSK no sistema [17].

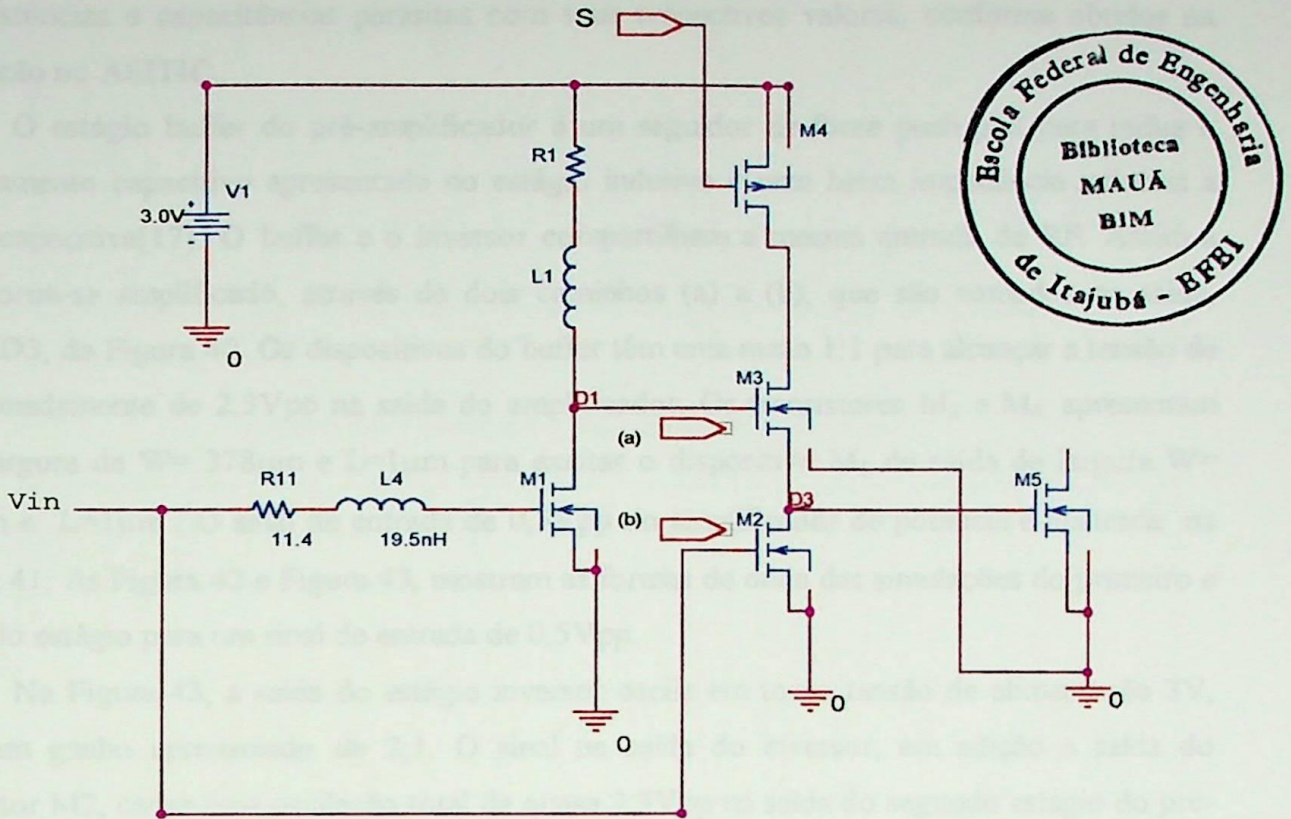


Figura 40 - Estágio pré amplificador, inversor e buffer seguido pelo estágio de saída.

O estágio pré-amplificador de alto ganho, com sinal de saída 4,6Vpp, (correspondendo a um ganho de 2,1), é formado pelo transistor M1 (configuração fonte comum) e um resistor-indutor (R1 e L1), que constitui o circuito inversor seguido por um estágio buffer (transistores M2 e M3). A Figura 40, ilustra o pré-amplificador.

O ganho de tensão do inversor é dado por [17][4]:

$$A_v = \frac{-g_m R_1 \left(1 + \frac{sL_1}{R_1}\right)}{s^2 L_1 C_p + sR_1 C_p + 1} \quad (4.9)$$

Onde g_m é a transcondutância do FET, R_1 resistência série do indutor, L_1 indutância e C_p capacitância do porta do transistor M_3 . Um limite para ganho máximo do inversor é estabelecido pelo indutor prático, somado ao carregamento capacitivo imposto pela capacitância do estágio seguinte. Um indutor de 19,5nH foi obtido na simulação no ASITIC, e seu modelo foi usado na simulação no SPICE do pré-amplificador.

O dispositivo M_1 de 60 μ m com tensão de polarização de 1,3V, e com um sinal de RF de entrada $V_{in} = 0,5$ Vpp ou um sinal na porta do transistor M_1 de 2,18Vpp, é suficiente para gerar um sinal de 4,6 Vpp na saída do inversor. A Figura 40, mostra o pré-amplificador com

as resistências e capacitâncias parasitas com seus respectivos valores, conforme obtidos na simulação no ASITIC.

O estágio buffer do pré-amplificador é um seguidor de fonte push pull para reduzir o carregamento capacitivo apresentado no estágio indutivo e uma baixa impedância indutiva a carga capacitiva[17]. O buffer e o inversor compartilham a mesma entrada de RF. Assim o sinal torna-se amplificado, através de dois caminhos (a) e (b), que são somados na saída, ponto D3, da Figura 40. Os dispositivos do buffer têm uma razão 1:1 para alcançar a tensão de aproximadamente de 2,3Vpp na saída do amplificador. Os transistores M_2 e M_3 , apresentam uma largura de $W=378\mu\text{m}$ e $L=1\mu\text{m}$ para excitar o dispositivo M_5 de saída de largura $W=473\mu\text{m}$ e $L=1\mu\text{m}$. O sinal de entrada de 0,5Vpp do amplificador de potência é ilustrado na Figura 41. As Figura 42 e Figura 43, mostram as formas de onda das simulações do primeiro e segundo estágio para um sinal de entrada de 0,5Vpp.

Na Figura 43, a saída do estágio inversor oscila em torno tensão de alimentação 3V, com um ganho aproximado de 2,1. O sinal na saída do inversor, em adição a saída do transistor M_2 , causa uma oscilação total de quase 2,3Vpp na saída do segundo estágio do pré-amplificador em D3, da Figura 40, tensão necessária para excitar o estágio de saída (transistor M_5).

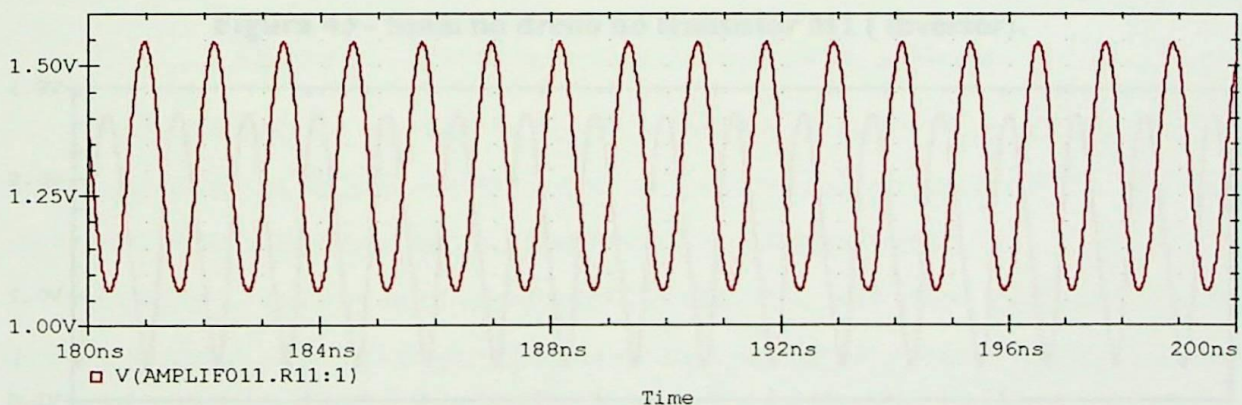


Figura 41 - Sinal de entrada do amplificador de potência (R11).

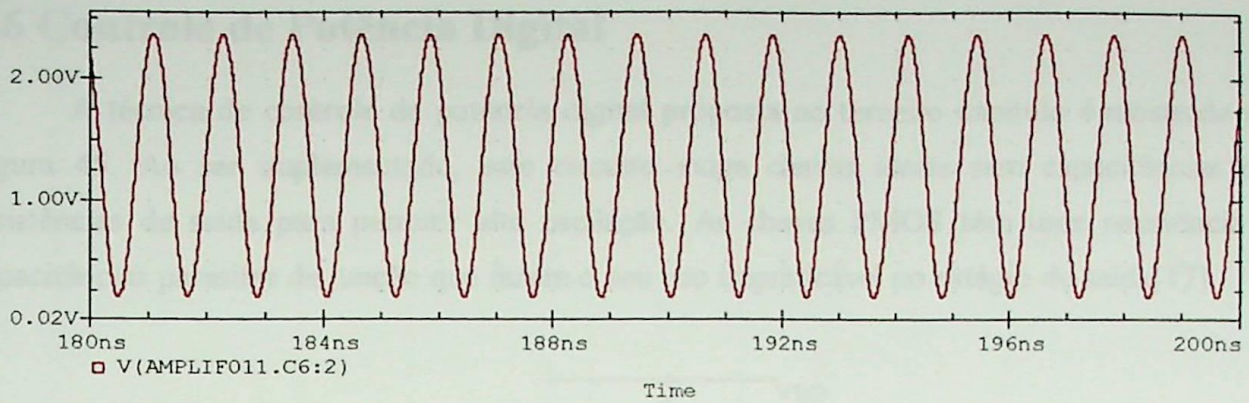


Figura 42 – Sinal na Porta do transistor M1.

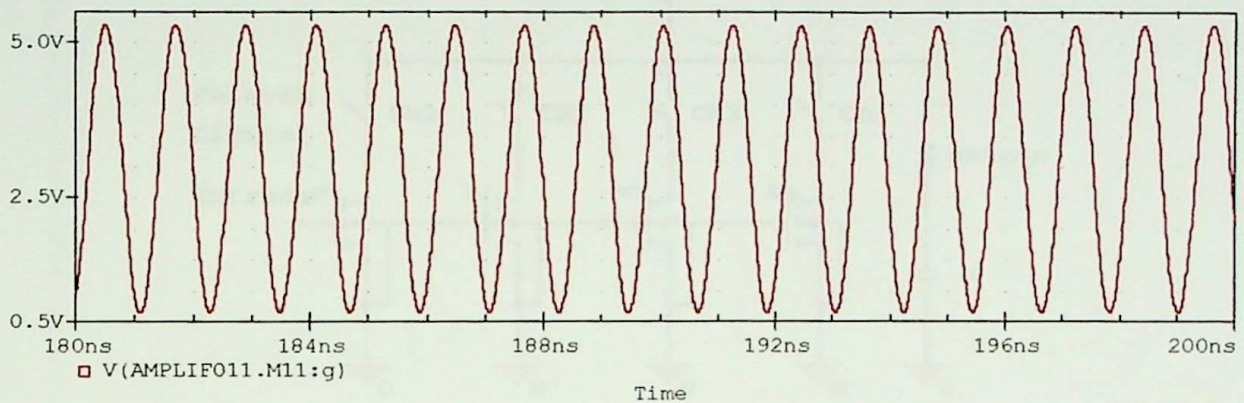


Figura 43 - Sinal no dreno do transistor M1 (inversor).

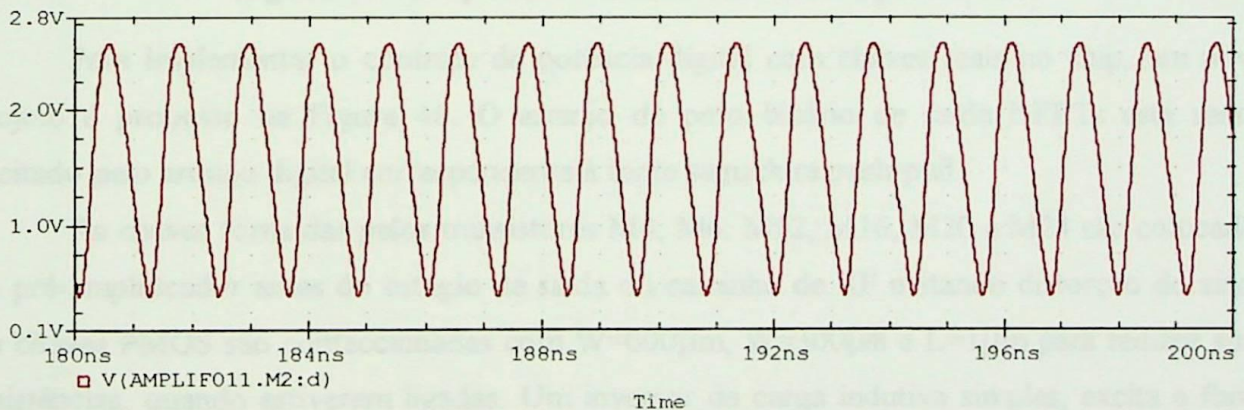


Figura 44 – Sinal na saída do buffer do amplificador.

Nesta configuração de amplificador de potência o produto intermodulação de terceira ordem do estágio de saída, devido às harmônicas geradas no amplificador não linear, são muitos distantes da frequência fundamental, e por isso facilmente filtradas na saída[17].

4.6 Controle de Potência Digital

A técnica de controle de potência digital proposta no terceiro capítulo é mostrada na Figura 45. Ao ser implementado, este circuito exige chaves ideais sem capacitâncias ou resistências de saída para permitir alta oscilação. As chaves PMOS têm uma resistência e capacitâncias parasitas de junção que fazem o seu uso impraticável no estágio de saída[17].

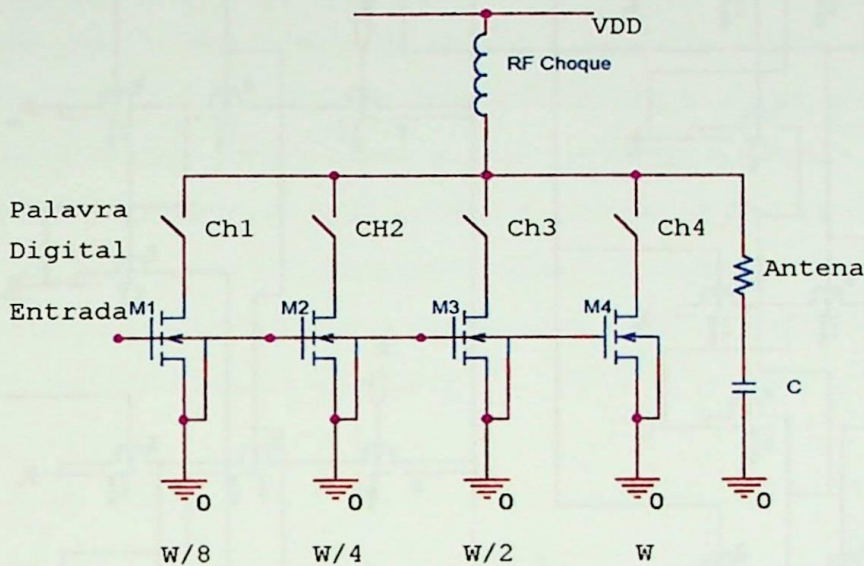


Figura 45 - Proposta técnica de controle de potência.

Para implementar o controle de potência digital com chaves reais no chip, um novo projeto é proposto na Figura 46. O arranjo de peso binário de saída NFETs está sendo excitado pelo arranjo digital correspondente à fonte seguidora push-pull.

As chaves formadas pelos transistores M4, M6, M12, M16, M20 e M24 são colocadas no pré-amplificador antes do estágio de saída ou caminho de RF evitando distorção do sinal. As chaves PMOS são confeccionadas com $W=600\mu\text{m}$, $W=300\mu\text{m}$ e $L=1\mu\text{m}$ para reduzir suas resistências, quando estiverem ligadas. Um inversor de carga indutiva simples, excita a fonte seguidora push-pull de peso binário. Os dispositivos de saída são unidos a seus drenos para serem polarizados com tensão de alimentação de 3V pelo indutor de RF, que excita a antena. Uma faixa dinâmica de 52,5dB do controle de potência é alcançado com 6 pesos binários.

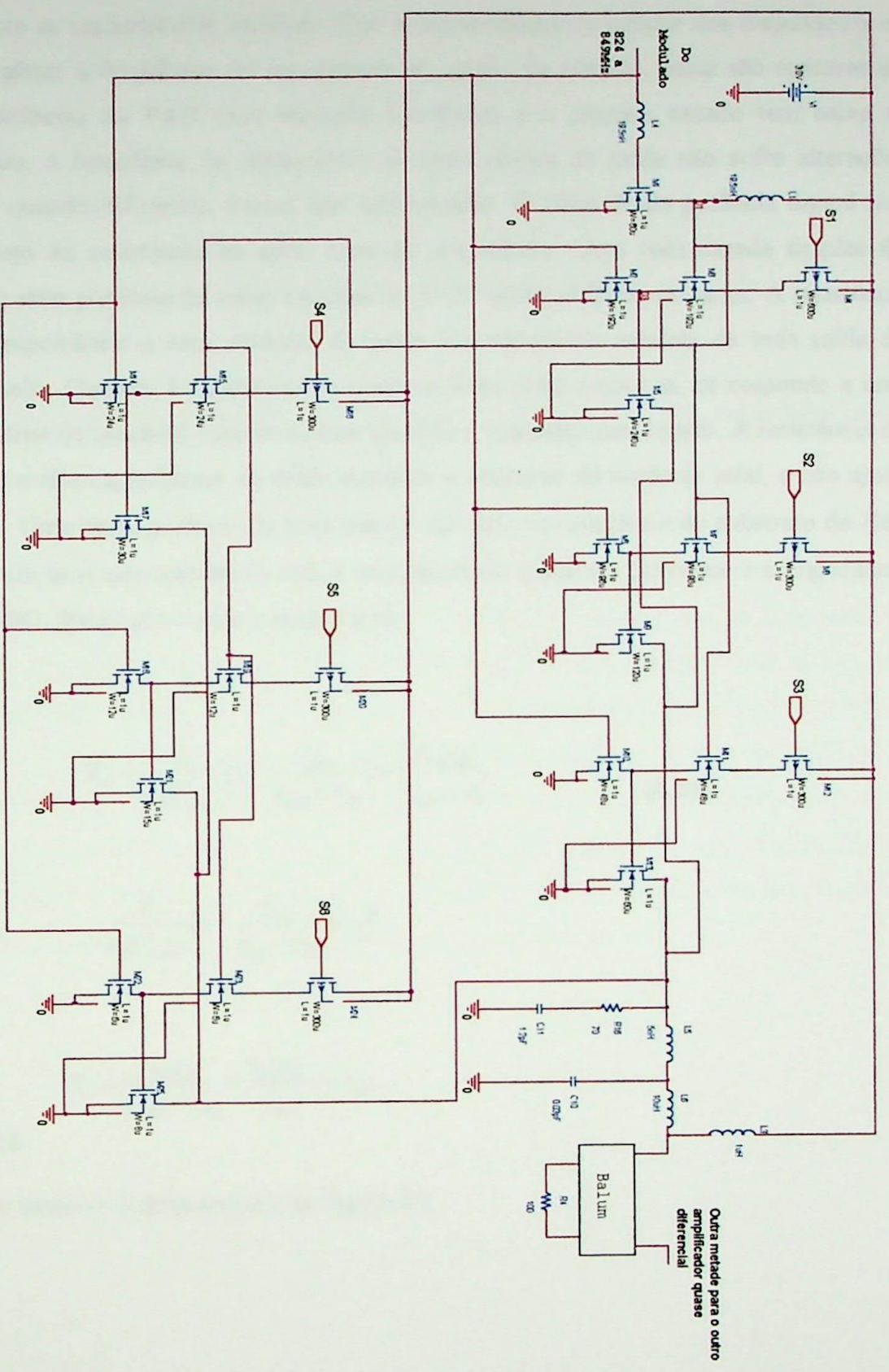


Figura 46 - Circuito amplificador de potência completo com as chaves binárias S1, S2, S3, S4, S5 e S6 que são digitalmente selecionadas para os transistores NFEET's.

Somente as capacitâncias variáveis C_{gd} e capacitâncias de junção dos dispositivos de saída podem afetar a frequência de ressonância de saída. No entanto, estas são menores do que as capacitâncias do PAD (sua variação é mínima) e o circuito casado tem baixo Q ($Q \sim 5,2$). Assim, a frequência de ressonância da rede casada de saída não sofre alterações significativas, quando diferentes chaves são selecionadas. O controle de potência digital tem um efeito direto na resistência de saída total do dispositivo. Uma rede casada simples foi projetada para uma potência de saída máxima de 31,25 mW (15dBm) na carga. A resistência de saída correspondente a esta potência de saída é a resistência paralela de toda saída do dispositivo ligado. Quando a resistência de dreno e fonte (r_{ds}) é mínima, corresponde a uma r_{ds} do dispositivo de tamanho mínimo ocorre quando o transistor está ligado. A resistência do substrato com a alta capacitância de saída aumenta o consumo de potência total, e isto ajuda no casamento. Uma baixa potência de transmissão aplicado na resistência do substrato de 70Ω em paralelo com uma alta resistência r_{sd} , a resistência do substrato prevalece e a impedância total será de 70Ω . Para $r_{sd} \gg r_{sub}$ e $r_{sub} = 70\Omega$:

$r_{sd} \gg r_{sub} \Rightarrow$

$$Z_0 = \frac{L}{r_{ds} C_{total}} \left[1 - \frac{r_{sub}}{r_{sub} + r_{ds}} \right] + \frac{r_{sub} r_{ds}}{r_{sub} + r_{ds}} \quad (4.10)$$

$$\frac{L}{r_{ds} C_{total}} \left[1 - \frac{r_{sub}}{r_{sub} + r_{ds}} \right] = 0$$

$$Z_0 = \frac{r_{sub} r_{ds}}{r_{sub} + r_{ds}} = \frac{r_{sub} r_{ds}}{r_{ds}} = r_{sub}$$

então $Z_0 = 70\Omega$

A explanação intuitiva é demonstrada na Figura 47.

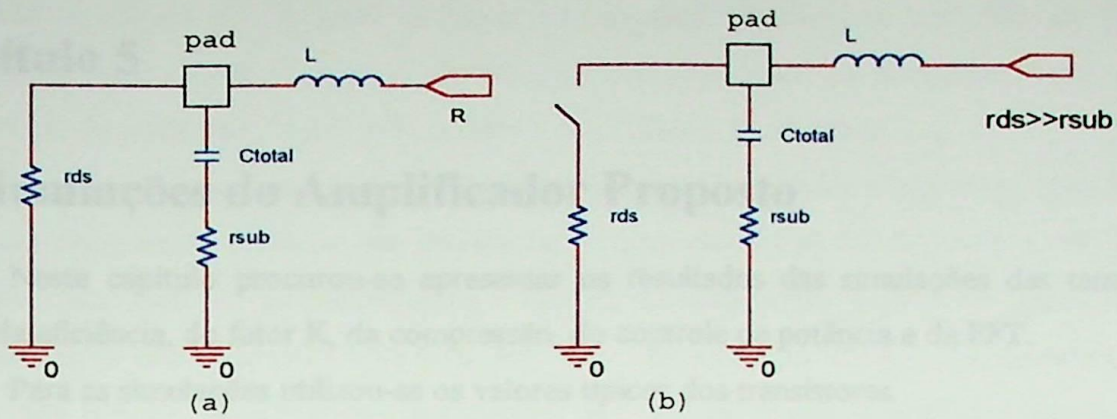


Figura 47 - Casamento impedância.(a).Transmissão alta potência; (b)transmissão baixa potência.

4.8 Conclusões

O objetivo deste trabalho foi projetar um amplificador de potência na frequência de 836,5MHz ($\pm 12,5$ MHz), que fosse controlado digitalmente para fornecer uma tensão que variasse de um valor mínimo de 12mVpp (-37,5dBm) a um máximo de 5Vpp (~15dBm) a uma carga (antena). Para obter estes níveis foi utilizado uma configuração circuito balanceado conforme mostrado na Figura 30, cujas saídas estão em contra fase e combinadas em um Balun com uma carga resistiva de 100 Ω . Esta técnica (topologia quase diferencial) foi utilizada para obter o nível desejado na carga, e também por apresentar uma imunidade de ruído de modo comum (conforme mencionado no terceiro capítulo).

5.1 Simulação do Controle de Potência

A simulação de controle a potência do amplificador de potência foi feita usando um driver CMOS para posicionar a tensão, desligado e vice-versa. A potência de saída versus a largura de pulso de controle de saída foi simulada com uma tensão de entrada de 0,5 Vpp, que corresponde a -20 dBm na entrada diferencial do amplificador de potência. A simulação de controle de potência foi realizada na frequência de operação de 836,5 MHz do circuito, com uma tensão de alimentação de 3V. A variação de potência de saída do circuito é

Capítulo 5

5- Simulações do Amplificador Proposto

Neste capítulo procurou-se apresentar os resultados das simulações das tensões de saída, da eficiência, do fator K, da compressão, do controle de potência e da FFT.

Para as simulações utilizou-se os valores típicos dos transistores.

O circuito final é mostrado na Figura 48. As entradas de tensão (0V ou 3V) S1, S2, S3, S4, S5 e S6 dos amplificadores 1 e 2 atuarão nas chaves PMOS S1, S2, S3, S4, S5 e S6 que são responsáveis por aumentar ou diminuir a potência de saída dos amplificadores 1 e 2.

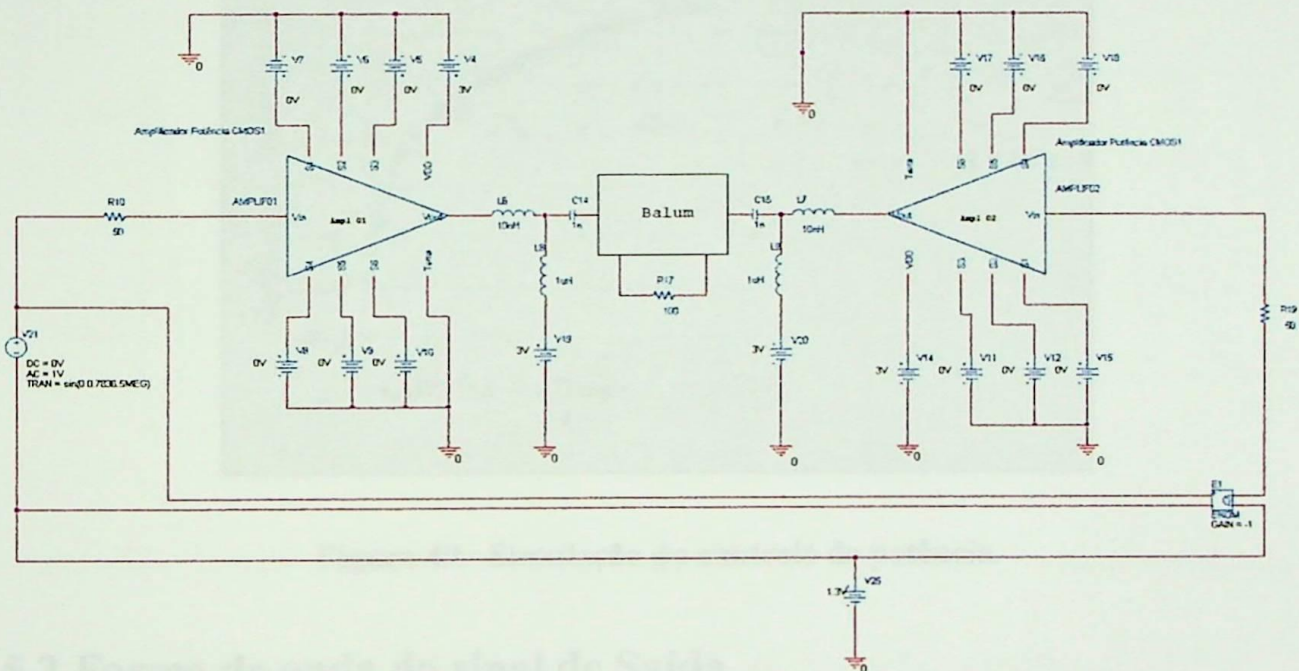


Figura 48 - Amplificador de potência excitando uma antena (100Ω).

5.1 Simulação do Controle de Potência

A avaliação do controle a potência do amplificador de potência foi feita atuando nas chaves PMOS para posição de ligado, desligado e vice-versa. A potência de saída versus à largura do dispositivo de saída foi simulada com uma tensão de entrada de 0,5 Vpp, que corresponde a -2 dBm na entrada diferencial do amplificador de potência. A simulação do controle de potência foi realizada na frequência de ressonância de 836,5 MHz do circuito, com uma tensão de alimentação de 3V. A simulação do controle potência do circuito é

mostrada na Figura 49. A faixa dinâmica na simulação apresentou um valor de 52,32dB próximo ao esperado de 52,5dB. A técnica de controle de potência apresentou uma variação na potência de saída de $0,18\mu\text{W}$ a $31,25\text{mW}$ (-37,5 dBm a 14,95 dBm).

Os ruídos no circuito não permitem que a potência de saída atinja zero, quando todas as chaves controle de potência são desligadas. O eixo da largura do dispositivo (W) começa com um valor mínimo correspondendo a largura do dispositivo com $W=0$ (zero), quando todas as chaves são desligadas e no final com valor máximo com $W= 473\mu\text{m}$, quando todas as chaves são ligadas. As 2^6 (64) combinações das chaves foram simuladas e mostradas na Figura 49.

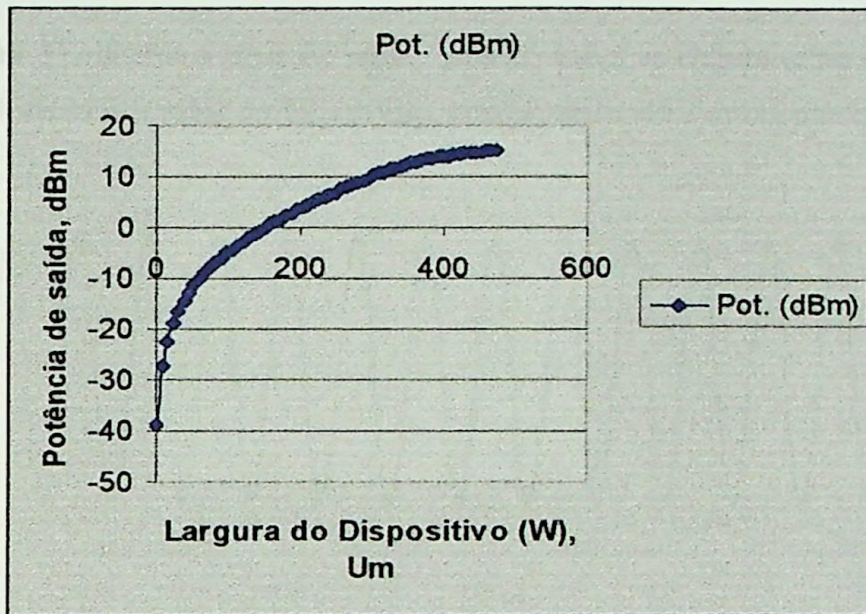


Figura 49 - Simulação do controle de potência.

5.2 Forma de onda do sinal de Saída

A Figura 50, mostra a amplitude de saída, quando todas as chaves estão ligadas, apresentando uma tensão de 5Vpp , correspondendo a uma potência de 14,95dBm.

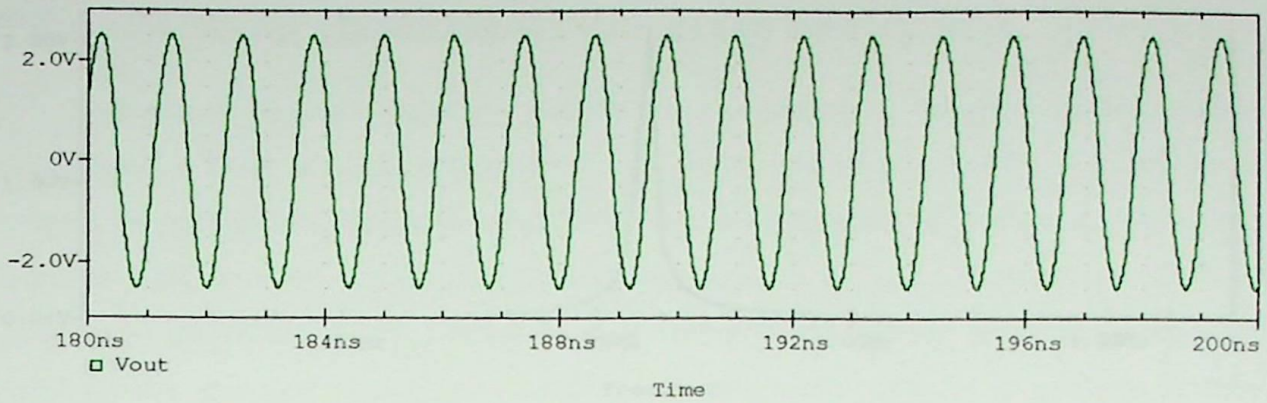


Figura 50 - Amplitude sinal de saída , as chaves S1, S2, S3, S4, S5 e S6 estão ligadas.

A Figura 51, ilustra o sinal de saída, quando todas as chaves estão desligadas, tendo como tensão de saída um valor de 12,1mVpp, correspondendo a uma potência de -37,5dBm.

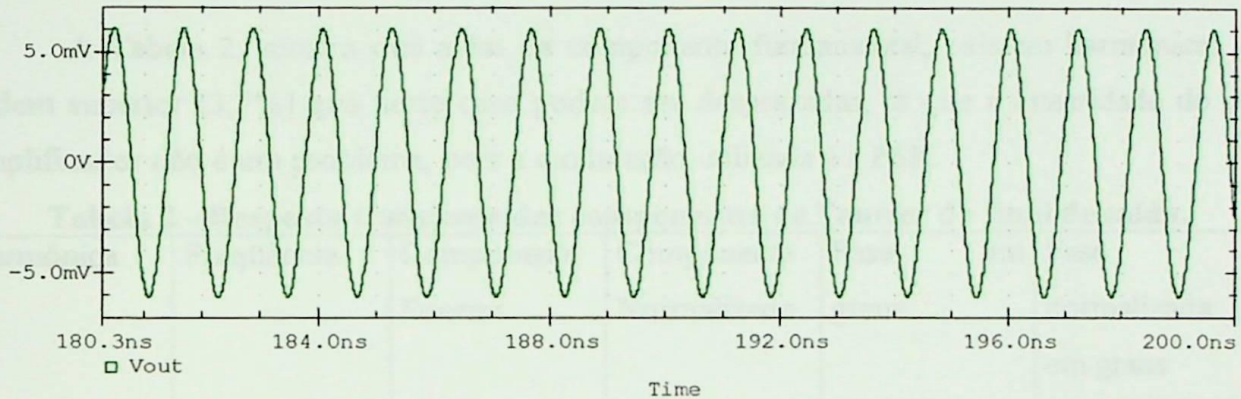


Figura 51 - Amplitude sinal de saída, as chaves S1, S2, S3, S4, S5 e S6 estão desligadas.

5.3 Forma de onda da transformada de Fourier (FFT)

O gráfico da Figura 52, mostra a forma de onda da transformada de Fourier do sinal de saída do amplificador de potência. Observe a componente fundamental centrada em 840MHz.



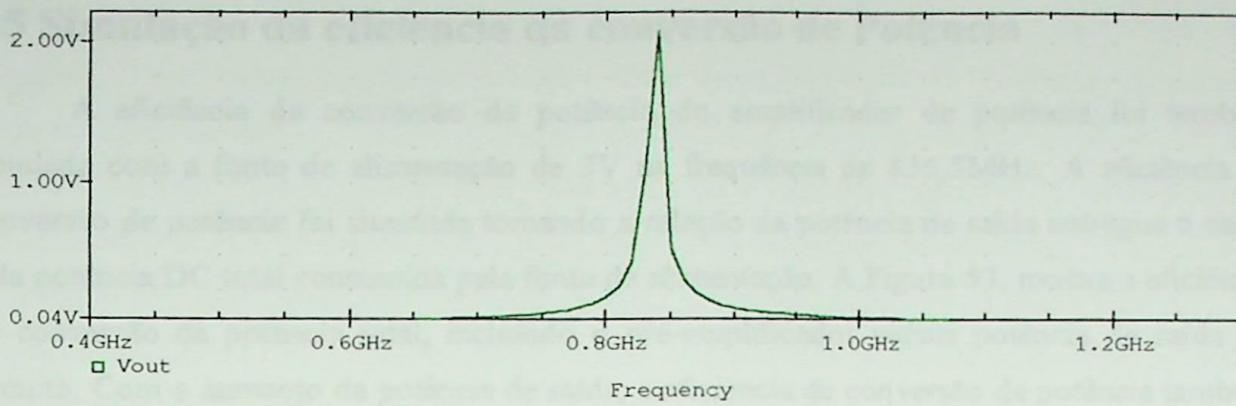


Figura 52 - Forma de onda da transformada de Fourier.

5.4 Análise da resposta transiente das componentes de Fourier do sinal de saída (V(VA,VB)).

A Tabela 2, mostra que além da componente fundamental, existem harmônicas de ordem superior (3,7%) que neste caso podem ser desprezadas, já que a linearidade do pré amplificador não é um problema, pois a modulação utilizada é a FSK.

Tabela 2 - Resposta transiente das componentes de Fourier do sinal de saída.

Harmônica	Frequência	Componente Fourier	Componente Normalizado	Fase em graus	Fase em graus normalizada
NO	Hz				
1	8.360E+08	2.564E+00	1.000E+00	-6.827E+01	0.000E+00
2	1.672E+09	9.090E-02	1.575E-03	4.972E+01	1.180E+02
3	2.508E+09	9.860E-02	3.546E-02	-1.1589E+02	--9.066E+01
4	3.344E+09	2.178E-03	8.496E-04	-2.148E+01	4.678E+01
5	4.180E+09	2.135E-02	8.328E-03	7.858E+01	1.468E+02
6	5.016E+09	1.659E-03	6.472E-04	-1.330E+02	-6.477E+01
7	5.852E+09	1.802E-03	7.030E-04	5.109E+01	1.194E+02
8	6.688E+09	1.347E-03	5.253E-04	1.452E+02	2.135E+02
9	7.524E+09	5.908E-04	2.305E-04	-6.623E+01	2.025E+00
10	8.360E+09	1.013E-03	3.952E-04	5.840E+01	1.267E+02

Componente DC = 8.236509E-04

Distorção harmônica total = 3.648418E+0 por cento

5.5 Simulação da eficiência da conversão de Potência

A eficiência da conversão de potência do amplificador de potência foi também simulada com a fonte de alimentação de 3V na frequência de 836,5MHz. A eficiência da conversão de potência foi simulada tomando a relação da potência de saída entregue à carga pela potência DC total consumida pela fonte de alimentação. A Figura 53, mostra a eficiência da conversão de potência total, incluindo o pré-amplificador versus potência de saída do circuito. Com o aumento da potência de saída, a eficiência de conversão de potência também aumenta. Uma eficiência de aproximadamente de 25% foi medida para uma potência máxima de 31,25mW.

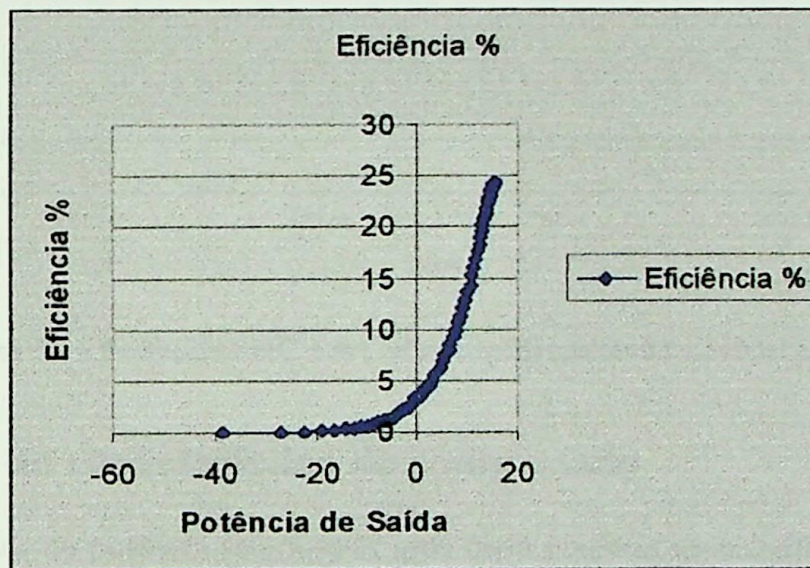


Figura 53 - Potência de saída versus eficiência.

A modelo da curva da eficiência da potência versus potência de saída, mostra como a potência muda com a largura efetiva. Uma vez que o estágio indutivo do pré-amplificador está sempre ligado, mesmo que o estágio posterior tenha comutado para desligado, a transmissão de baixa potência favorece igual diminuição na eficiência. Uma expectativa seria uma eficiência sempre constante, se o pré-amplificador também pudesse comutar para desligado. Baseado nas simulações do SPICE, a eficiência de aproximadamente de 25% do amplificador de potência deveria aumentar de 10% a 15%, se a resistência de substrato R16, e a capacitância C11 do pad, conforme ilustrado na Figura 46, fossem reduzidas. Alterando a resistência do substrato para 30Ω , e a capacitância para $0,7\text{pf}$, a eficiência apresentou um valor de eficiência maior que 30%. Uma outra opção seria colocar os indutores fora do circuito, reduzindo as capacitâncias e resistências parasitas. Há uma outra forma de eliminar a

resistência sob substrato do pad, colocando a camada de metal 1 sob o pad e conectando-o ao terra[17]. Isto elimina a resistência sob o substrato do pad ao custo da criação de uma grande capacitância na saída do circuito. A grande capacitância na saída poderia ser eliminada com pequeno indutor, porém, o casamento de impedância com a antena ficaria difícil na presença do controle de potência digital. Neste caso, não existe resistência do substrato para ajudar no casamento da impedância de saída de transmissão de potência com níveis muito baixos.

A Figura 54, mostra as potências DC e AC do amplificador de potência, quando as chaves estão ligadas correspondendo à uma eficiência de aproximadamente de 25%.

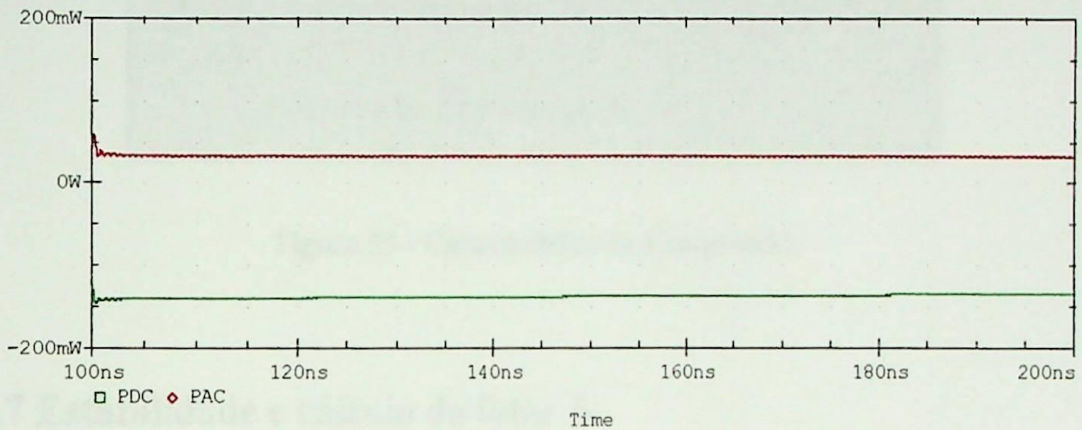


Figura 54 - Potências DC e AC do amplificador de potência.

5.6 Simulação da característica de compressão

O amplificador de potência satura após uma certa potência de entrada. Foi realizada uma simulação no SPICE do amplificador de potência para verificar o ponto de compressão. Na saída, o ponto de compressão de 1dB do amplificador de potência foi medido a 836,5MHz com uma tensão de alimentação de 3V. A Figura 55, mostra a potência de saída versus a potência entrada do amplificador. O ponto de compressão de 1dB de saída ocorreu para um sinal de -1 dBm de tensão de entrada e +15,22 dBm de potência de saída.

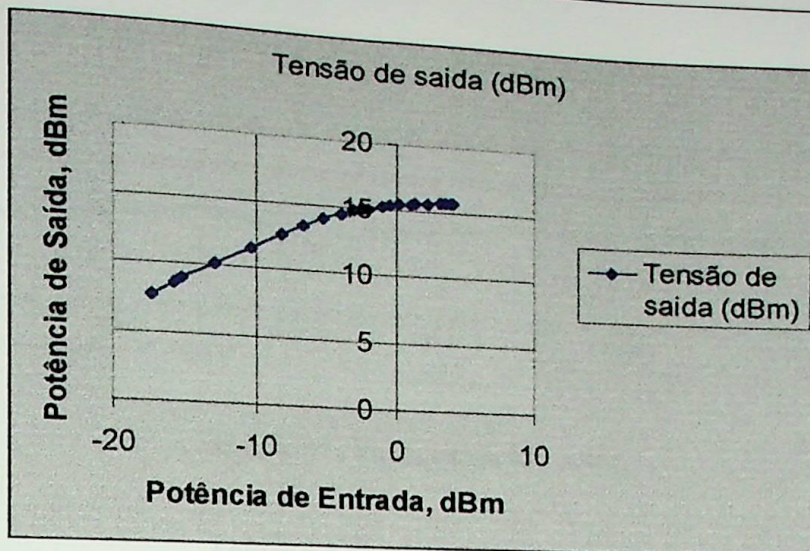


Figura 55 - Característica de Compressão.

5.7 Estabilidade e cálculo do fator K

Utilizando o SPICE para determinar os parâmetros S ($S_{11}, S_{21}, S_{12}, S_{22}$), conforme a Figura 56 e Figura 57, foi possível constatar que o amplificador projetado, é incondicionalmente estável, calculando os valores de K. A Tabela 3 mostra alguns valores de K, calculados nas frequências 100MHz, 836,5MHz e 2GHz, observe que $K > 1$.

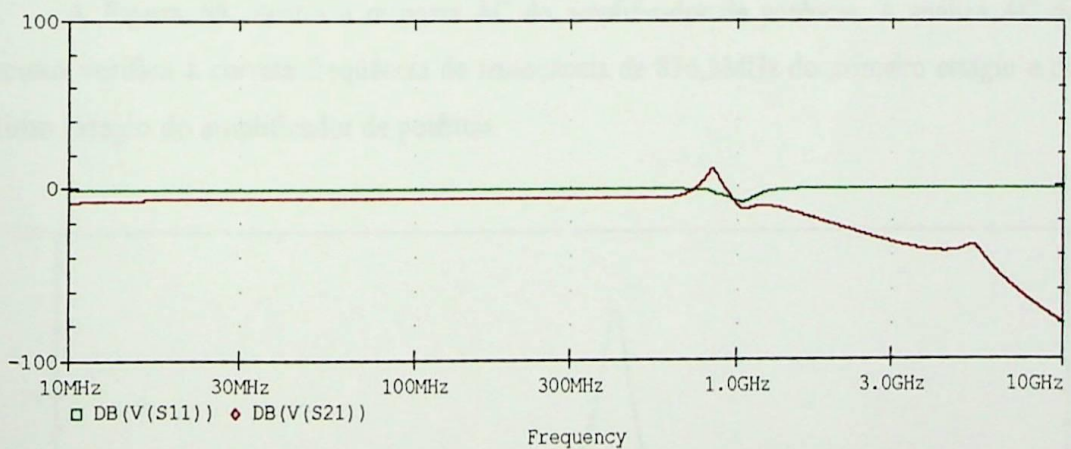


Figura 56 - Parâmetros S11 e S21.

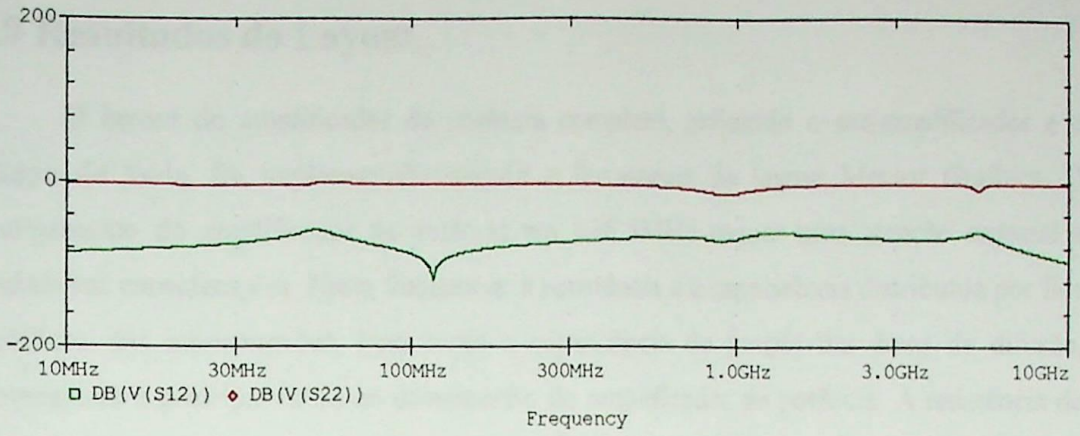


Figura 57 - Parâmetros S22 e S12.

Tabela 3 - Fator de estabilidade K

Fatores de K calculados	
Freqüência	Fator de estabilidade (K)
100MHz	37
836MHz	199
2GHz	366

5.8 Resposta AC do Amplificador de Potência.

A Figura 58, ilustra a resposta AC do amplificador de potência. A análise AC do circuito verifica a correta freqüência de ressonância de 836,5MHz do primeiro estágio e do último estágio do amplificador de potência.

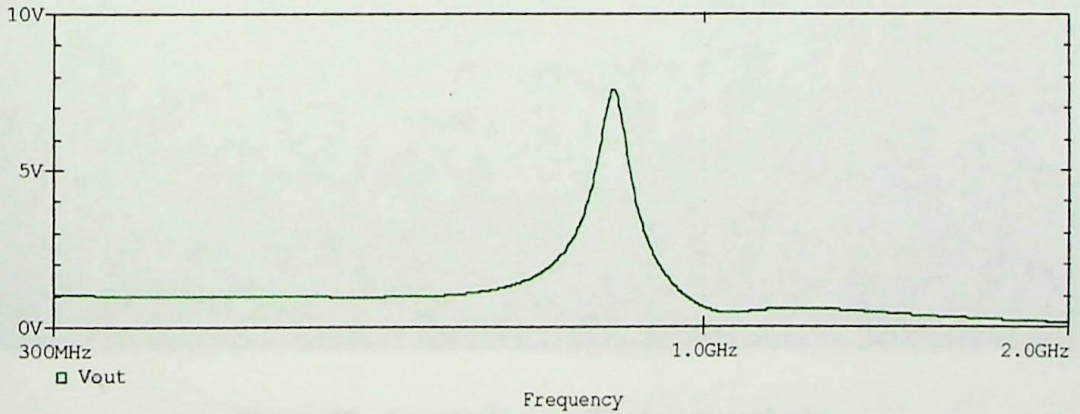


Figura 58 - Resposta AC do amplificador de potência.

5.9 Resultados do Layout.

O layout do amplificador de potência completo, incluindo o pré-amplificador e o estágio de saída, foi implementado usando a ferramenta de layout Mentor Graphics. O planejamento do amplificador de potência em 836,5MHz requer uma atenção especial e cuidadosas considerações. Nesta frequência, a resistência e a capacitância distribuída por fios metálicos das interconexões, bem como a capacitância de junção das áreas de difusão, representam a principal causa no desempenho do amplificador de potência. A resistência de poly também tem uma grande função na determinação do casamento de entrada bem como o ganho de cada estágio de amplificação. O número de ramificações para cada dispositivo é confeccionado grande para reduzir a resistência de poly. As conexões da porta do transistor são também feitas, ambas na extremidade para reduzir a resistência total de poly. A trilha de tensão de alimentação é de $80\mu\text{m}$ de largura para reduzir a queda de tensão e a trilha terra de $60\mu\text{m}$. A camada de metal 2 foi usado na via de saída onde R e C tem grandes efeitos. Os metais de saída são construídos largos ($60\mu\text{m}$), para fluir grandes correntes de 25mA para uma potência de 31,25mW. Os pads de saída são localizados próximos aos dispositivos de saída para se eliminar resistências e capacitâncias extras desnecessárias.

A Figura 59, mostra o layout do amplificador de potência.

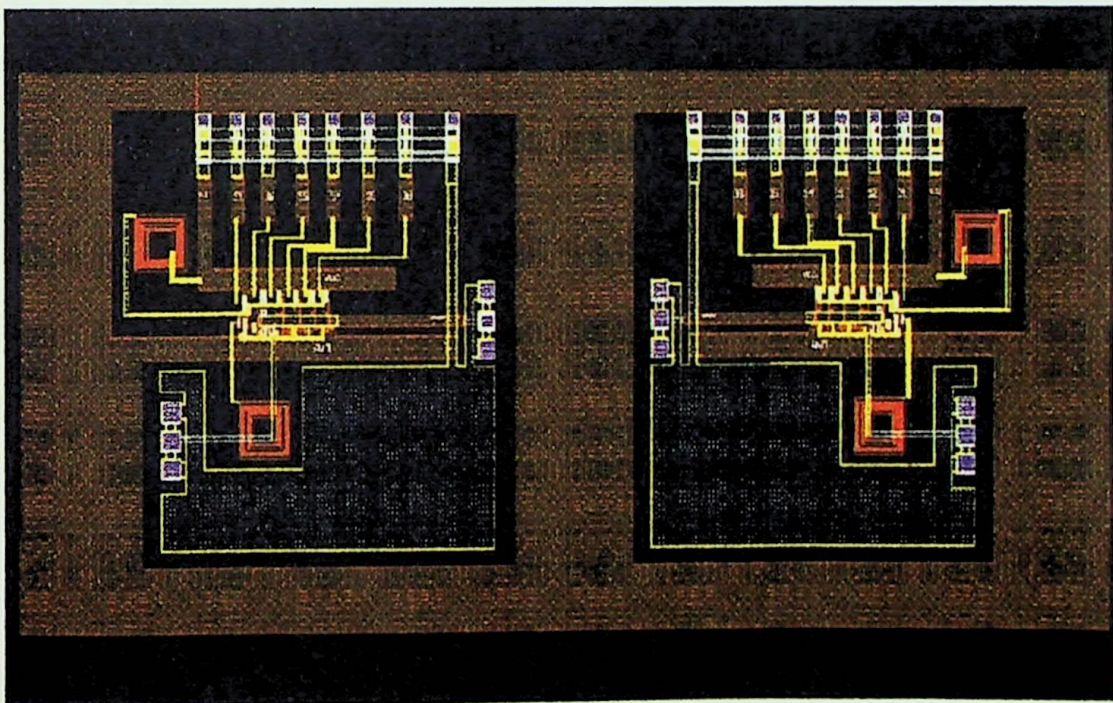


Figura 59 - Layout do amplificador de potência.



A Figura 60 apresenta a distribuição dos transistores no layout.

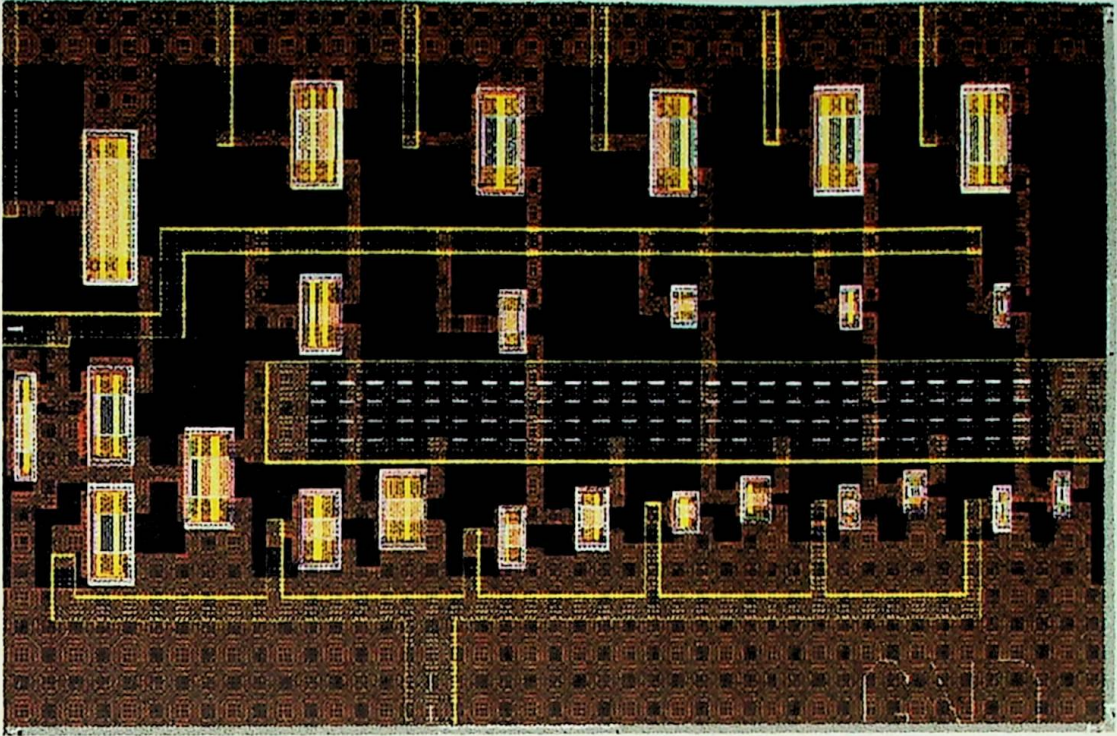


Figura 60 - Vista dos transistores do amplificador de potência.

A Figura 61, mostra o indutor quadrado de 19,5nH ocupando uma área de $0,162\mu\text{m}^2$ ($402,7\ \mu\text{m} \times 402,7\mu\text{m}$).

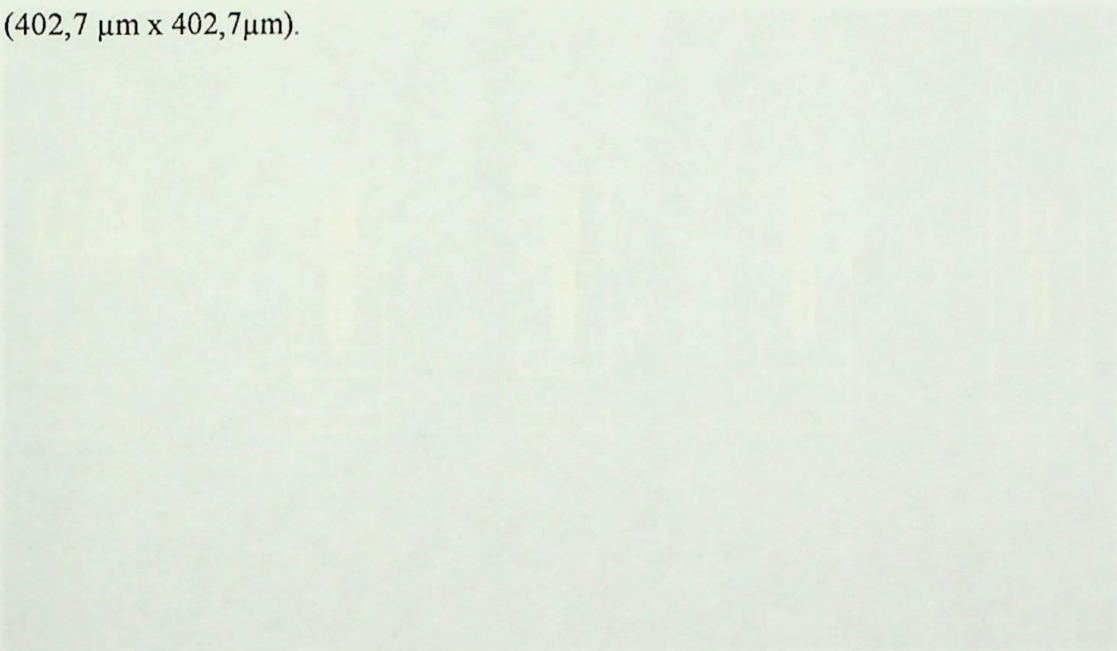


Figura 61 - Alguns dos indutores quadrados presentes no amplificador de potência.

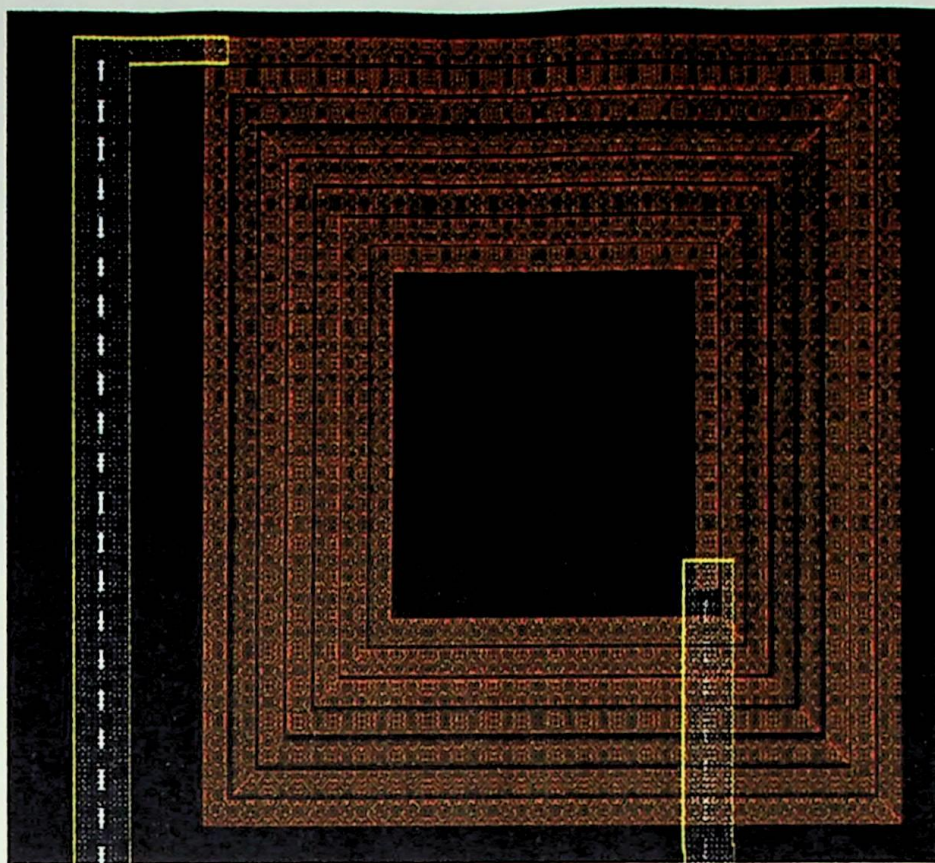


Figura 61 - Indutor de 19,5nH.

Os pds com circuito de proteção são mostrados na Figura 62.

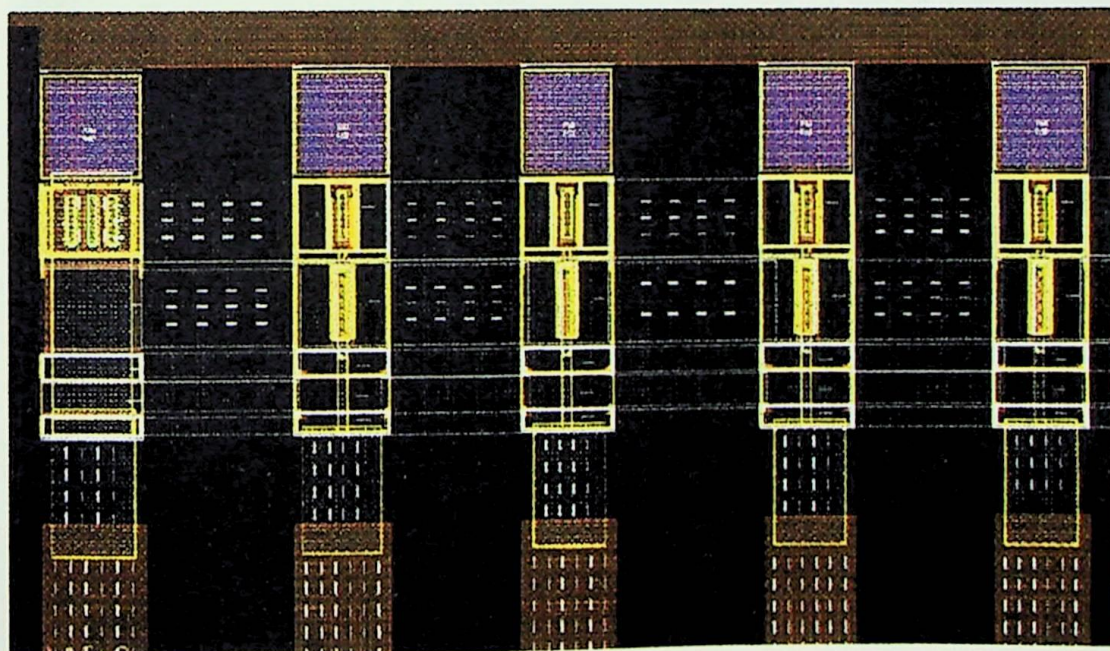


Figura 62 - Alguns pds com circuito de proteção do amplificador de potência.

A Figura 63, ilustra um transistor CMOS utilizado no amplificador de potência com anel de guarda para evita latch-up.

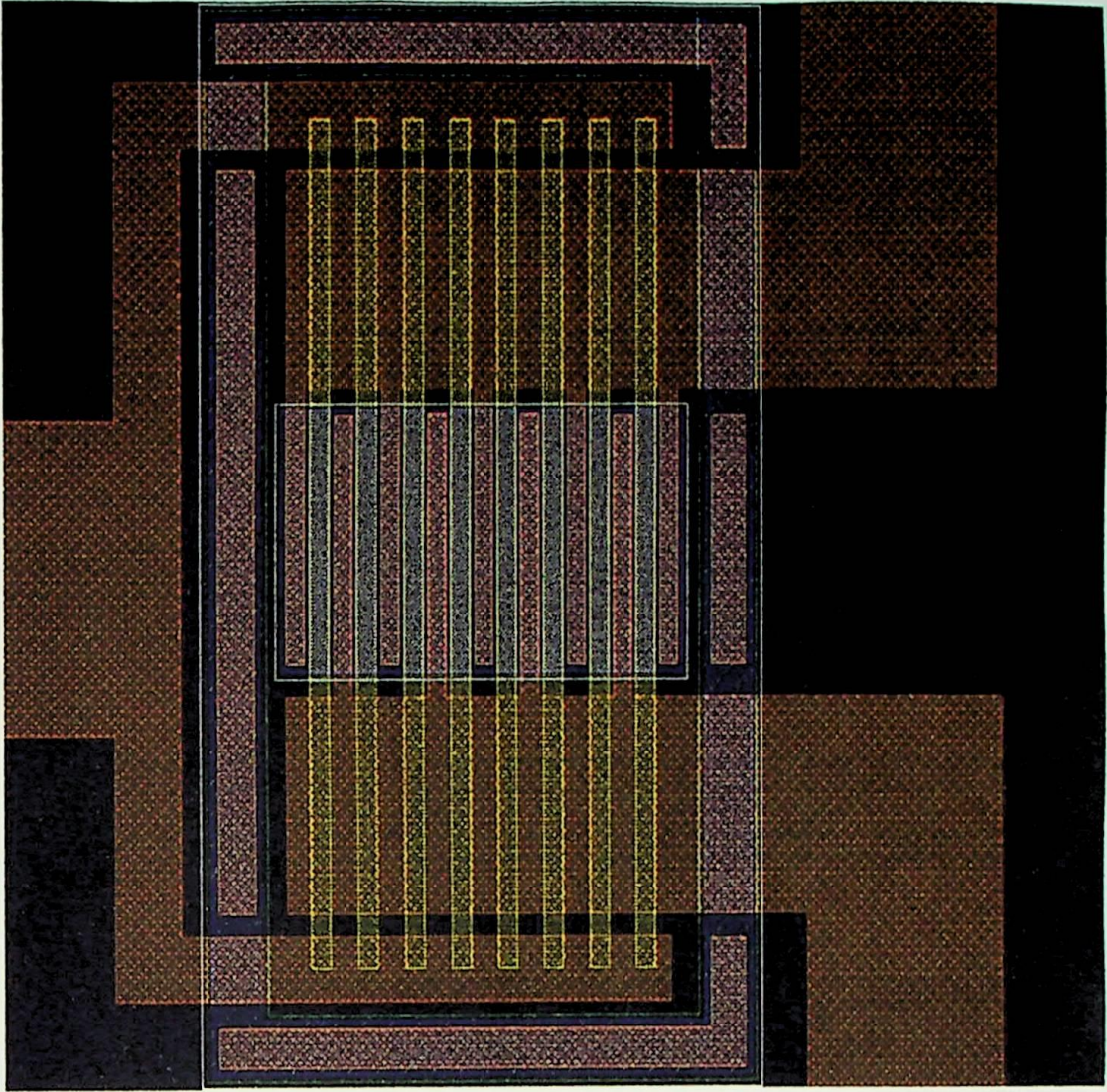


Figura 63 - Transistor com anel de guarda.

Após a confecção do layout do circuito no Mentor Graphics foi feito DRC (Design Rules Check), que nada mais é que verificação das distâncias e tamanhos exigidos pela regra de projeto do fabricante estão sendo obedecidas. Após a verificação, os resultados foram satisfatórios.

Para concluir os testes foi efetuado LVS (Layout Versus Schematic). Trata-se da comparação entre o layout construído e o esquema elétrico do circuito. Os resultados também foram satisfatórios.

Capítulo 6

6.1 Conclusões.

A proposta deste trabalho, foi projetar um amplificador de potência balanceado com tecnologia CMOS de $0,35\mu\text{m}$ para operar na faixa de 824 a 849MHz, controlado digitalmente para fornecer uma potência de saída mínima $0,18\mu\text{W}$ ($\sim 37,5\text{dBm}$) e uma potência máxima $31,25\text{ mW}$ ($\sim 15\text{ dBm}$), e alimentado por uma tensão de 3V. foi satisfatoriamente atingida, como mostram os resultados finais, obtidos por simulações executada com o programa SPICE.

É importante salientar que esses resultados, calculados e simulados no SPICE, devem ser bastante próximos dos resultados práticos, pois foram consideradas as capacitâncias e as resistências parasitas. Isto foi possível graças a utilização do ASITIC que fornece os circuitos equivalentes dos indutores de $19,5\text{nH}$. Após a confecção do layout, realizou-se também DRC e LVS que apresentaram resultados satisfatórios.

O SPICE foi uma ferramenta poderosa e de grande utilidade, pois de posse do circuito e das capacitâncias e resistências parasitas, foi possível melhorar o circuito para obter a potência desejada de 15dBm e uma eficiência de aproximadamente 25%.

Também foi simulado no SPICE um amplificador de potência, operando em $836,5\text{MHz}$, porém utilizando apenas um indutor $L1$ de 73nH com uma resistência série de 110Ω , e o indutor $L4$ foi retirado do circuito. O resultado da simulação foi um amplificador de potência com um nível de saída de $5,6\text{Vpp}$ correspondendo à uma potência de $39,2\text{mW}$ ($\sim 16\text{dBm}$) e uma eficiência de aproximadamente 30%. Este resultado era esperado uma vez que o indutor construído dentro do chip apresenta resistências e capacitâncias parasitas que diminuem o nível de saída e a eficiência.

6.2 Comparação deste trabalho com outros artigos / tese.

Tese/artigo	Tecnologia CMOS	Classe do amplif. de saída	Faixa de Operação (MHz)	Indutor	W (μm)	Faixa de Potência em watts/dBm	Faixa dinâmica (dB)	Eficiência (%)
Maryan Rofougaran (IEEE – Abril de 1995)	1 μm	C	902 a 928	externo	504	6 μW a 20mW; -22dBm a 13 dBm	35	40
Ahmadreza Rofougaran (IEEE – Abril de 1998)	1 μm	AB	902 a 928	externo	400	20 μW a 20mW; -17dBm a 13dBm	30	50
Jose Feliciano Adami (Dez. 2001)	0,35 μm	AB	924 a 949	integrado	473	0,18 μW a 31,25mW; -37,5dBm a 15dBm.	52,5	25

6.3 Trabalhos Futuros

Para dar continuidade neste trabalho, pode-se partir para um projeto de um amplificador de potência na tecnologia CMOS de 0,18 μm para operar na faixa 1,8GHz, utilizando esta mesma topologia ou uma implementação diferencial com vários estágios de amplificação. Uma outra opção seria a de um projeto de um amplificador de potência na tecnologia CMOS 0,18 μm .

Apêndice A

ASITIC

Introdução

O ASITIC (Analysis and Simulation of Spiral Inductors and Transformers for ICs) [10] é uma ferramenta de CAD que auxilia o engenheiro de RF e de microondas na análise, no modelamento e na otimização de estrutura de metal passiva residindo em um substrato com perdas. Isto inclui indutores, transformadores, capacitores, linhas de transmissão, interconexão e análise acoplamento do substrato. Este Software (SW) é distribuído gratuitamente pelas comunidades de IC (Integrated Circuit) e EM pela internet, é utilizado por mais de 1500 universidades, organizações e entidades comerciais. Este software foi usado neste trabalho para o cálculo e a simulação de indutores. Como ilustrado na Figura 64, o ASITIC permite um movimento fácil entre os domínios elétrico, físico, geométrico e rede.

No domínio elétrico o dispositivo é descrito por parâmetros elétricos relevantes, tais como, indutância, capacitância, fator de qualidade Q e frequência de ressonância.

No domínio físico, o dispositivo é descrito pelas propriedades dos materiais de que é constituído, tais como espessura, condutividade, permissividade e permeabilidade.

No domínio geométrico, o dispositivo é descrito por dimensões físicas e posições relativas no volume do circuito integrado.

No domínio de rede, o dispositivo é descrito pelos parâmetros de uma rede de duas portas.

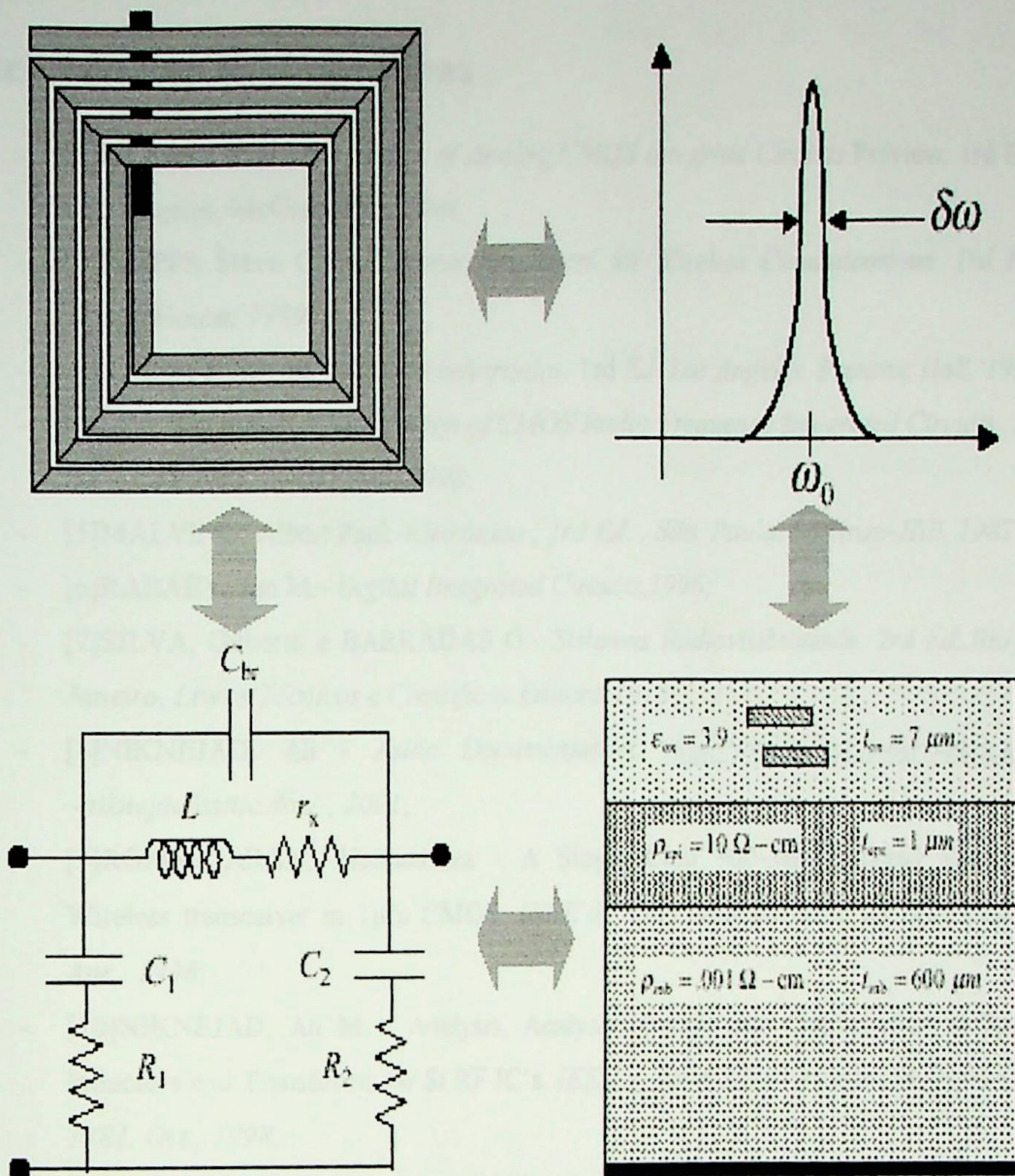


Figura 64 – ASITIC

Capacitância Miller $C_{ent(Miller)}$ - trata-se da capacitância da saída refletida na entrada do circuito que é dada por $C=Cgd(1-A)$ [5][15], onde Cgd é a capacitância interna entre porta e o dreno e A é o ganho do transistor e dado por $A=-gmr_D$ (r_D é a resistência ca que o dreno vê).

Duplexador - dispositivo que consiste em dois filtros ou passa/rejeita, configurados para oferecer uma porta de saída comum para as frequências de transmissão e recepção, possibilitando a utilização de apenas uma antena.

Referências Bibliográficas

- [1]RAZAVI, Behzad - *Design of Analog CMOS Integrate Circuits*. Preview. 1rd Ed., Los Angeles, McGraw-Hill, 1998;
- [2]CRIPPS Steve C.- *RF Power Amplifiers for Wireless Communications. 1rd Ed.*, Artech House, 1999;
- [3]RAZAVI, Behzad - *RF Microelettronics. 1rd Ed. Los Angeles, Prentice Hall, 1998;*
- [4]LEE, Thomas H. - *The Design of CMOS Radio Frequency Integrated Circuits. 1rd Ed. , New York, Cambridge ,1998;*
- [5]MALVINO, Albert Paul.-*Eletrônica , 1rd Ed. , São. Paulo, McGraw-Hill, 1987;*
- [6]RABAEY, Jan M.- *Digital Integrated Circuits,1996;*
- [7]SILVA, Gilberto e BARRADAS O.- *Sistemas Radiovisibilidade. 2rd Ed.,Rio de Janeiro, Livros Técnicos e Científicos Editora,1978;*
- [8]NIKNEJAD, Ali - *Asitic Documentation, <http://formosa.eecs.berkeley.edu/~niknejad/asitic.doc/>, 2001;*
- [9]ROFOUGARAN, Ahamadrezza - A Single Chip 900-MHZ Spread Spectrum Wireless transceiver in 1 μ m CMOS. *IEEE J. Solid-State Circuits*, **33** (4):515-533, Apr., 1998;
- [10]NIKNEJAD, Ali M. - Analysis, Analysis, Design, and Optimization of Spiral Inductors and Transforms for Si RF IC's. *IEEE J. Solid-State Circuits*, **33** (10):1470-1481, Oct., 1998;
- [11]BUGHARTZ, Joachim N. - RF Circuit Design Aspects of Spiral Inductors on Silicon, ; *IEEE J. Solid-State Circuits*, **33** (12) :2028-2033, Dec., 1998;
- [12]TAN, Yue - A 900 MHZ Fully Integrated SOI Power Amplifier for Single-Chip Wireless Transceiver Applications. *IEEE J. Solid-State Circuits*, **35** (10): 1481-1486, Oct., 2000;
- [13]SOWLATI Tirdad - Low Voltage, Hight Efficiency GaAs Class E Power Amplifiers for Wireless Transmitters. *IEEE J. Solid-State Circuits*, **30** (10): 1074-1080, Oct., 1995;
- [14]YUE, Patric C. - On-Chip Spiral Inductors with Patterned ground Shields for Si-Based RF IC's. *IEEE J. Solid-State Circuits*, **33** (5):743-751, May, 1998;
- [15]SEDRA, Adel S. and SMITH, Kenneth C. - *Microelettrônica. 4rd Ed., Rio de Janeiro, Makron Books Ltda, 2000;*

- [16]ABIDI, Asad A.- Low Power Radio Frequency IC's for Portable Communications. *IEEE J State Circuits*, **83** (4):544-569, Oct. 1995.
- [17]ROFOUGARAN, Maryam - A 900MHz RF Power amplifier in 1 μ m CMOS for a spread spectrum communication transceiver. *IEEE J. Solid - State Circuits*, 1995.
- [18]SCHILLING Donald L. and BELOVE Charles - *Electronic Circuits, 3rd Ed., New York, McGraw-Hill, 1989.*
- [19]NARAYANASWAMI, Sekhar - *The Design of a 1,9GHz 250mW CMOS Power amplifier for DECT.*
- [20]OLIVIÉRI, Roque Lázaro - *Curso Especialização Telecomunicações - Comunicações Móveis, PUC -Pr, 1995.*
- [21]MIN, Jonathan - *Analysis & Design of a Frequency-Hopped Spread-Spectrum Transceiver for Wireless Personal Communications, 1996.*
- [22]D'AVILA, César Kyn - *Sistemas Celulares Digital - Cedetec INATEL, 1997.*
- [23]MORENO, Robson L. - *Curso Ferramentas Mentor Graphics- EFEI, 2001.*

