



Universidade Federal de Itajubá

Programa de Pós-graduação em Engenharia Elétrica

Desenvolvimento de Equipamento para Avaliação da Degradação de Semicondutores de Potência

Dissertação apresentada à
Universidade Federal de Itajubá
como requisito parcial para a
obtenção do grau de Mestre em
Engenharia Elétrica.

Everaldo Simões Gaspar

Itajubá – Junho de 2005

Everaldo Simões Gaspar

**Desenvolvimento de Equipamento para
Avaliação da Degradação de
Semicondutores de Potência**

Dissertação apresentada à
Universidade Federal de Itajubá
como requisito parcial para a
obtenção do grau de Mestre em
Engenharia Elétrica.

Área de Concentração:

Automação e Sistema Elétricos
Industriais

Orientador:

Luiz Eduardo Borges da Silva

Co-orientador:

Valberto Ferreira da Silva

Itajubá – Junho de 2005

*Aos meus Irmãos Adriano,
Eduardo, Ivan e Danilo,
pelo exemplo e incentivo na
constante busca pelo
conhecimento.*

Agradecimentos

Aos Professores Luiz Eduardo Borges da Silva, Valberto Ferreira da Silva e Ismael Noronha pelos ensinamentos e ajuda indispensável na execução deste trabalho.

Aos colegas Wilson Santanna, André Bernardi, Getúlio Modena e Adolpho Calazans pelo trabalho em conjunto e apoio na execução deste trabalho.

À minha namorada Márcia Helena pelo amor, paciência e ânimo nas horas difíceis.

À minha família e amigos pelo amparo e incentivo em todos os momentos.

E a Deus, que a todos ilumina.

Abstract

This work presents a development of an equipment to test power semiconductors (diodes and thyristors). These semiconductors are extensively used in static compensators. It is introduced the theoretic foundations about those devices and required parameters to analyse the degradation in forward blocking (for thyristors) and reverse blocking (for diodes and thyristors). The test circuits development is also presented as well as the equipment's control software. The set of hardware/software of this instrument allows the automatic execution of tests, acquiring and recording the informations of each semiconductor tested. Based on the results of these tests, a degradative analysis methodology is proposed, categorizing the components in three possible states of operation: good, deficient or fail. The temperature influence in the blocking characteristics is also analyzed.

Resumo

Este trabalho apresenta o desenvolvimento de um equipamento testador de semicondutores de potência, dos tipos diodos e tiristores. Estes semicondutores são utilizados extensivamente em compensadores estáticos de reativos. São apresentados os fundamentos teóricos sobre estes dispositivos e os parâmetros necessários para a análise de degradação relativas as características de bloqueio direto (para tiristores) e reverso (para diodos e tiristores). O desenvolvimento dos circuitos de teste são também demonstrados, assim como o software de controle do equipamento. O conjunto hardware/software deste instrumento permite a execução automática dos testes, aquisitando e arquivando dados resultantes de cada ensaio destes semicondutores. Com base nos resultados destes testes, uma metodologia de análise de degradação é proposta, classificando os componentes como em três estados de operação possíveis: bom, defeituoso ou falho. A influência da temperatura nas características de bloqueio é também analisada.

Sumário

INTRODUÇÃO.....	1
------------------------	----------

Capítulo 1

Semicondutores de Potência

1.1 – Introdução	4
1.2 – Princípio de funcionamento do SCR.....	6
1.3 – O Efeito di/dt	9
1.4 – Métodos de Disparo de SCR's	10
1.4.1 – Disparo por Sobretensão	10
1.4.2 – Disparo por pulso no gate	10
1.4.3 – Taxa de crescimento da tensão direta (dv/dt).....	11
1.4.4 – Disparo por elevação de temperatura.....	12
1.4.5 – Disparo por luz ou radiação	12
1.5 – Parâmetros dos SCR's.....	13
1.6 – Principais Falhas em Tiristores de Potência.....	16
1.7 – Conceituação do Estado dos Semicondutores	19

Capítulo 2

Definições e Características dos Ensaios

2.1 – Testes Sobre as Características de Bloqueio.....	20
2.1.1 – Teste da Característica da Tensão de Bloqueio Direta e Reversa	21
2.1.2 – Teste da Característica da Corrente de Bloqueio Direta e Reversa.....	21
2.1.3 – Teste de Elevação de Temperatura no Semicondutor	22
2.2 – Características e Generalidades dos Testes Executados.....	23
2.2.1 – Local de Execução dos Ensaios	24
2.2.2 – Modos de Execução dos Ensaios	25
2.2.3 – Polarização dos Semicondutores nos Ensaios.....	25
2.3 – Formas de Onda de Ensaio	26

Capítulo 3

Hardware de Teste

3.1 – Considerações Sobre os Circuitos de Teste.....	30
3.2 – Diagrama e Descrição dos Circuitos de Teste	31
3.3 – Partes Constituintes do Equipamento.....	33
3.3.1 – Inversor de frequência (VSI) controlado por DSP	34
3.3.2 – Filtro Passa Baixas	42
3.3.3 – Transformador Elevador de Tensão	45
3.3.4 – Diodos Retificadores e Resistências de Limitação e Polarização	46
3.3.5 – Contatores de Seleção	47
3.3.6 – Sensores de Tensão e Corrente de Efeito Hall	50
3.3.7 – Circuitos de Amplificação, Condicionamento e Interface	54
3.3.8 – Placa de Aquisição de Dados	61
3.3.9 – Sistema de Fixação e Aquecimento dos Semicondutores	66

Capítulo 4

Software de Controle

4.1 – Introdução aos Instrumentos Virtuais.....	68
4.2 – A Linguagem de programação LabVIEW.....	70
4.2.1 – Características do LabVIEW 6i	72
4.2.2 – Ferramentas do LabVIEW 6i	76
4.2.3 – Estruturas de Programação do LabVIEW	80
4.2.4 – Dados Manipulados pelo LabVIEW	83
4.3 – O Software de Controle TSP.....	86
4.3.1 – Parâmetros de entrada no software TSP.....	86
4.3.2 – Fluxograma de Execução do Software TSP.....	88
4.3.3 – Painel frontal e Diagrama em Blocos do TSP:.....	93

Capítulo 5

Apresentação do Equipamento Final

5.1 – Partes Constituintes do Hardware	103
5.2 – Controle do Equipamento pelo Usuário.....	108
5.3 – Semicondutores de Potência nos Compensadores Estáticos	111

Capítulo 6

Análise e Resultados dos Testes Realizados

6.1 – Considerações Sobre os Testes Realizados	114
6.2 – Testes em Bancada Sem Aquecimento	115
6.3 – Testes em Campo	122
6.4 – Influência da Temperatura nos Parâmetros do Semicondutor	127
6.5 – Ensaio no Modo “Breakdown”	134
<i>CONCLUSÕES.....</i>	<i>139</i>
<i>Referências Bibliográficas</i>	<i>142</i>
<i>Anexo I – Características dos Semicondutores</i>	<i>143</i>
<i>Anexo II – Software do DSP TMX320F2812.....</i>	<i>147</i>

Lista de Figuras

Figura 1.1 – Limites de operação de componentes semicondutores de potência.....	5
Figura 1.2 – Funcionamento básico do tiristor(a) e seu símbolo (b).....	7
Figura 1.3 – Analogia entre tiristor e transistores bipolares.....	8
Figura 1.4 – Curva característica de SCR's.....	8
Figura 1.5 - Expansão da área de condução do tiristor a partir das vizinhanças da região de gate.	9
Figura 1.6 – Condições para disparo de tiristor através de controle pela porta.....	11
Figura 1.7 - Falha provocada por di/dt elevado.....	17
Figura 1.8 - Falha provocada por sobretensão sem a existência de sobrecorrente.	18
Figura 1.9 - Falha provocada por sobretensão com a existência de sobrecorrente.....	18
Figura 2.1 - Circuito para teste da tensão de bloqueio direta e reversa	21
Figura 2.2 - Circuito para teste da corrente de bloqueio direta e reversa	22
Figura 2.3 – Seleção do usuário e execução automática dos testes.....	23
Figura 2.4 – Formas de onda antes do breakdown.....	27
Figura 2.5 – Formas de onda depois do breakdown.....	28
Figura 2.6 – Formas de onda durante a atuação da proteção (saturação de corrente).....	29
Figura 3.1 – Diagrama Geral do Equipamento Testador de Semicondutor de Potência	32
Figura 3.2 – Técnica de modulação PWM unipolar com duas portadoras.	35
Figura 3.3 – Inversor de Frequência (VSI).....	35
Figura 3.4 – Modulação PWM Unipolar – Possíveis situações de chaveamento.....	36
Figura 3.5 – Modulação de Senóide em PWM Unipolar – Saída do VSI.....	38
Figura 3.6 – Módulo VSI - Semikron	39
Figura 3.7 – Filtro passivo passa-baixas.....	42
Figura 3.8 – Resposta em frequência típica para FPB com corte em 60Hz e 5KHz.....	44
Figura 3.9 – Espectro de frequências do sinal do VSI e atuação do filtro.....	44
Figura 3.10 – Transformador elevador 220V/7KV – 3,5KVA.....	46
Figura 3.11 – Diodos de retificação e resistências de polarização e limitação.....	46
Figura 3.12 – Contatores para seleção entre teste direto ou reverso.	47
Figura 3.13 – Fotografia e esquema do contator 3TR1015 da Siemens.	48
Figura 3.14 – Contator desmontado e configuração modificada para alta tensão.....	49
Figura 3.15 – Semicondutor percorrido por corrente constante: (a) sem fluxo perpendicular e sem ddp na saída; (b) com fluxo perpendicular e com ddp na saída.....	50
Figura 3.16 – Curva típica de resposta de sensores de efeito hall.....	51
Figura 3.17 – Esquema básico de um sensor hall em laço aberto.	52
Figura 3.18 – Esquema básico de um sensor hall em laço fechado.....	53
Figura 3.19 – Sensores hall utilizados no equipamento e disposições no circuito de teste.	54
Figura 3.20 – Circuito de interface dos sensores de efeito hall.....	55
Figura 3.21 – Circuito de Condicionamento de Sinais Analógicos.	57

<i>Figura 3.22 – Circuito de Interface Digital.</i>	60
<i>Figura 3.23 – Processo de amostragem e conversão analógico-digital.</i>	62
<i>Figura 3.24 – Resolução de ADC de 3bit´s.</i>	63
<i>Figura 3.25 – Senóide gerada por DAC de 3 bit´s.</i>	65
<i>Figura 3.26 – Sistema de fixação dos semicondutores.</i>	66
<i>Figura 3.27 –Aquecimento do DUT no sistema de fixação.</i>	67
<i>Figura 4.1 – Osciloscópio Virtual desenvolvido com software LabVIEW.</i>	69
<i>Figura 4.2 – Interface do Measurement & Automation Explorer.</i>	70
<i>Figura 4.3 – Tela de inicialização, com opções de ação, do LabVIEW 6i.</i>	73
<i>Figura 4.4 – Painel Frontal de um “VI” de aquisição e análise de temperatura.</i>	74
<i>Figura 4.5 – Diagrama em blocos do “VI” de aquisição e análise de temperatura.</i>	75
<i>Figura 4.6 – Tela de hierarquia do “VI” de aquisição e análise de temperatura</i>	76
<i>Figura 4.7 – Funções da palheta de ferramentas.</i>	77
<i>Figura 4.8 – Palheta de controle.</i>	78
<i>Figura 4.9 – Palheta de Funções</i>	79
<i>Figura 4.10 – Estrutura de Caso (Case Structure) do LabVIEW.</i>	81
<i>Figura 4.11 – Estrutura Sequencial (Sequence Structure) do LabVIEW</i>	81
<i>Figura 4.12 – Estrutura “For Loop” do LabVIEW e função equivalente em pseudocódigo</i>	82
<i>Figura 4.13 – Estrutura “While Loop” do LabVIEW e função equivalente em pseudocódigo.</i>	83
<i>Figura 4.14 – Tipos de dados do LabVIEW</i>	84
<i>Figura 4.15 – Agrupamento de dados do LabVIEW</i>	85
<i>Figura 4.16 – Fluxograma principal do software TSP.</i>	89
<i>Figura 4.17 – Fluxograma de controle do aquecimento pelo software TSP.</i>	90
<i>Figura 4.18 – Fluxograma da rotina de aquisição, teste e arquivamento do TSP.</i>	92
<i>Figura 4.19 –Ícone TSP e painel frontal do teste em bancada sem aquecimento (default).</i>	94
<i>Figura 4.20 –Esquema parcial do diagrama em blocos do software TSP.</i>	95
<i>Figura 4.21 –Frames responsáveis pela verificação de abertura de porta e de cancelamento.</i>	96
<i>Figura 4.22 –Verificação de temperatura durante o aquecimento do DUT.</i>	96
<i>Figura 4.23 - Ícone e diagrama de aquisição, filtragem e comparação de dados.</i>	97
<i>Figura 4.24 – Diagrama parcial de controle de teste direto e reverso.</i>	98
<i>Figura 4.25 – Frames de controle dos contadores, índice de modulação e DSP.</i>	99
<i>Figura 4.26 – Decremento do índice de modulação.</i>	99
<i>Figura 4.27 – Rotina de gravação em “Campo” (a) ou em Bancada (b).</i>	100
<i>Figura 4.28 – Planilha contendo dados coletados pelo software TSP</i>	100
<i>Figura 4.29 – Relação hierárquica entre os VI´s e subVI´s do software TSP.</i>	102
<i>Figura 5.1 – Visão geral e partes constituintes do Testador de Semicondutores.</i>	104
<i>Figura 5.2 –Conexões traseiras do equipamento.</i>	104
<i>Figura 5.3 – Fotografia do módulo de sensores do equipamento.</i>	105
<i>Figura 5.4 –Fotografia módulo de contadores do equipamento.</i>	105
<i>Figura 5.5 – Fotografia parcial do módulo do Inversor.</i>	106

<i>Figura 5.6 – Fotografia do inversor de frequência utilizado.</i>	106
<i>Figura 5.7 – Componentes na área de base do transformador.</i>	107
<i>Figura 5.8 – Sistema de fixação e aquecimento dos semicondutores.</i>	107
<i>Figura 5.9 – Cabo de testes dos SCR's no compensador estático de reativos.</i>	108
<i>Figura 5.10 – Laptop conectado ao equipamento e interface do software TSP.</i>	109
<i>Figura 5.11 – Seleção de modo de Teste no TSP: (A) Teste em Campo; (B) Teste em Bancada com Aquecimento; (C) Teste em Bancada sem Aquecimento.</i>	109
<i>Figuras 5.12 – Entrada de parâmetros comum a todos os modos de teste.</i>	110
<i>Figuras 5.13 – Entrada de parâmetros e comandos nos modos “Teste em bancada com Aquecimento” e “Teste em Campo”.</i>	110
<i>Figuras 5.14 – Comandos de inicialização e cancelamento do teste.</i>	111
<i>Figuras 5.15 – Compensador estático de reativos do tipo capacitores chaveados a tiristores .</i>	111
<i>Figuras 5.16 – Diagrama parcial do Compensador Estático tipo CCT.</i>	112
<i>Figuras 5.17 – Compensador estático de reativos do tipo reatores chaveados a tiristores .</i>	112
<i>Figuras 5.18 – Diagrama parcial do Compensador Estático do tipo RCT.</i>	113
<i>Figura 6.1 – Tela do ensaio de um SCR FT1000BV-70 em bom estado de funcionamento.</i>	117
<i>Figura 6.2 – Tela do ensaio de um diodo FD500EV-70 em bom estado de funcionamento.</i>	118
<i>Figura 6.3 – Tela do ensaio de um SCR FT500AH-70 que apresenta tendência de degradação no modo direto.</i>	119
<i>Figura 6.4 – Tela do ensaio de um diodo FD500EV-70 que apresenta degradação (efeito resistivo) na polarização reversa.</i>	120
<i>Figura 6.5 – Formas de onda no tempo do teste reverso dos diodos FD500EV-70 em bom estado (a) e em degradação (b) – referente aos testes das figuras 6.2 e 6.4, respectivamente.</i>	121
<i>Figura 6.6 – Tela do ensaio do nível 8 de CE tipo RCT, em que todos os quatro semicondutores estão em bom estado de funcionamento .</i>	123
<i>Figura 6.7 – Tela do ensaio do nível 8 de CE tipo RCT, cuja curva de resposta do teste direto apresenta tendência de degradação .</i>	124
<i>Figura 6.8 – Tela do ensaio do nível 4 de CE tipo RCT, contendo pelo menos um SCR defeituoso.</i>	125
<i>Figura 6.9 – Formas de onda adquiridas durante os ensaios nos níveis do CE , contendo SCR's do tipo Bst T68H280S15 em bom estado (a), defeituoso (b) e falho (c).</i>	126
<i>Figura 6.10 – Telas dos ensaios de um diodo FD500EV-70: (a) 35 °C ; (b) 85 °C .</i>	128
<i>Figura 6.11 – Comparação das características $V \times I$ do diodo tipo FD500EV-70, com temperaturas de 35 °C e 85 °C, na tensão de bloqueio reversa.</i>	128
<i>Figura 6.12 – Telas dos ensaios do SCR tipo FT500AH-70: (a) 33 °C ; (b) 84 °C.</i>	129
<i>Figura 6.13 – Comparação das características $V \times I$ do SCR tipo FT500AH-70, a 33 °C e 84 °C, na tensão de bloqueio direta.</i>	130
<i>Figura 6.14 – Comparação das características $V \times I$ do SCR tipo FT500AH-70, a 33 °C e 84 °C, na tensão de bloqueio reversa.</i>	130
<i>Figura 6.15 – Telas dos ensaios do SCR tipo Bst T68H280S15: (a) 24 °C ; (b) 94 °C.</i>	131

<i>Figura 6.16 – Comparação das características $V \times I$ do SCR tipo Bst T68H280S15, a 24 °C e 94 °C, na tensão de bloqueio direta.</i>	132
<i>Figura 6.17 – Comparação das características $V \times I$ do SCR tipo Bst T68H280S15, a 24 °C e 94 °C, na tensão de bloqueio reversa.</i>	132
<i>Figura 6.18 – Forma de onda do Bst T68H280S15 no bloqueio direto, a 24 °C.</i>	133
<i>Figura 6.19 – Forma de onda do Bst T68H280S15 no bloqueio direto, a 94 °C.</i>	133
<i>Figura 6.20 – Tela do ensaio, no modo “Breakdown”, de um SCR tipo FT1000BV-70.</i>	135
<i>Figura 6.21 – Tela do ensaio, no modo “Breakdown”, de um SCR tipo FT500AH-70.</i>	136
<i>Figura 6.22 – Tela do ensaio, no modo “Breakdown”, de um diodo tipo FD1000A-56.</i>	137
<i>Figura 6.23 – Tensão de bloqueio e corrente fuga reversa de um diodo tipo FD500EV-70, no modo de teste “Breakdown”.</i>	138
<i>Figura A.1 – Rotina Principal – Main ().</i>	147
<i>Figura A.2 – Sub-Rotina <code>adc_isr ()</code>.</i>	148

Lista de Tabelas

<i>Tabela 3.1 – Codificação de limites de corrente de semicondutores</i>	<i>41</i>
<i>Tabela 3.2 – Principais características elétricas dos sensores de efeito hall</i>	<i>53</i>
<i>Tabela 3.3 – Relação entre as medidas reais e as saídas do circuito de interface dos sensores hall.</i>	<i>56</i>
<i>Tabela 6.1 – Valores de V_{RRM}/V_{DRM}^* e I_{RRM}/I_{DRM}^* para os semicondutores do CE – CCT</i>	<i>116</i>
<i>Tabela A.1 – Dados técnicos do tiristor Bst T68H280S15.....</i>	<i>143</i>
<i>Tabela A.2 – Dados técnicos do tiristor FT1000BV – 70.....</i>	<i>144</i>
<i>Tabela A.3 – Dados técnicos do tiristor FT500AH – 70</i>	<i>145</i>
<i>Tabela A.4 – Dados técnicos do diodo FD1000A – 56</i>	<i>146</i>
<i>Tabela A.5 – Dados técnicos do diodo FD500EV – 70.....</i>	<i>146</i>

Lista de Siglas

- **DUT** : *Dispositivo em teste*
- **DSP** : *Processador digital de Sinais*
- **PC** : *Computador pessoal*
- **VSI** : *Inversor de frequência*
- **Vff** : *Tensão fase-fase*
- **PWM** : *Modulação por largura de pulso*
- **VI** : *Instrumento Virtual (elemento de programação gráfica)*
- **CHESF** : *Companhia Hidroelétrica do São Francisco*
- **CE** : *Compensador estático de Reativos*
- **TSP** : *Testador de Semicondutores de Potência*

INTRODUÇÃO

Os semicondutores de potência desempenham funções primordiais na moderna eletrônica de potência. São responsáveis pela manipulação de grandes quantidades de energia através de suas estruturas cristalinas (geralmente de silício), permitindo o controle do fluxo de corrente por circuitos e equipamentos de grande potência. Como exemplo de equipamentos baseados em semicondutores de potência pode-se citar os compensadores estáticos de reativos, cujos elementos indutivos e/ou capacitivos são chaveados por tiristores de potência, sendo em alguns casos auxiliados ainda por diodos de potência. A falha destes componentes nos equipamentos causa a parada intempestiva e grande prejuízo para as empresas de transmissão de energia. Assim, faz-se necessário que uma metodologia para avaliação destes semicondutores seja implementada, permitindo um diagnóstico e a substituição dos componentes defeituosos dentro de uma parada programada.

O objetivo deste trabalho é a apresentação de um equipamento testador de semicondutores de potência, dos tipos tiristores e diodos, que adquira informações sobre estes componentes e permita uma análise de seu estado operacional.

Os semicondutores são dispositivos considerados pela literatura técnica como não reparáveis, sendo classificados geralmente em apenas dois estados de operação: bom ou falho. Neste trabalho, propõe-se um estado intermediário, classificado como defeituoso, onde o dispositivo ainda desempenha suas funções, porém apresenta alguma degradação em suas características elétricas, relativas aos limites de bloqueio.

Para delinear o estado operacional destes dispositivos, os parâmetros a serem analisados são as tensões máximas repetitivas de bloqueio reverso (V_{RRM} – para diodos e tiristores) e direto (V_{DRM} – para tiristores), correntes de fuga máximas associadas (I_{RRM} para diodos e tiristores e I_{DRM} para tiristores), juntamente com a temperatura de junção variando do valor ambiente (25°C) até valores próximos aos de operação (entre 80°C e 125°C). As degradações podem ser quantificadas e qualificadas a partir da análise da variação destas características. Assim, com base na comparação dos valores característicos de

um dado dispositivo com as especificações fornecidas pelo fabricante, uma metodologia de análise degradativa pode ser estabelecida.

A extração dos parâmetros do semicondutor, em seu estado atual de operação, é feita a partir de ensaios sobre estes componentes pelo equipamento desenvolvido, estimulando-os até as condições necessárias para que as características pertinentes se façam presentes e assim seja possível a sua aquisição. Este instrumento testador possui circuitos que executam os testes de tensão de bloqueio, direta e reversa, e a verificação das respectivas correntes de fuga, bem como um circuito de aquecimento dos semicondutores, que possibilita a realização destes testes a diferentes temperaturas. Todo controle do teste e aquisição de dados é executado de forma automática por um microcomputador do tipo Laptop, que é dotado de uma placa de aquisição de dados e um software de controle e supervisão desenvolvido em linguagem LabVIEW. Os resultados dos testes podem ser arquivados descrevendo, desta forma, o histórico das características destes componentes ao longo do tempo, indicando eventuais mudanças dos parâmetros e conseqüentes degradações.

No capítulo I desta dissertação é apresentada uma introdução teórica sobre os semicondutores de potência, a definição dos principais parâmetros e a classificação destes dispositivos quanto ao estado de operação.

No capítulo II, são apresentadas os testes e os parâmetros utilizados para a análise da degradação. Algumas generalidades em relação a estes testes e as formas de onda aplicadas são também descritas, bem como eventuais proteções em relação à corrente circulante nos dispositivos em teste.

No capítulo III é demonstrado o desenvolvimento do hardware de teste, com os circuitos divididos em unidades funcionais dentro do equipamento e uma breve introdução teórica sobre cada parte.

O capítulo IV introduz o conceito de instrumentação virtual e a linguagem de programação gráfica LabVIEW. O desenvolvimento do software de controle do equipamento TSP é apresentado através de fluxogramas e partes do

diagrama em blocos da linguagem de programação, que executam as principais funções dentro do software.

No capítulo V é apresentada uma série de figuras que ilustram o equipamento em sua configuração final, envolvendo os circuitos de ensaio e o controle do equipamento através do software TSP. O esquema básico dos compensadores estáticos, que contém os semicondutores ensaiados, são também mostrados.

O capítulo VI apresenta os resultados dos ensaios realizados pelo equipamento desenvolvido. São feitas análises sobre as curvas dos semicondutores testados, mostrando diferentes estados de degradação e a influência da temperatura sobre estes componentes.

Finalmente são apresentadas as conclusões desta pesquisa e as referências bibliográficas utilizadas para o seu desenvolvimento.

Capítulo 1

Semicondutores de Potência

Neste capítulo é apresentado uma breve introdução sobre a teoria dos dispositivos semicondutores, com ênfase sobre os SCR's, e considerações sobre o estado operacional destes dispositivos.

1.1 – Introdução

Os dispositivos semicondutores de potência são os elementos centrais da moderna eletrônica de potência. São utilizados em conversores eletrônicos de potência, operando como chaves “on-off” matriciais, responsáveis pela conversão de potência ac-dc (retificadores), dc-dc (chopper), dc-ac (inversores) e ac-ac de mesma ou diferentes frequências (controladores ac e cicloconversores, respectivamente).

Conversores são largamente usados em aplicações como controle de aquecimento e iluminação, fontes de potência ac e dc, processos eletroquímicos, drives de motores dc e ac, geração estática de potência reativa (VAR), filtros ativos de harmônicos, dentre outras aplicações.

Os preços dos componentes semicondutores de potência variam de vinte a trinta por cento (20% a 30%) do valor total do equipamento, sendo que o desempenho total do equipamento é diretamente influenciado pelas características dos dispositivos ^[5]. Portanto, é importante o conhecimento completo do funcionamento e características destes dispositivos de potência, de modo a garantir a eficiência, confiabilidade e boa relação custo/benefício do equipamento final.

É interessante notar que a evolução dos equipamentos eletrônicos de potência segue a evolução dos semicondutores de potência. Os avanços da microeletrônica têm também contribuído enormemente no conhecimento sobre

os materiais semicondutores, o processamento, fabricação, encapsulamento, modelamento e simulação.

Atualmente, os semicondutores de potência são quase que exclusivamente baseados em materiais de silício e podem ser classificados como:

- Diodo
- Tiristor ou SCR (silicon-controlled rectifier)
- Triac
- GTO (gate turn-off thyristor)
- BJT (bipolar junction transistor)
- MOSFET de potência
- SIT (static induction transistor)
- IGBT (insulated gate bipolar transistor)
- MCT (MOS-controlled thyristor)
- IGCT (integrated gate-commutated thyristor)

A figura 1.1 mostra, para os principais tipos de semicondutores de potência, os limites (1994) para os valores de tensão de bloqueio, corrente de condução e frequência de comutação. Como pode ser observado, os tiristores são os semicondutores com maior capacidade de tensão/corrente apresentando, porém, a menor frequência de chaveamento entre eles. Obviamente estes limites evoluem com o desenvolvimento tecnológico e servem como uma ilustração para a verificação, numa primeira aproximação, das faixas de potência em que cada componente pode ser utilizado.

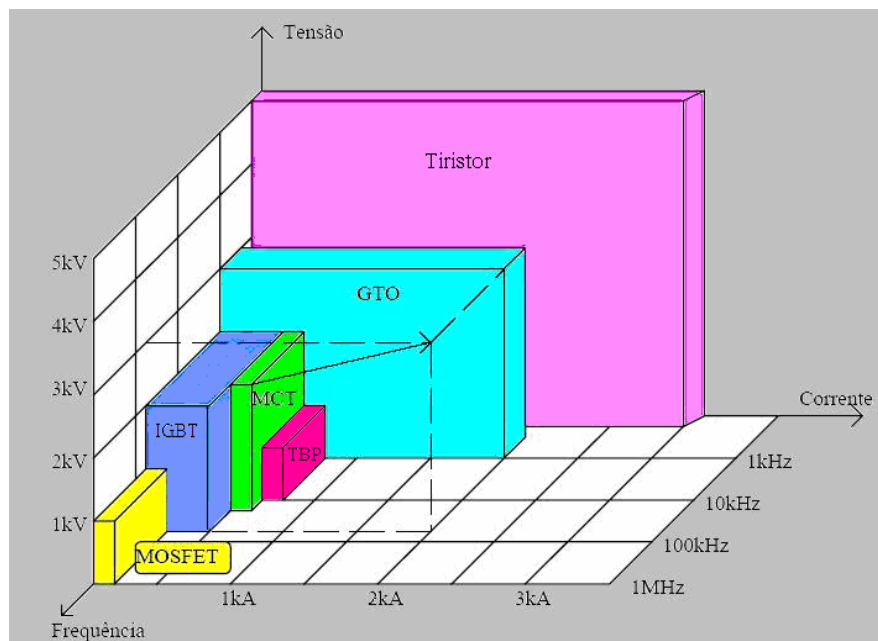


Figura 1.1 – Limites de operação de componentes semicondutores de potência.

Neste capítulo, serão abordados aspectos relacionados aos semicondutores do tipo SCR e, por analogia, também para os do tipo diodo. O diodo, apesar dos diferentes aspectos construtivos e de funcionamento, será tratado como um caso particular de SCR, estando em permanente condução no sentido direto. Nos aspectos que serão utilizados para a análise de degradação relativos aos limites de bloqueio reverso, muitos parâmetros coincidem com os do SCR's. Portanto, a introdução teórica deste componente será suprimida desta dissertação, podendo ser facilmente encontrada na literatura de referência deste trabalho.

Os semicondutores de potência utilizados neste trabalho são provenientes de compensadores estáticos de reativos das subestações da empresa CHESF, cujas folhas de dados estão presentes no anexo I.

1.2 – Princípio de funcionamento do SCR

O componente principal da família dos tiristores é o SCR, que por ter uma aplicação muito grande em eletrônica de potência, recebe em muitas bibliografias a denominação de tiristor. Neste trabalho, portanto, os termos SCR e tiristor são considerados sinônimos.

O SCR é formado por quatro camadas semicondutoras, alternadamente p-n-p-n, possuindo 3 terminais: *anodo* e *catodo*, pelos quais flui a corrente de elevado valor, e a *porta (ou gate)* que, a partir de uma injeção de corrente de reduzida amplitude, faz com que se estabeleça a corrente anódica. A figura 1.2 ilustra uma estrutura simplificada do dispositivo.

Se entre anodo e catodo existir uma tensão positiva, as junções J_1 e J_3 estarão diretamente polarizadas, enquanto a junção J_2 estará reversamente polarizada. Quando uma corrente for injetada no terminal do gate, circulará uma corrente através de J_3 . Por construção, a camada P ligada à porta é suficientemente estreita para que parte destes elétrons que cruzam J_3 possuam energia cinética suficiente para vencer a barreira de potencial existente em J_2 , sendo então atraídos pelo anodo.

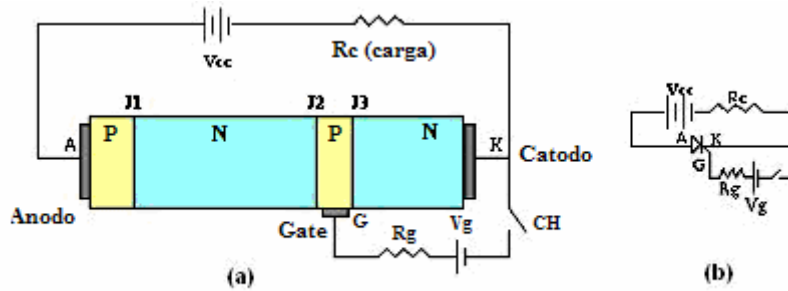


Figura 1.2 – Funcionamento básico do tiristor (a) e seu símbolo (b).

Desta forma, a junção reversamente polarizada tem sua diferença de potencial diminuída e estabelece-se uma corrente entre anodo e catodo, que poderá persistir mesmo na ausência da corrente de porta.

Quando a tensão V_{ak} for negativa, J_1 e J_3 estarão reversamente polarizadas, enquanto J_2 estará diretamente polarizada. Uma vez que a junção J_3 é intermediária entre as regiões de alta dopagem, não é capaz de bloquear tensões elevadas, de modo que cabe à junção J_1 manter o estado de bloqueio do componente. A figura 1.2 (b) mostra simbolicamente um SCR incluído em um circuito básico

É comum fazer-se uma analogia entre o funcionamento do tiristor e o de uma associação de dois transistores, conforme mostrado na figura 1.3 (a) e (b).

Quando uma corrente I_g positiva é aplicada, I_{c2} e I_k crescerão. Como $I_{c2} = I_{b1}$, T_1 conduzirá e tem-se $I_{b2} = I_{c1} + I_g$, que aumentará I_{c2} e assim o dispositivo evoluirá até a saturação, mesmo que I_g seja retirada. Tal efeito cumulativo ocorre se os ganhos dos transistores forem maior que um. O componente se manterá em condução desde que, após o processo dinâmico de entrada em condução, a corrente de anodo tenha atingido um valor superior ao limite I_L , chamado de corrente de gatilhamento (“latching”). Para que o tiristor deixe de conduzir é necessário que a corrente caia abaixo do valor mínimo de manutenção (I_H), permitindo que se restabeleça a barreira de potencial em J_2 .

Para a comutação do dispositivo não basta, pois, a aplicação de uma tensão negativa entre anodo e catodo. Tal tensão reversa apressa o processo de desligamento por deslocar nos sentidos adequados os portadores na estrutura cristalina, mas não garante o desligamento. Devido as características

construtivas do dispositivo, a aplicação de uma polarização reversa do terminal de gate não permite a comutação do SCR.

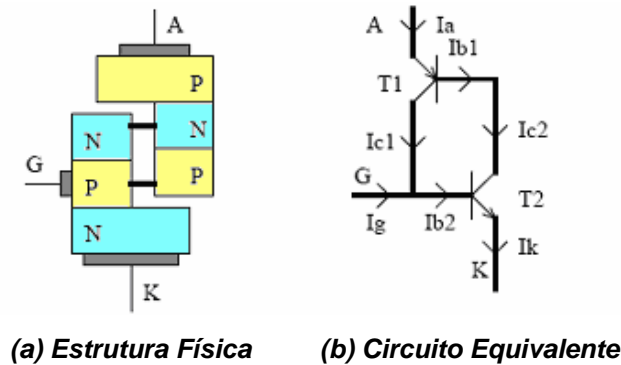


Figura 1.3 – Analogia entre tiristor e transistores bipolares.

Pode-se observar na figura 1.4 que para $I_G = 0$, o disparo somente ocorre para uma tensão $V_{AK} = V_{BO}$ (tensão de avalanche direta do dispositivo) e que a tensão V_{AK} necessária para fazer o dispositivo conduzir diminui à medida que se aumenta a corrente de gatilho I_G . Para $I_G = I_{GT}$, o SCR se comporta como um diodo comum. Na prática, contudo, aplica-se uma corrente de amplitude fixa no gate e o instante de aplicação varia entre 0° e 180° em relação à onda de tensão senoidal aplicada entre os terminais de anodo e catodo.

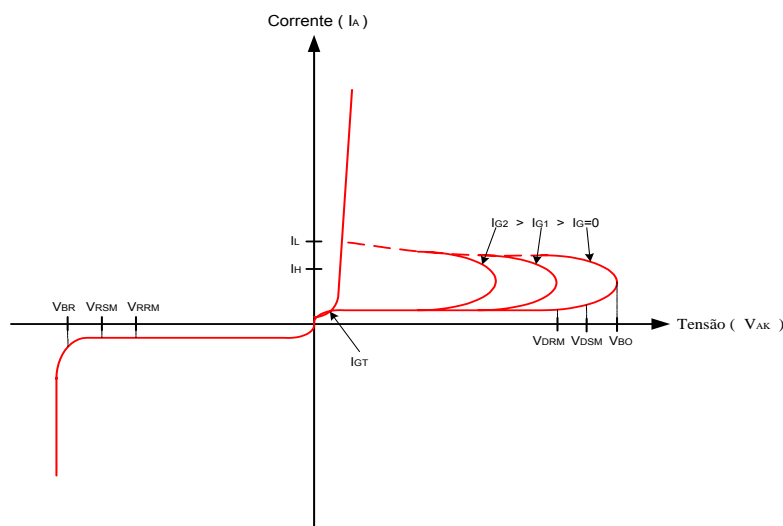


Figura 1.4 – Curva característica de SCR's

1.3 – O Efeito di/dt

Um fato interessante a ser percebido se refere as condições iniciais de condução do SCR diretamente polarizado, quando uma corrente de gate é aplicada. Inicialmente, o fluxo de corrente anódica se concentra em torno da região de gate e gradativamente espalha-se pela área de condução do SCR. Porém, se a densidade de corrente inicial cresce muito rapidamente haverá um sobreaquecimento na região do gate, provocando o chamado ponto quente (hot spot). Este aquecimento excessivo pode vir a causar a degradação e falha do componente. Na figura 1.5 (a) é ilustrada a ocorrência de um ponto quente durante o disparo do componente.

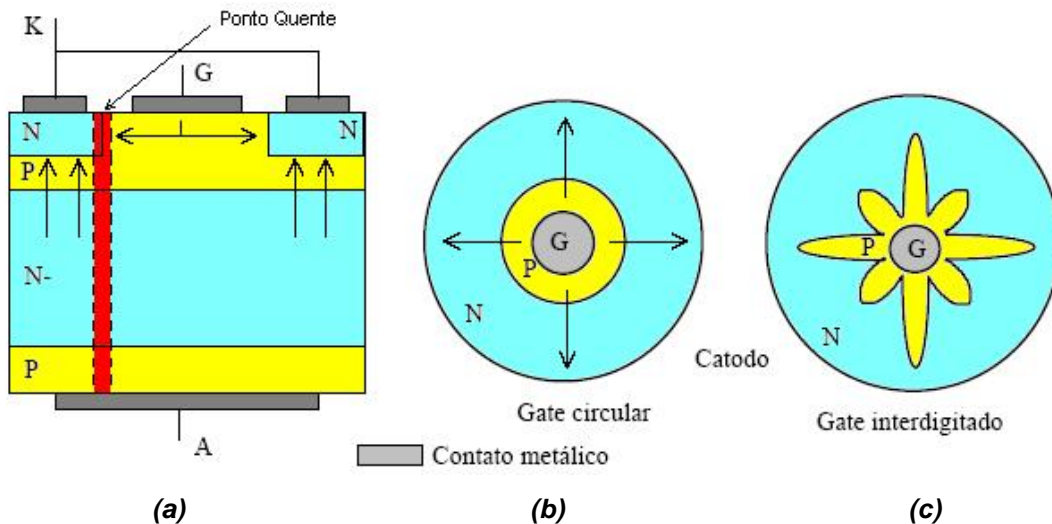


Figura 1.5 - Expansão da área de condução do tiristor a partir das vizinhanças da região de gate.

De forma a minimizar estes problemas, a geometria do gate pode ser alterada da forma circular, como mostrado na figura 1.5 (b) para o formato interdigitado da figura 1.5 (c). Assim, a área de contato com o gate é aumentada, o que facilita a condução da corrente, permitindo maiores valores de di/dt .

1.4 – Métodos de Disparo de SCR's

O disparo de um SCR é dado quando este, polarizado diretamente ($V_A > V_K$), passa do estado de bloqueio ao estado de condução.

Pode-se considerar cinco maneiras distintas de disparo em SCR's:

1.4.1 – Disparo por Sobretensão

Quando polarizado diretamente, no estado desligado, a tensão de polarização é aplicada sobre a junção J_2 . O aumento da tensão V_{ak} leva a uma expansão da região de transição tanto para o interior da camada do gate quanto para a camada N adjacente. Mesmo na ausência de corrente de gate, por efeito térmico, sempre existirão cargas livres que penetram na região de transição (no caso, elétrons), as quais são aceleradas pelo campo elétrico presente em J_2 . Para valores elevados de tensão (e, conseqüentemente, de campo elétrico), é possível iniciar um processo de avalanche, no qual as cargas aceleradas, ao chocarem-se com átomos vizinhos, provoquem a expulsão de novos portadores, os quais reproduzem o processo. Tal fenômeno, do ponto de vista do comportamento do fluxo de cargas pela junção J_2 , tem efeito similar ao de uma injeção de corrente pelo gate, de modo que, ao se iniciar a passagem de corrente for atingido o limiar de I_L , o dispositivo se manterá em condução.

1.4.2 – Disparo por pulso no gate

O disparo através da corrente de porta (gate) é a maneira mais usual de se disparar o tiristor. É importante o conhecimento dos limites máximos e mínimos para a tensão V_{gk} e a corrente I_g , como mostrados na figura 1.6.

O valor V_{gm} indica a mínima tensão de gate que garante a condução de todos os componentes de um dado tipo, na mínima temperatura especificada.

O valor V_{go} é a máxima tensão de gate que garante que nenhum componente de um dado tipo entrará em condução, na máxima temperatura de operação.

A corrente I_{gm} é a mínima corrente necessária para garantir a entrada em condução de qualquer dispositivo de um certo tipo, na mínima temperatura.

Para garantir a operação correta do componente, a reta de carga do circuito de acionamento deve garantir a passagem além dos limites V_{gm} e I_{gm} , sem exceder os demais limites (tensão, corrente e potência máxima).

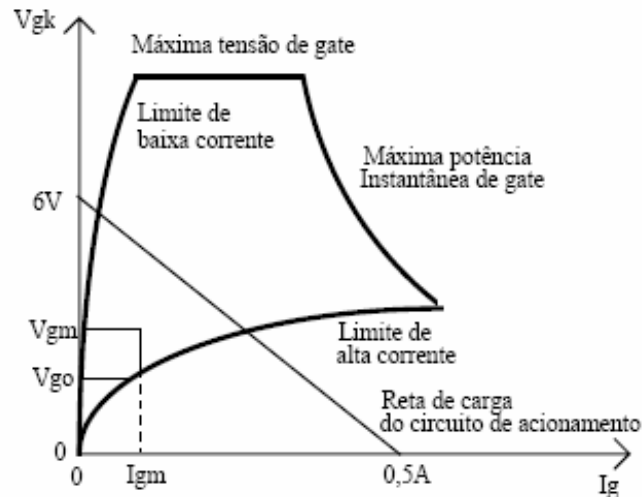


Figura 1.6 – Condições para disparo de tiristor através de controle pela porta.

1.4.3 – Taxa de crescimento da tensão direta (dv/dt)

Devido ao campo criado pela carga espacial em uma junção P-N reversamente polarizada, esta área comporta-se de maneira similar a um capacitor. Considerando que praticamente toda a tensão está aplicada sobre a junção J_2 (quando o SCR estiver desligado e polarizado diretamente), a corrente que atravessa esta junção é dada por (1.1):

$$I_J = \frac{d(C_J \cdot V_{ak})}{dt} = C_J \cdot \frac{dV_{ak}}{dt} + V_{ak} \cdot \frac{dC_J}{dt} \quad (1.1)$$

Onde C_j é a capacitância da junção.

Quando V_{ak} cresce, a capacitância diminui, uma vez que a região de transição aumenta de largura. Entretanto, se a taxa de variação da tensão for suficientemente elevada, a corrente que atravessará a junção pode ser suficiente para levar o tiristor à condução.

Uma vez que a capacitância cresce com o aumento da área do semicondutor, os componentes para correntes mais elevadas tendem a ter um limite de dv/dt menor. Observe-se que a limitação diz respeito apenas ao crescimento da tensão direta ($V_{ak} > 0$). A taxa de crescimento da tensão reversa não é importante, uma vez que as correntes que circulam pelas junções J_1 e J_3 , em tal situação, não têm a capacidade de levar o tiristor a um estado de condução.

Para se limitar a taxa de variação da tensão, utilizam-se circuitos RC em paralelo com os SCR's, conhecidos como Snubber.

1.4.4 – Disparo por elevação de temperatura

Este tipo de disparo geralmente é indesejado e ocorre quando o componente encontra-se perto de fontes de calor ou sua própria temperatura é relativamente elevada. A causa principal deste tipo de disparo se deve a quebra de ligações covalentes da estrutura do semicondutor, liberando elétrons e elevando as correntes de fuga em J_2 , provocando a condução do semicondutor. Observações na literatura e em manuais de certos fabricantes demonstram que as correntes de fuga podem ter um acréscimo de até $12,5\%/^{\circ}\text{C}$ [7] para alguns tipos de SCR's e de até $7\%/^{\circ}\text{C}$ [3] para diodos, podendo variar de acordo com a capacidade de potência de cada componente e técnicas de manufatura de cada fabricante.

1.4.5 – Disparo por luz ou radiação

O disparo por luz ocorre quando certa quantidade de energia irradiante, pertencente à faixa espectral do silício, incide diretamente sobre o cristal, produzindo o aumento dos pares elétrons-lacuna, causando o disparo do tiristor. Este tipo de disparo é comuns em tiristores do tipo LASCR, que são utilizados em sistema de alto potencial e cuja isolamento desejada só é conseguida por meio de acoplamentos ópticos.

1.5 – Parâmetros dos SCR's

As características dos SCR's são propriedades inerentes e mensuráveis tais como propriedades elétricas, mecânicas e térmicas, podendo ser expressa como um valor para um dado estado ou condição reconhecida. Portanto, são conjuntos de valores, usualmente apresentados de forma gráfica, que caracterizam o dispositivo.

Os parâmetros dos SCR's são os valores que estabelecem um limite de capacidade ou condição limite de operação para o semicondutor. Eles são determinados para valores específicos de ambiente de operação e podem ser apresentados em um dado referencial e em termos adequados.

- **V_{DRM} – Tensão Repetitiva de Pico Direta:**

É o valor máximo instantâneo da tensão direta de bloqueio que o semicondutor pode suportar, incluindo todas as tensões transitórias repetitivas. É geralmente especificada para uma temperatura da junção de 125 °C *.

- **V_{DSM} – Tensão Não-Repetitiva de Pico Direta:**

Representa o valor máximo instantâneo da tensão direta de bloqueio que o semicondutor pode suportar, de modo não repetitivo. É geralmente especificada para uma temperatura da junção de 125 °C e tempos de surtos da ordem de 5 [ms].

- **V_{RRM} – Tensão Repetitiva de Pico Reversa:**

Indica o valor máximo instantâneo da tensão reversa de bloqueio que o semicondutor pode suportar, incluindo todas as tensões transitórias repetitivas. É geralmente especificada para uma temperatura da junção de 125 °C.

* Alguns fabricantes trabalham com outros níveis permissíveis de temperatura, como, por exemplo, 90, 100 e 110°C, havendo então perda da capacidade de bloqueio com o aumento da temperatura.

- **V_{RSM} – Tensão Não-Repetitiva de Pico Reversa:**

Representa o valor máximo instantâneo da tensão reversa de bloqueio que o semicondutor pode suportar de modo não repetitivo. É geralmente especificada para uma temperatura da junção de 125 °C e tempos de surto da ordem de 5 [ms].

- **V_{TM} – Queda de Tensão em Estado de Condução:**

É o valor máximo da tensão entre anodo e catodo para a corrente nominal de operação considerando meia onda senoidal.

- **I_{DRM} – Máxima Corrente Repetitiva de Fuga Direta:**

Representa o valor máximo da corrente de fuga direta que flui pelo Tiristor. É geralmente especificada para uma temperatura da junção de 125 °C e é da ordem de miliamperes.

- **I_{RRM} – Máxima Corrente Repetitiva de Fuga Reversa:**

Indica o valor máximo da corrente de fuga reversa que flui pelo Tiristor. É geralmente especificada para uma temperatura da junção de 125 °C e é da ordem de miliamperes.

- **$I_{T(RMS)}$ – Valor Eficaz da Corrente do Semicondutor:**

Representa o valor eficaz da corrente de condução em condições normais de operação de forma repetitiva. É geralmente especificada para uma meia onda senoidal de 180° de duração.

- **$I_{T(AV)}$ – Valor Médio da Corrente do Semicondutor:**

Indica o valor médio da corrente de condução em condições normais de operação de forma repetitiva. É geralmente especificada para uma meia onda senoidal de 180° de duração.

- **I_{TSM} – Corrente de Surto Direto:**

É o menor valor da corrente direta de surto que o semicondutor pode suportar. É geralmente especificada para uma temperatura da junção de 125°C, para uma meia onda senoidal de 180° de duração de 5 [ms].

- **I_H – Corrente de Manutenção:**

Representa o menor valor de corrente para manter o semicondutor em estado de condução. É geralmente especificada para uma temperatura da junção de 125 °C e é da ordem de miliamperes.

- **I_L – Corrente de Travamento:**

Significa o menor valor de corrente necessária para que o pulso de disparo seja retirado do Gate e o dispositivo permaneça em condução. É geralmente especificada para uma temperatura da junção de 125 °C e é da ordem de miliamperes.

- **I_{GT} – Corrente de Disparo do Gate:**

Indica o menor valor de corrente requerida pelo Gate para fazer o tiristor passar do estado de bloqueio direto para o estado de condução. É geralmente especificada para uma temperatura da junção de 125 °C e é da ordem de miliamperes.

- **V_{GT} – Tensão de Disparo de Gate:**

É o menor valor de tensão requerida para produzir a corrente I_{GT} .

- **di/dt – Taxa de Variação da Corrente:**

Representa a máxima taxa de variação da corrente permissível para o semicondutor atingir o estado de condução com uma densidade de distribuição de corrente uniforme. É geralmente especificada para uma temperatura da junção de 125 °C.

- **dv/dt – Taxa de Variação de Tensão:**

Significa a máxima taxa de variação da tensão direta permissível para que o semicondutor não entre em condução através do disparo capacitivo. É geralmente especificada para uma temperatura da junção de 125 °C.

- **t_{on} -Tempo de disparo:**

É o tempo necessário para o tiristor sair do estado desligado e atingir a plena condução.

- **t_{off} - Tempo de desligamento:**

É o tempo necessário para a transição entre o estado de condução e o de bloqueio. É devido a fenômenos de recombinação de portadores no material semicondutor.

- **T_{jmax} - Máxima temperatura de operação:**

Temperatura acima da qual, devido a um possível processo de avalanche, pode haver destruição do cristal.

- **Característica I²t :**

É o resultado da integral do quadrado da corrente de anodo num determinado intervalo de tempo, sendo uma medida da máxima potência dissipável pelo dispositivo. É dado básico para o projeto dos circuitos de proteção.

1.6 – Principais Falhas em Tiristores de Potência

Um variado número de fatores pode causar a degradação ou falha em semicondutores de potência. A maior parte dos problemas ocorre devido ao nível de stress dos componentes em relação aos seus parâmetros, principalmente relacionados às suas características elétricas. Falhas nos circuitos de proteção ou controle dos tiristores, bem como transientes no equipamento, podem causar a degradação ou destruição destes componentes.

Os principais tipos de falhas que podem acontecer com os tiristores, devido aos diferentes tipos de stress, são listados a seguir:

- di/dt
- Sobretensão
- dv/dt
- Ruptura térmica
- Corrente de surto
- Excesso de potência dissipada no gate

As figuras 1.7, 1.8 e 1.9 ilustram o aspecto de algumas pastilhas de SCR's do tipo BSt T68H280S15, da Siemens, retirados de compensadores estáticos da CHESF, que foram submetidos a algum tipo de stress e vieram a falhar. O diagnóstico da causa das falhas é baseado na analogia destas figuras com as encontradas na literatura ^[7].



Figura 1.7 - Falha provocada por di/dt elevado.

Como pode ser observado na figura 1.7, a falha por di/dt causa uma carbonização nas regiões centrais da pastilha. Isto ocorre porque a alta taxa de elevação de corrente, na região de gate, não permite a uniformização desta

corrente para as outras áreas do semicondutor, causando assim um sobreaquecimento pontual na pastilha conhecido como ponto quente (hot spot).



Figura 1.8 - Falha provocada por sobretensão sem a existência de sobrecorrente.

Na figura 1.8, observa-se claramente a existência de uma região danificada entre a área central e a borda. O dano causado por sobretensão sem sobrecorrente (corrente esta que foi limitada por algum tipo de proteção) é também pontual. Geralmente este tipo de falha ocorre devido a eventuais transientes no sistema.



Figura 1.9 - Falha provocada por sobretensão com a existência de sobrecorrente.

Na figura 1.9, observa-se a carbonização das laterais da pastilha. Provavelmente o semicondutor foi danificado devido a uma sobretensão seguida de sobrecorrente.

1.7 – Conceituação do Estado dos Semicondutores

Os semicondutores de potência são normalmente considerados componentes não reparáveis, podendo assumir apenas dois estados: o estado normal ou o estado falhado.

O que se observa de fato é que, além dos estados normais e falhados, os semicondutores podem ser encontrados em operação com suas características elétricas alteradas, estando, portanto, em estado degradado ou defeituoso. Os semicondutores que se encontram neste estado normalmente não são identificados pelos sistemas de supervisão dos equipamentos a que pertencem, o que leva ao risco de desligamento intempestivos motivados principalmente pela perda da capacidade de bloqueio destes semicondutores.

Diante disto, pode-se afirmar que os semicondutores podem assumir três estados, que são definidos a seguir ^[9]:

- **Normal:** O semicondutor apresenta suas características elétricas ou mecânicas conforme especificado pelo fabricante, desempenhando a função requerida e operando normalmente.
- **Defeituoso:** O semicondutor ainda desempenha a sua função, continua operando, mas tem suas características elétricas ou mecânicas alteradas, não suportando determinadas solicitações de funcionamento que suportaria caso estivesse em estado normal.
- **Falhado:** O semicondutor não desempenha a função requerida, estando com alguma de suas características profundamente alteradas, normalmente com camadas semicondutoras em curto-circuito.

Capítulo 2

Definições e Características dos Ensaios

Neste capítulo são apresentados os testes que permitem a análise de degradação dos semicondutores em relação a seus limites de bloqueio. Algumas definições sobre a forma de execução dos testes são mostradas, bem como as formas de onda necessárias para os ensaios e a lógica de proteção contra sobrecorrente nos dispositivos.

2.1 – Testes Sobre as Características de Bloqueio

A degradação dos componentes semicondutores é geralmente mais acentuada nos aspectos que se referem à capacidade de bloqueio, relacionados com parâmetros como tensões máximas de bloqueio direto (para SCR's) e reverso (para SCR's e diodos), juntamente com as respectivas correntes de fuga. Estes parâmetros são especificados em relação à temperatura de junção do semicondutor, o que reflete a importância deste parâmetro com os dados de bloqueio.

Estas características, quando devidamente testadas e adquiridas, podem delinear o estado em que estes componentes se encontram, a partir de uma análise comparativa com os valores nominais especificados pelo fabricante.

Para o desenvolvimento das pesquisas apresentadas neste trabalho, os seguintes testes ^{[1] [2] [4]} foram executados sobre os semicondutores:

- Teste da Característica da Tensão de Bloqueio Direta e Reversa.
- Teste da Característica da Corrente de Bloqueio Direta e Reversa.
- Teste de elevação de temperatura no semicondutor.

2.1.1 – Teste da Característica da Tensão de Bloqueio Direta e Reversa

A característica de bloqueio de tensão direta e reversa devem ser medidas em uma conexão do tipo meia onda retificada sem carga, respeitando a temperatura virtual da junção, a qual é especificada pelo fabricante em torno de 125 °C. A tensão sobre o dispositivo em teste é elevada gradativamente até os valores limites especificados, constatando-se assim sua capacidade de bloqueio. O circuito mostrado na figura 2.1 ilustra o procedimento para a medição das características de bloqueio direto.

Caso se deseje as características reversas, basta trocar de posição os terminais anodo / catodo.

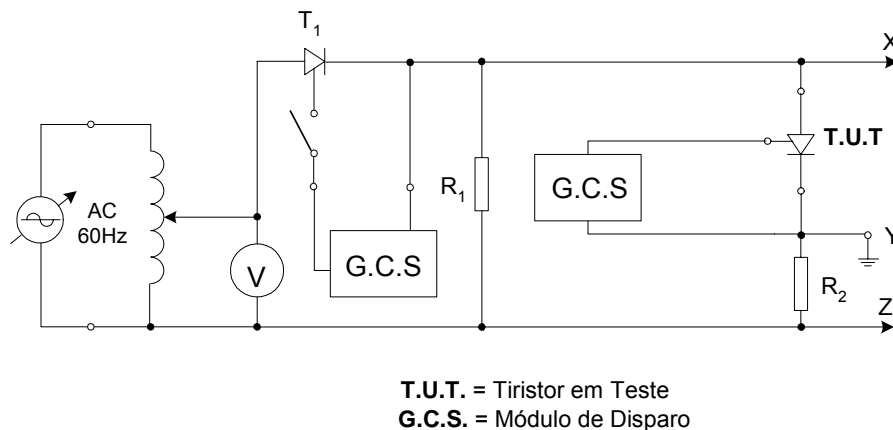


Figura 2.1 - Circuito para teste da tensão de bloqueio direta e reversa

2.1.2 – Teste da Característica da Corrente de Bloqueio Direta e Reversa

Este teste está diretamente relacionado ao teste anterior, porém voltado para a verificação da corrente. O procedimento para efetuar o teste da corrente de bloqueio direta está mostrado na figura 2.2. Caso se deseje a corrente de bloqueio reversa basta apenas inverter os terminais do tiristor.

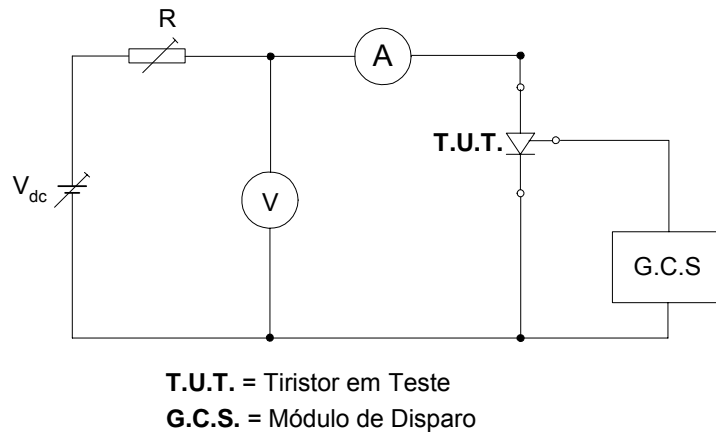


Figura 2.2 - Circuito para teste da corrente de bloqueio direta e reversa

2.1.3 – Teste de Elevação de Temperatura no Semicondutor

Este teste tem por objetivo determinar a temperatura da base metálica do semicondutor quando este é submetido a uma forma de onda de corrente do tipo meia onda senoidal com 180° de duração. Através de métodos analíticos deve-se estimar a temperatura virtual da pastilha de silício.

Com base nos testes descritos nos itens 2.1.1, 2.1.2 e 2.1.3, as seguintes características são utilizadas para a determinação do estado operacional dos semicondutores:

- **Diodos:** V_{RRM} – Tensão Repetitiva de Pico Reversa e I_{RRM} – Máxima Corrente Repetitiva de Fuga Direta, associando estes parâmetros com a temperatura de junção.
- **SCR's:** V_{DRM} – Tensão Repetitiva de Pico Reversa e I_{DRM} – Máxima Corrente Repetitiva de Fuga Direta; V_{RRM} – Tensão Repetitiva de Pico Reversa e I_{RRM} – Máxima Corrente de Fuga Reversa, associando estes parâmetros com a temperatura de junção.

As medições e análises desses parâmetros, para cada tipo de semicondutor, permitem determinar o grau de degradação com o tempo e funcionamento destes componentes, dando a oportunidade dentro de uma

intervenção programada, de se retirar as unidades mais degradadas e evitar que equipamentos, como os compensadores estáticos, venham a desligar intempestivamente, provocando maiores danos operacionais e econômicos para a empresa.

2.2 – Características e Generalidades dos Testes Executados

Os testes sobre os semicondutores devem ser definidos em relação ao local de execução e aos modos (ou limites) de aplicação destes ensaios. Além disso, as polarizações direta e reversa devem ser testadas automaticamente pelo equipamento (no caso de diodos, espera-se um curto-circuito na polarização direta).

A figura 2.3 apresenta a sequência de seleção do usuário e a execução automática dos testes.

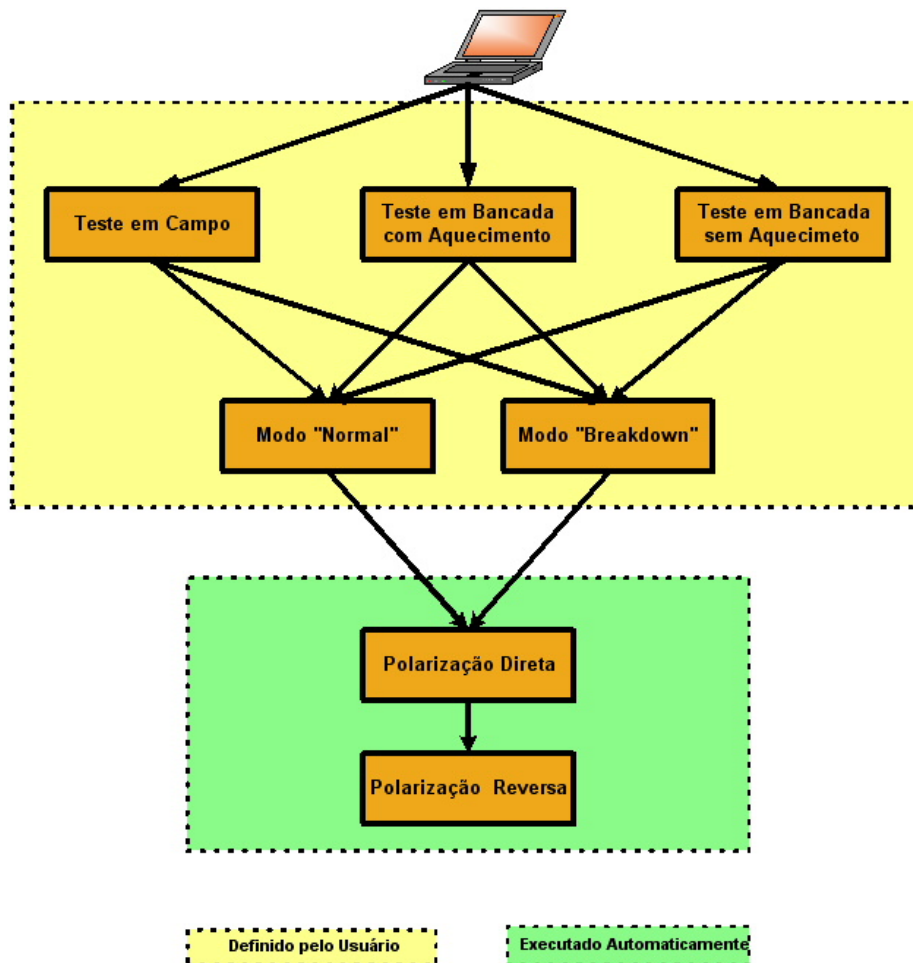


Figura 2.3 – Seleção do usuário e execução automática dos testes.

Abaixo, são definidos estas generalidades em relação aos ensaios executados.

2.2.1 – Local de Execução dos Ensaios

Inicialmente o usuário deve estabelecer o local e a forma em que o teste deve ser aplicado, selecionando no software de controle uma das três opções disponíveis: “**teste em campo**” ou “**teste em bancada com aquecimento**” ou “**teste em bancada sem aquecimento**”.

O equipamento de teste foi projetado para avaliar os semicondutores dos compensadores estáticos da companhia CHESF. Em alguns compensadores, devido a complexidade das conexões elétricas e mecânicas, é mais vantajoso que os testes sejam realizados diretamente no módulo compensador. Para este caso, é disponibilizada uma interface do equipamento que se conecta diretamente ao módulo, e através da seleção do “**Teste em Campo**” no software TSP, são retirados os dados dos SCR’s do compensador. Cada compensador possui 8 (oito) níveis, cada qual contendo quatro SCR’s, estando dois em paralelo e dois em antiparalelo. O equipamento aplica, primeiramente, o teste direto nos SCR’s em paralelo (consequentemente o teste reverso nos antiparalelos) e, logo em seguida, o teste reverso nos antiparalelos (e direto nos paralelos). A partir deste processo as características deste conjunto de semicondutores são registradas. O teste é repetido para cada nível do compensador, a partir de um comando de confirmação do usuário, indicando que a ponta de prova foi devidamente deslocada para o determinado nível.

Em geral, os ensaios sobre o semicondutor são realizados individualmente, a partir do sistema de fixação do equipamento. Quando se necessita elevar a temperatura do componente, o usuário deve selecionar o “**Teste em Bancada com Aquecimento**”, que aciona o sistema de aquecimento e leva o semicondutor até a temperatura fixada. Em caso de ensaio a temperatura ambiente, o usuário deve selecionar o “**Teste em Bancada sem Aquecimento**” (seleção padrão (default) do software).

2.2.2 – Modos de Execução dos Ensaio

Em relação aos valores limites dos componentes, que são estabelecidos baseados nas especificações do fabricante, existem dois tipos de testes que podem ser executados: o teste “**Normal**” e o teste de “**Breakdown**”. Estes testes especificam a maneira com que os limites do componente serão utilizados na realização do ensaio.

No teste “**Normal**”, as tensões de ensaio são aplicadas gradualmente até os limites V_{RRM} (para SCR's e diodos) e V_{DRM} (para SCR's) ou até que as correntes limites I_{RRM} e I_{DRM} sejam atingidas (geralmente estes valores de corrente são obtidos antes das tensões nominais serem aplicadas em caso de degradação dos componentes). Este tipo de teste geralmente é aplicado quando não se tem idéia do estado de operação do componente. Assim os níveis de bloqueio são verificados até os limites especificados pelo fabricante, podendo classificar os componentes de acordo com a suportabilidade e as correntes de fuga associadas.

O teste no modo “**Breakdown**” aplica tensões sobre os componentes até que valores próximos a 80% das correntes limites I_{RRM} (para SCR's e diodos) e I_{DRM} (para SCR's) sejam atingidas, sendo que as tensões de bloqueio são em função destes valores de corrente. Assim, quando já foi verificado que o componente se encontra em bom estado, é forçado o levantamento de sua curva característica, revelando os valores máximos de bloqueio suportados pelo semicondutor em função das correntes com valores próximos a I_{RRM} e I_{DRM} , respectivamente.

2.2.3 – Polarização dos Semicondutores nos Ensaio

Os dados referentes à degradação dos tiristores devem ser aquiridos em todos os sentidos de bloqueio deste componentes, ou seja, na **polarização direta e reversa**. No caso dos diodos, quando polarizado diretamente, é esperado que este se apresente em condução (curto), sendo que somente os dados referentes a polarização reversa são relevantes. Estes modos de teste são referenciados neste trabalho simplesmente como teste “**Direto**” ou “**Reverso**”, sendo realizado automaticamente pelo equipamento através do

chaveamento do circuito de teste controlado por software. Os limites de valores das tensões aplicadas e correntes máximas permissíveis já são pré-fixadas no software de controle TSP, selecionadas a partir do código do semicondutor existente neste programa.

2.3 – Formas de Onda de Ensaio

Como observado anteriormente, os testes para aquisição dos valores de tensão de bloqueio e correntes de fuga devem ser realizados a partir da aplicação de tensões de meia onda senoidal (60Hz) sobre o dispositivo em teste (DUT). Estas tensões são elevadas gradativamente até que as características de bloqueio do dispositivo se façam presentes e possam ser obtidas.

O equipamento testador de semicondutores adquire dois ciclos de 60Hz, analisa os dados e atualiza a amplitude do sinal senoidal aplicado sobre o DUT. Este controle é feito através do software de controle TSP e do processador digital de sinais (DSP) que controla o inversor de frequência, (estes elementos serão descritos em maiores detalhes nos capítulos seguintes).

Durante o teste dos semicondutores no bloqueio, as correntes de fuga devem se manter sempre abaixo dos limites máximos especificados. Porém, pode ocorrer que, devido à degradação dos dispositivos, a corrente de fuga entre em processo de avalanche ou ainda aconteça o disparo de um SCR no teste de polarização direta. Para evitar que estas correntes elevadas venham a danificar ainda mais o semicondutor, o DSP executa uma verificação em tempo real dos valores da corrente, de forma que ela não ultrapasse os limites pré-estabelecidos de segurança.

A figura 2.4 mostra a tensão na saída do filtro passa-baixas e a meia onda senoidal aplicada sobre o DUT antes que estes valores atinjam o limite de breakdown do dispositivo, não existindo, portanto, corrente de fuga considerável para dispositivos em bom estado de operação conforme se observa no gráfico de corrente no tiristor. Este teste é executado quando o usuário seleciona o modo de teste “Normal”.

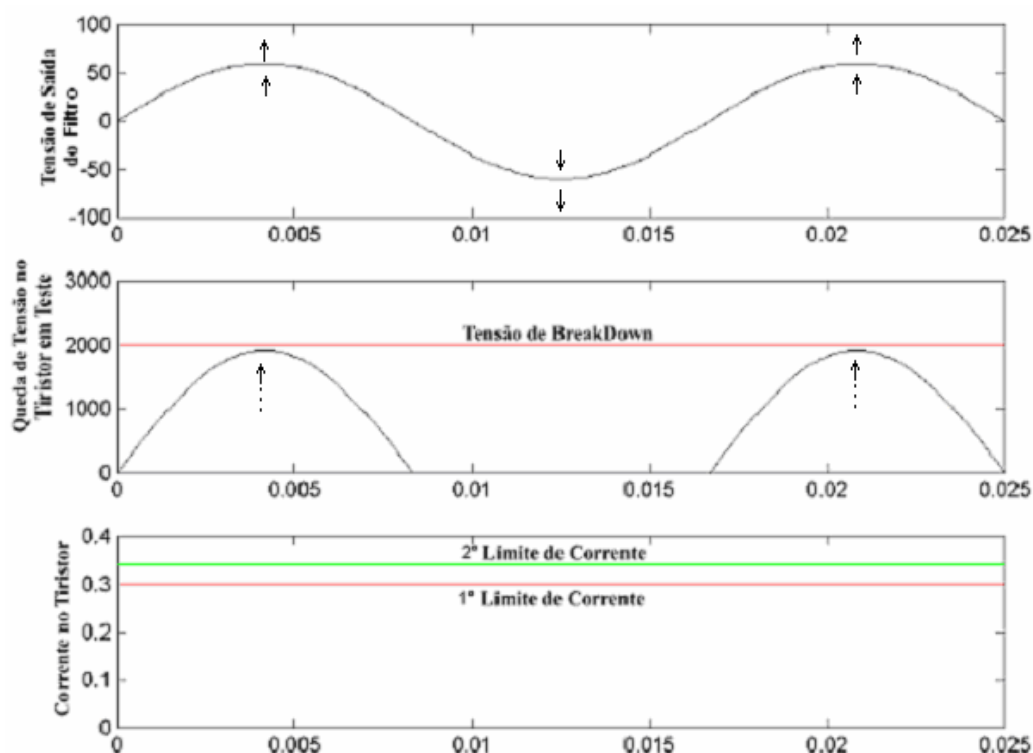


Figura 2.4 – Formas de onda antes do breakdown.

A figura 2.5 mostra a tensão atingindo o limite de avalanche (breakdown) do DUT, onde começa a circular uma corrente proporcional à tensão ceifada pelo componente. Este comportamento semelhante a um efeito “zener” é verificado em semicondutores em bom estado de operação, onde a corrente é mantida dentro dos valores limites para uma dada tensão aplicada. Este efeito, que gera a curva característica V_{xl} do componente, é obtido através do teste no modo “breakdown”.

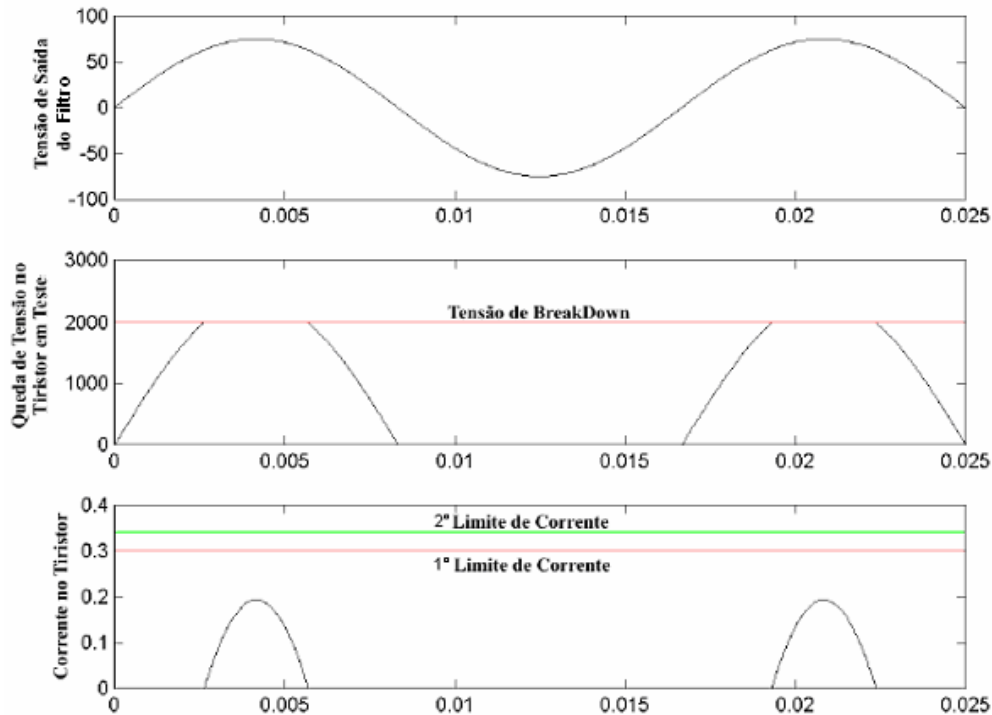


Figura 2.5 – Formas de onda depois do breakdown.

Semicondutores em boas condições de funcionamento suportam correntes até o limite especificado. Porém, componentes que já apresentam degradação podem sofrer um efeito avalanche, ou seja, sua “resistência dinâmica” diminui com o aumento da corrente. Este disparo repentino de corrente pode levar a destruição do componente. De modo a controlar esta situação, a corrente circulante no DUT é amostrada a cada 125µs pelo DSP, sendo que dois valores limites de corrente são estabelecidos. Quando a corrente no DUT atinge o primeiro limite (especificado com base nas especificações do componente, através do software TSP), a tensão de pico do Inversor é submetida a uma saturação. O efeito desta saturação na tensão é um ceifamento no valor de pico da corrente, impondo assim um limite à corrente, dentro do valor especificado do semiconductor. É interessante observar que este comportamento da corrente pode ocorrer bem antes das tensões de V_{RRM} ou V_{DRM} , caso o semiconductor esteja degradado, sendo que esta proteção é atuante tanto no modo de teste “Normal” quanto no “Breakdown”.

A figura 2.6 ilustra a situação em que a corrente atinge o primeiro limite estabelecido para um dado componente.

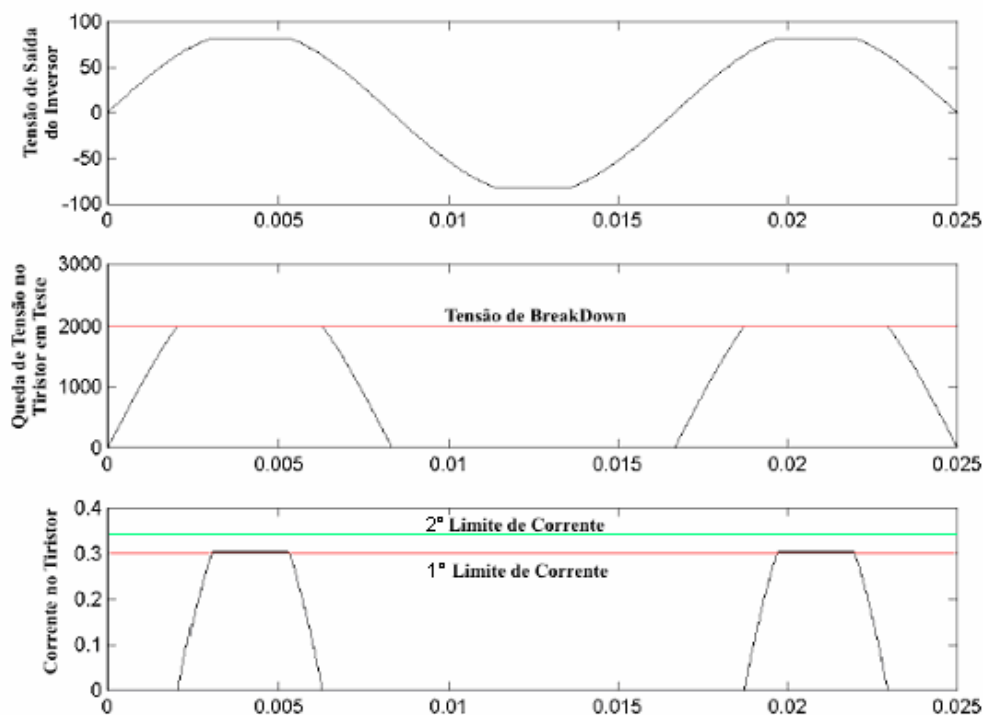


Figura 2.6 – Formas de onda durante a atuação da proteção (saturação de corrente).

Um segundo limite de corrente é ainda estabelecido, de forma que, se duas amostras consecutivas de corrente ultrapassar este segundo limiar (cerca de 20% maior que o primeiro), a tensão de saída do inversor é automaticamente desligada e o teste finalizado para a atual polarização do DUT. Assim, garante-se integridade do semiconductor com maior segurança.

Capítulo 3

Hardware de Teste

Neste capítulo é apresentado o esquema geral dos circuitos de teste e a descrição funcional das diversas partes que constituem o equipamento como um todo.

Uma breve introdução teórica sobre algumas partes do hardware implementado é também apresentada, juntamente com a especificação destes circuitos.

3.1 – Considerações Sobre os Circuitos de Teste

Os testes sobre os semicondutores de potência devem ser realizados de acordo com as especificações apresentadas no capítulo 2. Para isto, foi desenvolvido uma série de circuitos que induzem os componentes sob teste a condições limites, onde as características pertinentes a análise de degradação se fazem presentes. A execução dos ensaios é feita automaticamente pelos circuitos de teste. Estes circuitos são controlados, via placas de aquisição de dados, por um software de controle que será apresentado no capítulo seguinte. Os resultados dos testes são arquivados e descrevem, desta forma, o histórico das características destes componentes ao longo do tempo, indicando eventuais mudanças dos parâmetros e conseqüentes degradações.

O hardware do equipamento foi dividido em módulos funcionais, cada qual responsável por uma etapa do processo do ensaio. Esta modularização permite uma maior flexibilidade em termos de transporte e manutenção do equipamento. As conexões entre as diversas partes são feitas a partir de conectores apropriados e de fácil identificação. A seguir serão mostrados o diagrama trifilar e os principais elementos funcionais do equipamento

3.2 – Diagrama e Descrição dos Circuitos de Teste

O teste de tensão de bloqueio direto e reverso deve ser realizado a partir da aplicação de uma meia onda senoidal em 60Hz sobre o componente, cuja amplitude é gradativamente incrementada. Tanto a tensão como a corrente de fuga do componente são coletadas a cada elevação do valor de tensão aplicada. Com base nestes parâmetros pode-se caracterizar o estado atual do componente. Além disso, um circuito auxiliar de aquecimento provê a elevação da temperatura do dispositivo permitindo, desta forma, que o teste possa ser realizado desde a temperatura ambiente até a máxima temperatura de junção especificada pelo fabricante.

Os circuitos de teste foram divididos em módulos funcionais de forma que cada parte seja responsável por uma etapa do processo de ensaio. A figura 3.1 ilustra o diagrama geral do equipamento de teste. Os circuitos do inversor de frequência e do filtro são responsáveis pela geração da onda senoidal de amplitude variável, que será aplicada a um transformador de alta tensão. Após esta onda senoidal ter sua tensão elevada aos níveis necessários do teste, a onda sofre uma retificação em meia onda, produzida pelo diodo em série com o circuito. A resistência R_s é responsável pela limitação de corrente no circuito de alta tensão e a resistência R_p tem a função de polarização do circuito retificador. Os sensores de efeito hall são responsáveis pela transdução das correntes e tensões de ensaio para níveis apropriados para a aquisição, além de fornecer o isolamento necessário entre os dispositivos de controle e aquisição e o circuito de alta tensão. A comutação do caminho do circuito, para a execução dos testes nas polaridades direta e reversa, é realizada por um conjunto de contadores modificados para a operação em alta tensão.

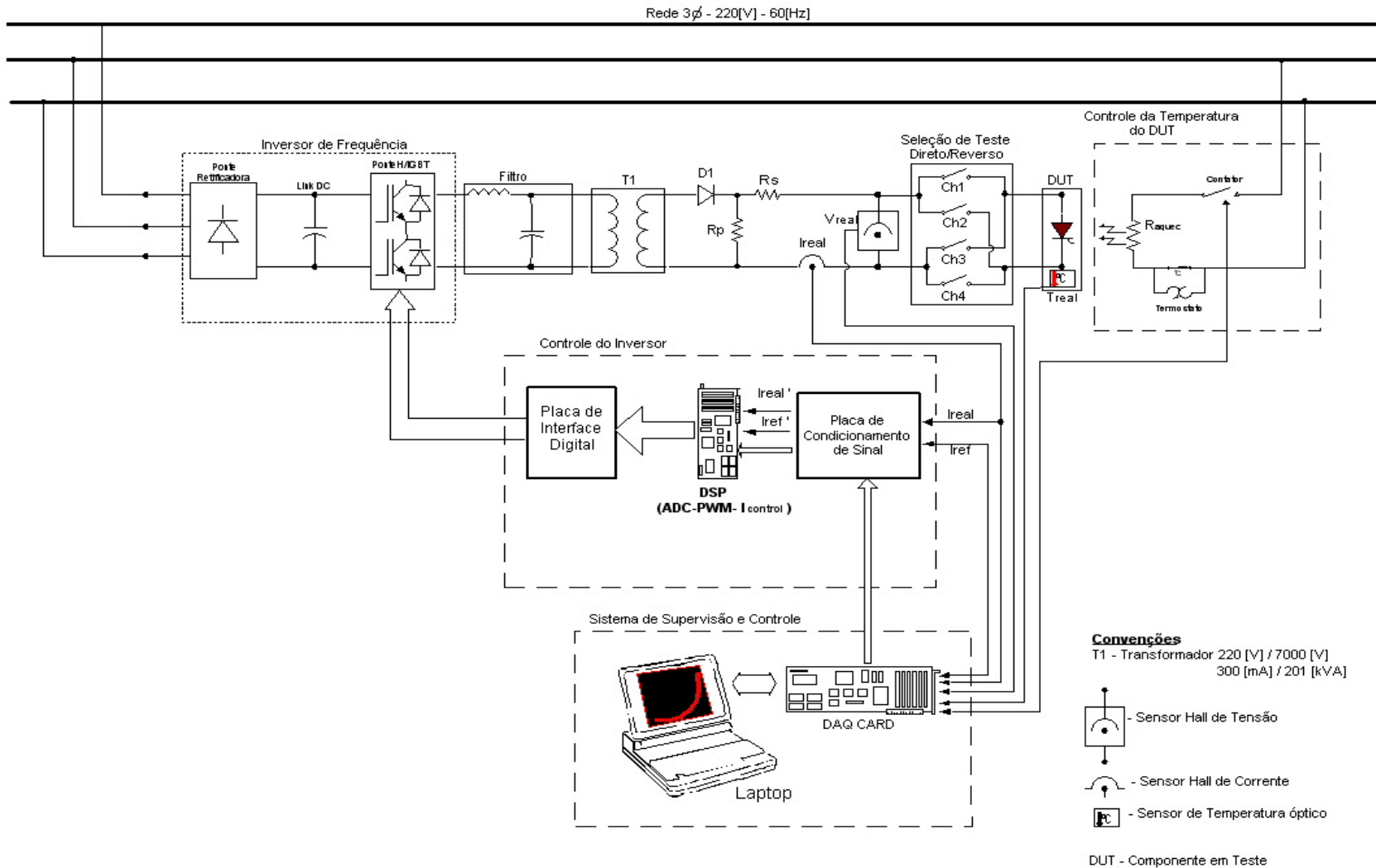


Figura 3.1 – Diagrama Geral do Equipamento Testador de Semicondutor de Potência

O controle de temperatura dos componentes é feito a partir de uma resistência de aquecimento, um sensor óptico, um contator e um termostato, todos posicionados no sistema de fixação. Este sistema de aquecimento garante a elevação da temperatura da junção do dispositivo desde o valor ambiente até próximo ao valor de operação.

O controle do inversor é realizado por um DSP (Digital Signal Processor), que gera os pulsos PWM para o controle de chaveamento dos IGBT's, a partir de informações do software de controle TSP. A interface entre o DSP, o inversor de frequência e a placa de aquisição de dados do PC são realizadas por placas de condicionamento e interface de sinais. O DSP é também responsável pela lógica de proteção do circuito, baseado na corrente sobre o dispositivo em teste (DUT).

O sistema de controle e supervisão realiza todo o comando referente à execução, aquisição tratamento e arquivamento do teste realizado. Este módulo inclui uma placa de aquisição de dados (DAQCARD 1200 - National Instruments) e um computador pessoal (Pentim IV – 2.1 GHZ) tipo Laptop que contém o software de controle TSP. A lógica funcional deste software é descrita no capítulo 4.

3.3 – Partes Constituintes do Equipamento

Para a geração e captação dos sinais necessários ao teste, diversos circuitos foram agrupados em módulos, cada qual com uma função específica, como descrito no item 3.2.

A seguir, são descritos os principais circuitos que integram o *Testador de Semicondutores de Potência*, bem como o princípio de funcionamento e os dimensionamentos de cada um.

3.3.1 – Inversor de frequência (VSI) controlado por DSP

A necessidade de uma meia onda senoidal sobre o DUT, cujo valor é variado automaticamente por um software, exigiu que uma fonte de tensão variável do tipo eletrônico fosse implementada. Esta fonte de tensão controlada eletronicamente foi construída a partir de um inversor de frequência controlado por um DSP.

Para um melhor entendimento do funcionamento deste módulo, uma técnica conhecida como modulação PWM será rapidamente abordada.

O processo de modulação tem suas origens em áreas relacionadas ao tratamento de sinais, principalmente em telecomunicações. A Modulação é um processo utilizado quando se deseja transmitir uma determinada informação através de um meio físico que impossibilitaria a transmissão direta desta informação. Sendo assim, é necessário que esta informação seja modulada sobre um outro sinal (chamado sinal de portadora) que contenha características mais adequadas ao meio. Esta mesma idéia pode ser estendida para a modulação **PWM** que será utilizado no VSI. Neste equipamento, o sinal modulante (informação) é uma onda senoidal que deve ser amplificada para altos níveis de tensão e de corrente. Infelizmente, não existem amplificadores capazes deste tipo de amplificação. Para contornar este problema, o sinal modulante deve ser convertido para uma seqüência de pulsos. Estes pulsos podem ser amplificados, pois atuam como comandos para chaves de grande capacidade de potência. A onda resultante é então filtrada nas suas componentes de alta frequência, havendo assim a recuperação da onda senoidal.

O princípio da Modulação PWM é simples. O sinal modulante (senóide) é comparado com uma portadora triangular de maior frequência e o resultado desta comparação é o sinal modulado PWM, ou seja, os pulsos de gatilho utilizados no VSI.

A técnica de modulação utilizada neste trabalho é a unipolar, que tem seu princípio de funcionamento ilustrado na figura 3.2.

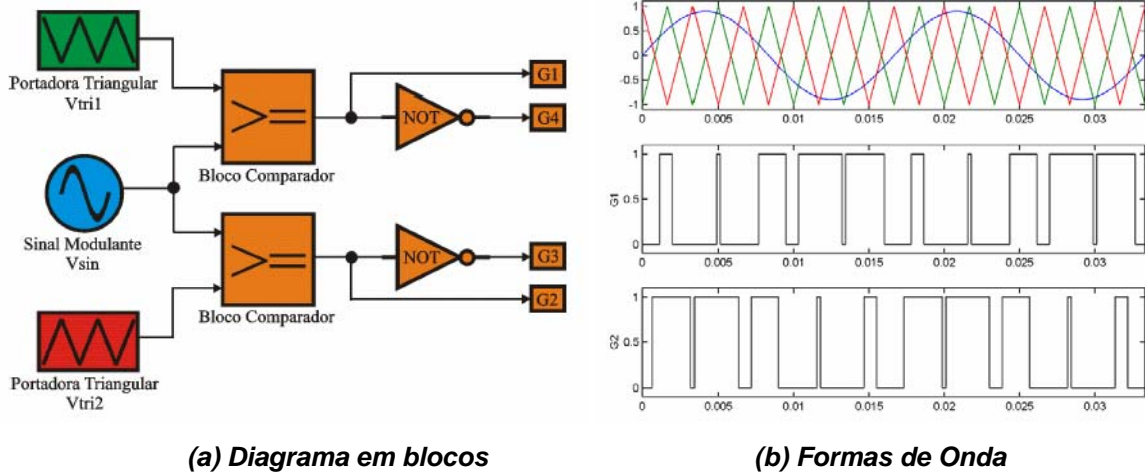


Figura 3.2 – Técnica de modulação PWM unipolar com duas portadoras.

Toda a geração do sinal senoidal de referência (60Hz) e modulação na onda PWM é feita a partir do microcontrolador DSP (Digital Signal Processor). Este dispositivo, juntamente com os outros circuitos de interface, produz os pulsos que serão utilizados no VSI.

Um **VSI** (Voltage Source Inverter), ou fonte inversora de tensão, é utilizada na amplificação de sinais de chaveamento (tipo ON-OFF) provindos do DSP. A figura 3.3 ilustra a configuração básica de um inversor de frequência.

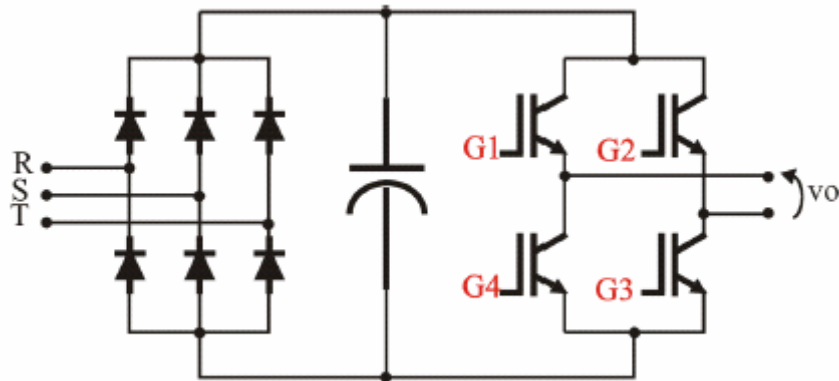


Figura 3.3 – Inversor de Frequência (VSI)

A ponte de diodos trifásica retifica as tensões R - S - T (3 Φ - 60Hz-220V_{ff}), de modo a produzir uma tensão contínua que irá carregar o capacitor do Link DC. Estes capacitor passa então a conter a energia armazenada do sistema VSI, energia essa que será utilizada pela Ponte H de IGBT's. Os IGBT's (Insulated Gate Bipolar Transistor) são chaves controladas eletronicamente, que abrem e fecham o circuito DC de alta capacidade de energia, gerando assim a forma onda modulada em PWM com os níveis necessários de potência. Os sinais **G1**, **G2**, **G3** e **G4** são os pulsos de gatilho para os IGBT's da ponte H e fazem o controle entre o modo chave aberta ou chave fechada, dependendo do nível lógico (0 ou 1) aplicado a eles. Estes pulsos de gatilho são fornecidos pelo DSP através de pré-amplificados (drives) acoplados aos Gates dos IGBT's.

A partir dos pulsos PWM (unipolar) aplicados ao gate dos IGBT's, as seguintes configurações da ponte H são possíveis, como mostrado na figura 3.4.

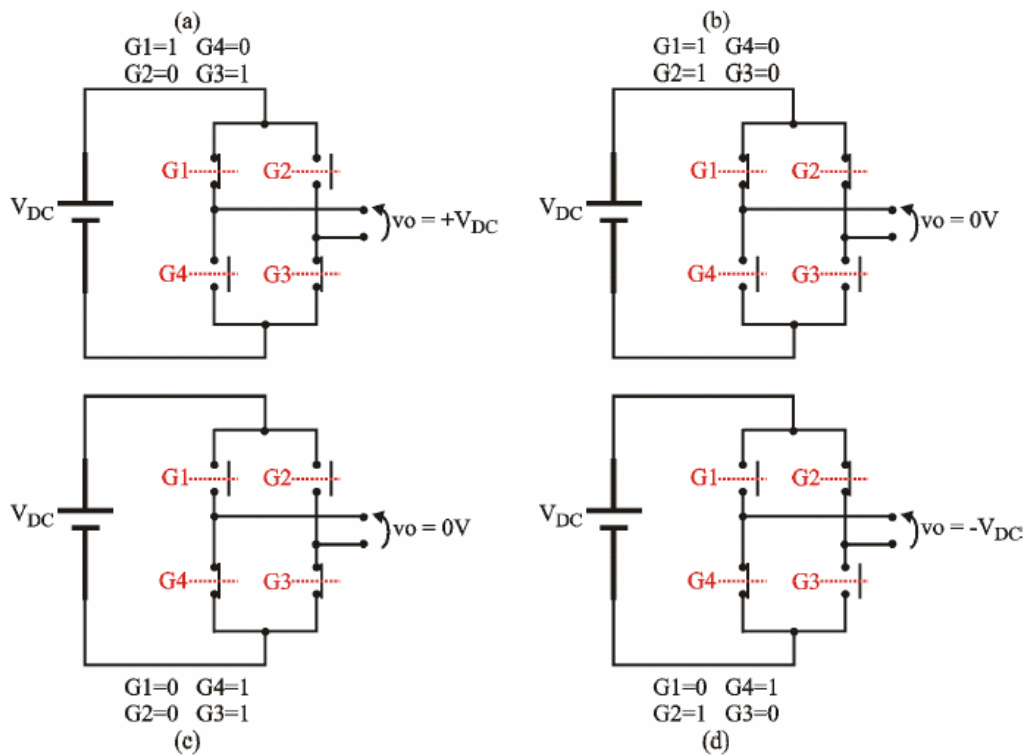


Figura 3.4 – Modulação PWM Unipolar – Possíveis situações de chaveamento

Na Figura 3.4 (a), as chaves de potência 1 e 2 estão fechadas ($G1=G3=1$) e as chaves 3 e 4 estão abertas ($G2=G4=0$). Nesta situação a tensão de saída do VSI é +VDC. Em 3.4 (d), $G1=G3=0$ e $G2=G4=1$, tendo-se assim -VDC na saída do VSI. Estas duas situações ilustram os casos possíveis de ocorrência no tipo de modulação bipolar, sendo esta um outro tipo de modulação PWM, mais simples e menos eficiente do que a unipolar.

Com a modulação unipolar surgem mais duas possibilidades. Na Figura 3.4(b), tem-se a situação em que $G1=G2=1$ e $G3=G4=0$. Nesta situação tem-se 0V na saída do VSI. Na Figura 3.4 (c), $G1=G2=0$ e $G3=G4=1$ e novamente, tem-se 0V na saída do VSI.

Desta forma, a modulação unipolar possibilita aos IGBT's realizarem um chaveamento de +VDC para 0V, de 0V para -VDC, de -VDC para 0V e 0V para +VDC na tensão de saída do inversor. Assim, os IGBT's estão sempre chaveando 1VDC a cada mudança de estado, enquanto que na modulação bipolar o chaveamento é feito em 2VDC a cada mudança de estado.

Portanto, devido a menor amplitude de tensão na comutação, as perdas de chaveamento em uma modulação unipolar são menores do que na modulação bipolar, tornando-a mais eficiente.

A Figura 3.5 ilustra a tensão de saída do VSI, a partir dos pulsos de gatilho. Como se pode perceber, a tensão de saída do inversor é uma seqüência de pulsos. Este trem de pulsos contém a componente fundamental senoidal que será retirada a partir de um filtro passivo. A amplitude da onda senoidal está relacionada com as características dos pulsos, características estas que são ditadas pela relação entre a amplitude da onda senoidal modulante e a amplitude das ondas triangulares de comparação do circuito mostrado na figura 3.2 (a). Esta relação é conhecida como índice de modulação.

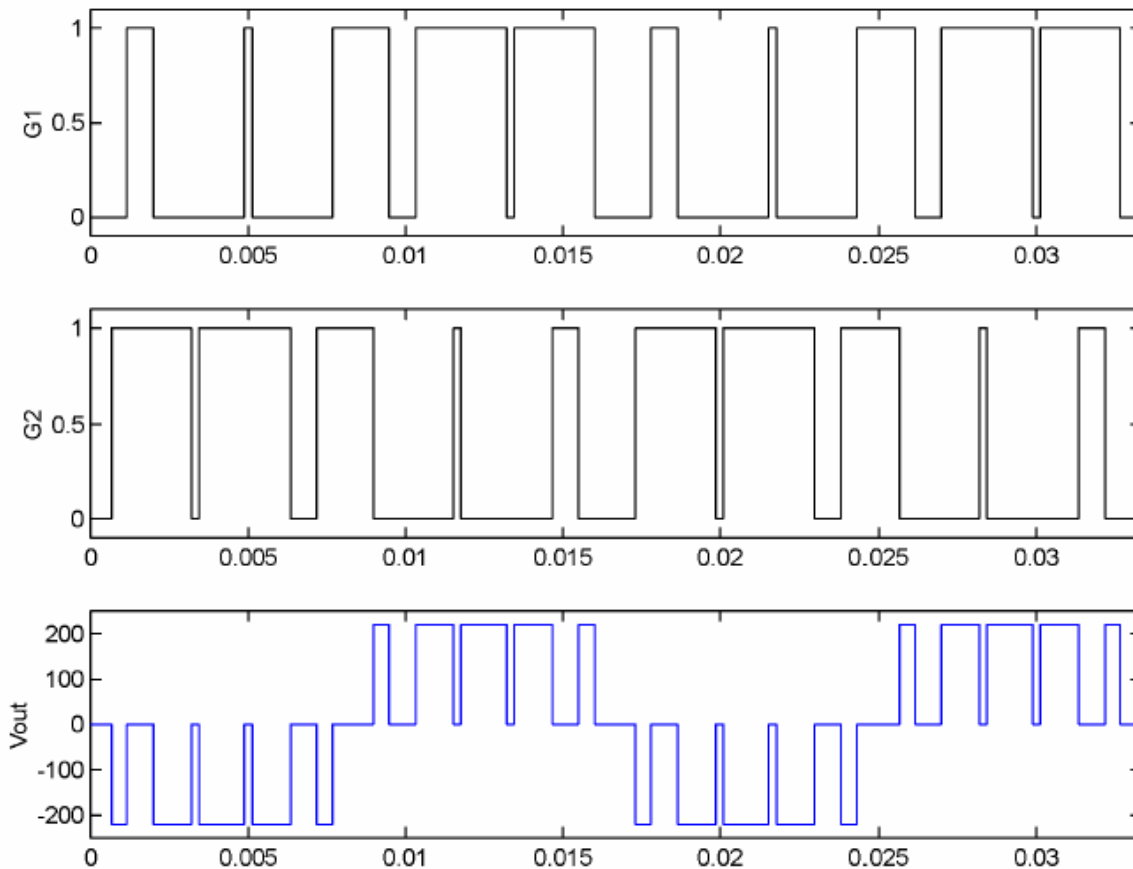


Figura 3.5 – Modulação de Senóide em PWM Unipolar – Saída do VSI

A frequência de chaveamento dos IGBT's, através da onda PWM, é de 15.35KHz. Esta frequência é igual a da onda portadora triangular que foi gerada para a comparação com a onda senoidal de amplitude variável de referência.

Os módulos completos, com a ponte de IGBT's, retificador trifásico, banco de capacitores e drivers SKHI22A para os IGBT's são encontrados comercialmente. Neste trabalho, utilizou-se o módulo B2U+B2CI (Semikron), com IGBT's do tipo **SKM 75 GB 12 4 D**, para 75A/1200V.

Tem-se na Figura 3.6 uma fotografia deste módulo VSI.

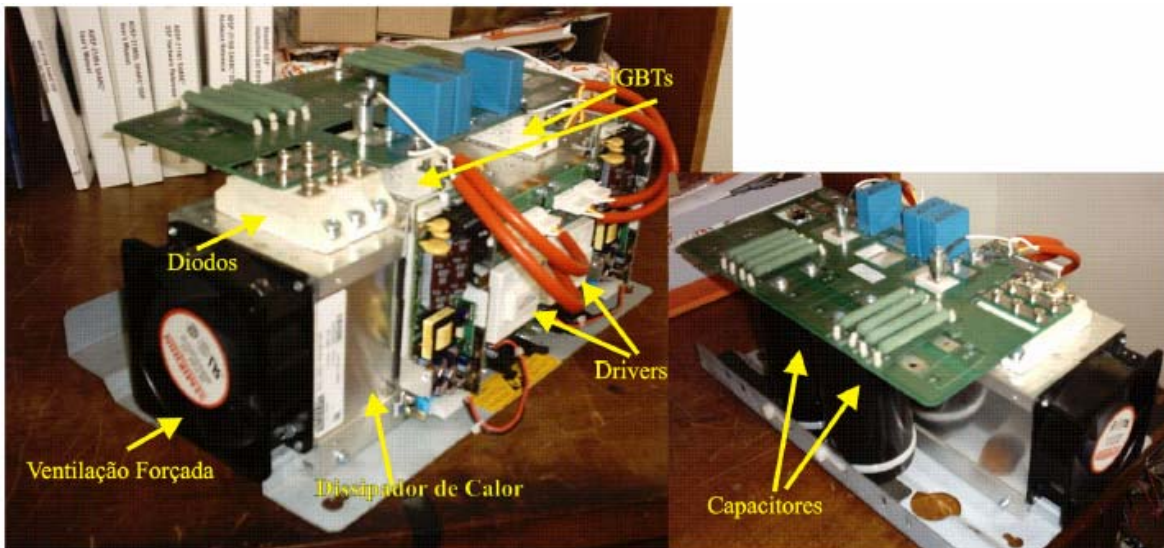


Figura 3.6 – Módulo VSI - Semikron

O DSP, além da função de gerar a lógica dos pulsos PWM que serão aplicados aos IGBT's, desempenha também a supervisão de corrente em tempo real do VSI. Esta supervisão é importante pois, durante os ensaios realizados pelo equipamento, determinados semicondutores com certa tendência de degradação podem vir entrar em curto-circuito por efeito avalanche. Nestes casos, de modo a não degradar ainda mais o componente testado, a fonte de tensão (VSI) deve ser desligada imediatamente.

A etapa de controle de corrente exige grande velocidade de atuação. Para isto, utiliza-se o processador digital de sinais (DSP) **TMX 320F2812** da Texas Instruments. Os DSP's são dispositivos especialmente projetados para controle digital que oferecem altíssima velocidade de atuação. Desta forma, já possuem internamente (na mesma pastilha de silício) a maioria dos periféricos necessários para controle de sistemas, tais como conversores A/D, moduladores PWM, multiplexadores de canais, dentre outros. O kit **eZdsp F2812**, da Spectrum Digital é uma placa integradora que possui, além do DSP, diversos elementos que provêm desde o sistema de clock até os terminais para conexão com o PC e a imunidade a ruído que permitem o uso imediato do processador.

A descrição detalhada do desenvolvimento desta etapa do trabalho será suprimida. Entretanto, o fluxograma e o respectivo programa do DSP são apresentados no anexo II.

O princípio do controle de corrente leva em consideração os valores nominais dos semicondutores a serem testados, valores estes que são pré-fixados no software de controle TSP (em linguagem LabVIEW). Portanto, a partir da escolha do tipo de componente testado, o software TSP (via placa de aquisição DAQCARD 1200) informa o DSP das configurações dos limites de corrente e índice de modulação do PWM. O índice de modulação que irá controlar a amplitude da onda senoidal é enviado para o DSP a partir de um canal analógico, com tensão DC variando de 0 e 5V (referente a 0 e a 100% de modulação respectivamente). Já o limite de corrente é enviado a partir de um Digital Port da DAQCARD 1200, contendo 4 bit's, possibilitando assim 16 limites de corrente a serem testadas. Um outro bit é enviado para o DSP para o controle de ligamento e desligamento do inversor, fazendo com que o algoritmo do DSP fique em espera.

A corrente de referência que o DSP recebe é a corrente que circula pelo DUT, sendo captada a partir do sensor hall de corrente CT-1, da LEM. Todos estes sinais sofrem um tratamento no que se refere aos níveis de entrada permissíveis ao DSP. Este tratamento é feito pelas placas de interface digital e de condicionamento de sinais analógicos que serão abordadas posteriormente.

A tabela 3.1 mostra os valores os bit's recebidos e interpretados pelo DSP e as respectivas correntes de limitação no DUT.

Palavra de 4bits - decimal	Palavra de 4bits - binário	1° Limite de Corrente	2° Limite de Corrente	Tipo de Componente
0	0000	0 mA	0 mA	Default
1	0001	200mA	220 mA	Siemens*
2	0010	90 mA	110 mA	Mitsubish**
3	0011	180 mA	200 mA	Genérico-180
4	0100	160 mA	180 mA	Genérico-160
5	0101	140 mA	160 mA	Genérico-140
6	0110	120 mA	140 mA	Genérico-120
7	0111	80 mA	90 mA	Genérico-50
8	1000	70 mA	80 mA	Genérico-70
9	1001	60 mA	70 mA	Genérico-60
10	1010	50 mA	60 mA	Genérico-50
11	1011	40 mA	50 mA	Mitsubish***
12	1100	35 mA	45 mA	Genérico-35
13	1101	30 mA	40 mA	Genérico-30
14	1110	25 mA	35 mA	Genérico-25
15	1111	20 mA	30 mA	Genérico-20

Tabela 3.1 – Codificação de limites de corrente de semicondutores

A Tabela acima apresenta, nas duas primeiras colunas, a palavra de 4 bits que será enviada pelo Digital Port da placa DAQCard 1200 (National Instruments), instalada no Laptop que executa o software TSP.

A terceira coluna indica um primeiro limite de corrente que, depois de ultrapassado, comanda o DSP a forçar uma saturação na tensão aplicada sobre o DUT. A quarta coluna indica um segundo limite, superior ao da terceira coluna,

* SCR BstT68H280S15 (fabricante Siemens)

** SCR FT1000BV-70 (fabricante Mitsubishi)

*** SCR FT500AH-70 e Diodos FD1000A-56 e FD500EV-70 (fabricante Mitsubishi)

que caso seja ultrapassado, cancelada automaticamente a tensão na saída do VSI, desabilitando o teste. Esta medida de segurança é aplicada caso o tiristor sob teste entre em “avalanche” de corrente, devido ao seu avançado estado de degradação.

3.3.2 – Filtro Passa Baixas

Como descrito anteriormente, na saída do VSI tem-se uma seqüência de pulsos modulados em PWM que contém a forma de onda senoidal de potência que será utilizada no teste. A extração da senóide é feita a partir de um filtro passa-baixas passivo, que pode ser visualizado como um sistema cuja dinâmica não permite variações bruscas no sinal trafegante. Deste modo, este filtro é utilizado para eliminar as componentes de altas freqüências de um sinal, permitindo apenas a passagem das componentes de baixas freqüências. O filtro passivo pode ser construído a partir de diversas configurações. A configuração mais utilizada em aplicações com inversores é a que emprega um indutor e um capacitor como elementos armazenadores de energia, que cria um sistema de 2ª ordem.

Tem-se na figura 3.7 a representação de um Filtro Passivo Passa-Baixas de 2ª ordem.

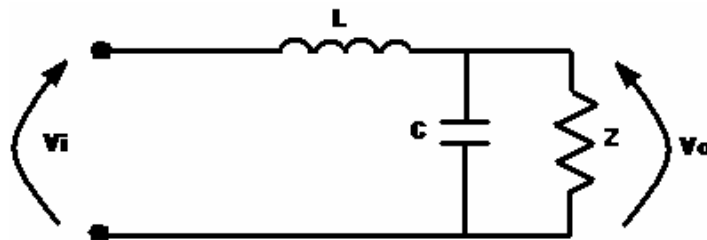


Figura 3.7 – Filtro passivo passa-baixas

A função de transferência do circuito pode ser descrita, em Laplace, como na equação 3.1:

$$\frac{V_o}{V_i} = \frac{\frac{1}{L.C}}{s^2 + s.\frac{1}{ZC} + \frac{1}{LC}} \quad (3.1)$$

O denominador da equação 3.1 pode ser comparado com o polinômio característico de sistemas de 2º ordem, dado pela equação 3.2.

$$s^2 + s.(2.\zeta.\omega_0) + \omega_0^2 \quad (3.2)$$

Assim, tem-se que:

$$\omega_0 = \frac{1}{\sqrt{L.C}} \Rightarrow f_0 = \frac{1}{2.\pi.\sqrt{L.C}} \quad (3.3)$$

$$\zeta = \frac{\sqrt{L/C}}{2.Z} \quad (3.4)$$

Da equação 3.3 pode-se perceber que a frequência de corte do filtro (f_0) depende apenas do valor da Indutância e da Capacitância. Porém, da equação 3.4, nota-se que o fator de amortecimento do circuito (ζ) depende, além da Indutância e da Capacitância, da Impedância da Carga.

De forma que a impedância do circuito não influencie na amplitude do sinal de saída, a frequência de corte do filtro é projetada com um valor superior ao necessário. Assim, deseja-se permitir a passagem apenas da componente de 60Hz, porém, projeta-se o filtro para o corte numa frequência superior a esta, como por exemplo 5kHz. A figura 3.8 (curva superior) representa o filtro passivo com corte em 60Hz (377rad/s). Nota-se que o pico de ressonância afeta

justamente a frequência que se deseja na saída do filtro. Ainda na figura 3.8 (curva inferior) representa-se o filtro passivo com corte em 5kHz ($3,1 \times 10^4$ rad/s). Nota-se que o pico de ressonância continua na região da frequência de corte, porém a componente de 60Hz encontra-se na região de resposta plana. Sendo assim a saída do filtro não será afetada pela variação de carga.

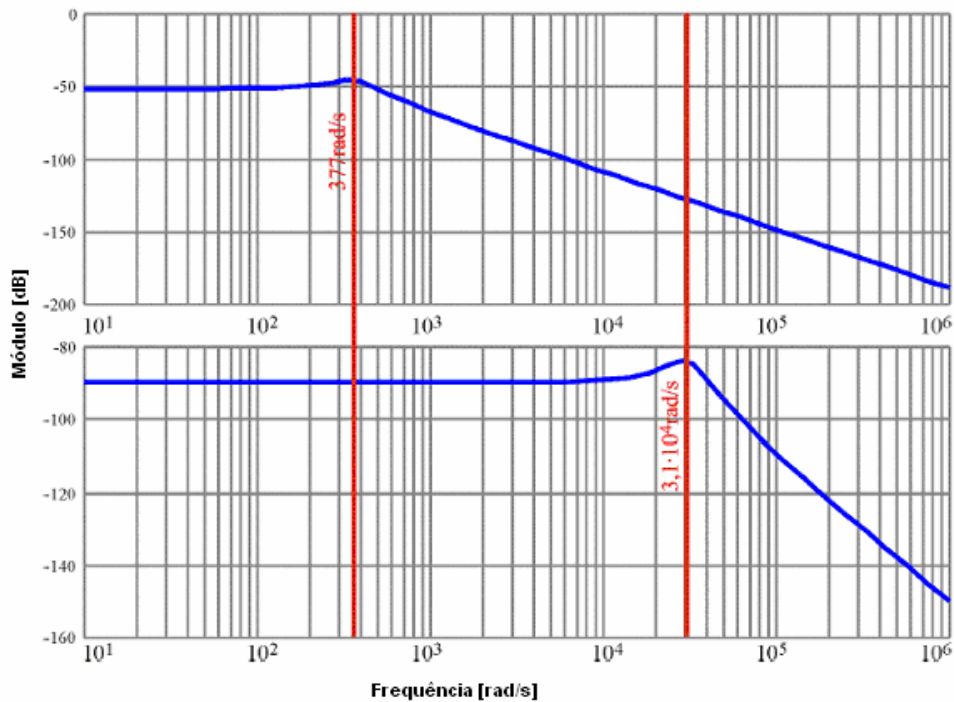


Figura 3.8 – Resposta em frequência típica para FPB com corte em 60Hz e 5KHz

O espectro de frequências do sinal PWM do VSI, bem como o efeito da filtragem podem ser visualizados na figura 3.9.

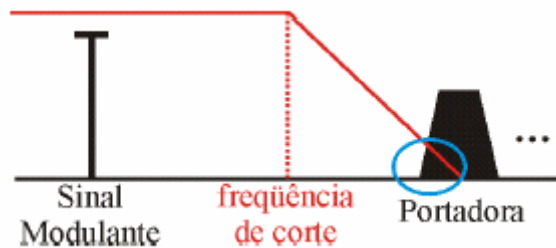


Figura 3.9 – Espectro de frequências do sinal do VSI e atuação do filtro.

Neste projeto, foi utilizado como filtro um indutor de $75\mu\text{H}$ (núcleo de ar) e um capacitor de $10\mu\text{F}/660\text{V}$, na configuração exposta na figura 3.7. Isto representa (pela equação 3.3) uma frequência de corte em torno de 5.8kHz .

3.3.3 – Transformador Elevador de Tensão

O transformador de alta tensão utilizado no circuito tem a função de elevar a amplitude da tensão senoidal aos níveis necessários de teste (da ordem de milhares de volts), já que a amplitude máxima da onda entregue pelo filtro tem valor de apenas 200V .

O transformador é constituído a partir de um enrolamento primário N_1 e outro secundário N_2 , interligados magneticamente por um núcleo de ferro. Quando o enrolamento primário é ligado a um circuito de corrente alternada, esta corrente cria um campo magnético proporcional a ela própria e ao número de voltas do enrolamento. Como a corrente é alternada, aparece um fluxo da variação deste campo na região do secundário que induz um campo elétrico, de forma que, quanto maior for o fluxo dessa variação, maior a intensidade do campo elétrico induzido em cada espira. A tensão no secundário é então proporcional ao campo elétrico induzido e ao número de voltas do enrolamento. Nos transformadores elevadores o enrolamento secundário N_2 tem número maior que o primário N_1 .

Neste projeto, as tensões e correntes necessárias para os testes dos semicondutores estão relacionados aos valores máximos de V_{RRM}/V_{DRM} e I_{RRM}/I_{DRM} , valores estes que giram em torno de 5KV e 200mA . Porém, levando em conta possíveis perdas do circuito e já prevendo futuras expansões na variedade de componentes a serem testadas, as especificações do transformador foram aumentadas para 7KV de tensão eficaz no secundário com corrente de 500mA . Estes dados foram repassados para uma empresa especializada, cujo transformador fabricado é mostrado na figura 3.10.

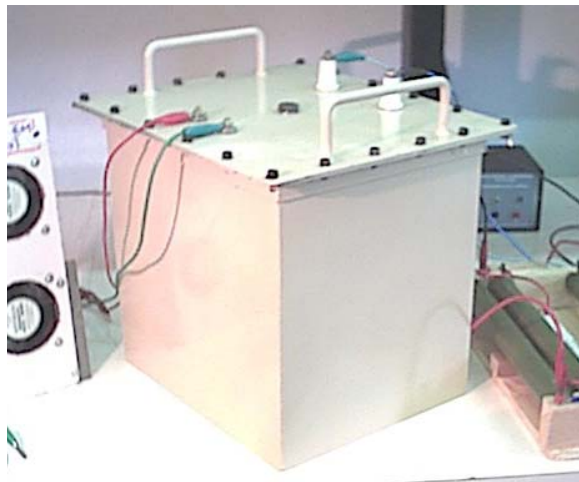


Figura 3.10 – Transformador elevador 220V/7KV – 3,5KVA.

3.3.4 – Diodos Retificadores e Resistências de Limitação e Polarização

Os diodos de retificação, bem como as resistências de polarização têm a função de produzir a meia onda senoidal que será aplicada sobre o DUT. Já a resistência de limitação proporciona uma restrição nos valores de corrente no circuito de alta tensão quando o semicondutor em teste atingir a região de breakdown ou eventualmente entrar em condução (curto-circuito). Estes componentes se localizam na saída do secundário do transformador de alta tensão devendo, portanto, suportar valores de tensões elevadas. A figura 3.11 ilustra a disposição destes componentes no circuito.

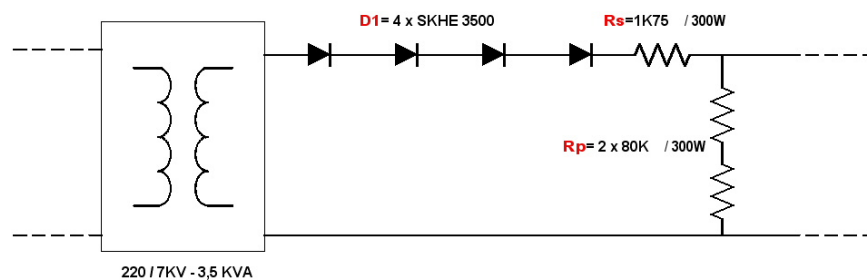


Figura 3.11 – Diodos de retificação e resistências de polarização e limitação.

Para a retificação da meia onda senoidal, quatro diodos de potência SKHE 3500 (Semikron) são colocados em serie de forma a se garantir a integridade destes componentes frente a altas tensões aplicadas. Para cada SKHE 3500, a tensão máxima suportada é de 8KV e a corrente eficaz nominal é de 2,5 A (45°C).

As resistências de polarização (R_p) garantem a passagem de uma corrente mínima pelos diodos durante o teste de modo a prover devida polarização. Foram utilizadas duas resistências em série de 80K Ω e 300W .

A resistência de limitação (R_s) restringe a corrente do circuito de alta tensão. O valor desta resistência é de 1,75K Ω e 300W. Esta resistência será efetivamente utilizada quando o SCR atingir a região de breakdown (finalizando assim o teste) ou quando o SCR apresentar degradação e conduzir durante o teste, atuando neste caso como uma restrição a corrente. A potência dissipada nesta resistência ocorrerá num intervalo de tempo muito pequeno, não apresentando assim grandes problemas de aquecimento.

3.3.5 – Contatores de Seleção

Os contatores de seleção são responsáveis pelo chaveamento do caminho da onda senoidal que é aplicado sobre o DUT, atuando semelhantemente a inversão manual dos terminais do semicondutor na base de fixação para cada tipo de teste. A figura 3.12 ilustra a disposição dos contatores no circuito e o chaveamento da meia onda senoidal aplicada no teste.

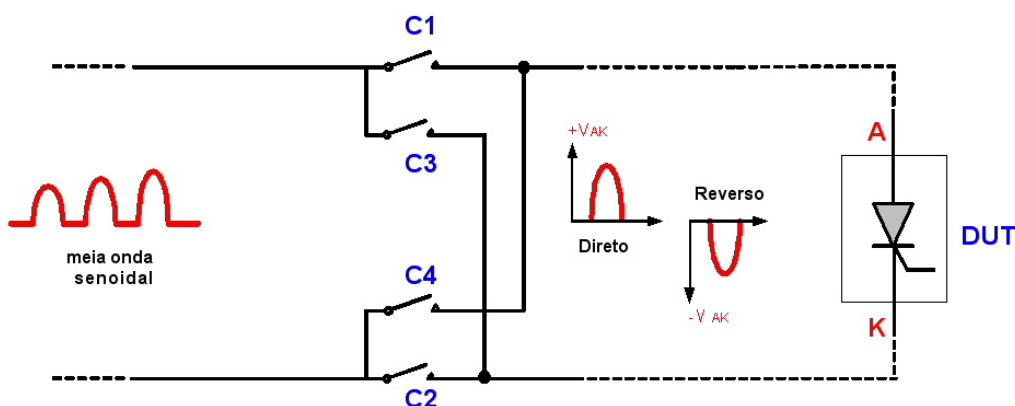


Figura 3.12 – Contatores para seleção entre teste direto ou reverso.

Os contatores C1 e C2, quando fechados, habilitam o teste direto, aplicando a meia onda senoidal positivamente entre Anodo-Catodo ($+ V_{AK}$). Já os contatores C3 e C4 são responsáveis pelo teste reverso do DUT ($- V_{AK}$). Estes contatores são controlados pelo software de controle TSP partir da placa de aquisição de dados e circuitos opto-acopladores.

Os contatores utilizados nesta função necessitam de uma alta tensão de isolamento, visto os níveis aplicados durante o teste. Porém, produtos com estas características são demasiadamente caros devido aos materiais envolvidos e a eventuais taxas de importação. De modo a solucionar este problema, uma série de adaptações mecânicas foi implementada em contatores de linha industrial (mais baratos e encontrados facilmente no comércio) obtendo-se, assim, as características de isolamento necessárias. Os contatores escolhidos são da linha industrial Sirius, da Siemens, da família 3TR1015.

Originalmente as características deste contator tripolar são:

- 3 contatos NA, 1 contato NF.
- Excitação de 220V/60Hz (aciona todos os contatos).
- Corrente nominal = 7 A.
- Tensão de isolamento especificada = 660V.

A figura 3.13 apresenta a fotografia do contator e seu esquema elétrico básico.

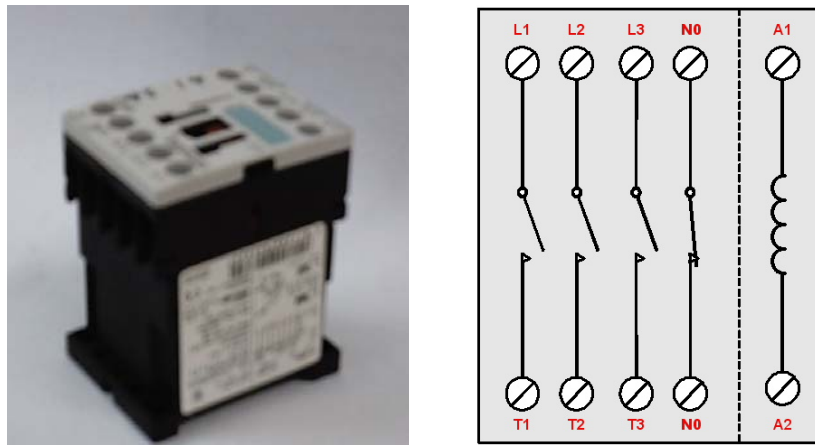


Figura 3.13 – Fotografia e esquema do contator 3TR1015 da Siemens.

Os contatores originais foram desmontados e suas estruturas, analisadas e submetidas a testes de alta tensão. Cada chave do contator possui dois gap's (fendas) providos de extintores de arco-voltaico (ranhuras). A tensão de isolação de cada contato testado individualmente atingiu cerca de 6.4KV (60Hz) a temperatura de 25°C. Dois contatos foram colocados em série resultando, portanto, em apenas um contato com maior capacidade de isolação ($\approx 12,8KV$). Os contatos não utilizados (um NA e outro NF) foram retirados do componente, aumentando assim o espaçamento entre as chaves remanescentes. Após a remontagem dos contatores modificados, estes foram submetidos a novos testes de alta tensão e verificada a capacidade de isolação prevista. A figura 3.14 mostra a fotografia de um contator desmontado e a nova configuração das chaves para alta tensão.

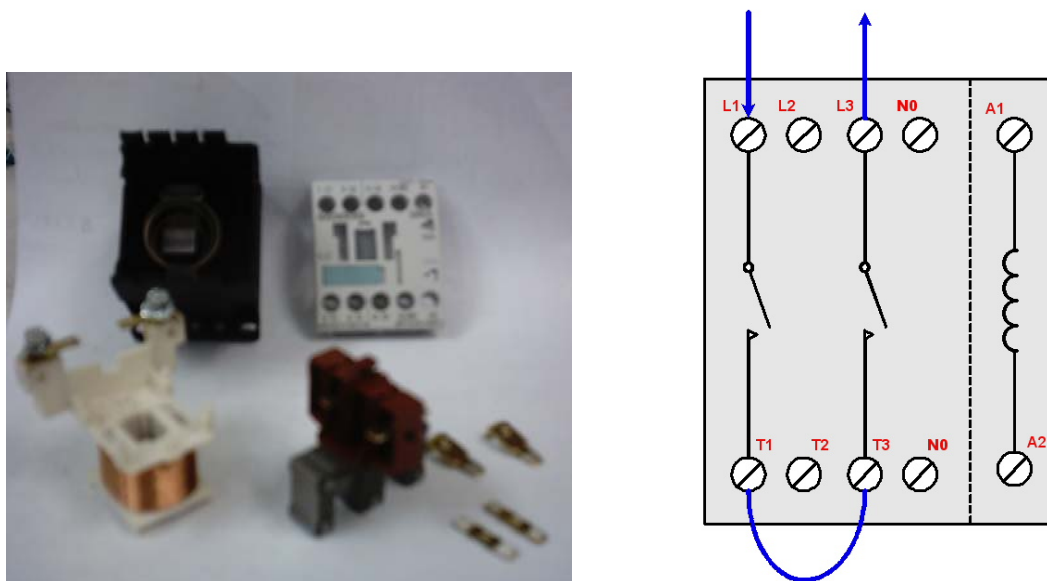


Figura 3.14 – Contator desmontado e configuração modificada para alta tensão.

Um conjunto de 12 (doze) contatores foi fixada sobre uma estrutura de material isolante (celeron – 300KV/cm) e interligados a partir de cabos de alta tensão (cabo coaxial RG59U – 75 Ω – 18KV/mm). Somente 4 (quatro) contatores são utilizados, sendo o restante reservado para futuras expansões no equipamento.

3.3.6 – Sensores de Tensão e Corrente de Efeito Hall

As tensões e correntes aplicadas sobre DUT são obtidas por meio de sondas especiais, que garantem a isolação galvânica do circuito de alta tensão com o circuito de controle e supervisão e ainda uma boa linearidade nos valores medidos. Os transdutores de tensão e corrente utilizados no equipamento são conhecidos como sensores de efeito hall.

O efeito Hall se caracteriza basicamente pelo aparecimento de um campo elétrico transversal em um condutor percorrido por uma corrente elétrica, quando este se encontra mergulhado em um campo magnético. Considere a Figura 3.15(a), onde um filme de material semiconductor é percorrido por uma corrente elétrica constante. A distribuição de corrente sobre o mesmo é uniforme, e não existe diferença de potencial na saída. Na presença de um campo magnético perpendicular (Figura 3.15(b)), o fluxo de corrente é distorcido. A distribuição resultante provoca o aparecimento de uma diferença de potencial entre os terminais de saída. Esta ddp é chamada de **tensão hall**.

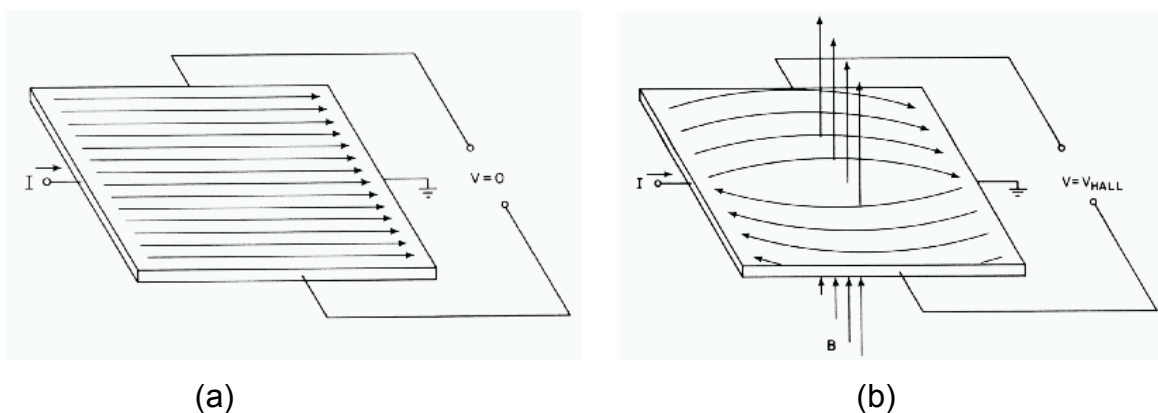


Figura 3.15 – Semicondutor percorrido por corrente constante: (a) sem fluxo perpendicular e sem ddp na saída; (b) com fluxo perpendicular e com ddp na saída.

Uma equação que descreve superficialmente a interação entre campo magnético, corrente e tensão hall é dada por:

$$V_H = K.I.B.\text{sen}(\theta) \quad (3.5)$$

Onde:

- K : Constante, definida pela geometria do elemento hall e pela temperatura ambiente.
- I : Corrente que flui através do elemento.
- $B.\text{sen}(\theta)$: Componente do campo magnético perpendicular ao filme.

A tensão hall é um sinal bastante fraco, da ordem de 20 a 30 μV , em um campo magnético de 1 gauss. Um sinal desta magnitude requer um amplificador com características de alta impedância de entrada, baixo ruído e ganho considerável. Os circuitos que providenciam estes ajustes geralmente já se encontram dentro do próprio sensor.

Na Figura 3.16 é mostrada uma curva que caracteriza qualitativamente o comportamento do sensor de efeito hall. Para valores de campo magnético além do alcance especificado, a resposta obtida não mais será linear, comprometendo assim a exatidão da medida, porém sem causar danos ao transdutor.



Figura 3.16 – Curva típica de resposta de sensores de efeito hall.

Transdutores de corrente por efeito hall são capazes de "enxergar" correntes DC, AC e formas de onda complexas. Uma característica importante é sua capacidade de realizar estas medidas estando isolado galvanicamente do circuito principal. As principais vantagens são o baixo consumo, pequeno tamanho

e peso. Perdas por inserção são praticamente nulas e sobrecorrentes não chegam a causar danos ao circuito de medida.

Existem dois tipos básicos de transdutores de efeito hall: os de corrente em laço aberto e os de corrente em laço fechado.

Um transdutor de corrente em laço aberto é ilustrado esquematicamente na Figura 3.17. Observa-se a presença de um gerador hall montado na fenda (gap) de um circuito magnético constituído por um toróide. O condutor transportando corrente passa através da abertura do toróide, e produz um campo magnético proporcional a esta. O toróide concentra o campo magnético sobre o elemento hall, cuja saída é amplificada. A linearidade desta configuração depende essencialmente das características do material magnético do toróide e da qualidade do gerador hall.

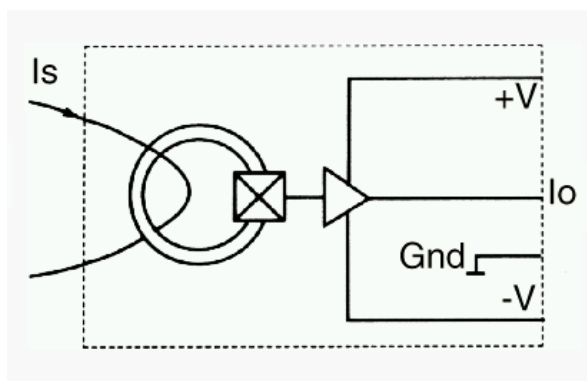


Figura 3.17 – Esquema básico de um sensor hall em laço aberto.

Na figura 3.18 é esquematizado um transdutor de corrente em laço fechado. Pode-se notar, como anteriormente, a presença do elemento hall montado no gap de um toróide de material magnético, através do qual passa o condutor transportando a corrente que se deseja medir. A diferença em relação ao caso anterior é que a saída do elemento hall (devidamente amplificada) passa por uma bobina enrolada sobre o próprio toróide, de forma a produzir um campo magnético igual em módulo, porém oposto ao original. Isto nos garante que o fluxo através do toróide será sempre próximo de zero. A saída do transdutor é um sinal de

corrente, que pode ser convertido para tensão conectando-se um resistor de carga. Esta técnica traz significantes melhorias ao desempenho do transdutor, eliminando efeitos da não-linearidade do núcleo magnético.

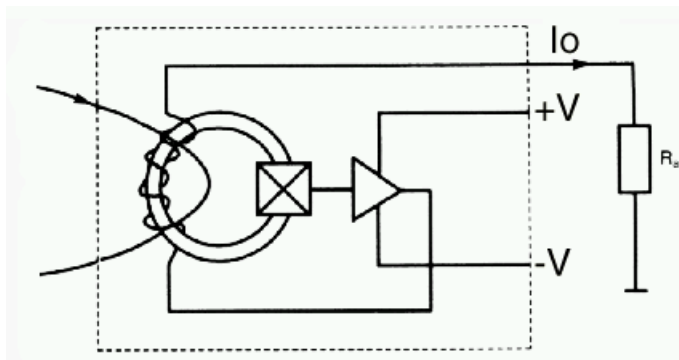


Figura 3.18 – Esquema básico de um sensor hall em laço fechado.

No equipamento testador de semicondutores de potência são utilizados dois sensores de efeito hall, um para medida de corrente que flui através do DUT e outro para a medida da tensão sobre este. O sensor de corrente é o CT-1T e o de tensão é o LV200-AW/2/6400, ambos do fabricante LEM. A principal característica destes transdutores é mostrada na tabela 3.2:

Características	LV200-AW/2/6400	CT-1T
Valor Nominal de Entrada	6400 V	1 A
Faixa de Valores de Entrada	0 ... ± 9600 V	0... ± 2 A
Relação de Conversão	6400V / 80mA	1A / 5V
Alimentação	±15 a ±24 V	±15V
Isolação Primário / Secundário	12KV (RMS)	6KV (RMS)

Tabela 3.2 – Principais características elétricas dos sensores de efeito hall.

Pode-se observar que a saída do sensor LV200-AW/2/6400 é uma corrente proporcional à tensão de entrada. Já o sensor hall CT-1T tem saída em tensão proporcional a corrente do primário.

Como a corrente a ser medida pelo CT-1T será de no máximo 250mA (maior corrente de fuga dos semicondutores a serem testados por este equipamento), o condutor que percorre o primário foi enrolado 3 vezes (3 voltas), de modo que a relação de conversão fica modificada para 333mA/5V.

A figura 3.19(a) mostra o sensor de efeito hall de corrente CT-1T, a figura 3.19 (b) o sensor de tensão LV200-AW/2/6400 e a figura 3.19 (c) a disposição destes componentes no circuito de teste.

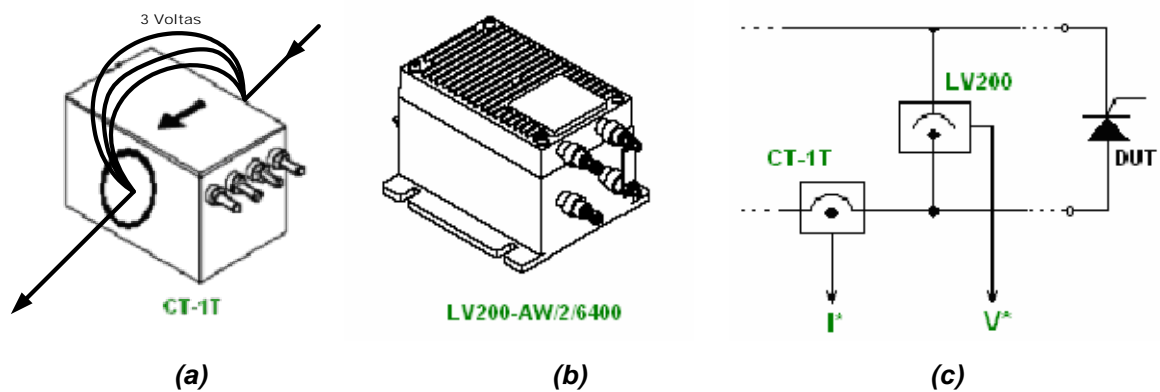


Figura 3.19 – Sensores hall utilizados no equipamento e disposições no circuito de teste.

3.3.7 – Circuitos de Amplificação, Condicionamento e Interface

Alguns circuitos específicos no equipamento testador que tem a função de adequar as características dos sinais (de comando ou medidas) à placa de aquisição de dados e ao próprio DSP. Os três circuitos principais, implementados em placas de circuito impresso, que são descritos a seguir:

- **Circuito de interface dos sensores hall:**

Este circuito faz a interface entre os sensores hall de tensão e corrente com as placas de aquisição (DAQCard 1200) e também o circuito de condicionamento analógico do DSP.

A figura 3.20 mostra o esquema completo deste circuito.

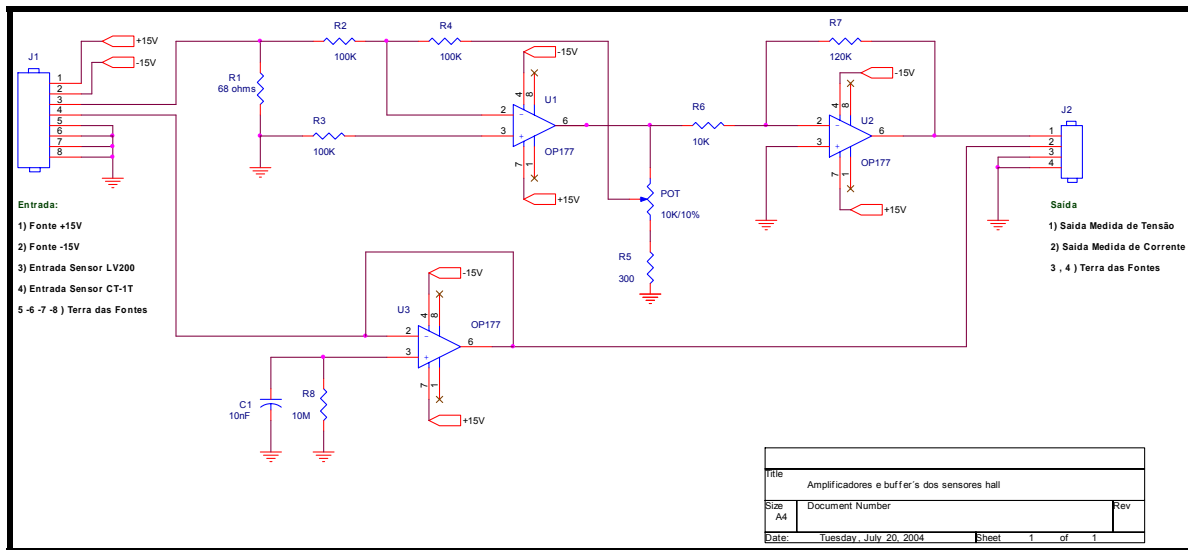


Figura 3.20 – Circuito de interface dos sensores de efeito hall.

A sonda de tensão LV200-AW/2/6400 possui saída em corrente, e portanto, deve ser convertida para tensão, de modo a ser obtida pela DAQCard 1200. Esta conversão é feita a partir do circuito de amplificadores operacionais de instrumentação OP177 (U1 e U2), mostrados na parte superior do esquema da figura 3.20. A corrente de saída do sensor hall é então convertida em uma tensão proporcional e amplificada de modo a se estabelecer uma escala de fácil conversão em relação à alta tensão na entrada do sensor LV200.

O sensor de corrente CT-1T tem saída em tensão proporcional a corrente do primário, necessitando somente de um circuito de “buffer” para prover um melhor casamento de impedância e suprimento de corrente adequada para a placa de aquisição e o circuito de condicionamento de sinais analógicos do DSP.

A relação de conversão entre as entradas das sondas LV200 e CT-1T com a saída do circuito de interface dos sensores hall é resumida na tabela 3.3:

Grandeza	Saída do Circuito	Medida Real
Tensão (V_{DUT})	1 V	1000V
Corrente (I_{DUT})	1V	66,6mA

Tabela 3.3 – Relação entre as medidas reais e as saídas do circuito de interface dos sensores hall.

Esta relação de conversão é utilizada para o ajuste de escala dos conversores A/D da placa de aquisição e do DSP.

- **Circuito de Condicionamento de Sinais Analógicos:**

A função deste circuito é adequar a faixa de excursão do Conversor Analógico/Digital do DSP à faixa de excursão da saída analógica da placa de aquisição DAQCard 1200 (National Instruments) e do sensor hall de corrente CT-1T (LEM).

O Conversor Analógico/Digital do DSP TMX320F2812 possui faixa dinâmica de 0 a 3V. A Saída analógica da placa DAQCard 1200 possui faixa dinâmica de 0 a 5V.

O Sensor hall de corrente CT -1T possui faixa dinâmica de -5V a 5V.

A Figura 3.21 mostra o circuito completo da **Placa de Condicionamento de Sinais Analógicos**.

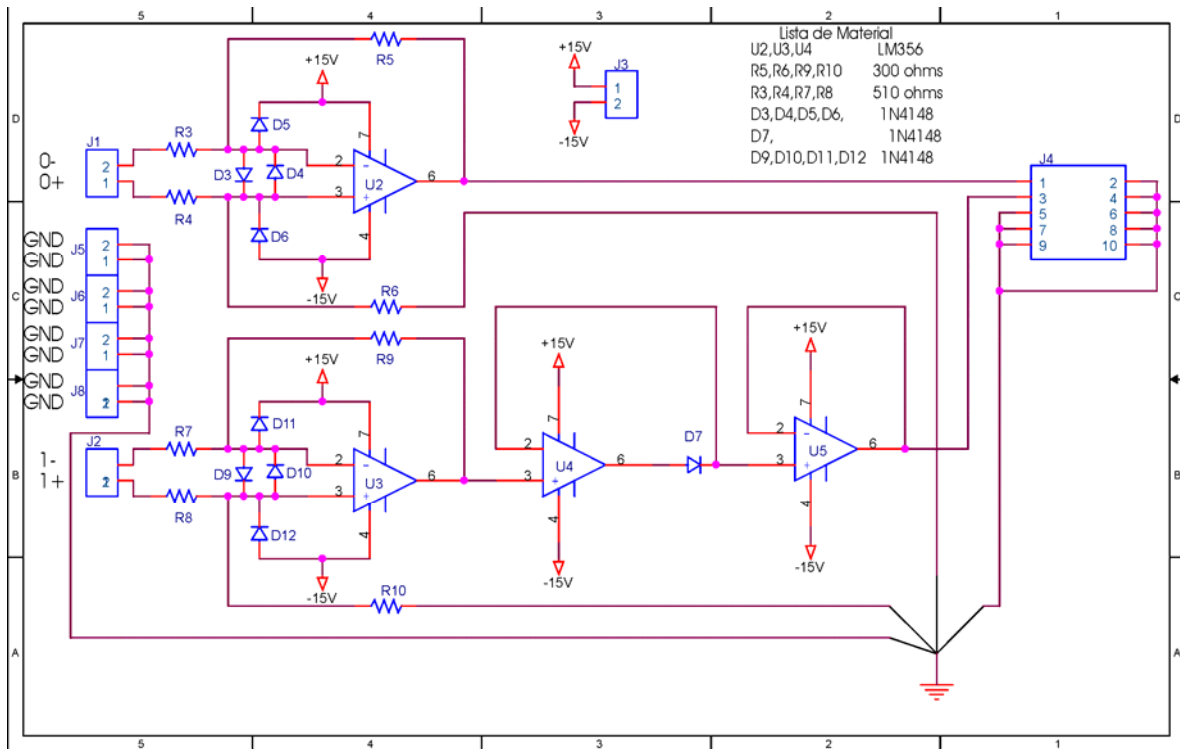


Figura 3.21 – Circuito de Condicionamento de Sinais Analógicos.

Para a conversão da faixa dinâmica da saída analógica da placa **DAQCard 1200** para a do **DSP** utiliza-se um circuito amplificador diferencial com ganho na relação **3/5**. O amplificador operacional 2 (AmpOp - U2) é o responsável por esta função. A configuração diferencial é utilizada por ser mais imune a ruídos, que podem contaminar o sinal antes da entrada do AmpOp. Caso este ruído seja igual em ambas as entradas, ele será eliminado, pois a tensão que vai ser amplificada é a subtração entre o potencial das entradas inversora e não inversora.

Pode-se notar ainda a presença de alguns diodos nesta parte do circuito. Estes diodos têm a função de proteger as entradas do AmpOp U2. **D₃** e **D₄** protegem contra SobreTensão de modo diferencial, ou seja, estes diodos não permitem que a diferença de tensão entre as entradas seja maior do que 0,7V. **D₅** e **D₆** protegem contra SobreTensão de modo comum, ou seja **D₅** não permite que a tensão nas entradas seja maior do que 15V com relação ao terra e **D₆** não permite que a tensão nas entradas seja menor do que -15V com relação ao terra.

Para a interface entre o sensor de corrente CT-1T e o DSP, é utilizado a mesma relação 3/5 (e também mesmo circuito) descrito anteriormente.

De acordo com o esquema da figura 3.1, devido ao diodo polarizador a corrente no sensor será sempre meia onda senoidal positiva. Porém, este diodo polarizador (assim como o próprio DUT) permite a circulação de uma pequena corrente de fuga. Esta corrente, embora muito pequena, é suficiente para produzir uma tensão menor do que 0V na saída do sensor hall de corrente. Esta pequena tensão negativa causa problemas consideráveis na aquisição de dados do DSP.

Deve-se, portanto, utilizar um circuito de proteção, que não permita a passagem de tensões negativas para o DSP. Para isto, utilizou-se um retificador de precisão implementado pelo AmpOp U4, de modo que nenhuma parcela negativa seja repassada para a saída (sem o efeito da barreira de potencial de 0,7V apresentada pelos diodos de sinal normais).

Para um melhor casamento de impedâncias entre o Conversor Analógico/Digital do **DSP** e o circuito retificador, um circuito “buffer” é implementado logo após o retificador de precisão.

- ***Circuito de Interface Digital:***

A função desta placa é adequar os níveis de tensão do Digital Port do DSP aos níveis de tensão digitais da placa DAQCard 1200 (National Instruments) e Driver SKHI22A do VSI.

O Digital Port do kit de desenvolvimento **eZdsp** trabalha com a seguinte representação de tensões:

- 1 (nível alto) : 3.3V;
- 0 (nível baixo) : 0V.

O Digital Port da placa DAQCard 1200 (National Instruments), instalada no PC que executa o software Testador, trabalha com a seguinte representação de tensões:

- 1 (nível alto) : 5V;
- 0 (nível baixo) : 0V.

O Driver SKHI22A é o circuito utilizado para fazer o controle do VSI, trabalhando com a seguinte representação de tensões:

- 1 (nível alto) : 15V;
- 0 (nível baixo) : 0V.

A função do Driver SKHI22A é amplificar os pulsos de gatilho do DSP, de forma que os IGBT's do VSI possam ser chaveados corretamente. Este driver também possui uma outra função: proteção para os IGBTs.

Caso alguma condição de chaveamento seja considerada inválida pelo driver, o mesmo emitirá um sinal de erro e não permitirá a passagem de pulsos para os IGBTs. O sinal de erro permanecerá ativado, enquanto os pulsos não forem cortados.

O esquema completo da placa de Interface Digital encontra-se na Figura 3.22.

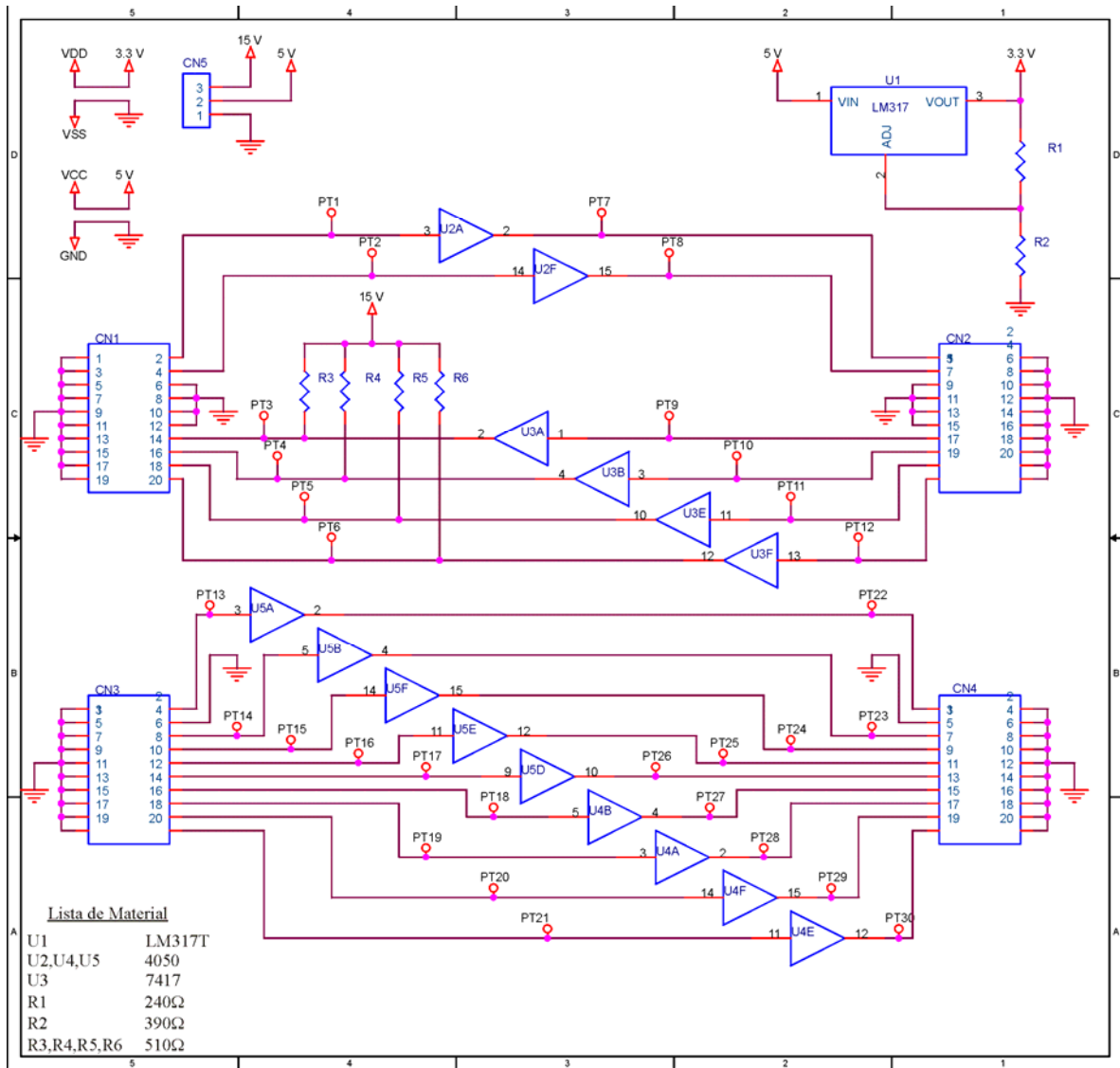


Figura 3.22 – Circuito de Interface Digital.

A Placa de Interface Digital pode receber até nove sinais da DAQCard 1200, convertendo-os para 3.3V e enviando-os ao DSP. Somente cinco bit's são efetivamente utilizados (quatro para seleção do tipo de SCR e um para o ON/OFF do DSP), reservando-se os outros quatro para futuras alterações.

Para realizar a interface utilizou-se um Buffer CMOS (4050) alimentado com 3.3V. Cada circuito integrado (CI) 4050 possui seis buffers não inversores. Portanto foram utilizados dois CI's.

O ajuste da tensão de alimentação de 15V para 3.3V é feito a partir de um regulador de tensão (LM317).

O Driver SKHI22A deve receber do DSP os pulsos de gatilho para os IGBT's. Assim, deve-se realizar uma conversão de 3.3V para 15V. Para realizar esta conversão, utiliza-se um buffer TTL não inversor de coletor aberto (7417), com pull-up ligado em 15V, conforme o esquema da figura 3.22.

Em condições de operação normais, o sinal de erro que o driver sinaliza deverá permanecer em 15V. Caso o driver detecte uma condição de chaveamento inválida, ele sinaliza erro enviando 0V pelo pino de erro.

Deve-se, portanto, converter estes sinais para os níveis de tensão que o DSP suporta. Isto também é feito através da utilização dos buffers CMOS alimentados com 3.3V.

3.3.8 – Placa de Aquisição de Dados

A placa de aquisição de dados é responsável por obter as informações de tensão, corrente e temperatura resultantes do teste, além de controlar os circuitos dos contadores (de seleção dos testes direto / reverso e de aquecimento) e do inversor (por meio do DSP). Assim, ela é responsável pela interface entre os circuitos de teste e o microcomputador, transformando informações analógicas em digitais e comandos virtuais em saídas digitais e analógicas, de modo que o software TSP possa controlar o equipamento. Para isto, a DAQ (Data Acquisition) possui conversores do tipo analógico para digital (ADC) e digital para analógico (DAC), portas digitais (digital port's), além de outros recursos como, por exemplo, temporizadores (timers).

A placa de utilizada é a DAQCard 1200 (National Instruments), que tem como vantagens a fácil integração como o ambiente de desenvolvimento LabVIEW, no qual o Software de controle foi implementado.

A utilização da DAQ, neste trabalho, poder ser resumida nos aspectos que se relacionam aos canais de entrada analógica (ADC), as portas digitais de controle (digital port's) e a saída analógica de controle do VSI (DAC).

- **Entradas Analógicas (ADC)**

Os dados adquiridos pelo ADC da DAQCard 1200 utilizam o processo de amostragem. Amostrar um sinal analógico significa registrar o valor deste sinal em intervalos de tempo discretos. A taxa de aquisição (registros por unidade de tempo) é conhecida como frequência de amostragem. O processo de amostragem gera valores do sinal em intervalos de tempo como mostrados na figura 3.23:

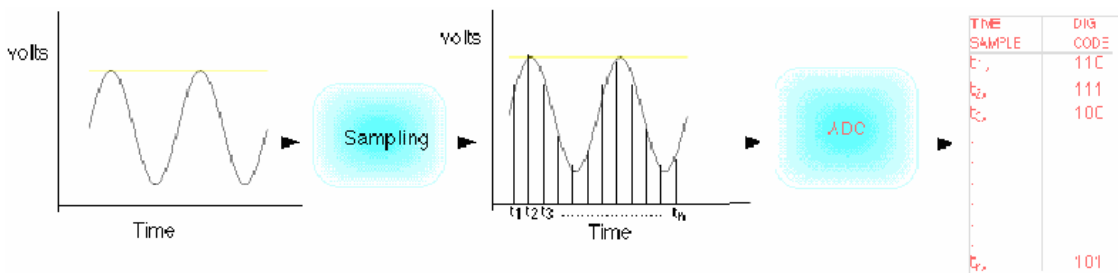


Figura 3.23 – Processo de amostragem e conversão analógico-digital.

A qualidade do sinal a ser convertida é diretamente proporcional a frequência de amostragem. A mínima frequência de amostragem exigida para representar um sinal deve ser igual a duas vezes a maior frequência contida no espectro deste sinal amostrado (esta taxa é conhecida como frequência de Nyquist).

No equipamento testador, existem três sinais que são amostrados pela DAQCard 1200: a corrente e tensão no DUT (ambos de 60Hz), e a temperatura. Utiliza-se, portanto, de 3 canais ADC dos 8 disponíveis na placa. Para a aquisição destes sinais, uma frequência de amostragem de 20KHz é ajustada na placa de aquisição através de um aplicativo de interface (chamado MAX), que será apresentado no capítulo 4. Esta frequência de amostragem garante uma boa qualidade do sinal a ser representado. O sinal de medida da temperatura também é amostrado, porém, com uma frequência de 2Hz (atualização a cada meio segundo), já que esta grandeza varia muito lentamente.

A precisão do sinal analógico de entrada convertido para o formato digital depende do número de bit's que o ADC utiliza para a sua representação. Quanto

maior a resolução, maior o número de divisões na faixa dinâmica representativa do sinal, detectando-se assim menores mudanças no sinal de entrada. O bit menos significativo (LSB – least significant bit) é definido como o menor incremento de tensão que o ADC pode converter. A figura 3.24 ilustra a resolução de um ADC de três bit's. Caso o fundo de escala (FS) do sinal seja 10V, então o LSB para o ADC de três bit's corresponde a: $10 / 2^3 = 1.25V$.

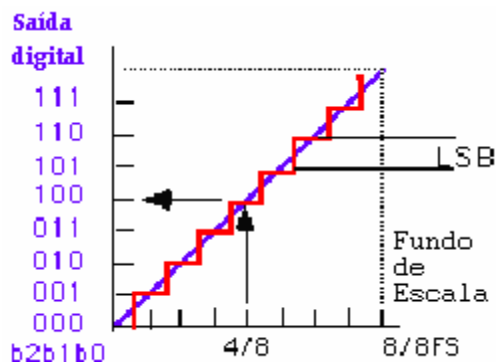


Figura 3.24 – Resolução de ADC de 3bit's.

A DAQCard 1200 possui resolução de 12 bit's . Os sinais de tensão e corrente provenientes da placa de condicionamento dos sensores hall são ajustadas para um fundo de escala de 10 V unipolar. Portanto, a resolução dos sinais é de:

$$10V / 2^{12} = 2.44 \text{ mV.}$$

O canal para aquisição da tensão é ACH0 (pin1), o canal de corrente é o ACH1 (pin2) e o de temperatura é o ACH2 (pin3), todos referenciados ao terra analógico AGND (pin11).

- **Portas Digitais de controle (Digital Port's)**

Os comandos do Software TSP para os contadores, sensores de abertura e o DSP são executados através das saídas digitais da placa de aquisição (digital port's).

Existem 3 port's digitais bidirecionais (8 bit's cada) na placa da DAQCard 1200, compatíveis com os níveis TTL. Todos os bits são referenciados ao terra digital (DGND) no pino 13 do conector da placa. Eles são divididos em:

Port A: Este port é definido como saída (através da interface MAX). É usado para controlar os contatores de seleção dos testes (direto ou reverso) e o contator de ligamento da resistência de aquecimento. Os bit's e os respectivos pinos do conector são descritos abaixo:

- PA0 (pin14) = Contator 1 (Dir)
- PA1 (pin15) = Contator 2 (Dir)
- PA2 (pin16) = Contator 3 (Rev)
- PA3 (pin17) = Contator 4 (Rev)
- PA4 (pin18) = Não utilizado
- PA5 (pin 19) = Não utilizado
- PA6 (pin20) = Não utilizado
- PA7 (pin 21) = Contator Aquecimento

Port B: É definido como entrada. Somente um bit desta porta digital é utilizado, ficando os demais reservados para futuras alterações. É utilizado na verificação do estado de abertura da porta da caixa do sistema de fixação, cujo sinal provém de uma chave NF.

- PB0(pin 22) = verificação do estado de abertura da porta.
- PB[1..7] (pin 23..29) = Não utilizado.

Port C: É definido como saída. É utilizado para fazer o controle de ligamento do VSI através do DSP, além de enviar informações a este sobre os níveis de corrente permissíveis no teste, para os componentes a ser testados. Existem quatro bit's de informação sobre os limites do componente e um bit de controle de ligamento/desligamento do DSP. Estes bit's são descritos abaixo:

- PC0 (pin30) = D0 (tipo de DUT).
- PC1 (pin31) = D1 (tipo de DUT).
- PC2 (pin32) = D2 (tipo de DUT).
- PC3 (pin33) = D3 (tipo de DUT).
- PC4 (pin34) = Não utilizado.
- PC5 (pin35) = Não utilizado.
- PC6 (pin36) = Não utilizado.
- PC7 (pin37) = ON/OFF DSP.

- **Saída Analógica (DAC)**

A DAQCard 1200 possui dois canais DAC. Estes canais permitem que a placa de aquisição gere sinais analógicos DC ou AC. Assim como no ADC, o desempenho do DAC é limitado pelo número de amostras que pode ser gerado e pelo número de bit's que é usado para converter o código digital no sinal analógico.

Para efeito de ilustração, a figura 3.25 mostra como um sinal senoidal é tratado por um DAC de três bit's.

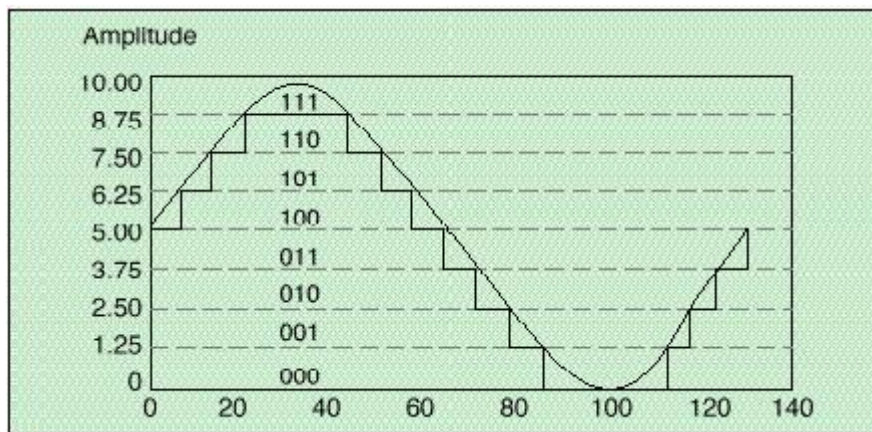


Figura 3.25 – Senóide gerada por DAC de 3 bit's.

Os conversores digital-analógico da DAQCard 1200 tem frequência de atualização (dos valores de saída) de até 1KS/s (1000 amostras por segundo). Porém, o sinal analógico que deve ser entregue ao DSP varia muito lentamente, visto que a informação necessária é apenas o índice de modulação que deve ser aplicado ao VSI. A atualização desta tensão é feita de acordo com o tempo de execução da rotina do software TSP (aproximadamente 50ms). Este nível varia de 0V a 5V, representando um índice de modulação para o PWM de 0% a 100%, respectivamente. O canal utilizado é o DAC0_{out} (pin10) com referência em AGND (pin11).

3.3.9 – Sistema de Fixação e Aquecimento dos Semicondutores

O sistema de fixação é usado durante os testes individuais dos semicondutores, quando se seleciona no software os modos “teste em bancada com aquecimento” ou “teste em bancada sem aquecimento”. Neste sistema de fixação estão localizados os eletrodos de aplicação da alta tensão que fixam o DUT a partir de uma alavanca de pressão, propiciando o contato necessário para o teste. Nele também está localizado o sistema de aquecimento e sensores de temperatura que possibilitam o controle do ensaio de aquecimento. Um sensor de abertura atua como dispositivo de segurança do operador do equipamento. Caso a porta da caixa do sistema de fixação seja aberta durante o teste, o software TSP detecta esta abertura e o ensaio é imediatamente cancelado. A figura 3.26 mostra a fotografia do sistema de fixação do equipamento.

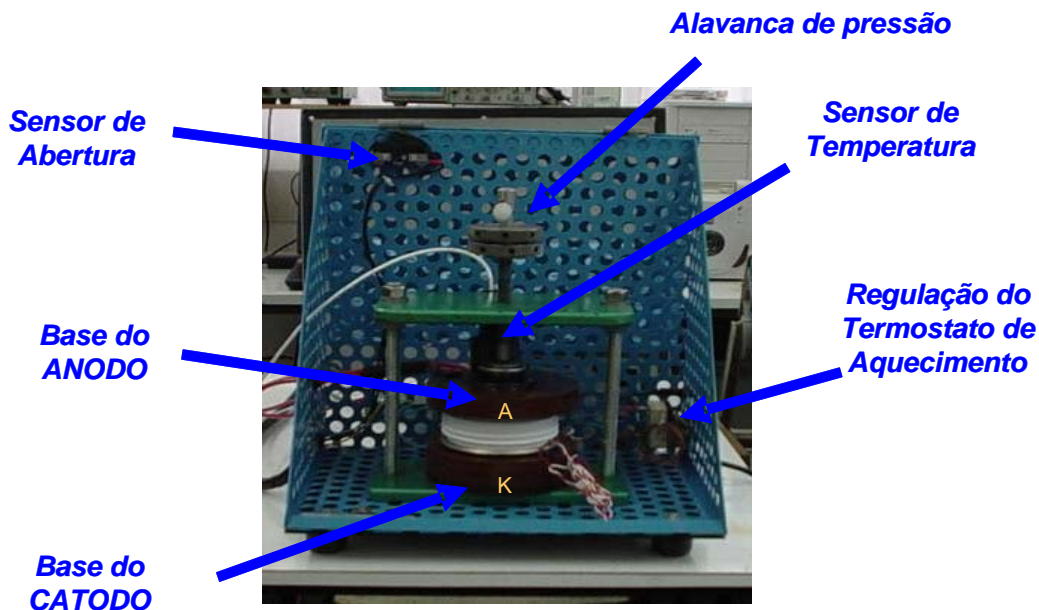


Figura 3.26 – Sistema de fixação dos semicondutores.

O sistema aquecimento deve elevar a temperatura da junção dos semicondutores próxima aos valores de operação (aproximadamente 90°C). Para isto, uma resistência de aquecimento de 180W/220V é colocada na base de fixação e isolada eletricamente do eletrodo de alta tensão. O material utilizado

para esta isolamento é o Feldespato, também conhecido como mica indiana, que possui grande isolamento elétrico e boa condução térmica ($300\text{KV/mm} - 800^{\circ}\text{C}_{\text{MAX}}$).

O aquecimento deve ocorrer de forma uniforme no semicondutor. Assim, o sistema de controle de ligamento da resistência de aquecimento é feito por meio de dois contatos em série, um controlado pelo software TSP (através de um contator 3TR1015 - Siemens) e outro controlado por um termostato inserido na base de fixação. O termostato deve ser ajustado de forma a abrir o contato quando a temperatura na base de fixação atingir o aquecimento desejado. O sensor óptico de temperatura (modelo OS101-MV) que está localizado na parte superior do sistema de fixação, possui relação de conversão de $1\text{mV}/^{\circ}\text{C}$, cujos dados são captados por um canal analógico da placa de aquisição.

Assim, a temperatura monitorada e enviada para o software TSP (que controla o outro contato em série) é referente ao equilíbrio térmico entre a base de fixação e o DUT. Assim garante-se que toda a junção do semicondutor se encontra na temperatura ajustada para o teste, nunca ultrapassando a temperatura máxima permitida. A figura 3.27 ilustra o controle e a disposição da resistência de aquecimento no sistema de fixação.

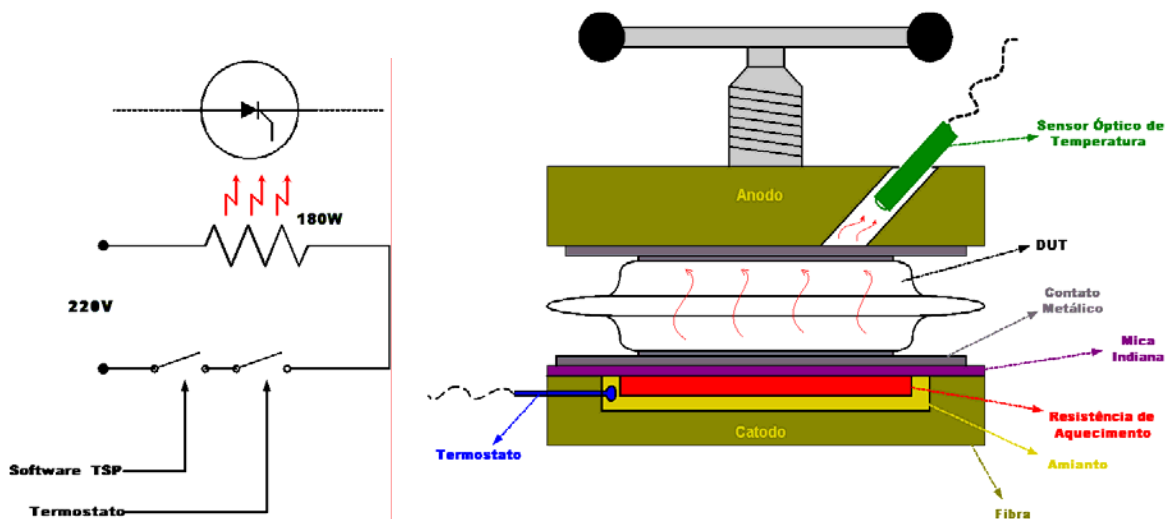


Figura 3.27 – Aquecimento do DUT no sistema de fixação.

Capítulo 4

Software de Controle

Neste capítulo são apresentados os conceitos de instrumentação virtual, os fundamentos da linguagem de programação LabVIEW e o desenvolvimento do software de controle TSP, responsável pelo gerenciamento dos testes sobre os semicondutores de potência.

4.1 – Introdução aos Instrumentos Virtuais

Atualmente, processadores poderosos trabalhando em conjunto com sistemas operacionais multitarefas com interface gráfica (Windows, Mac OS, SUN, Linux), constituem uma excelente plataforma para os chamados “*Instrumentos Virtuais*” (do inglês *Virtual Instruments* ou simplesmente *VI's*).

Tem-se observado uma grande evolução na utilização de Instrumentos Virtuais. Muitos instrumentos convencionais (caros e não flexíveis) tem sido substituídos por instrumentos virtuais, que podem ser facilmente configurados para as mais variadas necessidades. Além disso, a plataforma dos instrumentos virtuais é modular, proporcionando uma grande flexibilidade no projeto de um sistema, facilitando uma eventual manutenção e viabilizando o reaproveitamento para outras aplicações.

Os instrumentos virtuais não se restringem apenas à coleta de dados, mas também na análise e controle de processos de diferentes tipos, podendo ser utilizada em inúmeras áreas, desde instrumentação industrial a áreas de pesquisa científica, automobilísticas, espacial, entre outras. A figura 4.1 demonstra um equipamento virtual (osciloscópio) executado a partir de um PC.

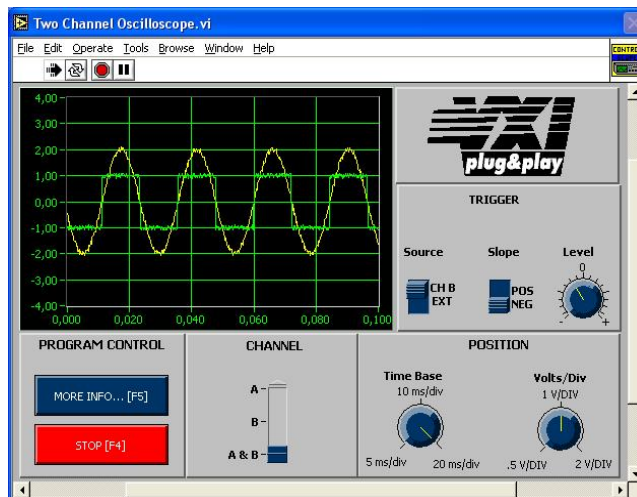


Figura 4.1 – Osciloscópio Virtual desenvolvido com software LabVIEW.

Na área de instrumentação virtual, a National Instruments oferece boas alternativas de hardware (por exemplo, a placa de aquisição de dados DAQCard 1200, utilizada neste projeto) e principalmente de software, como o ambiente de desenvolvimento *LabVIEW* (Laboratory Virtual Instrument Engineering Workbench).

O Labview é um ambiente de desenvolvimento visual cuja filosofia de programação gráfica, terminologia e ícones permite que programadores sem muita experiência possam desenvolver aplicativos de forma rápida e eficaz. Além disso, fornece facilidades de integração com hardwares de aquisição e controle. A configuração dos hardwares de aquisição é feita através de um aplicativo, chamado “*Measurement & Automation Explorer*” (ou simplesmente MAX). Este software provê a interface entre o LabVIEW e os hardwares de aquisição da National de forma muito simples, necessitando apenas de informações como número de canais analógicos e digitais, tipo de sensores utilizados, faixa dinâmica de operação de sensores e atuadores, etc. Não são necessárias configurações complexas como informações sobre interrupção de determinada placa ou registros relacionados a elas, já sendo estas informações automaticamente reconhecidas e configuradas pelo MAX. A figura 4.2 mostra a interface do aplicativo MAX.



Figura 4.2 – Interface do Measurement & Automation Explorer.

4.2 – A Linguagem de programação LabVIEW

O LabVIEW é uma linguagem de programação gráfica que utiliza ícones ao invés de linhas de texto para criar aplicações. Ao contrario de linguagens de programação nas quais instruções determinam a execução do programa, o LabVIEW utiliza programação por fluxo de dados, nos quais os dados determinam a execução. A interface com o usuário é construída através do uso de um conjunto de ferramentas e objetos. Esta interface com usuário recebe a denominação de “painel frontal”. Para controlar e receber informações dos objetos do painel frontal são utilizados códigos com representações gráficas de funções. Estas funções (ícones) são alocadas no diagrama em blocos, que representa o código fonte do aplicativo. Este diagrama em blocos, se organizado corretamente, assemelha-se a um fluxograma.

O LabVIEW permite criar aplicações compiladas de 32 bits, possibilitando aplicativos eficientes para aquisição de dados, testes, medições e soluções em controle. Também permite a criação de programas executáveis e bibliotecas compartilhadas como DLL’s (Dynamic Link Library). Existem ainda mecanismos

que proporcionam a conexão com códigos externos, através das DLL's, Active X e outros recursos ^[10].

Durante o desenvolvimento, opções de depuração estão disponíveis para eventuais verificações de erros, como por exemplo, inserção de pontos de parada (breakpoints), execução animada e execução passo a passo.

As principais vantagens do emprego deste software podem ser resumidas em:

- Redução do tempo de desenvolvimento de aplicações, pois apresenta uma terminologia intuitiva e de fácil aprendizagem.
- Torna o sistema flexível, permitindo modificações e atualizações tanto de software quanto de hardware.
- Permite ao usuário criar soluções complexas e completas.
- Num único ambiente de desenvolvimento é possível integrar funções de aquisição, análise, arquivamento e apresentação gráfica de dados, além de permitir a automatização e controle do sistema a que pertence.
- Permite a interface com outros aplicativos e incorporar aplicações escritas em outras linguagens.

Porém, uma das grandes desvantagens do LabVIEW é o que diz respeito a velocidade de execução. Esta característica fica mais evidente quando se trabalha com aquisição e análise de dados em tempo real. Pelo fato ser um aplicativo que contém funções já pré-compiladas, muitas não são otimizadas para determinadas aplicações. Outro fato que deve ser levado em conta é que o LabVIEW roda sobre plataformas multitarefas, onde outros aplicativos que podem estar sendo executados em paralelo influenciam na velocidade de execução. Isto é agravado ainda mais dependendo da velocidade do processador em uso.

A National Instruments oferece recursos de desenvolvimento em tempo real para o LabVIEW (LabVIEW Real-Time Module), que inclui bibliotecas de funções e hardwares específicos. Este módulo deve ser adquirido separadamente e é relativamente caro, o que inviabilizou sua utilização neste trabalho.

Estas características, porém, não influenciaram de maneira comprometedoramente o desempenho do software. Sendo assim, todo o projeto foi construído a partir da biblioteca padrão do LabVIEW 6i.

As características e facilidades do LabVIEW justificam a escolha desta plataforma para o desenvolvimento do software de aquisição e controle do equipamento Testador de Semicondutores de Potência.

4.2.1 – Características do LabVIEW 6i

Os programas criados a partir da plataforma LabVIEW (conhecidos como instrumentos virtuais ou “VI’s”) recebem esta denominação devido a semelhança entre a interface com o usuário e os instrumentos reais. Estes VI’s utilizam funções que manipulam dados de entradas (provenientes da interface com o usuário ou outras fontes), exibindo os resultados de forma visual em tela ou movendo-os para diferentes arquivos, programas ou até mesmo outros computadores.

Um VI contém os seguintes componentes:

- Painel Frontal – Interface com o usuário.
- Diagrama em Blocos – Código gráfico de funções.
- Hierarquia de VI’s – Painel de Identificação da hierarquia das VI’s.

A figura 4.3 mostra a tela de inicialização do software de desenvolvimento LabVIEW 6i:



Figura 4.3 – Tela de inicialização, com opções de ação, do LabVIEW 6i.

- **Painel Frontal:**

O painel frontal é a interface do usuário na VI. É possível construir o painel frontal com controles e indicadores, que são os terminais de entrada e saída interativos do “VI”, respectivamente. Os controles simulam dispositivos de entrada e fornecem informações para o diagrama em blocos tendo aspecto de botões, chaves push-bottons, dial’s e outros dispositivos de comando. Os indicadores simulam dispositivos de saída e exibem informações adquiridas ou geradas pelo diagrama em blocos, sendo semelhantes, por exemplo, a telas gráficas, display’s e LED’s.

Como exemplo, na figura 4.4, tem-se o painel frontal de uma “VI” que simula a aquisição e análise de temperatura de determinado equipamento.



Figura 4.4 – Painel Frontal de um “VI” de aquisição e análise de temperatura.

- **Diagrama em Blocos**

O diagrama em blocos é local onde se encontra o código fonte da “VI”. No diagrama em blocos são alocadas funções juntamente com os terminais dos controles / indicadores já criados no painel frontal (todo controle ou indicador no painel frontal tem um terminal correspondente no diagrama em blocos). A interligação entre os blocos, mais as estruturas de programação, é que constituem as instruções do “VI”. As estruturas e funções utilizadas no diagrama em blocos estão disponíveis na biblioteca de referência do LabVIEW, e são acessadas a partir da palheta de funções.

A figura 4.5 apresenta a tela do diagrama em blocos da “VI” de aquisição e análise de temperatura do exemplo anterior.

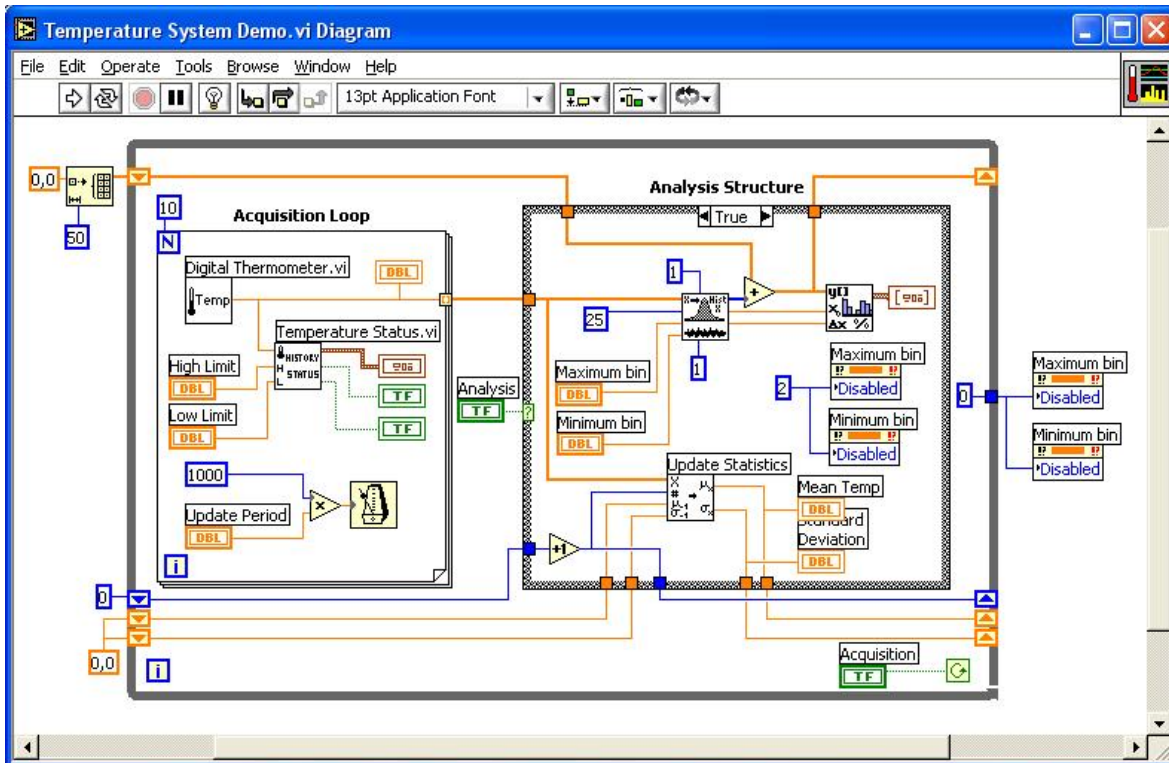


Figura 4.5 – Diagrama em blocos do “VI” de aquisição e análise de temperatura.

- **Hierarquia de VI’s:**

Este painel identifica a hierarquia de uma determinada “VI” que está sendo utilizada em relação a outras VI’s utilizadas no mesmo programa. Quando determinado trecho de uma “VI” é agrupado para desempenhar determinada função, cria-se a chamada *subVI*. As *subVI*’s são semelhantes as sub-rotinas da programação baseada em texto, e o nível de atuação dentro do programa é que determina a hierarquia destas VI’s ou *subVI*’s.

A figura 4.6 demonstra a tela de hierarquia da “VI” de aquisição e análise de temperatura dos exemplos anteriores.

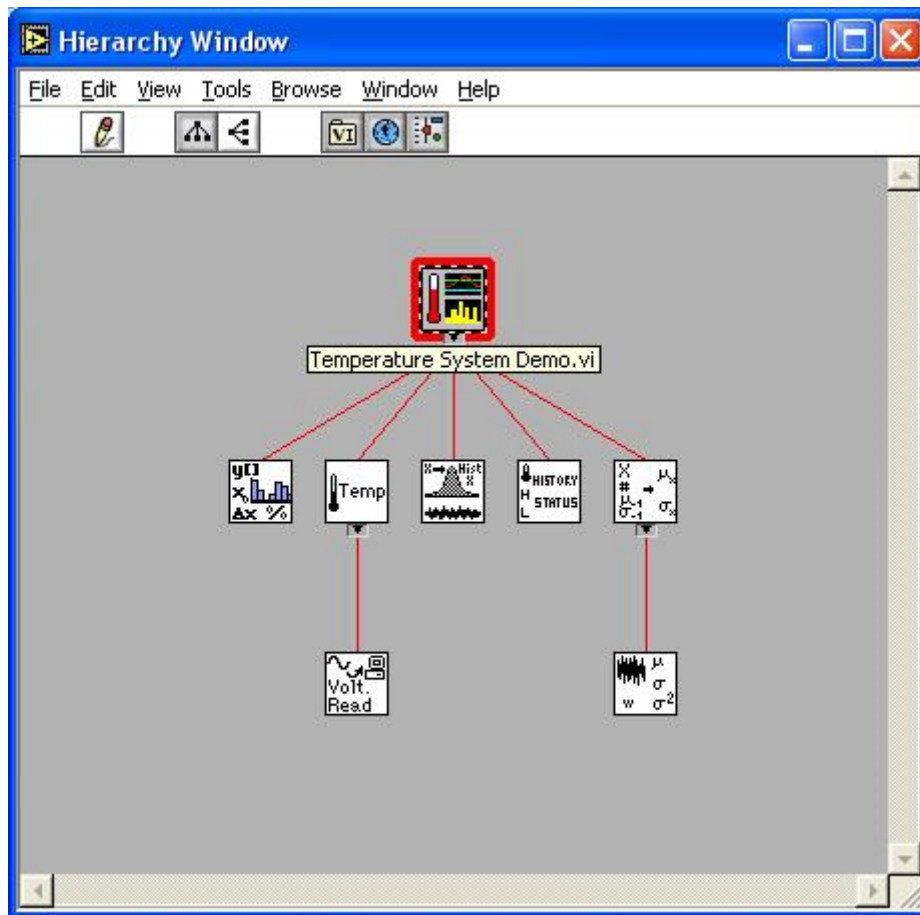


Figura 4.6 – Tela de hierarquia do “VI” de aquisição e análise de temperatura

4.2.2 – Ferramentas do LabVIEW 6i

As ferramentas de construção das VI's pelo LabVIEW são apresentadas a partir de palhetas. Estas palhetas contêm os recursos para criação tanto do painel frontal quanto do diagrama em blocos. As palhetas pertencentes à versão 6i do LabVIEW são descritas a seguir

- **Palheta de ferramentas (Tools Palette)**

Contém as ferramentas necessárias para editar e depurar os objetos tanto no painel frontal quanto no diagrama em blocos.

A figura 4.7 mostra a palheta de ferramentas com a descrição de cada componente.

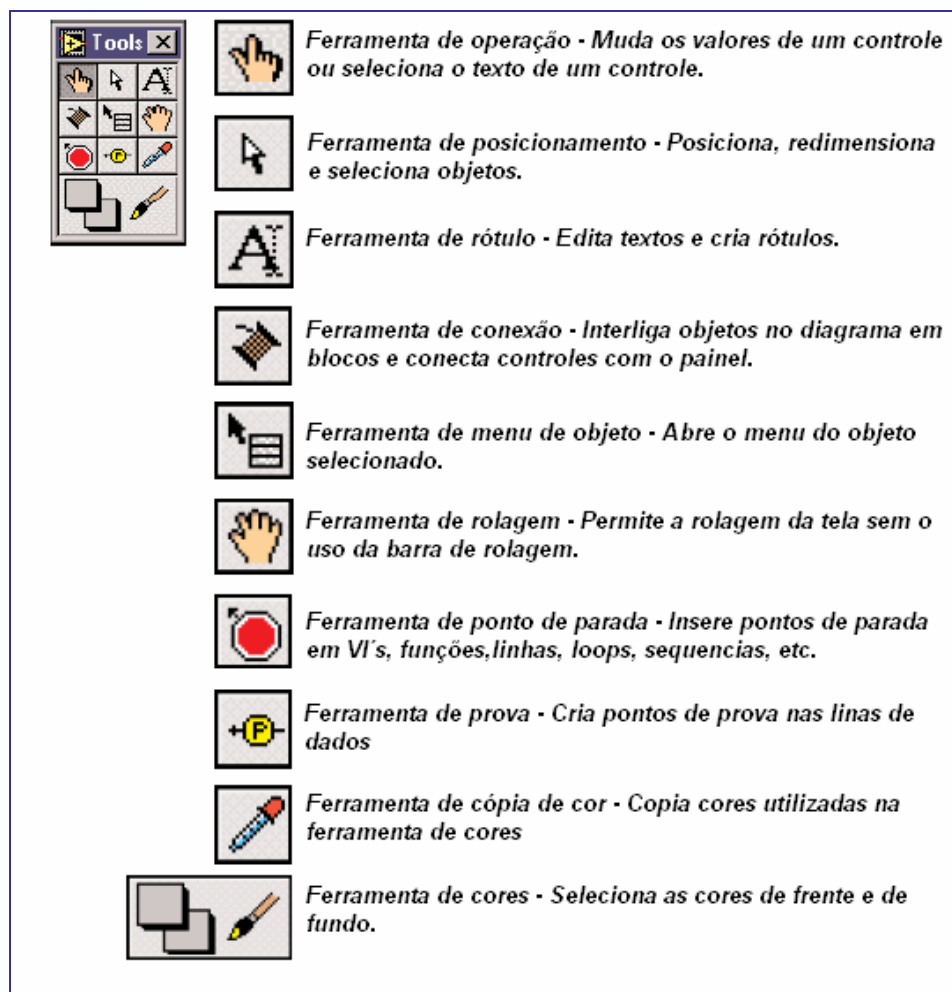


Figura 4.7 – Funções da palheta de ferramentas

- **Palheta de Controle (Controls Palette)**

São utilizadas somente no painel de controle. Contêm controles e indicadores utilizados para criar a interface como o usuário. Tanto os controles como os indicadores podem ser modificados e gravados para futuras aplicações, possibilitando a criação de novas bibliotecas pelo programador.

A figura 4.8 ilustra a palheta de controle do LabVIEW 6i.

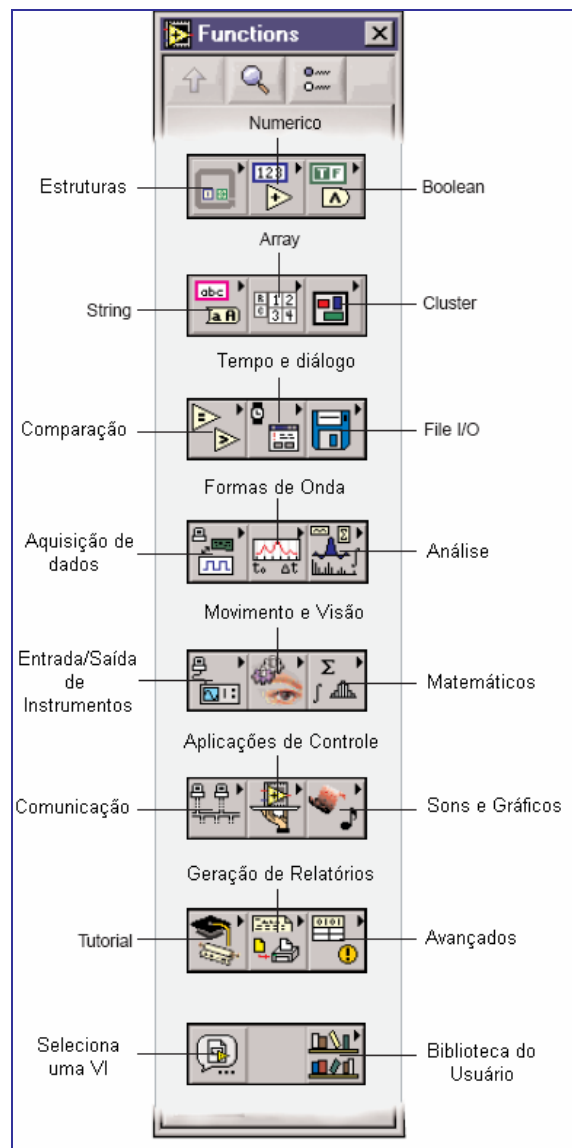


Figura 4.8 – Palheta de controle

- **Palheta de Funções (Functions Palette)**

A palheta de funções é utilizada no desenvolvimento do diagrama em blocos. Nela estão contidos todos os objetos empregados na construção código fonte da “VI”, como as estruturas de decisão, funções matemáticas, de aquisição de dados, de arquivamento, dentre outras.

A figura 4.9 mostra a palheta de funções do LabVIEW 6i.

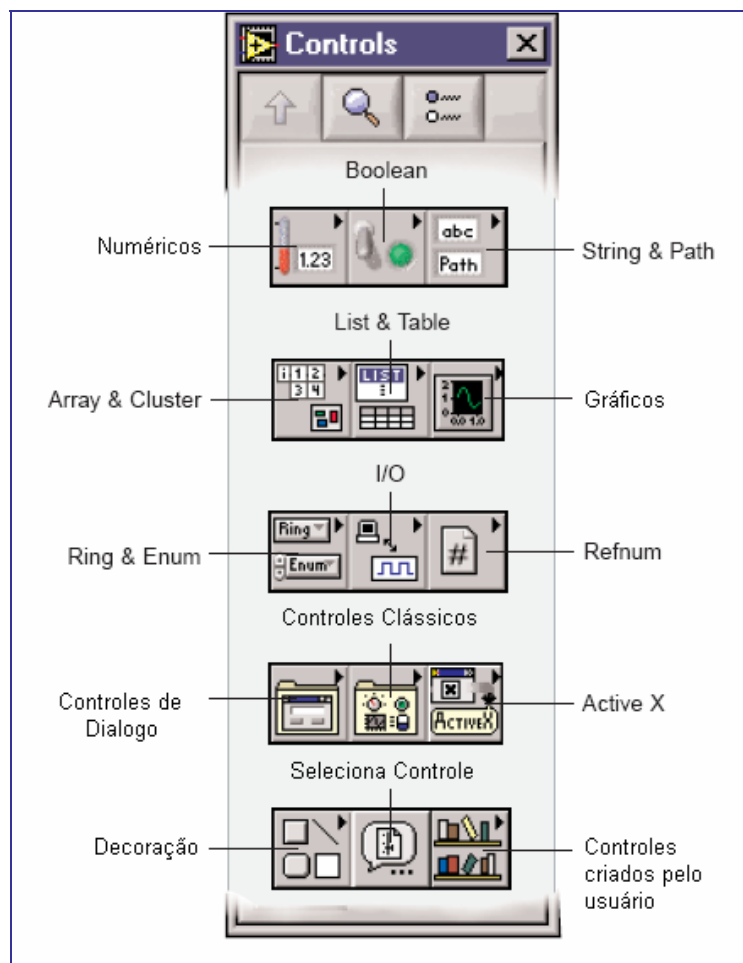


Figura 4.9 – Palheta de Funções

4.2.3 – Estruturas de Programação do LabVIEW

O LabVIEW, como em qualquer outra linguagem de programação, possui estruturas que controlam o fluxo dos dados a serem processados pelo “VI”, como por exemplo estruturas do tipo *While Loop*, *For Loop*, *Case*, *Sequence*.

As estruturas são inseridas no diagrama em blocos da “VI” e executam automaticamente o que se encontra programado em seu interior, desde que todos os dados de entrada ligados a esta estrutura se encontrem disponíveis. Após a execução das tarefas internas dessas estruturas, seguindo as regras específicas que regem seu comportamento, os dados processados são enviados para as ligações de saída. Estas estruturas podem conter mais de um diagrama, chamados de subdiagramas. Estruturas do tipo *While Loop* e *For Loop* contém apenas um subdiagrama, enquanto estruturas como *Case* e *Sequence* podem conter múltiplos subdiagramas superpostos, como em um conjunto de cartas de baralho, sendo possível visualizar somente um subdiagrama de cada vez. As funções contidas nestes subdiagrama são construídas do mesmo modo que no restante do programa.

Estas estruturas são de grande importância pois são diretamente responsáveis pela lógica do programa, controle do fluxo de dados e tomadas de decisão dentro das VI's .

Abaixo encontra-se uma descrição mais detalhada destas estruturas.

- **Case Structure (estrutura de caso)**

A lógica desta estrutura se baseia na execução de uma determinada tarefa dentre outras existentes nos demais subdiagramas, selecionada a partir de um terminal de seleção. Os subdiagramas desta estrutura encontram-se sobrepostos, podendo ser visualizados um de cada vez.

A estrutura de caso tem ao menos dois subdiagramas (TRUE e FALSE), equivalente as estruturas “IF-ELSE” de linguagem de programação convencional. Dependendo do tipo de dado ligado ao seletor, este número de subdiagramas é

adaptado de modo a suprir todas as alternativas possíveis da seleção. A figura 4.10 ilustra um *Structure Case*.

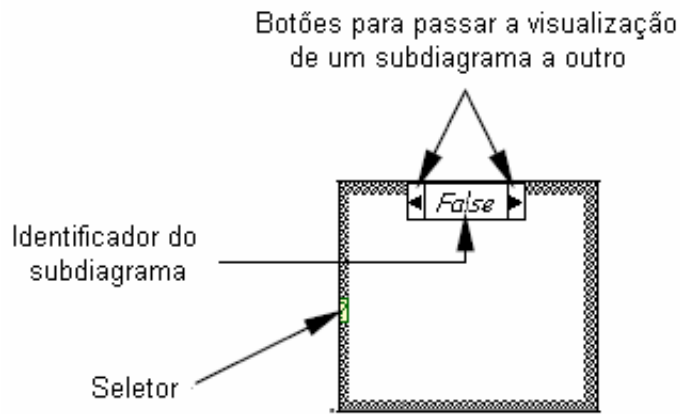


Figura 4.10 – Estrutura de Caso (Case Structure) do LabVIEW

- **Sequence Structure (Estrutura Sequencial)**

Esta estrutura tem a finalidade de forçar uma determinada sequência de ações dentro da “VI”. Essas ações (ou funções) estão contidas nos subdiagramas destas estruturas e são executadas de maneira sequencial. Como no caso do *Case Structure*, os subdiagramas podem ser visualizados apenas um de cada vez, assim como sua execução. A figura 4.11 demonstra esta estrutura.

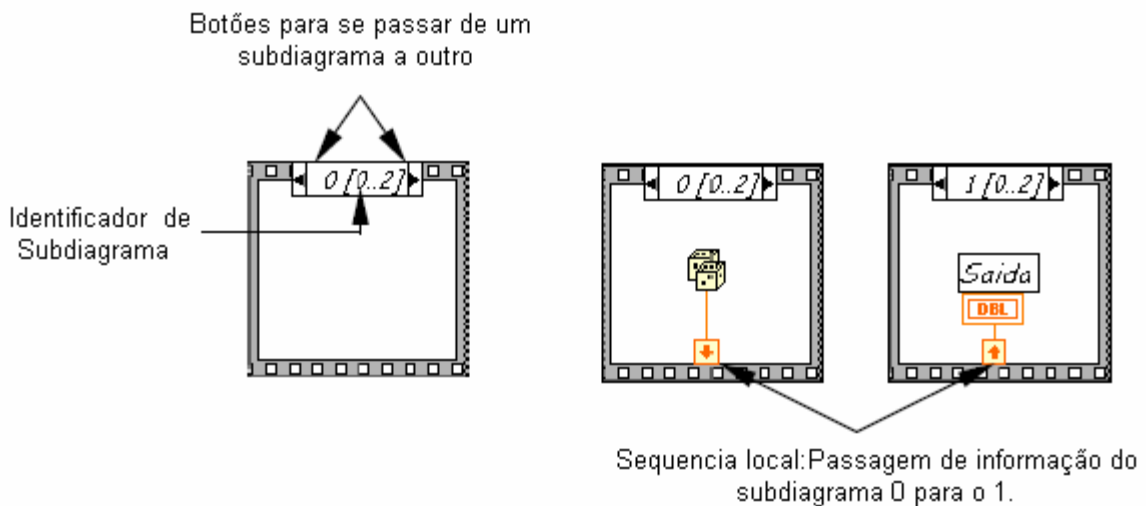


Figura 4.11 – Estrutura Sequencial (Sequence Structure) do LabVIEW

- **For Loop**

Esta estrutura é semelhante às estruturas “FOR” em linguagem de programação convencional. Ela executa as funções contidas em seu interior um determinado número de vezes, liberando os dados processados após a finalização de todos os ciclos. A figura 4.12 mostra a estrutura *For Loop* e sua função equivalente em linguagem de programação em texto.

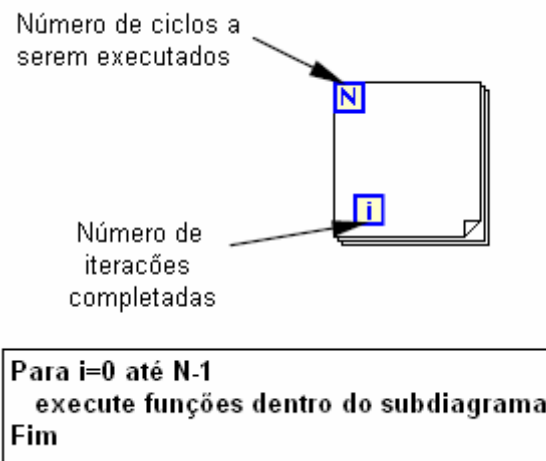


Figura 4.12 – Estrutura “For Loop” do LabVIEW e função equivalente em pseudocódigo

- **While Loop**

Este tipo de estrutura executa repetidamente as tarefas contidas em seu interior até que determinada condição seja satisfeita e o comando de parada seja acionado. Neste ponto, os dados são enviados para as conexões de saída e os dados seguem o fluxo estabelecido na “VI”. A figura 4.13 ilustra esta estrutura e a função equivalente em pseudocódigo.

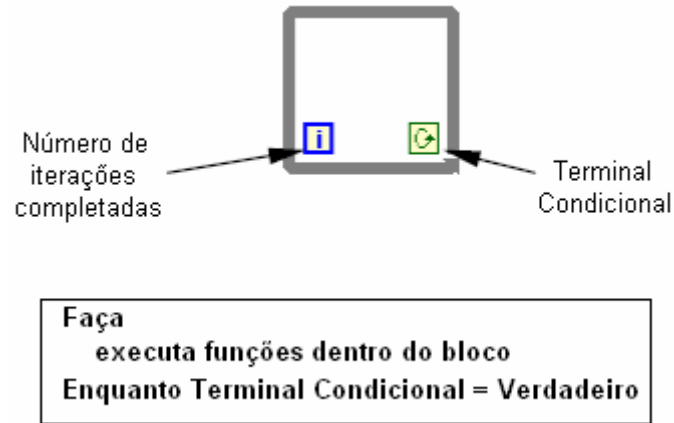


Figura 4.13 – Estrutura “While Loop” do LabVIEW e função equivalente em pseudocódigo

4.2.4 – Dados Manipulados pelo LabVIEW

Os dados manipulados pelo LabVIEW são classificados de acordo com sua natureza de tamanho e representação, sendo muitos destes tipos de dados semelhantes aos utilizados nas linguagens de programação convencionais. Estes dados podem ser, por exemplo, do tipo *string* (grupo de caracteres ASCII), *Int* (valores numéricos inteiros), *Boolean* (dado verdadeiro ou falso), *Path* (define caminho de acesso aos discos da plataforma), etc. Maiores detalhes sobre estes e outros tipos de dados nas bibliografias citadas ^[10]. A figura 4.14 mostra um resumo dos tipos de dados utilizados pelo LabVIEW.

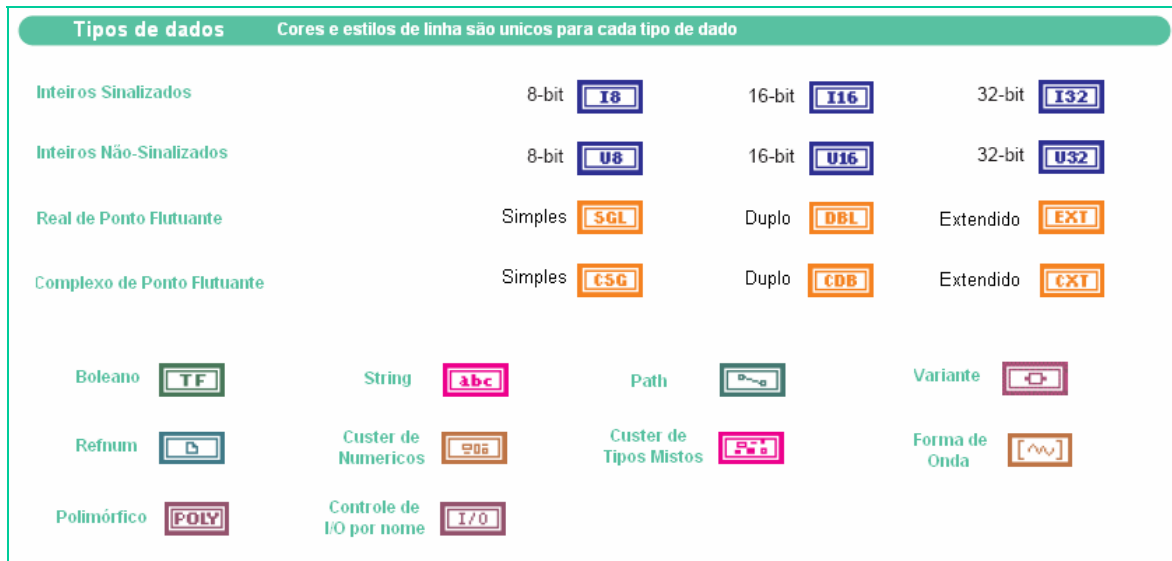


Figura 4.14 – Tipos de dados do LabVIEW

O agrupamento e ordenação destes dados dão origem a diferentes estruturas de dados. Determinada informação numérica pode ser agrupada com dados de mesma espécie, dando origem a uma estruturação de dados denominada “Array”. Assim, quando se deseja criar uma sequência de dados numéricos, ou seja, um vetor, cria-se um ordenamento de dados unidimensional chamado *Array 1-D*. Já uma matriz (de dimensão $n \times m$) é criada a partir de um *Array 2-D*. Porém quando se deseja o agrupamento de dados de diferentes tipos, ou até mesmo estruturas de dados já previamente agrupadas, tem-se um novo ordenamento conhecido com “Cluster”. Estes *Clusters* fazem a união de diferentes tipos de dados como, por exemplo, uma união de informações de texto (ou *String*) com dados de um vetor numérico inteiro (ou *Array 1-D*). Dados no formato *Waveform*, que representam uma forma de onda, são a união de array’s contendo os valores dos pontos de uma curva e os tempos a que se correspondem.

A figura 4.15 ilustra estes tipos de agrupamentos.

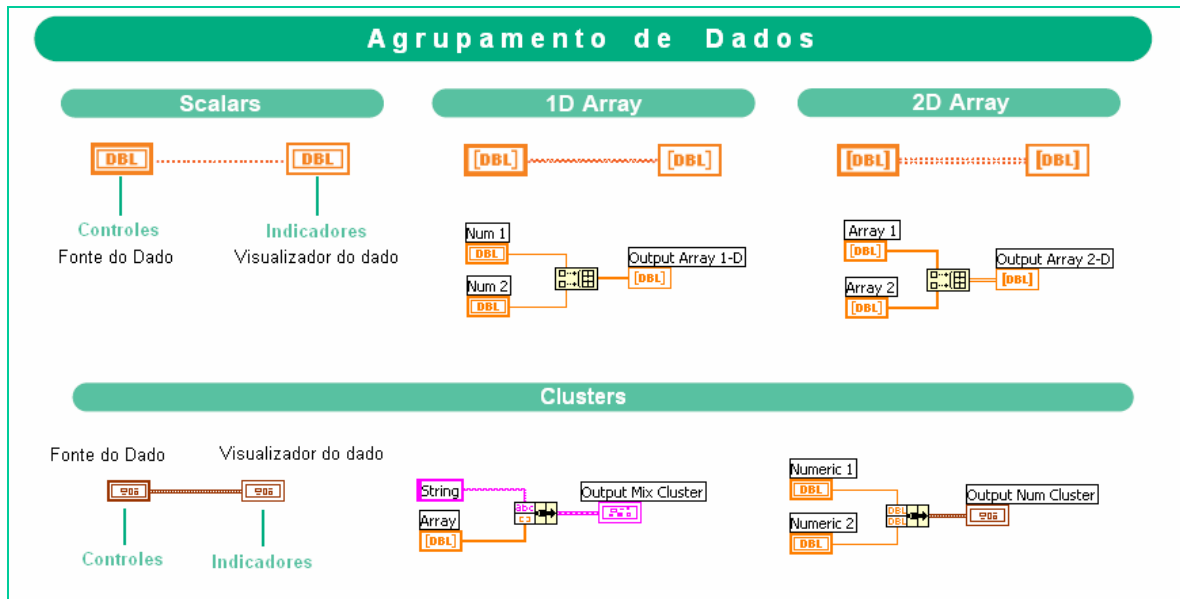


Figura 4.15 – Agrupamento de dados do LabVIEW

Uma consideração a ser feita é em relação as Variáveis *Globais* e *Locais* que podem ser criadas dentro de uma "VI". No LabVIEW, a leitura ou escrita de dados em objetos no painel frontal é feita através de terminais correspondentes no diagrama em blocos. Porém, um objeto do painel frontal contém apenas um terminal no diagrama em blocos, e a aplicação pode necessitar de acesso aos dados do terminal em um ou mais locais do diagrama. As variáveis *Locais* e *Globais* transportam estas informações entre locais da aplicação que não podem ser conectados por linhas de dados. As variáveis *Locais* são utilizadas para acessar os objetos do painel frontal em mais de um local na mesma "VI". As variáveis *Globais* são utilizadas para acessar e passar dados entre diversas VI's e *subVI's*. Um cuidado especial deve ser tomado com a aplicação destes recursos, pois, quando usados em excesso e sem necessidade, podem comprometer o desempenho do aplicativo pois envolvem uma maior alocação de memória por parte do LabVIEW.

4.3 – O Software de Controle TSP

O equipamento testador de semicondutores de potência necessita de uma central de controle que administre a execução dos testes (controle dos contadores e inversor de frequência, aquisição de grandezas elétricas e térmicas, etc) e ainda realize a devida análise dos dados coletados, tome decisões de controle, apresente resultados ao usuário e ainda disponibilize a opção de arquivamento destes dados. Todas estas funções são desempenhadas pelo *Software Testador de Semicondutores de Potência*, ou simplesmente *software TSP*. Este programa, escrito em linguagem gráfica LabVIEW, se comunica com o hardware de teste através da placa de aquisição DAQCard 1200, obtendo dados e apresentando resultados ao usuário através de um computador pessoal.

O LabVIEW possui como código fonte ícones representando as funções a serem realizadas. Portanto, todo o código fonte disponível se apresenta em formato gráfico. Devido ao grande número e complexidade das janelas gráficas (*VI's* e *subVI's*) do código fonte do software TSP, torna-se inviável a demonstração de todos os aspectos programados. Assim, a lógica funcional deste software será elucidada a partir de fluxogramas de execução e somente os principais aspectos do código fonte do TSP (diagrama em blocos) serão apresentados. O esquema completo do diagrama em blocos do programa, bem como o software executável desenvolvido, encontram-se arquivados no CD que acompanha esta dissertação, estando disponível na biblioteca Mauá da Unifei.

4.3.1 – Parâmetros de entrada no software TSP

O software TSP controla a execução dos ensaios sobre os semicondutores baseados em alguns parâmetros de entrada. A entrada destes parâmetros, através a interface do usuário (painel de controle), inicia o processo automático de execução dos testes (aquisição, análise e disponibilização dos dados do semicondutor ao usuário).

Os parâmetros de entrada necessários para a execução dos testes são:

- **Local de Teste:**
 - (A) Teste de Campo
 - (B) Teste em Bancada com Aquecimento
 - (C) Teste em Bancada sem Aquecimento (default)

- **Tipo de SCR / Diodo:**
 - Bst T68H280 (SCR)
 - FT500AH (SCR)
 - FT100BV (SCR)
 - FD500EV-70 (Diodo)*
 - FD1000A-56 (Diodo)*

- **Gravação:**
 - Grava ? (Sim ou Não).
 - Caminho para gravação
 - Comentário

- **Tipo de teste:**
 - Normal (default)
 - Breakdown

- **Aquecimento **:**
 - Temperatura para aquecimento do Semicondutor (Default=80°C)
 - Parar o aquecimento (durante o processo)

* Não é habilitado quando se seleciona o “Teste em Campo”

** Somente utilizado em caso de “Teste em Bancada com Aquecimento”

4.3.2 – Fluxograma de Execução do Software TSP

O software TSP pode ter sua lógica de execução resumida a partir de três fluxogramas: O fluxograma principal que descreve a lógica geral de execução dos ensaios a partir do software TSP, o fluxograma da sub-rotina de aquecimento do semicondutor (referente ao bloco em verde no fluxograma principal) e finalmente o fluxograma da sub-rotina que controla a seleção dos testes direto/reverso e a aquisição (bloco azul no diagrama principal). Este último é ainda responsável pela filtragem, análise e arquivamento dos dados obtidos durante o ensaio.

Com base no fluxograma principal, mostrado na figura 4.16, a seguinte sequência de ações é executada pelo software TSP: Após a entrada dos parâmetros, o usuário inicia o teste. Primeiramente o software inicializa todas as portas analógicas e digitais de entrada e saída da placa de aquisição. Em seguida são obtidos os dados referentes à temperatura (100 amostras à frequência de 1KHz) , cujo valor médio indica a temperatura do semicondutor.

No caso da seleção “**teste em campo**”, a confirmação do usuário sobre o nível a ser ensaiado é necessária para o prosseguimento do teste, sendo este processo repetido para todos os oito níveis existentes*.

Caso o ensaio selecionado seja o “**teste em bancada com aquecimento**”, a subrotina de aquecimento (mostrada na figura 4.17) é executada de modo a elevar a temperatura do semicondutor até os valores definidos para o teste.

Neste ponto, o teste entra na subrotina que comanda os circuitos responsáveis pelas polarizações direta ou reversa do semicondutor (ilustrada na figura 4.18). Também é responsável pela aquisição, análise e apresentação destes parâmetros na interface gráfica do software de controle. Estes dados, quando habilitados pelo usuário, podem ainda ser arquivados em formato planilha eletrônica (arquivos com extensão “.xls”).

Após a execução desta subrotina, uma mensagem é apresentada no aplicativo e o teste é finalizado.

* Existem oito níveis em cada bastidor do CE em estudo.

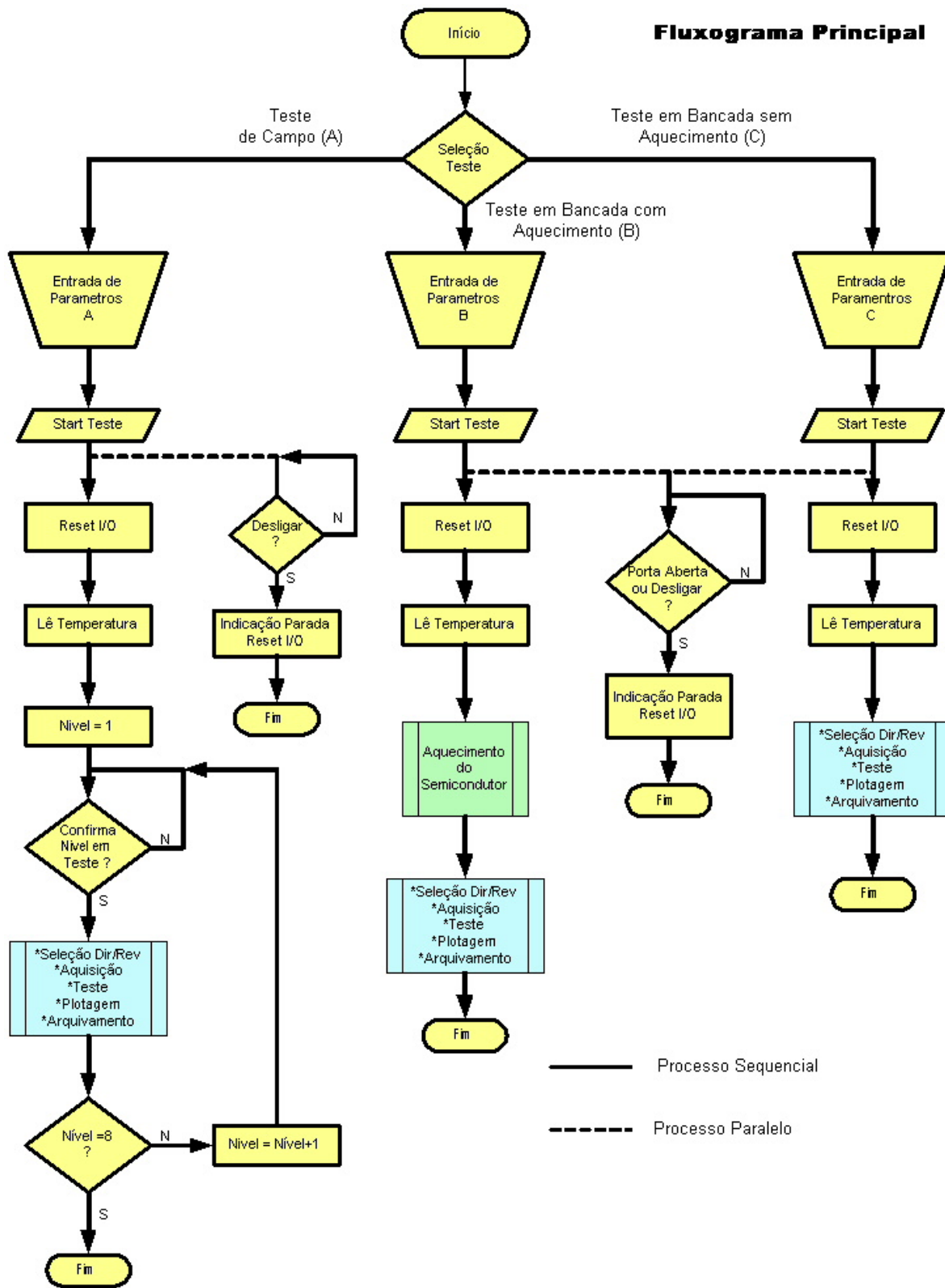


Figura 4.16 – Fluxograma principal do software TSP.

Em qualquer momento da execução dos ensaios, existe a possibilidade de uma parada de emergência do ensaio a partir do acionamento do botão “DESLIGA” na interface do software. Nos testes em bancada, se a caixa do sistema de fixação for aberta durante o ensaio, todo o teste é automaticamente interrompido, havendo uma indicação no painel frontal do programa. O processo de verificação destas condições é executado em paralelo com as demais rotinas do programa.

O fluxograma ilustrado na figura 4.17 descreve o processo de controle do aquecimento do semicondutor pelo software TSP

O processo de aquecimento é realizado através do acionamento dos contadores de alimentação da resistência do sistema de fixação, a partir de uma porta digital da placa de aquisição. Após o fechamento dos contadores, uma nova leitura de temperatura do semicondutor (media de 100 pontos com frequência de 1KHZ) é feita a cada 500ms.

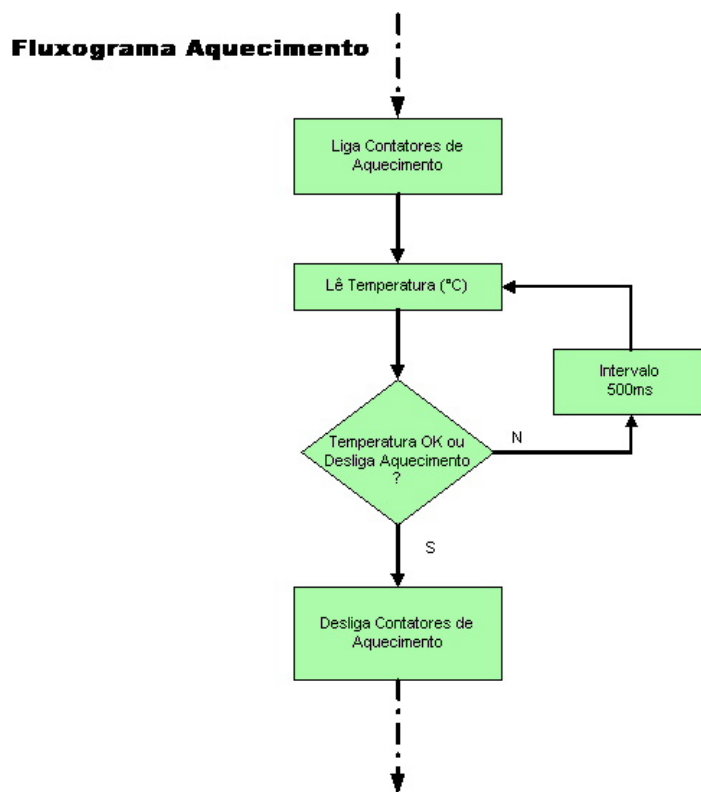


Figura 4.17 – Fluxograma de controle do aquecimento pelo software TSP.

Ao se verificar que a temperatura atingiu o valor especificado (ou caso o botão “desliga aquecimento” no painel de controle seja acionado) os contatores são desligados e a rotina segue para os testes principais.

A sub-rotina de polarização, aquisição, análise e arquivamento de dados desempenha a função central no processo do ensaio. Esta rotina é ilustrada no fluxograma apresentado na figura 4.18.

Primeiramente, uma variável de identificação de teste é inicializada de modo que a rotina execute o teste direto sobre o dispositivo, fechando os contatores 1 e 2. A partir deste momento, o software entra em um “loop”, cujas iterações são registradas por uma variável “K”. A informação referente ao índice de modulação para o VSI é incrementada, de modo a elevar a tensão de teste sobre o DUT. O software faz a aquisição de dois ciclos de tensão e de corrente, que são condicionados por filtros digitais Butterworth (passa baixas de 3° ordem com $F_{CORTE} = 1\text{KHz}$). Nas primeiras iterações do loop ($K < 10$), a tensão aplicada é baixa (menor que 50V) e o software verifica se o componente se encontra em curto, testando o valor máximo de corrente e comparando com o valor especificado. Caso este valor de corrente exceda o valor especificado por mais de quatro iterações, o curto é detectado. Porém, caso as iterações já estejam adiantadas ($K > 10$), o programa verifica se a tensão máxima medida está menor que três vezes a máxima anteriormente lida. Este procedimento indica se o sistema de proteção do DSP, relativo a corrente no DUT, foi acionado e o VSI foi desligado. Tanto em caso de curto circuito como em caso de acionamento da proteção, os dados “plotados” e arquivados são referentes à aquisição executada na ultima iteração válida. Nestes casos, indicações no painel frontal e no arquivo gravado, relativos a ocorrência de curto ou acionamento da proteção, são exibidas em caráter informativo ao usuário.

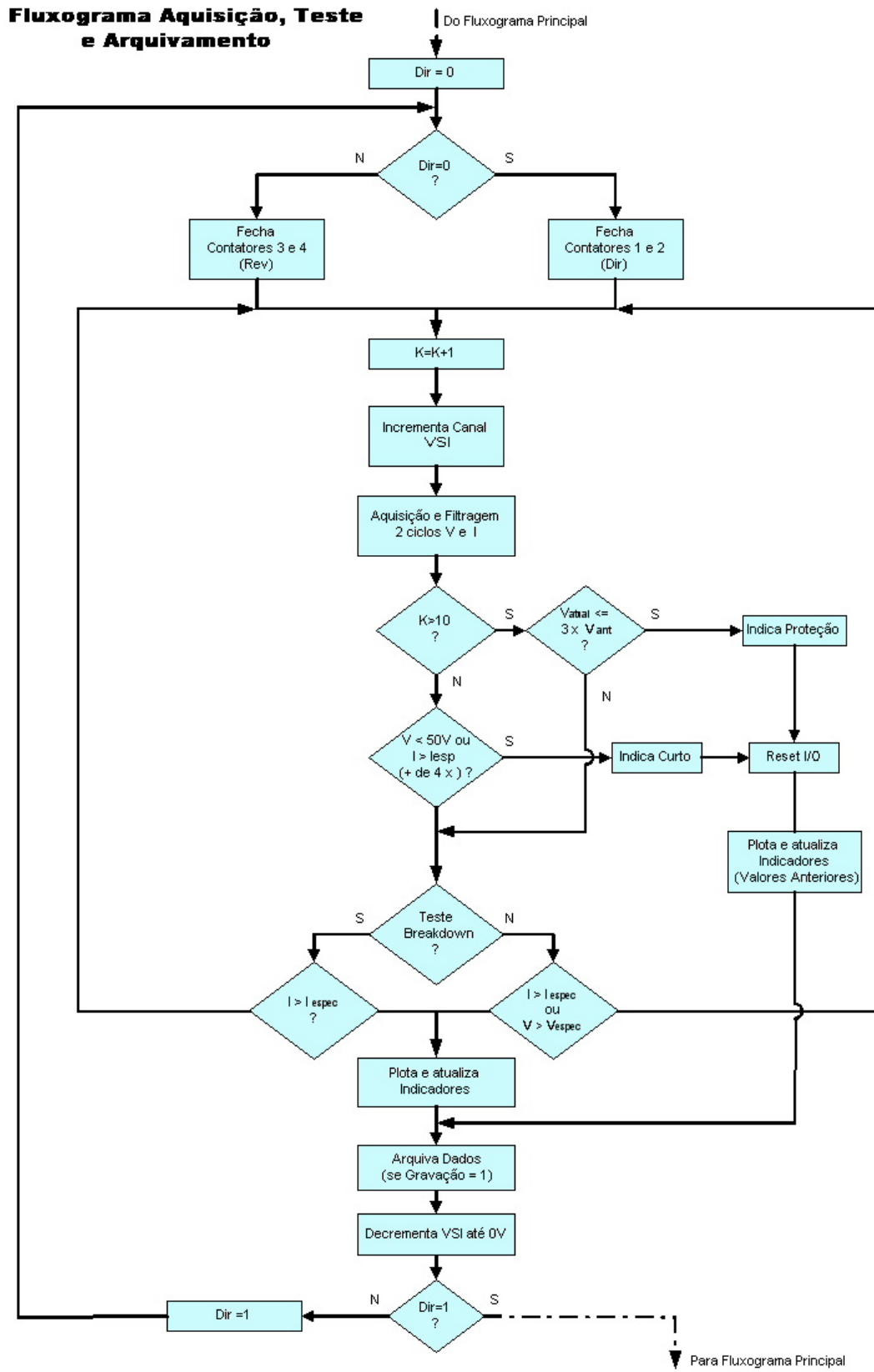


Figura 4.18 – Fluxograma da rotina de aquisição, teste e arquivamento do TSP.

Entretanto, caso nenhuma destas condições anteriores se verifique, o software, com base na seleção entre teste de breakdown ou normal, verifica se a tensão e corrente se encontram dentro dos parâmetros especificados (teste normal) ou somente a corrente apresenta valores satisfatórios (teste breakdown). Caso nenhum destes valores de tensão e corrente houver atingido os valores pré-definidos, o software reinicializa o “loop”, implementando mais um incremento no índice de modulação. Porém, caso estes valores já tiverem excedido o especificado, o software implementa uma rampa decrescente no índice de modulação do VSI até a anulação da tensão, os valores são plotados e os indicadores atualizados. Os valores das ondas de tensão e corrente desta iteração são então arquivados, juntamente com um resumo do teste (comentário, tipo de semicondutor, temperatura, valores máximos, etc). Caso o teste reverso ainda não tenha sido realizado, os contadores 3 e 4 são acionados e toda a rotina se repete. Após as seqüências terem sido realizadas, o programa inicia a finalização “zerando” as entradas / saídas e indicando o fim do teste em uma mensagem no painel frontal.

4.3.3 – Painel frontal e Diagrama em Blocos do TSP:

Os aspectos essenciais do desenvolvimento do software TSP, como o digrama em blocos, painel frontal (interface do usuário) e diagrama hierárquico são ilustrados e comentados a seguir.

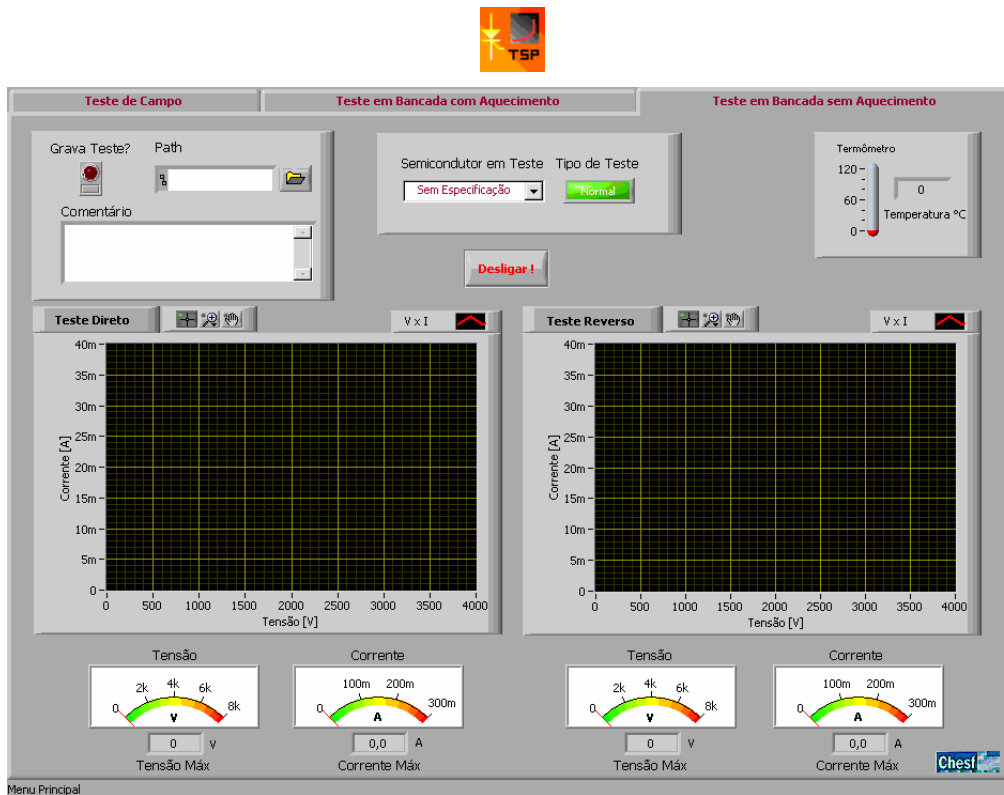


Figura 4.19 –Ícone TSP e painel frontal do teste em bancada sem aquecimento (default).

A figura 4.19 mostra o ícone e o painel frontal do software TSP, no modo “teste em bancada sem aquecimento”. Esta é a seleção padrão do aplicativo (default), aparecendo logo que o programa é “carregado”.

O painel frontal apresenta o “menu” de seleção (na parte superior) do modo de teste (em campo ou em e bancada com e sem aquecimento), botões e janelas de entrada de parâmetros (teste normal / breakdown, caminho de gravação, comentário, cancelamento do teste), bem como dois gráficos cartesianos referentes aos resultados do ensaio direto e reverso. Além disso, apresenta ainda um termômetro de temperatura e indicadores em formato “VU”, que demonstram o processo de elevação da tensão de teste, bem como o valor digital desta medida.

Para todos os três modos de teste (“em campo” e “em bancada com e sem aquecimento”), as interfaces apresentam a mesma estruturação, modificando somente em alguns aspectos referentes aos parâmetros de entrada de cada um.

Uma visão parcial do diagrama em blocos do software TSP pode ser vista na figura 4.20. Devido a grande quantidade e complexidade de “frames” envolvidos no diagrama em blocos, somente as partes mais significativas serão apresentadas.

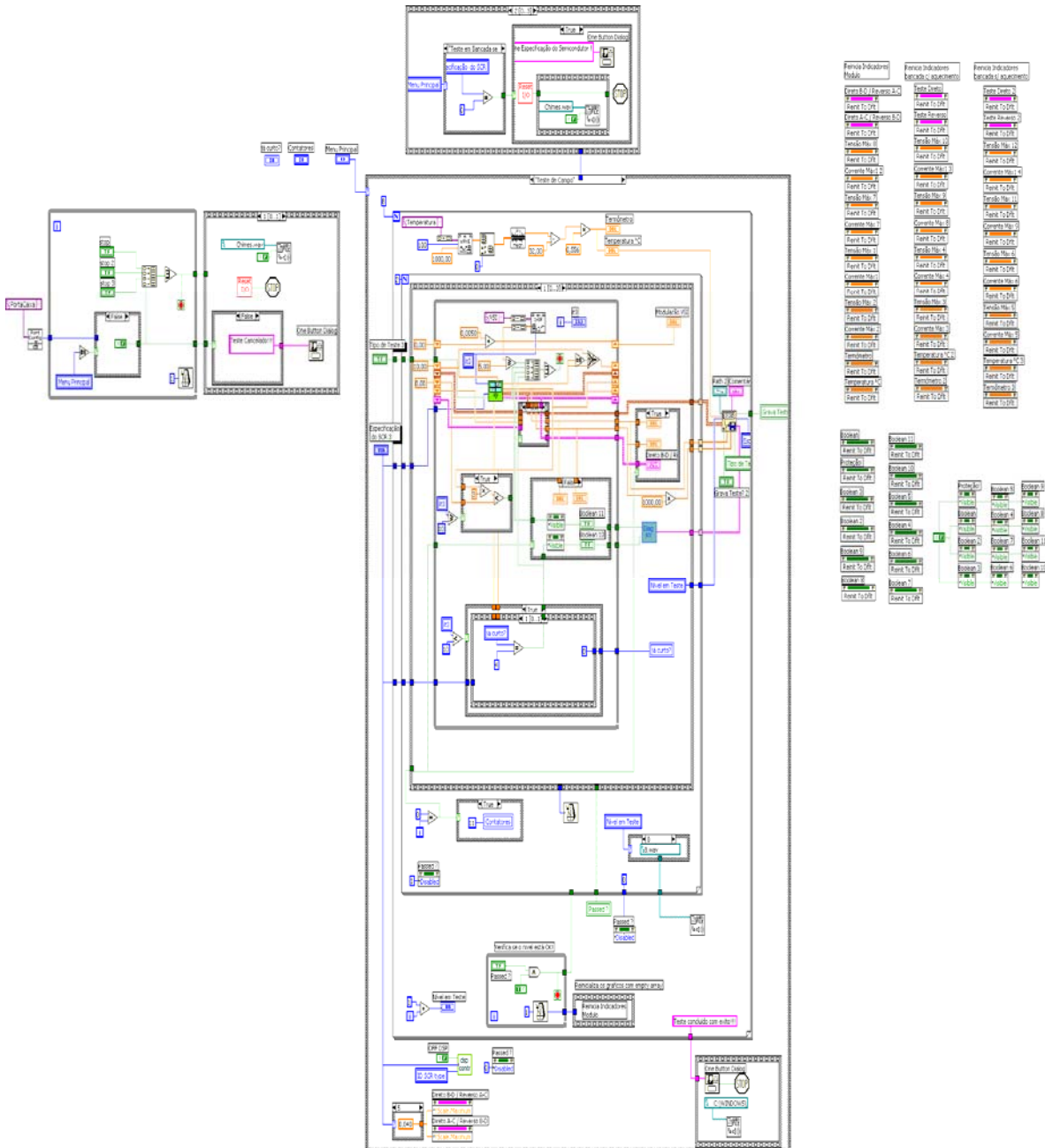


Figura 4.20 – Esquema parcial do diagrama em blocos do software TSP.

A figura 4.21 abaixo, apresenta a sessão do diagrama em blocos responsável pelo controle de abertura de porta e a verificação de cancelamento de ensaio pelo usuário.

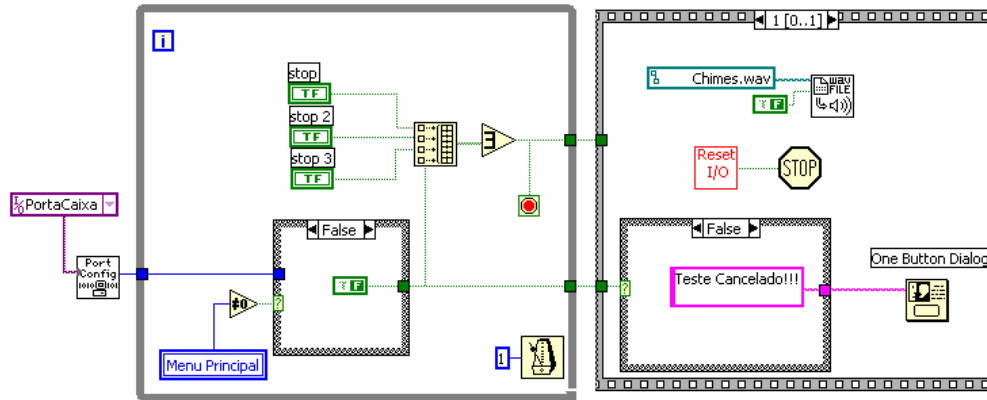


Figura 4.21 – Frames responsáveis pela verificação de abertura de porta e de cancelamento.

A verificação de temperatura, durante o processo de aquecimento, é feito pela sessão ilustrada na figura 4.22, que mostra a aquisição, calculo da média e comparação do valor da temperatura do semiconductor com o valor de entrada estipulado pelo usuário.

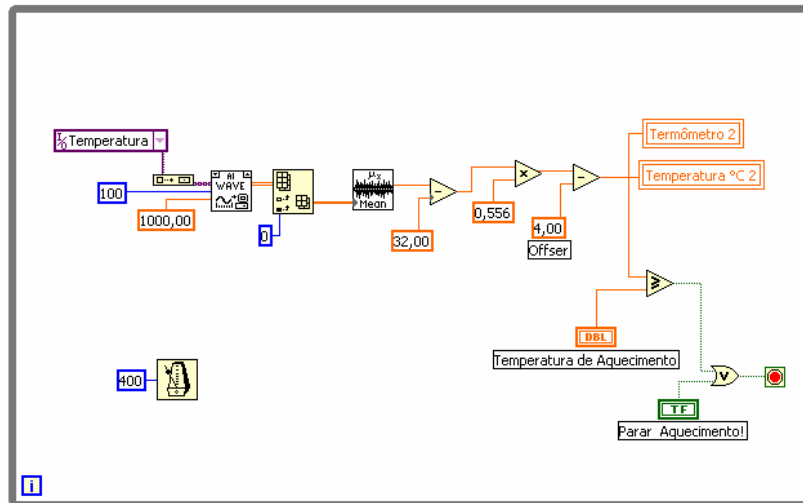


Figura 4.22 – Verificação de temperatura durante o aquecimento do DUT.

A função de aquisição, filtragem e comparação dos dados com os valores nominais é feita a partir de uma subVI, que se encontra dentro do diagrama principal. Esta subrotina é demonstrada na figura 4.23.

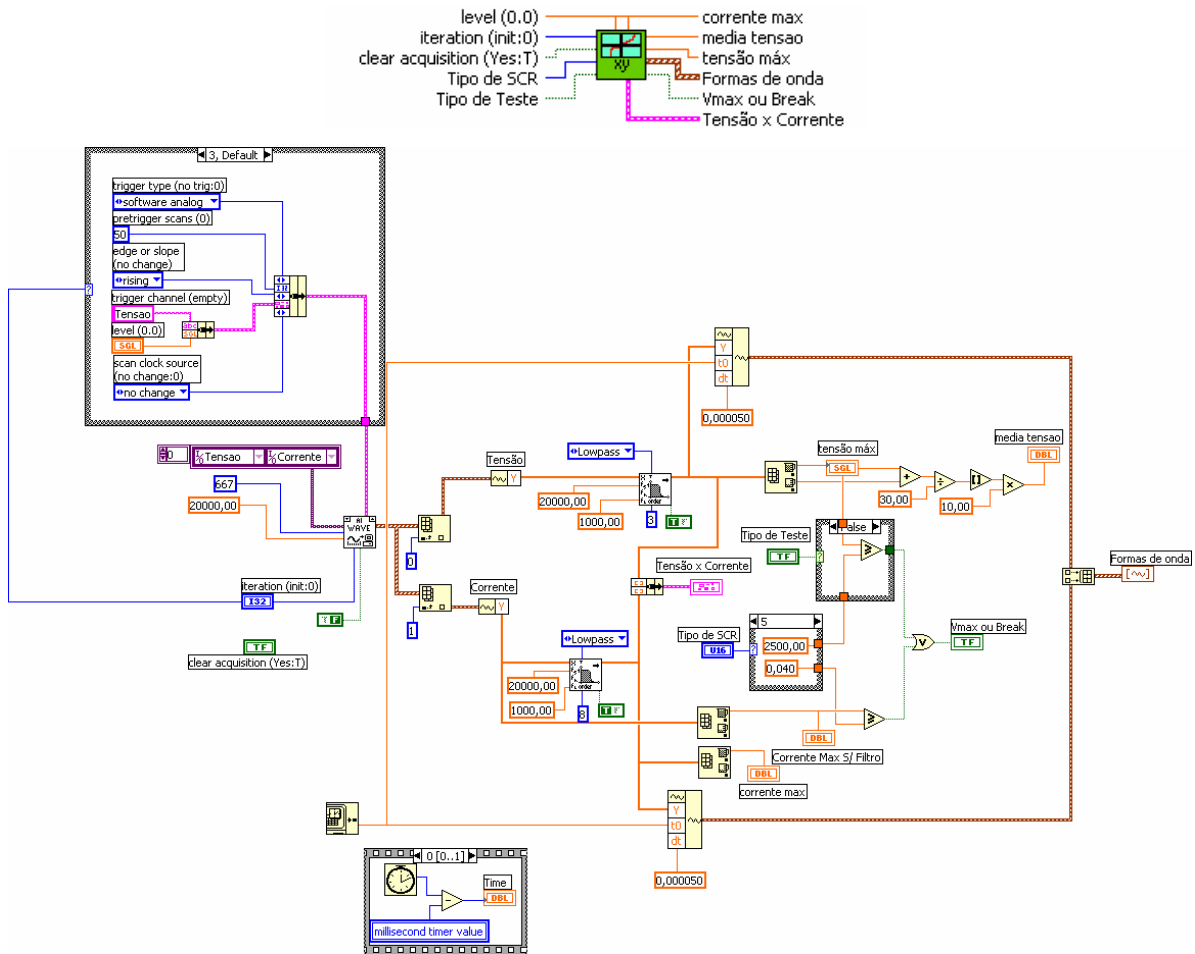


Figura 4.23 - Ícone e diagrama de aquisição, filtragem e comparação de dados.

O subVI descrito acima é utilizado no fluxograma da figura 4.18, relativo a rotina de aquisição/filtragem e análise do sinal, e tem papel central no processo do ensaio .

A figura 4.24 ilustra o “loop” principal da rotina, responsável desde o controle do teste direto/reverso, até o incremento do índice de modulação do VSI, verificação de curto e acionamento de proteção.

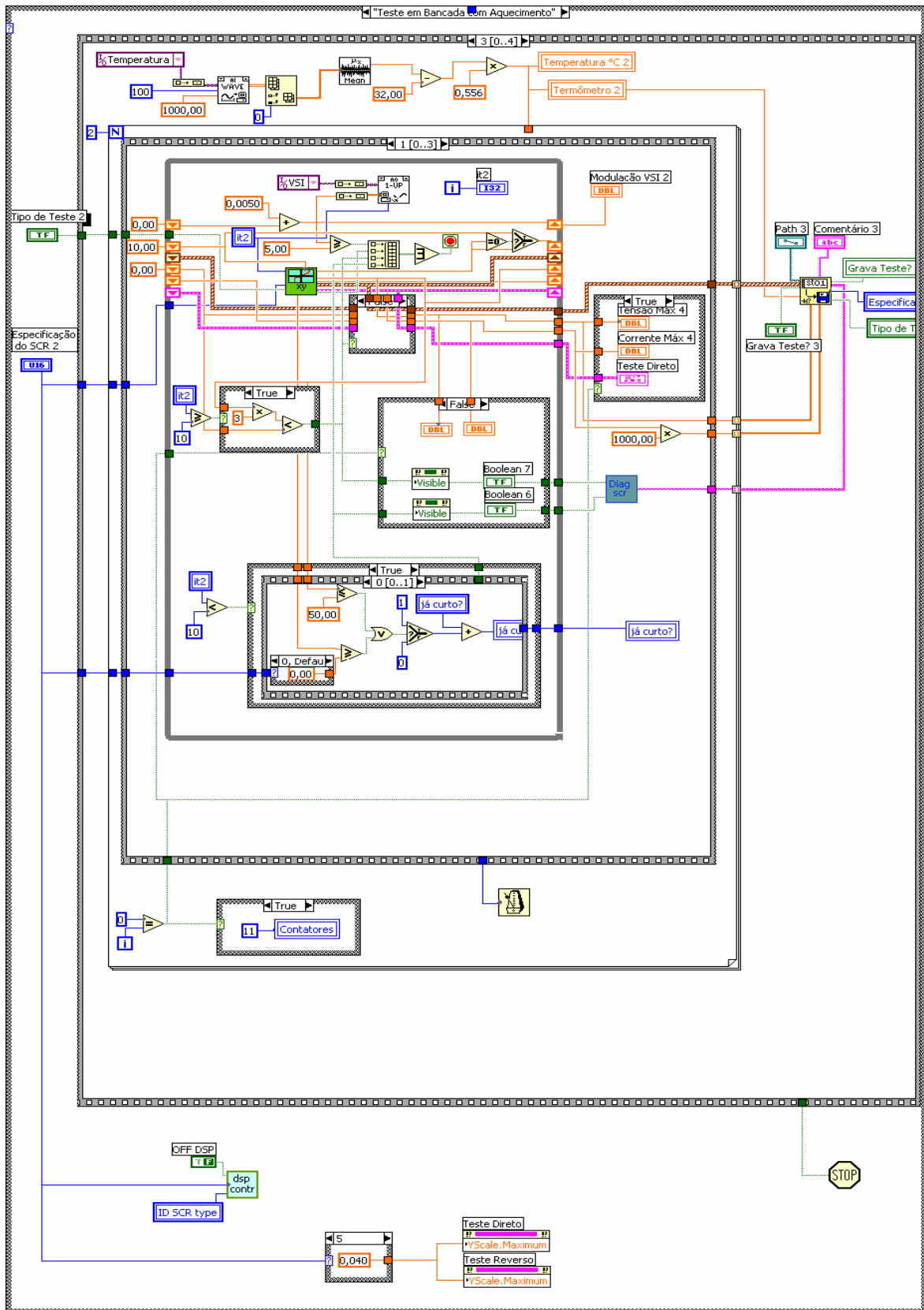


Figura 4.24 – Diagrama parcial de controle de teste direto e reverso.

Os frames responsáveis pelo chaveamento dos contatores, inicialização do índice de modulação, controle de ligamento do DSP são ilustrados na figura 4.25.

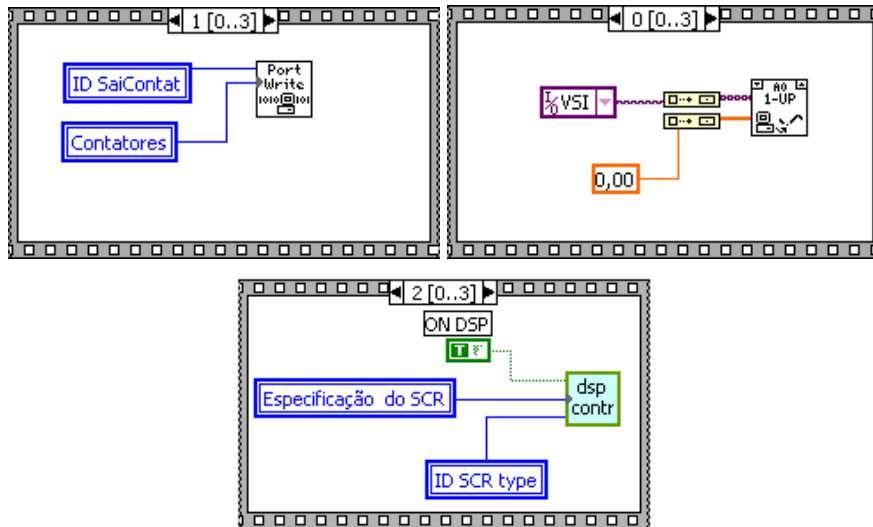


Figura 4.25 – Frames de controle dos contatores, índice de modulação e DSP.

Após a finalização de um determinado teste (direto ou reverso), o índice de modulação do VSI é decrementado a partir de uma rotina em “loop”, que faz a regressão do valor deste índice, conforme ilustrado na figura 4.26.

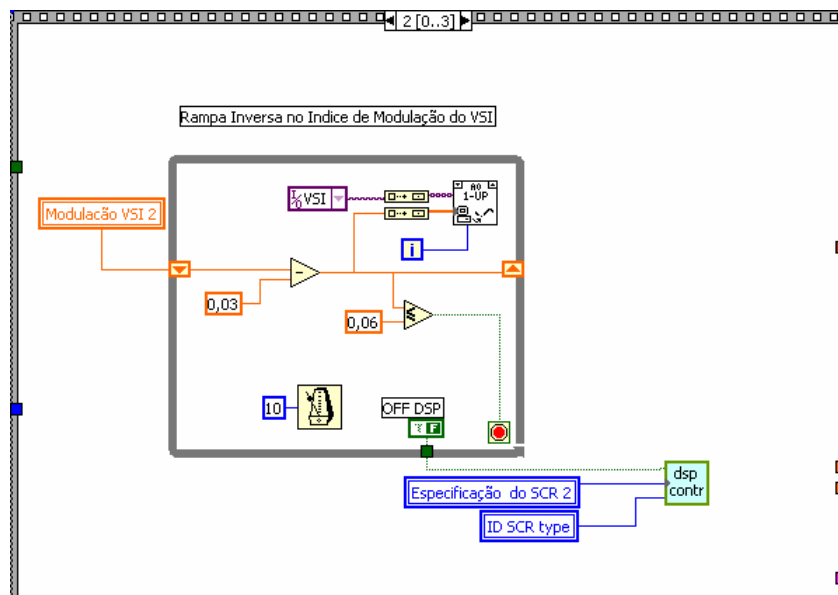


Figura 4.26 – Decremento do índice de modulação.

O arquivamento dos dados coletados é realizado a partir de duas sub-rotinas (uma para “Teste em Campo” e outra para “Teste em Bancada com ou sem Aquecimento”), que capta os valores amostrados e definições do software e os converte para um arquivo no formato planilha eletrônica. A figura 4.27 ilustra estas sessões no diagrama em blocos e a figura 4.28 mostra um trecho de arquivo exemplificando o formato dos dados coletados.

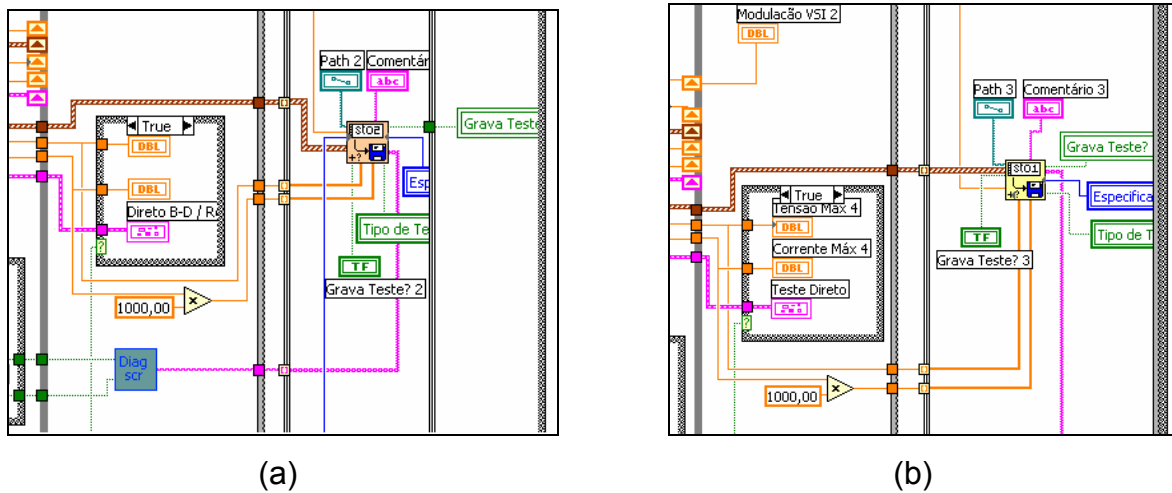


Figura 4.27 – Rotina de gravação em “Campo” (a) ou em Bancada (b).

Microsoft Excel

Arquivo Editar Exibir Inserir Formatar Ferramentas Dados Janela Ajuda

A1 9D0114-06H2 B quente

9D0114-06H2 B (quente)

	A	B	C	D
1	9D0114-06H2 B quente			
2				
3	Tipo de teste:	Normal		
4	Especificação:	FT 1000 BV (3,5kV/120mA)		
5	Temperatura [°C]:		85,85	
6	Tensão Máx Direta (V):		3510,88	
7	Tensão Máx Reversa (V):		2680,46	
8	Corrente Máx Direta (mA):		33	
9	Corrente Máx Reversa (mA):		80,78	
10	Execução do Teste Direto:	Teste Padrão		
11	Execução do Teste Reverso:	Teste Padrão		
12	waveform	[0,0]	[0,1]	
13	t0	4/3/2004 14:44:03.619999	4/3/2004 14:44:03.619999	
14	delta t		5,00E-05	5,00E-05
15				
16	time	Y[0,0]	Y[0,1]	
17	4/3/2004 14:44:03.619999		3,67E+01	2,56E-03
18	4/3/2004 14:44:03.620049		3,47E+01	2,82E-03
19	4/3/2004 14:44:03.620100		3,37E+01	3,08E-03
20	4/3/2004 14:44:03.620150		3,36E+01	3,33E-03
21	4/3/2004 14:44:03.620200		3,41E+01	3,56E-03
22	4/3/2004 14:44:03.620250		3,51E+01	3,77E-03
23	4/3/2004 14:44:03.620300		3,62E+01	3,93E-03
24	4/3/2004 14:44:03.620350		3,72E+01	4,04E-03
25	4/3/2004 14:44:03.620400		3,75E+01	4,10E-03
26	4/3/2004 14:44:03.620450		3,70E+01	4,11E-03

Figura 4.28 – Planilha contendo dados coletados pelo software TSP.

Toda a estrutura de VI's e subVI's do software TSP pode ser visualizada a partir do diagrama hierárquico da figura 4.29, que apresenta a relação entre as principais funções e subrotinas do programa.

Os diversos blocos funcionais que constituem o código fonte do aplicativo são interligados verticalmente, demonstrando a hierarquização das funções que cada um desempenha dentro do software. Muitos blocos são pertencentes à própria biblioteca do LabVIEW (blocos em preto e branco), executando geralmente algumas funções básicas. Os blocos de nível superior (coloridos) foram construídos a partir da junção dos diversos blocos de baixo nível da biblioteca básica, e desempenham funções mais complexas no "VI" principal, como inicialização da placa de aquisição, controle do DSP, aquisição, formatação e gravação dos dados do ensaio.

Capítulo 5

Apresentação do Equipamento Final

Neste capítulo são apresentadas uma série de ilustrações relativas ao Equipamento Testador de Semicondutores de Potência em sua configuração completa, englobando o hardware e a interface do software TSP. Os acessórios necessários para os testes, bem como os compensadores estáticos de reativo, dos quais os componentes semicondutores são provenientes, são também demonstrados.

5.1 – Partes Constituintes do Hardware

O bastidor, ou “rack”, contendo os circuitos de teste dos semicondutores é dividido em módulos funcionais, como pode ser observado na figura 5.1. Esta modularização permite uma maior flexibilidade em termos de transporte do equipamento e eventuais manutenções nos circuitos de cada um. A interligação destes módulos é feita a partir de conectores e bornes apropriados para os níveis de tensão e corrente dos ensaios. A figura 5.2 mostra a fotografia da parte traseira do rack.

Cada módulo é denominado de acordo com a funcionalidade de seus circuitos principais. Assim, o módulo de sensores contém, além das fontes e circuitos de condicionamento de sinais, os sensores responsáveis pela captação dos valores de corrente, tensão e temperatura do DUT, como mostrado na figura 5.3. Na figura 5.4 são mostrados os circuitos contadores juntamente com outros circuitos de suporte. Nas figuras 5.5 e 5.6 são mostrados o módulo do inversor e o próprio inversor de frequência, utilizado como fonte de tensão senoidal variável. A base do rack, que contém o transformador de alta tensão, as resistências e os diodos de retificação são mostrados na figura 5.7. O sistema de fixação dos SCR's bem como a interface do equipamento de teste com o módulo compensador são mostrados nas figuras 5.8 e 5.9, respectivamente.



Figura 5.1 – Visão geral e partes constituintes do Testador de Semicondutores.

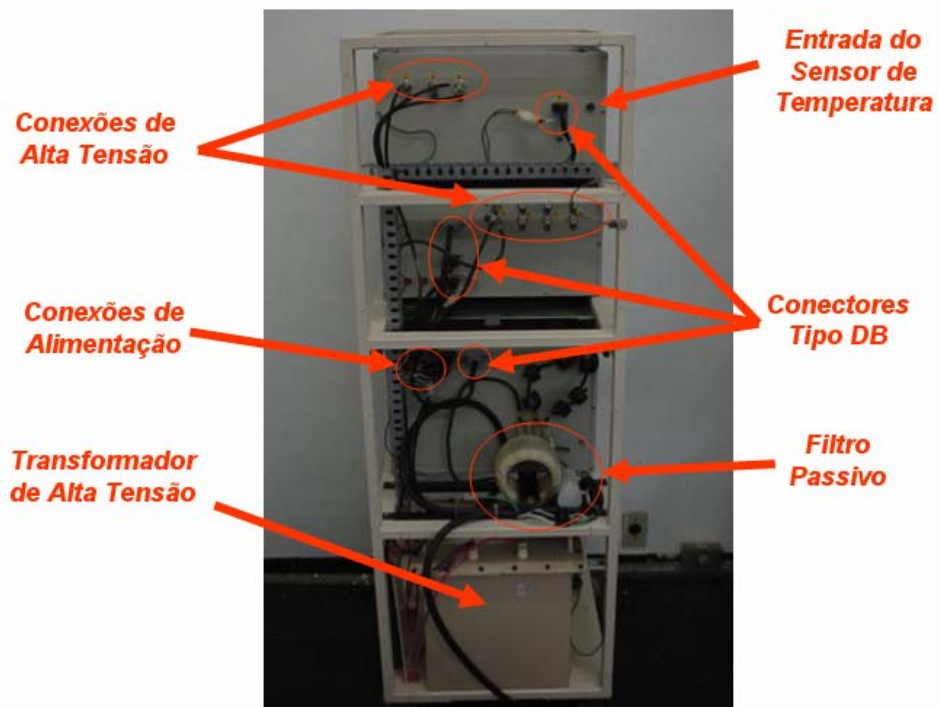


Figura 5.2 – Conexões traseiras do equipamento.

➤ **Módulo de Sensores :**

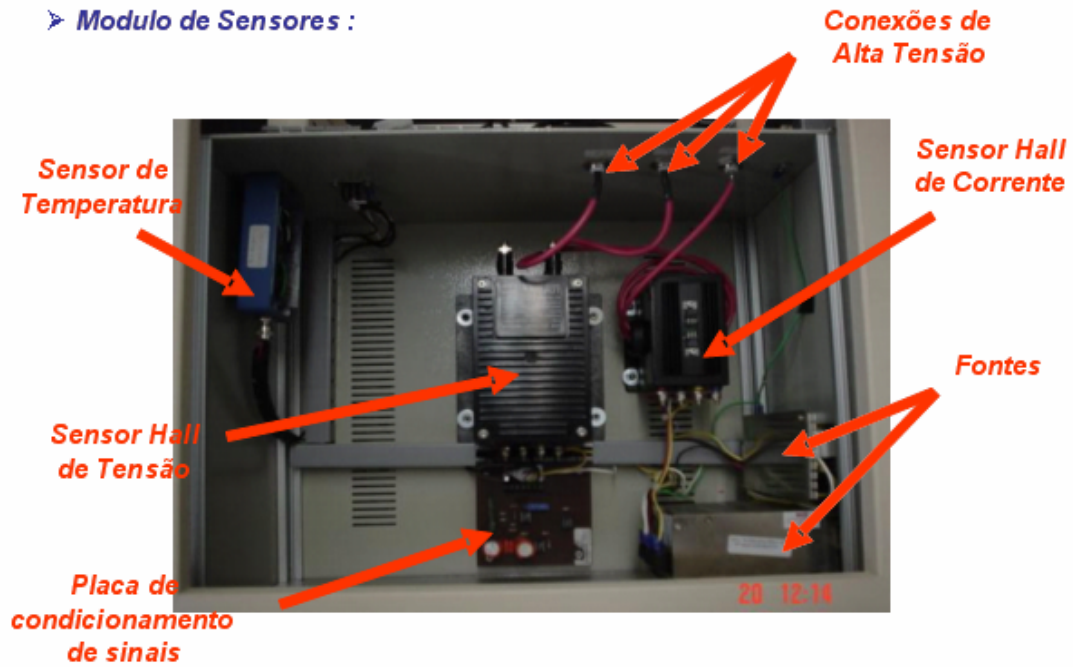


Figura 5.3 – Fotografia do módulo de sensores do equipamento.

➤ **Módulo de Contatores :**

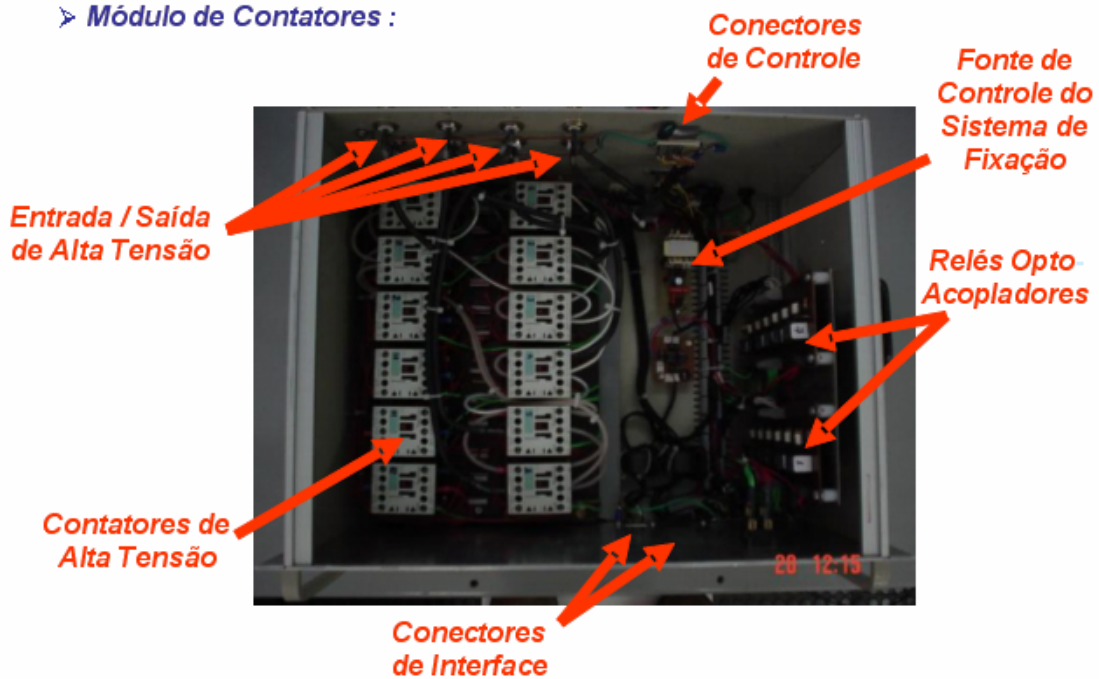


Figura 5.4 – Fotografia módulo de contatores do equipamento.

➤ *Módulo do Inversor :*

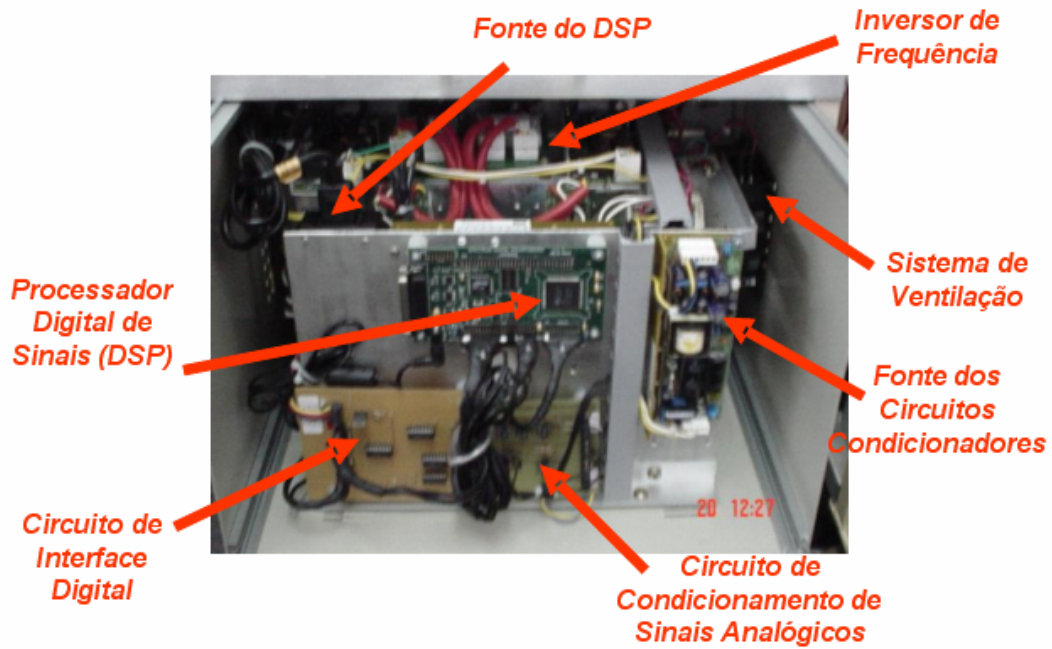


Figura 5.5 – Fotografia parcial do módulo do Inversor.

➤ *Inversor de Frequência :*

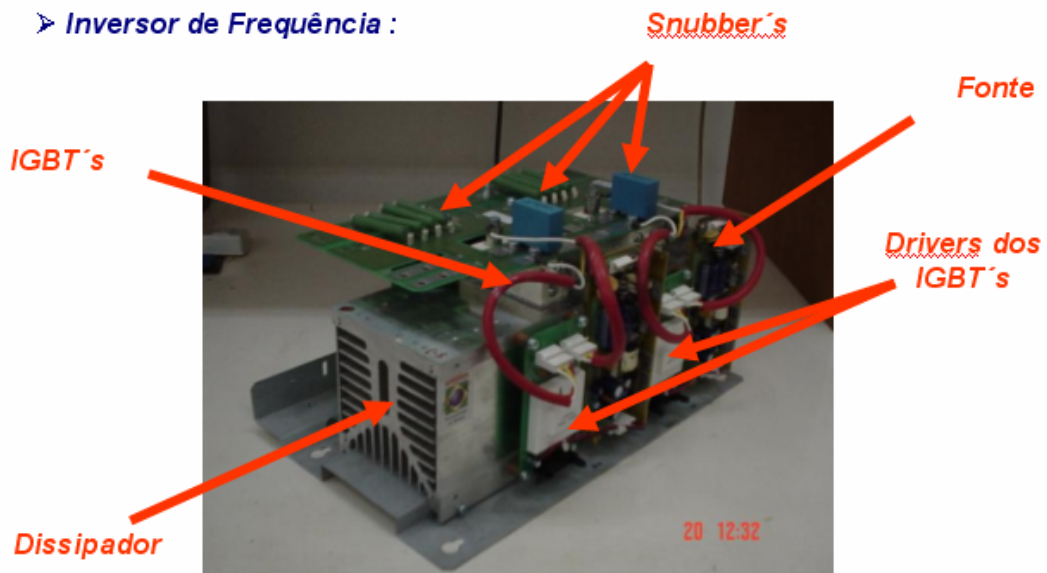


Figura 5.6 – Fotografia do inversor de frequência utilizado.

➤ **Base do Transformador :**

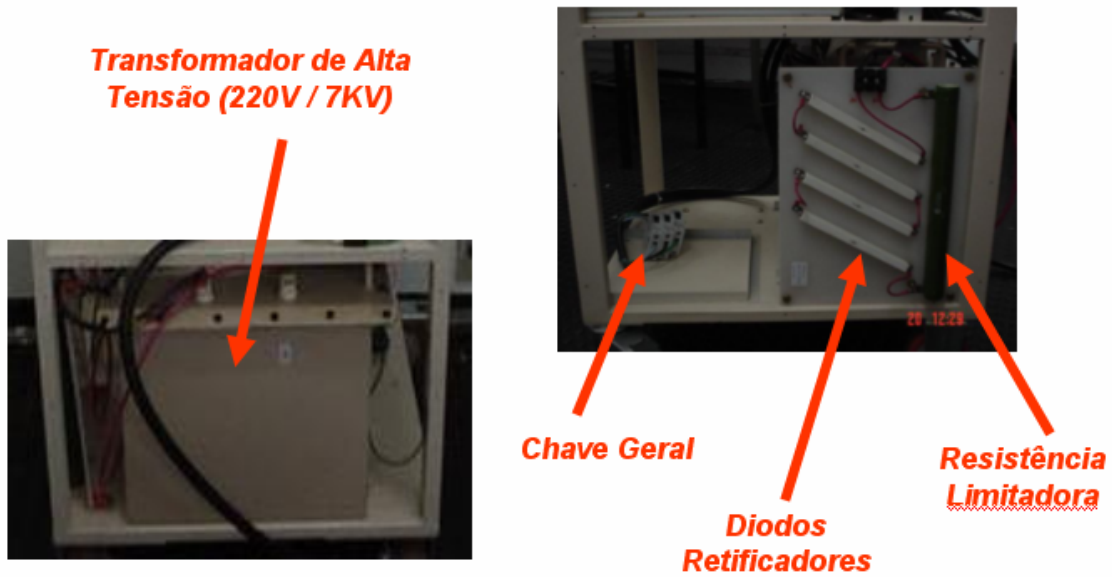


Figura 5.7 – Componentes na área de base do transformador.

➤ **Sistema de Fixação :**

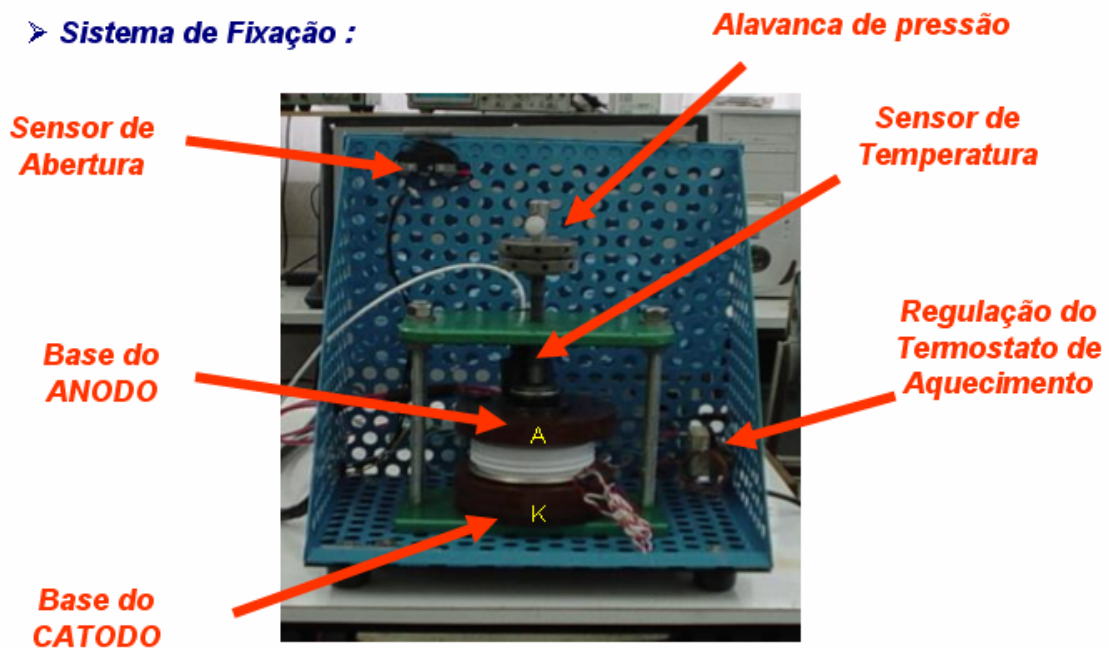


Figura 5.8 – Sistema de fixação e aquecimento dos semicondutores.

➤ **Teste no Compensador Estático de Reativos:**

**Interface para Testes no
Compensador Estático**



**Conexão no Módulo
Compensador Estático
de Reativos**



Figura 5.9 – Cabo de testes dos SCR's no compensador estático de reativos.

5.2 – Controle do Equipamento pelo Usuário

O software TSP, que controla o testador de semicondutores, possui uma interface gráfica muito semelhante aos equipamentos reais, onde os comandos e parâmetros de entrada são executados pelo usuário através de botões e selecionadores “virtuais”. Por isso, sistemas cujo software controla os equipamento reais são conhecidos como “instrumentos virtuais”.

O microcomputador (laptop) responsável pelo controle, sua conexão com o equipamento e as entradas de parâmetros no software TSP são mostrados na sequência das figuras 5.10 à 5.14.



Figura 5.10 – Laptop conectado ao equipamento e interface do software TSP.

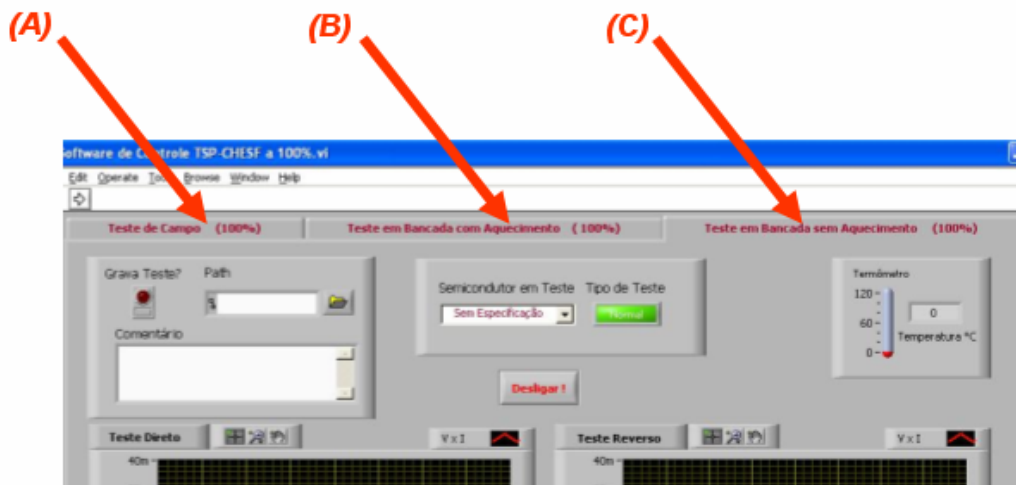
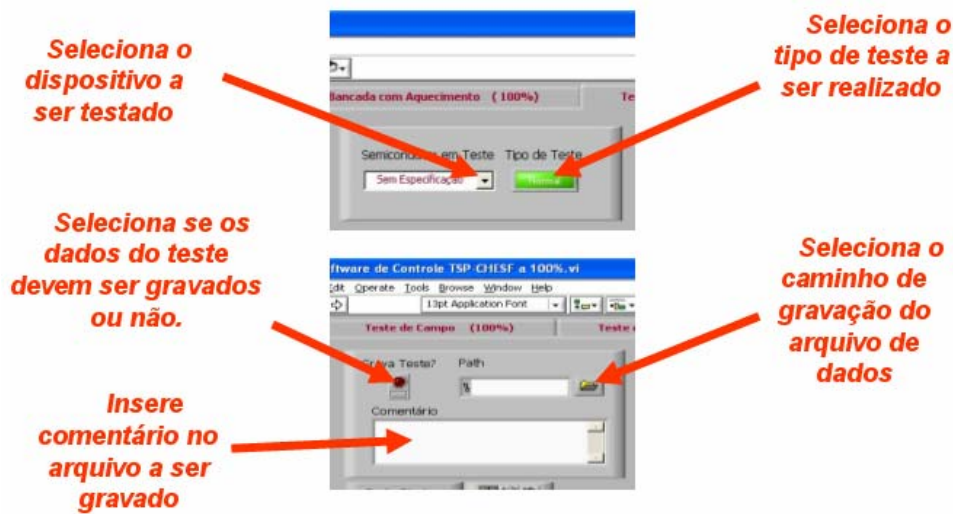
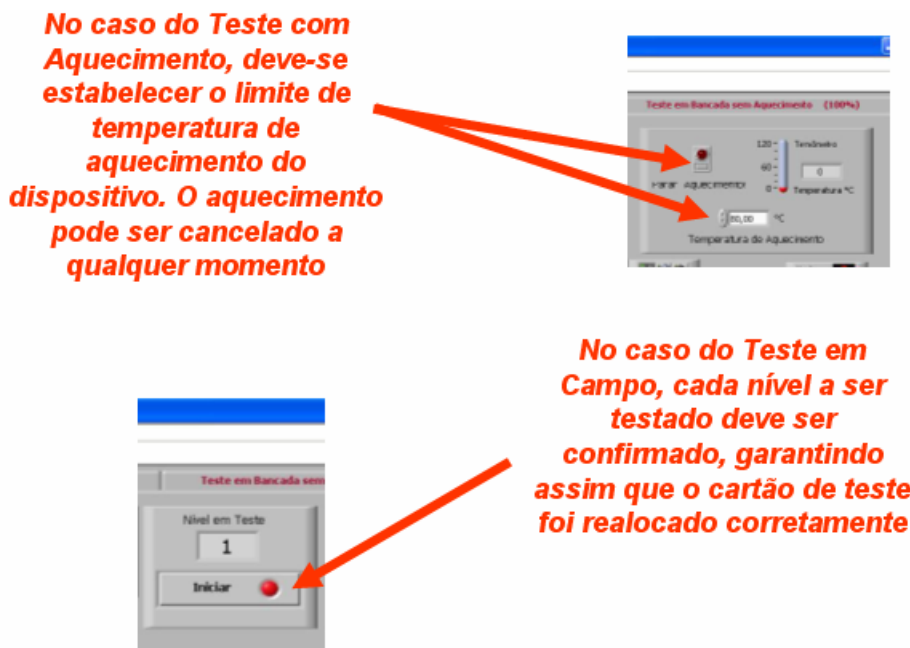


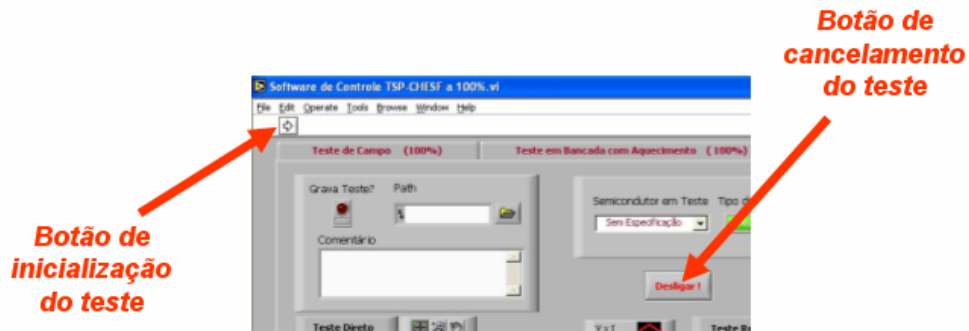
Figura 5.11 – Seleção de modo de Teste no TSP: (A) Teste em Campo; (B) Teste em Bancada com Aquecimento; (C) Teste em Bancada sem Aquecimento.



Figuras 5.12 – Entrada de parâmetros comum a todos os modos de teste.



Figuras 5.13 – Entrada de parâmetros e comandos nos modos “Teste em bancada com Aquecimento” e “Teste em Campo”.



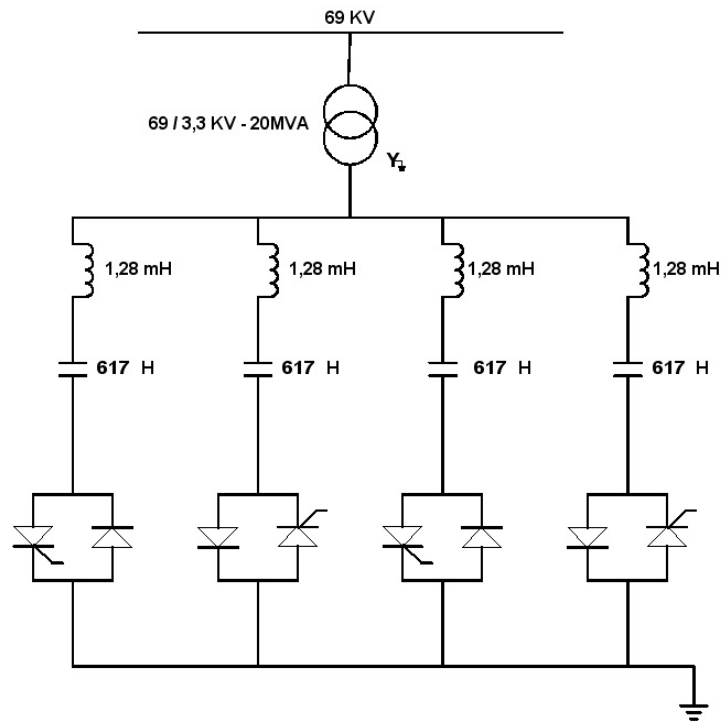
Figuras 5.14 – Comandos de inicialização e cancelamento do teste.

5.3 – Semicondutores de Potência nos Compensadores Estáticos

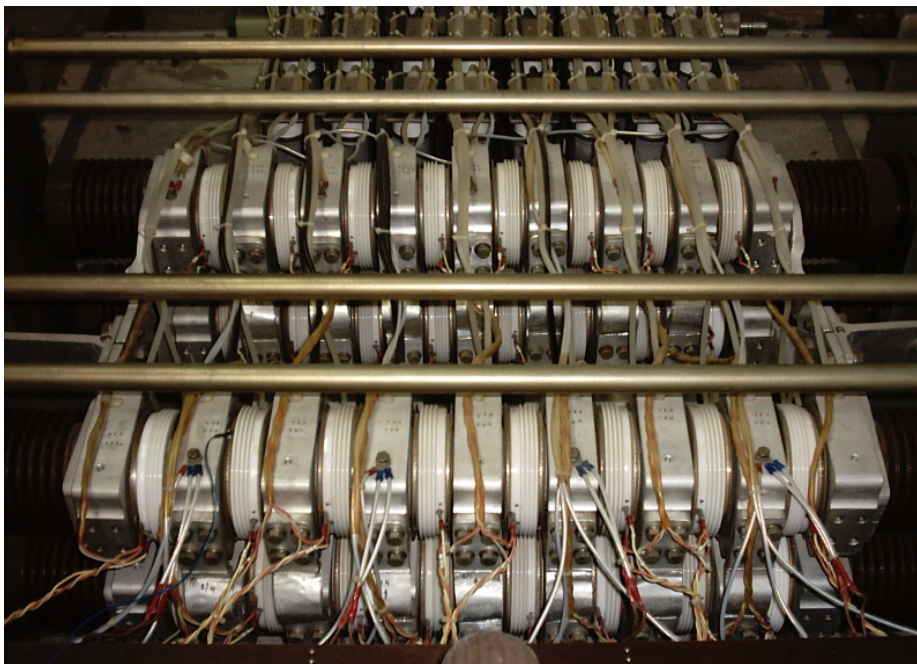
Os SCR's e diodos testados são provenientes de dois compensadores estáticos de reativos, localizados em duas subestações da CHESF, em Fortaleza (Ceará) e Mossoró (Rio Grande do Norte). Estes compensadores são do tipo reatores chaveados a tiristores (RCT) e capacitores chaveados a tiristores (CCT). As figuras abaixo ilustram os semicondutores de potência inseridos nestes equipamentos.



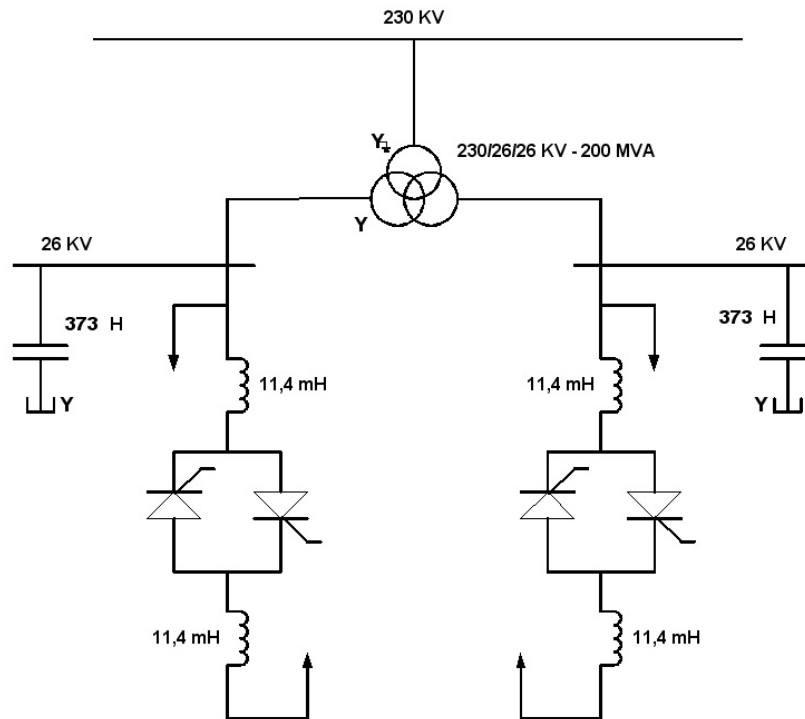
Figuras 5.15 – Compensador estático de reativos do tipo capacitores chaveados a tiristores.



Figuras 5.16 – Diagrama parcial do Compensador Estático tipo CCT.



Figuras 5.17 – Compensador estático de reativos do tipo reatores chaveados a tiristores.



Figuras 5.18 – Diagrama parcial do Compensador Estático do tipo RCT.

Capítulo 6

Análise e Resultados dos Testes Realizados

Neste capítulo são apresentados os resultados dos ensaios realizados pelo equipamento testador desenvolvido. Cinco tipos de semicondutores de potência são analisados, sendo classificados de acordo com seus estados de degradação e influência da temperatura.

6.1 – Considerações Sobre os Testes Realizados

Diversos semicondutores, dos tipos SCR's e diodos, foram testados com o *Equipamento Testador de Semicondutores de Potência*. Todos estes dispositivos são pertencentes aos compensadores estáticos de reativos da empresa CHESF. Alguns testes foram executados diretamente no compensador estático (CE), através da opção "Teste em Campo", sendo um conjunto de quatro SCR's ensaiados simultaneamente. Porém, as maiorias dos testes foram executados através das opções "Teste em bancada com aquecimento" ou "Teste em bancada sem aquecimento", em que em cada semicondutor é alocado no sistema de fixação e ensaiado individualmente.

Os resultados típicos dos ensaios realizados são mostrados neste capítulo, de modo que uma visão geral da metodologia de análise da degradação possa ser ilustrada.

Durante os testes no modo "Normal", as tensões de ensaio são aplicadas gradualmente até os limites V_{RRM} (para SCR's e diodos) e V_{DRM} (para SCR's) ou até que as correntes limites I_{RRM} e I_{DRM} serem atingidas (geralmente estes valores de corrente são atingidos antes das tensões nominais serem atingidas em caso de degradação dos componentes). Geralmente, este tipo de teste é aplicado quando não se tem qualquer conhecimento prévio do estado operacional do componente, podendo assim classifica-lo basicamente como em bom estado, defeituoso ou falho.

Os testes no modo “Breakdown” aplicam tensões sobre os componentes até que os valores próximos aos limites de corrente I_{RRM} (para SCR’s e diodos) e I_{DRM} (para SCR’s) sejam atingidos. Desta forma, obtém-se a curva característica real do componente (geralmente após a verificação de que o componente se encontra em bom estado de operação), revelando os valores de V_{RRM} e V_{DRM} dos componentes em função das correntes I_{RRM} e I_{DRM} , respectivamente.

Com base nos dados resultantes destes testes, são observadas as características tensão x corrente dos semicondutores ensaiados, possibilitando a classificação do estado destes componentes de acordo com a suportabilidade à tensão aplicada, levando-se em consideração que diferentes estágios de degradação fornecem diferentes curvas características.

Foram também realizados ensaios sobre os semicondutores a diferentes temperaturas de junção, com o objetivo de verificar o comportamento da capacidade de bloqueio desses componentes com temperaturas mais elevadas e, conseqüentemente, mais próximas às condições reais de operação.

6.2 – Testes em Bancada Sem Aquecimento

O compensador estático do tipo capacitores chaveados a tiristores (CCT), da subestação da CHESF em Mossoró, possui tiristores do tipo FT500AH-70 e FT1000BV-70 e diodos do tipo FD500EV-70 e FD1000A-56. Os testes ocorreram próximos à temperatura ambiente, variando entre 25 e 34 °C, sendo todos ensaiados no modo “bancada sem aquecimento” e teste tipo “Normal”. As especificações do fabricante para os componentes listados são resumidas na tabela 6.1

Componente	V_{RRM} (e V_{DRM}^*)	I_{RRM} (e I_{DRM}^*)	Tipo
FT500AH-70	3,5KV	30mA	SCR*
FT1000BV-70	3,5KV	120mA	SCR*
FD500EV-70	3,5KV	30mA	Diodo
FD1000A-56	2,5KV	30mA	Diodo

Tabela 6.1 – Valores de V_{RRM}/V_{DRM}^* e I_{RRM}/I_{DRM}^* para os semicondutores do CE – CCT .

Estes valores são pré-fixados no software TSP, estabelecendo assim os limites de execução dos ensaios. A seleção de cada componente é feita na interface do usuário.

De modo a ilustrar a metodologia de classificação dos SCR's e diodos testados, diversos componentes, em variados estados de operação (bom, defeituoso e falho) são analisados.

As figuras 6.1 e 6.2 mostram as curvas de um tiristor do tipo FT1000BV-70 e um diodo FD 500EV-70, ambos em bom estado de funcionamento.

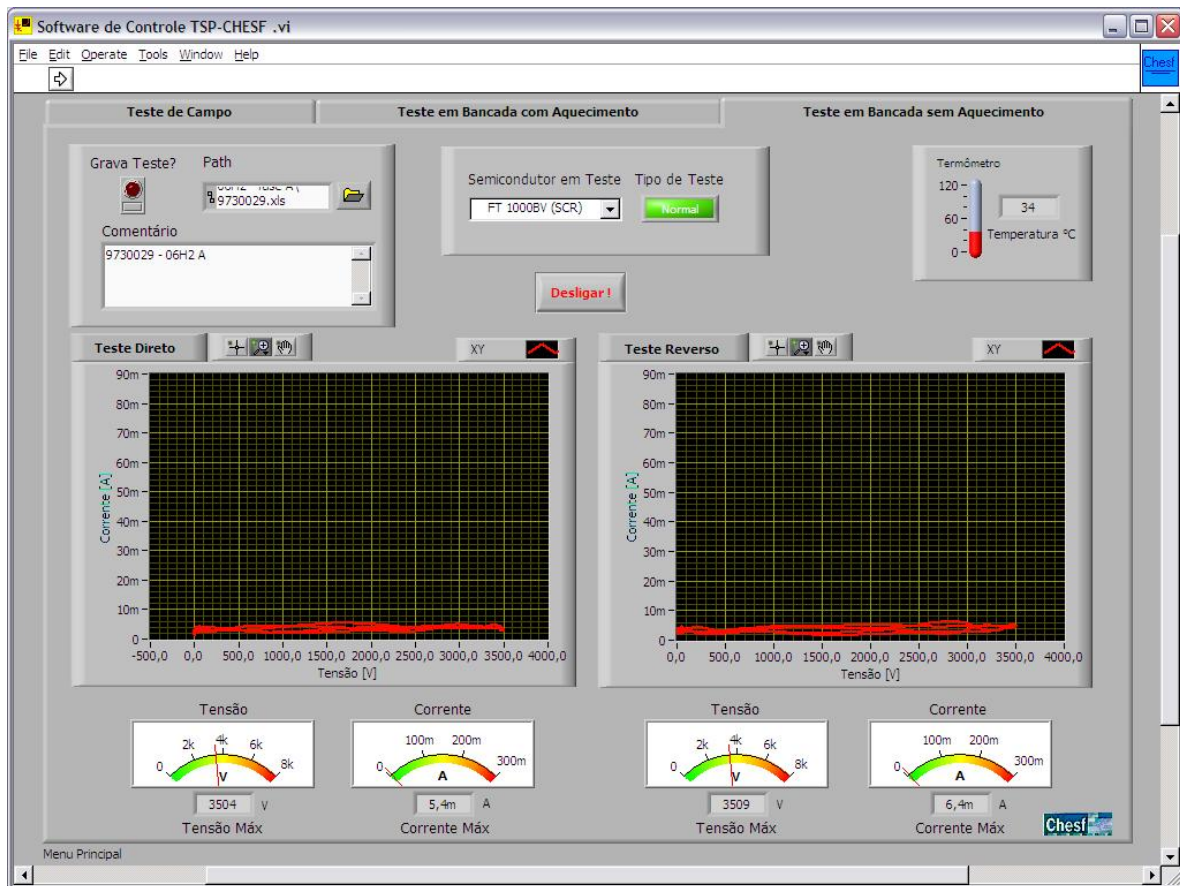


Figura 6.1 – Tela do ensaio de um SCR FT1000BV-70 em bom estado de funcionamento.

Como pode ser observado na figura 6.1, as tensões máximas (direta e reversa) aplicadas são respectivamente 3504 V e 3509 V, estando próximos aos valores máximos de V_{DRM} e V_{RRM} . Além disso, correntes direta e reversa não apresentam valores significativos (os valores de 5,4 mA e 6,4 mA, respectivamente, são relativos ao nível de ruído da sonda de corrente de efeito hall). Assim, como os valores apresentados encontram-se dentro dos valores nominais, o SCR em questão apresenta-se em bom estado de operação.

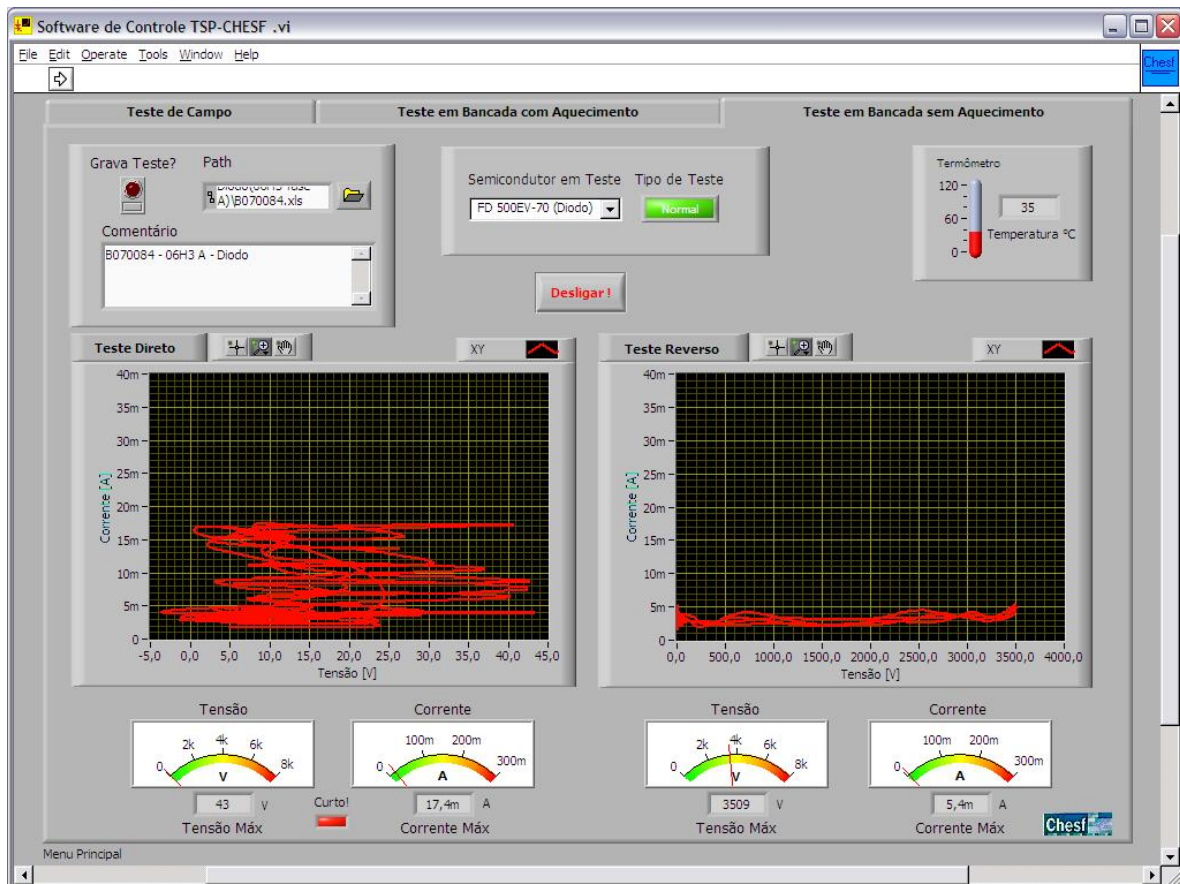


Figura 6.2 – Tela do ensaio de um diodo FD500EV-70 em bom estado de funcionamento.

Na figura 6.2, a tela de ensaio de um diodo FD500EV-70 é mostrada. No que se refere ao teste direto (lado direito da tela), o software acusa curto circuito, condizendo com estado de um diodo polarizado diretamente. No teste reverso, a tensão máxima aplicada é de 3509 V e a corrente de fuga reversa de 5,4 mA. Estes são os valores esperados para o diodo de potência FD500EV-70 em boas condições de operação.

Quando componentes semicondutores apresentam uma tendência de degradação, a curva característica é diferenciada daquela esperada quando o componente se encontra em bom estado de funcionamento. A seguir são analisados dois casos de semicondutores que apresentam algum tipo de degradação.

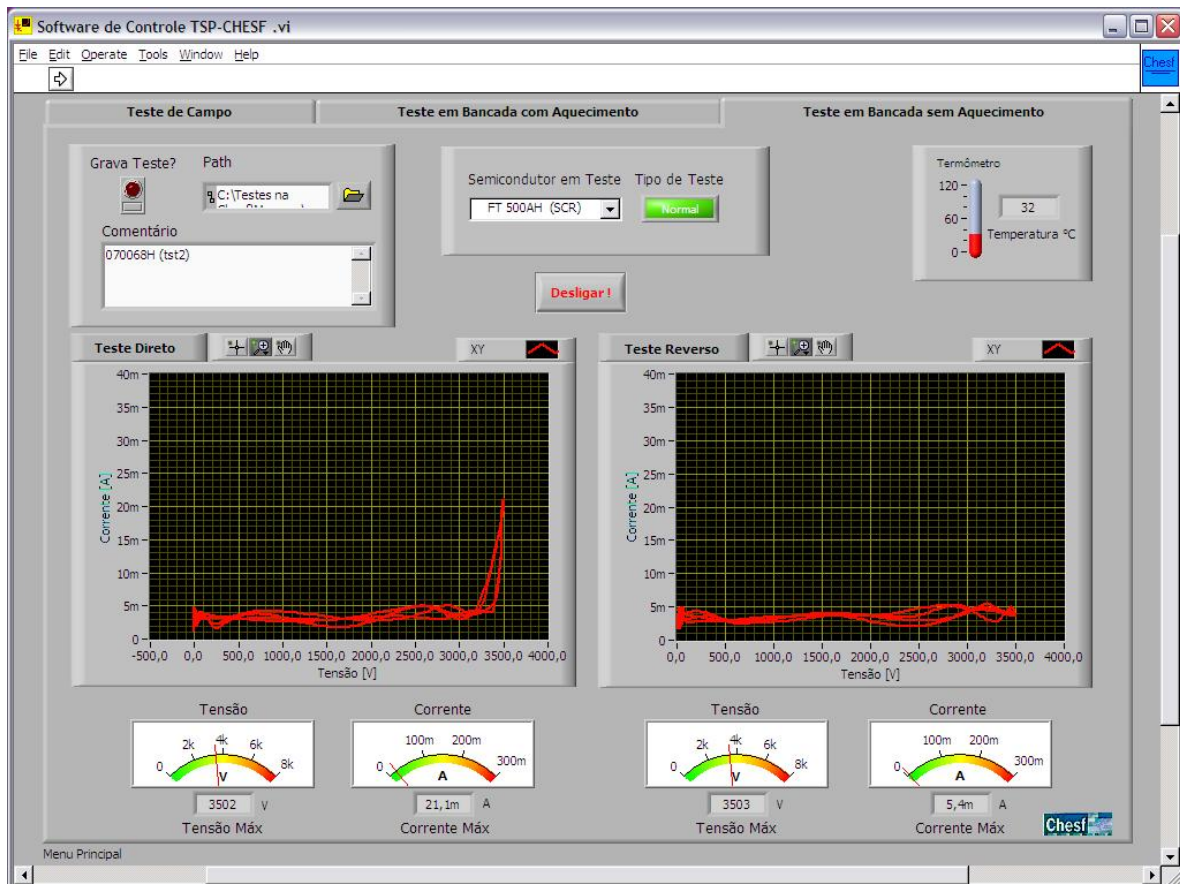


Figura 6.3 – Tela do ensaio de um SCR FT500AH-70 que apresenta tendência de degradação no modo direto.

Na figura 6.3, um SCR do tipo FT500AH-70 é testado e apresenta bom estado no modo reverso. Porém, uma tendência de degradação é observada no modo direto. Apesar do semicondutor ter suportado a tensão V_{DRM} especificada (3502 V), este apresenta uma corrente de fuga direta crescente na região limite da tensão aplicada, com valor máximo de 21,5 mA. Conclui-se então que o semicondutor encontra-se em estado inicial de degradação.

É interessante salientar que este componente se encontrava em pleno funcionamento na válvula do compensador estático anteriormente ao ensaio. Portanto, ele desempenhava suas funções normalmente, visto que as solicitações do “CE” normalmente não atingem os limites críticos do componente (ficam em torno de 50% apenas). Entretanto, com o uso contínuo, provavelmente a degradação deste SCR viria a evoluir até o estado de falha. Com base no

diagnóstico acima, este componente foi substituído antes da ocorrência da falha intempestiva.

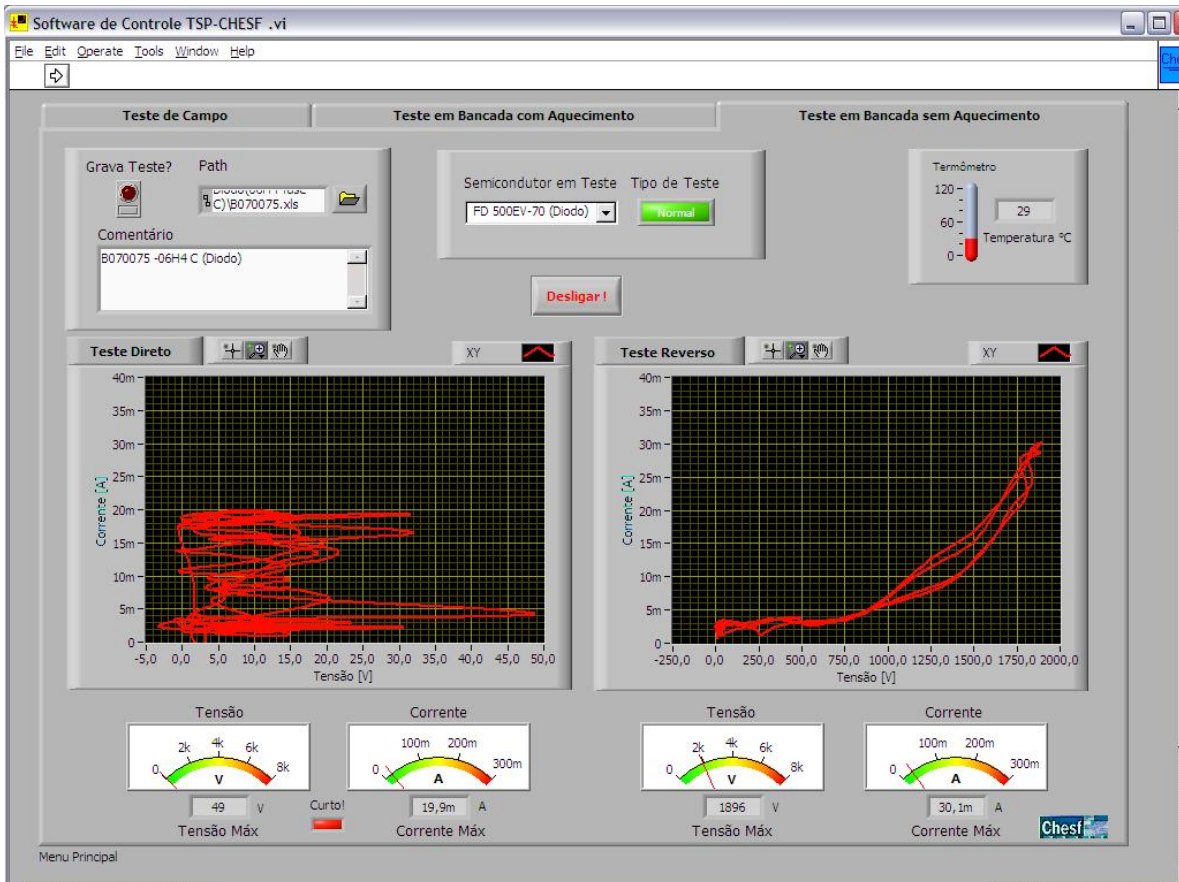
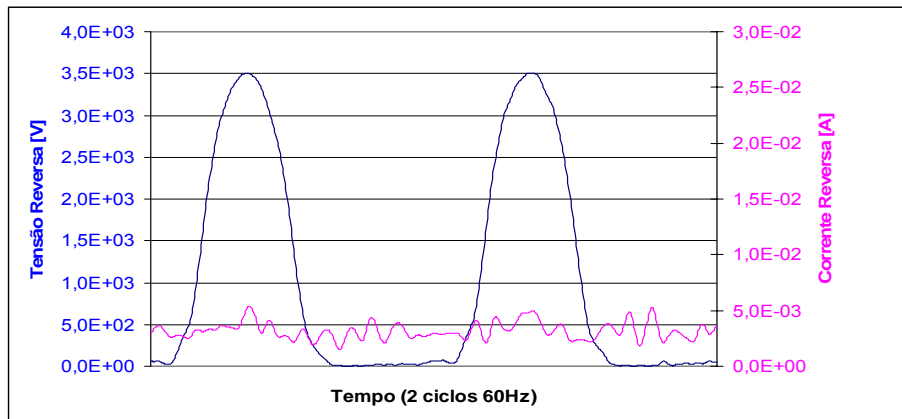
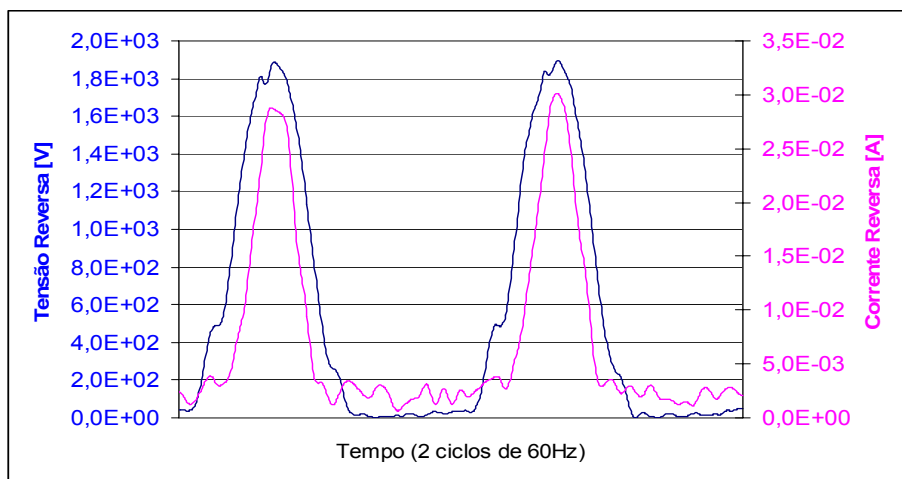


Figura 6.4 – Tela do ensaio de um diodo FD500EV-70 que apresenta degradação (efeito resistivo) na polarização reversa.

Na figura 6.4, o teste direto acusa um curto circuito, fato normal em caso de diodo polarizado diretamente. No teste reverso, pode-se observar que a corrente de fuga cresce proporcionalmente à tensão aplicada sobre o diodo de potência, a partir de 750 V. Isto indica um tipo de efeito resistivo onde deveria haver um total bloqueamento da corrente reversa. A máxima tensão suportada até o limite de corrente especificado é de 1896 V. Assim, um estado de degradação avançada já ocorria no diodo em questão, sendo este componente foi prontamente substituído por outro em melhores condições.



(a)



(b)

Figura 6.5 – Formas de onda no tempo do teste reverso dos diodos FD500EV-70 em bom estado (a) e em degradação (b) – referente aos testes das figuras 6.2 e 6.4, respectivamente.

Para efeito comparativo, a figura 6.5 apresenta as formas de onda obtidas durante os testes no modo reverso dos dois diodos FD500EV-70 descritos anteriormente (figuras 6.2 e 6.4). Na figura 6.5 (a), o diodo encontra-se em bom estado de funcionamento. Já na figura 6.5 (b), o diodo está visivelmente degradado visto que a forma de onda da corrente é proporcional a da tensão aplicada (efeito resistivo).

6.3 – Testes em Campo

Os SCR's pertencentes ao "CE" tipo reatores chaveados a tiristores (RCT), de Fortaleza, são da família Bst T68H280S15, da Siemens, com tensões V_{RRM} e V_{DRM} iguais a **4,2KV** e correntes I_{RRM} e I_{DRM} iguais a **250mA**.

Inicialmente os ensaios ocorreram diretamente no "CE", com a seleção "teste em campo", que avalia todos os oito níveis existentes do compensador. Devido à configuração dos SCR's em cada nível (dois em paralelo e dois em antiparalelo), aplicou-se primeiramente a tensão em uma polaridade, denominado teste direto. Assim, dois SCR's foram submetidos a V_{DRM} [A1 e A3] e dois a V_{RRM} [A2 e A4]. Em seguida o equipamento inverte a polaridade da tensão aplicada, onde é verificada a capacidade de bloqueio destes tiristores no sentido inverso ao primeiro ensaio, denominado teste reverso. Desta forma, quando um determinado nível em teste apresenta baixa capacidade de bloqueio, implica que um SCR pertencente ao grupo está falho ou defeituoso. Neste caso, as conexões de paralelismo entre os SCR's deste nível são retirados, e o teste aplicado novamente de modo a se discriminar qual componente encontra-se degradado e necessitando de substituição. Todos estes testes foram realizados no modo "Normal" e a temperatura ambiente.

A figura 6.6 mostra a curva típica da tensão x corrente obtida do ensaio "em campo", em que todos os tiristores do nível testado estão em estado normal de operação, suportando as tensões V_{DRM} e V_{RRM} e com valores de corrente bem abaixo do máximo especificado para estas tensões.

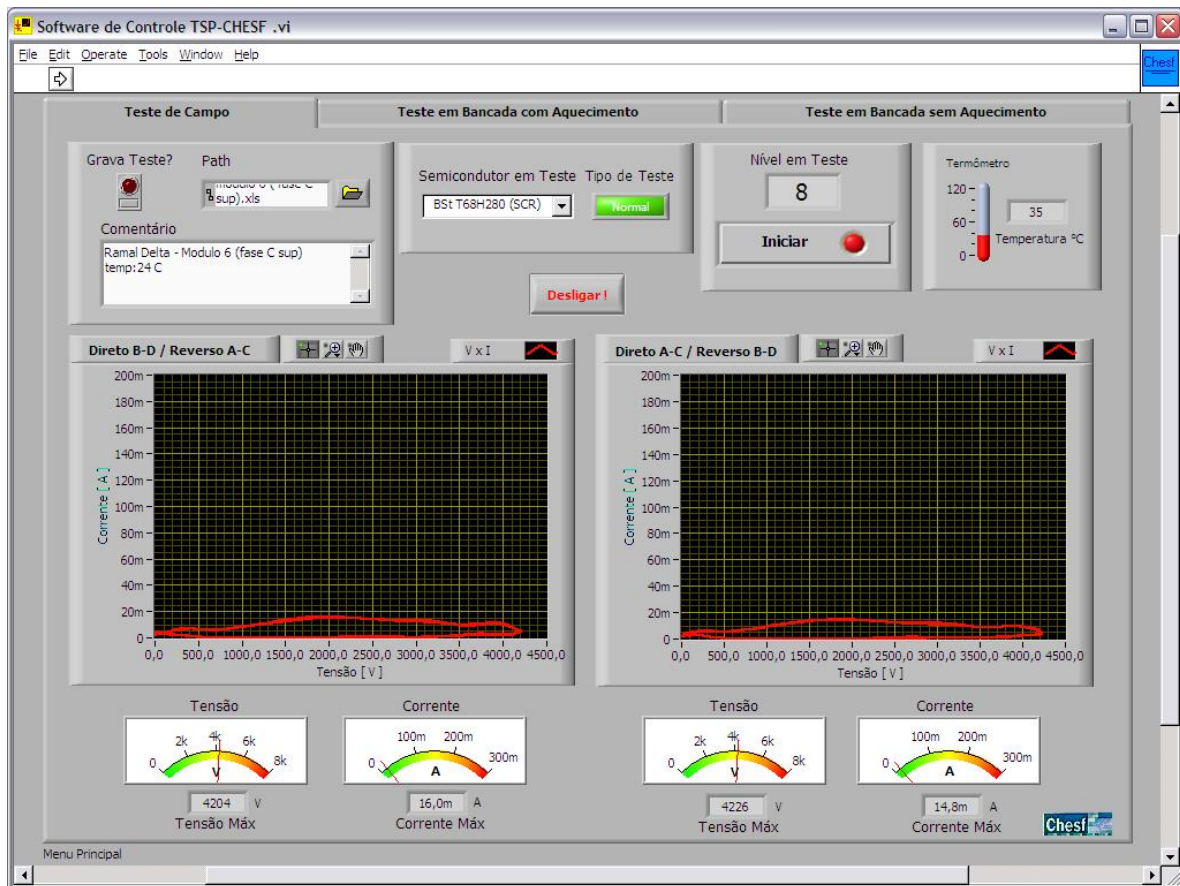


Figura 6.6 – Tela do ensaio do nível 8 de CE tipo RCT, em que todos os quatro semicondutores estão em bom estado de funcionamento .

Como pode ser observado pela figura 6.7, os valores aplicados de tensão são 4209 V e 4226 V, próximos aos valores nominais de V_{DRM} e V_{RRM} , com correntes de fuga de 16 mA e 14,8 mA, bem abaixo dos valores limites I_{DRM} e I_{DRM} . Vale salientar ainda que estes valores de corrente são relativos à soma das correntes de fuga dos quatro tiristores presentes em cada nível. Com base nestes dados, observa-se que nenhum dos SCR do nível testado apresenta problemas de bloqueio.

Durante os ensaios, alguns níveis apresentaram curvas que demonstravam tendências de degradação dos SCR's, embora o sistema funcionasse normalmente, visto que as tensões solicitadas durante a operação nem sempre são os valores limites nominais dos componentes. A figura 6.7 ilustra este caso.

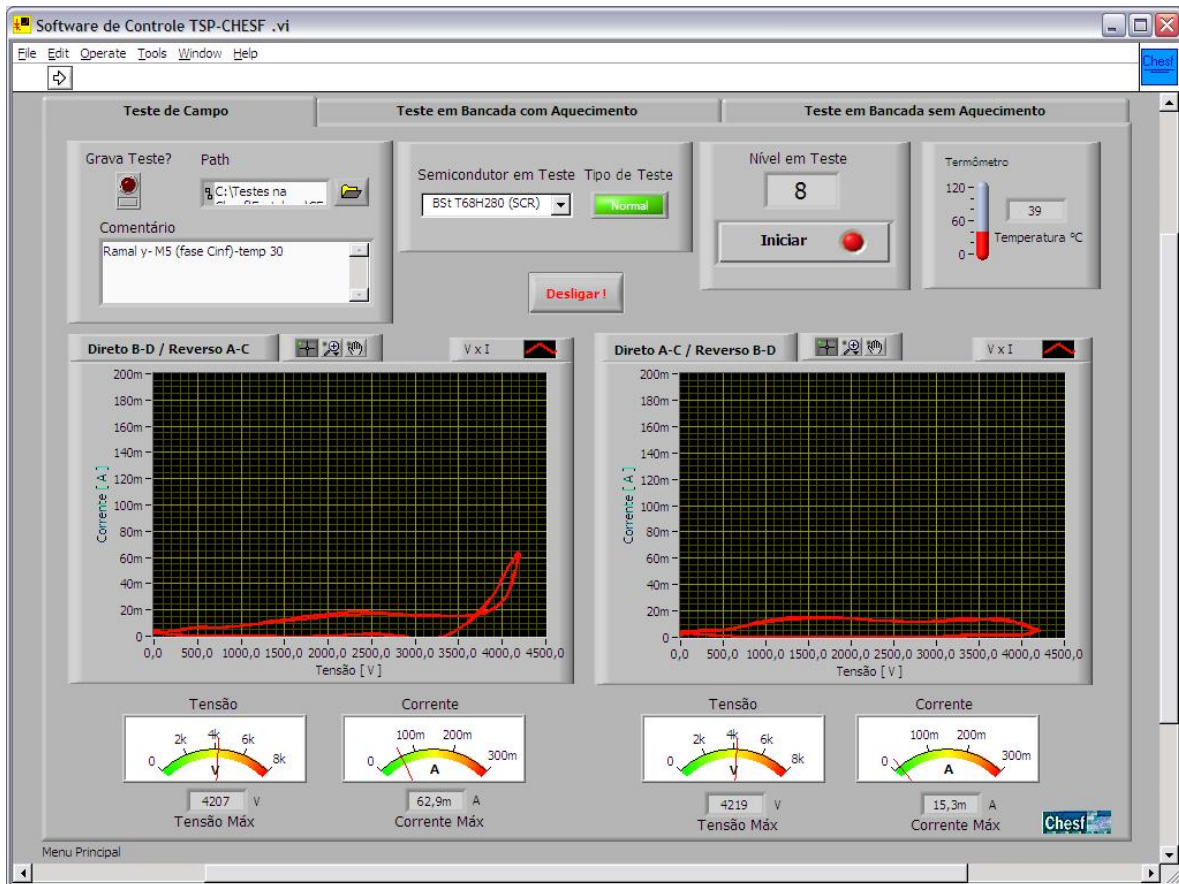


Figura 6.7 – Tela do ensaio do nível 8 de CE tipo RCT, cuja curva de resposta do teste direto apresenta tendência de degradação

Um semicondutor pertencente ao nível 8, acima ilustrado, apresentava um quadro de degradação inicial, apesar de ainda desempenhar suas funções no CE. Para se ter a confirmação do componente defeituoso, foi necessária a retirada dos cabos responsáveis pelas conexões paralelas entre os demais e uma nova aplicação do teste em cada um dos SCR's do nível em questão, isoladamente. Após a verificação, este componente foi prontamente substituído, evitando assim falhas futuras nesta válvula.

No ensaio ilustrado na figura 6.8, o nível em teste apresenta pelo menos um SCR defeituoso.

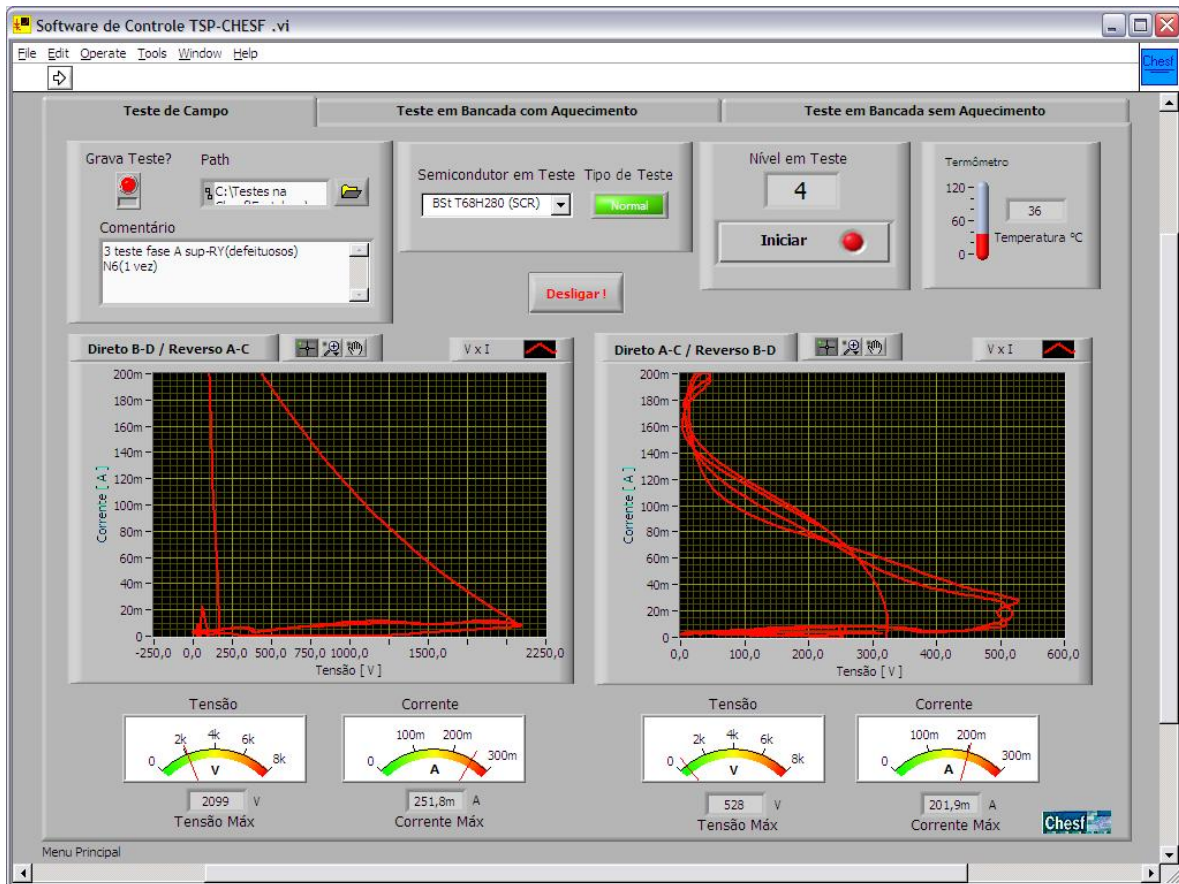
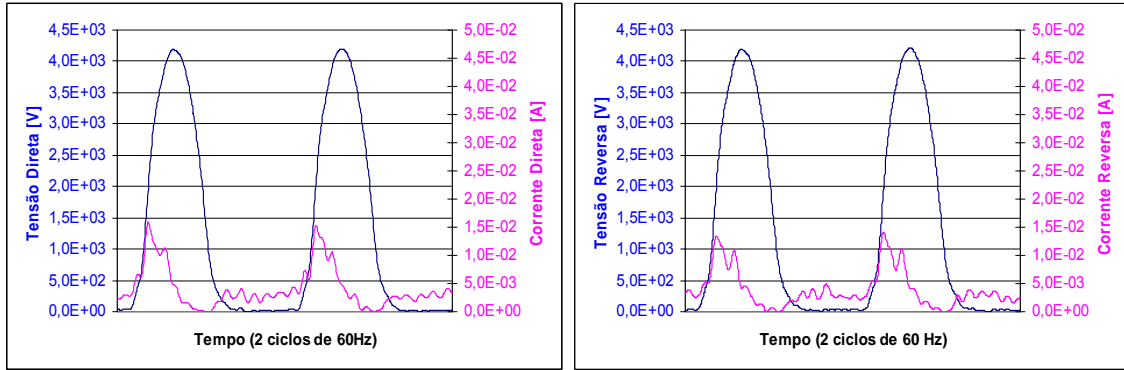


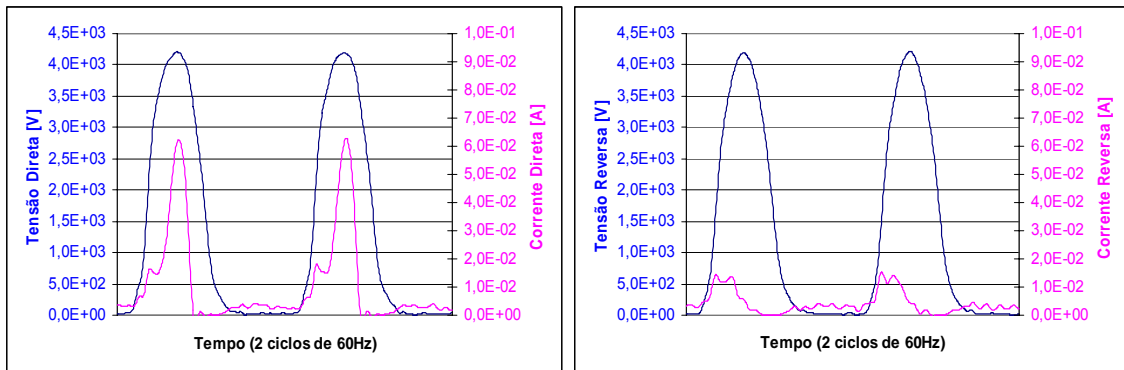
Figura 6.8 – Tela do ensaio do nível 4 de CE tipo RCT, contendo pelo menos um SCR defeituoso.

É visível que os gráficos $V \times I$ acima apresentam alteração em relação a uma curva com SCR's em bom estado, indicando que houve um disparo involuntário de pelo menos um SCR em cada teste (direto e reverso). A tensão e corrente se mantêm estáveis até certo ponto, quando abruptamente há uma redução na tensão e aumento de corrente. Tanto o valor da tensão direta (2099 V) quanto o da tensão reversa (528 V) estão bem abaixo do máximo especificado, o que caracteriza a degradação de algum componente neste nível.

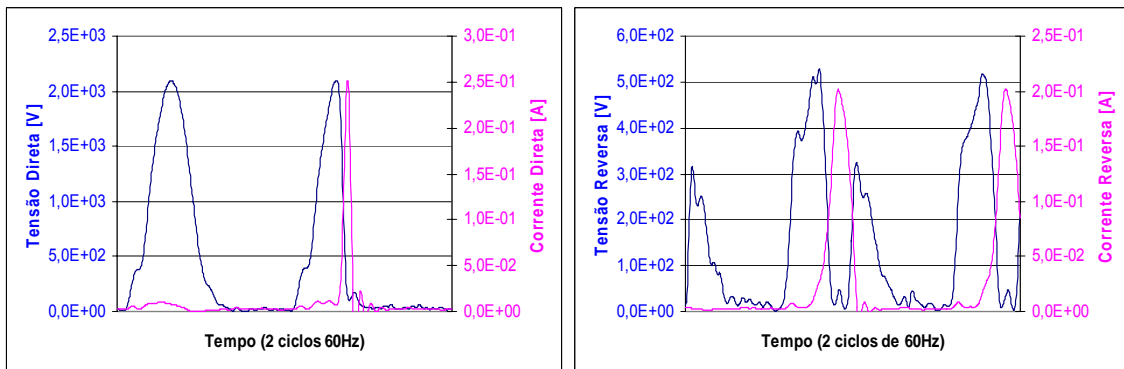
Para efeito comparativo, as figura 6.9 (a), (b) e (c) mostram as formas de onda no domínio do tempo, obtidas durante os testes nos módulos do compensador estático, descritos anteriormente.



(a)



(b)



(c)

Figura 6.9 – Formas de onda adquiridas durante os ensaios nos níveis do CE, contendo SCR's do tipo Bst T68H280S15 em bom estado (a), defeituoso (b) e falho (c).

Uma fato interessante, que pode ser observado nas curvas do SCR do tipo Bst T68H280S15, em bom estado de operação, é que o valor máximo da corrente ocorre durante o crescimento da tensão aplicada. Esta corrente tem características de uma corrente capacitiva, provavelmente resultado do aumento

das regiões de depleção das junções destes tiristores, durante a polarização inicial. Como a área de junção deste tipo de SCR é maior que a dos demais tipos anteriormente citados, devido a sua maior capacidade de corrente, o efeito capacitivo é mais evidente.

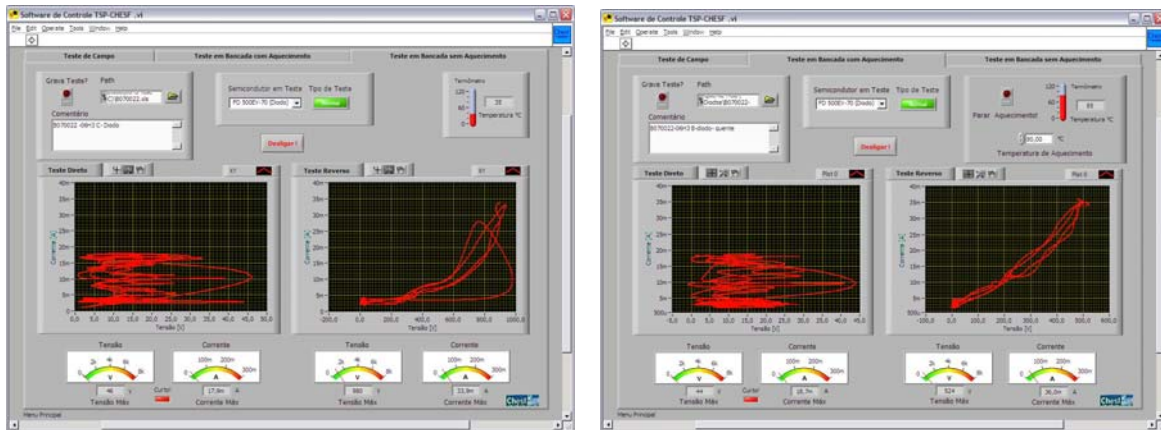
6.4 – Influência da Temperatura nos Parâmetros do Semicondutor

Algumas das principais características dos semicondutores são especificadas associando-se uma temperatura de referência. Portanto, é óbvia a relação do comportamento do semicondutor com a temperatura ao qual este se encontra durante a operação. A literatura ^[3] descreve observações experimentais que apontam um acréscimo de 7%/°C na corrente de fuga de semicondutores de potência do tipo diodo.

No entanto, pouco já foi publicado sobre o comportamento das correntes de fuga direta e reversa e a capacidade de bloqueio dos SCR's de alta potência quando aquecidos.

Os ensaios apresentados nesta etapa do trabalho pretendem mostrar como semicondutores de potência que, a temperatura ambiente são classificados como bons ou falhados (de acordo com os critérios apresentados no capítulo I), se comportam quando as temperaturas de junção são elevadas a valores próximos aos que normalmente estes dispositivos operam. Os testes foram realizados em um diodo falhado FD500EV-70 e um SCR FT500AH-70 em bom estado (pertencentes ao CE do tipo CCT), e também em um SCR Bst T68H280S15 em bom estado (pertencente ao CE tipo RCT). Todos foram submetidos a aquecimento a partir do sistema de fixação do equipamento, através do teste “em bancada com aquecimento” (modo normal), selecionado no software TSP.

A figura 6.10 ilustra a tela do software TSP durante o teste de um diodo FD500EV-70 à temperatura ambiente e com aquecimento.



(a)

(b)

Figura 6.10 – Telas dos ensaios de um diodo FD500EV-70: (a) 35 °C ; (b) 85 °C .

Na figura 6.11 tem-se a comparação das curvas obtidas durante o teste reverso, com temperaturas de 35°C e 85°C.

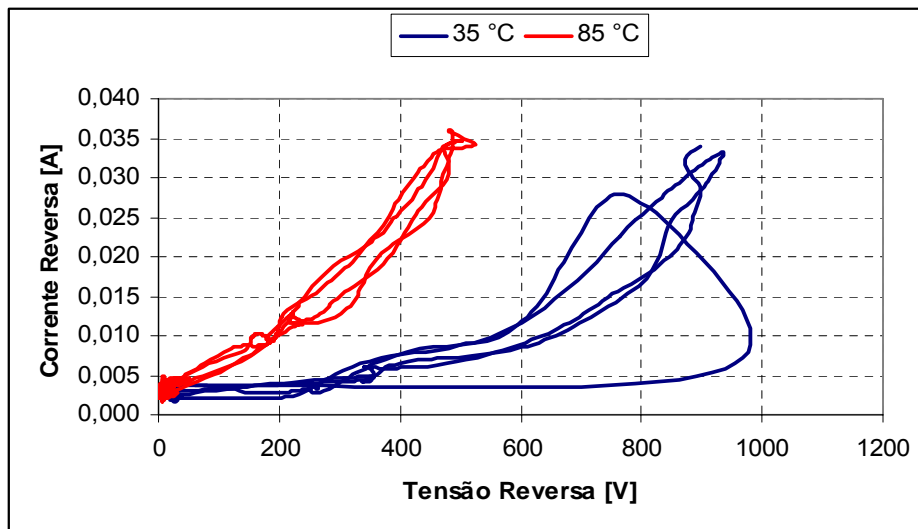
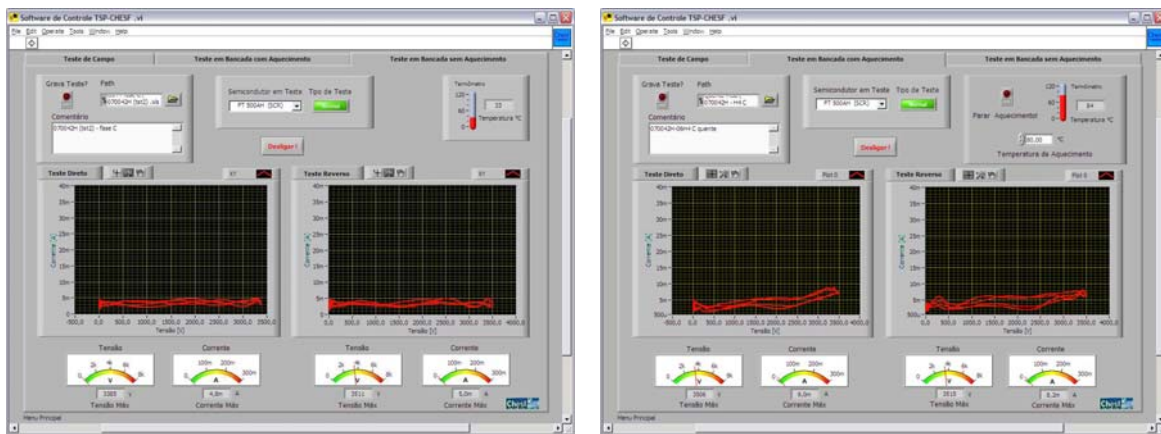


Figura 6.11 – Comparação das características $V \times I$ do diodo tipo FD500EV-70, com temperaturas de 35 °C e 85 °C, na tensão de bloqueio reversa.

Como pode ser observado na figura acima, o diodo já apresenta uma degradação bastante acentuada, visto que os valores de corrente da ordem de 35mA já se apresentam com tensões bem abaixo das especificadas.

A capacidade de bloqueio, entretanto, teve uma redução considerável quando aquecido, visto que para a temperatura de 35 °C o dispositivo suportava uma tensão de 980 V e em 85 °C suportou apenas 524 V. Para uma diferença de temperatura de 50 °C e tomando como referência uma mesma tensão aplicada, ocorreu uma variação de corrente de aproximadamente 313%, o que corresponde a 6,26%/°C, condizente com o valor citado na literatura.

A figura 6.12 ilustra as telas dos testes realizados sobre um SCR FT500AH-70 nos modos “bancada sem aquecimento” e “bancada com aquecimento”.



(a)

(b)

Figura 6.12 – Telas dos ensaios do SCR tipo FT500AH-70: (a) 33 °C ; (b) 84 °C.

As figuras 6.13 e 6.14 mostram as curvas comparativas entre as duas temperaturas de ensaio do FT500AH-70, para os testes direto e reverso, respectivamente.

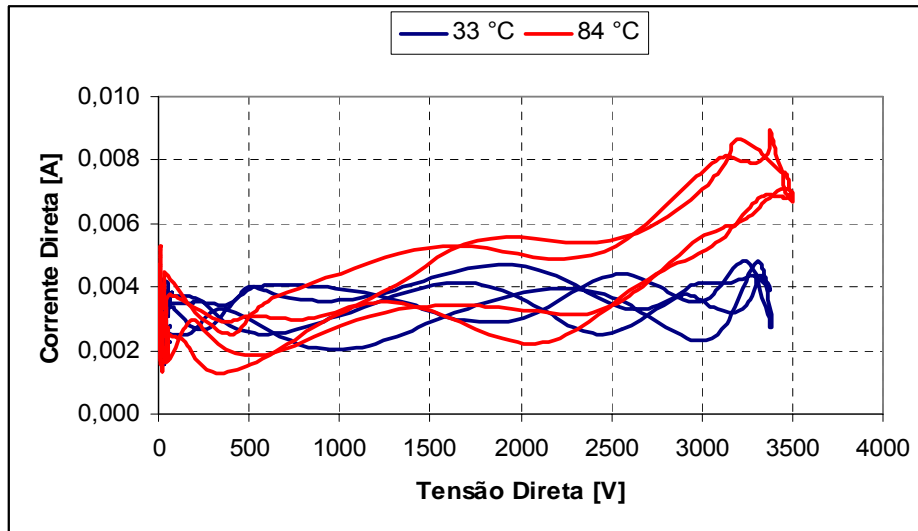


Figura 6.13 – Comparação das características $V \times I$ do SCR tipo FT500AH-70, a 33 °C e 84 °C, na tensão de bloqueio direta.

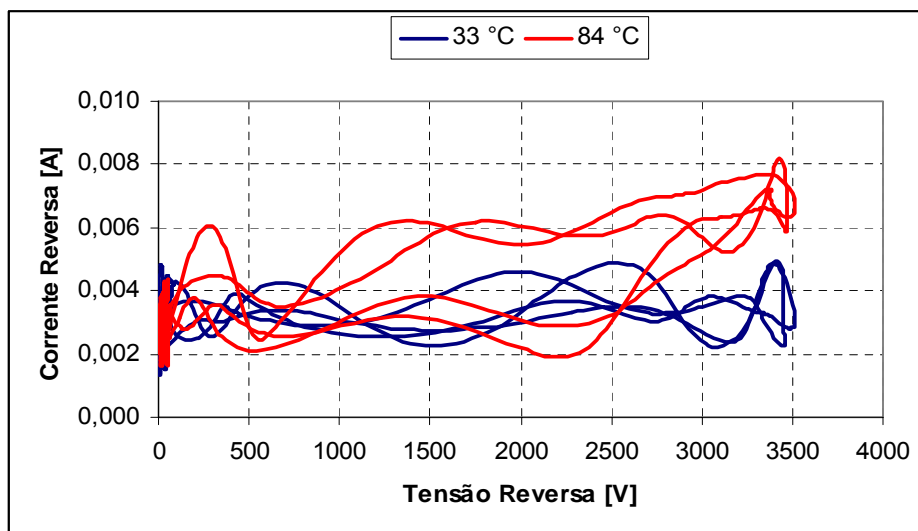


Figura 6.14 – Comparação das características $V \times I$ do SCR tipo FT500AH-70, a 33 °C e 84 °C, na tensão de bloqueio reversa.

Pela observação das figuras acima, percebe-se que o SCR FT500AH-70 apresenta-se em bom estado de operação, nas duas temperaturas citadas, visto que sua capacidade de bloqueio manteve-se dentro das especificações.

A diferença de temperatura entre os testes foi de 51 °C, sendo que a corrente no modo direto teve aumento de aproximadamente 86%, correspondendo a uma taxa de 1,68%/°C. No modo de bloqueio reverso, a corrente teve aumento de 65%, correspondendo a uma taxa de 1,27%/°C.

O último caso analisado é o do SCR tipo Bst T68H280S15, que tem as telas de seu ensaio apresentadas na figura 6.15, nas temperaturas de 24 e 94 °C.

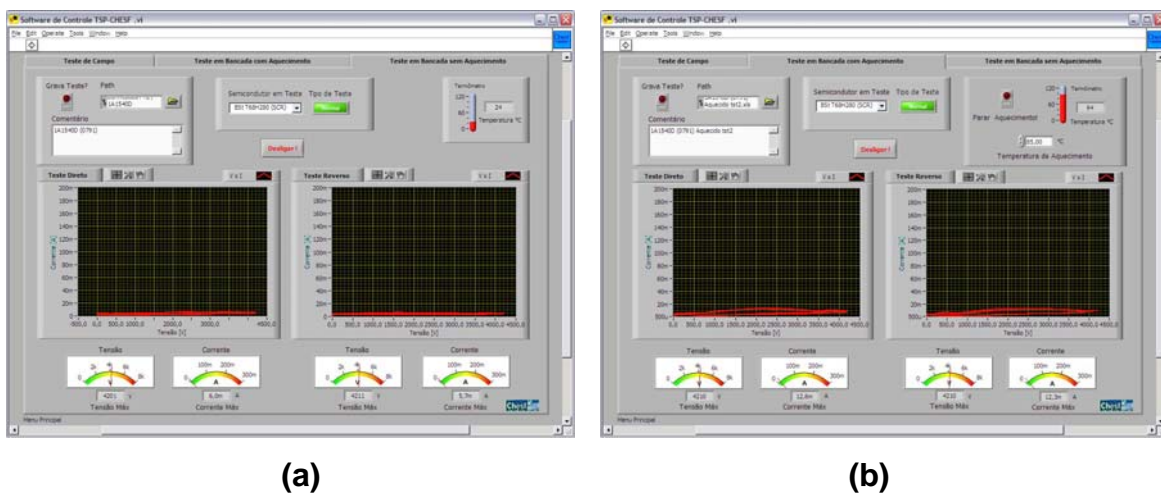


Figura 6.15 – Telas dos ensaios do SCR tipo Bst T68H280S15: (a) 24 °C ; (b) 94 °C.

As curvas referentes aos dados aquisitados durante os testes direto e reverso no Bst T68H280S15, nas duas temperaturas citadas, são comparadas nas figuras 6.16 e 6.17.

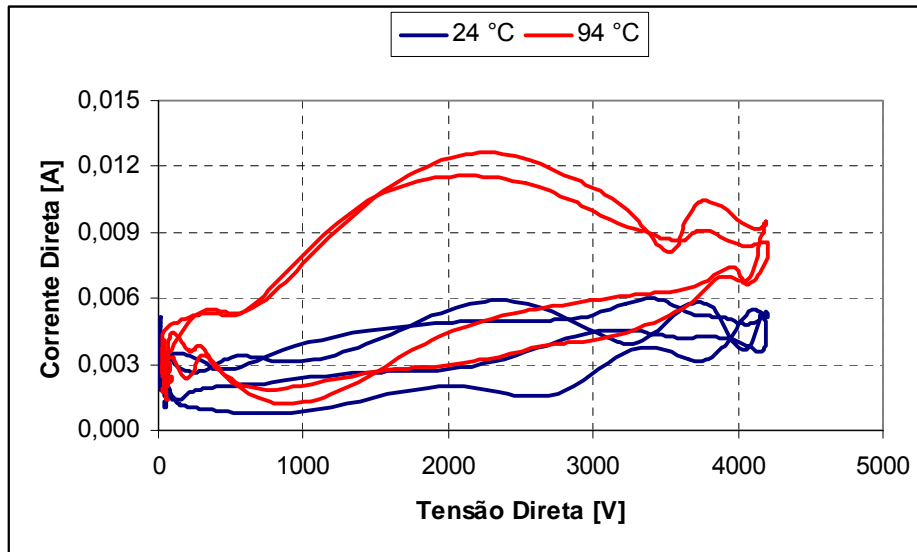


Figura 6.16 – Comparação das características $V \times I$ do SCR tipo Bst T68H280S15, a 24 °C e 94 °C, na tensão de bloqueio direta.

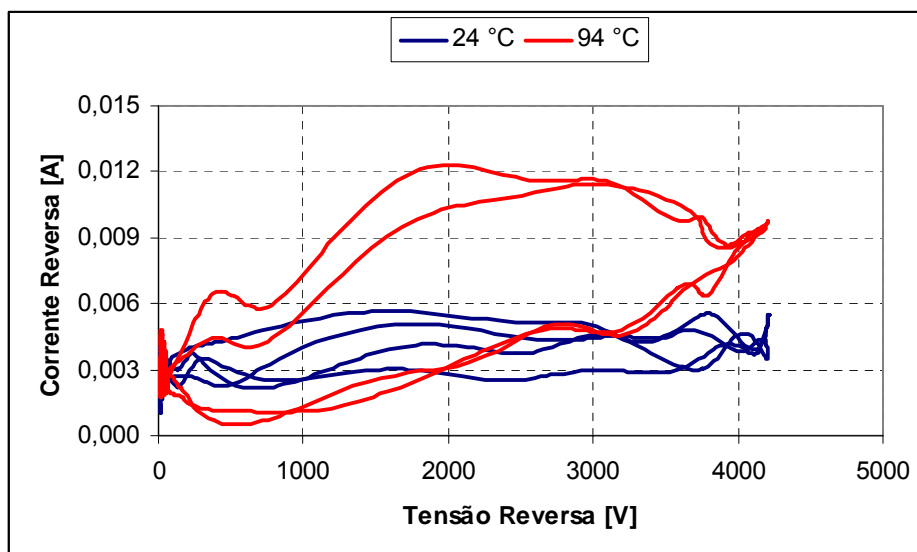


Figura 6.17 – Comparação das características $V \times I$ do SCR tipo Bst T68H280S15, a 24 °C e 94 °C, na tensão de bloqueio reversa.

Nos ensaios sobre o SCR Bst T68H280S15, observa-se que a capacidade de bloqueio não foi afetada após o aquecimento da junção, mantendo-se ainda em boas condições de operação.

Em relação aos valores de corrente de fuga direta e reversa, após o aquecimento, verifica-se ambas apresentaram um acréscimo da ordem de 100%

para um gradiente de temperatura de 70 °C, perfazendo um coeficiente aproximado de 1,4%/ °C.

As formas de onda no tempo, do ensaio no modo direto do Bst T68H280S15, são mostradas nas figuras 6.18 (24 °C) e 6.19 (94 °C).

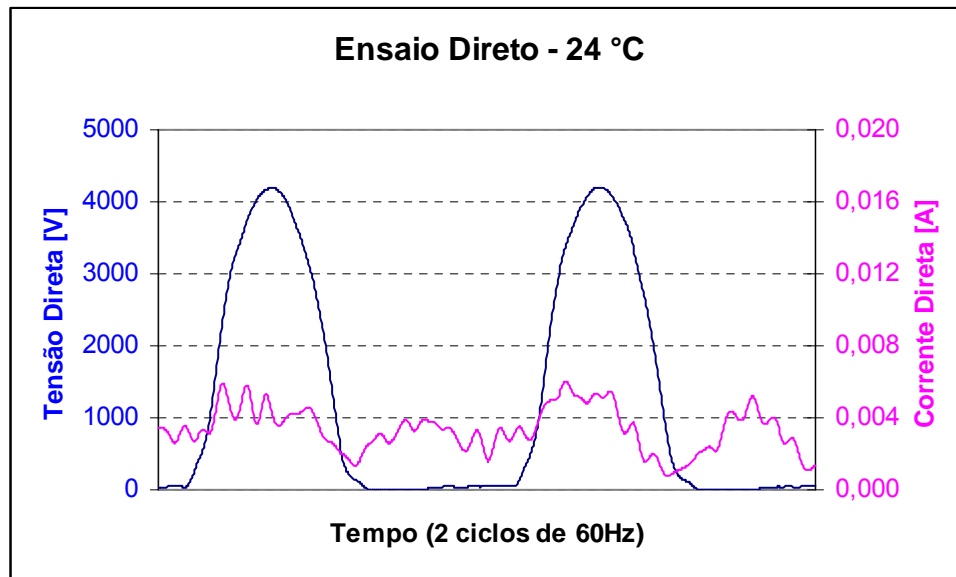


Figura 6.18 – Forma de onda do Bst T68H280S15 no bloqueio direto, a 24 °C.

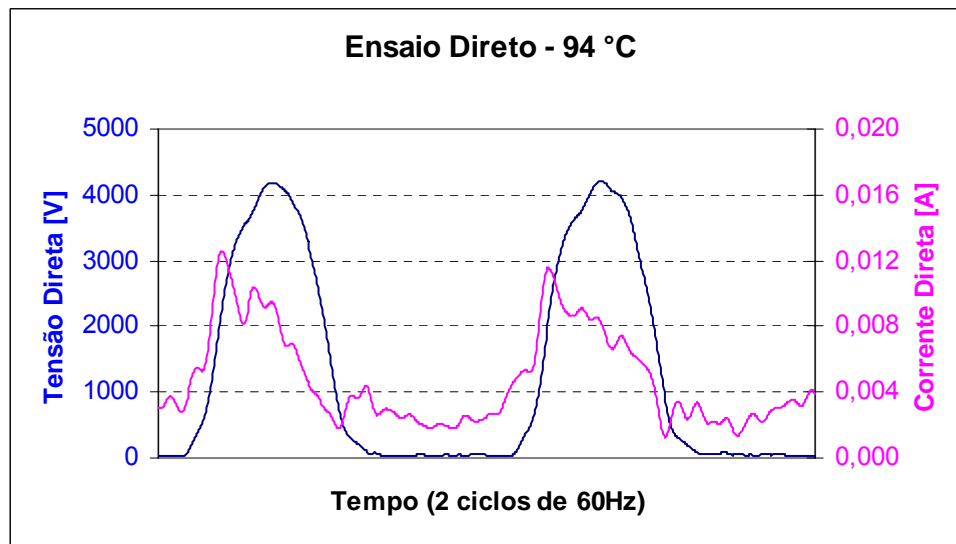


Figura 6.19 – Forma de onda do Bst T68H280S15 no bloqueio direto, a 94 °C.

Como pode ser observado nas figuras acima, com o tiristor aquecido a 94°C, a forma de onda da corrente se aproxima da forma de onda da tensão aplicada, quando comparada com as curvas do tiristor a 24°C. A corrente ainda mantém suas características capacitivas, conforme já observado anteriormente para este tipo de SCR.

6.5 – Ensaio no Modo “Breakdown”

O teste de “Breakdown” tem o objetivo de verificar as tensões V_{RRM} (para diodos) e V_{DRM} (para diodos e SCR’s) em função das correntes de fuga I_{RRM} e I_{DRM} , respectivamente.

Conforme citado anteriormente, o teste no modo “Breakdown” (selecionado no software TSP) é aplicado quando já se possui um diagnóstico preliminar do componente (através do teste no modo “Normal”), que aponta o semiconductor como em bom estado de operação. Recomenda-se esta verificação visto que os valores obtidos pelo teste descrevem os limites reais do dispositivo em termos de corrente de fuga, que não são obtidos pelo teste “Normal” em componentes em bom estado. Não existe, entretanto, impedimento referente a execução deste modo de teste previamente ao teste no modo “Normal”, já que os limites e proteções relativas as correntes máximas entrarão em atuação caso o componente esteja em estado defeituoso ou falho.

Os limites estabelecidos no equipamento para as correntes são sempre mantidos abaixo dos valores especificados (em média, de 20 a 30% abaixo do valor máximo de I_{RRM} e I_{DRM} do dispositivo), evitando assim a degradação do semiconductor durante a aplicação dos ensaios, bem como disparos (de tiristores) por efeito avalanche durante a polarização direta.

Os resultados obtidos através dos testes no modo “Breakdown” dos SCR’s do tipo FT500AH-70 e FT1000BV-70, além de um diodo tipo FD500EV-70, são demonstrados nas figuras a seguir, comprovando que o formato da curva

característica destes componentes são bem semelhante às curvas teóricas encontradas na literatura, quando não há corrente de gate.

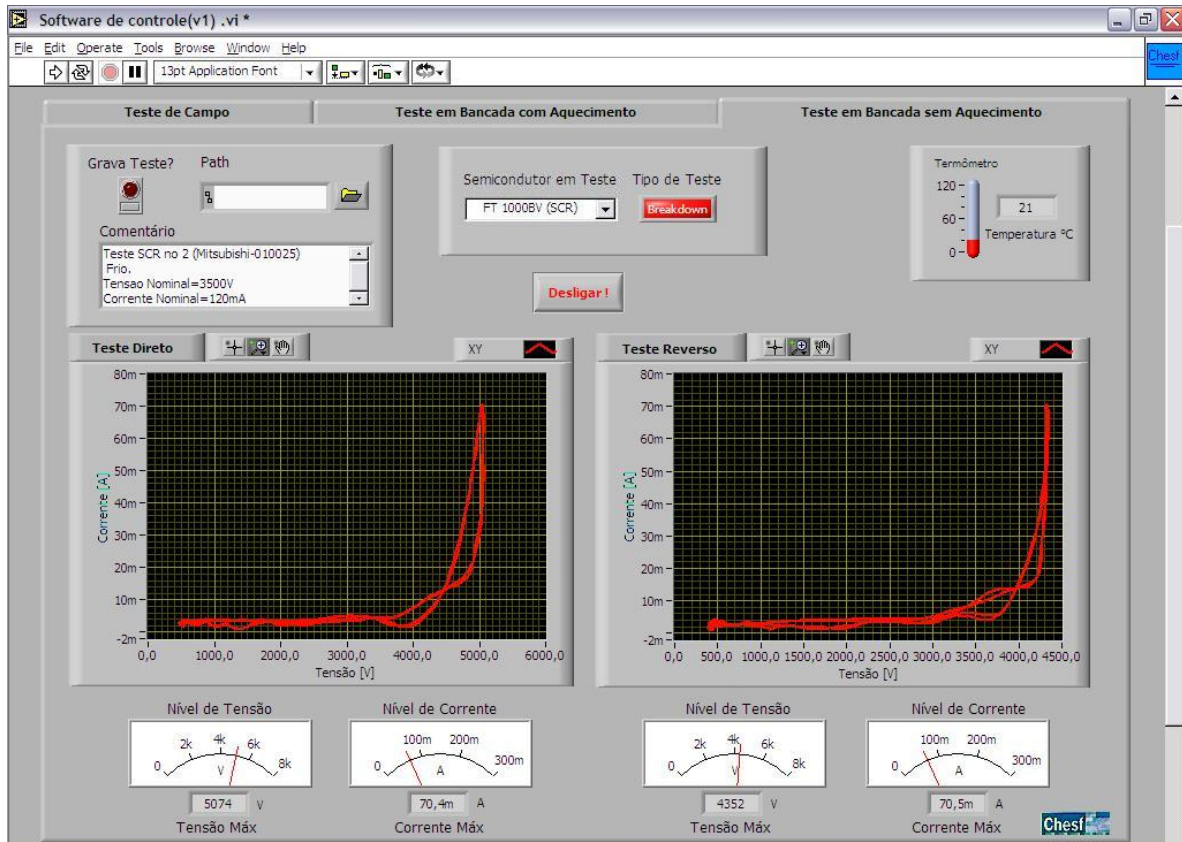


Figura 6.20 – Tela do ensaio, no modo “Breakdown”, de um SCR tipo FT1000BV-70.

A figura 6.20 mostra tela do software TSP do ensaio de um tiristor FT1000BV-70, realizado no modo “Breakdown”, à temperatura de 21°C. Este SCR encontra-se em boas condições de operação, visto que as tensões de bloqueio direta (5256 V) e reversa (4352 V) suportadas são bem superiores aos valores máximos de V_{DRM} e V_{RRM} especificados. As correntes de fuga direta e reversa máximas permissíveis, usadas como referência, tem valores próximos a 70 mA (inferior aos valores de I_{DRM} e I_{RRM} de 120 mA especificados, por medida de segurança).

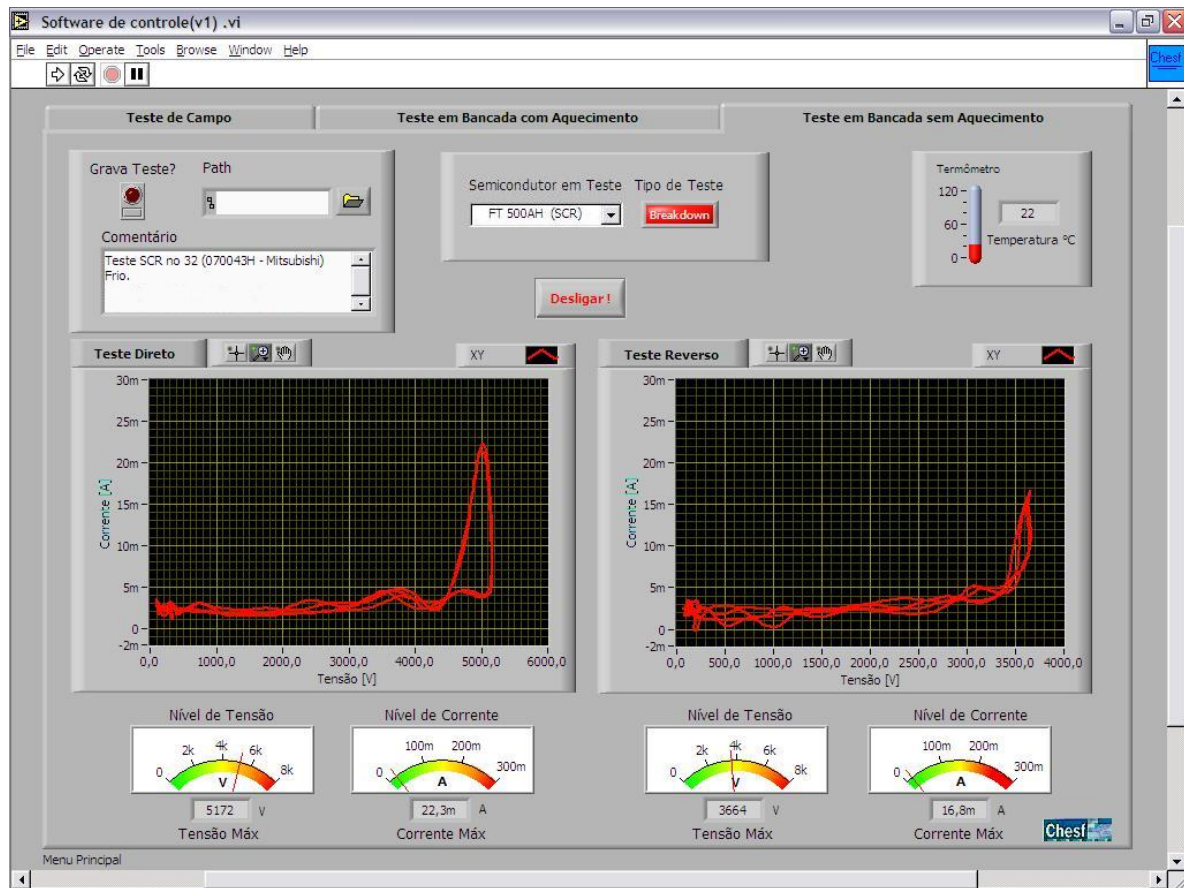


Figura 6.21 – Tela do ensaio, no modo “Breakdown”, de um SCR tipo FT500AH-70.

Na figura 6.21, um SCR tipo FD500AH-70 em bom estado de operação é testado no modo Breakdown, à temperatura de 22 °C. Para o teste direto, com uma corrente de fuga de 22,3 mA, a tensão de bloqueio suportada foi de 5172 V, bem acima do valor V_{DRM} especificado. Já no teste reverso, para uma corrente de 16,8 mA, a tensão de bloqueio atingiu 3664 V, valor não muito superior ao V_{RRM} especificado, mas ainda garantindo que o SCR está em bom estado de operação.

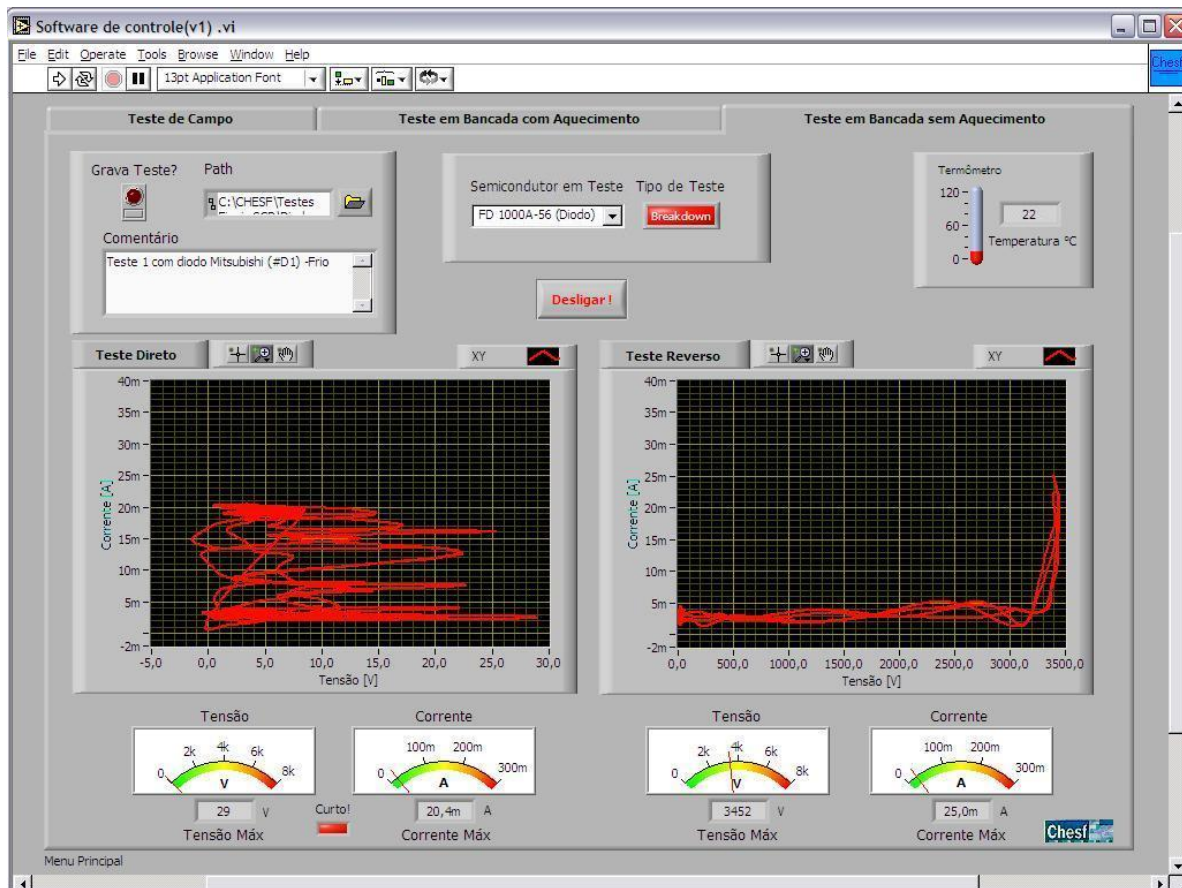


Figura 6.22 – Tela do ensaio, no modo “Breakdown”, de um diodo tipo FD1000A-56.

A figura 6.22 apresenta o ensaio de um diodo tipo FD1000A-56 no modo “Breakdown”, a temperatura de 22 °C. Como esperado, o diodo se apresenta em curto na polarização direta. No teste reverso, para uma corrente de 25 mA, a tensão suportada tem valor de 3452 V, 38% superior ao valor V_{RRM} especificado para este tipo de diodo.

Na figura 6.23 é mostrada a forma de onda adquirida, no eixo temporal, do teste de bloqueio reverso do FD1000A-56 na condição de Breakdown.

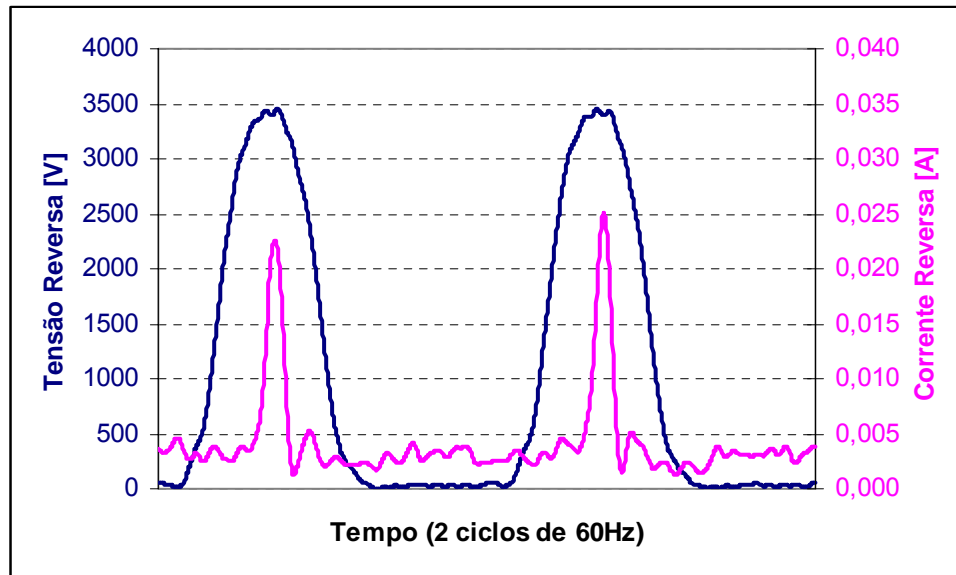


Figura 6.23 – Tensão de bloqueio e corrente fuga reversa de um diodo tipo FD500EV-70, no modo de teste “Breakdown”.

Em todos os ensaios acima citados, uma característica interessante a ser notada é relativa ao efeito “zenner” dos componentes na região de Breakdown, onde a tensão atinge um limiar máximo (ceifamento) e então a corrente passa a crescer, dando formato de um “joelho” às curvas $V \times I$.

Como pode ser observado, estes dispositivos possuem valores de tensão de ruptura, ou de “breakdown”, superiores aos valores V_{DRM}/V_{RRM} demonstrando a robustez destes componentes em relação aos seus limites reais de bloqueio. Não houve verificação de danos nestes semicondutores após os ensaios realizados no modo “Breakdown”, já que as correntes sempre são mantidas abaixo dos valores máximos. Porém, como precaução, sugere-se que estes testes sejam executados de forma “amostrada” para determinada família de semicondutores, já que as características de “breakdown” para semicondutores novos ou em bom estado são muito parecidas em componentes semelhantes.

CONCLUSÕES

Os semicondutores de potência desempenham o papel de principais componentes da eletrônica de potência, sendo responsáveis pela manipulação de grandes quantidades de energia, geralmente a partir de comandos de baixa potência.

Dentre os semicondutores de potência existentes, os tiristores recebem destaque devido a sua grande capacidade de tensão e corrente, sendo muito difundidos nos equipamentos das áreas de energia. Os diodos são também componentes de larga utilização, com muitos parâmetros semelhantes aos tiristores, permitindo, assim, uma avaliação baseada nos mesmos critérios. Estes dois componentes semicondutores, devido a sua grande importância, foram o foco deste estudo.

O desempenho dos equipamentos baseados em semicondutores de potência está diretamente relacionado ao estado operacional destes dispositivos. Falhas intempestivas em equipamentos de grande porte geralmente acarretam prejuízos muito superiores ao caso de paradas programadas para verificação preventiva. Assim, a realização de testes periódicos, que avaliem o estado destes componentes, se faz necessária de forma a reduzir os riscos de falhas resultantes da evolução da degradação destes componentes.

Neste trabalho foi mostrado o desenvolvimento de um instrumento de testes de semicondutores de potência, que se propõe fornecer os dados necessários para a avaliação dos aspectos que geralmente são mais penalizados, durante o uso contínuo, dos semicondutores: a capacidade de bloqueio. Com base nas tensões máximas repetitivas de bloqueio direta (para SCR's) e reversa (para SCR's e diodos), relacionadas com suas respectivas correntes de fuga, é possível avaliar o estado destes semicondutores, possibilitando assim a substituição das unidades defeituosas que certamente viriam a falhar com a evolução da degradação.

A temperatura é outro parâmetro a ser considerado na avaliação da degradação destes dispositivos pois, como foi demonstrado na análise dos

resultados deste trabalho, o aumento da temperatura implica no aumento da corrente de fuga dos semicondutores e, em unidades com algum tipo de degradação, causa redução na capacidade de bloqueio.

Em alguns semicondutores de potência novos ou em bom estado de operação foi verificado, através do teste no modo “Breakdown”, que as tensões de ruptura têm valores superiores aos parâmetros de V_{DRM}/V_{RRM} , indicando a robustez destes componentes face às solicitações a que são frequentemente submetidos.

Os dados coletados por este instrumento serão arquivados e constituirão um histórico dos componentes, podendo ser levantada uma tendência de degradação destes semicondutores nos equipamentos a que pertencem, estabelecendo uma expectativa de vida útil e fornecendo informações para o dimensionamento de reserva técnica de manutenção.

A pesquisa apresentada foi baseada em cinco tipos de semicondutores, pertencentes a compensadores estáticos de reativos da companhia CHESF, com algumas definições dos parâmetros de teste do equipamento voltadas para atender a necessidades destes dispositivos. Entretanto, a modificação destes parâmetros pode ser facilmente implementada em software, permitindo assim que um maior número de dispositivos, pertencentes a equipamentos diversos, possa ser avaliado.

Alguns outros aspectos referentes à degradação de semicondutores não foram abordados neste trabalho, como por exemplo, relativos a capacidade de disparo e aos tempos de condução e de comutação dos SCR's. Para estes aspectos, circuitos de testes dedicados poderiam ser adicionados a este instrumento testador, se responsabilizando pela geração das tensões apropriadas de polarização e de disparo de gate, além de verificar e arquivar características como corrente de disparo, tensão de condução e tempos de resposta através da integração com o software TSP.

Uma outra sugestão para trabalhos futuros é a implementação e fusão, com o programa de controle TSP, de um software classificador inteligente. Através dos dados obtidos e utilizando a teoria dos conjuntos aproximados (“Rough Sets”) ^[13],

parâmetros como V_{DRM} , I_{DRM} , V_{RRM} , I_{RRM} , juntamente com a informação de temperatura, poderiam ser utilizadas para discriminar automaticamente os semicondutores testados como nos estados definidos como: bom, defeituoso e falho.

Referências Bibliográficas

- [1] SCR Manual – Fifth Edition - General Electric Co – USA 1972.
- [2] Thyristor Data essential for the dimensioning of Thyristor Valves in HVDC Link's – Thiele,G. – ASEA HVDC Transmission System – Enlagen – Alemanha.
- [3] Integrated Electronics - Analog and Digital Circuits and systems – Millman, J., Halkias, C. – McGraw Hill, 1972.
- [4] Semikron – Aplication Note n° E755E – Protection of Semiconductors Power Devices Against Voltages Transients – Nürnberg – Alemanha.
- [5] Modern Power Electronics and AC Drives – Bose, Bimal K. – Ed. Prentice Hall, 2002.
- [6] Componentes Semicondutores de Potência , Apostila – Pomílio, J.A. – Disponível no site: <http://www.dsce.fee.unicamp.br/~antenor/elpot.html>
- [7] SCR Disigners handbook – Rice, L.R. – Westing house eletric Co. – 2° ed. USA.
- [8] Eletrônica de Potência I, Apostila - Silva, V.F. – Universidade Federal de Itajubá, 2000.
- [9] Avaliação da Degradação de Semicondutores de Potência com Uso Contínuo em Compensadores Estáticos, Tese Mestrado – Calazans, A. – Universidade Federal de Itajubá, 2004.
- [10] LabVIEW – Graphical Programming for Instruments, User Manual, National Instruments, 2000.
- [11] LabVIEW – Graphical Programming for Instruments, Measurement Manual, National Instruments, 2000.
- [12] LabVIEW – Graphical Programming for Instruments, Development Guidelines, National Instruments, 2000.
- [13] Rough Sets Teorical Aspects of Reasoning About Data – Pawlak , Z. - Kluwer Academic Publishers,1991.
- [14] <http://www.ni.com>

Anexo I – Características dos Semicondutores

Dados Técnicos Nominais do Tiristor Bst T68H280S15	Valor
V_{DRM} – Tensão Repetitiva de Pico Direta	4,2 KV
V_{RRM} – Tensão Repetitiva de Pico Direta	4,2 KV
I_{DRM} – Corrente Máxima Repetitiva de Fuga Direta ($T_j=90^\circ\text{C}$)	250 mA
I_{RRM} – Corrente Máxima Repetitiva de Fuga Reversa ($T_j=90^\circ\text{C}$)	250 mA
$I_{T(RMS)}$ – Corrente Eficaz de Condução ($T_j=25^\circ\text{C}$)	2200 A
I_{TSM} – Corrente de Surto de Condução	23000 A
V_{TM} – Queda de Tensão Máxima no Estado de Condução ($T_j=90^\circ\text{C}$)	2V
dv/dt – Taxa Crítica de Crescimento da Tensão Direta ($T_j=90^\circ\text{C}$)	1 KV/ μs
di/dt – Taxa Crítica de Crescimento de Corrente Condução ($T_j=90^\circ\text{C}$)	50 A / μs
I^2t – Capacidade Máxima de Corrente Não Repetitiva no Sentido Direto	$2,65 \cdot 10^6 \text{ A}^2\text{s}$
I_{GT} – Corrente Mínima de Gatilho	400mA
I_H – Corrente Mínima de Condução ($T_j=25^\circ\text{C}$)	250mA
t_q – Tempo de Comutação	600 μs
Faixa de Operação Contínua da temperatura de Junção	-30°C a +120°C

Tabela A.1 – Dados técnicos do tiristor Bst T68H280S15

Dados Técnicos Nominais do Tiristor FT1000BV – 70	Valor
V_{DRM} – Tensão Repetitiva de Pico Direta	3,5 KV
V_{RRM} – Tensão Repetitiva de Pico Direta	3,5 KV
V_{DSM} – Tensão Não Repetitiva de Pico Direta	3,5 KV
V_{RSM} – Tensão Não repetitiva de Pico Reverso	3,7 KV
I_{DRM} – Corrente Máxima Repetitiva de Fuga Direta (T_j=125°C)	120 mA
I_{RRM} – Corrente Máxima Repetitiva de Fuga Reversa (T_j=125°C)	120 mA
I_{T(RMS)} – Corrente Eficaz de Condução (T_j=25°C)	1570 A
I_{TSM} – Corrente de Surto de Condução	20000 A
V_{TM} – Queda de Tensão Máxima no Estado de Condução (T_j=90°C)	2,8 V
dv/dt – Taxa Crítica de Crescimento da Tensão Direta	1 KV/μs
di/dt – Taxa Crítica de Crescimento de Corrente Condução (T_j=125°C)	200 A / μs
I²t – Capacidade Máxima de Corrente Não Repetitiva no Sentido Direto	16,7.10⁵ A²s
I_{GT} – Corrente Mínima de Gatilho	250 mA
Faixa de Operação Contínua da temperatura de Junção	-40°C a +125°C

Tabela A.2 – Dados técnicos do tiristor FT1000BV – 70

Dados Técnicos Nominais do Tiristor FT500AH – 70	Valor
V_{DRM} – Tensão Repetitiva de Pico Direta	3,5 KV
V_{RRM} – Tensão Repetitiva de Pico Direta	3,5 KV
V_{DSM} – Tensão Não Repetitiva de Pico Direta	3,5 KV
V_{RSM} – Tensão Não repetitiva de Pico Reverso	3,5 KV
I_{DRM} – Corrente Máxima Repetitiva de Fuga Direta (T_j=125°C)	30 mA
I_{RRM} – Corrente Máxima Repetitiva de Fuga Reversa (T_j=125°C)	30 mA
I_{T(RMS)} – Corrente Eficaz de Condução (T_j=25°C)	500 A
I_{TSM} – Corrente de Surto de Condução	5000 A
V_{TM} – Queda de Tensão Máxima no Estado de Condução (T_j=90°C)	2,85 V
dv/dt – Taxa Crítica de Crescimento da Tensão Direta	0,2 KV/μs
di/dt – Taxa Crítica de Crescimento de Corrente Condução (T_j=125°C)	100 A / μs
I²t – Capacidade Máxima de Corrente Não Repetitiva no Sentido Direto	16,7.10⁵ A²s
I_{GT} – Corrente Mínima de Gatilho	200 mA
Faixa de Operação Contínua da temperatura de Junção	-40°C a +125°C

Tabela A.3 – Dados técnicos do tiristor FT500AH – 70

Dados Técnicos Nominais do Diodo FD1000A – 56	Valor
V_{RRM} – Tensão Repetitiva de Pico Direta	2,5 KV
V_{RSM} – Tensão Não repetitiva de Pico Reverso	2,8 KV
I_{RRM} – Corrente Máxima Repetitiva de Fuga Reversa ($T_j=125^\circ\text{C}$)	30 mA
$I_{T(RMS)}$ – Corrente Eficaz de Condução ($T_j=25^\circ\text{C}$)	1000 A
I_{TSM} – Corrente de Surto de Condução	14000 A
V_{TM} – Queda de Tensão Máxima no Estado de Condução ($T_j=90^\circ\text{C}$)	1,6 V
I^2t – Capacidade Máxima de Corrente Não Repetitiva no Sentido Direto	$510 \cdot 10^3 \text{ A}^2\text{s}$
Faixa de Operação Contínua da temperatura de Junção	-40°C a $+150^\circ\text{C}$

Tabela A.4 – Dados técnicos do diodo FD1000A – 56

Dados Técnicos Nominais do Diodo FD500EV – 70	Valor
V_{RRM} – Tensão Repetitiva de Pico Direta	3,5 KV
V_{RSM} – Tensão Não repetitiva de Pico Reverso	3,8 KV
I_{RRM} – Corrente Máxima Repetitiva de Fuga Reversa ($T_j=125^\circ\text{C}$)	30 mA
$I_{T(RMS)}$ – Corrente Eficaz de Condução ($T_j=25^\circ\text{C}$)	500 A
I_{TSM} – Corrente de Surto de Condução	8000 A
V_{TM} – Queda de Tensão Máxima no Estado de Condução ($T_j=90^\circ\text{C}$)	1,85 V
I^2t – Capacidade Máxima de Corrente Não Repetitiva no Sentido Direto	$270 \cdot 10^3 \text{ A}^2\text{s}$
Faixa de Operação Contínua da temperatura de Junção	-40°C a $+150^\circ\text{C}$

Tabela A.5 – Dados técnicos do diodo FD500EV – 70

Anexo II – Software do DSP TMX320F2812

As figuras 1 e 2 apresentam o fluxograma de controle do DSP TMX320F2812, responsável pelo controle do inversor de frequência do equipamento TSP.

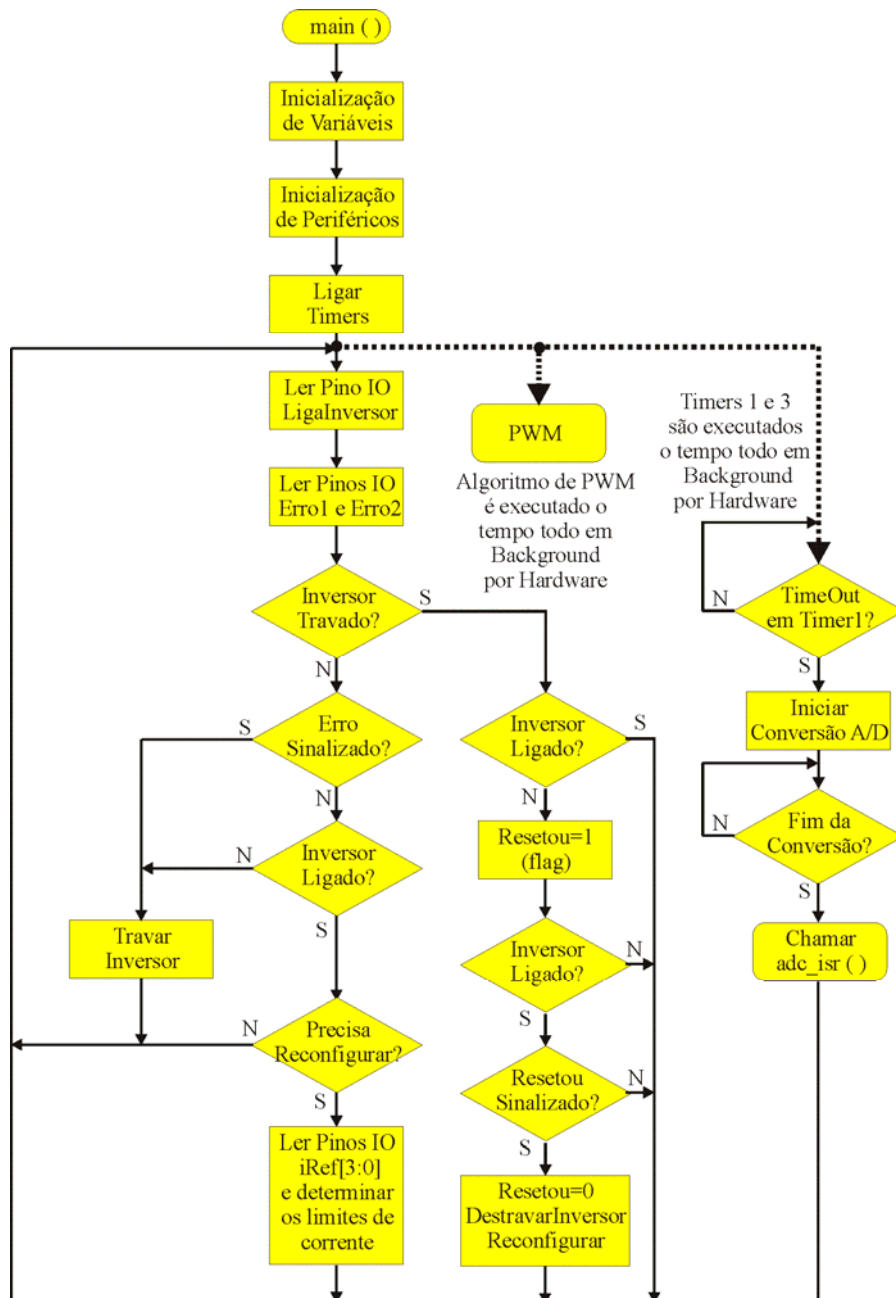


Figura A.1 – Rotina Principal – Main ()

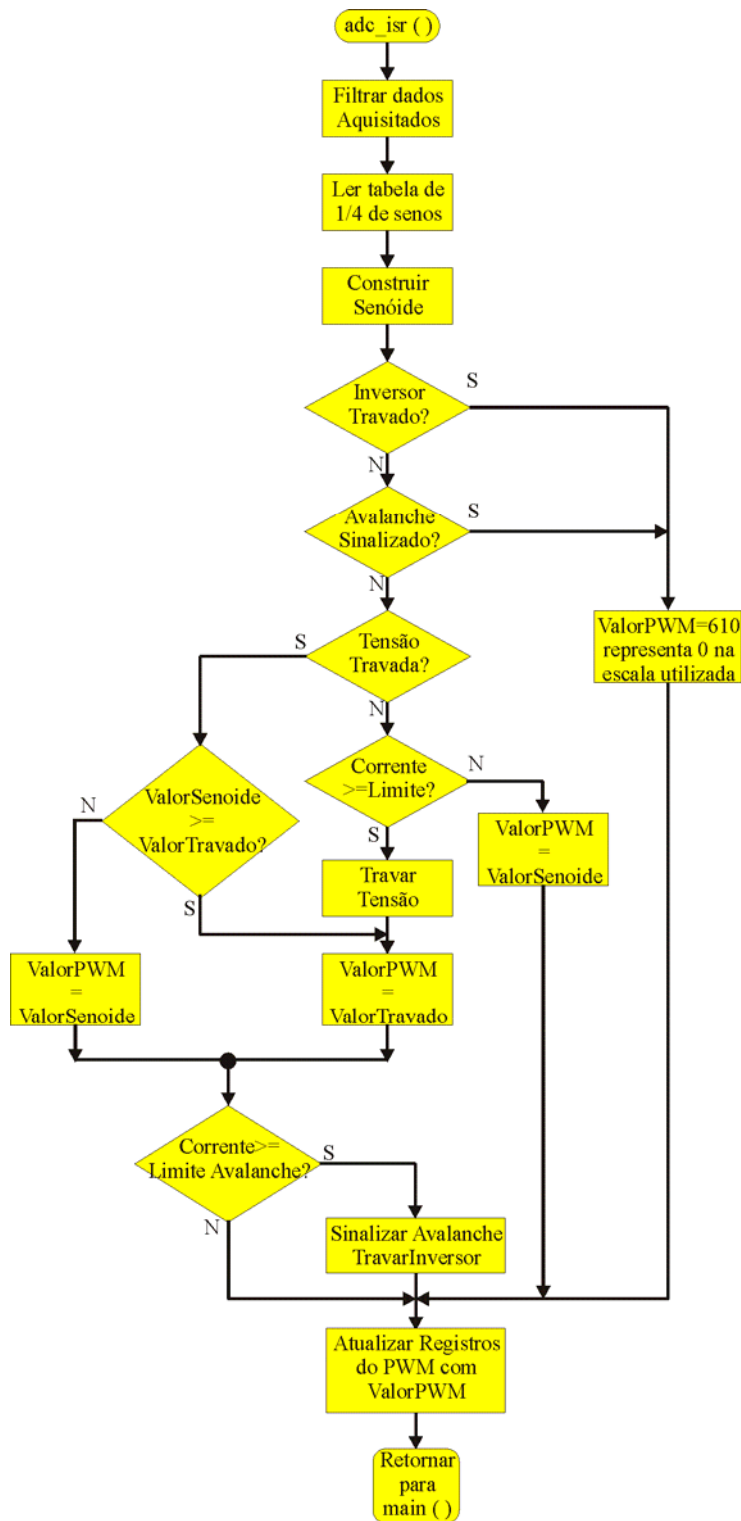


Figura A.2 – Sub-Rotina `adc_isr()`

Utilizou-se um *framework* para desenvolvimento de software em linguagem C para o TMX320F2812. Este framework (**SPRC097**) pode ser obtido gratuitamente no website da Texas Instruments (<http://www.ti.com>).

Trata-se um guia para elaboração de software para o DSP 2812. O usuário pode aproveitar diversas funções já escritas, e apenas acrescentar o código referente à sua aplicação.

Tem-se a seguir a listagem do código fonte, em linguagem C, para o controle de corrente do Inversor. Na seção abaixo é apresentado o software que implementa o fluxograma da Figura 7.1 e Figura 7.2.

Alguns arquivos do framework foram alterados, porém, não serão reproduzidos neste texto. Deve-se ressaltar que estes arquivos são necessários para que a compilação ocorra com sucesso. É fortemente recomendada a leitura do manual de instruções do framework (**SPRC097**), caso alguma alteração de software necessite ser realizada.

- **Arquivo principal – CHESFFlash.c**

Este arquivo implementa os fluxogramas anteriormente apresentados.

```
//#####  
//  
// FILE: ChesfFlash.c  
//  
// TITLE: VSI Current Control.  
//  
// ASSUMPTIONS:  
//  
// This program requires the DSP281x V1.00 header files.  
// This project is configured for "boot to FLASH" operation.  
//  
//  
// DESCRIPTION:  
//  
// This program sets up the EV timers (TIMER1 and TIMER3)  
// to generate PWM1-12 waveforms. Interrupts are enabled and the EVA is  
// setup to generate a periodic ADC SOC on SEQ1. Two channels are
```

```

// converted, ADCINA0 and ADCINA2.
//
//
//
//#####
//
// Ver | dd mmm yyyy | Who | Description of changes
// =====|=====|=====|=====
// 1.00| 09 Jan 2004 | Wilson | First version
//#####

#include "DSP281x_Device.h" // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File

#pragma DATA_SECTION(Senoide, ".SinTbl")
#pragma CODE_SECTION(adc_isr, "ramfuncs");

// Prototype statements for functions found within this file.
interrupt void adc_isr (void );

// Global variables used in this example
Uint16 CanalA[256], CanalB[256];
Uint16 IndexBuf=0, ModIdx=0, IdxMed=0;
Uint16 ValorPwm, ValorSenoide, ValorTravadoPos, ValorTravadoNeg;
Uint16 ContMax=0;
Uint16 iMax, iSCR=512;
Uint16 iMaxAva, ContAva=0, Avalanche=0;
Uint16 BufSaida[256], BufMed[513], Trava=0;
Uint16 BufMediSCR[17], IdxMediSCR=0, iFilt;
Uint16 tstTravaPos[8], tstTravaNeg[8];
int16 Ruido;
Uint32 Soma=0, SomaiSCR=0;
Uint16 DadosDAC=0, CLK1=0, CLK2=0;
Uint16 Acq1, Acq2, Acq3, Acq4, Acq5, Acq6, Acq7, Acq8;
Uint16 SomaAcq;
Uint16 iOV;
Uint16 LigaInversor=0, iRef3, iRef2, iRef1, iRef0;
Uint16 TravaInversor=1, Configuracao=1, iRef;
Uint16 Resetou=0;

extern Uint16 RamfuncsLoadStart ;
extern Uint16 RamfuncsLoadEnd ;

```

```
extern Uint16 RamfuncsRunStart ;

const Uint16 Senoide [1024 ][64]=
{
    /*
    //ModIdx=0
    {0x0,0x1,...,0x63},
    //ModIdx=1
    {1x0,1x1,...,1x63},
    .
    .
    .
    //ModIdx=1022
    {1022x0,1022x1,...,1022x63},
    //ModIdx=1023
    {1023x0,1023x1,...,1023x63}
    */
};
```

```

void main (void )
{
    ///////////////////////////////////////////////////////////////////
    //variables definition
    Uint16 Erro1,Erro2,i;

    //variables initialization
    for(i=0;i<=512;i++)
        BufMed[i]=0;
    for(i=0;i<=16;i++)
        BufMediSCR[i]=0;
    for(i=0;i<=8;i++)
    {
        tstTravaPos[i]=0;
        tstTravaNeg[i]=0;
    }

    ///////////////////////////////////////////////////////////////////
    // Step 1. Initialize System Control:
    // PLL, WatchDog, enable Peripheral Clocks
    // This example function is found in the DSP281x_SysCtrl.c file.
    InitSysCtrl();
    // EvaRegs.EXTCONA.bit.INDCOE=1;//enable compare output
    // EvbRegs.EXTCONB.bit.INDCOE=1;//enable compare output

    // Step 2. Initalize GPIO:
    // This example function is found in the DSP281x_Gpio.c file and
    // illustrates how to set the GPIO to it's default state.
    InitGpio(); // Skipped for this example

    // Step 3. Clear all interrupts and initialize PIE vector table:
    // Disable CPU interrupts
    DINT;
    // Initialize PIE control registers to their default state.
    // The default state is all PIE interrupts disabled and flags
    // are cleared.
    // This function is found in the DSP281x_PieCtrl.c file.
    InitPieCtrl();
    // Disable CPU interrupts and clear all CPU interrupt flags:
    IER = 0x0000;
    IFR = 0x0000;
}

```

```
// Initialize the PIE vector table with pointers to the shell Interrupt  
// Service Routines (ISR).  
// This will populate the entire table, even if the interrupt  
// is not used in this example. This is useful for debug purposes.  
// The shell ISR routines are found in DSP281x_DefaultIsr.c.  
// This function is found in DSP281x_PieVect.c.  
InitPieVectTable();  
// Interrupts that are used in this example are re-mapped to  
// ISR functions found within this file.  
EALLOW; // This is needed to write to EALLOW protected register  
PieVectTable.ADCINT = &adc_isr;  
EDIS; // This is needed to disable write to EALLOW protected registers
```

```

// Step 4. Initialize all the Device Peripherals:
// InitAdc();// This function is found in DSP281x_Adc.c
InitEv();// This function is found in DSP281x_Ev.c

// Step 5. User specific code, enable interrupts:
MemCopy(&RamfuncsLoadStart,&RamfuncsLoadEnd,&RamfuncsRunStart);
InitFlash();
InitAdc();// This function is found in DSP281x_Adc.c
// GpioDataRegs.GPFDAT.bit.GPIOF14 =0; //Turn off DS2 LED
EvaRegs.T1CNT = 0;
EvbRegs.T3CNT = 1221;
EALLOW;
GpioMuxRegs.GPAMUX.all=0x0000;
GpioMuxRegs.GPBMUX.all=0x0000;
EDIS;
GpioDataRegs.GPADAT.bit.GPIOA0=0;
GpioDataRegs.GPADAT.bit.GPIOA1=0;
GpioDataRegs.GPBDAT.bit.GPIOB0=0;
GpioDataRegs.GPBDAT.bit.GPIOB1=0;
TravaInversor=1;

for(;;)
{
    // Erro1=GpioDataRegs.GPADAT.bit.GPIOA2;
    // Erro2=GpioDataRegs.GPADAT.bit.GPIOA3;
    Erro1=Erro2=1;
    LigaInversor=GpioDataRegs.GPADAT.bit.GPIOA4;

    if(TravaInversor ==0)
    {
        if((Erro1 ==0)&&( Erro2 ==0))
        {
            EvaRegs.CMPR1 = 610;
            EvbRegs.CMPR4 = 610;
            EALLOW;
            GpioMuxRegs.GPAMUX.all=0x0000;
            GpioMuxRegs.GPBMUX.all=0x0000;
            EDIS;
            GpioDataRegs.GPADAT.bit.GPIOA0=0;
            GpioDataRegs.GPADAT.bit.GPIOA1=0;
            GpioDataRegs.GPBDAT.bit.GPIOB0=0;

```

```

        GpioDataRegs.GPBDAT.bit.GPIOB1=0;
        TravaInversor=1;
    }
    else
    {
        if(LigaInversor ==1)
        {
            if(Configuracao ==1)
            {
                iRef3=GpioDataRegs.GPADAT.bit.GPIOA9;
                iRef2=GpioDataRegs.GPADAT.bit.GPIOA10;
                iRef1=GpioDataRegs.GPADAT.bit.GPIOA11;
                iRef0=GpioDataRegs.GPADAT.bit.GPIOA12;
                iRef=0;

                if(iRef3 ==1)
                    iRef+=8;
                if(iRef2 ==1)
                    iRef+=4;
                if(iRef1 ==1)
                    iRef+=2;
                if(iRef0 ==1)
                    iRef+=1;
                switch (iRef )
                {
                    case 0://Default do LabView(0mA)
                        iMax=0;
                        iMaxAva=0;
                        break ;
                    case 1://Siemens(20% de 250mA =
                    200mA)
                        iMax=613;iMaxAva=675;
                        break ;
                    case 2://Mitsubish(X% de 120mA =
                    90mA)
                        iMax=276;iMaxAva=337;
                        break ;
                    case 3://180mA
                        iMax=552;iMaxAva=613;
                        break ;
                    case 4://160mA

```

```

        iMax=491;iMaxAva=552;
        break ;
    case 5://140mA
        iMax=429;iMaxAva=491;
        break ;
    case 6://120mA
        iMax=368;iMaxAva=429;
        break ;
    case 7://80mA
        iMax=245;iMaxAva=276;
        break ;
    case 8://70mA
        iMax=214;iMaxAva=245;
        break ;
    case 9://60mA
        iMax=184;iMaxAva=214;
        break ;
    case 10://50mA
        iMax=153;iMaxAva=184;
        break ;
    case 11://40mA
        iMax=122;iMaxAva=153;
        break ;
    case 12://35mA
        iMax=107;iMaxAva=138;
        break ;
    case 13://30mA
        iMax=92;iMaxAva=122;
        break ;
    case 14://25mA
        iMax=76;iMaxAva=107;
        break ;
    case 15://20mA
        iMax=61;iMaxAva=92;
        break ;
    default :
        iMax=0;iMaxAva=0;
        break ;
} //end of switch(iRef)

```

```
EvaRegs.CMPR1 = 610;
```

```

        EvbRegs.CMPR4 = 610;
        EALLOW;
        GpioMuxRegs.GPAMUX.all=0x0003;
        GpioMuxRegs.GPBMUX.all=0x0003;
        EDIS;
        Avalanche=0;
        Trava=0;
        Configuracao=0;
        GpioDataRegs.GPFDAT.bit.GPIOF14 =0;
        //Turn off DS2 LED
    }//end of if(Configuracao==1)

}
else
{
    EvaRegs.CMPR1 = 610;
    EvbRegs.CMPR4 = 610;
    EALLOW;
    GpioMuxRegs.GPAMUX.all=0x0000;
    GpioMuxRegs.GPBMUX.all=0x0000;
    EDIS;
    GpioDataRegs.GPADAT.bit.GPIOA0=0;
    GpioDataRegs.GPADAT.bit.GPIOA1=0;
    GpioDataRegs.GPBDAT.bit.GPIOB0=0;
    GpioDataRegs.GPBDAT.bit.GPIOB1=0;
    TravaInversor=1;
    }//end of if(LigaInversor==1)

}

}

else //aguarda reset
{
    if(LigaInversor ==0)
        Resetou=1;
    GpioDataRegs.GPFDAT.bit.GPIOF14 =1; //Turn on DS2 LED
    if((LigaInversor ==1)&&( Resetou ==1))
    {
        TravaInversor=0;
        Resetou=0;
        Configuracao=1;//avisa que eh necessario
        reconfigurar
    }
}

```

```
        }  
    } //end of if(TravaInversor==0)  
  
} //end of for(;;)  
  
} //end of main()
```

```

interrupt void adc_isr (void )
{
    if((AdcRegs .ADCST .bit.SEQ1_BSY )||( AdcRegs .ADCST .bit.SEQ2_BSY ))
        GpioDataRegs.GPFDAT.bit.GPIOF14=1; //Turn on DS2 LED

    // Reinitialize for next ADC sequence
    AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1; // Reset SEQ1
    AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1; // Clear INT SEQ1 bit
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // Acknowledge interrupt to
    PIE

    CanalA[IndexBuf] = AdcRegs.ADCRESULT0 >>6;
    CanalB[IndexBuf] = AdcRegs.ADCRESULT1 >>6;

    BufMed [IdxMed]=CanalA [IndexBuf] ;
    // BufMediSCR[IdxMediSCR]=CanalB[IndexBuf];
    iSCR=CanalB [IndexBuf] ;

    ////////////

    Acq1=AdcRegs .ADCRESULT1>>6;
    Acq2=AdcRegs .ADCRESULT2>>6;
    Acq3=AdcRegs .ADCRESULT3>>6;
    Acq4=AdcRegs .ADCRESULT4>>6;
    Acq5=AdcRegs .ADCRESULT5>>6;
    Acq6=AdcRegs .ADCRESULT6>>6;
    Acq7=AdcRegs .ADCRESULT7>>6;
    Acq8=AdcRegs .ADCRESULT8>>6;

    /*
    Acq9=AdcRegs .ADCRESULT9>>6;
    Acq10=AdcRegs .ADCRESULT10>>6;
    Acq11=AdcRegs .ADCRESULT11>>6;
    Acq12=AdcRegs .ADCRESULT12>>6;
    Acq13=AdcRegs .ADCRESULT13>>6;
    Acq14=AdcRegs .ADCRESULT14>>6;
    Acq15=AdcRegs .ADCRESULT15>>6;
    SomaAcq=Acq1+Acq2+Acq3+Acq4+Acq5+Acq6+Acq7+Acq8+Acq9+Acq10+Acq11+Acq12+
    Acq13+Acq14+Acq15+Acq1;
    */

    SomaAcq=Acq1+Acq2+Acq3+Acq4+Acq5+Acq6+Acq7+Acq8;
}

```

```

iOV=SomaAcq>>3;
BufMediSCR [IdxMediSCR]=iOV;
//iOV=iSCR;

/////////////////////////////////////////////////////////////////
//256 samples Moving Average Filter on ADCINA0 (ModIdx)
if(IdxMed ==512)
{
    Soma=Soma+BufMed [IdxMed] -BufMed [0] ;
    IdxMed=0;
}
else
{
    Soma=Soma+BufMed [IdxMed] -BufMed [IdxMed+1] ;
    IdxMed++;
}
ModIdx=Soma>>9;
/////////////////////////////////////////////////////////////////

/////////////////////////////////////////////////////////////////
//16 samples Moving Average Filter on ADCINA2 (iSCR)
if(IdxMediSCR ==16)
{
    SomaiSCR=SomaiSCR+BufMediSCR [IdxMediSCR] -BufMediSCR [0] ;
    IdxMediSCR=0;
}
else
{
    SomaiSCR=SomaiSCR+BufMediSCR [IdxMediSCR] -BufMediSCR [IdxMediSCR+1] ;
    IdxMediSCR++;
}
iFilt=SomaiSCR>>4;
/////////////////////////////////////////////////////////////////
//iSCR=iFilt;

/*
iFilt=(iSCR+iSCR1+iSCR2+iSCR2)>>2;
iSCR3=iSCR2;iSCR2=iSCR1;iSCR1=iSCR;

```

```

*/
/*
iFilt=(iOV+iSCR1+iSCR2+iSCR2)>>2;
iSCR3=iSCR2;iSCR2=iSCR1;iSCR1=iOV;
*/
//iFilt=iOV;
/*
iFilt=(iOV+iSCR1+iSCR2+iSCR3+iSCR4+iSCR5+iSCR6+iSCR7)>>3;
iSCR7=iSCR6;iSCR6=iSCR5;iSCR5=iSCR4;iSCR4=iSCR3;iSCR3=iSCR2;iSCR2=iSCR1
;iSCR1=iOV;
*/

if(IndexBuf <=63) // I
{
    ValorSenoide=98+Senoide [ModIdx] [IndexBuf] ;
}
if((IndexBuf >63)&&( IndexBuf <=127)) // II
{
    ValorSenoide=98+Senoide [ModIdx] [127-IndexBuf] ;
}
if((IndexBuf >127)&&( IndexBuf <=191)) // III
{
    ValorSenoide=98+1023-Senoide [ModIdx] [IndexBuf-128] ;
}
if(IndexBuf >191) // IV
{
    ValorSenoide=98+1023-Senoide [ModIdx] [255-IndexBuf] ;
}

```

```

////////////////////////////////////
// Malha de corrente
if((Avalanche ==0)&&( TravaInversor ==0))
{
    if(Trava ==0)
    {
        if(iSCR >=iMax )
        {
            ContMax++;
            if(ContMax >=3)
            {
                ValorTravadoPos=ValorSenoide;
                ValorTravadoNeg=1219-ValorSenoide;
                Trava=1;
                tstTravaPos [ContMax]=iSCR;
            }
        }
        else
        {
            ContMax=0;
        }//end of if(iSCR>=iMax)

        ValorPwm=ValorSenoide;
    }
    else
    {
        if(ValorSenoide >=ValorTravadoPos )
            ValorPwm=ValorTravadoPos;
        else if(ValorSenoide <=ValorTravadoNeg )
            ValorPwm=ValorTravadoNeg;
        else
            ValorPwm=ValorSenoide;

        //////////////////////////////////////
        //teste de Avalanche
        if(iSCR >=iMaxAva )
        {
            ContAva++;
            if(ContAva >=3)
            {
                Avalanche=1;
            }
        }
    }
}

```

```

        TravaInversor=1;
    }
}
else
    ContAva=0;//end of if(iSCR>=iMaxAva)
} //end of if(Trava==0)

}
else
    ValorPwm=610;
////////////////////////////////////
//end of if((Avalanche==0)&&(TravaInversor==0))
////////////////////////////////////

////////////////////////////////////
// Saida para os PWMs
EvaRegs.CMPR1 = ValorPwm;
//// EvaRegs.CMPR2 = ValorPwm;
//// EvaRegs.CMPR3 = ValorPwm;
EvbRegs.CMPR4 = ValorPwm;
//// EvbRegs.CMPR5 = ValorPwm180;
//// EvbRegs.CMPR6 = ValorPwm;
////////////////////////////////////

////////////////////////////////////
// Saida para os DACs
DadosDAC=(ValorPwm-98)>>2 ;
CLK1=0;
GpioDataRegs.GPFDAT.bit.GPIOF13 =CLK1;
GpioDataRegs.GPBDAT.bit.GPIOB9 =DadosDAC >> 7;
GpioDataRegs.GPBDAT.bit.GPIOB10 =DadosDAC >> 6;
GpioDataRegs.GPBDAT.bit.GPIOB6 =DadosDAC >> 5;
GpioDataRegs.GPBDAT.bit.GPIOB7 =DadosDAC >> 4;
GpioDataRegs.GPBDAT.bit.GPIOB11 =DadosDAC >> 3;
GpioDataRegs.GPBDAT.bit.GPIOB12 =DadosDAC >> 2;
GpioDataRegs.GPGDAT.bit.GPIOG4 =DadosDAC >> 1;
GpioDataRegs.GPGDAT.bit.GPIOG5 =DadosDAC >> 0;
CLK1=1;
GpioDataRegs.GPFDAT.bit.GPIOF13 =CLK1;
CLK1=0;
GpioDataRegs.GPFDAT.bit.GPIOF13 =CLK1;

```

```

DadosDAC=iSCR>>2 ;
CLK2=0;
GpioDataRegs.GPFDAT.bit.GPIOF12 =CLK2;
GpioDataRegs.GPFDAT.bit.GPIOF13 =CLK1;
GpioDataRegs.GPBDAT.bit.GPIOB9 =DadosDAC >> 7;
GpioDataRegs.GPBDAT.bit.GPIOB10 =DadosDAC >> 6;
GpioDataRegs.GPBDAT.bit.GPIOB6 =DadosDAC >> 5;
GpioDataRegs.GPBDAT.bit.GPIOB7 =DadosDAC >> 4;
GpioDataRegs.GPBDAT.bit.GPIOB11 =DadosDAC >> 3;
GpioDataRegs.GPBDAT.bit.GPIOB12 =DadosDAC >> 2;
GpioDataRegs.GPGDAT.bit.GPIOG4 =DadosDAC >> 1;
GpioDataRegs.GPGDAT.bit.GPIOG5 =DadosDAC >> 0;
CLK2=1;
GpioDataRegs.GPFDAT.bit.GPIOF12 =CLK2;
CLK2=0;
GpioDataRegs.GPFDAT.bit.GPIOF12 =CLK2;

/*
//Dados
GpioDataRegs.GPBDAT.bit.GPIOB9 =DadosDAC >> 7;
GpioDataRegs.GPBDAT.bit.GPIOB10 =DadosDAC >> 6;
GpioDataRegs.GPBDAT.bit.GPIOB6 =DadosDAC >> 5;
GpioDataRegs.GPBDAT.bit.GPIOB7 =DadosDAC >> 4;
GpioDataRegs.GPBDAT.bit.GPIOB11 =DadosDAC >> 3;
GpioDataRegs.GPBDAT.bit.GPIOB12 =DadosDAC >> 2;
GpioDataRegs.GPGDAT.bit.GPIOG4 =DadosDAC >> 1;
GpioDataRegs.GPGDAT.bit.GPIOG5 =DadosDAC >> 0;
*/
//Clocks
/*
GpioDataRegs.GPFDAT.bit.GPIOF13 =CLK1;
GpioDataRegs.GPFDAT.bit.GPIOF12 =CLK2;
GpioDataRegs.GPFDAT.bit.GPIOF11 =CLK3;
GpioDataRegs.GPFDAT.bit.GPIOF10 =CLK4;
GpioDataRegs.GPFDAT.bit.GPIOF9 =CLK5;
GpioDataRegs.GPFDAT.bit.GPIOF8 =CLK6;
GpioDataRegs.GPEDAT.bit.GPIOE1 =CLK7;
*/

////////////////////////////////////

```

```

if(IndexBuf ==255)
    IndexBuf=0;
else
    IndexBuf ++;

/*
// Reinitialize for next ADC sequence
AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1; // Reset SEQ1
AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1; // Clear INT SEQ1 bit
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // Acknowledge interrupt to PIE
*/

return ;

} //end of interrupt void adc_isr(void)

//=====
// No more.
//=====
=====

```