

UNIVERSIDADE FEDERAL DE ITAJUBÁ

DISSERTAÇÃO DE MESTRADO

**Projeto e Integração de um Sistema de  
Amostragem de Tensão e de Corrente para  
Aplicações em Sistemas de Medição de  
Grandezas Elétricas**

por

**Eng. Evandro Daniel Calderaro Cotrim**

**Orientador:** Prof. Dr. Laércio Caldeira

**Co-Orientador:** Prof. Dr. Carlos Alberto Mohallem Guimarães

*Dissertação apresentada à Universidade  
Federal de Itajubá como parte dos  
requisitos necessários para a obtenção do  
título de Mestre em Engenharia Elétrica.*

**Itajubá, Setembro de 2003**

*Aos meus pais, José Antonio e Clarice,  
aos meus irmãos, Cristiano e Júnior, e  
à minha noiva, Gracely, dedico.*

*“Por vezes sentimos que aquilo que fazemos não é senão uma gota de água no mar. Mas o mar seria menor se lhe faltasse uma gota”.*

Madre Teresa de Calcutá

## **Agradecimentos**

A Deus, por permitir a conclusão de mais uma etapa de minha vida;

Aos meus pais, irmãos e à minha noiva, pelo incentivo, amor e paciência;

Aos professores orientadores, **Dr. Laércio Caldeira** e **Dr. Carlos Alberto Mohallem Guimarães**, pelo crédito, confiança, amizade e pelo auxílio na realização deste trabalho;

Aos professores **Dr. Robson Luiz Moreno** e **Dr. Tales Cleber Pimenta**, pelas sugestões, contribuições e apoio;

À secretária do Grupo de Microeletrônica, **Sra. Ilda Carvalho de Andrade**, pela amizade e disposição em sempre nos ajudar;

Aos colegas, engenheiros **José Feliciano Adami**, **Rony Leite Giffoni**, **Benedicto Marcos Salomon**, **Renato Augusto Carvalho de Andrade**, **Luis Henrique de Carvalho**, **Filipe Guimarães Russo Ramos** e **Abílio Rodrigues Netto Alves**, pela amizade e que, de alguma forma, contribuíram para a elaboração desta dissertação;

À fundação CAPES, pelo apoio financeiro através do programa “Demanda Social”;

Aos meus familiares, amigos e a todos que, de forma direta ou indireta, contribuíram para a realização deste trabalho.

Meus mais sinceros agradecimentos.

Ficha catalográfica elaborada pela Biblioteca Mauá –  
Bibliotecária Margareth Ribeiro- CRB\_6/1700

C845p

Cotrim, Evandro Daniel Calderaro

Projeto e integração de um sistema de amostragem de tensão e de corrente para aplicações em sistemas de medição de grandezas elétricas / por Evandro Daniel Calderaro Cotrim ; orientado por Laércio Caldeira e co-orientado por Carlos Alberto Mohallem Guimarães. -- Itajubá (MG) : UNIFEI, 2003.

100 p. il.

Dissertação (Mestrado) – Universidade Federal de Itajubá.

1. Amostragem de sinais. 2. Medidas elétricas. 3. Conversor A/D. 4. Circuitos integrados. I. Caldeira, Laércio, orient. II. Guimarães, Carlos Alberto Mohallem, co-orient. III. Universidade Federal de Itajubá. IV. Título.

CDU 621.3.049.77(043)

## Resumo

Este trabalho apresenta o projeto de um sistema de interfaceamento analógico/digital para aplicações em medida de energia elétrica, integrado em tecnologia CMOS de  $0,35\mu\text{m}$ , onde grandezas como tensão e corrente são amostradas e convertidas em códigos digitais, para posterior processamento digital. A utilização de técnicas de capacitores chaveados nos circuitos de amostragem e de conversão, em substituição às técnicas analógicas convencionais, permite a redução do tamanho dos circuitos e a obtenção de sistemas mais precisos.

O sistema desenvolvido possui dois canais de entrada e atinge uma resolução de dez *bits*, a uma taxa de conversão de 61600 palavras por segundo. Entretanto, pode ser expandido para até 12 canais de entrada, com uma taxa de amostragem de 7600 amostras por segundo, o que resulta em uma taxa de conversão de 369000 palavras por segundo. O circuito ocupa uma área de  $5,2\text{ mm}^2$ , incluindo os *pads*.

Além de ser uma inovação em relação aos sistemas tradicionais de amostragem, devido ao fato de já possuir o filtro *anti-aliasing* integrado, canais de aquisição expansíveis e amostrados simultaneamente, além da possibilidade de integração no mesmo *die* dos circuitos de processamento digital, o circuito permite a obtenção de amostras com custos extremamente menores que os tradicionais, uma vez que a tecnologia de fabricação e as topologias utilizadas permitem a implementação de um sistema compacto e preciso.

## Abstract

This work describes an integrated analog-to-digital interface for electric energy measurement, implemented on 0.35 $\mu\text{m}$  CMOS process. In this system, voltages and currents are sampled and converted to digital values for later processing. It has been used the switched capacitor technique on the sampling and conversion circuits, instead of the analogue conventional techniques, thus reducing the circuit size and achieving a higher precision.

The developed system has two input channels and can reach 10 bits of resolution at a sampling rate of 61600 words per second. Nevertheless, the system can be expanded up to 12 channels, so that at 7600 samples per second it can reach 369000 words per second. The circuit takes an area of 5.2 mm<sup>2</sup>, including pads.

The system is an improvement compared to all others since it has a built-in anti-aliasing filter and expandable acquisition channels that are simultaneously sampled. Additionally, it can be implemented on a digital process, along with the digital circuitry. Therefore, the system presents a much lower sampling cost compared to the traditional systems, since it can be manufactured on a digital process and thus the whole system can be totally integrated.

# Índice

## Capítulo 1 - Introdução

1.1	Relevância do Projeto	02
1.2	Objetivo	03
1.3	Estrutura do Trabalho	04

## Capítulo 2 - Análise do Sistema

2.1	Descrição Geral	06
2.2	Sistema Proposto	08

## Capítulo 3 - Circuitos de Entrada

3.1	Filtro <i>Anti-Aliasing</i>	13
	3.1.1 <i>Projeto do Amplificador Operacional</i>	15
	3.1.2 <i>Filtro Sallen-Key</i>	18
3.2	Circuito Amostra-e-Retém ( <i>Sample-and-Hold</i> )	19
	3.2.1 <i>Projeto da Chave Analógica</i>	23
	3.2.2 <i>Projeto do Amplificador Operacional</i>	24
	3.2.3 <i>Implementação – Circuito Amostra-e-Retém</i>	24
3.3	Conversor de Sinais <i>Single-ended</i> para Diferencial	28

## Capítulo 4 - Multiplexador Analógico e Conversor A/D

4.1	Multiplexador Analógico de Sinais	32
	4.1.1 <i>Dimensões das Chaves</i>	34
	4.1.2 <i>Circuito Digital de Controle</i>	34
4.2	Conversor Analógico-Digital	37
	4.2.1 <i>Conversão A/D Cíclica</i>	38
	4.2.2 <i>Conversor Analógico-Digital Cíclico Utilizando Técnica de Capacitores Chaveados</i>	40
	4.2.2.1 <i>Estágio de Multiplicação Independente da Razão entre Capacitores</i>	41
	4.2.2.2 <i>Estágio de Amostragem/Retenção e de Comparação</i>	42
	4.2.2.3 <i>Conversor A/D com Saída Simples</i>	43



4.2.2.4	<i>Insensibilidade do Circuito a Tensões de offset e a Capacitâncias Parasitas</i>	45
4.2.3	<i>Conversor A/D Cíclico Totalmente Diferencial</i>	46
4.2.3.1	<i>Projeto do Amplificador Operacional e do Circuito de polarização</i>	47
4.2.3.2	<i>Circuito de Realimentação a Modo Comum - CMFB (Common-Mode Feedback)</i>	54
4.2.4	<i>Circuito Digital de Controle</i>	56
4.3	Resultados de Simulação	65
<b>Capítulo 5 - Circuito de Controle do Sistema e Layout</b>		
5.1	Circuito de Controle do Sistema	70
5.2	Sistema Completo	76
5.3	<i>Layout</i> do Sistema	78
5.4	Aplicação do Sistema	87
<b>Capítulo 6 - Conclusões e Trabalhos Futuros</b>		<b>90</b>
<b>Apêndice – Sensor Hall de Corrente</b>		<b>92</b>
<b>Referências Bibliográficas</b>		<b>98</b>

## Lista de Figuras

Figura 2.1 – Sistema de Aquisição de Dados para uma Rede de Distribuição Trifásica	06
Figura 2.2 – Sistema de Aquisição de Dados Proposto	08
Figura 2.3 – Diagrama de Sinais de Controle – Sistema de Aquisição de Dados - Dois Canais	11
Figura 3.1 – Filtro Passa-Baixa de Segunda Ordem <i>Sallen-Key</i>	15
Figura 3.2 – Gráfico de Resposta em Frequência – Filtro Passa-Baixa <i>Sallen-Key</i>	15
Figura 3.3 – Esquema do Amplificador Operacional Projetado	16
Figura 3.4 – Resposta em Frequência - Amplificador Operacional - Caso Típico	16
Figura 3.5 – Resposta em Frequência - Amplificador Operacional – Pior Caso de Potência	17
Figura 3.6 – Resposta em Frequência - Amplificador Operacional – Pior Caso de Velocidade	17
Figura 3.7 – Circuito do Filtro <i>Sallen-Key</i> Implementado	18
Figura 3.8 – Resposta em Frequência do Circuito da Figura 3.7 – Caso Típico	18
Figura 3.9 – Resposta em Frequência – Filtro <i>Sallen-Key</i> – Pior Caso de Potência	19
Figura 3.10 – Resposta em Frequência – Filtro <i>Sallen-Key</i> – Pior Caso de Velocidade	19
Figura 3.11 – Circuito Amostra-e-Retém Básico	20
Figura 3.12 –(a) Circuito Amostra-e-retém com Compensação de <i>Clock-feedthrough</i> ; (b) Sinais de Chaveamento	21
Figura 3.13 – Circuito Amostra-e-retém Implementado	24
Figura 3.14 – Sinais de Controle - Circuito Amostra-e-Retém	25
Figura 3.15 – Circuito Gerador de Pulsos de Controle – Circuito Amostra-e-Retém	25
Figura 3.16 – Tensões de Entrada e de Saída - Circuito Amostra-e-Retém	26
Figura 3.17 – Tensões de Entrada, de Retenção e de Saída do Circuito Amostra-e-retém	27
Figura 3.18 – Circuito Conversor de Saída Simples para Diferencial	29
Figura 3.19 – Esquema do Conversor de Saída Simples para Diferencial	29
Figura 3.20 – Amplificador Operacional - Circuito Conversor de Saída Simples para Diferencial	30
Figura 3.21 – Simulação – Conversor de Sinais de Saída Simples para Diferencial	30
Figura 3.22 – Detalhe - Tensão de Saída do Circuito Conversor de Sinais de Saída Simples para Diferencial	31
Figura 4.1 – Multiplexador Básico 6x1	32

Figura 4.2 – Estágio de Entrada – Conversor A/D	33
Figura 4.3 – Conexão do Multiplexador Analógico ao Conversor A/D	34
Figura 4.4 – Circuito de Controle - Multiplexador Analógico de Seis Canais	36
Figura 4.5 – Simulação Elétrica do Circuito de Controle	36
Figura 4.6 – Conexão do Circuito de Controle às Chaves <i>CMOS</i>	37
Figura 4.7 – Exemplo do Método de Conversão A/D Cíclica.	39
Figura 4.8 – Diagrama em Blocos de um Conversor A/D Cíclico Básico	40
Figura 4.9 – Seqüência de Operação do Circuito: Multiplicação por Dois Através do Método Independente da Razão entre Capacitores	42
Figura 4.10 – Seqüência de Operação do Circuito: Amostragem/retenção e Comparação	43
Figura 4.11 – Conversor A/D Cíclico com Saída Simples	43
Figura 4.12 – Exemplo de Conversão A/D com Codificação (a) por <i>Offset</i> Binário Não- sinalizado e (b) <i>Offset</i> Binário Sinalizado	46
Figura 4.13 – Diagrama Básico do Conversor A/D Cíclico	47
Figura 4.14 – Circuito Simplificado do Amplificador <i>Folded-Cascode</i>	48
Figura 4.15 – Esquemático do Amplificador <i>Folded-Cascode</i>	50
Figura 4.16 – Esquemático do Circuito de Polarização	51
Figura 4.17– Ganho Diferencial (dB) e Fase do Sinal de Saída (graus) do Amplificador Operacional para o Caso Típico	52
Figura 4.18– Ganho Diferencial (dB) e Fase do Sinal de Saída (graus) do Amplificador Operacional - Pior Caso de Potência	53
Figura 4.19– Ganho Diferencial (dB) e Fase do Sinal de Saída (graus) do Amplificador Operacional para o Pior Caso de Velocidade	53
Figura 4.20 – Circuito de Realimentação a Modo Comum Dinâmico (DCMFB)	55
Figura 4.21 – Circuito Gerador de <i>clock</i> não-sobreposto	55
Figura 4.22 – Diagrama Básico do Circuito de Controle	57
Figura 4.23 – Circuito de Controle – Conversor A/D	60
Figura 4.24 – Contador Síncrono – Módulo Dois	61
Figura 4.25 – Contador Síncrono – Módulo Dez	61
Figura 4.26 – Matriz Decodificadora	62
Figura 4.27 – Esquema do Flip-Flop Tipo D	63
Figura 4.28 – Sinais de Endereçamento da Matriz Decodificadora	63
Figura 4.29 – Sinais de Controle das Chaves – Conversor A/D	64

Figura 4.30 – Rede de Acionamento das Chaves do Conversor A/D	65
Figura 4.31 – Conversor A/D Implementado	69
Figura 5.1 – Diagrama de Sinais de Controle – Sistema de Aquisição de Dados – Dois Canais	71
Figura 5.2 – Diagrama em Blocos – Circuito de Controle do Sistema	72
Figura 5.3 – Circuitos Gerador de Sinal de <i>Reset</i> e de Tensão de Acionamento das Portas “E”	73
Figura 5.4 – Circuito Gerador de Pulso de <i>Reset</i>	73
Figura 5.5 – Simulação – Circuito Gerador de Pulso de <i>Reset</i>	74
Figura 5.6 – Circuito Gerador de Pulsos	74
Figura 5.7 – Circuito Divisor de Frequências por Oito	75
Figura 5.8 – Circuito Divisor de Frequências por Trinta	75
Figura 5.9 – Simulação do Circuito de Controle	76
Figura 5.10 – Detalhe – Saídas do Circuito de Controle Durante a Fase de Retenção do Circuito Amostra-e-retém	76
Figura 5.11 – Diagrama Completo do Sistema de Monitoramento	77
Figura 5.12 – Par Diferencial – Amplificador Operacional com Saída Simples	79
Figura 5.13 – Amplificador Operacional Saída Simples	80
Figura 5.14 – Filtro <i>Sallen-Key</i>	80
Figura 5.15 – Circuito Amostra-e-retém	81
Figura 5.16 – Matriz de Capacitores - <i>Centróide Comum</i>	81
Figura 5.17 – Conversor de Sinal de Saída Simples para Diferencial	82
Figura 5.18 – Resistores de Polissilício	82
Figura 5.19 – Amplificador Operacional <i>Folded Cascode</i> – Saídas Diferenciais	83
Figura 5.20 – Conversor Analógico/Digital	84
Figura 5.21 – Circuito de Controle do Conversor A/D e do Sistema	85
Figura 5.22 – <i>Layout</i> Completo do Sistema	86
Figura 5.23 – <i>Layout</i> de Sistema Contendo Estruturas para Teste	87
Figura 5.24 – Esquema de Ligação do Circuito Integrado	88

## Lista de Tabelas

Tabela 3.1 – Resultados da Simulação – Amplificador Operacional	18
Tabela 3.2 – Características – Amplificador Operacional	24
Tabela 3.3 – Seqüência de Contagem – Contador Síncrono	26
Tabela 3.4 – Erro Relativo e Percentual da Tensão de Saída – Circuito Amostra-e-retém	27
Tabela 3.5 – Erro Relativo e Percentual da Tensão de Saída – Circuito Amostra-e-retém - Pior Caso de Potência	28
Tabela 3.6 – Erro Relativo e Percentual da Tensão de Saída – Circuito Amostra-e-retém - Pior Caso de Velocidade	28
Tabela 4.1 – Tabela-verdade do Decodificador do Multiplexador Analógico	35
Tabela 4.2 – Funções <i>Booleanas</i> do Decodificador do Multiplexador Analógico	36
Tabela 4.3 – Seqüência de Chaveamento – Conversão A/D <i>Algorítmica</i>	44
Tabela 4.4 – Características dos Transistores do Amplificador <i>Folded-Cascode</i>	50
Tabela 4.5 – Características dos Transistores do Circuito de Polarização	52
Tabela 4.6 – Resultados Obtidos Através de Simulações do Circuito de Polarização	52
Tabela 4.7 – Resultados Obtidos com o Amplificador <i>Folded-Cascode</i> ( $V_{ICM} = V_{OCM} = V_{DD}/2$ )	54
Tabela 4.8 – Seqüência de Chaveamento para o Conversor A/D	57
Tabela 4.9 – Seqüência de Acionamento das Chaves <i>CMOS</i>	58
Tabela 4.10 – Simulação do Circuito Conversor A/D - Caso Típico	66
Tabela 4.11 – Simulação do Circuito Conversor A/D - Pior Caso de Velocidade	67
Tabela 4.12 – Simulação do Circuito Conversor A/D - Pior Caso de Potência	68
Tabela 5.1 – Pinos do Circuito de Amostragem	89

## Lista de Símbolos e Variáveis

$e_1(t)$	Tensão de fase A da rede elétrica de distribuição
$e_2(t)$	Tensão de fase B da rede elétrica de distribuição
$e_3(t)$	Tensão de fase C da rede elétrica de distribuição
$i_1(t)$	Corrente de fase A da rede elétrica de distribuição
$i_2(t)$	Corrente de fase B da rede elétrica de distribuição
$i_3(t)$	Corrente de fase C da rede elétrica de distribuição
$t$	Período de uma forma-de-onda periódica
$A$	Período de amostragem do circuito amostra-e-retém ( <i>sample-and-hold</i> )
$R$	Período de retenção do circuito amostra-e-retém ( <i>sample-and-hold</i> )
$T_p$	Tempo de duração de pulso de sinal de <i>clock</i>
$H(s)$	Função de transferência do filtro de sinais, no domínio da frequência
$\omega_0$	frequência angular de localização do pólo dominante do filtro
$Q$	Fator de qualidade
$IN-, N$	Entrada inversora do amplificador operacional
$IN+, P$	Entrada não-inversora do amplificador operacional
$A_0$	Ganho de malha aberta do amplificador operacional
$PM$	Margem de fase do amplificador operacional ( <i>Phase Margin</i> )
$F_T$	Frequência de ganho unitário do amplificador operacional
$V_{IN}$	Tensão de entrada
$V_o, V_{OUT}$	Tensão de saída
$\phi_{CLK}$	Fase de sinal de <i>clock</i>
$FI1, \phi_1$	Fase de amostragem
$FI1B, \overline{\phi_1}$	Fase de amostragem complementada
$FI2, \phi_2$	Fase de amostragem atrasada
$FI3, \phi_3$	Fase de amostragem atrasada
$FIN, FI_{NEG}, \overline{\phi}$	Fase de Retenção
$V_C$	Valor de tensão no capacitor
$V_{CK}$	Alteração tensão no capacitor devido ao efeito de <i>clock feedthrough</i>

$V_{\text{OFF}}$	Tensão de <i>offset</i> do amplificador operacional
$t_{\text{ch}}$	Tempo de carga do capacitor, devido à resistência da chave MOS
$k_p$	Transcondutância do transistor MOS
$W$	Largura do transistor MOS
$L$	Comprimento de canal do transistor MOS
$V_{\text{DD}}$	Tensão de alimentação positiva
$V_{\text{T}}, V_{\text{TH}}$	Tensão de limiar ( <i>threshold</i> ) do transistor MOS
$\text{CLK}$	Sinal de gatilhamento ( <i>clock</i> )
$\text{LSB}$	<i>Bit</i> Menos Significativo ( <i>Less- Significant Bit</i> )
$\text{CMFB}$	Circuito de realimentação de modo comum ( <i>Common-Mode Feedback</i> )
$\text{VCM}$	Tensão de modo comum do amplificador operacional
$R_f$	Resistor de realimentação do amplificador operacional
$R_s$	Resistor série conectado ao amplificador
$V_B$	Tensão de referência externa ao circuito de polarização
$\text{BIAS}$	Tensão quiescente de polarização do circuito CMFB
$V_{\text{IN}+}$	Tensão diferencial positiva de entrada do conversor A/D
$V_{\text{IN}-}$	Tensão diferencial negativa de entrada do conversor A/D
$V_{\text{REF}+}$	Tensão diferencial positiva de referência do conversor A/D
$V_{\text{REF}-}$	Tensão diferencial negativa de referência do conversor A/D
$\text{EN}$	Sinal de habilitação ( <i>enable</i> )
$V_{\text{MAX}}$	Máxima amplitude do sinal de entrada
$V(i)$	Tensão para obtenção do <i>i-ésimo bit</i> de saída do conversor A/D
$V(i+1)$	Tensão residual para obtenção do próximo <i>bit</i> de saída do conversor A/D
$b(i)$	<i>i-ésimo bit</i> de saída do conversor A/D
$S, \text{SW}$	Chave CMOS do conversor A/D
$V_{\text{GS}}$	Diferença de potencial entre a porta e a fonte de um transistor MOS
$C_L$	Capacitância de saída do amplificador operacional
$C_X$	Soma das capacitâncias no nó X
$\text{PM}$	Margem de fase do amplificador operacional ( <i>Phase Margin</i> )
$I_D$	Corrente de dreno do transistor MOS
$V_{\text{CCa}}$	Tensão de alimentação positiva para circuitos analógicos

St            Sinal de controle do conversor A/D que indica início de conversão  
COMP, Bi    Bit de saída do conversor A/D, obtido através de comparação



# Capítulo 1

## Introdução

A qualidade da energia elétrica distribuída pelas concessionárias pode ser verificada através da determinação da presença de harmônicos, variações de tensão, desequilíbrios e interrupções de fornecimento, entre outros. Estas ocorrências, sem dúvida, causam uma perda de desempenho da rede. Para que esses fenômenos possam ser quantificados, deve-se fazer uso de equipamentos que monitorem a rede de distribuição de energia elétrica de forma contínua, a fim de que medidas de correção possam ser tomadas.

As grandezas elétricas pertinentes ao sistema elétrico, tais como tensão eficaz, corrente eficaz, potências ativa e reativa, fator de potência e distorção harmônica, entre outras, podem ser determinadas através da decomposição em harmônicos, dos sinais de tensão e de corrente presentes. As transformadas de Fourier são as principais ferramentas matemáticas utilizadas para a decomposição em harmônicos das formas de onda de tensão e de corrente amostradas.

Um sistema de monitoramento de grandezas elétricas deve amostrar as formas de onda de tensão e de corrente da rede de distribuição, convertê-las para códigos digitais e realizar o processamento digital desses códigos, a fim de que as grandezas desejadas sejam calculadas. A precisão desse sistema depende, em grande parte, da interface de aquisição e de conversão para digital do sinal a ser processado. Dessa forma, existe a necessidade de que se desenvolvam circuitos de alta resolução, sem que sejam necessários casamentos precisos entre componentes ou ajustes por *laser*.

Os sistemas de aquisição utilizados são, na maioria das vezes, implementados por circuitos discretos, o que implica em maiores custos de montagem e na redução de confiabilidade e precisão do equipamento. Os sistemas de amostragem integrados,

geralmente, necessitam de filtros externos de sinais, além de não realizarem a amostragem dos canais de entrada de forma simultânea, acarretando a necessidade de se utilizarem circuitos externos de apoio e em defasagens entre as formas de onda dos canais amostrados. Dessa forma, surge a necessidade de se projetarem sistemas com o maior nível de integração possível, para que se obtenham equipamentos confiáveis, precisos e com menores custos.

Procurando desenvolver um circuito que atenda aos requisitos anteriores, este trabalho apresenta o projeto de um sistema integrado que realiza a amostragem de sinais de tensão e de corrente, presentes na rede de energia elétrica. Os dados adquiridos são convertidos em palavras digitais de dez *bits*, para que o processamento digital possa ser realizado posteriormente, por circuitos externos. Através do processamento digital dos dados amostrados, calcula-se o valor das grandezas elétricas relativas ao sistema de distribuição, podendo-se determinar a qualidade da energia elétrica fornecida. O sistema desenvolvido pode ser utilizado, em aplicações futuras, como uma célula básica para aquisição de dados, em circuitos integrados microprocessadores ou processadores digitais de sinais.

Esta dissertação aborda o projeto e a simulação de vários blocos, analógicos e digitais, que executam tarefas bem definidas no sistema em questão. Esses blocos foram desenvolvidos buscando-se a maior precisão e o maior nível de integração possível, sem a necessidade de ajustes especiais ou o emprego de tecnologias analógicas de fabricação.

O sistema foi desenvolvido e implementado utilizando a tecnologia 0,35 $\mu$ m *CSI* da empresa *Austria Mikro Systeme (AMS)*, podendo atingir taxas de conversão de até 369.000 palavras por segundo e ocupando uma área de 5,22 mm<sup>2</sup>, incluindo os *pads*. O circuito, sem os *pads*, ocupa uma área de 1,97mm<sup>2</sup>.

## 1.1 Relevância do Projeto

Um dos problemas enfrentados pela agência nacional reguladora da energia elétrica é o da fiscalização e auditoria técnica do desempenho da rede básica de distribuição de energia elétrica. Neste sentido, várias grandezas devem ser monitoradas a fim de que se obtenham dados que permitam direcionar procedimentos de correção do sistema.

A fim de monitorar os fenômenos que causam essa perda de desempenho nos barramentos de distribuição da rede básica ( $V \geq 230$  kV) de energia, necessita-se de um equipamento eficiente e de baixo custo. O custo dos equipamentos comerciais disponíveis varia na faixa de 4.000 a 60.000 dólares e, devido à necessidade da utilização de uma grande

quantidade desses instrumentos no sistema elétrico brasileiro, a aquisição de tais aparelhos tende a se inviabilizar.

A implementação de um instrumento de monitoração geralmente é feita utilizando-se de um circuito integrado DSP (*Digital Signal Processor* - Processador Digital de Sinais) para o processamento matemático dos dados amostrados, juntamente com circuitos discretos para a compatibilização e conversão das grandezas amostradas. A utilização de circuitos discretos implica em equipamentos com maior volume, maior consumo de energia e precisão dependente dos valores dos componentes discretos utilizados. O emprego de circuitos integrados dedicados, desenvolvidos utilizando topologias adequadas, permite a obtenção de sistemas mais confiáveis, precisos e compactos.

Apesar da grande proliferação de técnicas de processamento digital de sinais e processadores digitais de aplicações específicas e dedicadas de alto desempenho, o mundo continua *analógico*. No mercado internacional, poucos grupos atuam na área de circuitos analógicos, enquanto que inúmeros têm se dedicado a circuitos digitais. Dessa forma, esse trabalho visa preencher essa lacuna, fornecendo a desenvolvedores e usuários de sistemas de processamento digital uma interface de aquisição de sinais integrada e precisa.

## 1.2 Objetivo

Este trabalho consiste em se implementar um sistema de amostragem e de conversão de sinais em um único circuito integrado, baseado em topologias de circuitos discretos e/ou integrados, que melhor satisfaçam as condições de adequação ao sistema proposto, incluindo precisão, nível de integração e funcionalidade.

A tecnologia de integração utilizada (CMOS 0,35 $\mu$ m) permite a obtenção de circuitos digitais mais rápidos, devido ao menor comprimento de canal utilizado, além da ocupação de uma menor área de silício, devido às reduzidas dimensões das estruturas construtivas dessa tecnologia. Para os circuitos analógicos, entretanto, torna-se necessária a obtenção de configurações que apresentem funcionalidade e precisão utilizando as estruturas disponíveis, as quais são otimizadas para circuitos digitais. Além disso, o sistema a ser desenvolvido deve apresentar uma precisão independente do casamento entre componentes e de ajustes externos, como por exemplo, por *laser*.

Os sinais de tensão e de corrente rede elétrica são amostrados e convertidos para digital, ficando disponíveis para serem processados por sistemas externos de tratamento

digital de dados, que podem compreender processadores digitais de sinais, sistemas microcontrolados ou computadores pessoais.

O sistema proposto possui dois canais para amostragem de grandezas elétricas, podendo ser expandido para até doze canais, através da replicação dos circuitos de entrada. O primeiro canal é destinado à amostragem de tensões e o segundo é destinado à amostragem de correntes. A transdução dos sinais de entrada será feita através da utilização de transformadores de potencial (*TPs*) para o canal de tensão e de transformadores de corrente (*TCs*) ou de transdutores de corrente baseados em efeito *Hall*, para o canal de corrente.

Os sinais amostrados serão digitalizados em palavras de dez bits, onde as palavras convertidas são fornecidas na saída do circuito de maneira serial, juntamente com um sinal de “OK” que indica a validade do *bit* presente no pino de saída. O sistema de dois canais é apropriado para monitoramento de redes de alimentação monofásicas. Para a utilização em redes trifásicas de energia, deve-se expandir o número de canais de aquisição para seis.

### 1.3. Estrutura do Trabalho

Além deste primeiro capítulo introdutório, este trabalho se divide em outros cinco capítulos. O Capítulo 2 trata da descrição e da análise do sistema de monitoramento a ser desenvolvido.

O Capítulo 3 aborda o projeto e as simulações do filtro *anti-aliasing* de entrada do sistema, do circuito amostra-e-retém (*sample-and-hold*) responsável pela discretização dos sinais de entrada e do conversor de sinais *single-ended* para *par diferencial*. Este último é necessário para que os sinais de saída *single-ended* do circuito amostra-e-retém possam ser aplicados à entrada do conversor A/D, que possui estrutura *totalmente diferencial*. As simulações elétricas desses circuitos foram obtidas através da utilização da ferramenta de simulação elétrica *Accusim*<sup>®</sup>, componente do software *Mentor Graphics*<sup>®</sup>, para projeto de circuitos integrados, utilizado em ambiente Unix.

Em seqüência, o Capítulo 4 descreve a técnica de conversão analógico-digital cíclica empregada no sistema, o projeto e a simulação do amplificador operacional e do circuito conversor analógico-digital, cuja arquitetura é baseada em técnicas de capacitores chaveados. Esse Capítulo também inclui o projeto e as simulações do circuito digital de controle do conversor A/D.

O Capítulo 5 aborda o projeto e as simulações do circuito digital de controle do sistema completo, além do *layout* de cada bloco componente do sistema e do circuito final com base nas regras de projeto da tecnologia *AMS 0,35 $\mu$ m CSI*. O *layout* apresentado foi elaborado através da ferramenta *IC Station*<sup>®</sup>, também componente do *software Mentor Graphics*<sup>®</sup>.

Finalmente, o Capítulo 6 traz as conclusões finais e as perspectivas de trabalhos futuros nessa área.

## Capítulo 2

### Análise do Sistema

#### 2.1 Descrição Geral

Um sistema de aquisição de dados para uma rede de energia trifásica pode possuir a estrutura apresentada na Figura 2.1. As entradas  $e_1(t)$  a  $e_3(t)$  são correspondentes aos sinais de tensão das fases A, B e C, que são amostrados através de transformadores de potencial. As entradas  $i_1(t)$  a  $i_3(t)$  correspondem às correntes a serem amostradas de cada fase. Com isso, um grande número de grandezas elétricas relativas ao sistema amostrado, tais como fator de potência, conteúdo harmônico, potência ativa e reativa, dentre outros, pode ser calculado.

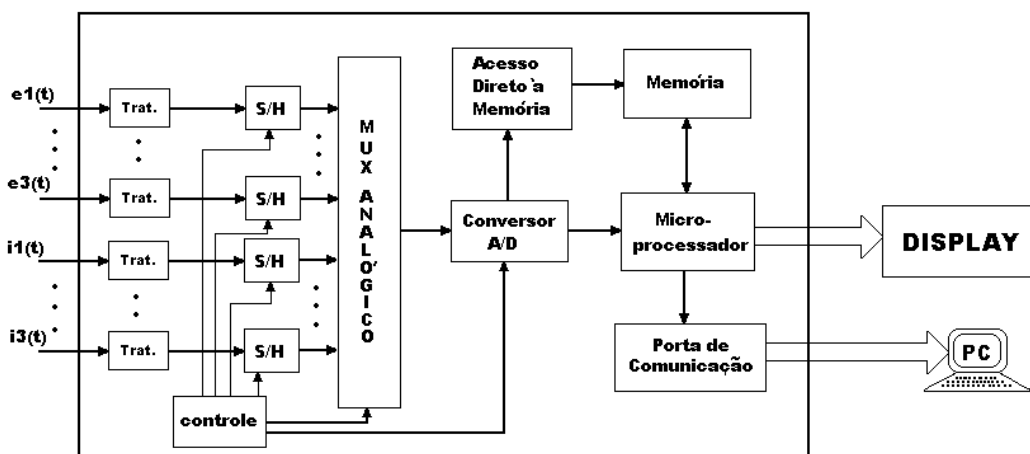


Figura 2.1 – Sistema de Aquisição de Dados para uma Rede de Distribuição Trifásica

O primeiro bloco desse sistema (*Trat.* - tratamento) é responsável pelo tratamento do sinal adquirido, incluindo filtragem *anti-aliasing* e compatibilização dos níveis de tensões e correntes, para que sejam convenientemente aplicados aos circuitos posteriores.

Para o circuito de corrente, pode-se utilizar um transformador de corrente (*TC*) ou um sensor Hall para se efetuar a medição. Caso se utilize um *TC*, o circuito de tratamento de sinais deve incluir um conversor corrente/tensão, para que ocorra a aquisição adequada dessa grandeza. No caso da utilização de um sensor Hall para o circuito de amostragem de corrente, ou de um TP para o circuito de tensão, deve-se apenas executar a compatibilização de tensões e a filtragem dos harmônicos superiores.

Convencionou-se amostrar até o 25º harmônico do sinal de entrada (1500 Hz). A partir desse ponto, o filtro passa-baixa do circuito de tratamento de sinais passa a exibir uma atenuação da amplitude do sinal de entrada de 40 dB por década de variação, no eixo das frequências.

O bloco “S/H” (circuito amostra-e-retém – *sample-and-hold*) é responsável pela amostragem e retenção simultânea dos seis canais de entrada, para que as grandezas, calculadas para cada fase, sejam referentes ao mesmo instante de tempo.

O bloco “Mux Analógico” (Multiplexador Analógico) é responsável pela condução dos sinais de saída do circuito amostra-e-retém para o circuito de conversão analógico-digital. Dessa forma, o conversor A/D é compartilhado entre os seis canais de entrada. Um número maior de canais pode ser utilizado, implicando em uma maior velocidade de funcionamento do conversor A/D.

O bloco “Conversor A/D” (conversor Analógico-Digital) é o responsável pela digitalização dos valores de tensão e de corrente aquisitados. Além dos valores convertidos, o conversor A/D fornece em sua saída um sinal de “pronto”, indicando que o dado de entrada já foi convertido e que está disponível para leitura. Os valores convertidos podem ser armazenados em uma pilha de memória, através do circuito de *DMA (Direct Memory Access)* – Acesso Direto à Memória, para que sejam processados os cálculos matemáticos relativos às grandezas amostradas ou manipulados, diretamente pelo microprocessador, que os armazenará na memória.

Os valores calculados pelo microprocessador podem ser diretamente exibidos por um visor alfanumérico (*display*) ou enviados para um microcomputador através de suas portas de comunicação.

Uma outra configuração alternativa possível consiste em se enviar os dados convertidos pelo conversor A/D diretamente para um microcomputador, para que este processe os dados amostrados. Neste caso, os sinais digitais disponibilizados pelo conversor

A/D devem ter seus níveis de tensão compatibilizados com os valores de trabalho da porta de comunicação do microcomputador.

O bloco “controle” é um circuito digital responsável pelo envio de sinais digitais de controle e de sincronismo aos demais circuitos do sistema. Este bloco também é responsável pelo sequenciamento e controle do algoritmo de conversão do circuito Conversor A/D.

## 2.2 Sistema Proposto

O diagrama em blocos do sistema proposto pode ser visualizado na Figura 2.2, consistindo de um sistema de aquisição e conversão de dados de dois canais.

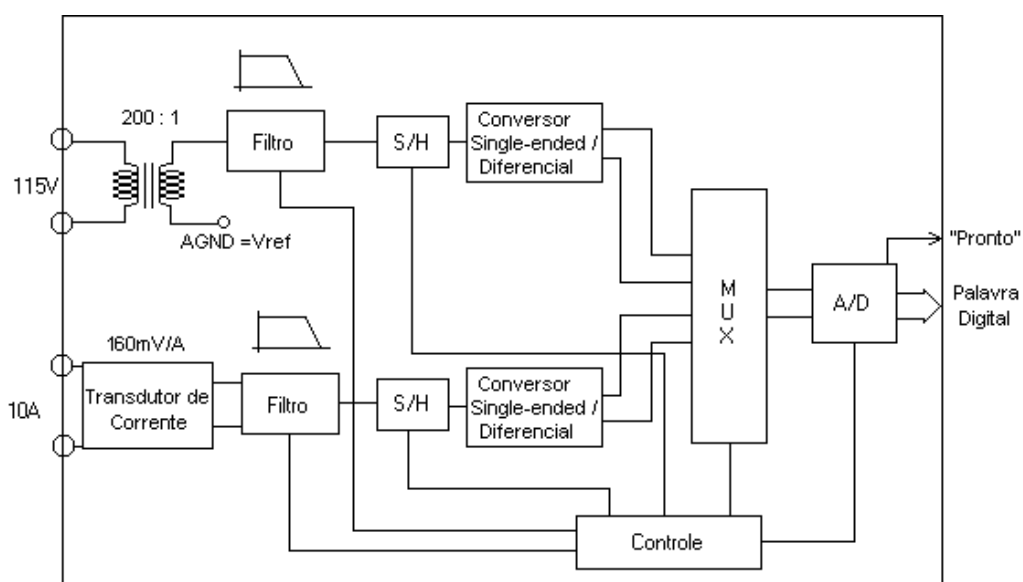


Figura 2.2 - Sistema de Aquisição de Dados Proposto

Para que os sinais sejam adquiridos da rede elétrica, estes devem ser aplicados aos circuitos de amostragem através dos dispositivos conectados à entrada do equipamento, ou seja, um transformador de potencial (*TP*) para o circuito de amostragem de tensão e um transdutor de corrente, baseado no efeito Hall, para o circuito de amostragem de corrente.

O *TP* de entrada do circuito, que será conectado a uma tensão nominal de 115V, possui uma relação de redução de 200:1. O transdutor de corrente escolhido foi o CSA-1, da empresa Sentron. Esse sensor apresenta uma tensão de saída proporcional à corrente de entrada, com uma relação linear de 160 mV/A, a uma corrente máxima de 10 A. Dessa forma, será aplicada à entrada do circuito de tratamento de sinais uma tensão nominal de pico de 813mV (circuito de amostragem de tensão) e uma tensão máxima de 1,6V para o circuito de



amostragem de corrente, para uma corrente de entrada máxima de 10 A.

Para a utilização em redes de alta tensão/corrente, os sinais a serem aplicados a essas entradas podem ser provenientes dos transformadores de potencial/corrente já existentes nas instalações de medição.

O circuito de entrada é composto de um filtro passa-baixa com frequência de passagem de 1500 Hz, para a eliminação dos harmônicos superiores (a partir do 25<sup>o</sup>), apresentando uma queda de 40 dB por década. Esse circuito também desempenha o papel de filtro *anti-aliasing* do sistema. O circuito desse filtro apresenta uma configuração *single-ended*, sendo alimentado por uma tensão assimétrica de 5 V. Com isso, os sinais provenientes do TC e do transdutor de corrente devem apresentar uma tensão de modo comum de 1,75 V.

Para a compatibilização dos sinais dos circuitos de corrente e de tensão para com o circuito amostra-e-retém, que possui uma faixa de tensão de entrada de 0 V a 3,5 V, a tensão de saída dos circuitos de aquisição deve possuir uma tensão de referência de 1,75 V. Devido a esse fato, o terminal comum do TC é conectado a um terra analógico de 1,75 V, fornecendo uma tensão de saída variante em torno dessa tensão.

O circuito do transdutor de corrente fornece em sua saída uma tensão com um nível dc de 2,5V; dessa forma, torna-se necessário efetuar o deslocamento de nível dessa tensão para um potencial de 1,75V. Esse deslocamento deverá ser feito por um circuito externo ao sistema, através de uma rede de resistores ou de circuitos deslocadores de nível.

O sinal de saída do filtro de cada canal será discretizado pelo circuito amostra-e-retém, com uma taxa de 128 amostras por ciclo, ou seja, a uma frequência de aproximadamente 7,7 kHz, considerando-se a frequência nominal do sinal de entrada igual a 60 Hz. Com esse valor de taxa de amostragem, o critério de Nyquist é obedecido, pois para o maior harmônico a ser amostrado (1500 Hz), a frequência de Nyquist é igual a 3 kHz, ou seja, menor que o valor de 7,7 kHz. Os sinais de ambos os canais são amostrados simultaneamente a fim de que as grandezas obtidas para cada canal sejam referentes ao mesmo instante de tempo. A simultaneidade da amostragem é importante, por exemplo, para o cálculo do fator de potência, que é obtido pelo cálculo da defasagem entre tensão e corrente.

Durante a fase de retenção do sinal, o multiplexador analógico é o responsável pela condução do sinal de saída de cada circuito amostra-e-retém ao conversor A/D, para que o sinal amostrado seja convertido em códigos digitais. Como durante a fase de retenção, ambos os sinais devem ser convertidos, a frequência de trabalho do multiplexador analógico

deve ser igual ao dobro do valor da frequência de amostragem do sinal.

Para  $n$  canais de amostragem, a frequência de chaveamento do multiplexador analógico deve ser  $n$  vezes maior que a frequência de trabalho do circuito amostra-e-retém. Como a frequência de amostragem é de 7,7 kHz para o sistema proposto de dois canais, a frequência de trabalho do multiplexador analógico deverá ser de 15,4 kHz.

Convém notar que o circuito amostra-e-retém possui a configuração saída simples, e o multiplexador analógico possui a configuração totalmente diferencial. Com isso, os sinais de saída dos circuitos amostra-e-retém devem ser convertidos de saída simples para diferencial, para que possam ser aplicados ao multiplexador analógico. Os circuitos conversores de saída simples para diferencial serão apresentados no próximo capítulo. Estes circuitos também podem ser utilizados para fornecer ganho aos sinais de entrada, se desejado.

O conversor A/D deve realizar a conversão das palavras durante a fase de retenção dos sinais. Como a frequência do circuito amostra-e-retém é de 15,4 kHz ( $t=65 \mu\text{s}$ ), o conversor deve ser capaz de converter as palavras de ambos os canais nesse intervalo de tempo, ou seja, o conversor A/D contará com um tempo de 32,5  $\mu\text{s}$  para converter cada palavra.

A topologia escolhida para o conversor A/D é a cíclica, onde são necessários três pulsos do sinal de *clock* para que se obtenha cada *bit* da palavra convertida. Como a palavra a ser convertida possui dez *bits*, serão necessários trinta pulsos de *clock* para que a conversão seja concluída.

De posse do tempo de conversão especificado (32,5  $\mu\text{s}$ ) e do número de pulsos de *clock* necessários (30), pode-se obter o valor da frequência de *clock* do circuito conversor A/D, que será igual a 923 KHz.

A Figura 2.3 contém o esboço do ciclo de trabalho de cada bloco do circuito. As Figuras 2.3(a) e 2.3(c) representam as formas-de-onda dos canais a serem amostrados. Nas Figuras 2.3(b) e 2.3(d) pode-se visualizar os sinais de controle aplicados aos circuitos amostra-e-retém de ambos os canais, onde o sinal de entrada é amostrado quando o pulso de controle está em nível lógico baixo (**A**) e mantido constante quando o pulso de controle está em nível lógico alto (**R**).

Como os circuitos amostra-e-retém realizam a amostragem e a retenção simultaneamente, pode-se utilizar o mesmo sinal de controle para ambos os circuitos. Dessa

forma, os sinais de entrada são discretizados e mantidos constantes, para que o conversor A/D possa realizar a correta aquisição e conversão dos mesmos.

A Figura 2.3(e) representa o chaveamento dos canais do multiplexador analógico, onde durante a fase de retenção a saída do multiplexador é comutada entre os sinais amostrados pelos canais 1 e 2. Na Figura 2.3(f) pode-se visualizar o sinal de controle do multiplexador analógico ampliado e, na Figura 2.3(g), a forma na qual deve ocorrer o sinal de *clock* do conversor A/D.

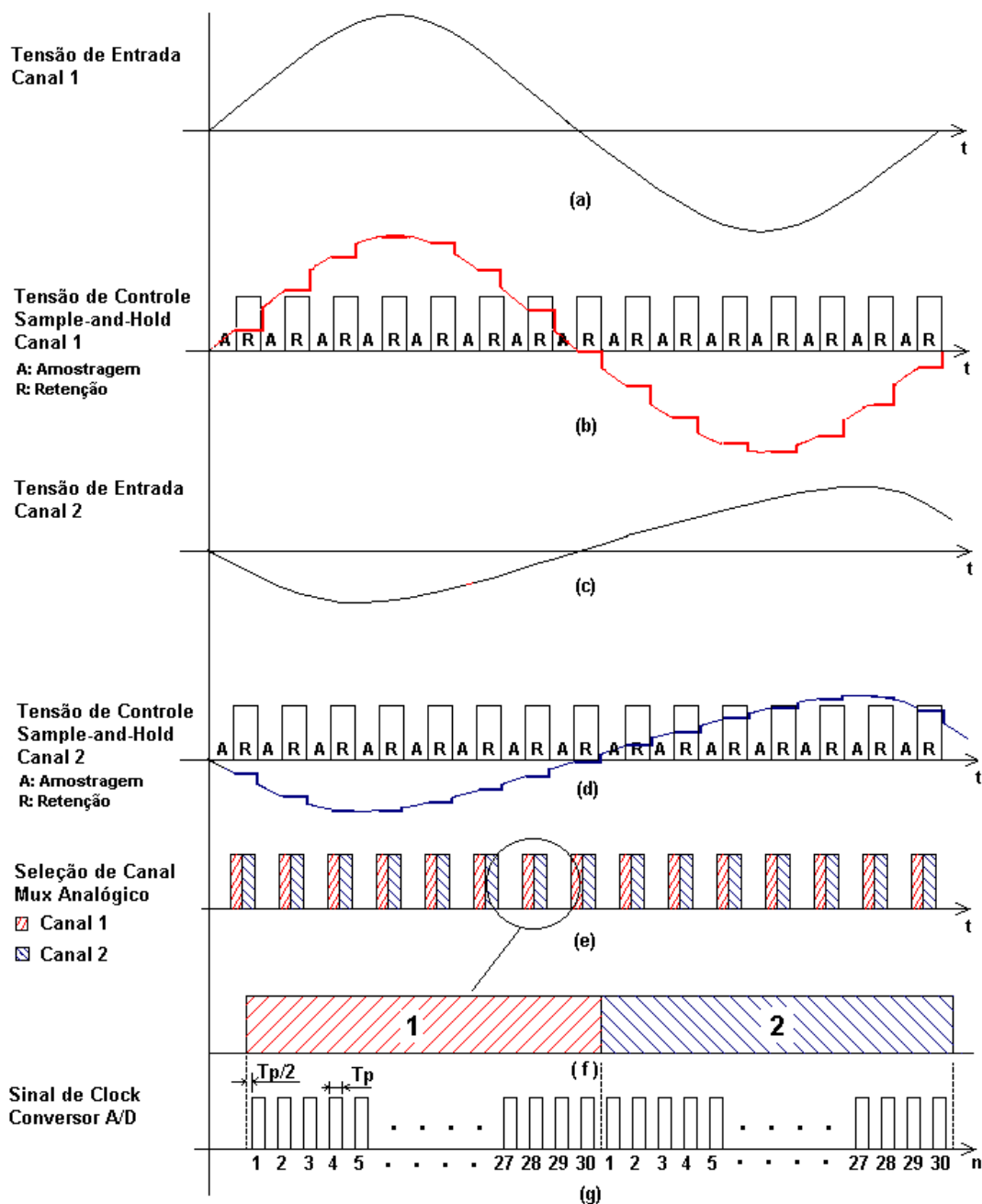


Figura 2.3 - Diagrama de Sinais de Controle – Sistema de Aquisição de Dados – Dois Canais

A amostragem da tensão de saída do multiplexador analógico é realizada pelo conversor A/D nos primeiros dois pulsos de *clock*, o que significa que a tensão na saída do multiplexador analógico deve estar estabelecida no início do funcionamento do conversor A/D. Para que isso ocorra, deve existir um *delay* ( $t_p/2$ ) entre o chaveamento do multiplexador analógico e o início do funcionamento do conversor A/D, onde  $t_p$  é o tempo em que o pulso de *clock* do conversor A/D está em nível lógico alto.

A frequência de operação do conversor A/D foi estabelecida em 1,5 MHz, a fim de que exista tempo suficiente para que os sinais amostrados sejam convertidos em palavras de dez bits. Assim, o período do sinal de *clock* é de 0,66  $\mu\text{s}$  e  $t_p$  é de 0,33  $\mu\text{s}$ , o que resulta em um atraso de 0,165  $\mu\text{s}$  entre o chaveamento dos canais do multiplexador analógico e o início do ciclo de conversão do circuito conversor A/D.

## Capítulo 3

### Circuitos de Entrada

#### 3.1 Filtro *Anti-Aliasing*

Antes de serem amostrados pelos circuitos amostra-e-retém, os sinais de entrada obtidos através do transdutor de corrente e do *TP* devem ser aplicados a um filtro passa-baixa, a fim de que todas as frequências acima da frequência de Nyquist (metade do valor da frequência de amostragem) sejam removidas. A utilização desse filtro evita a ocorrência do efeito de *aliasing* [7] durante a amostragem e, desse fato, decorre o nome de filtro anti-*aliasing*.

Com a utilização desse filtro, também são eliminados os harmônicos de ordem superior, que não são de interesse ao sistema em questão. Convencionou-se utilizar, para análise de Fourier e posterior cálculo das grandezas amostradas, o valor máximo de 25 harmônicos do sinal de entrada (amostragem do 1º ao 25º harmônico). A partir dessa frequência (1500 Hz), o filtro passa a atenuar o sinal de entrada com uma queda de 40 dB por década. Essa característica é obtida através do uso de um filtro passa-baixa de segunda ordem.

O filtro Sallen-Key [7] é apropriado para essa aplicação, pois possui um fator de qualidade *Q* constante, independente das variações de *R* e de *C*. Dessa forma, a planicidade da banda de passagem não é afetada, resultando em uma atenuação com queda constante, de -40dB por década.

Os valores especificados de frequência do filtro devem ser atendidos até mesmo nas condições de pior caso de tolerância dos resistores e capacitores. Com isso, os filtros *anti-aliasing* são, usualmente, sobredimensionados [7]. Os valores de *R* e *C* podem variar em até 50% e a frequência de passagem típica de 1500 Hz pode variar de 750 Hz a 2,25

kHz. Com isso, os valores de R e de C são calculados de forma que a frequência de passagem seja de 1500 Hz quando estes possuírem seus valores mínimos, pois se deseja garantir que até o 25° harmônico do sinal de entrada seja amostrado. Nessas condições, para o caso típico, a frequência de passagem do filtro passa a ser de 2,25 kHz.

A frequência de rejeição, neste caso, é de 22,5 kHz, o que garante que não ocorrerá *aliasing* (a frequência de amostragem do conversor A/D é de 1,5 MHz e o filtro limita a frequência de entrada em 22,5 kHz, garantindo o critério de Nyquist). O esquema do filtro Sallen-Key pode ser visualizado na Figura 3.1. A função de transferência do circuito é dada por:

$$H(s) = \frac{\omega_0^2}{s^2 + (\omega_0/Q)s + \omega_0^2} \quad (3.1)$$

onde  $\omega_0$  é a frequência do pólo e Q é a seletividade do filtro.

A frequência  $\omega_0$  do pólo é dada por:

$$\omega_0 = \frac{1}{\sqrt{2RC}} \quad (3.2)$$

onde R é o valor da resistência e C o valor da capacitância utilizada no circuito.

O valor de Q é dado por

$$Q = \frac{1}{\sqrt{2}} \quad (3.3)$$

Da Equação 3.3, pode-se perceber que o valor de Q é independente dos valores de R e de C. A resposta desse tipo de filtro é a mais plana (*Butterworth*), quando comparada aos outros tipos de filtros [7], e está contida na Figura 3.2.

Para a implementação dos elementos passivos, optou-se por utilizar capacitores externos ao chip e resistores integrados, pois os altos valores de capacitores exigiriam significativa área de silício. Além disso, deseja-se uma estrutura onde se possa ajustar a frequência de passagem do filtro e, com a utilização de dois capacitores externos, o usuário pode ajustar a frequência de operação do filtro, através da escolha dos valores dos mesmos.

Outro benefício decorrente da utilização de capacitores externos, onde

capacitâncias de maiores valores podem ser utilizadas, é a redução das dimensões dos resistores a serem integrados, uma vez que a frequência do filtro é inversamente proporcional ao produto RC (Equação 3.2).

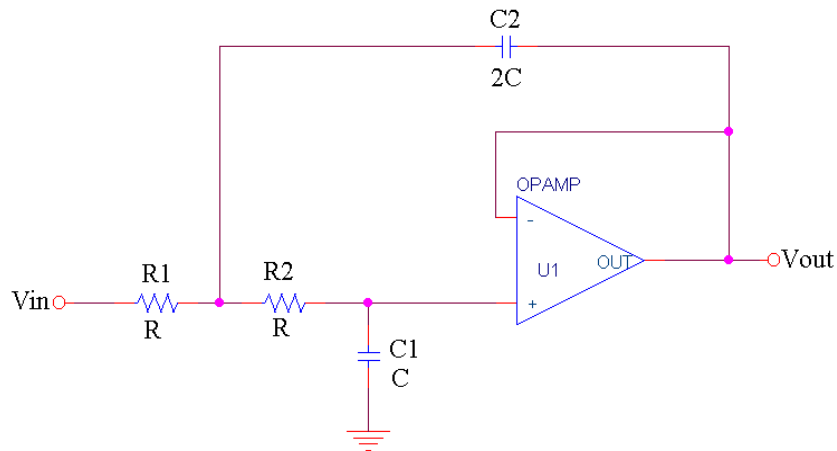


Figura 3.1 – Filtro Passa-Baixa de Segunda Ordem Sallen-Key

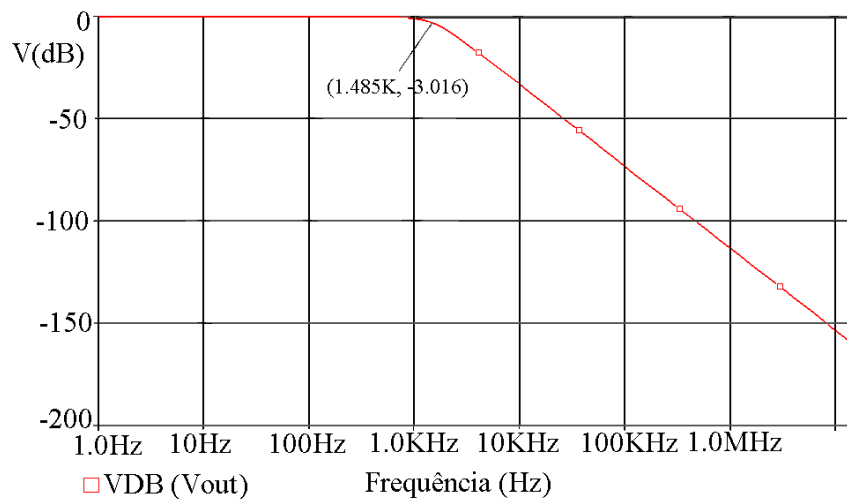


Figura 3.2 - Gráfico de Resposta em Frequência – Filtro Passa-Baixa Sallen-Key

Para que o filtro possua frequência de passagem típica de 2,25 kHz, os valores de R e de C, calculados de acordo com a Equação 3.2, devem ser, respectivamente, 106,4 k $\Omega$  e 470 pF. Para o pior caso de variação desses elementos (50%), a frequência de passagem mínima é de 1500 Hz, garantindo a amostragem do sinal com a banda desejada.

### 3.1.1 Projeto do Amplificador Operacional

O amplificador operacional implementado para a utilização no filtro de sinais é o canônico de dois estágios, baseado em [17,18,28], utilizando compensação Miller. Esse circuito foi projetado para que apresentasse um ganho mínimo de 80 dB (resolução de 12 bits), *slew-rate* de pelo menos 1,5 V/ $\mu$ s, margem de fase em torno de 50° e frequência de

ganho unitário acima de 2 MHz. O circuito do amplificador operacional calculado e simulado é apresentado na Figura 3.3. O circuito foi simulado através da ferramenta *AccuSim*<sup>®</sup> do software *Mentor Graphics*<sup>®</sup>, utilizando os parâmetros *Level 47* (BSIM), fornecidos pela empresa AMS, para a tecnologia de 0,35 $\mu$ m.

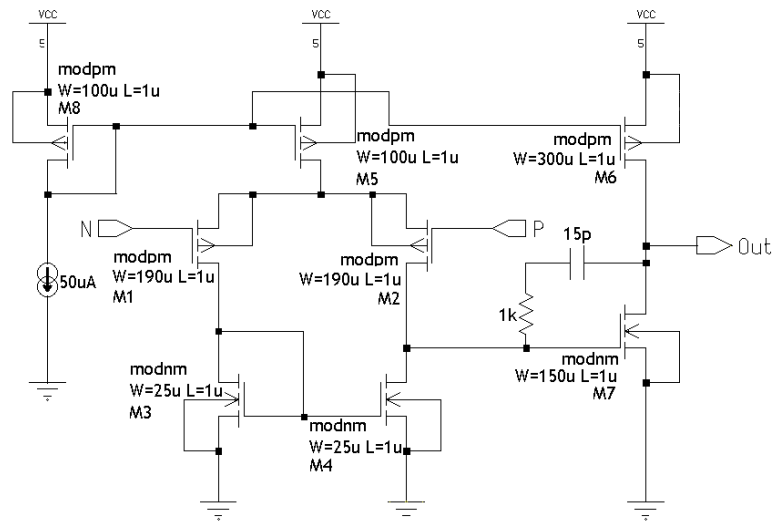


Figura 3.3 – Esquema do Amplificador Operacional Projetado

A Figura 3.4 contém os resultados de simulações para o caso típico (transistores típicos,  $V_{CC} = 5V$  e temperatura de 25° C), a Figura 3.5 refere-se ao pior caso de potência (transistores rápidos,  $V_{CC} = 5,5V$  e temperatura de 0° C) e a Figura 3.6 ilustra o pior caso de velocidade (transistores lentos,  $V_{CC} = 4,5V$  e temperatura de 70° C). As figuras contêm as curvas do ganho e da fase em função da frequência do sinal de entrada.

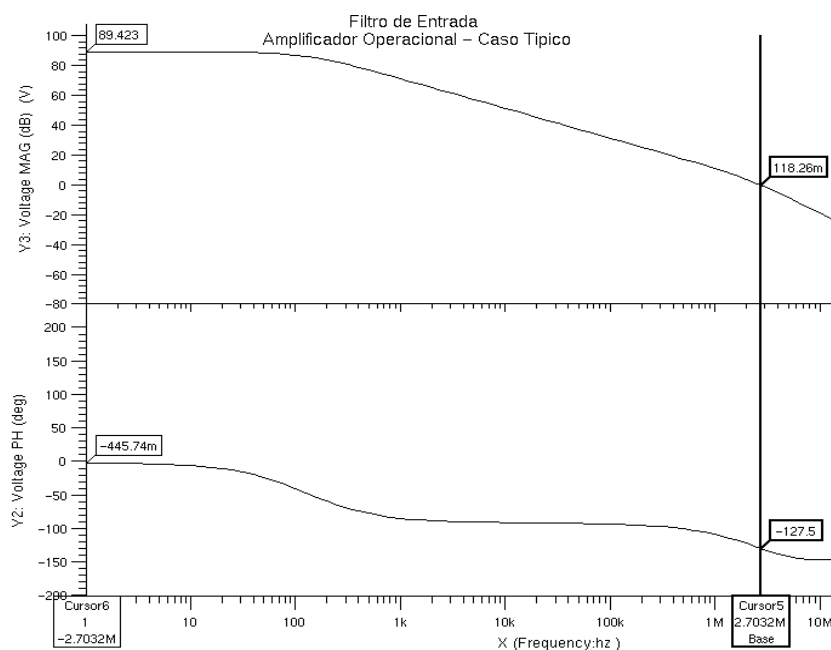


Figura 3.4 - Resposta em Frequência - Amplificador Operacional - Caso Típico



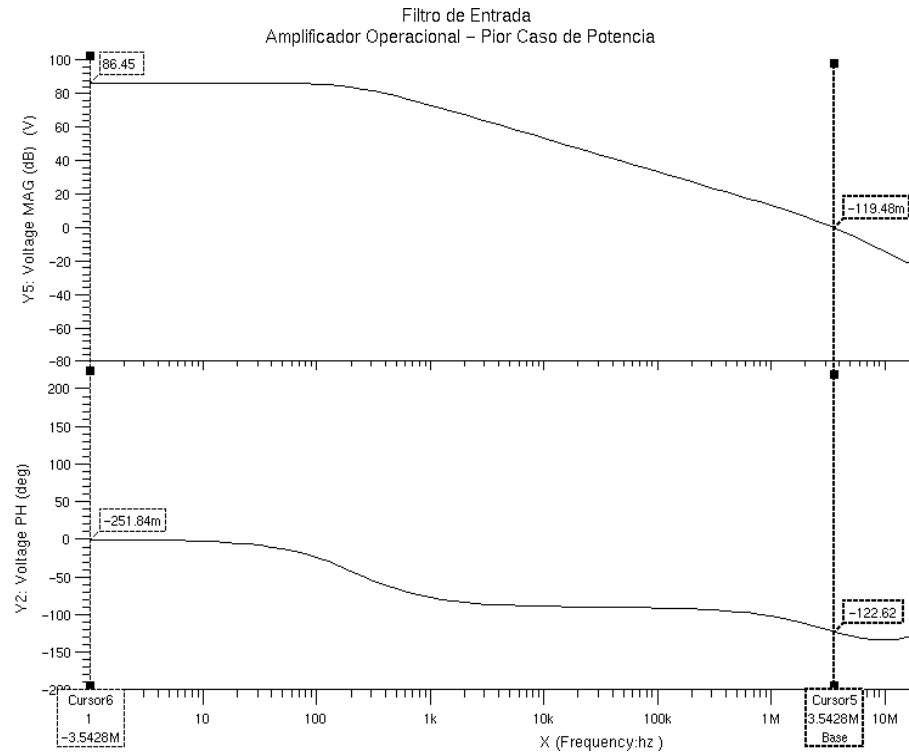


Figura 3.5 - Resposta em Frequência - Amplificador Operacional - Pior Caso de Potência

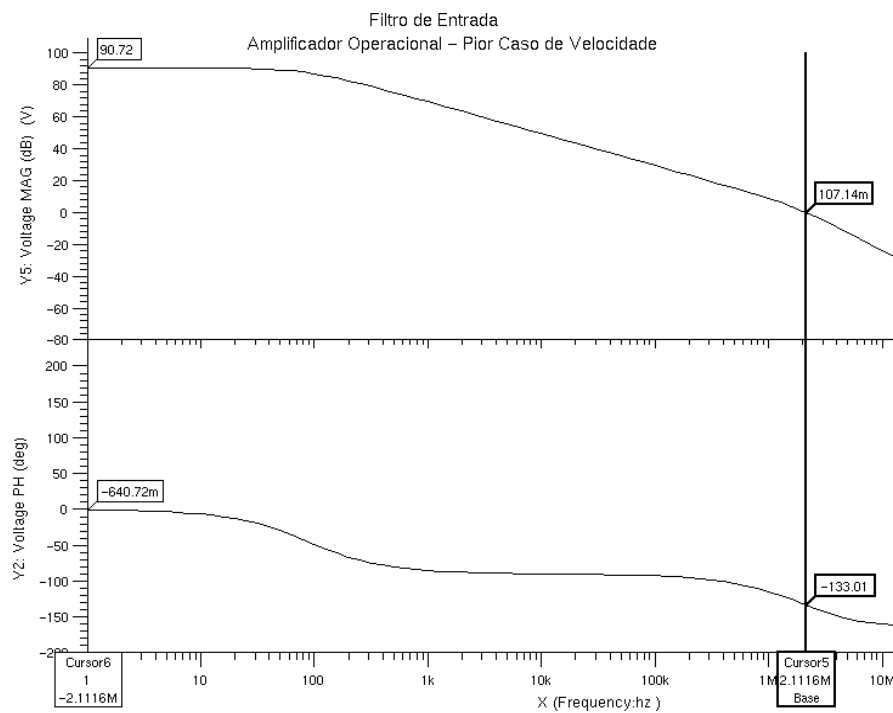


Figura 3.6 - Resposta em Frequência - Amplificador Operacional - Pior Caso de Velocidade

Os valores de ganho de malha aberta, de frequência de ganho unitário e de margem de fase, obtidos para todos os casos de simulações (típico, pior caso de potência e pior caso de velocidade), são apresentados na Tabela 3.1.

	Caso Típico	Pior caso de potência	Pior caso de velocidade
Ganho $A_0$ [dB]	89,4	86,5	90,7
PM [graus]	52,5	57,4	47,0
$f_T$ [MHz]	2,7	3,5	2,1

Tabela 3.1 – Resultados da Simulação – Amplificador Operacional

### 3.1.2 Filtro Sallen-Key

O circuito do filtro de sinais implementado (tipo Sallen-Key [7]), com os valores calculados para seus componentes, pode ser visualizado na Figura 3.7.

Assim como no caso das simulações do amplificador operacional, o circuito do filtro foi simulado para os casos: típico (Figura 3.8), pior caso de potência (Figura 3.9) e pior caso de velocidade (Figura 3.10).

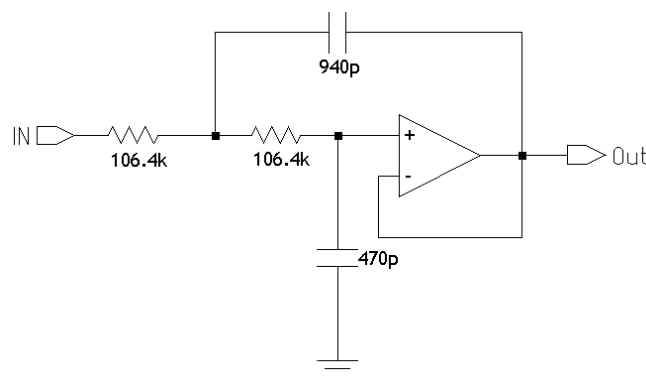


Figura 3.7. Circuito do Filtro Sallen-Key Implementado

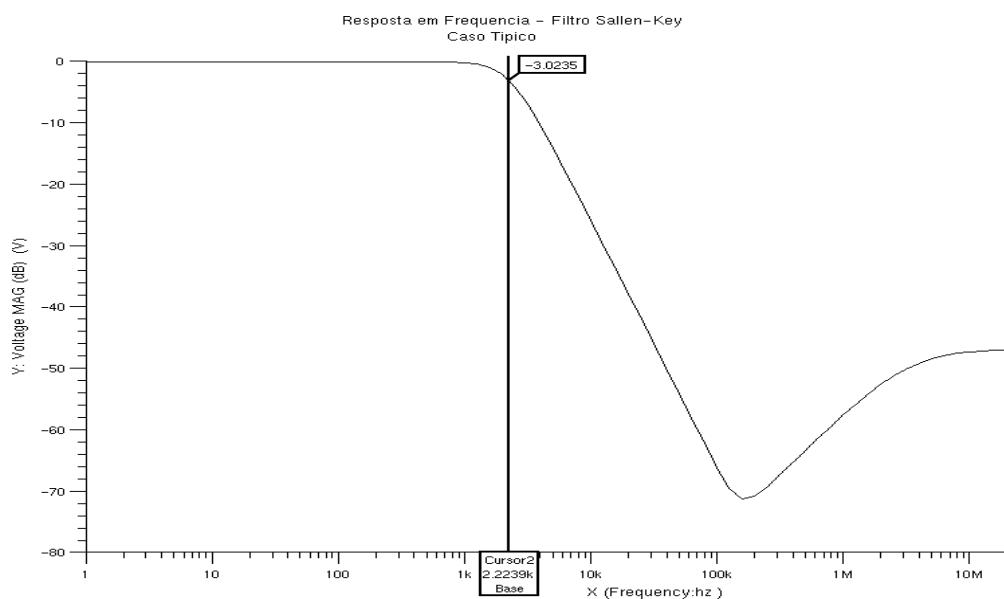


Figura 3.8 – Resposta em Frequência do Circuito da Figura 3.7 – Caso Típico

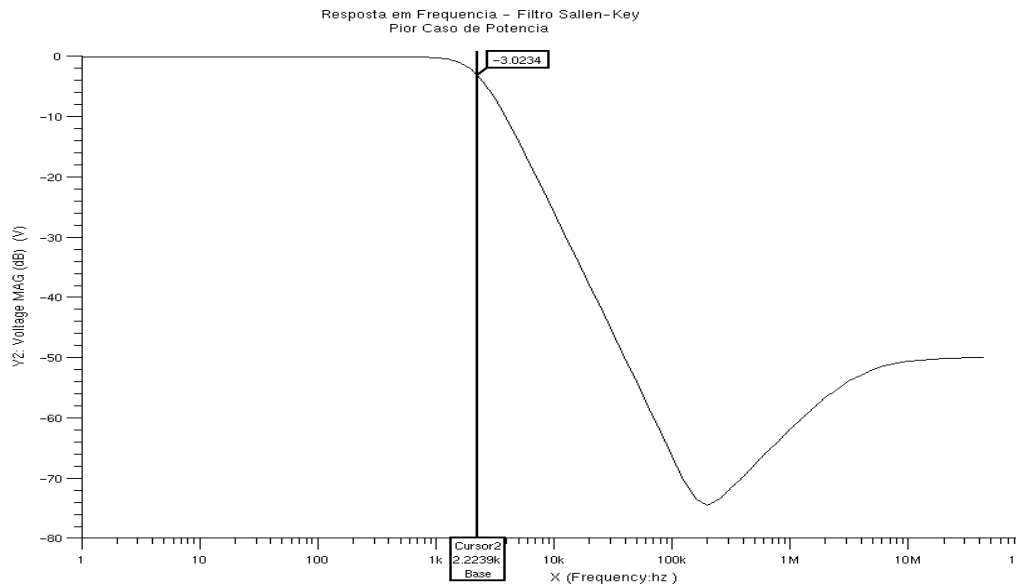


Figura 3.9 – Resposta em Frequência – Filtro Sallen-Key – Pior Caso de Potência

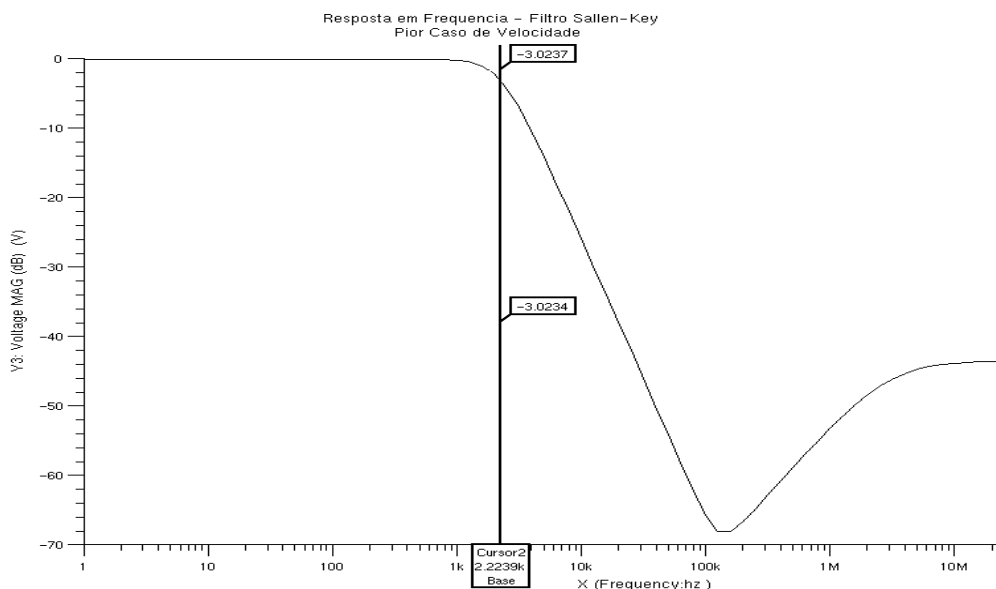


Figura 3.10 - Resposta em Frequência – Filtro Sallen-Key – Pior Caso de Velocidade

De acordo com a análise do comportamento em frequência do circuito simulado, os resultados de simulação obtidos foram satisfatórios, pois não ocorreram alterações significativas na frequência de passagem do filtro projetado.

### 3.2 Circuito Amostra-e-Retém (*Sample-and-Hold*)

O circuito *S/H* (*sample-and-hold*, ou amostra-e-retém) é o responsável pela discretização dos sinais analógicos aplicados em sua entrada. Em outras palavras, os sinais variáveis no tempo são transformados em níveis fixos de tensão, com intervalos de tempo definidos pela frequência de amostragem do sistema, a fim de que possam ser processados por

circuitos conversores de dados ou de processamento digital.

Em sistemas de medição de grandezas elétricas, os canais de entrada geralmente são amostrados no mesmo instante de tempo, a fim de que não ocorram defasagens entre estes sinais durante a discretização. Nesses circuitos, tais sinais devem ser aplicados a um conversor A/D através de um circuito multiplexador e o sinal amostrado, mantido estável e fixo para que seja feita a conversão para digital.

A exatidão do dado convertido depende diretamente da capacidade do *S/H* em apresentar em sua saída um sinal com nível de tensão correspondente ao sinal de entrada contínuo, no momento em que é aplicado o comando de retenção do sinal.

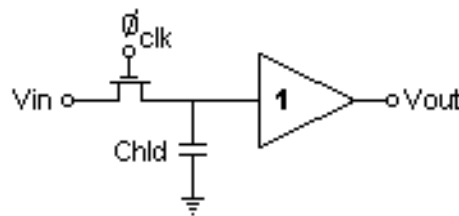


Figura 3.11- Circuito Amostra-e-retém Básico

Um circuito *S/H* pode ser construído empregando-se, basicamente, uma chave analógica, um capacitor e um *buffer* de ganho unitário de alta impedância (Figura 3.11) e, por isso, a tecnologia CMOS é a melhor indicada para a implementação monolítica [8].

Várias técnicas têm sido empregadas buscando a redução da carga capacitiva, do erro devido ao ganho do amplificador operacional e do *droop* [9,10]. Para aplicações em altas velocidades, costuma-se utilizar chaves *dummies* para cancelar as cargas injetadas pela chave principal [11]. Um cancelamento perfeito é difícil devido às diferentes condições dos terminais da chave *dummy* e da chave principal [8].

Além das cargas injetadas pelo chaveamento, os circuitos também podem sofrer efeitos de *offset* dos amplificadores operacionais e de capacitâncias parasitas presentes nas estruturas componentes do circuito. Com isso, arquiteturas alternativas têm sido desenvolvidas com o intuito de se evitar a degradação na precisão do circuito devido a esses efeitos.

A Figura 3.12(a) ilustra o circuito amostra-e-retém escolhido para implementação [8], o qual possui cancelamento de *clock-feedthrough*, capacitâncias parasitas e *offset* do amplificador operacional. Esse circuito utiliza uma seqüência de chaveamento particular, contida na Figura 3.12(b).

Na Figura 3.12(a), o capacitor C3 é utilizado para relaxar a especificação do *slew-rate* do amplificador operacional. Esse capacitor impede que a tensão de saída do circuito seja levada a zero durante a fase de carga do capacitor de entrada C2.

O funcionamento do circuito ocorre da seguinte maneira: durante a fase  $\phi_1=\phi_2=\phi_3= "1"$ , o capacitor C2 é carregado com a tensão de entrada e C1 permanece descarregado. Quando a chave M1 é aberta ( $\phi_1="0"$ ), a sua carga de *clock-feedthrough* é injetada em C2, alterando o valor da tensão armazenada. Quando a chave M3 é aberta ( $\phi_2="0"$ ), a sua carga é injetada em C1.

As chaves M1 e M3 devem ser iguais, para que as cargas injetadas em C1 e C2 sejam aproximadamente iguais. Devido à topologia do circuito, as cargas injetadas por C1 e C2 são iguais e de polaridades opostas. No próximo passo, a chave M2 é desligada e a carga injetada devido ao *clock-feedthrough* de M2 é injetada somente no capacitor  $C_M$  (adicionado para permitir uma operação do circuito livre de *spikes* [8]).

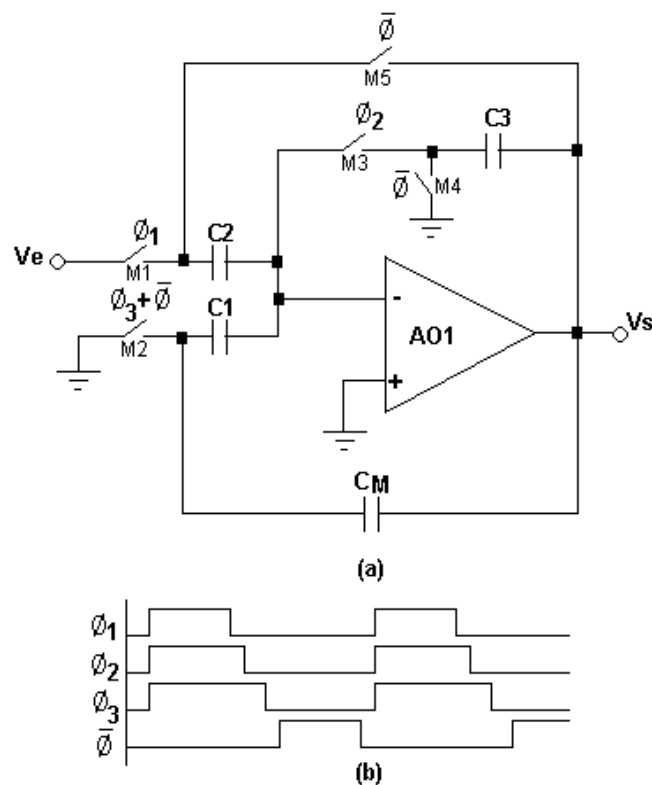


Figura 3.12 - (a) Circuito Amostra-e-Retém com Compensação de *Clock-Feedthrough*;  
(b) Sinais de Chaveamento

Durante a fase  $\bar{\phi} = "1"$ , o capacitor C2 é conectado entre a saída e a entrada inversora do amplificador operacional (através de M5) e C1 é conectado para o terra através de M2. Dessa forma, o capacitor C2 recebe um acréscimo de carga, proveniente de C1, sendo

que a tensão de saída do circuito é definida pela soma das cargas presentes em C2. A tensão devido às cargas armazenadas em C2 é igual a:

$$V_{C2} = V_{IN} - V_{CK} \quad (3.4)$$

onde  $V_{IN}$  é a tensão de entrada e  $V_{CK}$  é o decréscimo de tensão causado pelo efeito de *clock-feedthrough*.

A tensão em C1 é igual a:

$$V_{C1} = 0 + V_{CK} \quad (3.5)$$

A tensão de saída será igual à soma das tensões em C1 e de C2 (considerando um caso particular, com C1 e C2 de mesmo valor):

$$V_O = V_{C1} + V_{C2} \quad (3.6)$$

$$V_O = V_{IN} - V_{CK} + V_{CK} = V_{IN} \quad (3.7)$$

Dessa forma, ocorre a eliminação do efeito de injeção de cargas na tensão de saída.

A equação genérica para a tensão de saída é dada por:

$$V_{OUT}(\bar{\phi}) = \left(1 + \frac{C1}{C2}\right) V_{IN}(\phi_1) \quad (3.8)$$

O capacitor  $C_M$ , conforme citado anteriormente, é utilizado para permitir a operação do circuito livre de *spikes*. Esta técnica consiste em se utilizar caminhos de realimentação contínuos no tempo, evitando que ocorram picos de tensão na saída. Estes ocorrem quando a malha de realimentação do amplificador operacional é desfeita, durante o chaveamento do circuito, o que leva o amplificador operacional à saturação.

No circuito analisado,  $C_M$  formará um caminho de realimentação (em série com  $C_1$ ) durante o intervalo de não-sobreposição das fases  $\phi_3$  e  $\bar{\phi}$ . Todos os capacitores podem assumir quaisquer valores mas,  $C_3$ , como é o capacitor de retenção, deve ser muito maior que  $C_1$  e  $C_2$  [8].

O circuito apresentado também é imune ao *offset* do amplificador operacional e às capacitâncias parasitas do circuito [8]. Considerando a presença de uma tensão de *offset* na saída do operacional, tem-se que os capacitores  $C_2$  e  $C_1$  carregar-se-ão com uma tensão de

valor igual a  $(V_{in}-V_{off})$ , durante as fases  $\phi_1$  a  $\phi_3$ .

Durante a fase  $\bar{\phi} = "1"$ , o capacitor C1 transferirá para C2 uma quantidade de cargas equivalente, que resultará em um acréscimo de tensão igual a  $V_{in}$ , pois o capacitor C1 descarregará até o momento em que sua tensão se iguale ao valor da tensão de *offset*. Assim, nessa fase de chaveamento, a carga adquirida por C2 resultará em uma tensão igual a:

$$V_{C2}=V_{IN}-V_{OFF} \quad (3.9)$$

Como na saída do amplificador operacional existe um acréscimo de  $V_{OFF}$ , a tensão resultante de saída será:

$$V_{OUT}=V_{IN}-V_{OFF}+V_{OFF} = V_{IN} \quad (3.10)$$

A Equação 3.10 indica um circuito amostra-e-retém imune à tensão de *offset* do amplificador operacional.

### 3.2.1 Projeto da Chave Analógica

Para o projeto da chave analógica, foram calculadas as dimensões dos transistores, através das equações que levam em consideração o tempo de chaveamento, tensões de entrada e tensão de acionamento, bem como os parâmetros de processo da tecnologia AMS 0.35. A Equação 3.11 [7] foi utilizada na determinação da largura "W" dos transistores N, que operarão como chave NMOS.

$$t_{ch} = \frac{C}{k_p * W/L * (V_{DD} - v_{in} - V_{TH})} * \ln \left( \frac{v_{in} (v_{out} + v_{in} + 2V_{TH} - 2V_{DD})}{(v_{out} - v_{in}) (2V_{DD} - v_{in} - 2V_{Th})} \right) \quad (3.11)$$

onde:

$t_{ch}$  é o tempo necessário para carregar a capacitância C de saída com o valor de tensão  $V_{out}$ ;

$k_p$  é a transcondutância do transistor MOS;

$W/L$  é a razão entre o comprimento e a largura do transistor;

$V_{TH}$  é a tensão de *threshold* do transistor;

$V_{in}$  é o valor da tensão de entrada

$V_{out}$  é o valor da tensão de saída;

$V_{DD}$  é o valor da tensão de alimentação

Para um tempo de chaveamento de 50 ns e adotando-se um comprimento de canal

$L=0,5\mu\text{m}$ , as dimensões dos transistores foram determinadas, resultando em uma largura (W) de  $1\mu\text{m}$ .

### 3.2.2 Projeto do Amplificador Operacional

O amplificador operacional utilizado nesse circuito é o mesmo desenvolvido no item 3.1.1 [17,18,28], que apresenta as características mostradas na Tabela 3.2.

	Caso Típico	Pior caso de potência	Pior caso de velocidade
Ganho $A_0$ [dB]	89,4	86,5	90,7
PM [graus]	52,5	57,4	47,0
$f_T$ [MHz]	2,7	3,5	2,1

Tabela 3.2 – Características – Amplificador Operacional

### 3.2.3 Implementação – Circuito Amostra-e-retém

O circuito amostra-e-retém proposto em [8], adotado neste trabalho, foi implementado através da ferramenta *Design Architect*<sup>®</sup> e simulado através da ferramenta *Accusim*<sup>®</sup>, do software *Mentor Graphics*<sup>®</sup>. Para a verificação da correta operação do circuito, foi aplicada uma onda senoidal na entrada do mesmo, com uma frequência de, por exemplo, 200Hz e na faixa de 0,5V a 3V. A Figura 3.13 apresenta o circuito utilizado.

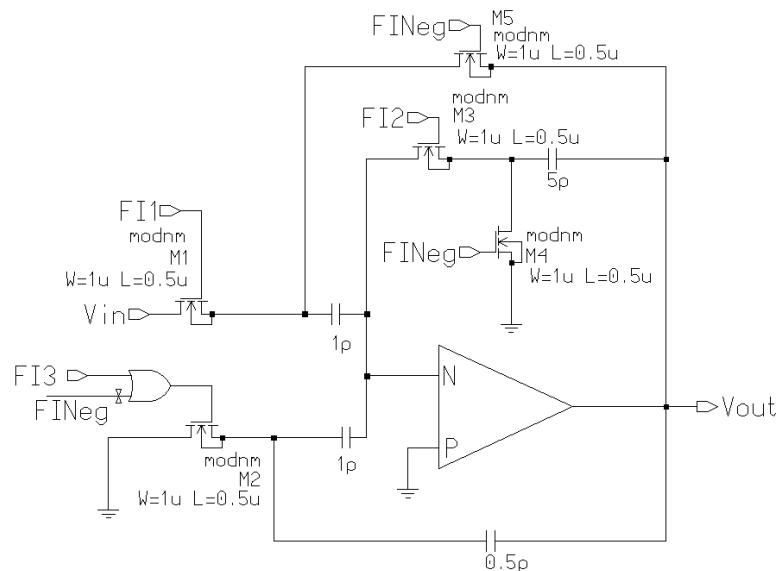


Figura 3.13 - Circuito Amostra-e-retém Implementado

Para o acionamento das chaves NMOS são necessários quatro sinais de controle, sendo eles:  $\phi_1$ ,  $\phi_2$ ,  $\phi_3$  e  $\bar{\phi}$ . Esses sinais de acionamento são gerados pelo circuito de controle que será descrito posteriormente. A Figura 3.14 contém o aspecto dos pulsos de



controle aplicados ao circuito, obtido através de simulação do circuito da Figura 3.15, onde os sinais  $\phi_2$  (“FI2”) e  $\phi_3$  (“FI3”) são réplicas atrasadas do sinal  $\phi_1$  (“FI1”) e o sinal  $\bar{\phi}$  (“FINeg” ou “Fin”) consiste em um pulso não-sobreposto de  $\phi_3$ . O circuito de controle da Figura 3.15, baseado em *flip-flops* do tipo D, consiste em um contador síncrono de cinco *bits*, que executa a contagem descrita na Tabela 3.3.

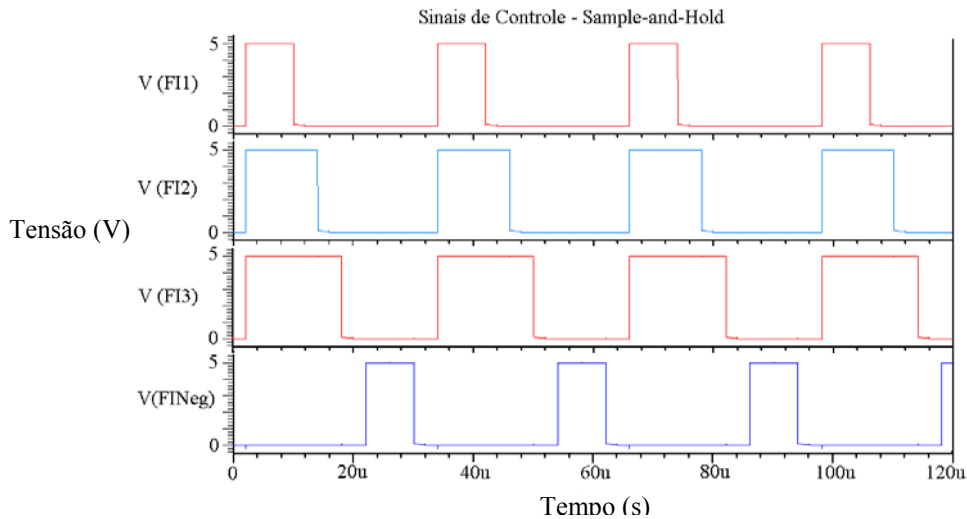


Figura 3.14 - Sinais de Controle - Circuito Amostra-e-retém

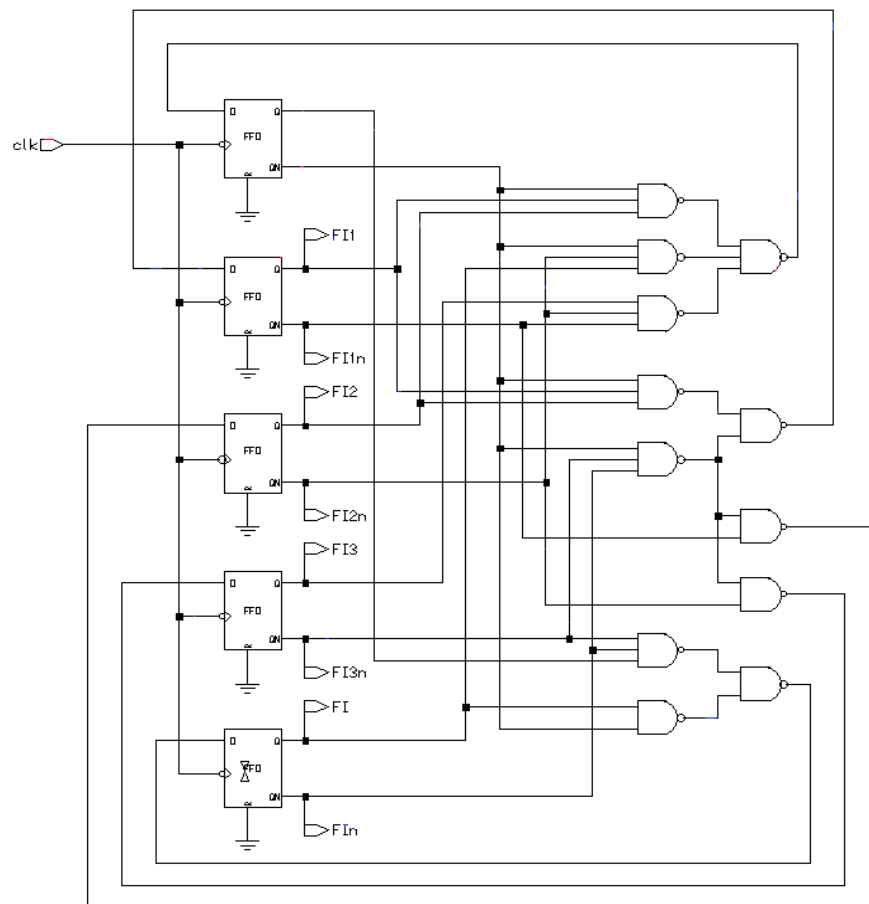


Figura 3.15 – Circuito Gerador de Pulsos de Controle – Circuito Amostra-e-retém

A saída *Aux* não é utilizada como sinal de acionamento, pois se trata de um sinal auxiliar utilizado apenas como controle na seqüência de contagem do circuito. As saídas  $\phi_1$ ,  $\phi_2$ ,  $\phi_3$  e  $\phi_{Neg}$  são os sinais de controle desejados e devem ser conectadas diretamente às chaves NMOS do circuito. A chave M2 (Figura 3.13) é uma exceção, pois deve ser acionada por uma porta *OU* de duas entradas, sendo que uma das entradas deve ser conectada à saída  $\phi_3$ ; e a outra entrada, à saída  $\phi_{Neg}$  do contador.

Entrada	Saídas				
	Aux	$\phi_1$	$\phi_2$	$\phi_3$	$\phi_{Neg}$
	0	0	0	0	0
	0	1	1	1	0
	1	1	1	1	0
	0	0	1	1	0
	0	0	0	1	0
	1	0	0	0	0
	0	0	0	0	1
	1	0	0	0	1
	0	0	0	0	0

Tabela 3.3 – Seqüência de Contagem – Contador Síncrono

O aspecto das tensões de entrada e de saída do circuito amostra-e-retém, obtido através de simulação, está contido na Figura 3.16.

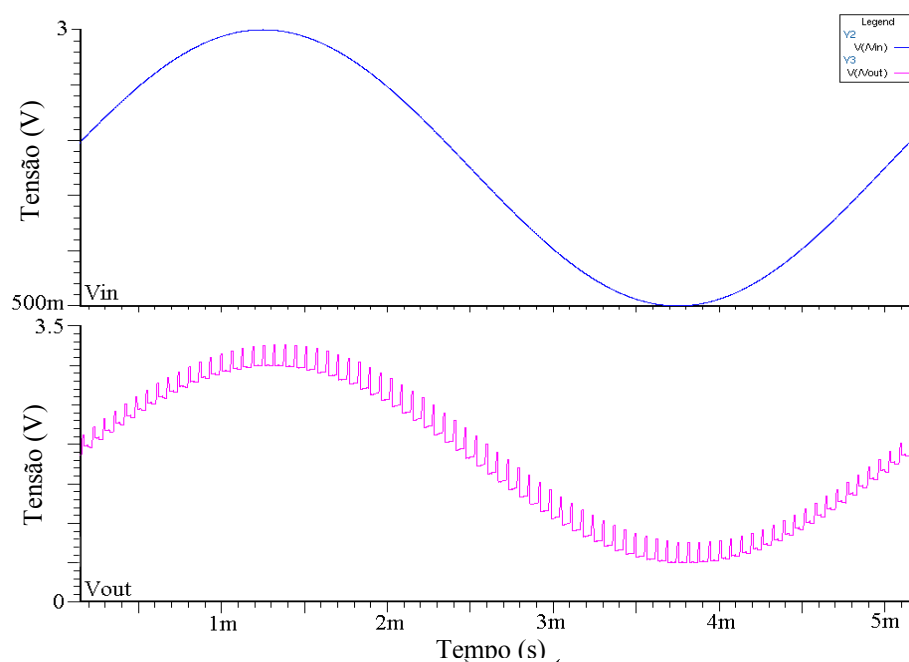


Figura 3.16 – Tensões de entrada e de saída – Circuito amostra-e-retém

A onda senoidal com componentes de alta frequência, presente na parte inferior da Figura 3.16, consiste na tensão de saída do circuito. Apesar dos picos de tensão presentes na forma de onda de saída, a amplitude permanece constante durante a fase de retenção. Como os dados serão conduzidos aos circuitos posteriores apenas na fase de retenção, as variações de amplitude fora desse intervalo não acarretarão influência no funcionamento desses circuitos.

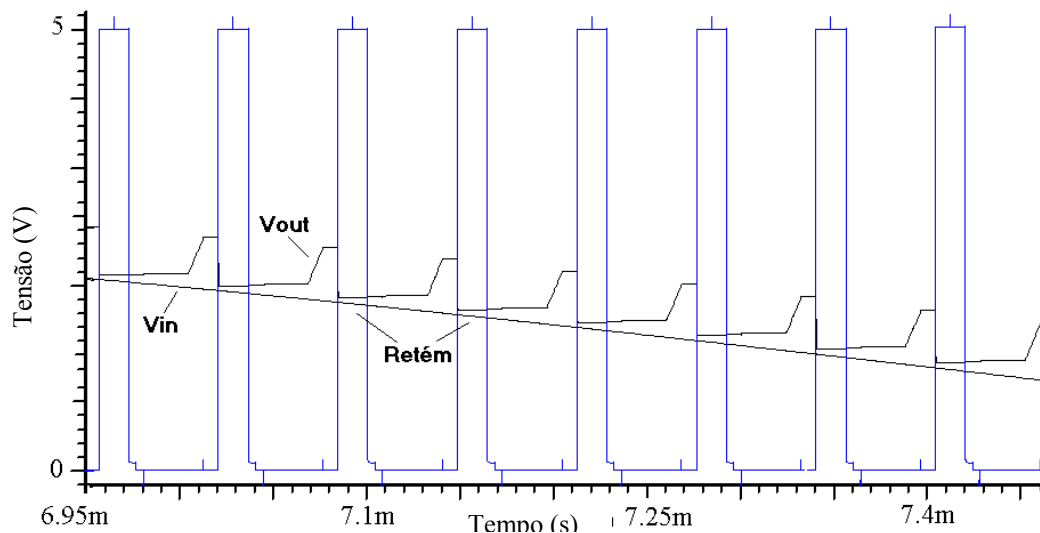


Figura 3.17 – Tensões de Entrada, de Retenção e de Saída do Circuito Amostra-e-retém

Para a análise de precisão do circuito foram aplicadas tensões fixas em sua entrada e tomados os valores de tensão presentes na saída, durante a fase de retenção do sinal. A diferença entre os valores de tensão de entrada e de saída constitui erros do circuito e são apresentados nas tabelas 3.3, 3.4 e 3.5.

A Tabela 3.4 apresenta os erros na tensão de saída para o caso típico (transistores típicos, tensão de alimentação 5Vcc e temperatura 27°C).

Circuito Amostra-e-retém – Caso Típico		
$V_{\text{entrada}}$	Erro	Erro Percentual
0,5V	+439,5 $\mu$ V	0,088%
1,0V	+484,1 $\mu$ V	0,048%
1,5V	+551,2 $\mu$ V	0,083%
2V	+669,7 $\mu$ V	0,034%
2,5V	+801,5 $\mu$ V	0,032%
3,0V	+516,7 $\mu$ V	0,017%

Tabela 3.4– Erro Relativo e Percentual da Tensão de Saída – Circuito Amostra-e-retém

A Tabela 3.5 apresenta os resultados para a simulação de pior caso de potência (transistores rápidos, tensão de alimentação de 5,5 Vcc e temperatura de 0°C). Já a Tabela 3.6 contém os resultados para a simulação de pior caso de velocidade (transistores lentos, tensão de alimentação de 4,5 Vcc e temperatura de 70°C).

<b>Circuito Amostra-e-retém – Pior Caso de Potência</b>		
<b>V<sub>entrada</sub></b>	<b>Erro</b>	<b>Erro Percentual</b>
0,5V	+331,2μV	0,066%
1,0V	+363,0μV	0,036%
1,5V	+410,8μV	0,027%
2V	+462,1μV	0,023%
2,5V	+554,3μV	0,022%
3,0V	+443,9μV	0,015%

Tabela 3.5 – Erro Relativo e Percentual da Tensão de Saída– Circuito Amostra-e-retém – Pior Caso de Potência

<b>Circuito Amostra-e-retém – Pior Caso de Velocidade</b>		
<b>V<sub>entrada</sub></b>	<b>Erro</b>	<b>Erro Percentual</b>
0,5V	+497,2μV	0,099%
1,0V	+326,3μV	0,033%
1,5V	+451,2μV	0,030%
2V	+585,1μV	0,029%
2,5V	+671,5μV	0,027%
3,0V	+485,3μV	0,016%

Tabela 3.6 - Erro Relativo e Percentual da Tensão de Saída – Circuito Amostra-e-retém – Pior Caso de Velocidade

A precisão exigida para o circuito é de 10 bits, o valor do erro deve ser menor que  $\frac{1}{2}$  LSB (*Less-Significative Bit - Bit Menos Significativo*), para uma faixa de tensão de entrada de 3,5V. Tem-se que  $\frac{1}{2}$  LSB é igual a aproximadamente 1709 μV para uma faixa de tensão de entrada de 3,5V. Como os erros obtidos em simulação são inferiores a 801,5 μV, o circuito apresenta precisão adequada à aplicação proposta.

### 3.3 Conversor de Sinais de Saída Simples para Diferencial

Conforme descrito no Capítulo 2, o sistema proposto é composto por circuitos com saída simples e por circuitos totalmente diferenciais. Os circuitos amostra-e-retém

possuem saída simples e devem ser conectados ao multiplexador analógico, que foi implementado utilizando a configuração totalmente diferencial.

Para que ocorra a compatibilidade entre tensões ao se interconectar tais estágios, deve-se utilizar um circuito que transforme os sinais provenientes dos circuitos amostra-e-retém (configuração saída simples) em sinal totalmente diferencial. Esse circuito é apresentado na Figura 3.18 [12].

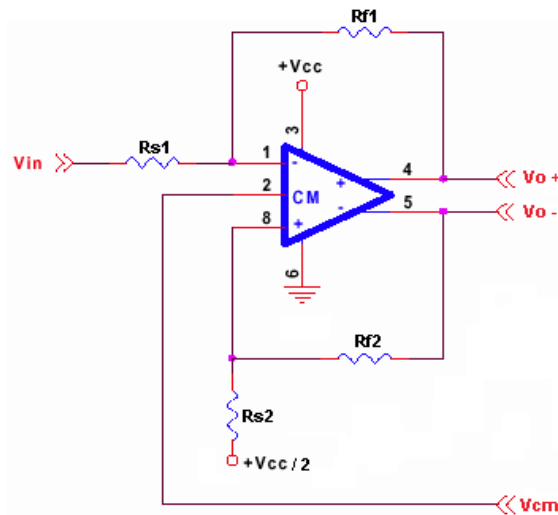


Figura 3.18 - Circuito Conversor de Saída Simples para Diferencial

O ganho do circuito é dado pela razão  $R_{f1}/R_{s1}$  [12], sendo que  $R_{f1}=R_{f2}$  e  $R_{s1}=R_{s2}$ . Para a configuração de fonte de alimentação adotada na Figura 3.18 (fonte assimétrica), o resistor  $R_{s2}$  deve ser conectado em um potencial igual a  $V_{CC}/2$  e o sinal de entrada  $V_{in}$  deve possuir um nível DC de  $V_{CC}/2$ .

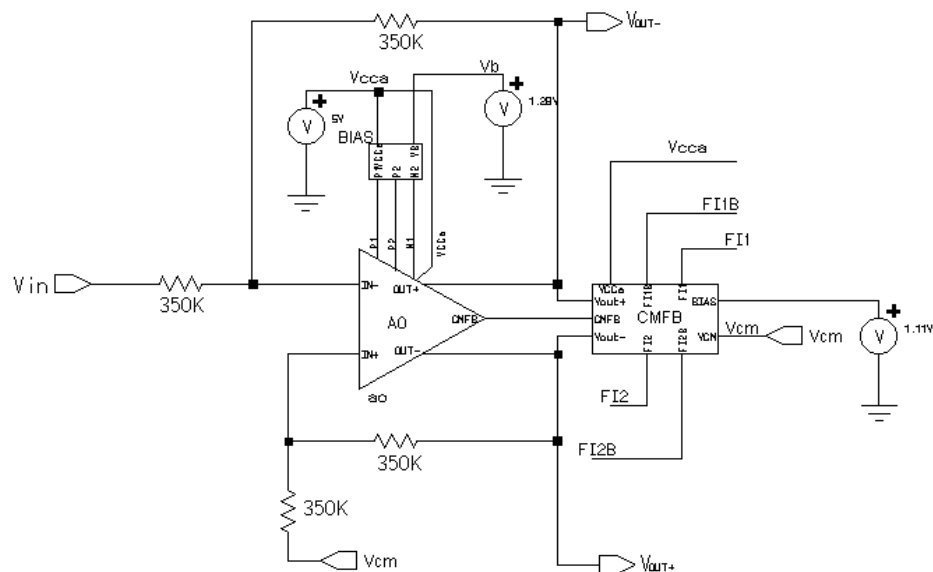


Figura 3.19 – Esquema do Conversor de Saída Simples para Diferencial

A tensão de saída entre os pontos  $V_{o+}$  e  $V_{o-}$  possuirá um valor de modo comum definido pela entrada  $V_{CM}$ , sendo que, no sistema proposto, esse valor será igual a 2,5V. O esquemático do circuito para simulação, feito no *Design Architect*, pode ser visualizado na Figura 3.19.

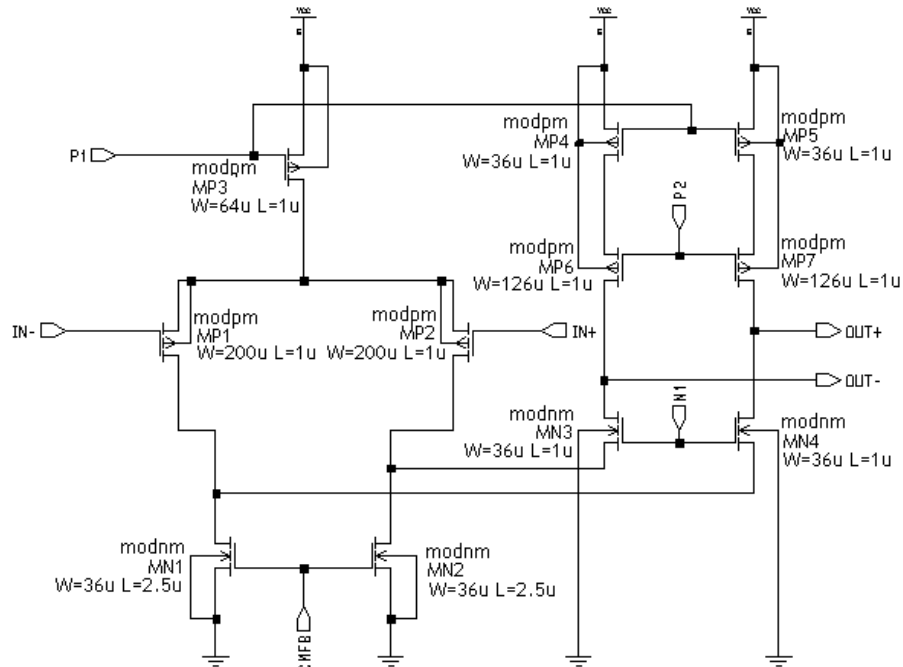


Figura 3.20 – Amplificador Operacional – Circuito Conversor de Sinais de Saída Simples para Diferencial

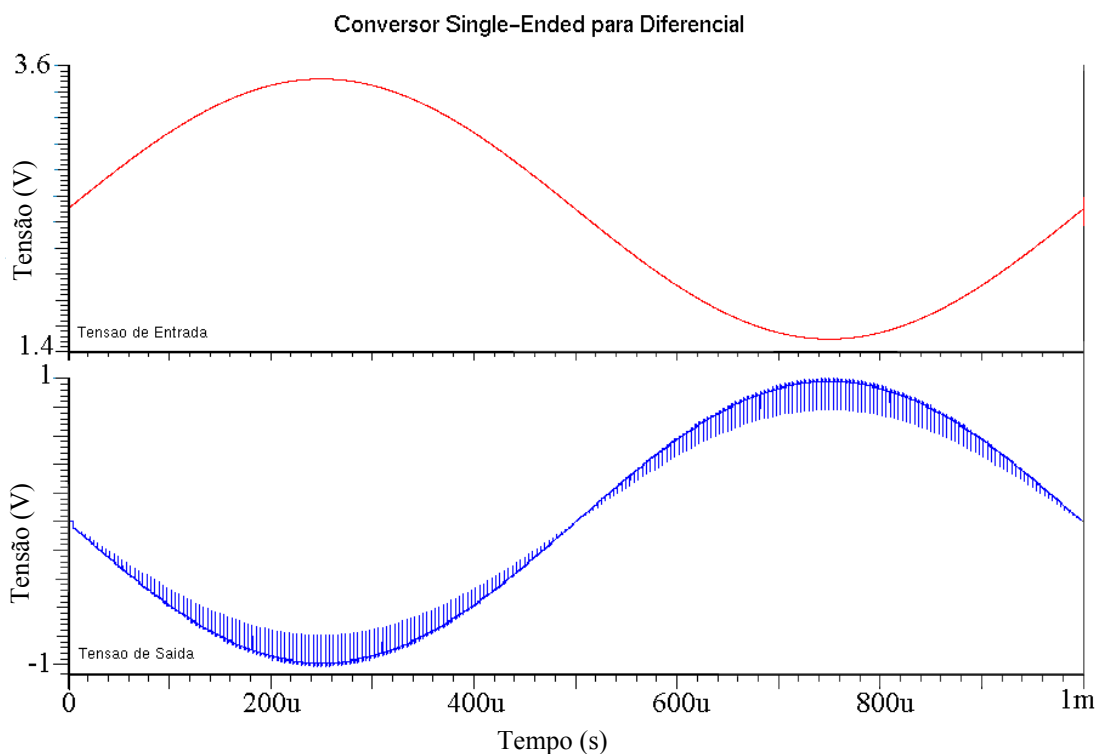


Figura 3.21 – Simulação – Conversor de Sinais de Saída Simples para Diferencial

O esquema do amplificador operacional diferencial utilizado pode ser visualizado na Figura 3.20. Esse circuito deve ser conectado a dois blocos: ao bloco de realimentação a modo comum (*CMFB*) e ao bloco de polarização (*Bias*). O projeto e o esquema desses blocos e do amplificador operacional será discutido de forma detalhada no Capítulo 4.

Aplicando-se uma tensão de entrada senoidal de, por exemplo, 1Vp, com um nível DC de 2,5V, obtém-se na saída do circuito uma tensão diferencial senoidal de 1Vp, com uma tensão de modo comum a ser definida pela tensão VCM, aplicada à entrada do bloco CMFB. O circuito implementado possui ganho unitário negativo, onde foram utilizados resistores integrados casados e de mesmo valor (350K $\Omega$ ).

A Figura 3.21 contém a simulação do circuito conversor de sinais de saída simples para diferencial. O sinal de saída apresenta uma componente de alta frequência, devido ao chaveamento do circuito de realimentação de modo comum. Como se pode perceber na Figura 3.22, apesar da presença de picos de tensão na forma-de-onda de saída do circuito, não ocorrem alterações na banda de frequência do sinal de entrada.

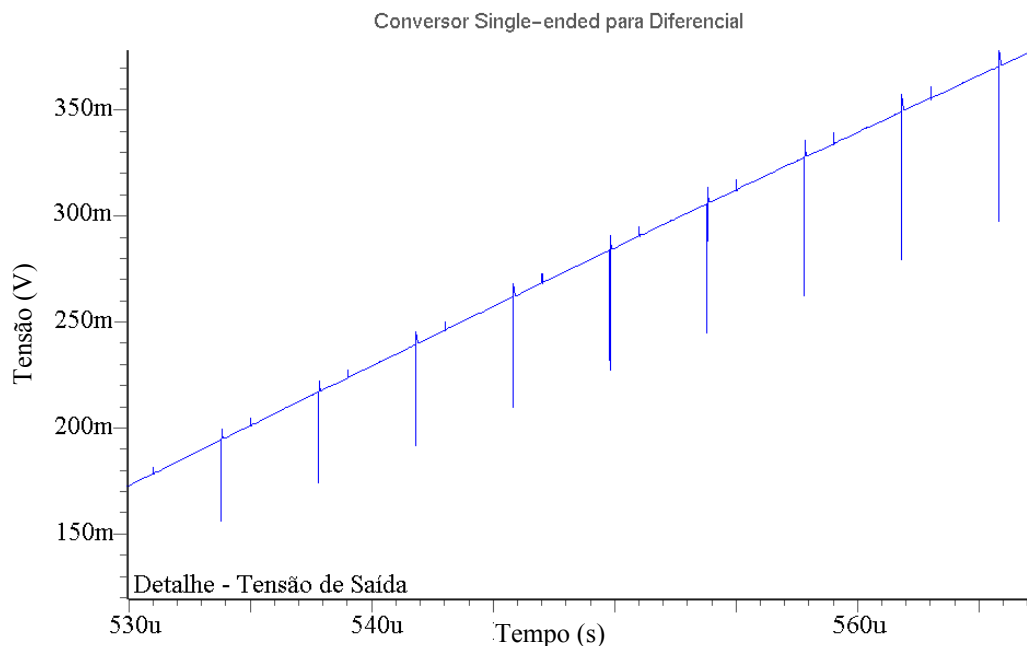


Figura 3.22 – Detalhe - Tensão de Saída do Circuito Conversor de Sinais de Saída Simples para Diferencial

## Capítulo 4

# Multiplexador Analógico e Conversor A/D

### 4.1 Multiplexador Analógico de Sinais

O circuito multiplexador (ou seletor de dados) é um bloco que possui múltiplas entradas e apenas uma saída. Através de um sinal de controle, pode-se efetuar a seleção de uma determinada entrada de dados, dentre várias disponíveis, e o sinal presente na entrada selecionada é conduzido à saída do circuito multiplexador. Os sinais de controle, denominados linhas de seleção, são utilizados para se determinar qual entrada de dados será conectada à saída.

Os circuitos multiplexadores podem ser digitais ou analógicos, de acordo com a natureza dos dados a serem manipulados pelo circuito. Os multiplexadores analógicos fazem uso de um circuito combinacional para que o dado presente à entrada selecionada seja apresentado na saída, enquanto que os multiplexadores analógicos fazem uso de chaves para conectarem a entrada selecionada à saída, e de um circuito combinacional para executar as funções do bloco de seleção.

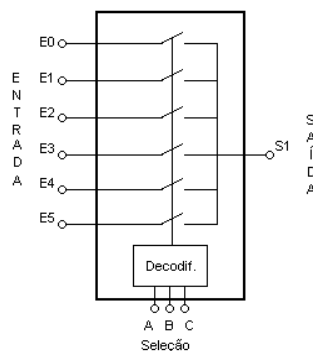


Figura 4.1 – Multiplexador Básico 6x1



A Figura 4.1 ilustra o esquema de um multiplexador básico 6x1 (seis entradas e uma saída). Um código binário (endereço de seleção) deve ser aplicado aos pinos A, B e C, para que uma das entradas de dados E0 a E5 seja conectada à saída S1.

No sistema desenvolvido, o multiplexador analógico é o responsável pela interligação dos circuitos Amostra-e-Retém dos dois canais de amostragem ao conversor Analógico-Digital. O sistema prevê a utilização de apenas um circuito conversor A/D e, como o sistema deve executar a aquisição de mais de um canal de entrada, torna-se necessária a utilização de um circuito que faça o chaveamento dos sinais de entrada, conectando-os à entrada do Conversor A/D. Dessa forma, foi desenvolvido um Multiplexador Analógico que desempenhasse a função de compartilhar o circuito Conversor A/D com os canais de amostragem de dados.

A entrada do conversor A/D básico a ser utilizado (Item 4.2) possui uma chave (SW2) que é ligada durante a aquisição dos sinais de entrada (Figura 4.2). Para a utilização de mais de um canal de entrada, basta substituir essa chave por um multiplexador analógico, conforme pode ser visualizado nas figuras 4.2 e 4.3. O sinal de controle da chave SW2 deverá ser aplicado à entrada de habilitação do circuito de controle do multiplexador analógico, para que as tensões presentes nas entradas dos canais do conversor A/D possam ser amostradas nos instantes adequados.

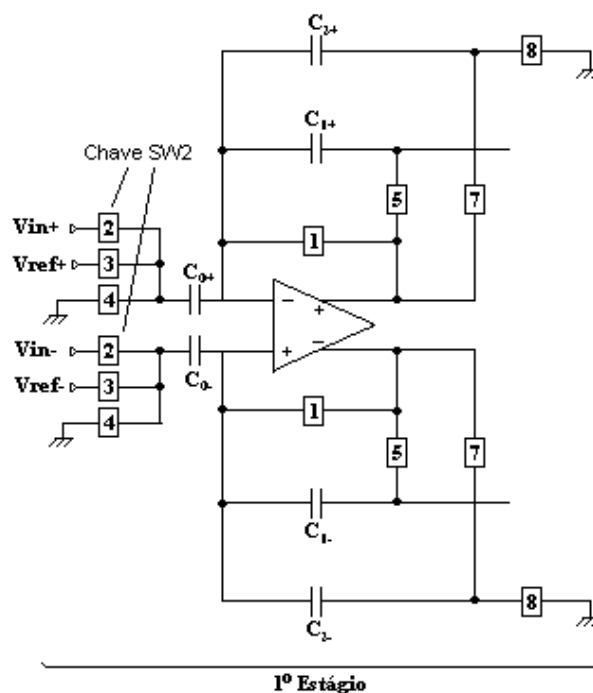


Figura 4.2– Estágio de Entrada – Conversor A/D

A Figura 4.3 ilustra a conexão do multiplexador analógico 3x1 ao conversor

A/D, onde pode-se notar a substituição da chave 2 pelo circuito de multiplexação. Nesse caso particular, pode-se executar a amostragem de três canais de entrada, pois foi utilizado um multiplexador 3x1.

O circuito conversor A/D implementado possui configuração totalmente diferencial; portanto, para suas entradas diferenciais, devem ser utilizados dois circuitos de multiplexação, conforme contido na Figura 4.3, para que seja caracterizada a configuração totalmente diferencial.

A estrutura totalmente diferencial do multiplexador resultará em uma maior imunidade ao efeito de injeção de cargas, assim como para o caso do conversor A/D.

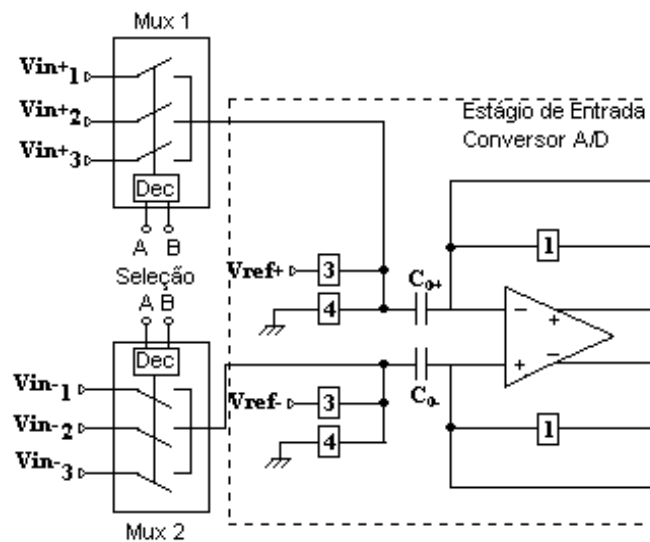


Figura 4.3 – Conexão do Multiplexador Analógico ao Conversor A/D

#### 4.1.1. Dimensões das Chaves

Como apresentado no capítulo anterior, através da utilização da Equação 3.11, as dimensões das chaves CMOS podem ser determinadas. No caso do multiplexador será adotado o mesmo tempo de chaveamento utilizado para o circuito Amostra-e-Retém (12 ns); porém, serão utilizadas chaves CMOS. Dessa forma, as dimensões dos transistores NMOS se mantêm inalteradas com dimensões de  $W=4\ \mu\text{m}$  e  $L=0,5\ \mu\text{m}$ . Calculando-se as dimensões para os transistores PMOS, são determinadas as dimensões de  $W=11\ \mu\text{m}$  e  $L=0,5\ \mu\text{m}$ .

#### 4.1.2. Circuito Digital de Controle

O Circuito Digital de Controle é o responsável pelo correto acionamento das chaves que conectam as entradas de cada canal à saída do circuito. Esse circuito compreende um decodificador de sinais, onde é aplicada uma palavra de seleção e um circuito

combinacional de habilitação do multiplexador. Para o sistema desenvolvido é necessário um multiplexador 2x1, para o caso de monitoração de sistemas monofásicos, ou um multiplexador 6x1, para o caso de monitoração de sistemas trifásicos.

Seleção				Saída					
En	A	B	C	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	S <sub>5</sub>
0	X	X	X	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0
1	0	1	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0
1	1	0	0	0	0	0	1	0	0
1	1	0	1	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	1

Tabela 4.1 – Tabela Verdade do Decodificador do Multiplexador Analógico

Apesar do sistema ter sido desenvolvido para medição monofásica, optou-se por implementar um multiplexador 6x1, por questões didáticas e de flexibilidade do sistema de amostragem, permitindo a obtenção de um sistema com até seis canais de amostragem.

Para a seleção do canal apropriado é aplicada uma palavra digital de três dígitos e mais um sinal de *enable* na entrada de seleção do multiplexador. Para cada combinação dos dígitos, uma determinada saída do decodificador apresentará nível lógico “1”, acionando a chave MOS desejada (Tabela 4.1).

A entrada *enable* é utilizada para a habilitação do circuito. Esse sinal será proveniente da saída do circuito de controle do conversor A/D, conforme será visto no Item 4.2.

Através da tabela-verdade do decodificador, obtém-se o circuito lógico combinacional da Figura 4.4. Suas funções booleanas estão contidas na Tabela 4.2.

S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	S <sub>5</sub>
$\overline{A+B+C+En}$	$\overline{A+\overline{B}+C+En}$	$\overline{A+\overline{B}+\overline{C}+En}$	$\overline{\overline{A}+B+C+En}$	$\overline{\overline{A}+B+\overline{C}+En}$	$\overline{\overline{A}+\overline{B}+C+En}$

Tabela 4.2 – Funções Booleanas do Decodificador do Multiplexador Analógico

A Figura 4.5 apresenta a simulação elétrica do circuito de controle do multiplexador analógico, obtida através de um simulador para circuitos digitais. São aplicados os sinais de endereçamento (Entradas “A”, “B” e “C”) e o sinal de habilitação (“En”) nas

entradas do circuito.

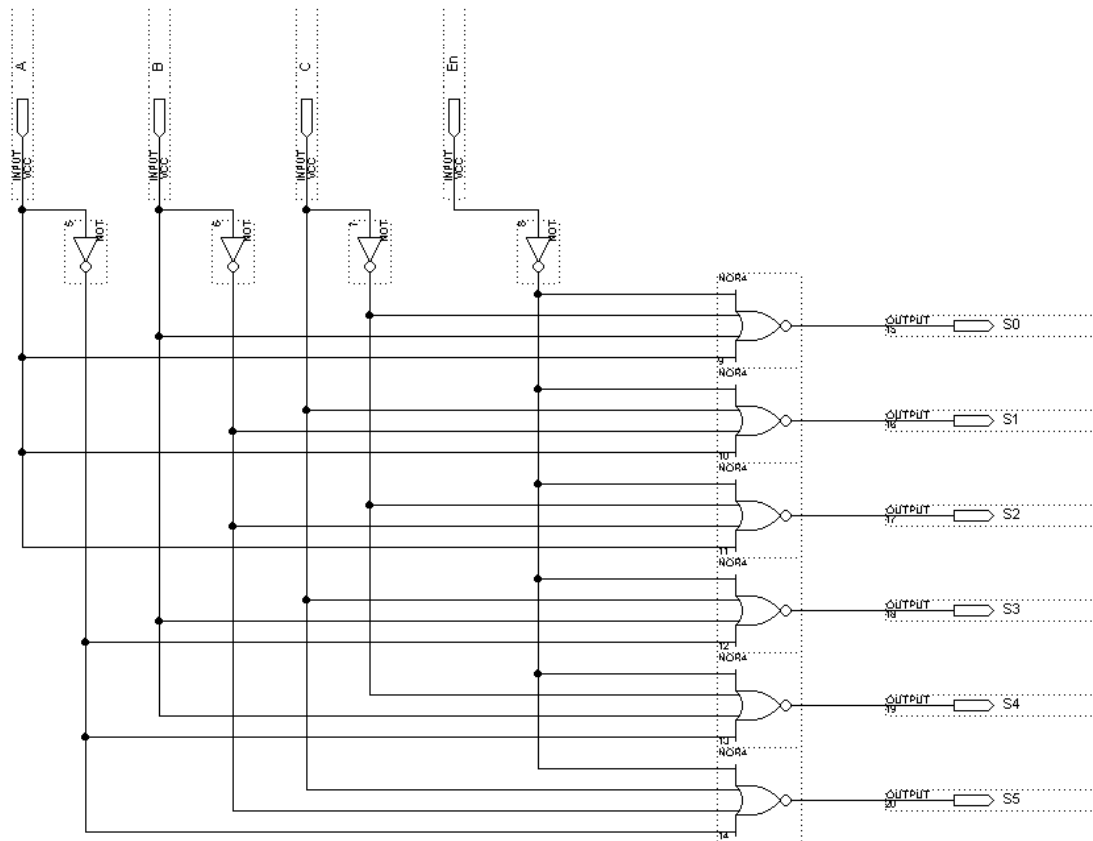


Figura 4.4– Circuito de Controle - Multiplexador Analógico de Seis Canais

Quando a entrada de habilitação recebe valor “0”, os sinais de acionamento das chaves (saídas  $S_0$  a  $S_5$ ) recebem valor “0”, ou seja, nenhuma chave será acionada. Para o código de entrada “001” e sinal de habilitação igual a “1”, o sinal de controle da chave  $S_0$  apresenta nível lógico “1”, resultando no acionamento dessa chave. Para os outros códigos de entrada, as respectivas chaves são acionadas, conforme Tabela 4.1.

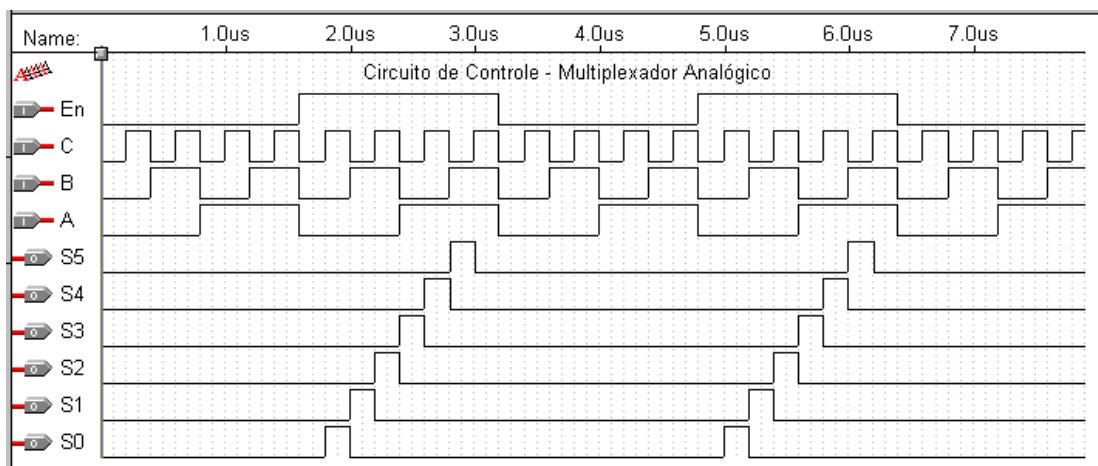


Figura 4.5 – Simulação Elétrica do Circuito de Controle

A Figura 4.6 contém o esquema de ligação do circuito de controle às chaves

MOS.

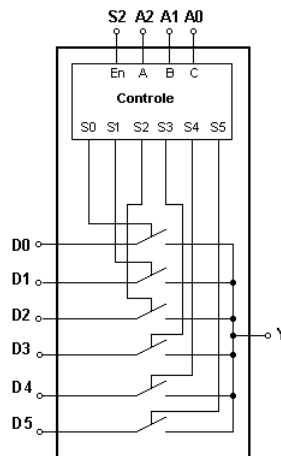


Figura 4.6 – Conexão do Circuito de Controle às Chaves CMOS

## 4.2 Conversor Analógico-Digital

Os conversores A/D e D/A são a ligação entre o mundo analógico dos transdutores e o mundo digital do processamento de sinais e manuseio de dados. Os sinais analógicos a serem convertidos para a forma digital podem ser originários de uma vasta gama de tipos de transdutores que convertem fenômenos físicos, temperatura, pressão, posição, movimentos, som, imagens, e assim, sucessivamente, em sinais elétricos. Não se excluem também os próprios sinais elétricos presentes em linhas de transmissão, redes de distribuição ou em circuitos eletroeletrônicos.

Após a conversão desses sinais para a forma digital, o dado convertido pode ser computado e/ou utilizado na determinação de funções de controle a serem executadas. Os resultados deste processamento devem, geralmente, ser convertidos para a forma analógica, para acionar um atuador analógico, como um elemento de aquecimento, motor, alto-falante ou um display de vídeo [13].

A utilização de circuitos eletrônicos em muitos produtos e funções é seguida pelo aumento da utilização de sistemas para conversão A/D e D/A. Devido a essa grande demanda, várias técnicas de conversão têm sido desenvolvidas, visando uma maior exatidão, velocidade na conversão ou economia de área de silício.

Buscando implementar um circuito compacto, preciso e escalonável, cuja arquitetura independa de componentes casados, optou-se por utilizar o conversor baseado na técnica de conversão algorítmica. Como a aplicação proposta não exige altas velocidades de conversão, esse tipo de conversor mostra-se adequado, pois apresenta velocidades médias de

conversão e uma topologia compacta que independe do número de *bits* da palavra a ser convertida.

O circuito conversor descrito em [19] utiliza a técnica de conversão A/D cíclica, realizando uma seqüência de conversão mais simples que nos conversores algorítmicos propostos anteriormente em [20,22]. A redução no número de ciclos de *clock* necessários à conversão pode ser obtida através da decomposição do algoritmo em operações essenciais como multiplicação, comparação, etc., relacionando estas operações aos estágios apropriados do circuito, durante a fase de *clock* apropriada.

A configuração adotada para a implementação desse conversor foi a totalmente diferencial, visando obter uma maior precisão do circuito, com a eliminação do efeito de injeção de cargas, decorrente da utilização de chaves MOS [19].

#### 4.2.1 Conversão A/D Cíclica

A conversão A/D cíclica convencional ou algorítmica envolve a realização de operações de comparação, subtração do valor da tensão de referência, se aplicável, e multiplicação do resultado por um fator dois.

O primeiro passo do processo consiste em se determinar se o sinal de entrada é maior ou menor do que a metade do valor da tensão de fundo de escala. Esta operação é realizada pelo circuito comparador. Se o sinal de entrada possuir amplitude igual ou maior que o valor da tensão de referência, o *bit* mais significativo da saída digital é levado ao nível lógico um (alto). O valor da tensão de referência é subtraído do sinal de entrada e a diferença resultante é multiplicada por dois. Desse modo, a metade superior da faixa da tensão de entrada é mapeada na faixa de fundo de escala.

O mapeamento pode ser feito pela multiplicação do sinal por dois e pela subtração da tensão de referência, sendo que o sinal resultante é usado como entrada no próximo ciclo, para que se obtenha o próximo bit da palavra convertida.

Se o valor da tensão remapeada for maior que o valor da tensão de referência, a operação descrita anteriormente é repetida; caso contrário, o *bit* de saída correspondente é levado a nível lógico zero e o sinal de entrada é multiplicado por dois e somado à tensão de referência. Isto provoca um mapeamento da metade inferior na faixa de fundo de escala.

O sinal renovado torna-se a entrada no próximo ciclo. Desse modo, recirculando o sinal interativamente no circuito, a conversão continua até que o número

desejado de *bits* tenha sido obtido. A Figura 4.7 ilustra a operação do método cíclico de conversão A/D [19], utilizando o esquema de codificação *offset binário*, com tensões de entrada positivas.

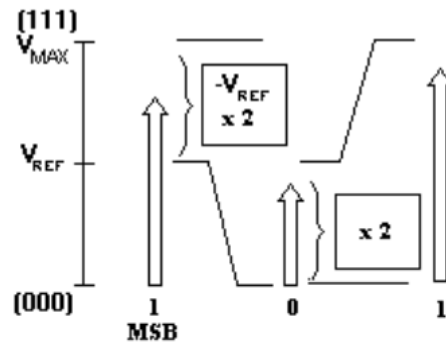


Figura 4.7—Exemplo do Método de Conversão A/D Cíclica.

O processo descrito anteriormente pode ser expresso matematicamente pelas seguintes equações de tempo discreto [19]:

$$V(1) = V_{in} \quad (4.1)$$

$$V(i+1) = 2.[V(i) + (-1)^{b(i)} \cdot V_{ref}] \quad (4.2)$$

onde:

$V_{in}$  é a tensão de entrada do conversor A/D

$V_{ref}$  é a tensão de referência

$b(i) = 1$ , se  $V_i \geq V_{ref}$

$b(i) = 0$ , se  $V_i < V_{ref}$

Partindo-se do *bit* mais significativo, cada *bit*  $b(i)$  é determinado seqüencialmente, dependendo do valor da tensão de entrada  $V(i)$ .

A partir da Equação 4.2, pode-se determinar o valor da *enésima* tensão, determinada pela Equação 4.3.

$$V(n) = 2^{n-1} \left[ V_{in} - \left\{ \sum_{k=1}^{n-1} \left( \frac{1}{2} \right)^k \cdot (-1)^{b(k)} \right\} \cdot V_{ref} \right] \quad (4.3)$$

O segundo termo (entre colchetes) é o nível de decisão para o *enésimo bit*, o que indica que o sinal de entrada entre 0V e  $V_{max}$  é convertido em um código de *n-bits* durante esse processo.

A Figura 4.8 contém o diagrama em blocos de um conversor A/D cíclico

básico, que realiza as operações descritas anteriormente. Durante a primeira fase de operação, a chave SW1 se encontra na posição 1 e a tensão de entrada  $V_{in}$  é aplicada ao circuito amostra-e-retém. A tensão retida pelo circuito amostra-e-retém é aplicada ao comparador e à entrada do somador. Se a tensão na saída do circuito amostra-e-retém for maior que  $V_{ref}$ , a chave SW2 é fechada na posição 1, e a tensão  $V_{ref}$  é aplicada à entrada negativa do somador. Dessa forma, tem-se no ponto  $V_B$  o valor da tensão de entrada subtraída de  $V_{ref}$  e multiplicada por dois. Se a tensão na saída do circuito amostra-e-retém for menor que  $V_{ref}$ , a chave SW2 fecha na posição 2 e, dessa forma, tem-se em  $V_B$  o valor de  $V_{in}$  multiplicado por dois.

O valor digital presente na saída do comparador corresponde ao primeiro *bit* da palavra convertida. Após a obtenção desse primeiro *bit*, o valor de  $b(i)$  é reaplicado à entrada do S/H através da chave SW1 e a operação de comparação se repete, resultando no segundo dígito de saída. Esse ciclo é repetido até que o número desejado de dígitos da palavra convertida seja obtido.

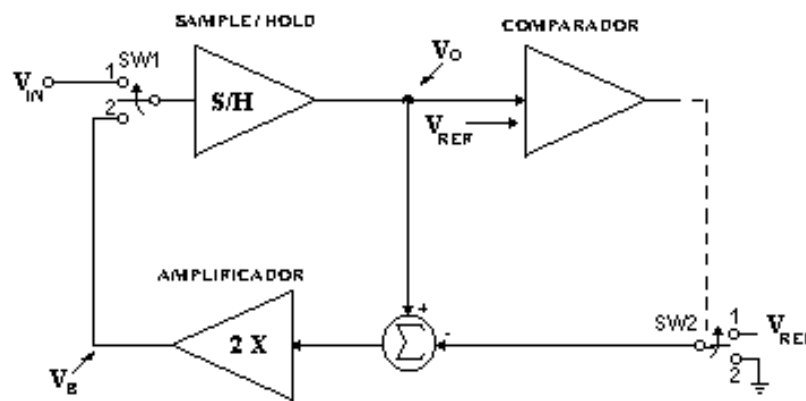


Figura 4.8 - Diagrama em Blocos de um Conversor A/D Cíclico Básico

#### 4.2.2 Conversor Analógico-Digital Cíclico Utilizando Técnica de Capacitores Chaveados

As operações básicas a serem executadas pela maioria dos conversores cíclicos, de acordo com o algoritmo utilizado, são: multiplicação por dois, adição e subtração. Em circuitos propostos anteriormente [21], estas funções foram realizadas através da transferência de carga entre capacitores “casados”. Neste caso, a precisão da conversão é fundamentalmente limitada pela razão entre os componentes e o casamento é limitado pela área de silício destinada a essas estruturas. Para evitar esse problema, vários circuitos foram desenvolvidos para realizarem a conversão cíclica de forma independente da variação da razão entre os capacitores.



O processo de conversão geralmente tende a se tornar complexo, resultando em um aumento no número de ciclos de *clock* necessários à operação do circuito. Por exemplo, para o circuito independente da razão entre capacitores proposto em [20], são necessários seis pulsos de *clock* para a conversão de um *bit*, em contraste com dois ciclos de *clock* no circuito proposto em [21]. Dessa forma, a velocidade de conversão para o circuito independente da razão entre capacitores torna-se três vezes menor do que no circuito, cuja precisão depende da razão entre os capacitores. Adicionalmente, o circuito de controle de *clock* torna-se três ou mais vezes complexo.

O circuito proposto em [19] e que serviu de base para implementação do conversor A/D desse trabalho, obtém uma redução no número de ciclos de *clock* necessários à conversão de cada *bit*. É utilizado um circuito com dois estágios, que executa a conversão A/D independente da razão entre os capacitores.

O primeiro estágio executa as operações de multiplicação por dois, adição e subtração. O segundo estágio funciona como circuito amostra-e-retém e como comparador, necessitando o circuito de três ciclos de *clock* para a conversão de cada dígito da palavra digital. A operação independente da razão é obtida utilizando-se o esquema de “dupla amostragem” [19], onde o sinal é integrado duas vezes para realizar a operação de multiplicação por dois.

#### 4.2.2.1 Estágio de Multiplicação Independente da Razão entre Capacitores

A Figura 4.9 ilustra como a multiplicação por dois é executada em um circuito independente da razão entre capacitores, em três ciclos de *clock*. A operação é baseada na transferência de cargas entre os capacitores envolvidos no circuito.

O diagrama (a) mostra o estado inicial do estágio de multiplicação. A carga  $Q$  é armazenada no capacitor superior  $C1$  e a tensão na saída do amplificador é  $V_o$ . O objetivo deste estágio é multiplicar  $V_o$  por dois de forma independente da taxa de variação entre os capacitores envolvidos.

A tensão  $V_o$  é amostrada e retida por um estágio conectado à saída do amplificador, que consiste de um *sample-and-hold*. No próximo passo, o capacitor superior  $C1$  é conectado ao terra e o capacitor inferior  $C2$  é conectado à saída do amplificador [diagrama (b)]. Com isso, ocorre uma transferência das cargas de  $C1$  para  $C2$ . Neste passo, toda a carga é transferida a  $C2$  se o amplificador possuir ganho de malha aberta tendendo a infinito [19].

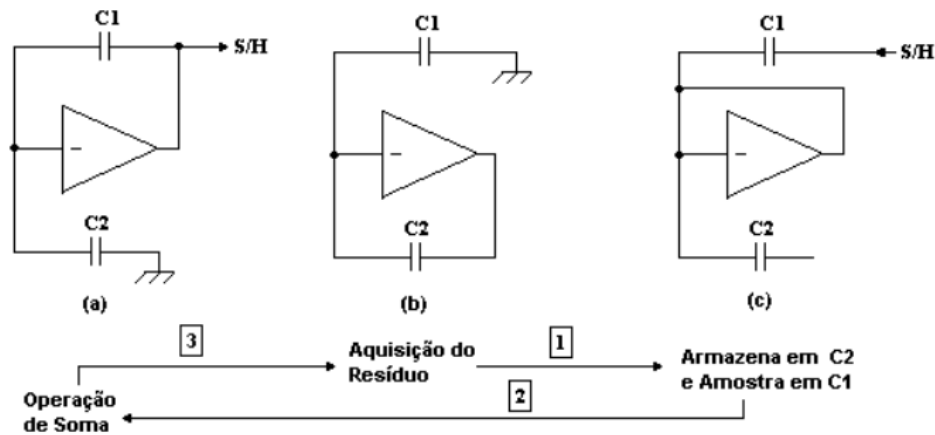


Figura 4.9 – Sequência de Operação do Circuito: Multiplicação por Dois Através do Método Independente da Razão entre Capacitores

No próximo passo, C1 armazena a tensão  $V_0$  previamente amostrada e retida nos dois passos anteriores, produzindo uma carga  $Q$  em C1. Durante este passo a carga  $Q$ , previamente armazenada em C2, é mantida. No passo final, a configuração do circuito retorna ao estado inicial [diagrama (a)], permitindo a transferência da carga  $Q$ , armazenada em C2, para C1. Com isso, a carga total de C1 torna-se  $2Q$ , resultando em uma tensão de saída do amplificador igual a duas vezes o valor da tensão de entrada. Esse é o estado inicial para a próxima multiplicação por dois.

Conectando-se um ou mais capacitores à entrada do nó somador do amplificador, a adição ou subtração da tensão de referência pode ser realizada simultaneamente à multiplicação por dois, resultando em um menor número de ciclos de *clock* necessários à operação do circuito. Nesse caso, as funções de multiplicação por dois, adição e subtração são realizadas em três ciclos de *clock* (passos).

#### 4.2.2.2 Estágio de Amostragem/Retenção e de Comparação

As operações de comparação e amostragem/retenção também são realizadas em três ciclos de *clock*, pelo estágio mostrado na Figura 4.10. Durante o primeiro ciclo de *clock*, a tensão proveniente do primeiro estágio é armazenada em C1 [diagrama (a)]. No próximo passo, a tensão é comparada com a tensão de referência e o *bit* resultante da comparação é apresentado na saída digital [diagrama (b)]. Como a carga armazenada no capacitor C1 não sofre alteração durante o passo de comparação, a carga armazenada por esse capacitor é utilizada no próximo passo, alimentando o estágio precedente [diagrama (c)].

Durante o passo de comparação a malha de realimentação do amplificador operacional é desconectada (malha aberta), para permitir que o amplificador operacional atue como comparador. A operação de comparação com malha aberta conduz a saída do

operacional à saturação (alta ou baixa, dependendo do resultado obtido durante a comparação).

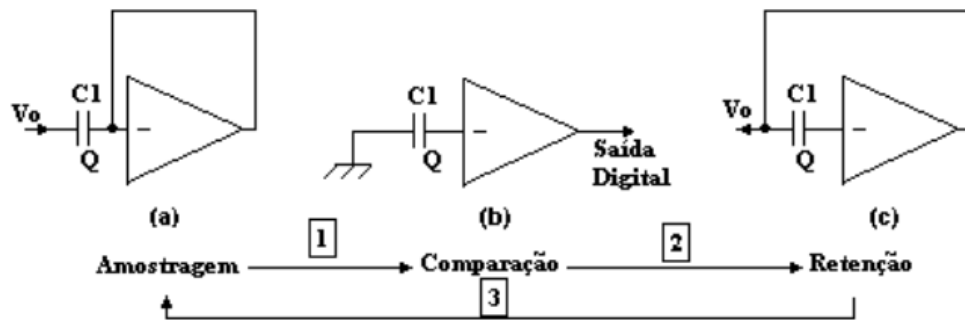


Figura 4.10 – Sequência de Operação do Circuito: Amostragem/Retenção e Comparação

#### 4.2.2.3. Conversor A/D com Saída Simples

A implementação dos circuitos descritos nos itens anteriores é feita através da comutação de chaves CMOS que interligam os capacitores e pontos do circuito, de forma a constituírem as configurações desejadas, permitindo que o algoritmo de conversão seja realizado. A versão com saída simples de um conversor A/D, proposta em [19] e utilizando os conceitos abordados anteriormente, é mostrada na Figura 4.11

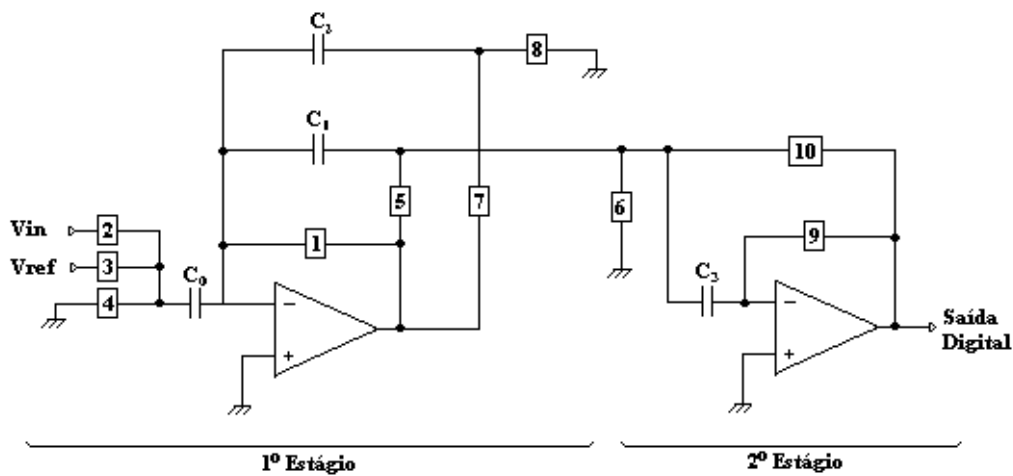


Figura 4.11 – Conversor A/D Cíclico com Saída Simples

Para a obtenção de cada dígito da palavra a ser convertida, são necessários três ciclos de *clock*, conforme citado anteriormente.

A Tabela 4.3 contém a sequência de chaveamento do conversor A/D para a obtenção das palavras convertidas, para o código *offset binário não-sinalizado*. Dessa forma, para a tensão de entrada mínima (0V), a palavra convertida de saída deve ser igual a “000000000” e, para a tensão de entrada máxima, o código da palavra convertida de saída deve ser igual a “111111111”.

Para tensões de entrada positivas ou negativas (nível dc de 0V e amplitude variando em torno de  $\pm V_{ref}$ ), o código de saída será do tipo *offset binário sinalizado*, ou seja, a palavra de saída será igual a “0000000000” quando a tensão de entrada for igual a  $-V_{REF}$  (tensão de entrada mínima) e “1111111111” quando a tensão de entrada for igual a  $+V_{REF}$  (tensão de entrada máxima). Nesse caso, o código de chaveamento da Tabela 4.3 deve ser alterado, através da permutação entre os sinais das chaves 3 e 4, durante o ciclo de obtenção do *bit* mais significativo.

Chave	( I ) MSB	( II ) B(i) = 1	( III ) B(i) = 0
1			
2			
3			
4			
5			
6			
7			
8 e 9			
10			

Tabela 4.3 – Seqüência de Chaveamento – Conversão A/D Algorítmica

A Tabela 4.3 contém a seqüência de chaveamento para a conversão utilizando o código de *offset binário não-sinalizado*. Para a obtenção do bit mais significativo (início da operação do circuito) as chaves 1, 2, 6, 8 e 9 devem ser fechadas durante o primeiro ciclo de *clock* (campo I). Nessa fase o circuito do conversor A/D realiza a amostragem da tensão de entrada em  $C_0$ .

Durante o segundo ciclo de *clock*, as chaves 3, 5, 8 e 9 são acionadas e o circuito assume a configuração da Figura 4.9 (a) para o primeiro estágio e da Figura 4.10 (a) para o segundo estágio. Nesse ciclo, a tensão amostrada por  $C_0$  tem o seu valor subtraído da tensão de referência e transferida para  $C_1$  e também amostrada por  $C_3$ .

No próximo ciclo, as chaves 3, 6 e 7 são acionadas e o circuito assume a configuração da Figura 4.9(b) para o primeiro estágio e da Figura 4.10(c) para o segundo estágio. Nesse instante, a tensão presente em  $C_1$  é transferida para  $C_2$  e a tensão armazenada

em C3 é comparada com o nível “0” de tensão, pelo segundo estágio. Se a tensão em C3 for maior que  $0V$ , a saída do amplificador operacional do segundo estágio é levada a  $+V_{cc}$ . Nesse instante, é obtido o primeiro *bit* da palavra de saída, que será igual a “1”. Caso o resultado da comparação seja zero, o primeiro *bit* da palavra convertida será também igual a zero.

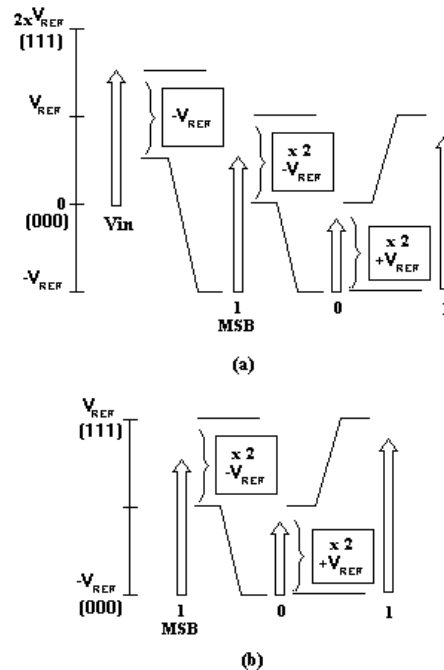


Figura 4.12 – Exemplo de Conversão A/D com Codificação (a) por Offset Binário Não-Sinalizado e (b) Offset Binário Sinalizado

Com a obtenção do primeiro *bit*, a seqüência de conversão será retomada, para que se obtenha o segundo *bit*. De acordo com a Tabela 4.3, caso o *bit* resultante seja igual a “0”, a seqüência de chaveamento descrita no campo (III) dessa tabela deve ser executada. Caso o *bit* seja igual a “1”, a seqüência descrita no campo (II) deve ser executada.

Esse processo iterativo deve ser realizado  $n$  vezes, para a obtenção de  $n$  *bits*. A ilustração dessa seqüência de operações pode ser visualizada na Figura 4.12 (a), para a obtenção de codificação por *offset binário não-sinalizado* e na Figura 4.12 (b) para obtenção do código *offset binário sinalizado*.

#### 4.2.2.4 Insensibilidade do Circuito a Tensões de *Offset* e a Capacitâncias Parasitas

Anteriormente foi descrita a propriedade que o circuito possui de ser imune a variações dos valores dos capacitores de integração. O circuito em questão também é imune a variações na tensão de *offset* do amplificador e a capacitâncias parasitas presentes no circuito.

Considerando o circuito de multiplicação da Figura 4.9, a imunidade ao *offset* ocorre devido ao fato de que a tensão do nó que conecta os capacitores C1 e C2 à entrada do

amplificador operacional é mantida em um potencial equivalente ao do *offset* de entrada. Com isso, a quantidade de carga adquirida por C1 e que é transferida para C2 é proporcional à diferença entre a tensão de saída e a tensão de *offset* de saída.

Como na saída do amplificador operacional existe um acréscimo da tensão de *offset*, a tensão na saída do estágio será igual à tensão de C2 somada ao valor da tensão de *offset*. Dessa forma, a tensão de C2 é igual à própria tensão de entrada, pois a tensão de *offset* é subtraída e adicionada ao valor da tensão de entrada. Como resultado, a quantidade de carga Q que é transferida de C1 para C2 durante o passo de “amostragem de resíduo” e que é novamente transferida de C2 para C1 durante o passo de “soma”, passa a ser independente da tensão de *offset*.

As capacitâncias parasitas associadas a este nó nunca são carregadas ou descarregadas (pois estão conectadas a um ponto de “terra virtual” do amplificador operacional), o que resulta na insensibilidade do circuito às capacitâncias parasitas.

No segundo estágio (Figura 4.10), a tensão de *offset* é cancelada devido ao fato de que essa tensão é armazenada no capacitor de amostragem durante o ciclo que precede a amostragem do sinal. Com isso, a tensão resultante armazenada neste capacitor é igual à diferença entre a tensão de entrada e a tensão de *offset*. Como a tensão de saída possui um acréscimo do valor da tensão de *offset*, a tensão resultante de saída durante a fase de retenção será igual à própria tensão de entrada. Com isso, esse estágio será imune às influências da tensão de *offset* do amplificador operacional. O mesmo ocorre durante a fase de comparação.

### 4.2.3 Conversor A/D Cíclico Totalmente Diferencial

Os circuitos a capacitor chaveado podem sofrer degradação na sua precisão devido ao fenômeno de injeção de cargas, que ocorre devido aos chaveamentos realizados no circuito. Para que se reduzisse esse efeito, a configuração adotada para a implementação do circuito do conversor A/D cíclico foi a totalmente diferencial, conforme sugerido em [19]. Com isso, pode-se obter uma redução significativa do efeito de injeção de cargas na precisão do circuito. A Figura 4.13 contém o diagrama básico do conversor A/D cíclico implementado, baseado no circuito da Figura 4.11.

O segundo estágio é responsável pela retenção do resíduo e pela comparação do sinal amostrado, conforme descrito no Item 4.2.2. Na saída desse estágio são obtidos os dígitos da palavra convertida, na forma serial. As chaves utilizadas estão representadas no diagrama e numeradas de 1 a 10.

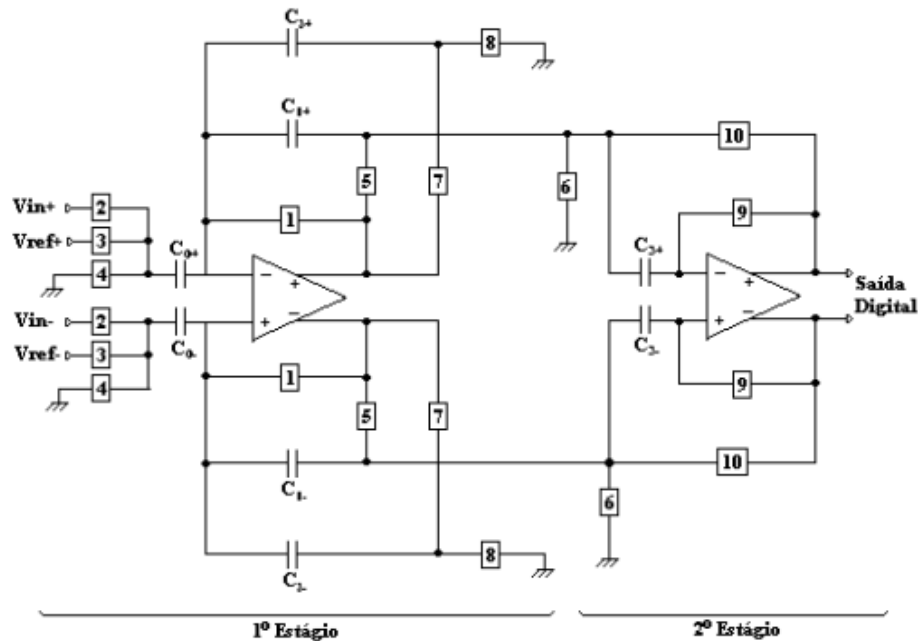


Figura 4.13 – Diagrama Básico do Conversor A/D Cíclico

Para que ocorra a correta conversão do sinal analógico presente à entrada do circuito, as chaves CMOS devem receber os sinais de controle da Tabela 4.3, para que a configuração desejada seja obtida. Esse circuito é análogo ao da Figura 4.11, recebendo a mesma seqüência de chaveamento aplicável ao circuito com saída simples.

#### 4.2.3.1 Projeto do Amplificador Operacional e do Circuito de Polarização

A topologia adotada para o amplificador operacional a ser utilizado no conversor A/D foi a *folded-cascode*, mostrada em sua forma simplificada na Figura 4.14 [3]. Essa configuração é muito utilizada, pois, apesar da limitada faixa de tensão de saída, apresenta simplicidade, simetria, velocidade, menor consumo e melhor PSRR, quando comparado aos amplificadores de dois estágios [18].

Para atenuar o ruído térmico introduzido pelo amplificador operacional foi utilizado um par diferencial PMOS, que possui um coeficiente de ruído menor, com relação ao par diferencial NMOS [19]. Além disso, os transistores do par diferencial devem possuir uma área elevada para que o ruído *flicker* ou  $1/f$  seja atenuado. Outra vantagem, decorrente do processo de fabricação utilizado (CMOS 0,35 $\mu$ m CSI AMS), é a possibilidade da utilização de transistores PMOS no par diferencial com a conexão fonte-substrato ( $V_{BS}=0$ ).

Quando o circuito de entrada do conversor A/D amostra um valor de tensão através de  $C_1$ , a carga resultante é transferida para o capacitor  $C_2$ , resultando em um degrau de tensão na saída do operacional. Como o operacional não é ideal e caso a amplitude desse degrau seja grande, a resposta na saída do amplificador operacional será limitada pelo *slew-*

rate, resultando em distorções.

Idealmente, um amplificador possui impedância de saída igual a zero, mas nos integradores a capacitor chaveado, normalmente são utilizados amplificadores operacionais de transcondutância (OTA) [18], que possuem impedância de saída elevada, como no caso do amplificador operacional da Figura 4.14.

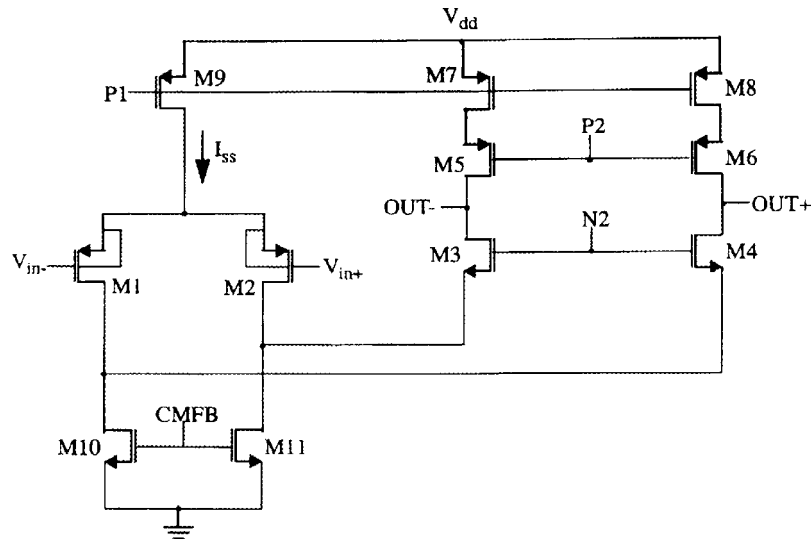


Figura 4.14 – Circuito Simplificado do Amplificador Folded-Cascode

Para se propiciar um ganho elevado ao amplificador operacional, deve-se adotar uma reduzida tensão de *overdrive* ( $V_{GS} - V_T$ ) dos transistores do par diferencial (entre 100mV e 200mV), resultando em uma alta relação  $g_m/I$ .

Para que a área ocupada pelos transistores não seja muito grande, adotou-se um valor de 160mV para a tensão de *overdrive*. A relação entre a tensão de *overdrive* e a transcondutância dos transistores do par diferencial é dada pela Equação 4.4 [18].

$$g_{m_{M1}} = \frac{I_{SS}}{V_{GS} - V_T} \quad (4.4)$$

Substituindo-se os valores na Equação 4.4 para uma corrente de 50 $\mu$ A, tem-se que o valor da transcondutância é de, aproximadamente, 312  $\mu$ A/V. Com o valor da transcondutância dos transistores do par diferencial definida, pode-se estimar a frequência de ganho unitário ( $f_T$ ), dada por:

$$f_T = \frac{g_{m_{M1}}}{2\pi \cdot C_L} \quad (4.5)$$



Substituindo-se os valores na Equação 4.5, tem-se  $f_T = 24,9$  MHz; portanto, acima do valor especificado.

Para os transistores que determinam o ganho do amplificador operacional a tensão de *overdrive* adotada deve ser reduzida. Para os transistores da fonte de corrente a tensão de *overdrive* adotada deve ser a maior possível [18]. Isso se deve ao fato de que dessa forma ocorrerá um melhor casamento entre os transistores da fonte de corrente, uma menor sensibilidade às variações de processo e uma maior rejeição da fonte de alimentação.

Por outro lado, um elevado valor para estas tensões de *overdrive* implica em uma diminuição da faixa de tensão de saída [17]. Assim, os transistores M3 a M11 da Figura 4.14 devem ter uma tensão de *overdrive* da ordem de 200 mV.

De acordo com [18], a margem de fase do amplificador *folded-cascode* pode ser estimada como:

$$PM = 90^\circ - \arctan\left(\frac{f_T}{g_{mM3}/2\pi \cdot C_x}\right) \quad (4.6)$$

Na Equação 4.6,  $g_{mM3}$  é a transcondutância do transistor M3 da Figura 4.14 e  $C_x$  é a soma das capacitâncias parasitas na fonte do transistor M3, incluindo a capacitância de carga. Como a tensão de *overdrive* de M3 deve ser menor que 200 mV, tem-se que  $g_{mM3}$  será de, aproximadamente, 150  $\mu\text{A/V}$ . Considerando-se  $C_x = 100$  fF e  $f_T = 23,9$  MHz (Equação 7.3), a margem de fase será de aproximadamente 83°. Assim, nota-se que esse amplificador é compensado pela capacitância de carga.

Através do valor da corrente  $I_{SS}$ , da transcondutância e da tensão de *overdrive*, as relações W/L dos transistores do amplificador podem ser calculadas. O comprimento de canal utilizado foi de 1 $\mu\text{m}$ , exceto para os transistores M10 e M11, que tiveram seus comprimentos de canal fixados em 2,5 $\mu\text{m}$ , a fim de que o circuito obtivesse maior ganho.

Através do simulador *AccuSim*<sup>®</sup>, presente na ferramenta de projeto *Mentor Graphics*<sup>®</sup>, foram feitos ajustes nos valores das tensões de *overdrive* para que se obtivesse uma faixa de alto ganho do amplificador. Os valores obtidos através de simulação são mostrados na Tabela 4.4.

O esquemático do amplificador *folded-cascode*, projetado com o auxílio do

*Design Architect*<sup>®</sup>, é mostrado na Figura 4.15. Como se pode perceber, os substratos dos transistores MP1 e MP2 do par diferencial estão conectados às suas respectivas fontes, a fim de que se evite a influência do efeito de corpo na tensão de limiar do transistor. Isso é possível devido ao fato de que os transistores do par diferencial foram construídos em um poço N separado dos poços dos demais transistores.

Função do transistor	Transistor	Tipo	W/L [μm]	I <sub>D</sub> [μA]	V <sub>GS</sub> - V <sub>T</sub> [V]
Transistores do par diferencial	MP1	PMOS	200/1	50μA	-0,16
	MP2	PMOS	200/1	50μA	-0,16
Transistores cascode das fontes de corrente	MP6	PMOS	126/1	30μA	0,17
	MP7	PMOS	126/1	30μA	0,17
	MN3	NMOS	36/1	30μA	-0,17
	MN4	NMOS	36 /1	30μA	-0,17
Transistores das fontes de corrente	MP4	PMOS	36/1	30μA	-0,20
	MP5	PMOS	36/1	30μA	-0,20
	MP3	PMOS	64/1	100μA	-0,20
	MN1	NMOS	30/2,5	80μA	0,20
	MN2	NMOS	30/2,5	80μA	0,20

Tabela 4.4 – Características dos Transistores do Amplificador Folded-Cascode

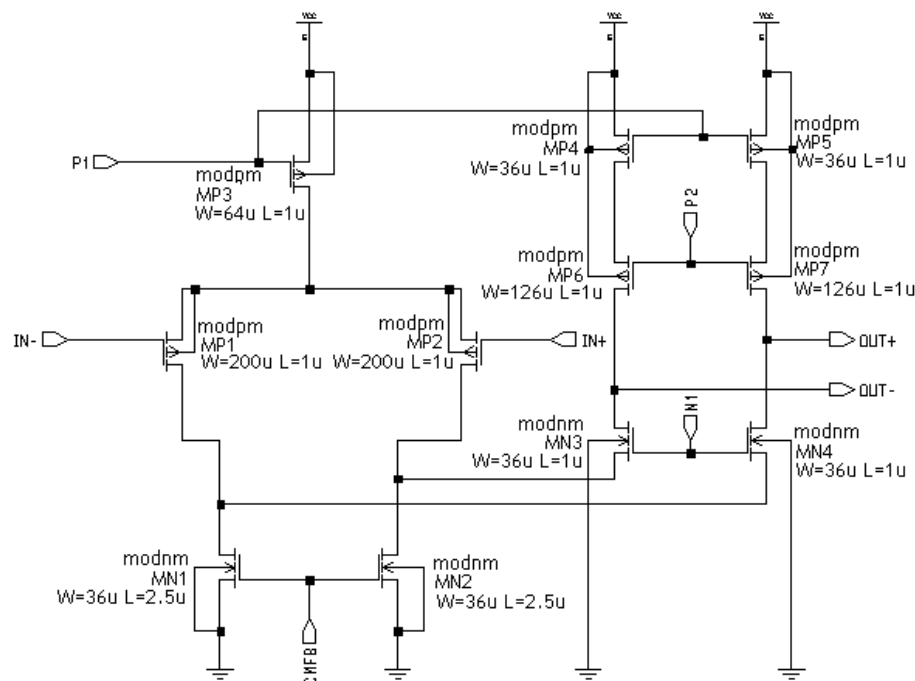


Figura 4.15 – Esquema do Amplificador Folded-Cascode

As tensões de polarização P1, P2 e N1 são geradas pelo circuito de polarização

mostrado na Figura 4.16. O pino de entrada “CMFB” do amplificador operacional é conectado ao circuito de realimentação em modo comum (CMFB), que será detalhado no item 4.2.3.5.

Para a polarização das fontes de corrente do amplificador operacional, foi utilizado o circuito da Figura 4.16, proposto em [27]. Esse circuito será conectado aos dois amplificadores operacionais diferenciais do conversor A/D e ao amplificador operacional do circuito conversor de sinais *single-ended* para diferencial, gerando as tensões de polarização P1, P2 e N1.

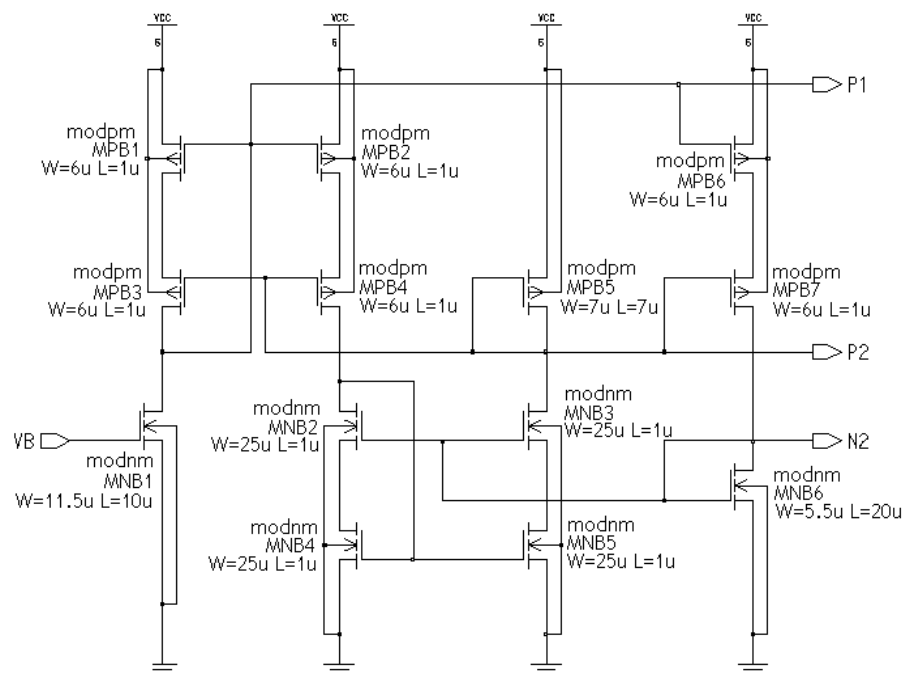


Figura 4.16 – Esquemático do Circuito de Polarização

Na Figura 4.16, o transistor MNB1 tem a finalidade de gerar a corrente de polarização dos espelhos, através de uma tensão de referência externa ao circuito ( $V_B = 1,28$  V no caso típico).

A Tabela 4.5 contém as características dos transistores do circuito de polarização. A Tabela 4.6 contém os valores das tensões de polarização obtidas através da simulação do circuito em três condições: caso típico, pior caso de potência e pior caso de velocidade.

O circuito do amplificador operacional, juntamente com o circuito de polarização, foi simulado através da ferramenta *AccuSim*<sup>®</sup>, onde foram utilizados os parâmetros *Level 47* (BSIM) do modelo dos transistores da tecnologia  $0,35\mu\text{m}$ , fornecidos pela empresa AMS. A Figura 4.17 contém os resultados de simulações para o caso típico.

Transistor	Tipo	W/L [ $\mu\text{m}$ ]
MPB1	PMOS	6/1
MPB2	PMOS	6/1
MPB3	PMOS	6/1
MPB4	PMOS	6/1
MPB5	PMOS	7/7
MPB6	PMOS	6/1
MPB7	PMOS	6/1
MNB1	NMOS	11,5/10
MNB2	NMOS	25/1
MNB3	NMOS	25/1
MNB4	NMOS	25/1
MNB5	NMOS	25/1
MNB6	NMOS	5,5/20

Tabela 4.5 – Características dos Transistores do Circuito de Polarização

Nós de Polarização	Caso Típico [V]	Pior caso de potência [V]	Pior caso de velocidade [V]
N1	1,96	2,32	1,68
P1	3,55	4,00	3,17
P2	2,91	3,02	2,75
V <sub>B</sub>	1,28	1,447	1,148

Tabela 4.6– Resultados Obtidos Através de Simulações do Circuito de Polarização

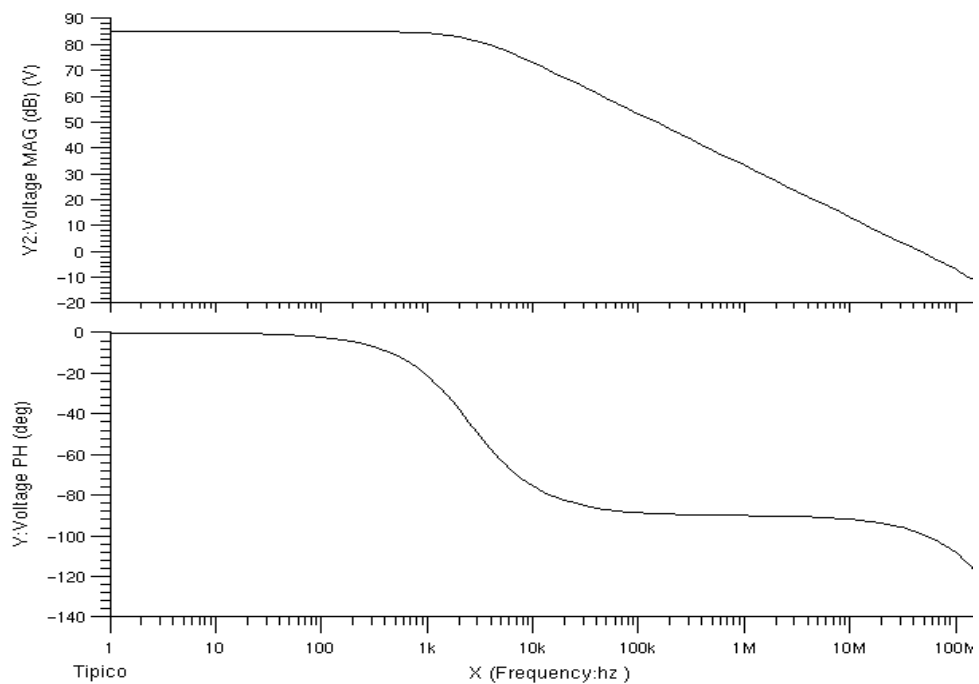


Figura 4.17 – Ganho Diferencial (dB) e Fase do Sinal de Saída (Graus) do Amplificador Operacional para o Caso Típico

A Figura 4.18 ilustra o pior caso de potência (transistores rápidos,  $V_{DD} = 5,5V$  e temperatura de  $0^{\circ} C$ ) e a Figura 4.19 ilustra o pior caso de velocidade (transistores lentos,  $V_{DD} = 4,5V$  e temperatura de  $70^{\circ} C$ ).

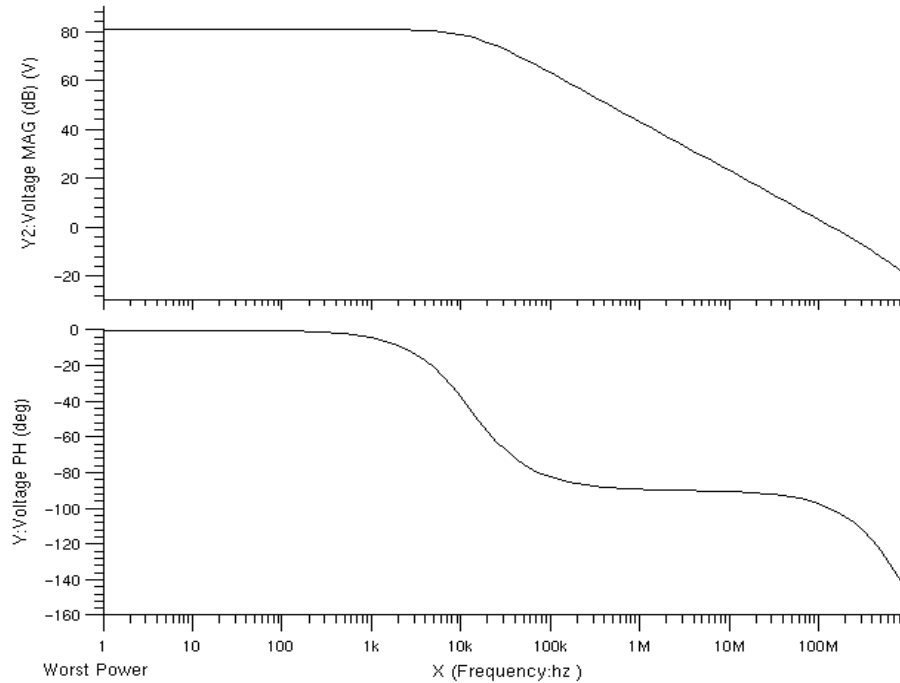


Figura 4.18 - Ganho Diferencial (dB) e Fase do Sinal de Saída (Graus) do Amplificador Operacional - Pior Caso de Potência

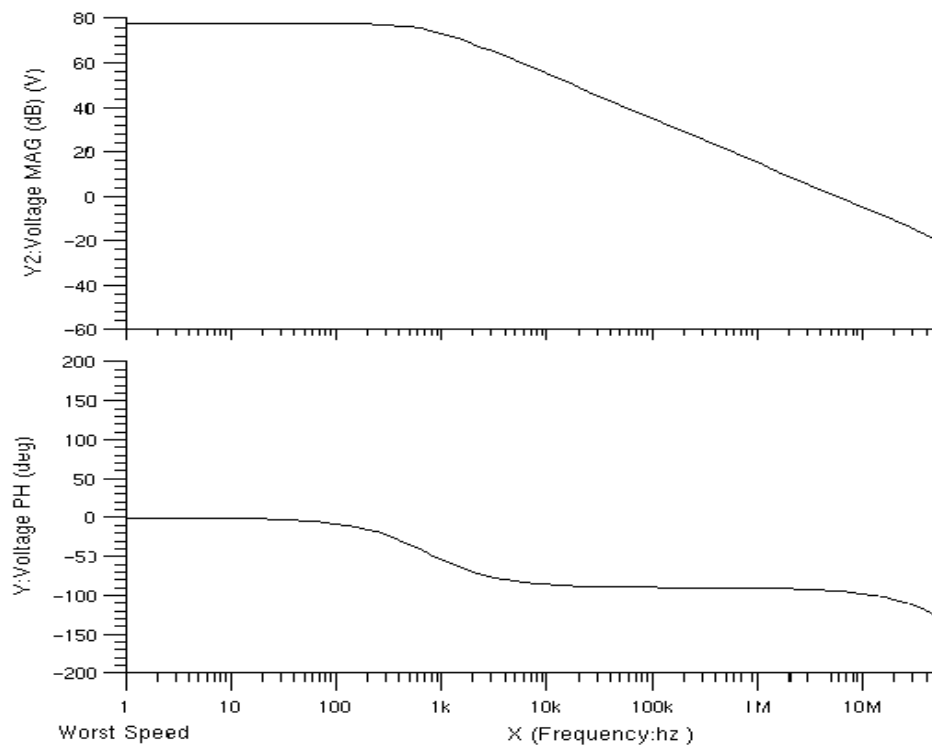


Figura 4.19 - Ganho Diferencial (dB) e Fase do Sinal de Saída (Graus) do Amplificador Operacional para o Pior Caso de Velocidade

	Caso Típico	Pior caso de potência	Pior caso de velocidade
Ganho $A_0$ [dB]	85,4	81,0	78,5
PM [graus]	82,2	79,8	80,1
$f_T$ [MHz]	52,3	150,6	6,2

Tabela 4.7 – Resultados Obtidos com o Amplificador Folded-Cascode ( $V_{ICM} = V_{OCM} = V_{DD}/2$ )

#### 4.2.3.2 Circuito de Realimentação a Modo Comum (CMFB – *Common-Mode Feedback*)

Como se pode observar na Figura 4.15, não existe nenhuma ligação que defina a tensão nos pontos OUT+ e OUT - do amplificador operacional. Os transistores MP6/MP7 e MN3/MN4, por exemplo, formam duas fontes de corrente ligadas ao ponto OUT +. Com a ocorrência de uma possível diferença na corrente desses transistores (devido a problemas de *casamento* ou a variações do sinal de entrada), o valor da tensão de saída  $V_{out+}$  poderá tornar-se, aproximadamente,  $V_{CC}$  ou GND.

Para que o amplificador diferencial possua uma tensão de saída em modo comum ( $V_{OCM}$ ) definida, utiliza-se um circuito de realimentação para monitorar as saídas OUT + e OUT -, que atuará nas fontes de corrente do circuito. O circuito em modo comum compara  $V_{OCM}$  com uma tensão de referência, estabelecendo a tensão correta de polarização das fontes de corrente.

O circuito de realimentação em modo comum pode ser do tipo contínuo ou do tipo dinâmico. Os circuitos contínuos, normalmente, utilizam amplificadores que possuem faixa de tensão de entrada limitada, como, por exemplo, um par diferencial. Essa limitação na tensão de entrada dos circuitos em modo comum acarreta uma limitação na excursão da tensão de saída do amplificador *folded-cascode*. Outra desvantagem decorrente da utilização dos circuitos contínuos refere-se ao consumo de potência, que é maior no caso desse tipo de circuito.

O circuito de realimentação em modo comum utilizado foi o do tipo dinâmico, proposto em [25] e que pode ser visualizado na Figura 4.20. Esse circuito deve ser conectado ao amplificador operacional da Figura 4.15, sendo que a tensão CMFB é a tensão de polarização das fontes de corrente formadas pelos transistores MN1 e MN2,  $V_{CM}$  é a tensão de modo comum desejada, BIAS é a tensão quiescente de polarização das fontes de corrente (1,11V) e OUT+/OUT- são as saídas do amplificador *folded-cascode*.

No circuito da Figura 4.20 foram utilizadas chaves CMOS nos nós com grandes variações de tensão, chaves NMOS nos nós com pequenas variações de tensão e chaves NMOS *dummy* (NDUM) no nó de realimentação do circuito, com o intuito de eliminar o efeito de injeção de cargas. Os valores dos capacitores  $C1+/C1-$  e  $C2+/C2-$  foram definidos com base em [26].

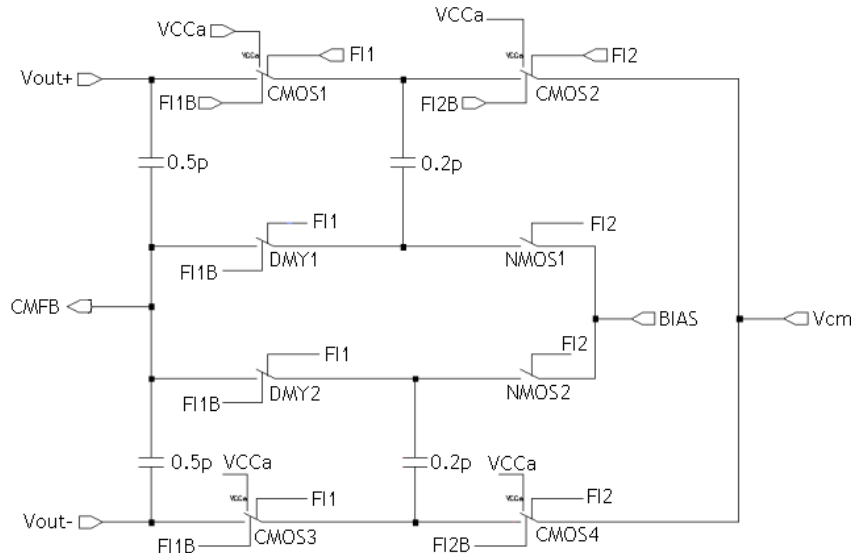


Figura 4.20 – Circuito de Realimentação a Modo Comum Dinâmico (DCMFB)

Quando as chaves CMOS1+, CMOS1-, NDUM2+ e NDUM2- se fecham (início da fase  $\phi 1$ ), ocorre um pico de tensão na saída do amplificador operacional. Esse pico resulta em uma componente de alta frequência na saída do circuito que, no entanto, não provoca alterações na banda de frequência do sinal de entrada.

Desprezando-se as capacitâncias parasitas e considerando-se  $C1+/C1-$  e  $C2+/C2$  casados, a tensão no nó CMFB é ajustada para um valor tal que resulta em uma tensão de modo comum de saída do amplificador *folded-cascode* igual à tensão do nó VCM.

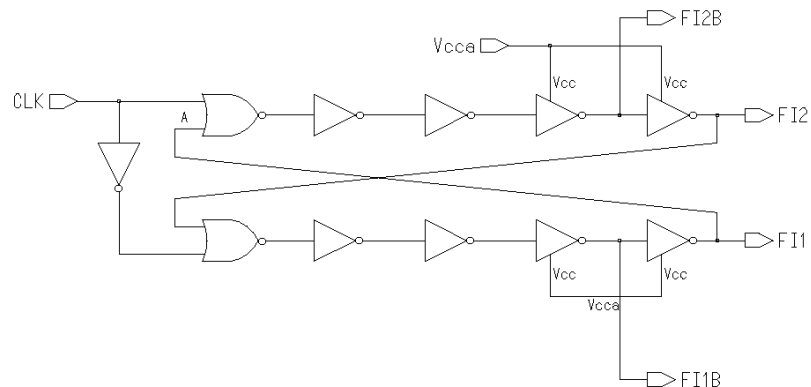


Figura 4.21 – Circuito Gerador de Clock *não-sobreposto*

Para a geração dos sinais de fase  $\phi 1$ ,  $\phi 1B$ ,  $\phi 2$  e  $\phi 2B$  (representados no circuito

como FI1, FI1B, FI2 e FI2B, respectivamente) a serem utilizados no circuito CMFB, foi utilizado o circuito gerador de *clock* não-sobreposto da Figura 4.21, proposto em [28].

Quando o sinal de entrada (CLK) está em nível lógico “0”, as saídas FI1 e FI2B apresentam nível lógico “0” e as saídas FI1B e FI2 apresentam nível lógico “1”. Quando o sinal de entrada passa a nível lógico “1”, a fase FI2 passa a apresentar nível lógico “0”, com um *atraso* determinado pela cascata de inversores às quais essa saída está conectada.

O sinal de FI2 é realimentado em uma segunda cascata de inversores, que também gera um atraso, resultando na fase FI1, que passa ao nível lógico “1”. A fase FI1B é o complemento da fase FI1 e a fase FI2B é o complemento da fase FI2.

Para se evitar interferências dos circuitos digitais na alimentação dos circuitos analógicos, foram utilizados dois tipos de alimentação nos inversores da cascata que fornecem os sinais de saída: os inversores conectados às portas FI1, FI1B, FI2 e FI2B recebem alimentação proveniente dos circuitos analógicos e o restante das portas lógicas recebem alimentação destinada aos circuitos lógicos.

Conforme será explanado no Capítulo 9 (“Layout”), o circuito completo possuirá duas linhas de alimentação distintas: uma linha destinada somente aos circuitos digitais e outra destinada somente aos circuitos analógicos [28]. Esse procedimento evita que o ruído produzido pelas comutações dos circuitos digitais seja acoplado aos circuitos analógicos, através do barramento de alimentação.

#### 4.2.4 Circuito Digital de Controle

Para que a conversão A/D seja executada pelo conversor cíclico, as chaves devem ser acionadas em uma seqüência pré-determinada, a fim de que as operações necessárias à conversão sejam executadas. A Figura 4.22 apresenta um diagrama básico do circuito de controle do conversor A/D.

O bloco responsável pelo acionamento das chaves S1 a S10 do conversor A/D é o da Matriz Decodificadora que, de acordo com um endereço seqüencial de entrada, gera em sua saída os sinais de habilitação correspondentes. O endereço aplicado a essa matriz é proveniente de um circuito contador, que gera os endereços de forma que as operações necessárias à execução do algoritmo de conversão sejam realizadas.

O *flip-flop* SR presente na saída do conversor A/D executa a retenção do *bit* da palavra de saída, para que essa possa ser aplicada à entrada do contador, pois o valor desse *bit*



determina as próximas operações do algoritmo a serem realizadas. O sinal de *clock* desse *flip-flop* também é proveniente da matriz decodificadora.

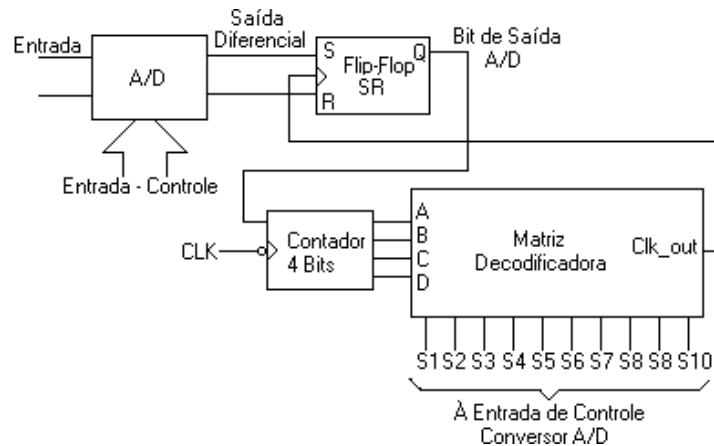


Figura 4.22 - Diagrama Básico do Circuito de Controle

O circuito conversor A/D proposto requer três ciclos de *clock* para a obtenção de cada *bit* convertido e há três seqüências de controle possíveis de serem utilizadas durante a conversão, de acordo com as operações básicas a serem realizadas: a primeira seqüência (I) é executada no início da conversão, quando o *bit* mais significativo (MSB) será determinado. No próximo ciclo de conversão (obtenção do segundo bit da palavra convertida), a seqüência de chaveamento a ser executada será determinada pelo *bit* obtido anteriormente. Caso o *bit* obtido seja “1”, a seqüência “II” será executada. Caso o *bit* obtido seja igual a “0”, a seqüência III será executada. Estas seqüências serão repetidas até que se obtenha a palavra de saída com o número de *bits* desejados.

Chave	( I ) MSB	( II ) B(i) = 1	( III ) B(i) = 0
1			
2			
3			
4			
5			
6			
7			
8 e 9			
10			

Tabela 4.8 – Seqüência de Chaveamento para o Conversor A/D

Ao final da conversão, a seqüência de início será novamente a de número I, e o processo se repete. As seqüências de chaveamento são dadas na Tabela 4.8.

Para a geração dos sinais de controle das chaves foram utilizados circuitos contadores acoplados a um circuito decodificador responsável pela geração dos sinais de acionamento de cada chave do conversor A/D, de acordo com o código de entrada. Os códigos gerados pelos contadores, associados a um *bit* de entrada proveniente da comparação entre a tensão de entrada e a tensão de referência (*bit* da palavra convertida de saída) são aplicados ao decodificador, que fornecerá a seqüência de chaveamento determinada na Tabela 4.8.

A Tabela 4.9 contém os sinais de controle a serem gerados pelo decodificador, e a Figura 4.23 contém o circuito de controle do conversor A/D, responsável pela geração dos sinais de acionamento das chaves.

A entrada “St” (*Start*) indica o início da conversão. Quando esse *bit* é igual a “1”, a seqüência de chaveamento para obtenção do *bit* mais significativo é realizada. Esse bit é gerado por um contador com módulo igual ao número de *bits* desejados para a palavra de saída.

	Entradas				Saídas										Código
	St	Bi	B	A	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	Hexadecimal
III	0	0	0	0	1	0	1	0	0	0	0	0	0	1	281h
	0	0	0	1	0	0	0	1	1	0	0	1	1	0	066h
	0	0	1	0	0	0	0	1	0	1	1	0	0	0	058h
II	0	1	0	0	1	0	0	1	0	0	0	0	0	1	241h
	0	1	0	1	0	0	1	0	1	0	0	1	1	0	0A6h
	0	1	1	0	0	0	1	0	0	1	1	0	0	0	098h
I	1	X	0	0	1	1	0	0	0	1	0	1	1	0	316h
	1	X	0	1	0	0	1	0	1	0	0	1	1	0	0A6h
	1	X	1	0	0	0	1	0	0	1	1	0	0	0	098h

Tabela 4.9 – Seqüência de Acionamento das Chaves CMOS

Caso se deseje uma palavra de saída de oito *bits*, o módulo desse contador deve

ser igual a oito. Se a palavra de saída deve possuir dez *bits*, o módulo desse contador deverá ser dez. A entrada “Bi” (*bit* de entrada) provém da saída do conversor A/D, que consiste no *bit* da palavra de saída obtido durante o passo de conversão anterior. Esse *bit* determina a próxima seqüência de conversão do algoritmo.

São necessários três pulsos de *clock* para a obtenção de cada *bit* convertido e os pinos de endereço A e B são os responsáveis pela contagem desses três pulsos. Esse circuito de endereçamento consiste de um contador de módulo dois, para que cada uma das três etapas necessárias à obtenção de cada *bit* seja realizada. A combinação desses dois *bits* de entrada, associada aos *bits* de controle “St” e “Bi”, é a responsável pelo endereçamento da matriz decodificadora, que é implementada através de um circuito combinacional.

Para cada transição negativa do sinal de *clock* de entrada, um determinado endereço é aplicado pelos contadores à entrada da matriz decodificadora, que apresenta um código de saída, como consta na Tabela 4.9. Um contador de quatro bits, de módulo dez, é o responsável pela geração do *bit* “St”, que determina o momento de geração do primeiro *bit* da palavra a ser convertida.

De acordo com a seqüência de conversão, esse *bit* de endereçamento deve ser igual a “1” durante os três primeiros períodos de *clock* de funcionamento do circuito. Durante o restante da conversão, esse sinal deve ser igual a “0”. O pino de endereçamento “Bi” é proveniente da própria saída do conversor A/D, que consiste no *bit* de saída convertido durante o passo anterior.

Convém notar que, durante a obtenção do primeiro *bit* de saída (*bit* mais significativo - MSB), o sinal de endereçamento *Bi* não existe, pois trata-se do primeiro passo de conversão. Dessa forma, como se pode perceber na Tabela 4.9, esse sinal é indicado como “X” (irrelevante) no campo I.

Durante a obtenção de cada *bit* de saída (momento em que o amplificador operacional de saída do conversor A/D está configurado como comparador), um pulso de *clock* é aplicado ao *flip-flop* SR de transição positiva que está conectado à saída do conversor, para que o *bit* relativo à palavra de saída seja armazenado. Nesse instante, o valor que está na saída do amplificador operacional é transferido à saída do *flip-flop* SR, de forma que esse dado possa ser aplicado aos circuitos que realizarão o processamento das palavras convertidas.

Conforme a seqüência do algoritmo de conversão, o bit de saída obtido durante

esse passo de conversão deverá ser utilizado para a determinação da próxima seqüência de operações. Dessa forma, a saída desse *flip-flop* é aplicada a um *flip-flop* “D”, responsável pela retenção do *bit* “Bi” a ser aplicado à entrada da matriz decodificadora.

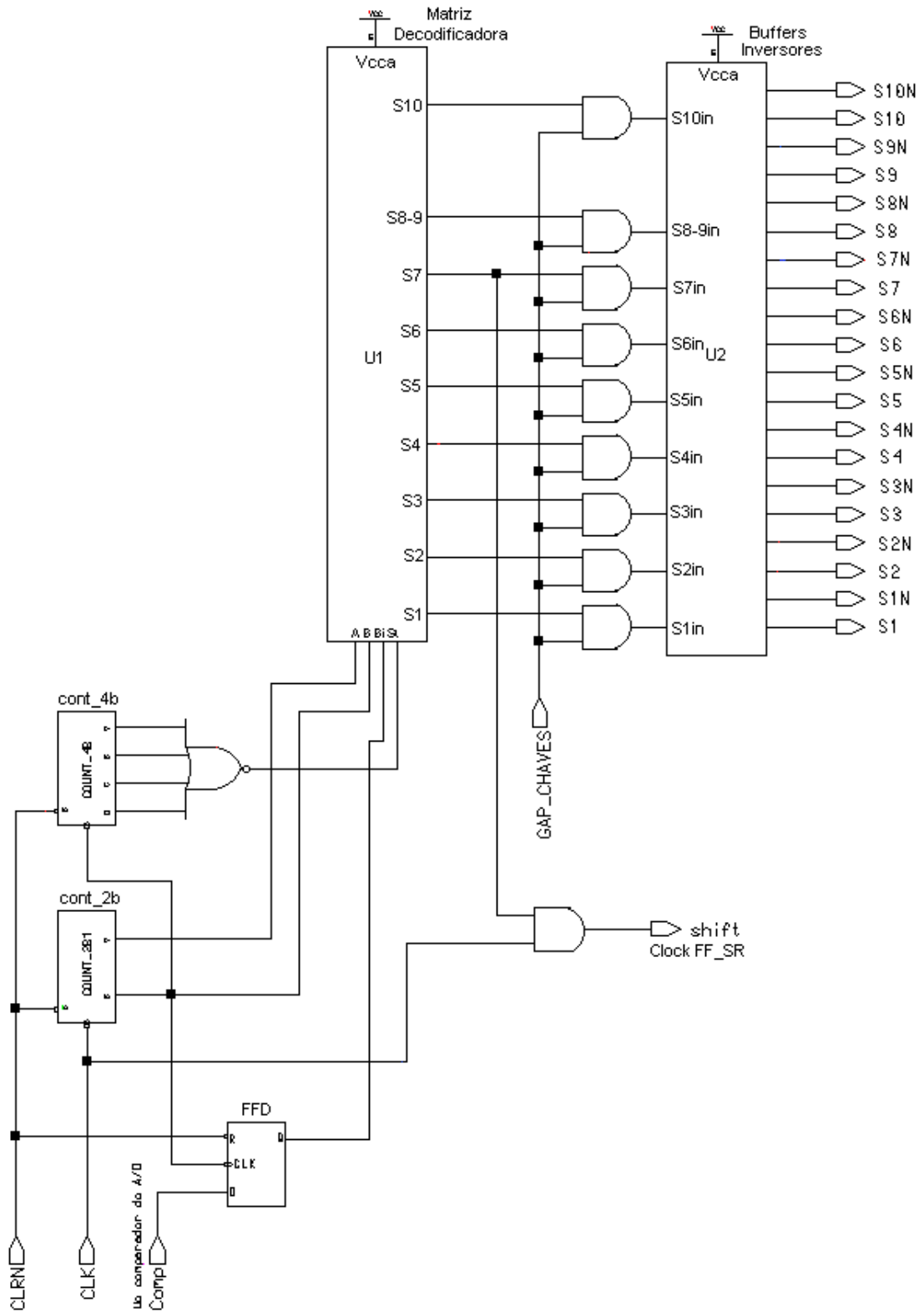


Figura 4.23 – Circuito de Controle – Conversor A/D

A saída “*shift*” do circuito de controle corresponde ao sinal de *clock* a ser aplicado ao *flip-flop* SR. Para que o sinal de gatilhamento seja gerado no momento adequado, esse deve ser resultante da operação lógica “E” do sinal de controle da chave S7 com o sinal de *clock*. Dessa forma, no momento em que o amplificador operacional de saída está configurado como comparador (chaves 6 e 7 fechadas), a transição positiva do *clock* resultará na transferência do nível lógico de saída do amplificador operacional para a saída do *flip-flop* SR.

Os contadores utilizados na geração dos endereços são do tipo síncrono e foram implementados com o auxílio de portas lógicas e de *flip-flops* do tipo “D”.

Como citado anteriormente, o contador de dois *bits* responsável pelos endereços A e B possui módulo dois (Figura 4.24) e o contador de quatro *bits* é de módulo dez (Figura 4.25).

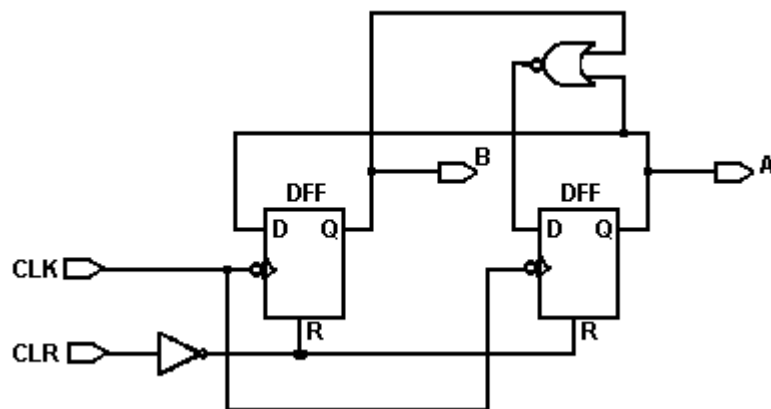


Figura 4.24 – Contador Síncrono Módulo Dois

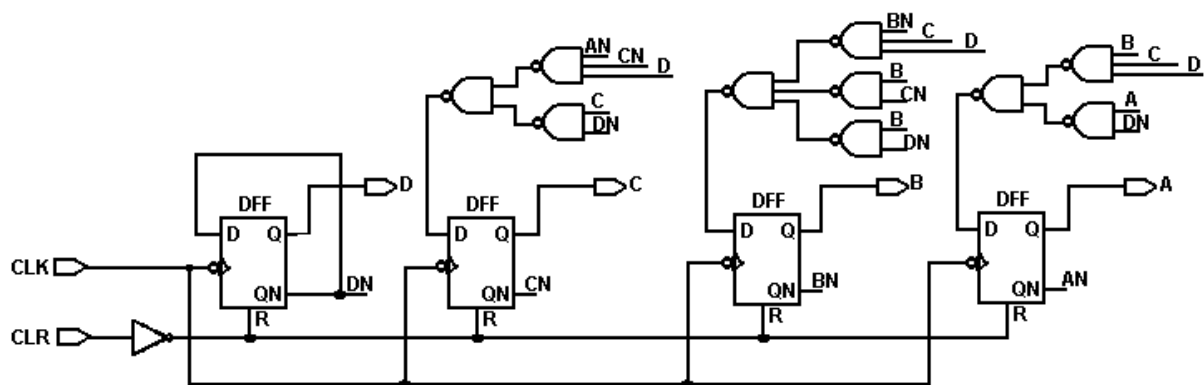


Figura 4.25 – Contador Síncrono – Módulo Dez

A matriz decodificadora U1 foi implementada com base nos códigos da Tabela 4.9, e a sua implementação pode ser visualizada na Figura 4.26. A Figura 4.28 contém o aspecto da simulação dos sinais de endereçamento gerados pelo circuito de controle do conversor A/D.

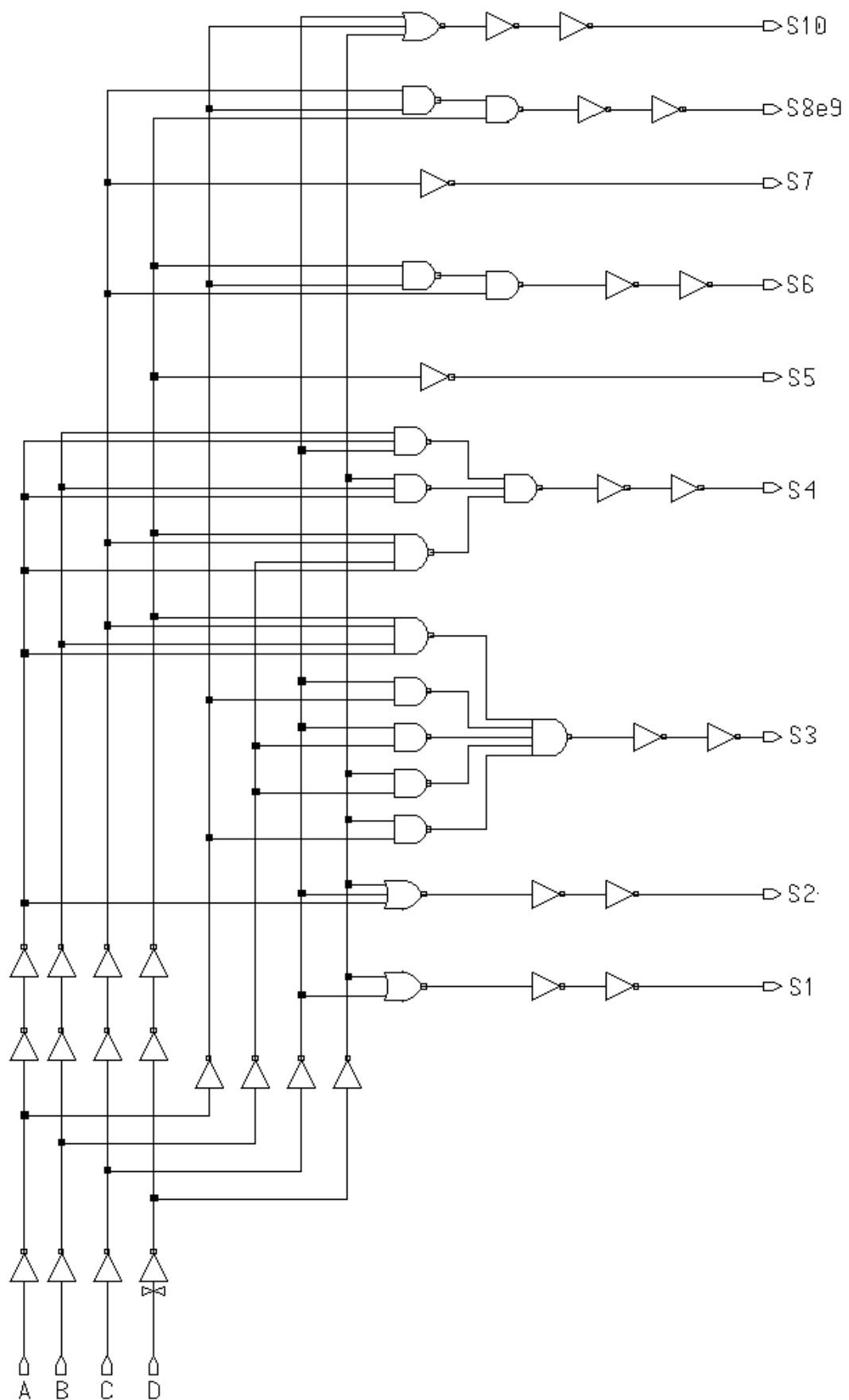


Figura 4.26 – Matriz Decodificadora U1

O esquema do flip-flop do tipo D utilizado pode ser visualizado na Figura 4.27 [29].

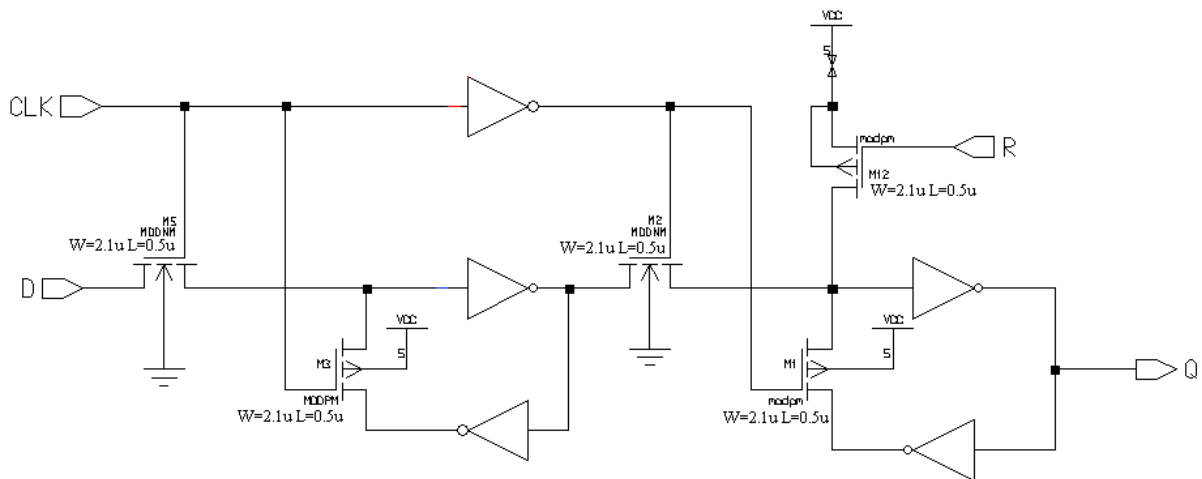


Figura 4.27 - Esquema do Flip-Flop Tipo D

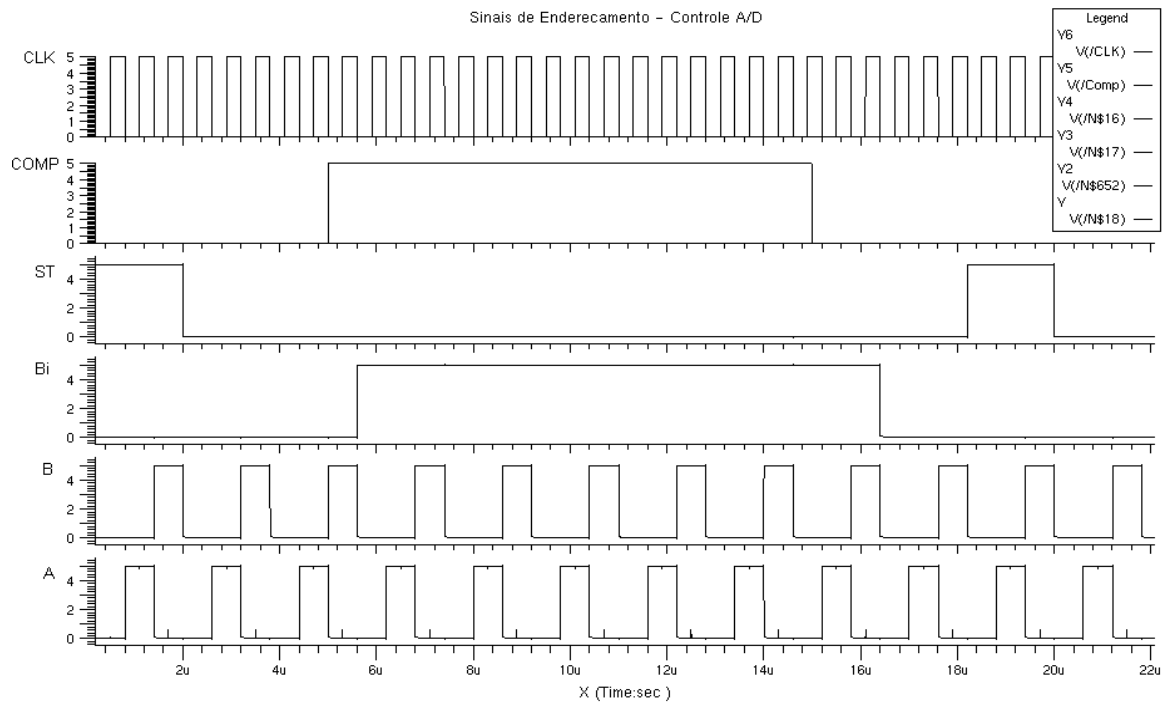


Figura 4.28 – Sinais de Endereçamento da Matriz Decodificadora

Na Figura 4.29, pode-se visualizar o gráfico simulado dos sinais de controle das chaves, presentes na saída da matriz decodificadora.

Para um sinal de *clock* aplicado à entrada do circuito (pino “CLK”) e um *bit* de entrada que pode ser “0” ou “1” (pino “Bi”), dependente da saída do conversor A/D, obtém-se a seqüência de chaveamento desejada para as chaves S1 a S10.

Como se pode perceber na Figura 4.29, há a ocorrência de vários *glitches* durante os chaveamentos do circuito. Para se evitar a ocorrência desse fenômeno durante as

transições, além da sobreposição dos sinais de acionamento das chaves, foi utilizado um sinal de controle que desabilita todos os sinais de acionamento das chaves durante os momentos de transição do sinal.

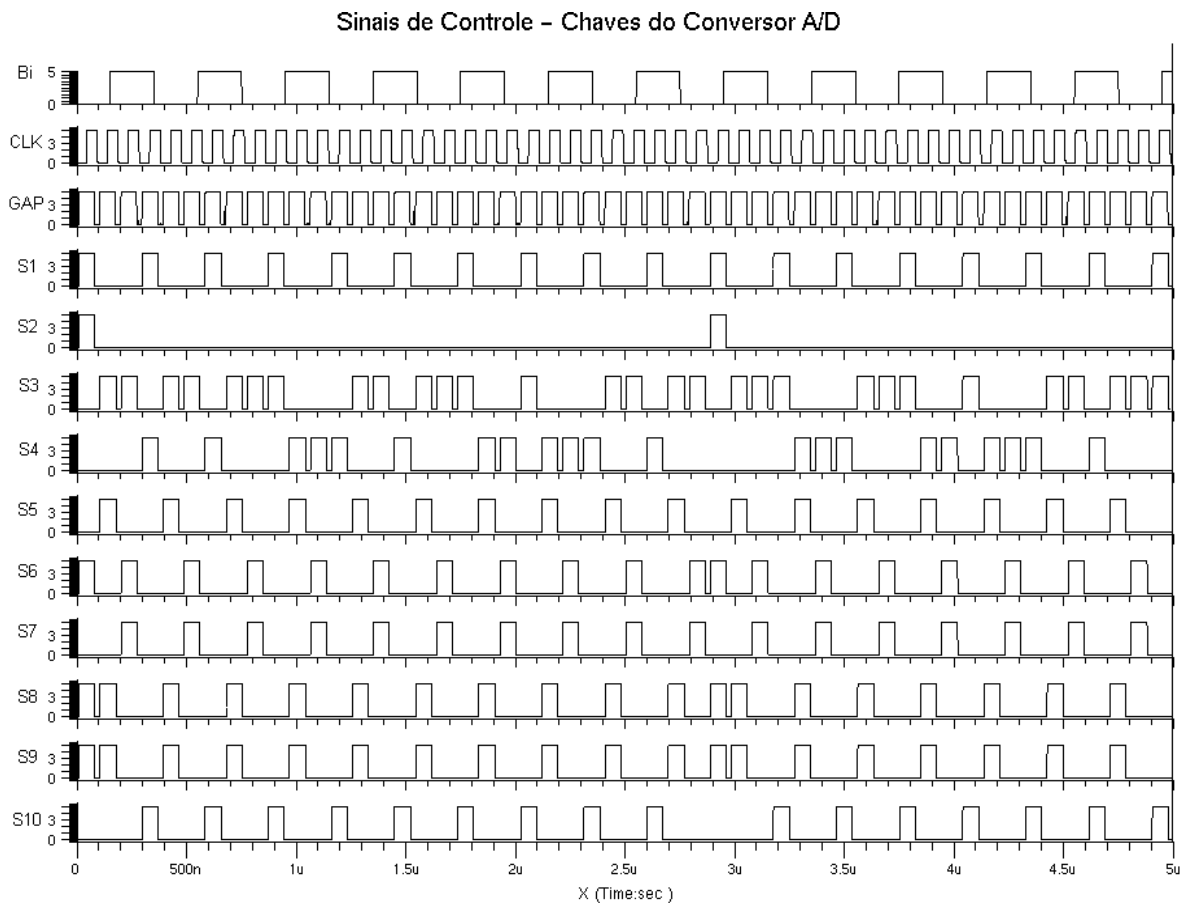


Figura 4.29 – Sinais de Controle das Chaves – Conversor A/D

Para a geração de sinais de acionamento não-sobrepostos, foram utilizadas portas lógicas “E” conectadas às saídas da matriz decodificadora. É utilizado um sinal de controle que permanece em nível lógico “1” durante o tempo de condução das chaves e é levado a nível lógico “0” durante o breve período de comutação. Dessa forma, todas as chaves são desligadas no momento de transição do sinal de controle.

Os circuitos para a geração do sinal de acionamento das portas AND, dos sinais de *clock* para o conversor A/D e para os outros blocos do sistema serão descritos no Capítulo 5.

Como o circuito é constituído em sua maioria por chaves CMOS, no momento de acionamento deve-se aplicar nível lógico “1” nos transistores N e nível lógico “0” nos transistores P. Dessa forma, as saídas do circuito de controle S1 a S10 devem ser conectadas diretamente aos transistores N de suas respectivas chaves e, através de um inversor, em cada



transistor P. O detalhe do circuito da rede inversora é mostrado na Figura 4.30.

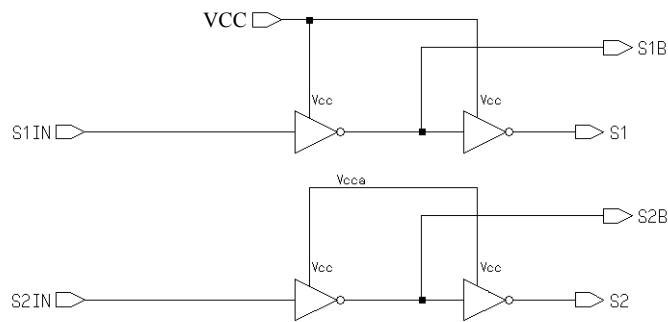


Figura 4.30 – Rede de Acionamento das Chaves do Conversor A/D

Da mesma forma que no circuito gerador de *clock* não-sobreposto, essa rede também permite o isolamento da tensão de alimentação dos circuitos digitais e dos circuitos analógicos.

### 4.3 Resultados de Simulação

O circuito conversor A/D proposto, que pode ser visualizado na Figura 4.31, foi simulado, utilizando-se os modelos da empresa *AMS* (tecnologia 0.35 $\mu$ m), para os seguintes casos: típico, pior caso de velocidade e pior caso de potência. Foi aplicada uma tensão diferencial às suas entradas, em forma de rampa, variando de 0 a 3,5V. Foram tomados valores aleatórios da tensão de entrada e verificou-se a palavra digital obtida na saída.

Os resultados obtidos são apresentados na Tabela 4.10, para o caso típico; na Tabela 4.11, para o pior caso de velocidade e na Tabela 4.12, para o pior caso de potência.

No esquema do conversor A/D da Figura 4.31, foi utilizado um valor de tensão de referência diferencial de 1,75 V ( $V_{REF+} - V_{REF-}$ ) e um valor de tensão de referência *bandgap* de 1,28 V ( $V_B$ ).

Através da análise dos valores obtidos, para o caso típico ocorrem desvios de cerca de  $\pm 1$  LSB para alguns valores de tensão de entrada. Para os piores casos de potência e de velocidade, o erro torna-se mais acentuado, principalmente para os valores de tensão de entrada menores que 0,5V e maiores que 3V, onde a saída chega a apresentar desvios de  $\pm 2$  LSBs.

Para se evitar erros acentuados nas palavras convertidas, convém utilizar sinais de entrada na faixa de 0,5 a 3V, para resolução de dez bits. Dessa forma, o circuito conversor operará de maneira satisfatória para tal resolução. Para resoluções menores (oito ou nove bits)

foi constatado, através de simulações, que o erro não ultrapassou a  $\pm 1$  LSB.

Tensão de Entrada [V]	Decimal	Valor Digital Ideal	Valor Convertido	Erro [LSB]
0	0	0000000000	0000000000	0
0,0055	1	0000000001	0000000001	0
0,066	19	0000010011	0000010010	-1
0,199	58	0000111010	0000111001	-1
0,331	96	0001100000	0001100000	0
0,464	135	0010000111	0010000111	0
0,596	174	0010101110	0010101110	0
0,729	213	0011010101	0011010101	0
0,862	252	0011111100	0011111100	0
1,060	310	0100110110	0100110101	-1
1,190	348	0101011100	0101011100	0
1,326	387	0110000011	0110000011	0
1,459	426	0110101010	0110101010	0
1,592	465	0111010001	0111010001	0
1,724	504	0111111000	0111111000	0
1,857	543	1000011111	1000011111	0
1,990	582	1001000110	1001000111	1
2,122	620	1001101100	1001101101	1
2,255	659	1010010011	1010010011	0
2,387	698	1010111010	1010111010	0
2,520	737	1011100001	1011100001	0
2,650	775	1100000111	1100001000	1
2,785	814	1100101110	1100101111	1
2,919	854	1101010110	1100101110	0
3,050	892	1101111100	1101111101	1
3,180	930	1110100010	1101111101	1
3,316	970	1111001010	1111001010	0
3,448	1008	1111110000	1111110001	1
3,500	1024	1111111111	1111111111	0

Tabela 4.10 - Simulação do Circuito Conversor A/D - Caso Típico

Tensão de Entrada [V]	Decimal	Valor Digital Ideal	Valor Convertido	Erro [LSB]
0	0	0000000000	0000000000	0
0,0055	1	0000000001	0000000001	0
0,066	19	0000010011	0000010010	-2
0,199	58	0000111010	0000111001	-2
0,331	96	0001100000	0001011110	-2
0,464	135	0010000111	0010000101	-2
0,596	174	0010101110	0010101101	-1
0,729	213	0011010101	0011010100	-1
0,862	252	0011111100	0011111100	0
1,060	310	0100110110	0100110101	-1
1,190	348	0101011100	0101011100	0
1,326	387	0110000011	0110000011	0
1,459	426	0110101010	0110000011	0
1,592	465	0111010001	0110101010	0
1,724	504	0111111000	0111010001	0
1,857	543	1000011111	0111111000	0
1,990	582	1001000110	1000011111	0
2,122	620	1001101100	1001000110	0
2,255	659	1010010011	1001101100	0
2,387	698	1010111010	1010010011	0
2,520	737	1011100001	1010111010	0
2,650	775	1100000111	1011100010	1
2,785	814	1100101110	1100001000	1
2,919	854	1101010110	1100101111	1
3,050	892	1101111100	1101011000	2
3,180	930	1110100010	1101111101	1
3,316	970	1111001010	1101111110	2
3,448	1008	1111110000	1111110000	0
3,500	1024	1111111111	1111111111	0

Tabela 4.11 - Simulação do Circuito Conversor A/D - Pior Caso de Velocidade

Tensão de Entrada [V]	Decimal	Valor Digital Ideal	Valor Convertido	Erro [LSB]
0	0	0000000000	0000000000	0
0,0055	1	0000000001	0000000001	0
0,066	19	0000010011	0000010101	2
0,199	58	0000111010	0000111100	2
0,331	96	0001100000	0001100001	1
0,464	135	0010000111	0010001000	1
0,596	174	0010101110	0010101110	0
0,729	213	0011010101	0011010101	0
0,862	252	0011111100	0011111100	0
1,060	310	0100110110	0100110111	1
1,190	348	0101011100	0101011100	0
1,326	387	0110000011	0110000011	0
1,459	426	0110101010	0110101011	1
1,592	465	0111010001	0111010001	0
1,724	504	0111111000	0111111000	0
1,857	543	1000011111	1000011111	0
1,990	582	1001000110	1001000110	0
2,122	620	1001101100	1001101100	0
2,255	659	1010010011	1010010011	0
2,387	698	1010111010	1010111010	0
2,520	737	1011100001	1011100001	0
2,650	775	1100000111	1100000111	0
2,785	814	1100101110	1100101110	0
2,919	854	1101010110	1101010101	-1
3,050	892	1101111100	1101111011	-1
3,180	930	1110100010	1110100000	-2
3,316	970	1111001010	1111001000	-2
3,448	1008	1111110000	1111110000	0
3,500	1024	1111111111	1111111111	0

Tabela 4.12 - Simulação do Circuito Conversor A/D - Pior Caso de Potência

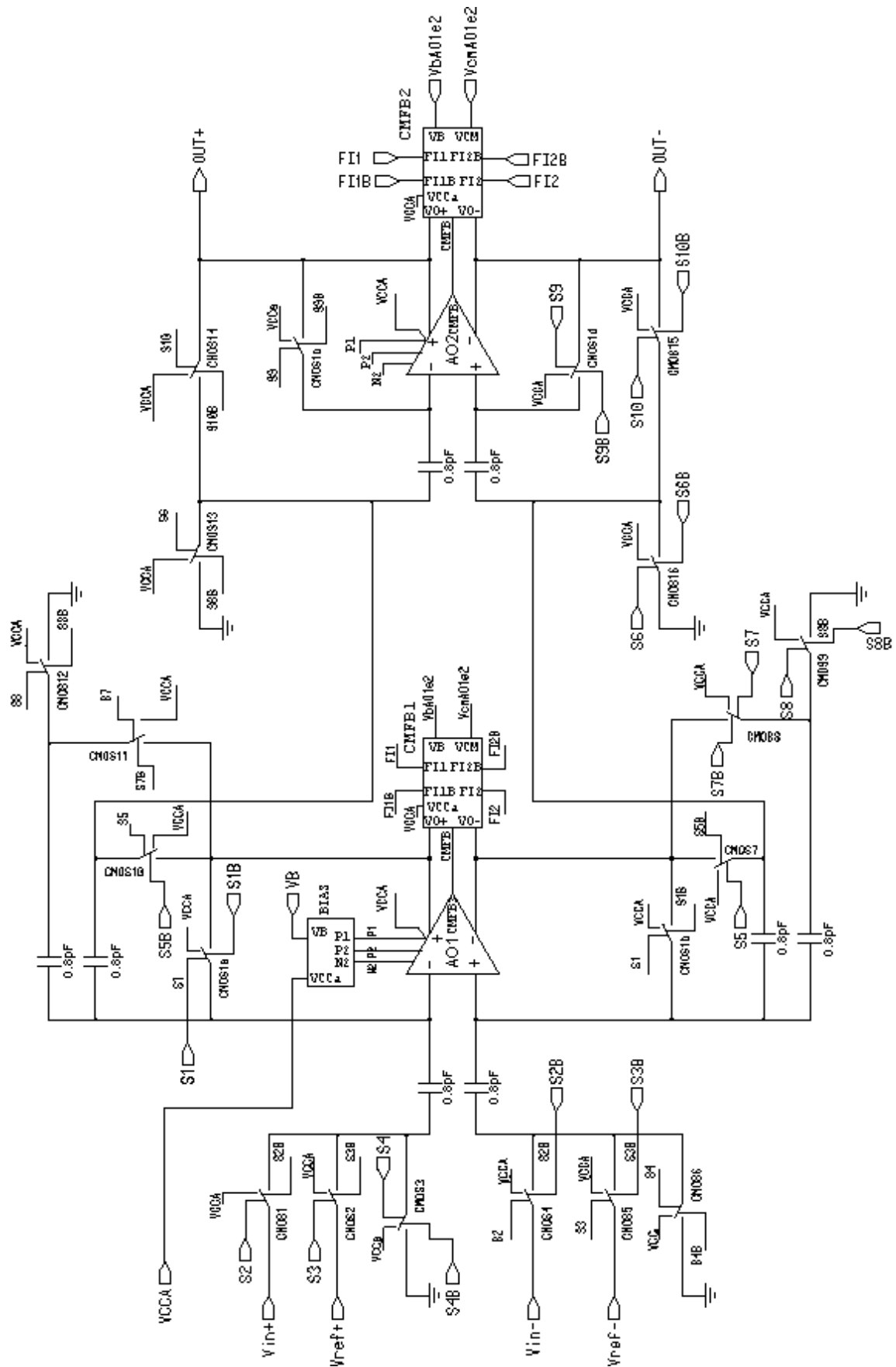


Figura 4.31 – Conversor A/D Implementado

## Capítulo 5

### Circuito de Controle do Sistema e *Layout*

#### 5.1 Circuito de Controle do Sistema

Para que ocorra um correto funcionamento do sistema de aquisição de dados, deve haver uma sincronia no acionamento dos circuitos amostra-e-retém, multiplexador analógico e conversor A/D. Para isso, deve existir um circuito de controle que realize o cadenciamento dos sinais aplicados aos diversos circuitos presentes no sistema.

A Figura 5.1 apresenta o aspecto dos principais sinais de controle a serem aplicados aos circuitos. A cada ciclo de 60 Hz do sinal de entrada, devem ser realizadas pelo circuito amostra-e-retém, 128 amostragens do sinal de entrada. Durante o período de retenção de cada amostra, deverá ocorrer o chaveamento do multiplexador, a fim de que os canais amostrados sejam conduzidos ao conversor A/D, para que as grandezas relativas a esses canais sejam finalmente convertidas.

O diagrama em blocos do sistema de controle, juntamente com os blocos a serem acionados, pode ser visualizado na Figura 5.2.

A partir de um sinal de *clock* de entrada de 14,8 MHz é gerado um sinal auxiliar para o circuito de controle do Conversor A/D, através de um divisor por oito, associado a uma lógica combinacional. O pino de saída desse circuito (nomeado de “*gap das chaves*”) deve ser aplicado ao circuito de controle do conversor A/D, para que sejam gerados os sinais não-sobrepostos para acionamento das chaves do conversor A/D.

Na saída do divisor por oito obtém-se uma frequência de 1,85 MHz, que corresponde à frequência de *clock* do circuito de controle do conversor A/D, de forma que

seja realizada a conversão do sinal amostrado no período de tempo desejado.

O sinal de saída do divisor por oito é aplicado a um divisor por trinta, sendo gerado o sinal de *clock* de 61,7 kHz para o circuito de controle dos circuitos amostra-e-retém. Essa frequência leva os circuitos amostra-e-retém a aquisitarem 128 amostras por período do sinal da rede de 60 Hz.

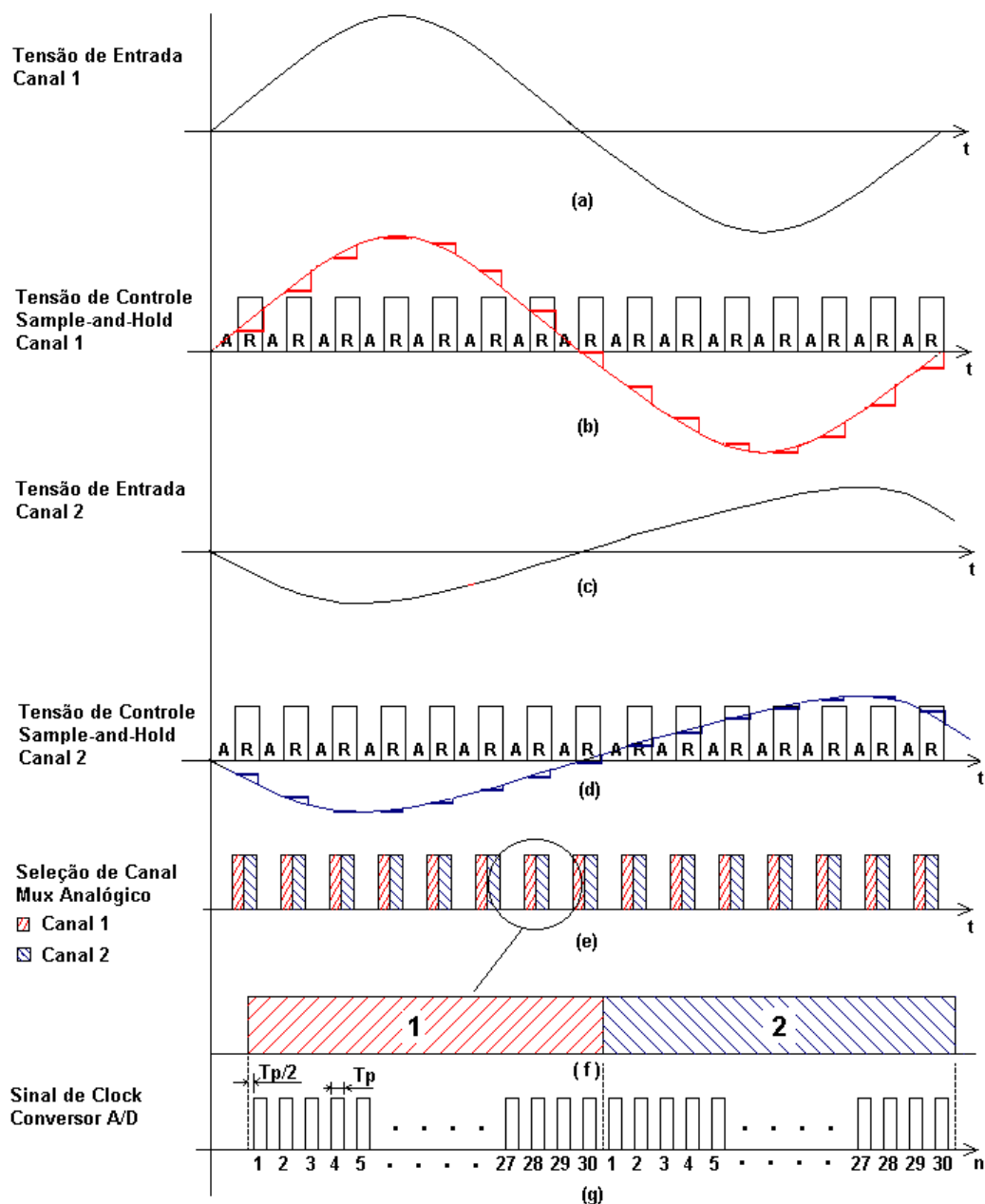


Figura 5.1 - Diagrama de Sinais de Controle – Sistema de Aquisição de Dados – Dois Canais

Para o endereçamento do multiplexador analógico, utiliza-se um *flip-flop JK* configurado como do tipo *T (Toggle)* sensível à borda positiva, onde para cada transição

positiva do sinal de *clock*, a saída Q torna-se igual ao complemento da saída anterior.

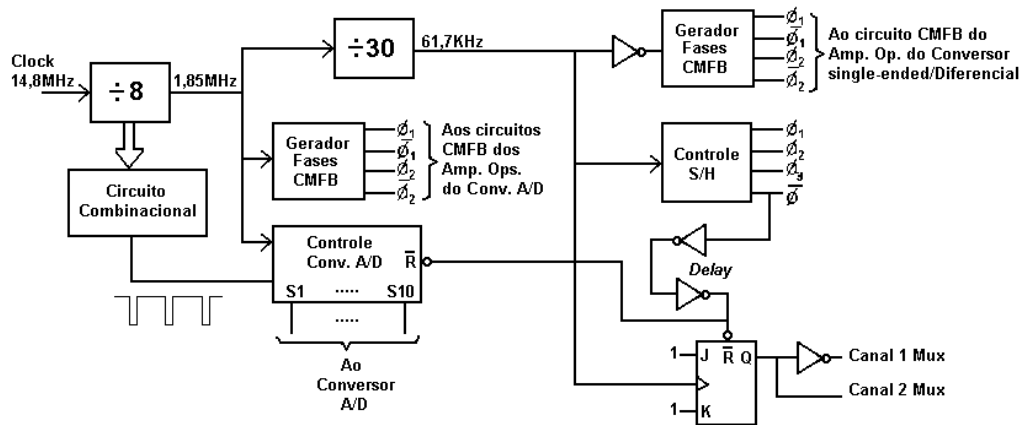


Figura 5.2 – Diagrama em Blocos – Circuito de Controle do Sistema

Quando a saída  $\phi$  do circuito de controle do circuito amostra-e-retém está em nível lógico “1”, significa que os sinais de entrada do sistema estão retidos e prontos para serem convertidos. Nesse instante, o sinal de *reset* do *flip-flop JK* passa de nível lógico “0” para “1” e a sua saída é mantida em nível lógico “0” até a próxima transição do sinal de *clock*.

A saída do *flip-flop JK* é aplicada à entrada de seleção do multiplexador analógico e quando seu valor é igual a nível lógico “0”, o primeiro canal do “mux” é selecionado. Após a transição positiva do sinal de *clock*, a saída do *flip-flop JK* é levada a nível lógico “1”, sendo que o segundo canal do “mux” será selecionado. Com isso, a grandeza amostrada pelo circuito amostra-e-retém do segundo canal será convertida para digital.

Quando a saída  $\phi$  do circuito de controle do circuito amostra-e-retém retorna ao nível lógico “0”, os sinais de entrada do sistema estão em fase de amostragem e, dessa forma, o *flip-flop JK* e o conversor A/D se mantêm inativos, entrando novamente em operação no momento em que o sinal dos circuitos amostra-e-retém estiverem novamente em estado de retenção.

A Figura 5.3 contém o circuito para geração dos sinais de controle. Como entrada, esse circuito deve receber um sinal de *clock* de 14,8 MHz e um sinal de “Enable” de nível lógico “1”. As saídas “RSTN\_1” e “RSTN\_2”, consistem dos pulsos negados de *reset* dos diversos *flip-flops* do sistema. A saída “Fases\_CMFB\_OpAmp” deve ser conectada ao circuito que gera as fases do circuito de realimentação a modo comum do amplificador operacional utilizado no conversor de sinais a saída simples para totalmente diferencial.

O sinal “Contr\_SH” é responsável pela geração dos sinais de acionamento dos



circuitos amostra-e-retém, o sinal “FFD\_End\_MUX” é responsável pelo acionamento do circuito de controle do multiplexador analógico e o sinal “CMFB\_AD” é responsável pela geração do sinal de *clock* para o circuito gerador de fases do circuito CMFB dos amplificadores operacionais do conversor A/D.

Em adição, tem-se ainda a saída “Clk\_Contr\_AD” que gera o sinal de *clock* do circuito de controle do conversor A/D e a saída “Gap\_Chaves” que gera o sinal auxiliar ao circuito de controle do conversor A/D, para que os sinais de acionamento das chaves do A/D sejam não-sobrepostos.

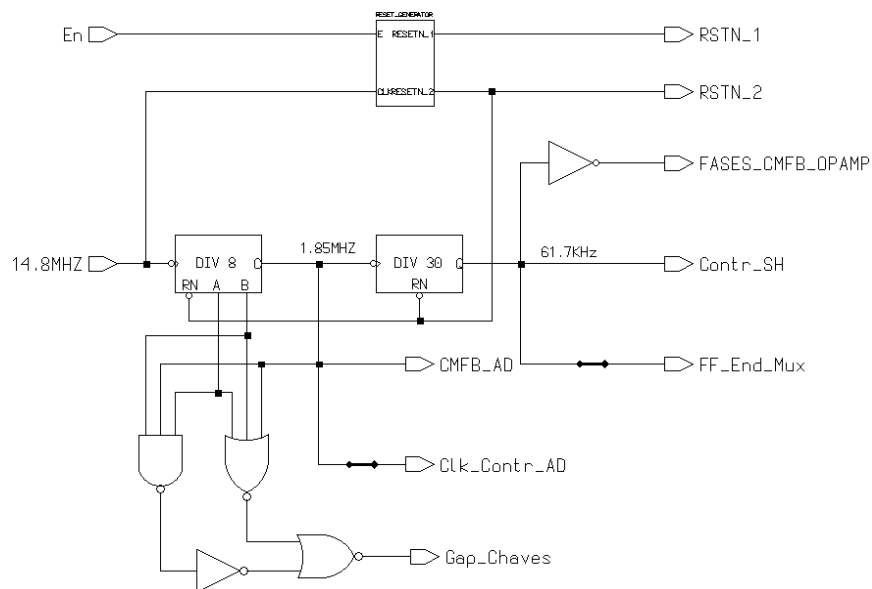


Figura 5.3 – Circuitos Gerador de Sinal de *Reset* e de Tensão de Acionamento das Portas “E”

Para que o sistema seja inicializado corretamente, torna-se necessária a geração de um pulso de *reset* para todos os *flip-flops* que compõem o circuito. Um circuito gerador de sinal *reset*, acionado a partir do sinal de habilitação do circuito, proposto em [29], pode ser visualizado na Figura 5.4.

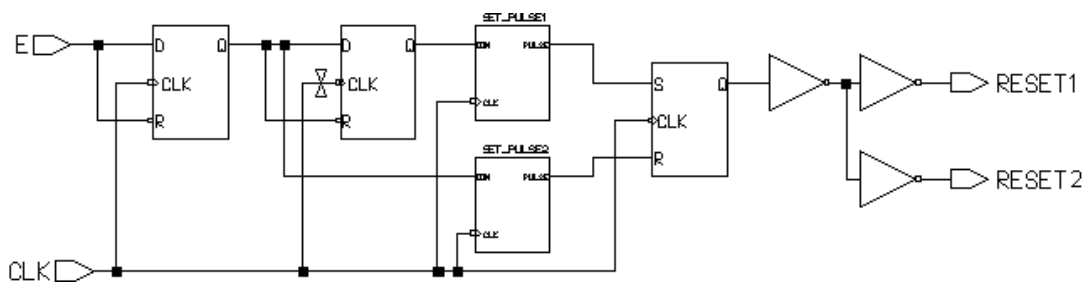


Figura 5.4 – Circuito Gerador de Pulso de *Reset*

O circuito para geração de sinal de *reset* é constituído basicamente por *flip-*

*flops* e por um circuito gerador de pulsos, que é acionado a partir de um degrau positivo de tensão aplicado à sua entrada (Figura 5.6).

Quando a entrada de habilitação do circuito recebe nível lógico “1”, a saída do primeiro *flip-flops* D (à esquerda) é levada a nível lógico “1”, na próxima transição do sinal de *clock*. Com isso, o circuito “gera-pulso” aplica um pulso na entrada “R” do *flip-flop* SR, caracterizando o estado de *reset* desse *flip-flop*, onde sua saída é levada a nível lógico “0”, resultando no *reset* de todos os circuitos do sistema.

Na próxima transição do sinal de *clock*, a saída do segundo *flip-flop* D é levada a nível lógico “1”, sendo aplicado um pulso na entrada “S” do *flip-flop* SR, que leve a sua saída a nível lógico “1”. Nesse momento, ocorre o fim do pulso de *reset* e os circuitos do sistema passam a operar. A Figura 5.5 apresenta a simulação do sinal de saída do circuito para geração de sinais de *reset*, a partir da transição positiva do sinal de habilitação.

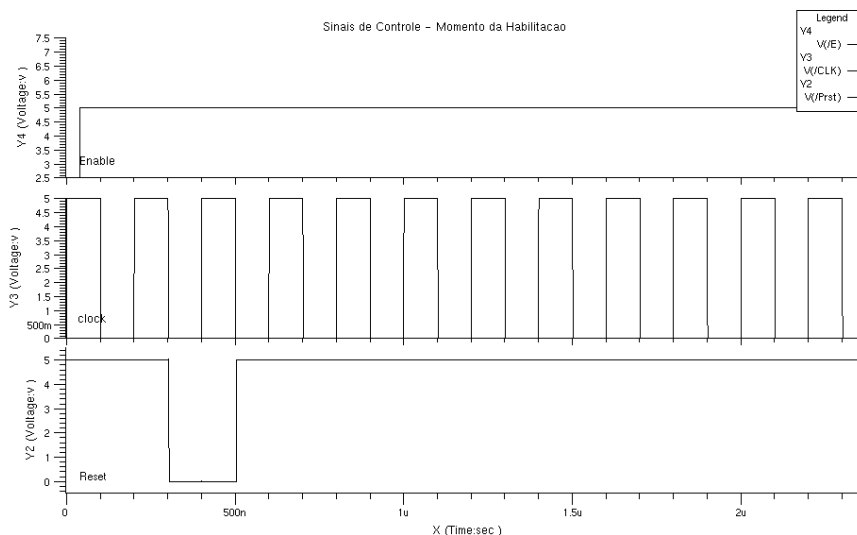


Figura 5.5 – Simulação – Circuito Gerador de Pulsos de *Reset*

A Figura 5.6 apresenta o circuito gerador de pulsos, que consiste de um *flip-flop* D e de uma porta lógica AND.

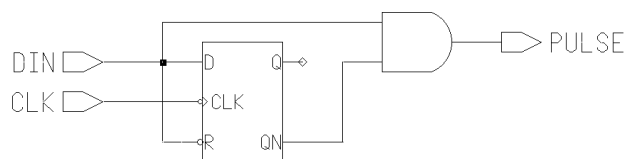


Figura 5.6 – Circuito Gerador de Pulsos

Quando a entrada “DIN” está em nível lógico “0”, a saída do *flip-flop* D também estará em nível lógico “0”, resultando na saída “PULSE” igual a “0”. Quando a

entrada “DIN” é levada a nível lógico “1”, a entrada superior da porta lógica *AND* é levada a esse nível. Como a outra entrada da porta lógica *AND* está conectada à saída QN do flip-flop D, que está em nível lógico “1”, a saída PULSE é levada a nível lógico “1”.

Na próxima transição do sinal de *clock* de entrada, a saída QN do flip-flop D é levada a nível lógico “0”. Dessa forma, a saída PULSE retorna a nível lógico “0”. O esquema dos circuitos divisores do sinal de *clock* pode ser visualizado Figura 5.7 (divisor por oito) e na Figura 5.8 (divisor por trinta).

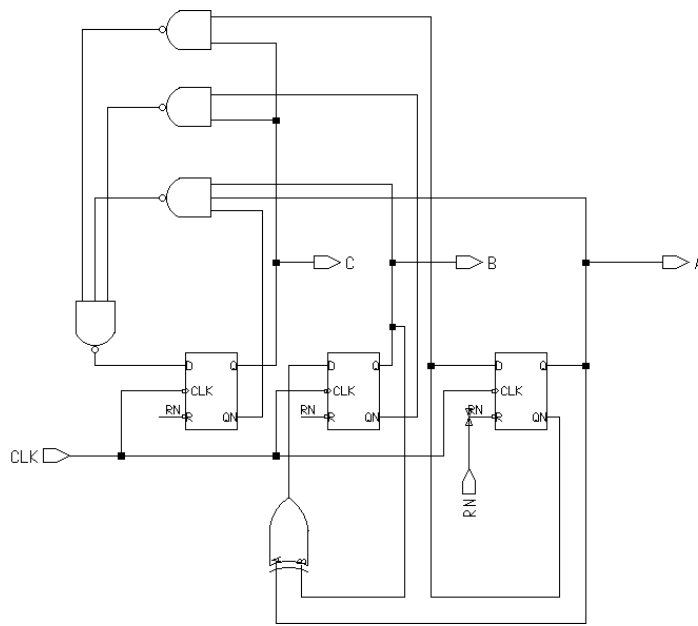


Figura 5.7 – Circuito Divisor de Frequências por Oito

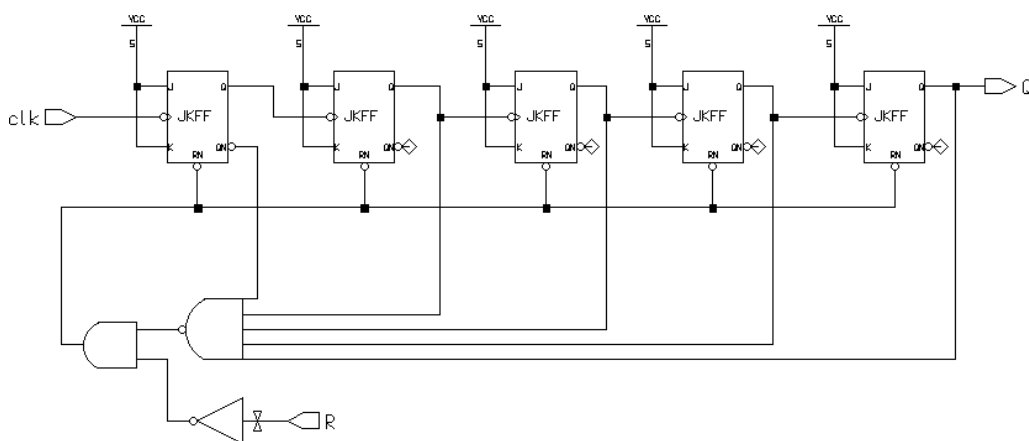


Figura 5.8 – Circuito Divisor de Frequências por Trinta

O aspecto da simulação dos sinais produzidos pelo sistema de controle completo pode ser visualizado nas Figuras 5.9 e 5.10, onde podem ser vistos, em ordem descendente, o sinal de *clock* de 14,8 MHz de entrada, o sinal de 1,85 MHz de acionamento

do circuito de controle do conversor A/D, o sinal de acionamento e as fases de saída do circuito de controle do circuito amostra-e-retém (a fase “FI\_N” corresponde à fase de retenção do circuito amostra-e-retém), os sinais de habilitação dos canais 1 e 2 do multiplexador analógico e, finalmente, o sinal de *reset* do conversor A/D.

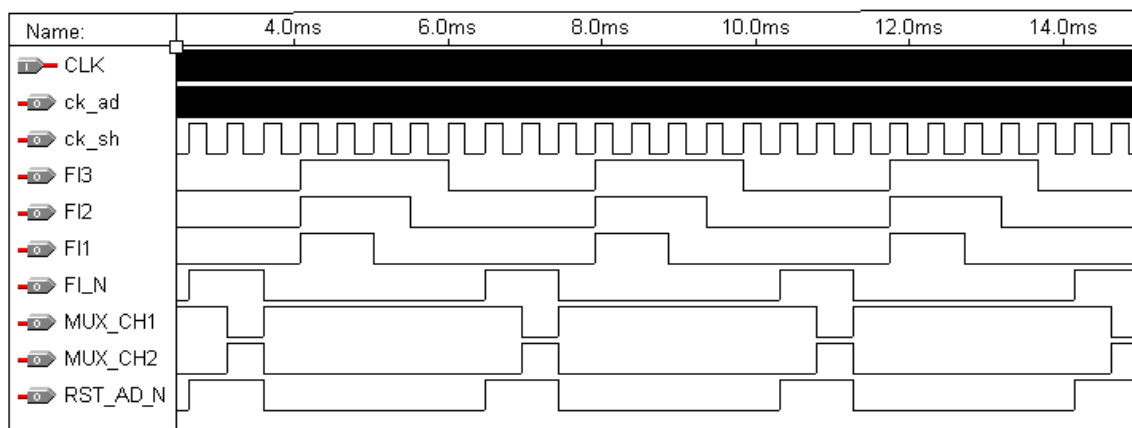


Figura 5.9 – Simulação do Circuito de Controle

Na Figura 5.10, a *hachura* vermelha corresponde ao sinal de acionamento do canal 1 do multiplexador analógico, indicando que o conversor A/D estará realizando a conversão do dado presente à entrada do canal 1. Quando o sinal de habilitação do canal 2 do multiplexador analógico vai a nível alto (*hachura* azul), o conversor A/D receberá o dado presente na entrada do canal 2.

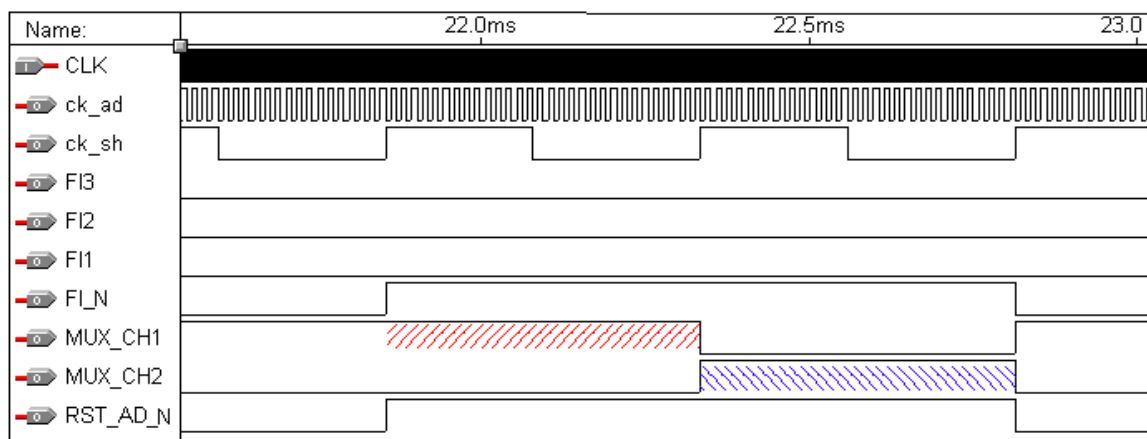


Figura 5.10 – Detalhe – Saídas do Circuito de Controle Durante a Fase de Retenção do Circuito Amostra-e-retém

## 5.2 Sistema Completo

O esquema do sistema integrado pode ser visualizado na Figura 5.11. Os terminais dos canais de entrada CH1 e CH2 devem receber os dados fornecidos pelo

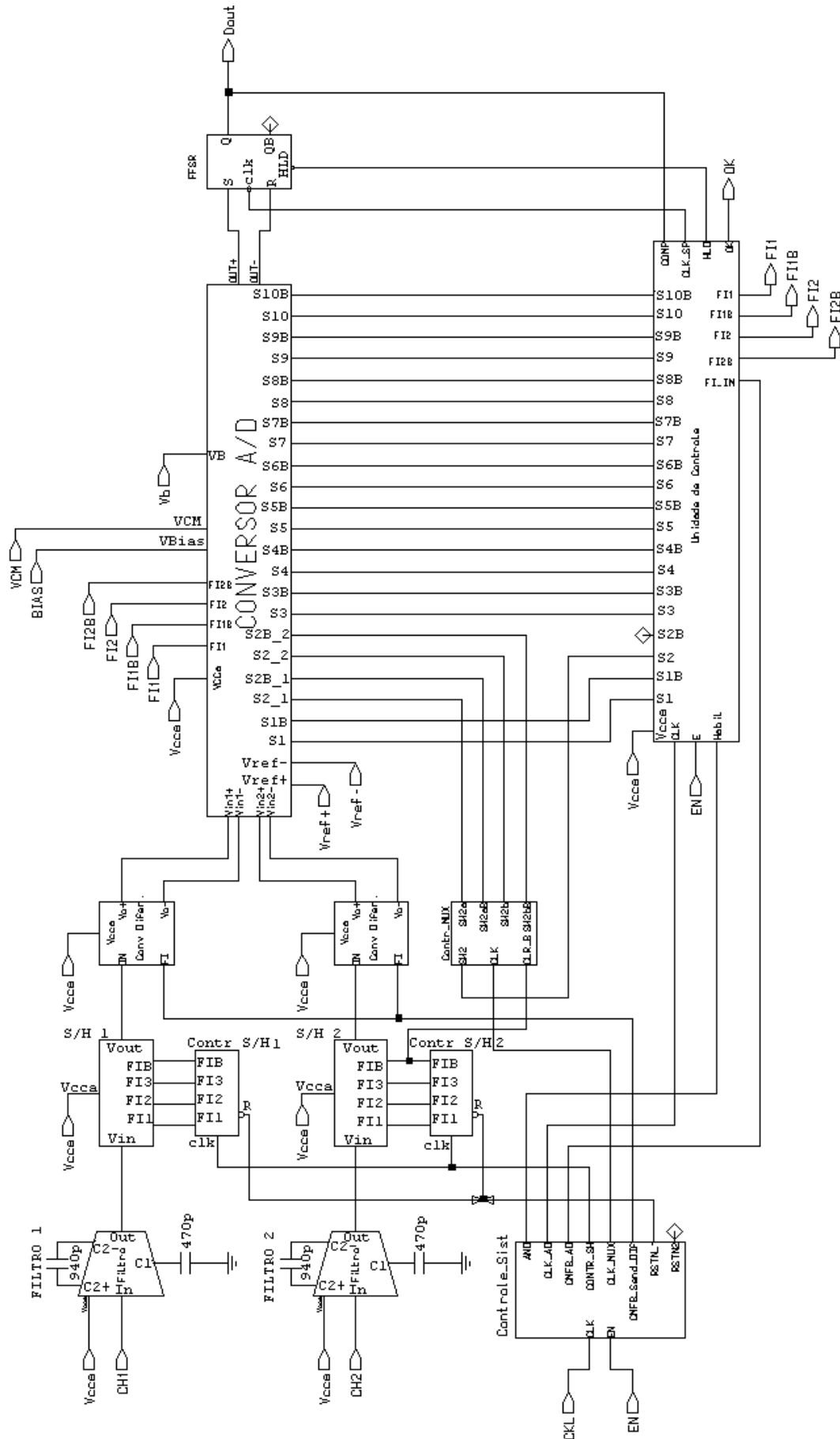


Figura 5.11 – Diagrama Completo do Sistema de Monitoramento

transformador de potencial e pelo transdutor *Hall* de corrente. A palavra de saída é obtida de forma serial, através do terminal de saída  $D_{OUT}$ . Um sinal de “OK” é fornecido através de um terminal de saída, de mesmo nome, para indicar que o dado presente na saída  $D_{OUT}$  está disponível e é válido.

Para se verificar a funcionalidade do sistema, foram realizadas simulações onde os valores de tensão na saída de cada bloco foram determinadas, para um dado valor presente na entrada do sistema. Foram aplicados degraus de tensão na entrada dos canais e verificados os valores na saída do circuito amostra-e-retém, na entrada do conversor A/D e o valor da palavra convertida.

Devido à dimensão do sistema, para fins de simulação, o mesmo foi dividido em dois blocos, onde o primeiro é constituído pelos circuitos de filtro, amostra-e-retém e conversor de sinais a saída simples para totalmente diferenciais e o segundo é constituído pelo conversor A/D.

Foram verificados os valores de tensão presentes na saída do conversor de sinal saída simples para diferencial, e esses valores foram aplicados à entrada do conversor A/D, para que se realizasse a conversão. Os valores obtidos foram semelhantes aos obtidos quando da simulação individual dos blocos.

### 5.3 Layout do Sistema

Para a implementação do sistema proposto, foi utilizada a tecnologia *CMOS*  $0,35\mu\text{m}$  da empresa *Austria Mikro Systeme (AMS)*. O *layout* foi desenvolvido através da ferramenta *ICstation*<sup>®</sup>, componente do software *Mentor Graphics*<sup>®</sup>. Por se tratar de um sistema misto analógico/digital, os ruídos produzidos pelos circuitos digitais podem causar interferências e degradação na precisão dos circuitos analógicos. Devido a esse fato, os circuitos analógicos e os circuitos digitais foram alimentados por linhas e por *pads* de VCC e de GND distintos, evitando-se, com isso, o acoplamento de ruídos através das linhas de alimentação.

Além disso, os circuitos analógicos foram implementados utilizando-se além dos anéis de guarda convencionais, os anéis de guarda implementados com poços N, que são mais profundos que os construídos com difusões P ou N, permitindo um menor acoplamento de interferências via substrato.

Os transistores padrões dessa tecnologia possuem tensão de trabalho de até

3,3V. No circuito proposto, decidiu-se por uma tensão de operação de 5V. Para isso, tornou-se necessária a utilização de transistores de média tensão, disponíveis na tecnologia. Esses transistores são idênticos aos de baixa tensão, exceto pela presença de um óxido de porta adicional (*MIDOX*), que deve ser adicionado ao *layout* do transistor, pelo usuário. Com isso, o transistor pode trabalhar com tensões de até 5,5V.

Para o projeto do amplificador operacional com saída simples, foram utilizados transistores casados para o par diferencial (Figura 5.12), constituindo pares cruzados (centróide comum), visando a minimização dos efeitos de gradiente de temperatura e de descasamento de processo.

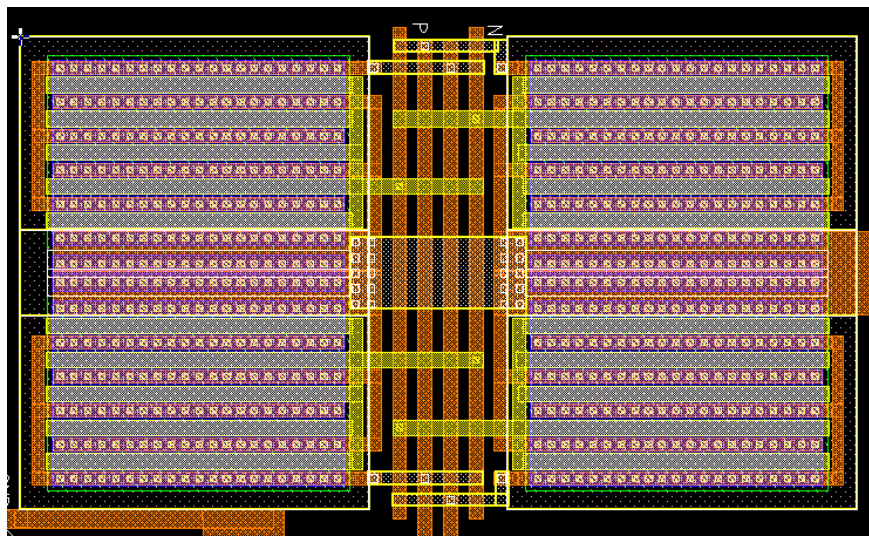


Figura 5.12 – Par diferencial – Amplificador Operacional com Saída Simples

O capacitor de compensação foi implementado através de uma estrutura porta-substrato N de um transistor PMOS, onde os terminais de dreno e fonte foram conectados ao terra analógico do circuito. Com isso, foi obtido um capacitor de dimensões menores, quando comparado aos capacitores construídos com estruturas de polissilício1 e 2

A estrutura adotada não confere precisão ou linearidade ao capacitor, mas por se tratar de um capacitor de compensação, essas deteriorações não afetarão de forma significativa o comportamento do circuito. O capacitor de compensação ocupa aproximadamente 30% da área do amplificador operacional e pode ser visualizado na Figura 5.13.

O layout do filtro Sallen-Key pode ser visualizado na Figura 5.14, sendo composto de um amplificador operacional com saída simples e de dois resistores de polissilício, implementados de forma casada. Como foram utilizados capacitores externos, os

resistores integrados não ocuparam uma área significativa de silício.

Os resistores integrados podem ser visualizados na porção esquerda da Figura 5.14, ocupando cerca de 15% da área destinada ao circuito do filtro.

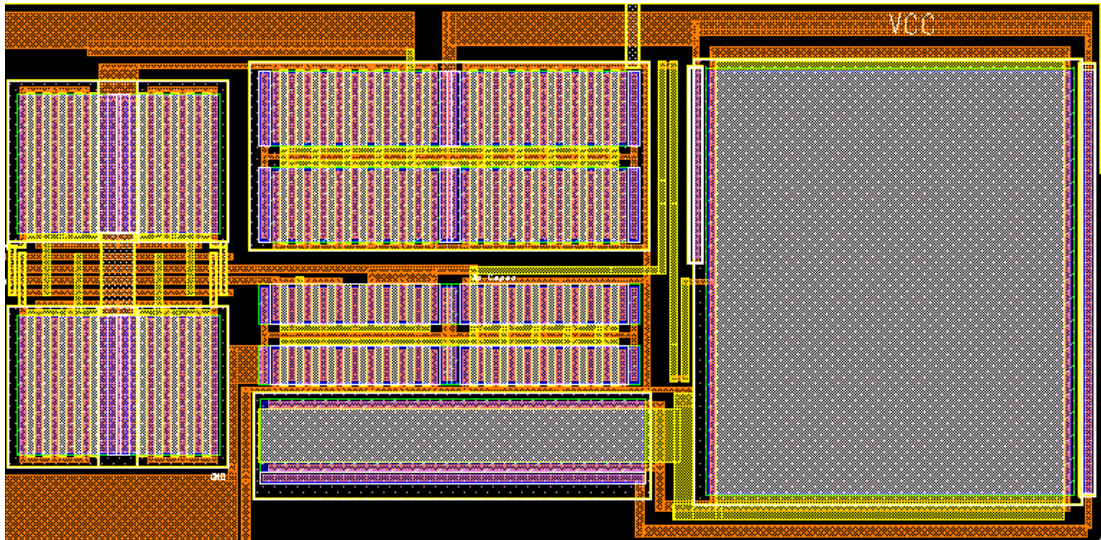


Figura 5.13 – Amplificador Operacional com Saída Simples

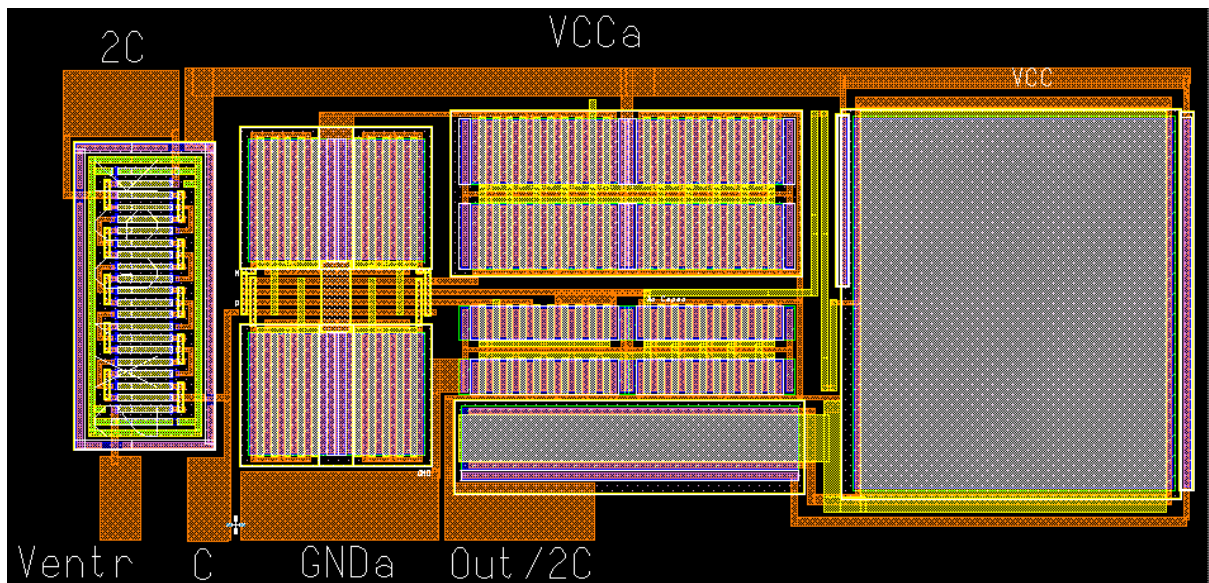


Figura 5.14 – Filtro *Sallen-Key*

Os capacitores dos circuitos a capacitor chaveado foram construídos com camadas de polissilício 1 e polissilício 2, sobre um poço N polarizado com VCC. Para que se evitasse o descasamento entre os capacitores, esses foram construídos através de estruturas centróide comum. Foram utilizados chanfros de 45° nas bordas dos capacitores e estruturas *dummies* para que se limitassem os efeitos laterais. A Figura 5.15 contém o layout do circuito amostra-e-retém, que compreende o amplificador operacional, matrizes de capacitores, chaves



MOS e o circuito digital de controle.

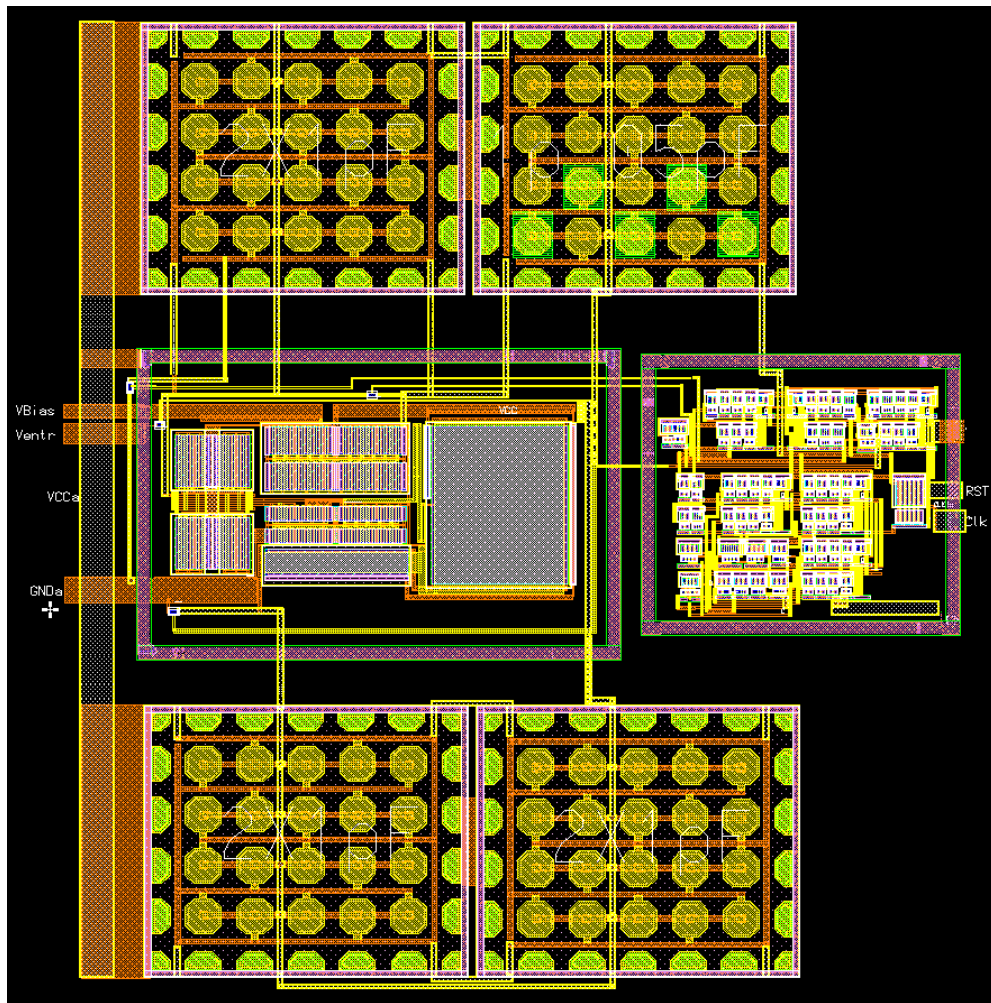


Figura 5.15 – Circuito Amostra-e-retém

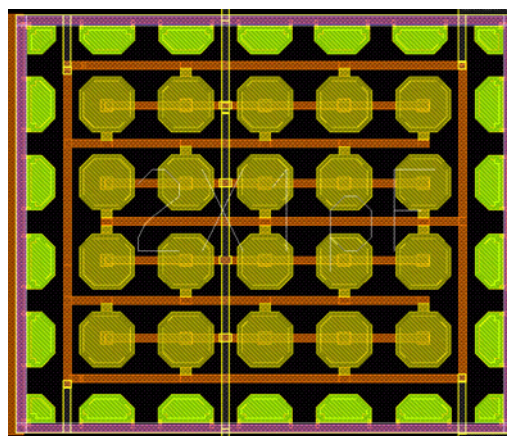


Figura 5.16 - Matriz de Capacitores - Centróide Comum

A Figura 5.16 mostra o detalhe da matriz de capacitores implementada, onde podem ser visualizadas as trilhas de metal (nas cores vermelha e amarela) interconectando as várias células capacitivas e as células *dummies*, localizadas na periferia da matriz de

capacitores.

O layout do circuito conversor de sinais a saída simples para diferencial pode ser visualizado na Figura 5.17 e o detalhe dos resistores integrados de polissilício, na Figura 5.18. Os resistores foram construídos de forma casada, em que cada resistor foi dividido em dez partes e essas partes foram dispostas de forma intercalada. Também foram utilizadas estruturas *dummies*, a fim de que as estruturas periféricas dos resistores fossem idênticas.

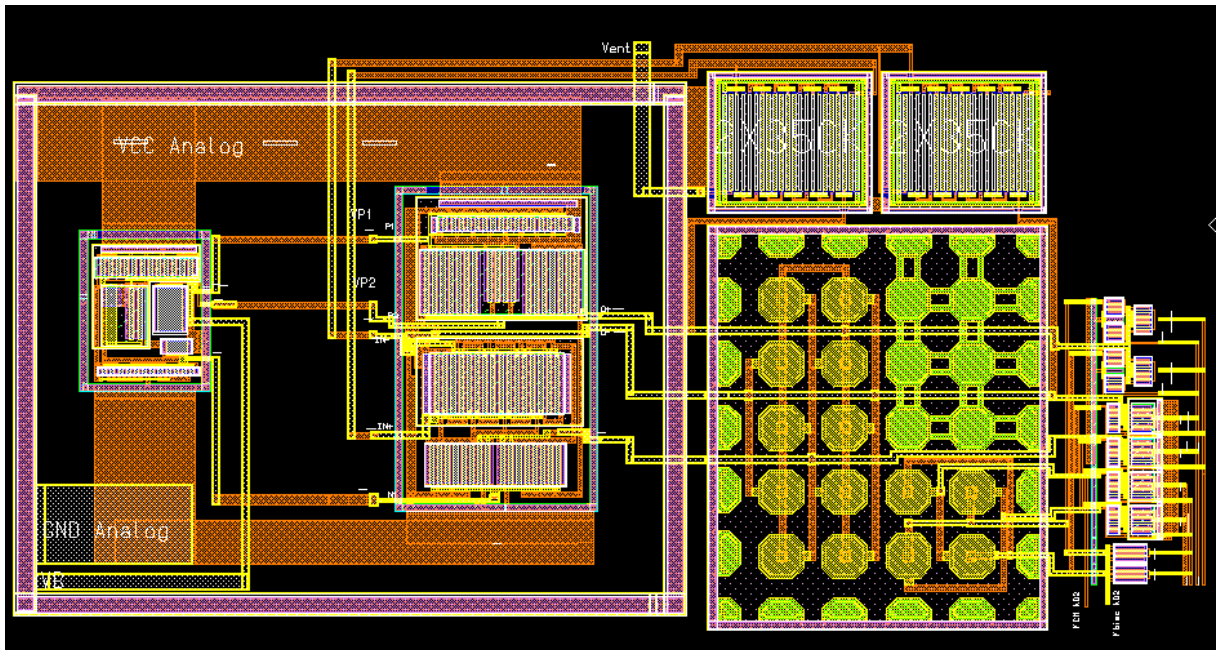


Figura 5.17 - Converter de Sinal de Saída Simples para Diferencial

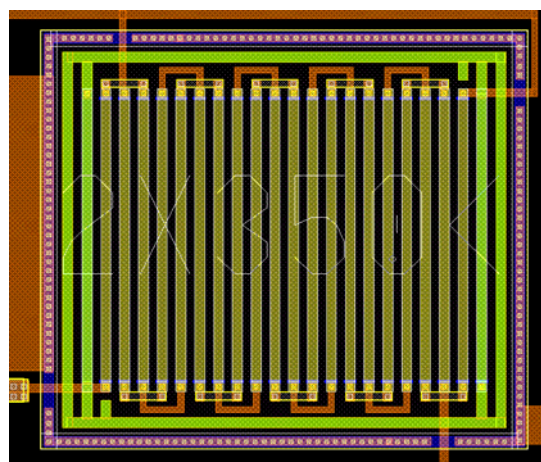


Figura 5.18 - Resistores de Polissilício

Para o par diferencial dos amplificadores operacionais totalmente diferenciais (Figura 5.19), os transistores foram construídos conforme sugerido em [27], ou seja, particionados e dispostos de forma intercalada, a fim que os efeitos de descasamento sejam

minimizados.

O layout do Conversor A/D foi confeccionado de forma a se evitarem cruzamentos entre os barramentos de sinais digitais e analógicos, além do máximo distanciamento entre os circuitos analógicos e os circuitos digitais e chaves, que constituem grande fonte de ruído.

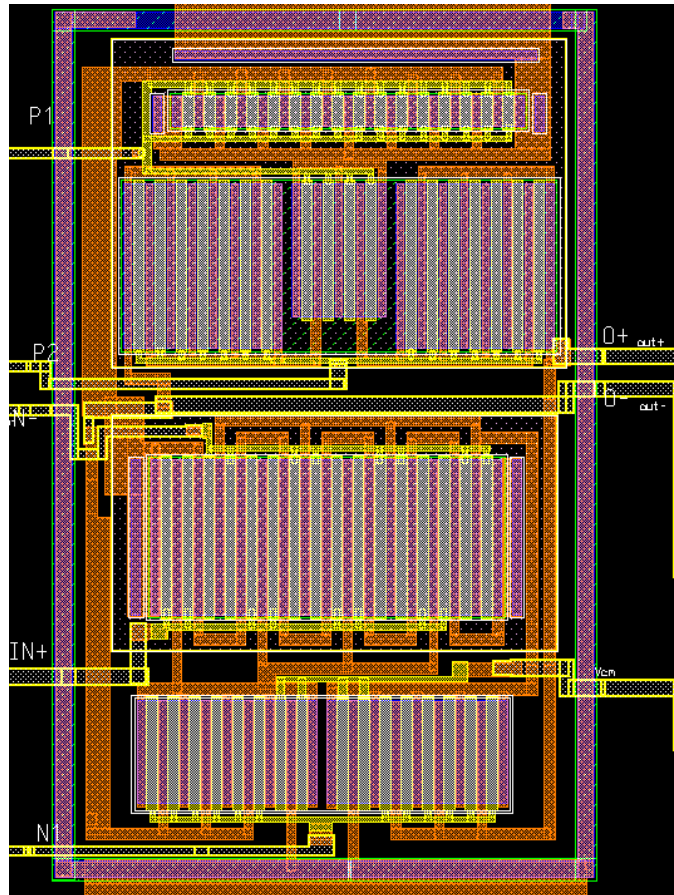


Figura 5.19 – Amplificador Operacional *Folded Cascode* – Saídas Diferenciais

Na Figura 5.20, pode-se visualizar o *layout* do conversor A/D, onde os elementos analógicos encontram-se no centro e são circundados pela matriz de capacitores, chaves, barramento digital e gerador de fases.

A Figura 5.21 contém o detalhe do *layout* do circuito de controle do Conversor A/D e do sistema, constituído basicamente por *flip-flops* que formam circuitos contadores e por um decodificador.

O *layout* do sistema completo pode ser visualizado na Figura 5.22. O *chip* possui dimensões de 2,9 x 1,8 mm, resultando em uma ocupação de área de 5,22mm<sup>2</sup>, incluindo os *pads*. Os sinais analógicos são aplicados ao *chip* através de *pads* localizados na

porção esquerda da Figura 5.22 e os sinais digitais, através dos *pads* localizados à direita.

Como citado anteriormente, foram utilizados dois *pads* distintos para as linhas de alimentação dos circuitos digitais e dos circuitos analógicos. Os *pads* “VCCA” e “GNDA” são responsáveis pela alimentação dos circuitos analógicos e os *pads* “VCC” e “GND”, pela alimentação dos circuitos digitais.

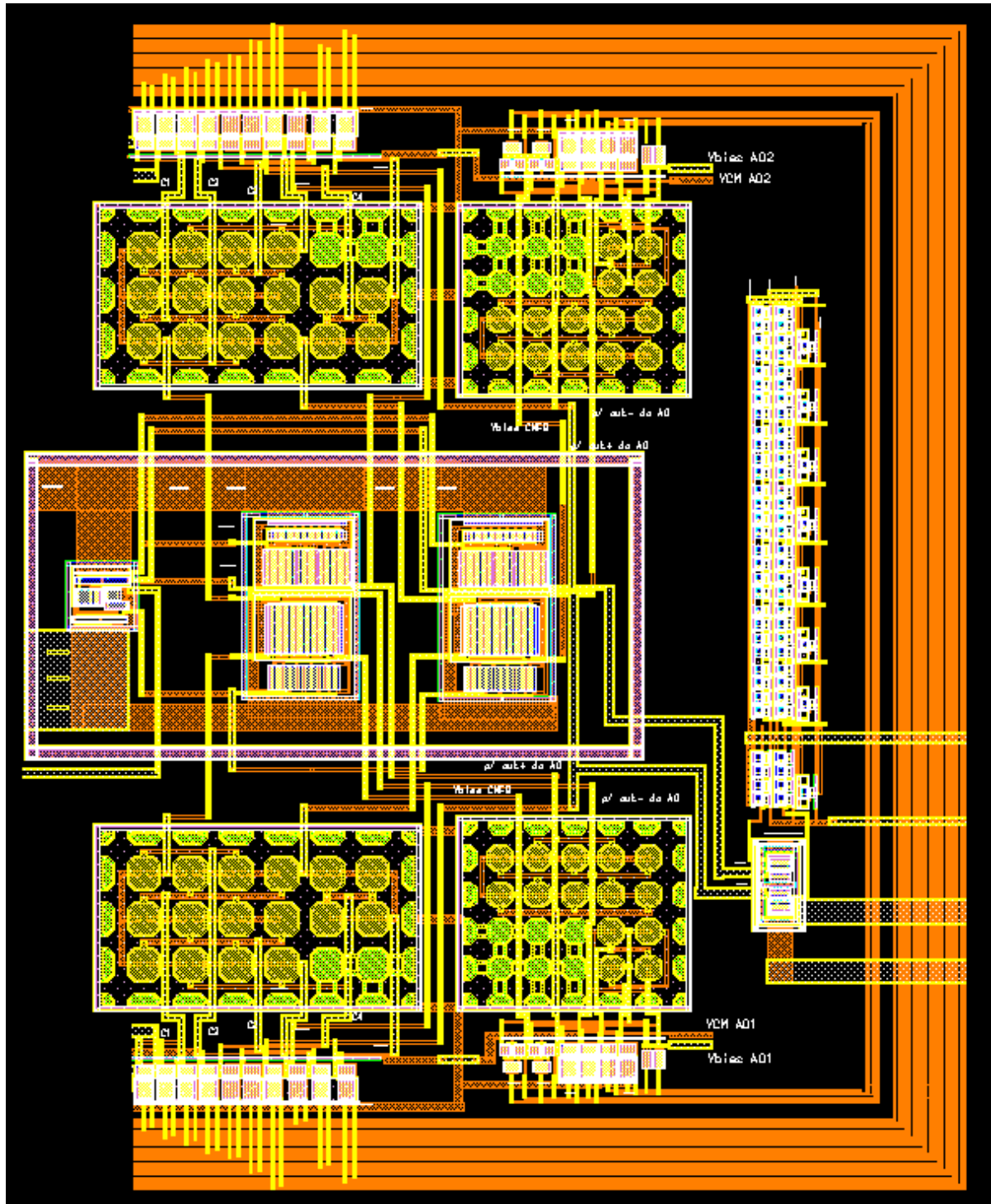


Figura 5.20– Conversor Analógico/Digital

O *pad* “CH1” é a entrada do canal de amostragem 1 e o *pad* “CH2” é a entrada do canal 2. O circuito deve receber a tensão de referência de 1,28V para a polarização dos amplificadores operacionais através do *pad* “VB”, a tensão em modo comum dos amplificadores totalmente diferenciais através do *pad* “VCM” e a tensão diferencial de referência do conversor A/D através dos *pads* “VREF+” e “VREF-”.

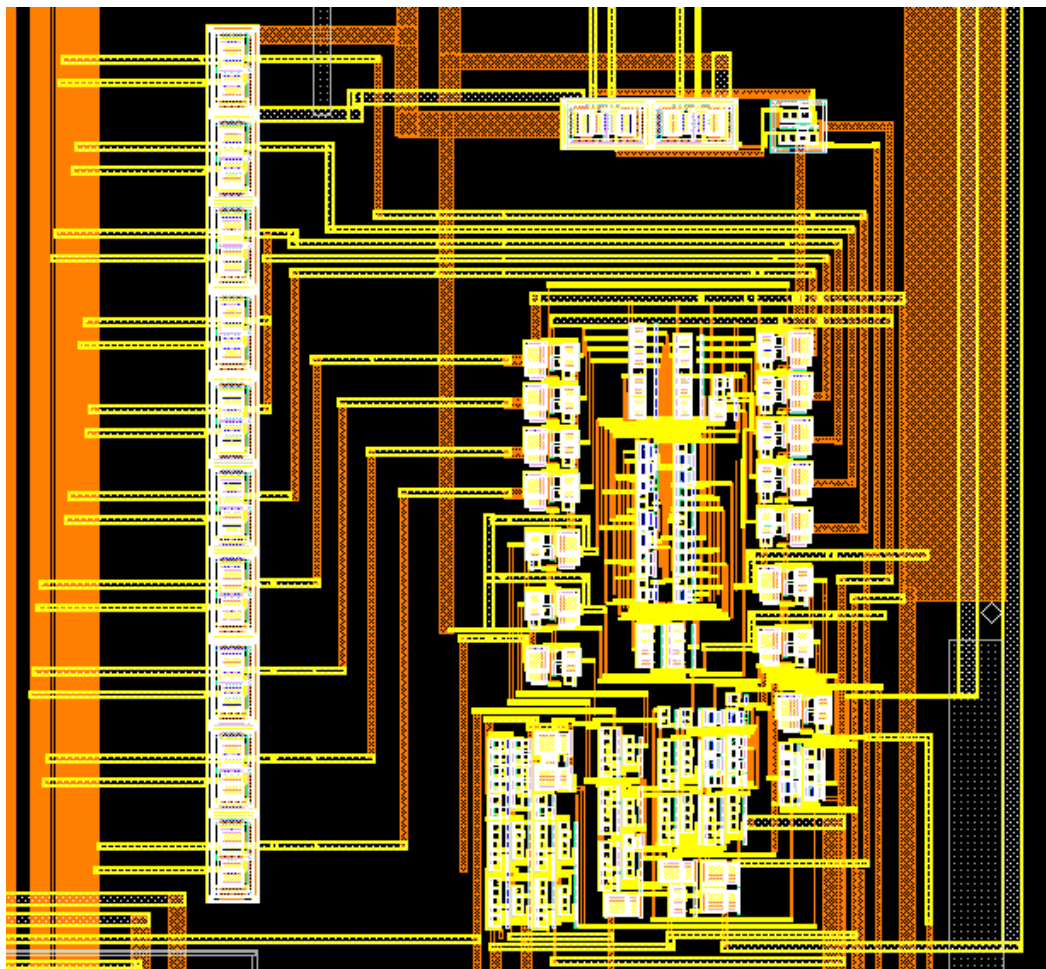


Figura 5.21– Circuito de Controle do Conversor A/D e do Sistema

Para a conexão dos capacitores externos, são utilizados os *pads* C1 e C1a para o capacitor C1 do filtro dos canais 1 e 2, respectivamente, e os *pads* C2+ e C2- para o capacitor C2 do canal 1 e C2a+ e C2a- para o capacitor C2 do canal 2. Como o capacitor C1 possui um de seus terminais conectados ao terra analógico, optou-se por realizar essa conexão externamente, sem a necessidade de se utilizar *pads* e conexões adicionais.

Para efeitos de teste, foi confeccionado um segundo circuito integrado (Figura 5.23) contendo os blocos do sistema desconectados entre si, de forma que seus terminais pudessem ser acessados externamente. Devido ao reduzido número de amostras fornecidas, os blocos foram implementados em uma única pastilha, resultando em um *die* de dimensões de

3,2 x 3,2 mm<sup>2</sup>, com 84 pads.

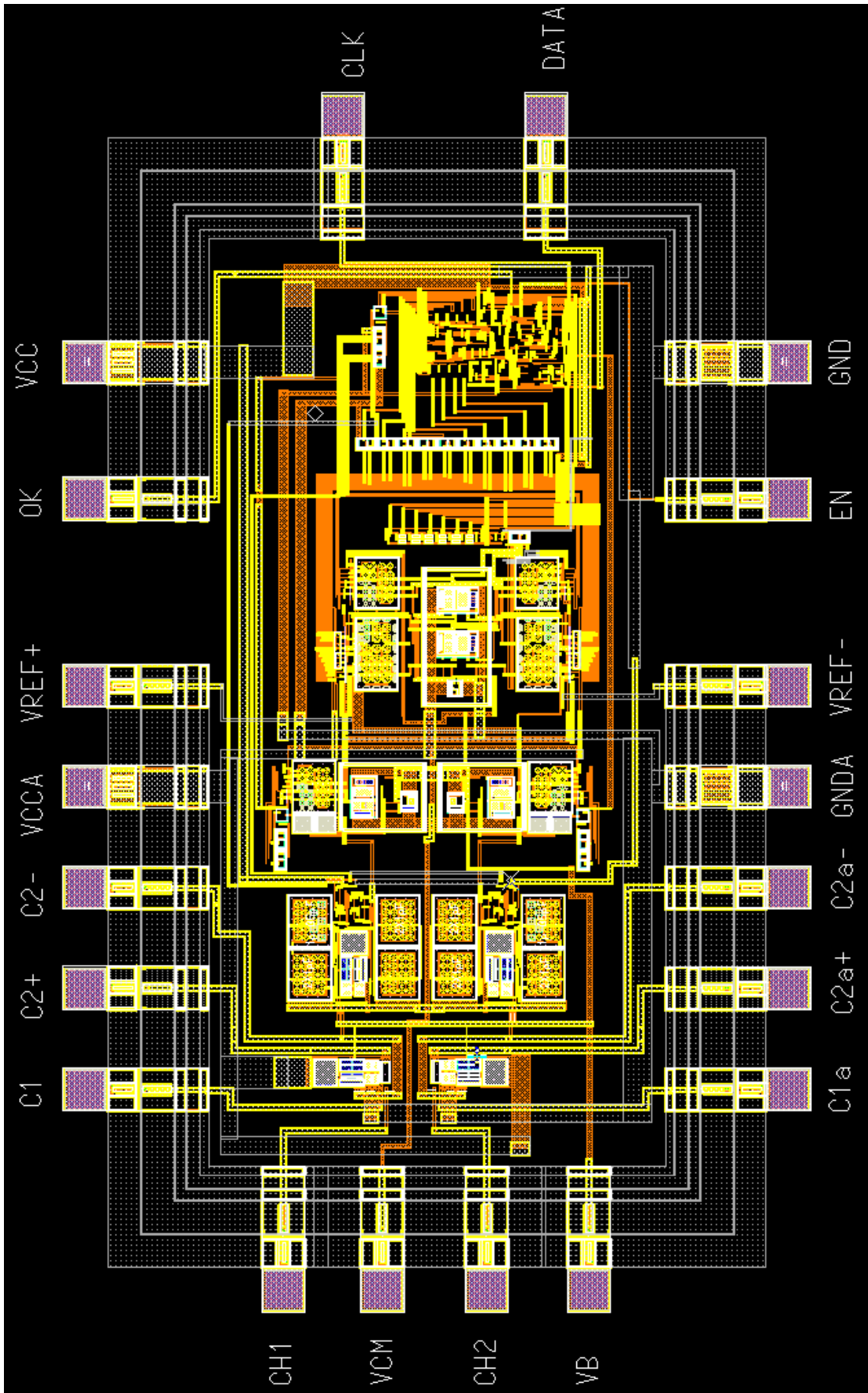


Figura 5.22– Layout Completo do Sistema

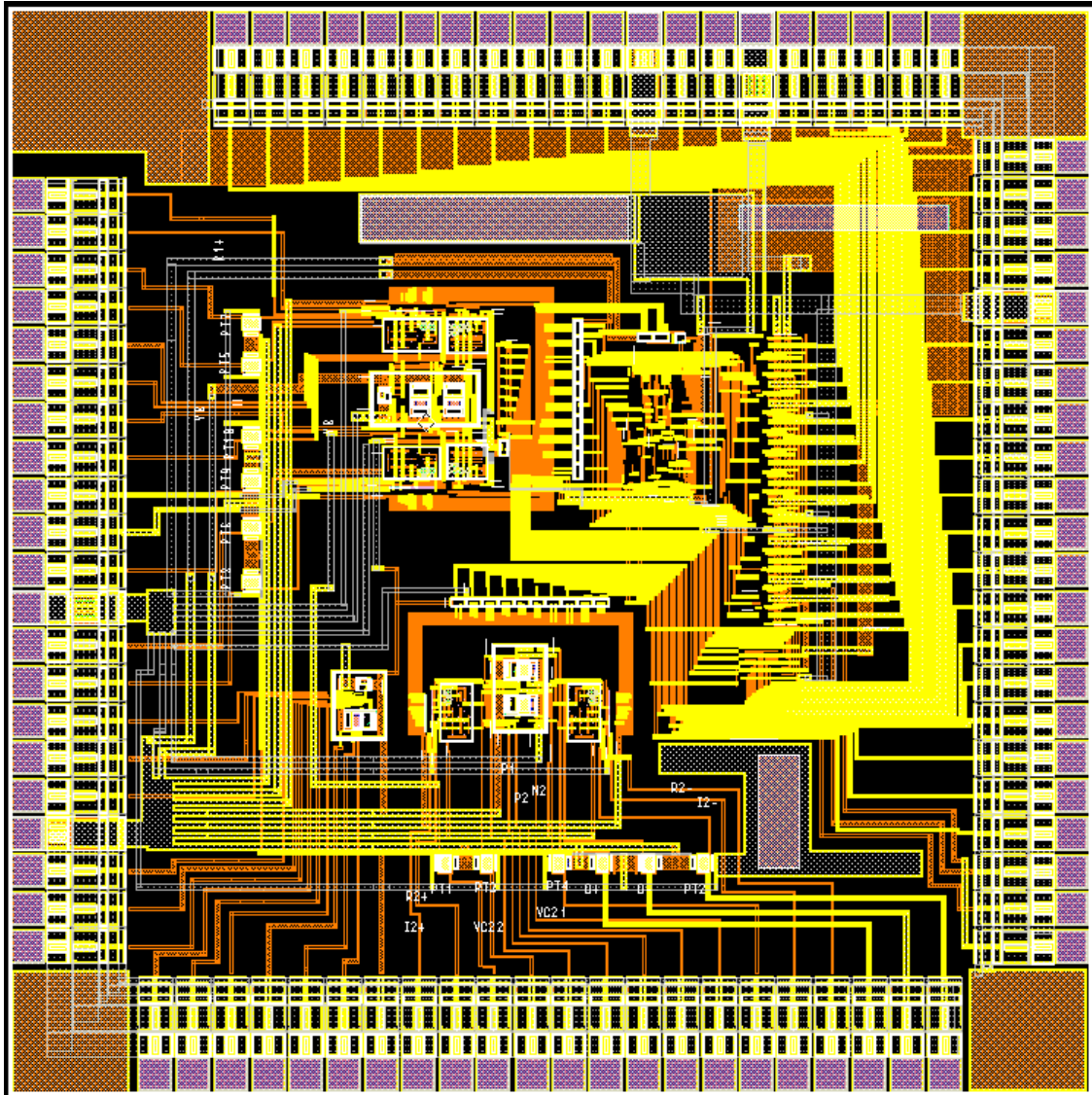


Figura 5.23– *Layout* do Sistema contendo estruturas para teste

## 5.4 Aplicação do Sistema

O circuito é alimentado por uma fonte de tensão assimétrica de 5V, que deve ser conectada aos pinos “VCC” e “VCCA”. Os pinos “GND” e “GNDA” são conectados ao neutro da fonte de alimentação.

O circuito deve ser acionado por um sinal de *clock* de 14,8 MHz, através do pino de entrada “CLK”. Para que o circuito seja habilitado, um nível positivo de tensão deve ser aplicado à entrada “EN”.

A palavra convertida de saída é fornecida de maneira serial, através do pino “DATA”, e é fornecido um *bit* de “OK” de saída, que indica a validade do dado presente no

pino “DATA”. O esquema de ligação do circuito aos componentes externos pode ser visualizado na Figura 5.24.

O pino “CH1” é a entrada do canal 1 do sistema e deve ser conectado ao secundário do transformador de potencial, que possui relação de redução de 200:1. O valor eficaz nominal da tensão de trabalho do transformador de potencial é de 115V. A entrada do canal de corrente (pino “CH2”) deve ser conectada à saída do sensor Hall de corrente CSA-1. Como esse transdutor fornece em sua saída uma tensão com um nível médio DC de 2,5V, e a tensão de modo comum de entrada do circuito deve ser de 1,75V, uma rede resistiva efetua o deslocamento do nível DC de 2,5V para 1,75V.

O sensor de corrente pode trabalhar com tensões de até 10A, sendo encapsulado em um invólucro SOIC-8. A aplicação de corrente é feita através de uma ou mais trilhas de circuito impresso que devem passar próximas à parte inferior do encapsulamento. Originalmente, o sensor de corrente possui uma relação de transferência de saída de 60mV/A, mas essa sensibilidade pode ser maior, caso mais de uma trilha de circuito impresso seja utilizada para passagem da corrente que se deseja medir. Para que a sensibilidade de 160mV/A seja obtida, são necessárias quatro trilhas para condução de corrente (Vide Apêndice).

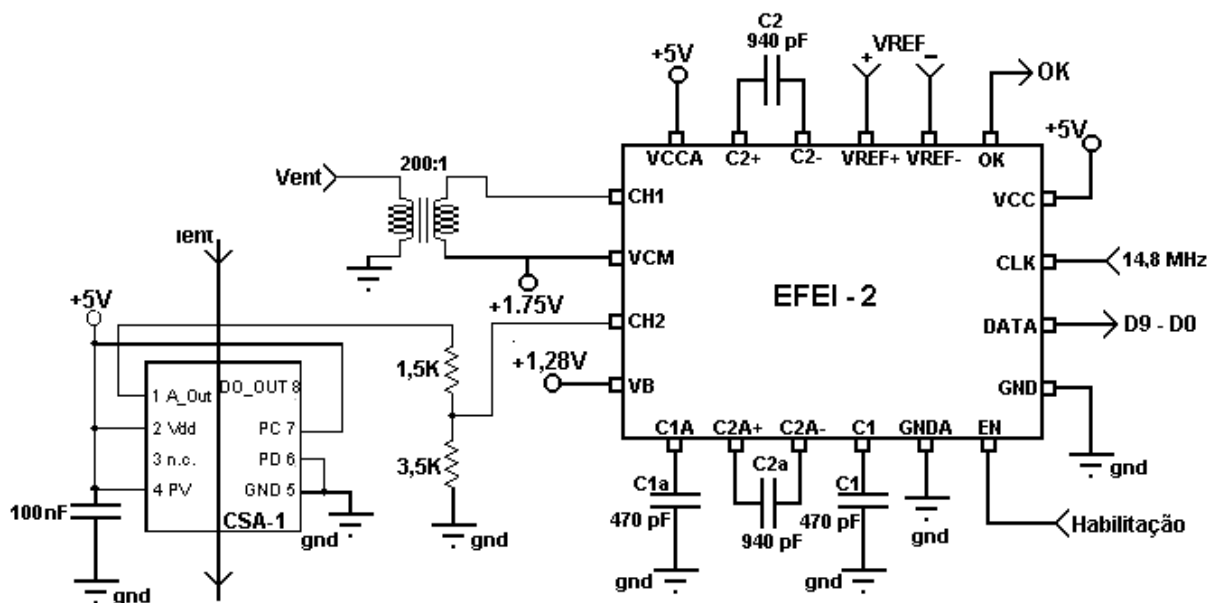


Figura 5.24 – Esquema de Ligação do Circuito Integrado

Ambos os canais de entrada “CH1” e “CH2” podem receber tensões entre 0V e 3,5V. Para valores de tensão de referência menores que 1,75V, o máximo valor da tensão de entrada deve ser igual ao dobro do valor da tensão de referência.

O pino de entrada VB deve ser conectado à fonte de referência “bandgap”, o



pino “VCM” recebe o valor da tensão de modo comum do circuito, e os pinos “Vref+” e “Vref-“ são conectados à fonte de referência.

Os capacitores C1 e C2 definem a frequência de passagem do filtro de entrada do canal 1 (amostragem de tensão), e os capacitores C1a e C2a definem o valor da frequência de passagem do filtro de entrada do canal 2 (amostragem de corrente). Os valores desses capacitores podem ser determinados pelas Equações 5.1 e 5.2:

$$C1 = C1a = \frac{1,5 \times 10^{-6}}{f_0} \quad (5.1)$$

$$C2 = C2a = 2 \times C1 \quad (5.2)$$

A Tabela 5.1 apresenta uma breve descrição dos pinos do circuito integrado de aquisição de dados.

Nome do Pino	Função
VCC, VCCA	Tensão de Alimentação (5VDC)
GND, GNDA	Neutro da fonte de alimentação
CH1	Sinal analógico de entrada a ser convertido (canal 1)
CH2	Sinal analógico de entrada a ser convertido (canal 2)
VREF+, VREF-	Tensão de referência diferencial do conversor A/D (VREFmáx = 1,75V)
VB	Entrada da tensão de referência <i>bandgap</i> (1,28V)
VCM	Entrada da tensão de modo comum
C1	Capacitor C1 do filtro <i>anti-aliasing</i> (canal 1)
C2+, C2-	Capacitor C2 do filtro <i>anti-aliasing</i> (canal 1)
C1A	Capacitor C1 do filtro <i>anti-aliasing</i> (canal 2)
C2A+, C2A-	Capacitor C2 do filtro <i>anti-aliasing</i> (canal 2)
EN	Habilitação do circuito (compatível CMOS/TTL)
CLK	Clock do circuito (14,8 MHz) (compatível CMOS/TTL)
DATA	Palavra convertida – 10 bits - serial
OK	Dado válido na saída DATA

Tabela 5.1 – Pinos do Circuito de Amostragem

## Capítulo 6

### Conclusões

A proposta inicial desse trabalho, de implementar um sistema de aquisição de dados com resolução de dez bits através de uma tecnologia de integração CMOS digital, foi plenamente atingida.

O sistema desenvolvido utilizando a tecnologia  $0,35\mu\text{m}$  *CSI* da empresa *Austria Mikro Systeme (AMS)* ocupa uma área total de  $5,2\text{ mm}^2$ , incluindo os *pads*, e uma área de  $1,98\text{ mm}^2$  sem os mesmos.

O circuito possui dois canais de aquisição de dados e trabalha com uma taxa de amostragem de 128 amostras por ciclo de 60Hz, podendo atingir taxas de até 355 amostras por ciclo de 60Hz. O sistema pode ser expandido para até doze canais de entrada, a uma taxa de amostragem de 128 amostras por ciclo. O conversor A/D trabalha com uma taxa de conversão de 61500 palavras por segundo, mas pode atingir taxas de conversão de até 369000 palavras por segundo. Com isso, o tempo de conversão máximo é de  $2,7\ \mu\text{s}$  para palavras de dez *bits*.

Além de aplicações para aquisição de dados em medição de energia elétrica, o sistema desenvolvido também pode ser utilizado em aplicações de aquisição sinais em controle de processos e instrumentação, em sistemas para teste de equipamentos, em instrumentos médicos, digitalização de sensores automotivos, placas de aquisição de dados para computadores pessoais, dentre outros. Adicionalmente, o sistema pode ser integrado juntamente com processadores digitais de sinais ou microcontroladores, no mesmo integrado, para que seja utilizado como interface analógico-digital dos mesmos.

Para efeitos de teste do circuito integrado, a tensão de referência ( $V_B$ ), utilizada

para a polarização dos amplificadores operacionais do sistema foi proveniente de um circuito externo ao *chip*. No entanto, uma fonte de referência *bandgap* pode ser desenvolvida em trabalhos futuros e integrada na mesma pastilha do sistema. Da mesma forma, um circuito gerador de pulsos de *clock* baseado em cristal e um deslocador de nível para o sensor de corrente também podem ser integrados, minimizando o número de circuitos externos de apoio.

O filtro de entrada *anti-aliasing* possui seu valor de frequência de passagem ajustável através de capacitores externos. Em futuros trabalhos, pode-se buscar implementações desse filtro com frequências de passagem programáveis pelo usuário e com os capacitores integrados.

O projeto do circuito integrado foi enviado para fabricação através do Programa Multi-usuário Brasileiro – PMU, coordenado pelo Centro de Pesquisas Renato Archer (CenPRA), antigo CTI, localizado em Campinas – SP. Devido a problemas relativos ao repasse de verbas destinadas ao custeio do PMU, o projeto não foi difundido, sendo que o comunicado dando ciência de que a difusão não ocorreu somente foi feita decorridos seis meses da data de envio dos arquivos GDS ao CenPRA. Com isso, devido aos prazos para conclusão desse trabalho juntamente à coordenação dos cursos de Pós-graduação da Universidade Federal de Itajubá, não houve tempo hábil para que o projeto fosse enviado para uma outra rodada de fabricação.

## Referências Bibliográficas

- [1] Chang, D. Y.; Lee, S. H., “Design Techniques for a Low-Power Low-Cost CMOS A/D Converter”, IEEE Journal of Solid-State Circuits, 1998, Vol.33, N° 8, pp. 1244-1248
- [2] Fiez, T. S., Yang, H. C., Yang, J. J., Yu, C. e Allstot, D. J., “A Family of High-Swing CMOS Operational Amplifiers”. IEEE Journal of Solid-State Circuits. 1989, Vol. SC-24, No. 6, p. 1683-1687.
- [3] Dülguer, F.; Sánchez-Sinencio, E., Silva-Martinez, J., “A 1.3-V 5mW Fully Integrated Tunable Bandpass Filter at 2.1GHz in 0.35- $\mu$ m CMOS”, IEEE Journal of Solid-State Circuits, 2003, Vol. 38, N° 6, pp. 918-
- [4] Garverick, S. L.; Fujino, K.; McGrath, D. T. e Baertsch, R. D.; “A Programmable Mixed-Signal ASIC for Power Metering”, IEEE Journal of Solid-State Circuits, 1991. Vol. 26, No. 12, pp. 2008-2016.
- [5] Hodges , D. A., Gray, P. R. e Brodersen, R. W., “Potential of MOS Technologies for Analog Integrated Circuits”. IEEE Journal of Solid-State Circuits. 1978. Vol. SC-13, No. 3, p.285-294.
- [6] Brehmer, K. E. e Wieser, J. B, “Large Swing CMOS Power Amplifier”. IEEE Journal of Solid-State Circuits. 1983. Vol. SC-18, No. 6, p. 624-629.
- [7] Gregorian, R.; Temes, G. C.; “Analog MOS Integrated Circuits for Signal Processing”; John Wiley & Sons, New York, 1986
- [8] Watanabe, K.; Ogawa, S.; “Clock-feedthrough Compensated Sample/Hold Circuits”, Electronics Letters, 1988, Vol. 24, no. 19, pp. 1226-1228
- [9] Stafford, K. R.; Gray, P. R.; and Blanchard, R. H., “A Complete Monolithic Sample/hold Amplifier”, IEEE J. Solid-State Circuits, 1974, SC-9, pp. 381-387
- [10] Van de Plassche, R. J., and Schouwenaars, H. J., “A Monolithic High-speed Sample-and-Hold Amplifier for Digital Audio”, IEEE J. Solid-State Circuits, 1983, SC-18, pp. 716-722
- [11] Yen, R. C., and Gray, P. R., “ A MOS Switched-capacitor Instrumentation Amplifier”, IEEE J. Solid-State Circuits, SC-17, pp. 1008-1013
- [12] Carter, B.; “A Differential Op-Amp Circuit Collection”; Application Report SLOA064; Texas Instruments, July 2001; pp. 10-13.
- [13] Hnatek, E. R., “A User’s Handbook of D/A and A/D Converters”, John Wiley & Sons Inc., New York, 1976;

- [14] Hoeschele, D. F., “Analog-to-Digital and Digital-to-Analog Conversion Techniques”, John Wiley & Sons Inc., New York, 1994;
- [15] Booser, B. E., Wooley, B. A., “The Design of Sigma-delta Modulation Analog-to-digital Converters”, IEEE Journal of Solid-State Circuits, vol. 23, n° 6, pp. 1298-1308, December 1988
- [16] Choi, J., Sheu, B. J., Lee, B. W., “A 16-bit Sigma-delta A/D Converter with High-performance Operational Amplifiers”, Journal of Analog Integrated Circuits and Signal Processing, Kluwer Academic Publisher, pp. 105-119, n° 6, 1994
- [17] Allen, P. E., “CMOS Analog Circuit Design”, Hold, Rinehart and Winston, Inc., Series in Electrical and Computer Engineering, 1987.
- [18] Laker, K. R., Sansen, W. M. C., “Design of Analog Integrated Circuits and Systems”, McGraw-Hill Inc., 1994.
- [19] Onodera, H., Tateishi, T., “A Cyclic A/D Converter that does not Require Ratio-matched Components”, IEEE Journal of Solid-State Circuits, vol. 23, n° 1, pp. 152-158, February 1988;
- [20] Li, P. W., Chin, M. J., Gray, P. R., Castello, R., “A Ratio-independent Algorithmic Analog-to-digital Conversion Technique”, IEEE Journal of Solid-State Circuits, vol. Sc-19, n° 6, pp. 828-836, December, 1984;
- [21] McCharles, R. H., Saletore, V. A., Black, W. C. Jr, and Hodges, D. A., “An Algorithmic Analog-to-Digital Converter”, Dig. Tech Papers, 1977 – ISSCC, Philadelphia, Feb, 1977, pp. 96-97.
- [22] Mallya, S. M., Nevin, J. H., “Design Procedures for a Fully-differential Folded Cascade CMOS Operational Amplifier”, IEEE Journal of Solid-State Circuits, vol. 24, n° 6, pp. 1737-1740, December, 1989;
- [23] Banu, M., Khoury, J. M., “Fully Differential Operational Amplifiers with Accurate Output Balancing”, IEEE Journal of Solid-State Circuits, vol. 23, n° 6, pp. 1410-1414, December, 1988;
- [24] Caves, J. T., Copeland, M. A., Rahim, C. F., Rosenbaum, S. D., “Sampled Analog Filtering using Switched Capacitors as Resistor Equivalents”, IEEE Journal of Solid-State Circuits, vol. SC-12, n° 6, pp. 592-599, December, 1977;
- [25] Castello, R., Gray, P. R., “A High-performance Micropower Switched-capacitor Filter”, IEEE Journal of Solid-State Circuits, vol. Sc-20, n° 6, pp. 1122-1132, December, 1985;
- [26] Grilo, J., “Improved Design Techniques for Low-voltage Low-power Switched-capacitor Delta-sigma Modulators”, Ph.D Dissertation, Oregon State University, June 1997;
- [27] Franca, J. E., Tsvividis, Y., “Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing”, Prentice-Hall Inc., Englewood Cliffs, 1994;
- [28] Gregorian, R., Temes, G. C., “Introduction to CMOS Op-Amps and Comparators”, John Wiley & Sons Inc., New York, 1999;
- [29] Caldeira, L., “Blocos CMOS de Alta Performance para Aplicações em VLSI”, Tese de

Doutorado, Universidade Estadual de Campinas, Dezembro de 1993

- [30] Sánchez, E. A. C., “Projeto de um Multiplicador Serial de 8 bits Baseado no Algoritmo de Booth Modificado”; Dissertação de Mestrado, Escola Federal de Engenharia de Itajubá, Junho de 1998



# CSA-1

## Current Sensor



### Features:

- Sensitive to a magnetic field parallel to the chip surface
- Very high sensitivity
- Linear output voltage proportional to a magnetic field
- Wide-band: DC to 100kHz
- Very low offset and offset-drift
- Very low noise
- Isolated from current conductor
- Surface mount SOIC-8 package

### Applications:

- AC and/or DC current measurement
- Wide-Band Magnetic Field Measurement
- Battery Chargers
- AC-DC Converters
- Motor Control

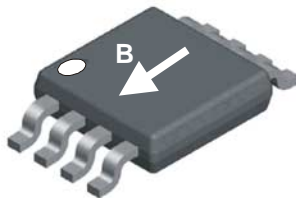
### General Description

The CSA-1 is a single-axis integrated magnetic field sensor based on the Hall effect. The circuit is fabricated using a conventional CMOS technology with an additional ferromagnetic layer. The ferromagnetic layer is used as a magnetic flux concentrator providing a high magnetic gain. Therefore, the circuit features very high magnetic sensitivity, low offset, and low noise.

The CSA-1 is packaged in an SOIC-8 package with exposed pad (EPP). This package provides highest sensitivity for applications with the current lead on the PCB and with non-critical isolation requirements (up to 24V).

**Package:** SOIC-8

### Pin Out:



- 1 A\_OUT, analog sensor output
- 2 V<sub>DD</sub> pos. supply voltage
- 3 Not connected
- 4 PV, programming voltage <sup>1)</sup>
- 5 GND, supply common
- 6 PD, programming data <sup>1)</sup>
- 7 PC, programming clock <sup>1)</sup>
- 8 CO\_OUT, common output

Note 1: Used for factory programming

## Absolute Maximum Ratings

Symbol	Parameter	Min.	Typ.	Max.	Unit	Remarks
V <sub>SUP</sub>	Supply Voltage	0		6	V	
T	Ambient Temperature	-40		+150	°C	

## Recommended Operating Conditions

Symbol	Parameter	Min.	Typ.	Max.	Unit	Remarks
V <sub>SUP</sub>	Supply Voltage	4.5	5	5.5	V	
I <sub>OUT</sub>	Output Current	-1		1	mA	
C <sub>L</sub>	Load Capacitance			1000	pF	

## Electrical Characteristics

At T=-40°C to 150°C, V<sub>SUP</sub>=4.5V to 5.5V if not otherwise specified.

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
I <sub>SUP</sub>	Supply Current		11	16	mA	
V <sub>Common</sub>	Common (reference) Output Voltage <sup>2)</sup>	V <sub>SUP</sub> /2 -20mV	V <sub>SUP</sub> /2	V <sub>SUP</sub> /2 +20mV		I <sub>OUT</sub> =0mA
BW	Bandwidth: DC to		100		kHz	
t <sub>R</sub>	Response Time			6μs		

Note 2: Ratiometric (proportional to V<sub>SUP</sub>)

## Characteristics of the Linear Magnetic Field Sensor <sup>3)</sup>

With V<sub>SUP</sub>= 5V and in the temperature range -40°C to 150°C, if not otherwise specified.

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
S	Magnetic Sensitivity <sup>3)</sup>	290	300	310	V/T	B = B <sub>L</sub>
ΔS/SΔT	Magn. Sensitivity Temperature Drift	-0.02		0.02	%/°C	I <sub>OUT</sub> =0mA T=-20°C to 125°C
V <sub>off</sub>	Offset Voltage <sup>3)</sup>	-15	0	15	mV	B=0T, I <sub>OUT</sub> =0mA, T=20°C
B <sub>off</sub>	Equivalent Magnetic Offset <sup>3)</sup>	-50	0	50	μT	B=0T, I <sub>OUT</sub> =0mA T=-20°C to 80°C
ΔV <sub>off</sub> /ΔT	Offset Temperature Drift	-0.2	0	0.2	mV/°C	B=0T, I <sub>OUT</sub> =0mA, T=-20°C to 125°C
B <sub>FS</sub>	Full Scale Magnetic Field Range	-7.5		7.5	mT	
B <sub>L</sub>	Linear Magnetic Field Range	-5		5	mT	
NL	Non Linearity		0.1 0.5	0.2 1	%	B = B <sub>L</sub> B = B <sub>FS</sub>
ΔBnoise	Input referred magnetic noise spectrum density (RMS)			125	nT/√Hz	f=10Hz to 10kHz

Note 3: Ratiometric (proportional to V<sub>SUP</sub>)



## Block Diagram

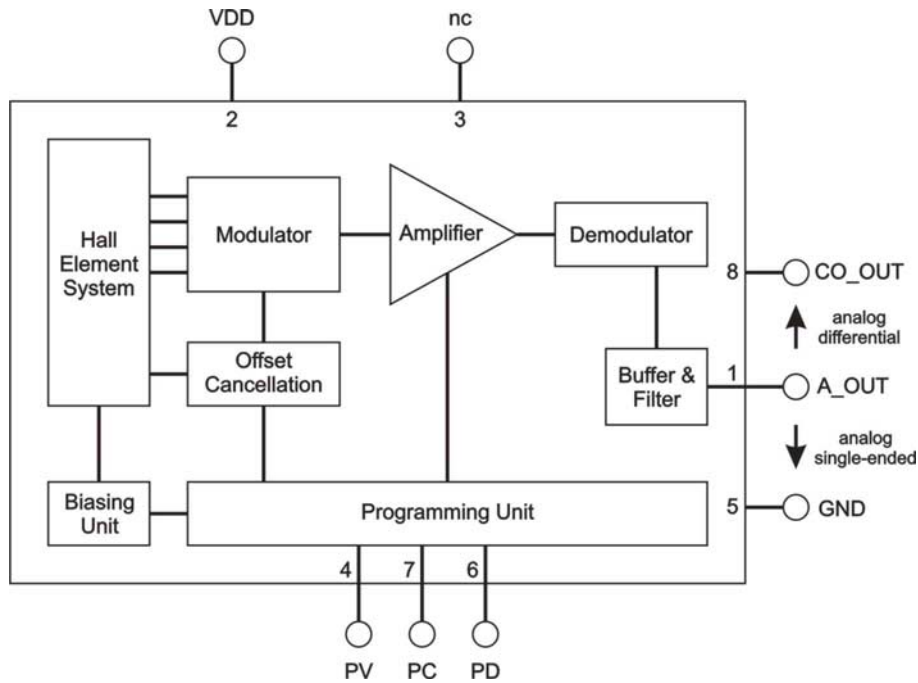
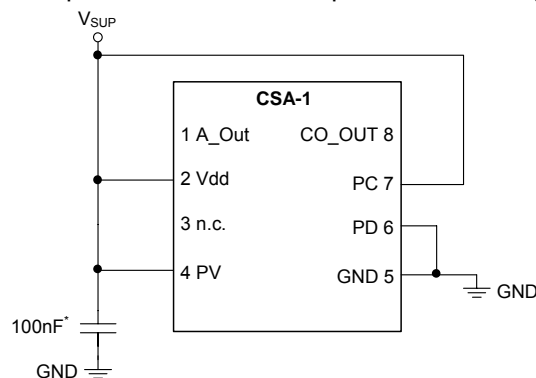


Fig. 1 Block diagram of CSA-1

## **IMPORTANT**

For reliable operation within the specifications the sensor must be connected as follows:

- Connect Pin 6 (PD) to Pin 5 (GND)
- Connect Pin 7 (PC) to Pin 2 (Vdd)
- Connect Pin 4 (PV) to Pin 2 (Vdd)
- Put a 100nF capacitor close to the chip between Pin 2 (Vdd) and Pin 5 (GND)



\* If the supply voltage is disturbed by EMI it can be useful to place a second capacitor (100pF, ceramic) parallel to the 100nF capacitor.

Fig. 2 Connection diagram of CSA-1

## Package Information SOIC-8

**B: Magnetic sensitive direction**

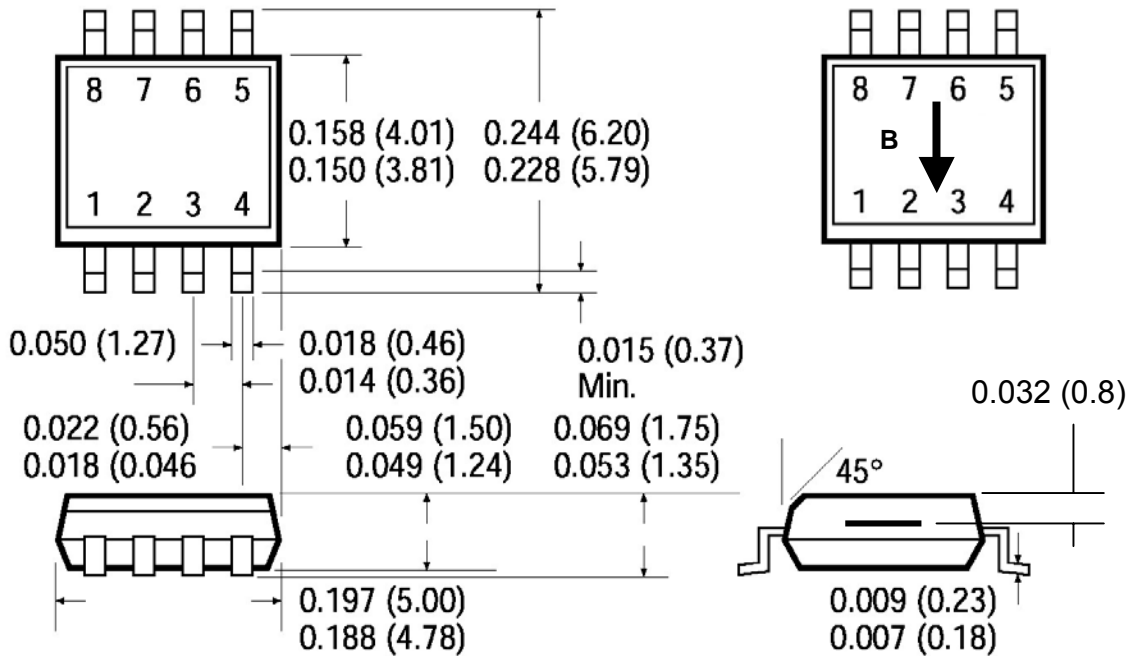


Fig. 3 Package information and magnetic sensitive direction

## Dimension and Pads CSA-1 in dice form

(all dimensions in  $\mu\text{m}$ )

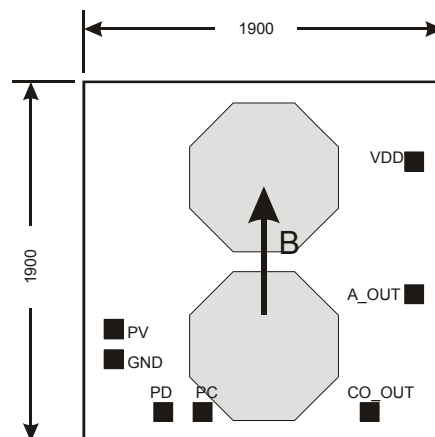
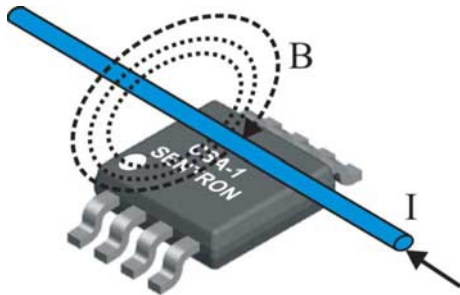


Fig. 4 Dimensions of dice

## Typical Applications

### Current Measurement A

The current conductor is situated above the chip.



A current conductor is placed at a certain distance above or beyond the chip. The magnetic field around a long current wire is described by  $H=I/2\pi r$ . The flux density at the place of the sensor depends upon the current in the wire  $I$  and the distance between sensor and wire  $r$ :  
 $B= \mu_0 * I/2 \pi r$ .

All examples for  $S=300V/T$

Max current [A]	Distance sensor to wire [mm]	Sensitivity [mV/A]	Approx. Resolution (raw) [A]	Approx. Resolution ( $t_{INT}=1ms$ ) [A]	Linearity Error [%]
10	0.2	60	0.2	0.02	<0.1
50	2	20	0.5	0.05	
100	4	12	0.8	0.08	
500	20	3	3.5	0.35	
1000	40	1.5	7	0.7	

### Current Measurement B

The current conductor is situated below the chip (on pcb).



The CSA-1 current sensor is placed on a PCB directly over the current track. The current track can consist of one or several loops, depending on the maximum current to be measured. The sensor measures the magnetic field emanating from the current flowing through the tracks.

Typically obtained values for for this type of application are (width of PCB current track 2.5mm):

Max current(*) [A] DC / pulsed	No of tracks under sensor	Sensitivity [mV/A]	Resolution (raw) [mA]	Resolution $t_{INT}=1ms$ [mA]	Linearity Error [%]
2 / 10	4	160	60	6	<0.1
10 / 30	1	40	250	25	

(\*) max current depends on PCB properties/thermal budget

Please contact us for documentation such as application notes, technical papers and others.