

UNIVERSIDADE FEDERAL DE ITAJUBÁ

DISSERTAÇÃO DE MESTRADO

**Uma Referência de Tensão Programável Para
Aplicações em Gerenciamento de Potência**

por

Filipe Guimarães Russo Ramos

Orientador: Laércio Caldeira, Ph.D.

Co-Orientador: Tales Cleber Pimenta, Ph.D.

Dissertação apresentada à Universidade Federal de Itajubá como parte dos requisitos necessários à obtenção de título de Mestre em Engenharia Elétrica.

Fevereiro de 2007

*Aos meus avós Carlos Baptista Russo e
Neuza Guimarães Russo, dedico.*

“Eis que temos por felizes aqueles que perseveraram...”

Tg 5:11

Agradecimentos

Agradeço a Deus pelas oportunidades na minha vida.

A todos os meus familiares, especialmente aos meus avós Carlos e Neuza, aos meus tios Claudemir e Neide, aos meus pais Acácio e Célia, ao meu irmão Fernando e ao meu tio Celso, pelo incondicional incentivo e amor.

Aos professores orientadores, Laércio Caldeira e Tales Cleber Pimenta, pelo crédito, confiança, amizade e ajuda na realização desse trabalho.

Aos amigos Robson Luiz Moreno e Luís Henrique de Carvalho Ferreira do Grupo de Microeletrônica, e Jeremias Barbosa Machado da UNIFEI, pelas constantes sugestões e contribuições para esse trabalho.

Ao CNPq que, através do programa “Demanda Social”, viabilizou a realização desse trabalho.

Meus mais sinceros agradecimentos.

Resumo

Os modernos circuitos integrados de aplicação específica (*Application Specific Integrated Circuits – ASICs*) são sistemas geralmente compostos por blocos de sinais mistos. Os blocos de sinais analógicos, em particular, necessitam ser polarizados com referências de tensão e corrente, nas quais a precisão certamente determina o máximo desempenho de todos os blocos. Um bloco típico de um *ASIC* comercial é o de Gerenciamento de Potência, que inclui conversores DC/DC (lineares ou chaveados) que fornecem tensões reguladas para os demais blocos do circuito integrado. Visto que existem blocos de um *ASIC* que operam em diferentes tensões de alimentação, cria-se a necessidade da existência de uma referência que forneça múltiplas tensões para o bloco de Gerenciamento de Potência.

Este trabalho descreve o projeto de uma referência de tensão de saída que opera na faixa de 0 a 2,1V, programável por 3 bits, implementada em circuito integrado dedicado, e apresenta baixa sensibilidade às variações de temperatura de operação e alimentação. Para esse desenvolvimento, são discutidas e abordadas as considerações de projeto da referência, como o equacionamento e a modelagem de suas fontes de erro (variações de processo de transistores, resistores e capacitores integrados). Em seguida, é exposto o projeto detalhado de cada célula que a compõe, baseado na tecnologia TSMC CMOS 0,35 μ m, acompanhado pelas simulações elétricas e *layout* do *chip* completo. Para validação completa dos resultados, serão exibidas simulações elétricas de um conversor DC/DC abaixador (conversor *buck*) aplicado na alimentação de um banco de memórias dinâmicas *DDR*, para tensões de alimentação na faixa de 0,9V a 1,8V.

Abstract

Modern Application Specific Integrated Circuits - ASICs are systems frequently composed by mixed-signal blocks, consisting of analog and digital circuitry. The analog blocks, in particular, need to be biased by voltage and current references, whose accuracy certainly determine the maximum performance of the remaining blocks. One typical block found in commercial ASICs is the Power Management, which can include DC/DC converters (linear or switched) that provide regulated voltages for the remaining blocks. Yet, there are ASIC blocks whose work at different voltages, so it is necessary a reference capable to bias multiple voltages to Power Management block.

This work describes the design of 3 bits programmable, low drift, high PSRR and high precision voltage reference, providing voltages from 0 to 2.1V, to be implemented in a dedicated integrated circuit, which must present low sensibility to temperature and supply variations. All design considerations, such as equations and modeling of error sources (process variations of integrated transistors, resistors and capacitors) are made based on TSMC CMOS 0.35 μ m technology. Also, it is presented the detailed design of each cell of the reference, followed by their electrical simulations and layout of entire chip. Finally, in order to validate the proposed reference, electrical simulations of a buck converter powering up a DDR memory bank are conducted, from a 0.9V to 1.8V range.

Índice

Capítulo 1: Introdução	15
1.1. Considerações Gerais.....	15
1.2. Justificativas.....	16
1.3. Objetivos.....	18
1.4. Estrutura do Trabalho	18
Capítulo 2: Referência de Tensão Bandgap: Análise Funcional e Considerações de Projeto	20
2.1. Considerações Gerais.....	20
2.2. Polarização Insensível às Variações da Tensão de Alimentação	21
2.2.1. Sensibilidade	22
2.2.2. Padrões de Tensão Utilizados em Referências.....	23
2.2.3. Fontes de Corrente Autopolarizadas	23
2.2.4. Referências de Corrente V_{BE} e V_T Autopolarizadas.....	25
2.3. Polarização Insensível às Variações da Temperatura.....	28
Capítulo 3: Fontes de Erro e Técnicas de Projeto de Componentes Integrados	32
3.1. Considerações Gerais.....	32
3.2. Descasamento de Componentes Integrados.....	33
3.3. Descasamento Sistemático de Componentes Integrados	36
3.3.1. Principais Fontes de Descasamento Sistemático.....	36
3.3.2. <i>Layout</i> de Centróide Comum, Disposição e Orientação de Componentes Integrados.....	40
3.4. Descasamento Aleatório de Componentes Integrados	42
3.4.1. Descasamento Aleatório de Transistores MOS.....	43
3.4.2. Descasamento Aleatório de Resistores de Difusão	48
Capítulo 4: Especificação, Projeto, Simulação e Medidas Elétricas da Referência de Tensão Programável	51
4.1. Considerações Gerais.....	51
4.2. Especificações Elétricas	52
4.3. Projeto, Simulações e Medidas Elétricas.....	54
4.3.1. Amplificador Operacional.....	55
4.3.2. Referência <i>Bandgap</i>	63
4.3.3. Estágio Amplificador, <i>Buffer</i> e Multiplexador Analógico.....	79
4.4. Medidas Elétricas Realizadas em Laboratório.....	89

Capítulo 5: Conclusões Finais	94
Apêndice A: Medidas das Simulações Elétricas da Referência de Tensão Programável	97
A.1. Amplificador Operacional.....	97
A.2. Referência de Tensão <i>Bandgap</i> (V_{bg}).....	99
A.3. Estágio de Saída (V_{REF}).....	100
Apêndice B: Parâmetros Físicos do Modelo BSIM3v3.3 Usados para Simulação de Monte Carlo	104
B.1. Efeito de Canal Estreito.....	104
B.2. Variações no Comprimento e Largura de Canal	106
Apêndice C: Aplicação Prática: Conversor Buck com Tensão de Saída Programável	108
Referências Bibliográficas	112

Lista de Figuras

Figura 1.1 – Um ASIC Genérico Composto por Sinais Mistos.	16
Figura 2.1 – Princípio Geral do Funcionamento de uma Referência <i>Bandgap</i>	21
Figura 2.2 – Um Espelho de Corrente Simples.	23
Figura 2.3 – (a) Diagrama de Blocos uma Referência de Corrente Autopolarizada; (b) Determinação do Ponto de Operação.....	24
Figura 2.4 – Referência V_{BE} Autopolarizada Típica de Processos CMOS.	25
Figura 2.5 – Referência V_T Autopolarizada Típica de Processos CMOS.	27
Figura 2.6 – Referência <i>Bandgap</i> de Alto Desempenho em Processo CMOS.	30
Figura 3.1 – Histograma do Descasamento δ de 30 Amostras de um Circuito Integrado.	35
Figura 3.2 – Gráfico das Linhas Isobáricas de um Circuito Integrado.....	37
Figura 3.3 – Localização dos Centróides (a) Retângulo (b) Resistor Típico.	38
Figura 3.4 – Gráfico das Linhas Isotérmicas de um Circuito de Potência.....	39
Figura 3.5 – Exemplo de uma Matriz de Componentes Dispostos em Centróide Comum.....	40
Figura 3.6 – Exemplo de Matrizes Bidimensionais de Componentes em Centróide Comum.	41
Figura 3.7 – Variações Globais e Locais em Transistores MOS.	45
Figura 3.8 – Propagação da Variância de Parâmetros (PVAR).	46
Figura 4.1 – Referência de Tensão Programável de 3 bits.	52
Figura 4.2 – Esquemático Elétrico do Amplificador Operacional.	56
Figura 4.3 – Modelo de Operação a Pequenos Sinais do Amplificador Operacional.	56
Figura 4.4 – Análise DC do Amplificador Operacional Projetado.	61
Figura 4.5 – Análise AC do Amplificador Operacional Projetado.	62
Figura 4.6 – <i>Layout</i> do Amplificador Operacional.	63
Figura 4.7 – Referência <i>Bandgap</i> de Alto Desempenho em Processo CMOS.	64
Figura 4.8 – $\beta \times I_C$ de um Transistor Bipolar Parasita em Processo CMOS Típico.	65
Figura 4.9 – <i>Layout</i> dos Transistores Bipolares da Referência <i>Bandgap</i>	66
Figura 4.10 – Circuito de Partida da Referência <i>Bandgap</i>	73
Figura 4.11 – Modelo Simplificado de Operação em Pequenos Sinais da <i>Bandgap</i>	74
Figura 4.12 – Análise DC da Referência <i>Bandgap</i>	78
Figura 4.13 – <i>PSRR</i> (Típico) da Referência <i>Bandgap</i> para $C_F = 470\text{pF}$	78
Figura 4.14 – <i>Layout</i> da Referência de Tensão <i>Bandgap</i>	79
Figura 4.15 – Estágio Amplificador, <i>Buffer</i> e Multiplexador Analógico.	80
Figura 4.16 – Esquemático Elétrico do Multiplexador Analógico 1 de 8.	83

Figura 4.17 – Modelo de Operação em Pequenos Sinais da Referência de Tensão Programável para Análise da <i>PSRR</i>	83
Figura 4.18 – <i>PSRR</i> Típica da Referência de Tensão Programável para $C_{F2} = 10\text{pF}$	84
Figura 4.19 – <i>PSRR</i> Típica da Referência de Tensão Programável para $R_{F2} = 1\text{M}\Omega$ e $C_{F2} = 10\text{pF}$	85
Figura 4.20 – Análise DC da Referência de Tensão Programável.	87
Figura 4.21 – Partida da Referência de Tensão Programável.	87
Figura 4.22 – <i>Layout</i> do Estágio Amplificador, <i>Buffer</i> e do Multiplexador Analógico.	88
Figura 4.23 – <i>Layout</i> da Referência de Tensão Programável.	88
Figura 4.24 – <i>Layout</i> Completo do Circuito Integrado.	89
Figura 4.25 – Circuito para Caracterização da Referência de Tensão Programável.	90
Figura 4.26 – Medidas Elétricas Vs. Simulação Elétrica da Referência <i>Bandgap</i>	91
Figura 4.27 – Medidas Elétricas Vs. Simulação Elétrica da Referência de Tensão Programável para $V_{\text{REF}} = 300\text{mV}$	91
Figura 4.28 – Medidas Elétricas Vs. Simulação Elétrica da Referência de Tensão Programável para $V_{\text{REF}} = 2,100\text{V}$	92
Figura 4.29 – Circuito da Referência de Tensão Programável (50 vezes ampliado).	92

Lista de Tabelas

Tabela 3.1 – Parâmetros de Processo da Tecnologia TSMC CMOS 0,35 μ m.....	35
Tabela 3.2 – Parâmetros de Processo e Elétricos Relevantes.....	45
Tabela 4.1 – Especificações Elétricas do Amplificador Operacional.....	53
Tabela 4.2 – Especificações Elétricas da Referência de Tensão <i>Bandgap</i>	53
Tabela 4.3 – Especificações Elétricas da Referência Programável.....	54
Tabela 4.4 – Variações Extremas do Processo TSMC CMOS 0,35 μ m.....	54
Tabela 4.5 – Análise DC do Amplificador Operacional Projetado.....	61
Tabela 4.6 – Análise AC do Amplificador Operacional Projetado.....	61
Tabela 4.7 – Resultados das Análises DC e AC do Amplificador Operacional Proposto.....	62
Tabela 4.8 – Medidas da Corrente de Saturação para Transistor NMOS.....	68
Tabela 4.9 – Resultados da Simulação Monte Carlo Para Variações em ΔW e V_{TW}	68
Tabela 4.10 – Medidas da Corrente de Saturação para Transistor PMOS.....	70
Tabela 4.11 – Resultados da Simulação Monte Carlo Para Variações em ΔW	70
Tabela 4.12 – Parâmetros de Processo e Desvios Padrões do Resistor de Difusão Tipo p.....	71
Tabela 4.13 – Análise DC da Referência <i>Bandgap</i>	77
Tabela 4.14 – Análise AC da Referência <i>Bandgap</i>	77
Tabela 4.15 – Resultados das Análises DC e AC da Referência <i>Bandgap</i>	77
Tabela 4.16 – Análise DC da Referência de Tensão Programável.....	86
Tabela 4.17 – Análise AC da Referência de Tensão Programável.....	86
Tabela 4.18 – Resultados das Análises DC e AC da Referência de Tensão Programável.....	86
Tabela 4.19 – Simulações Elétricas Vs. Medidas Elétricas da Referência de Tensão Programável.....	93
Tabela 5.1 – Comparação Entre Especificações Elétricas e Resultados de Simulações da Referência de Tensão Proposta.....	95

Lista de Símbolos

A_O	Ganho DC em malha aberta.
$ASIC$	Circuito Integrado de Aplicação Específica (<i>Application Specific Integrated Circuit</i>).
A_{oe}	Ganho DC em malha aberta do estágio de entrada.
A_{os}	Ganho DC em malha aberta do estágio de saída.
C_C	Capacitor de compensação Miller.
C_F	Capacitor de filtro.
C_S	Capacitor de partida.
C_b	Capacitor de carregamento da base.
C_d	Densidade de capacitância.
DDR	<i>Double Data Rate</i> .
DSP	Processador Digital de Sinais (<i>Digital Signal Processor</i>).
esr_C	Resistência série do capacitor.
esr_L	Resistência série do indutor.
f_{BW}	Frequência de ganho unitário.
f_s	Frequência de Chaveamento.
f_{dp}	Função densidade de probabilidade.
f_p	Frequência do pólo (em Hz).
f_z	Frequência do zero (em Hz).
I_C	Corrente do coletor.
I_D	Corrente de dreno.
I_E	Corrente de entrada.
I_S	Corrente de saída.
KP	Ganho de transcondutância.
L	Comprimento de canal.
L_{ef}	Comprimento de canal efetivo.
MF	Margem de fase.

MG	Margem de ganho.
m_{δ}	Descasamento médio.
N_{sub}	Concentração de dopante de substrato.
$PSRR$	Razão de Rejeição de Ruído de Fonte.
$PVAR$	Propagação da Variância de Parâmetros.
PWM	Modulação da Largura de Pulsos (<i>Pulse Width Modulation</i>).
P_d	Potência dissipada.
R_F	Resistor de filtro.
R_S	Resistência de saída.
r_{ds}	Resistência do canal.
T	Temperatura de operação.
T_o	Temperatura ambiente.
$T_{(máx)}$	Máxima temperatura de operação.
$T_{(mín)}$	Mínima temperatura de operação.
TC_F	Coefficiente térmico.
$TC_{F(ef)}$	Coefficiente térmico efetivo.
$TC_{V_{th}}$	Coefficiente térmico – tensão de limiar (transistor NMOS).
$TC_{V_{tp}}$	Coefficiente térmico – tensão de limiar (transistor PMOS).
t_{ox}	Óxido de porta.
USB	Barramento Série Universal (<i>Universal Serial Bus</i>).
V_{BE}	Tensão base-emissor.
V_{BS}	Tensão base-substrato.
V_{DD}	Tensão de alimentação.
V_{DS}	Tensão dreno-fonte.
V_{EB}	Tensão emissor-base.
V_G	Tensão de modo comum.
V_{GO}	Tensão de <i>bandgap</i> do silício.
V_{GS}	Tensão de porta-fonte.
V_{OS}	Erro linear.
V_{REF}	Tensão de saída da referência de tensão programável.
V_S	Tensão de saída.
$V_{S(máx)}$	Máxima tensão de saída.
$V_{S(mín)}$	Mínima tensão de saída.
V_{SD}	Tensão fonte-dreno.

V_{SG}	Tensão fonte-porta.
V_T	Tensão térmica.
V_{bg}	Tensão de saída da referência de tensão <i>bandgap</i> .
V_e	Tensão de erro.
V_{fb}	Tensão de banda plana.
V_o	Tensão de referência.
V_{t_n}	Tensão de limiar (tensão <i>threshold</i>) para transistor NMOS.
V_{t_p}	Tensão de limiar (tensão <i>threshold</i>) para transistor PMOS.
V_{t0}	Tensão <i>threshold</i> quando V_{BS} for nulo.
V_{tl}	Efeito de canal curto.
V_{tw}	Efeito de canal estreito.
W	Largura de canal.
W_{ef}	Largura de canal efetiva.
α_{BE}	Coefficiente térmico da junção base-emissor.
Δ_L	Variação de comprimento de canal.
Δ_W	Variação de largura de canal.
γ	Coefficiente de modulação de efeito de corpo.
λ	Coefficiente de modulação do comprimento de canal.
μ	Mobilidade elétrica dos portadores.
γ	Coefficiente de modulação de efeito de corpo.
δ	Função da tensão de canal-substrato.
λ	Coefficiente de modulação do comprimento de canal.
μ	Mobilidade elétrica dos portadores.
ρ	Resistência de folha de resistores de difusão.
σ_{ID}	Desvio padrão da corrente de dreno.
σ_L	Desvio padrão do comprimento de canal.
σ_W	Desvio padrão da largura de canal.
σ_R	Desvio padrão da resistência.
σ_δ	Desvio padrão dos descasamentos.
σ_ρ	Desvio padrão da resistência de folha.
Φ_S	Potencial de superfície.
χ	Coefficiente de efeito de corpo.
ω_p	Frequência do pólo (em rad/s).
ω_z	Frequência do zero (em rad/s).

Capítulo 1

Introdução

1.1. Considerações Gerais

Os modernos circuitos integrados usados em aplicações específicas (*Application Specific Integrated Circuit – ASIC*) são sistemas geralmente compostos por blocos de sinais mistos. Nestes circuitos, os blocos comuns e fundamentais para operação são as referências de tensão V_{REF} , conforme ilustra a Fig. 1.1 [1]. Observa-se que é utilizada mais de uma referência de tensão devido às diferentes necessidades de polarização dos blocos e também para evitar a interferência por *crosstalk* entre os blocos, caso se usasse uma única.

Neste sistema típico, uma referência de tensão é necessária para o bloco de Gerenciamento de Potência, no qual inclui blocos de conversores DC/DC (lineares ou chaveados) que fornecem tensões reguladas para todo circuito integrado. Outras referências de tensão são utilizadas em blocos conversores de sinais analógicos para digitais (A/D) e digitais para analógicos (D/A), nos quais se requer que estas sejam de alta precisão para fornecer conversões de dados em alta resolução e precisão, mesmo quando em condições de alimentação em baixa tensão.

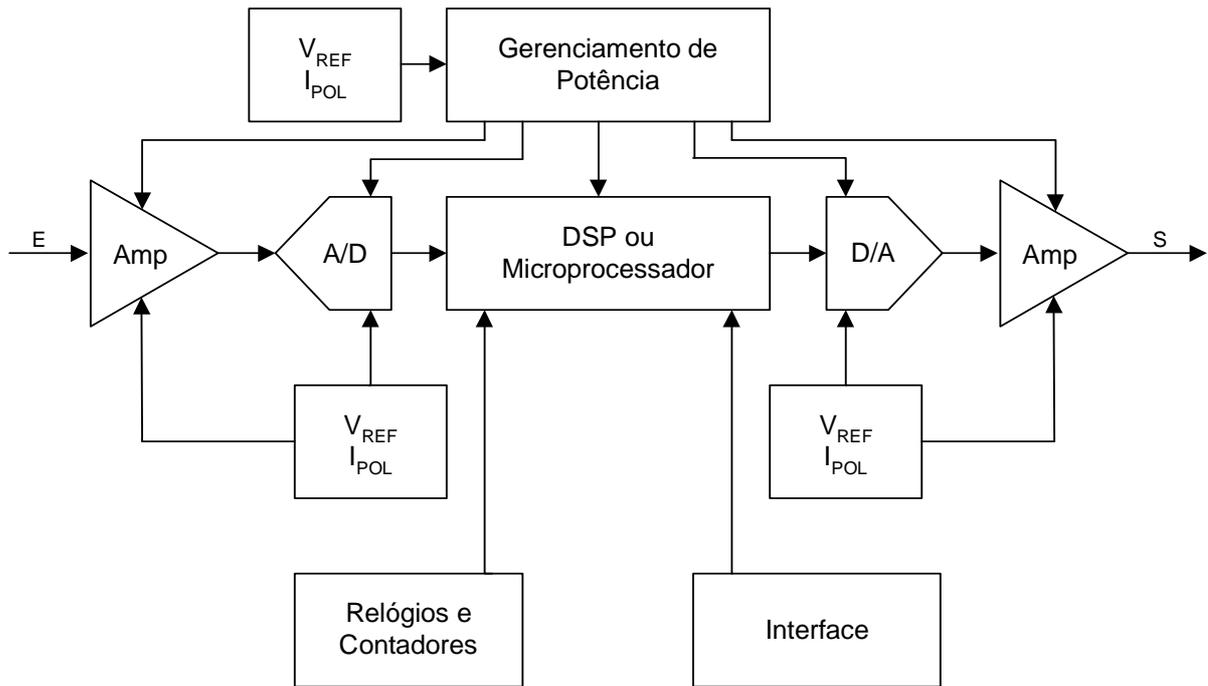


Figura 1.1 – Um ASIC Genérico Composto por Sinais Mistos.

Certamente, a precisão das referências de tensão determina o máximo desempenho de todos os blocos de um *ASIC* genérico. Existem muitos projetos de referências de tensão na literatura [2], sendo que a mais usada em circuitos comerciais é a *bandgap*, inicialmente proposta por Widlar [3] e, posteriormente, por Kuijk [4] e Brokaw [5]. É o projeto mais empregado, por fornecer tensão previsível e constante, com baixa dependência a variações de temperatura e possibilidade de operação em baixa tensão.

1.2. Justificativas

Uma referência *bandgap* fornece uma tensão V_{G0} relacionada à energia de *bandgap* à temperatura de 0K (para o silício: $V_{G0} = 1,205V$) [6]. Nas referências [7] e [8], quatro aspectos de qualidade podem ser encontrados em referências *bandgap*:

- A dependência média de temperatura;
- A precisão;
- A impedância de saída;
- O consumo de potência.

A *dependência média de temperatura* é geralmente expressa em partes por milhão por Kelvin (ppm/K) da ordem em que a temperatura é compensada. Dependendo da faixa de operação de temperatura, referências compensadas em primeira ordem possuem uma dependência com a temperatura na faixa de 25 a 50ppm/K [2]. Com uma correção de curvatura ou compensação de segunda ordem, a dependência com a temperatura pode ser reduzida para menos de 10 ppm/K [9]. É certo que, quanto maior a faixa de temperatura de operação, maior é a dependência com a temperatura.

A *precisão* é uma medida de todas as influências estocásticas, ou seja, erro de casamentos de transistores e resistores e variações dos parâmetros de processo [10]. Como uma referência *bandgap* é uma fonte de tensão, sua *impedância de saída* deve ser pequena o suficiente para que tenha baixa influência na tensão fornecida para a carga. Finalmente, o *consumo de potência* precisa ser baixo para que o chip tenha alto rendimento e não sofra superaquecimento.

Em um *ASIC* genérico, conforme ilustrado na Fig. 1, cada bloco poderia requerer uma referência de tensão com um aspecto de qualidade específico:

- *Operação em baixa tensão e baixo ruído*, para os amplificadores operacionais utilizados, por exemplo, em aplicações biomédicas [11];
- *Correção de curvatura* ou compensação de segunda ordem da dependência com a temperatura da tensão de *bandgap*, para os conversores A/D e D/A [7];
- *Múltiplas referências de tensão*, para os conversores DC/DC alimentarem os demais blocos do chip. Atualmente, processadores digitais de sinais (*Digital Signal Processors – DSPs*) são alimentados com 1,2V; grande parte dos blocos analógicos são projetados com alimentação em 2,5V; circuitos que utilizam barramentos seriais universais (*Universal Serial Buses – USBs*) são alimentados com 5,0V.

Baseado no sistema exposto na Fig. 1, conclui-se que seria inviável o projeto de várias referências de tensão devido à grande área e consumo de potência destas células que utilizam transistores bipolares, resistores e capacitores de compensação.

1.3. Objetivos

O objetivo principal desta dissertação é o projeto de uma referência de tensão de saída que opera na faixa de 0 a 2,1V, programável por 3 bits, implementada em circuito integrado dedicado, e apresenta baixa sensibilidade às variações de temperatura de operação e alimentação. A topologia proposta atende aos aspectos de qualidade requeridos pelos atuais *ASICs* comerciais.

Serão discutidas e abordadas as considerações de projeto da topologia da referência *bandgap*, como o equacionamento e modelagem matemática das suas fontes de erro (variações de processo de transistores, resistores e capacitores). Em seguida, será exposto o projeto detalhado de cada célula, usando a tecnologia TSMC CMOS 0,35 μ m, acompanhado pelas simulações elétricas e *layout* de cada uma delas, bem como do chip completo.

Para a validação completa dos resultados, a referência de tensão será aplicada ao projeto de um conversor DC/DC chaveado abaixador (também conhecido como *conversor buck*), tipicamente utilizado na alimentação de microcomputadores comerciais (Apêndice C).

1.4. Estrutura do Trabalho

O trabalho está dividido em cinco capítulos, sendo um de introdução, um de conclusão e os demais de desenvolvimento.

O Capítulo 2 apresenta o princípio de funcionamento da referência de tensão *bandgap*, bem como a topologia escolhida para o projeto deste circuito e suas equações relacionadas.

O Capítulo 3 expõe as principais fontes de erro encontradas no projeto de circuitos integrados analógicos, como os descasamentos sistemático e aleatório de transistores e resistores, considerados para a realização do projeto da referência de tensão programável.

O Capítulo 4 exibe o projeto detalhado de todos os circuitos que compõem a referência de tensão programável, incluindo equações e simulações elétricas DC, AC (*PSRR*) e transiente, bem como o seu *layout*.

Finalmente, o Capítulo 5 apresenta as conclusões deste trabalho e as sugestões para trabalhos futuros.

Capítulo 2

Referência de Tensão Bandgap: Análise Funcional e Considerações de Projeto

2.1. Considerações Gerais

Para o projeto de uma referência de tensão V_{REF} , além dos aspectos de qualidade discutidos no Capítulo 1, deseja-se que a mesma tenha as propriedades de:

- Baixa sensibilidade às variações da tensão de alimentação;
- Baixa sensibilidade às variações da temperatura de operação.

O princípio de funcionamento de uma referência *bandgap* é ilustrado na Fig. 2.1 [12]. Uma tensão V_{BE} é gerada a partir da junção pn de um diodo tendo um coeficiente térmico $\alpha_{BE} = -2\text{mV}/^\circ\text{C}$ à temperatura ambiente. Também é gerada a tensão térmica $V_T = kT/q$, que é proporcional à temperatura absoluta e tem um coeficiente térmico de $+86,6\mu\text{V}/^\circ\text{C}$ à temperatura ambiente. Se a tensão V_T é multiplicada por uma constante K e somada à tensão V_{BE} , então sua tensão de saída será expressa por:

$$V_{bg} = V_{BE} + KV_T \quad (2.1)$$

Diferenciando-se a Eq. (2.1) com relação à temperatura e usando-se os coeficientes térmicos de V_{BE} e V_T , um valor teórico de K pode ser calculado para que a tensão de saída V_{bg} tenha dependência zero da temperatura. Para isto, a análise da dependência com relação à temperatura das tensões V_{BE} e V_T e o uso de técnicas de circuitos que permitam a construção de uma topologia com baixa sensibilidade às variações da tensão de alimentação serão discutidas nos itens subsequentes.

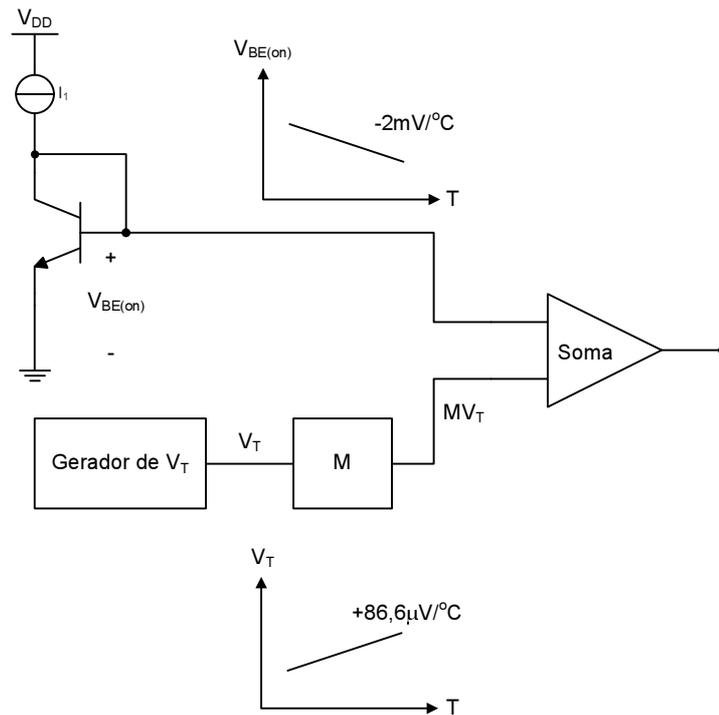


Figura 2.1 – Princípio Geral do Funcionamento de uma Referência *Bandgap*.

2.2. Polarização Insensível às Variações da Tensão de Alimentação

Neste item serão discutidos a *sensibilidade*, que é uma medida da avaliação de desempenho, e os *padrões de tensão e fontes de corrente* a serem utilizadas na concepção da referência de tensão proposta.

2.2.1. Sensibilidade

Uma medida comum para avaliação do desempenho de um circuito integrado é o cálculo da variação da sua corrente de polarização resultante de uma variação da sua tensão de alimentação. Um parâmetro muito utilizado para realização desta medida é o da sensibilidade S . Em um circuito, a sensibilidade de uma variável qualquer y em relação a um parâmetro x é definida como [6]:

$$S_x^y = \lim_{\Delta x \rightarrow 0} \frac{\Delta y / y}{\Delta x / x} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (2.2)$$

Aplicando-se a Eq. (2.2) para se encontrar a sensibilidade de uma corrente de saída I_S frente a pequenas variações da tensão de alimentação V_{DD} , tem-se:

$$S_{V_{DD}}^{I_S} = \frac{V_{DD}}{I_S} \frac{\partial I_S}{\partial V_{DD}} \quad (2.3)$$

Considere-se o exemplo de um espelho de corrente simples, ilustrado na Fig. 2.2, em que a corrente de saída I_S é expressa por:

$$I_E \cong I_S = \frac{V_{DD} - V_{DS(sat)}}{R} \quad (2.4)$$

Se $V_{DD} \gg V_{DS(sat)}$, este circuito tem a desvantagem da corrente de saída ser diretamente proporcional à tensão de alimentação V_{DD} . Além disso, aplicando-se a Eq. (2.3) na Eq. (2.4), obtém-se:

$$S_{V_{DD}}^{I_S} = 1 \quad (2.5)$$

Assim, uma variação de $x\%$ na tensão de alimentação V_{DD} implica em uma variação de mesma magnitude na corrente de saída I_S , o que torna esta topologia pouco atraente para uso no projeto da referência de tensão proposta.

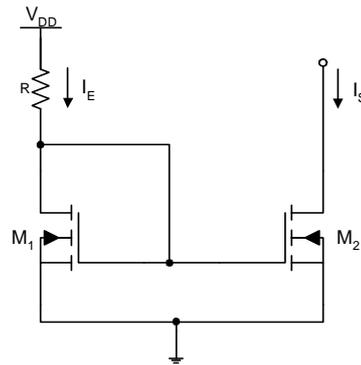


Figura 2.2 – Um Espelho de Corrente Simples.

2.2.2. Padrões de Tensão Utilizados em Referências

Os circuitos de referência podem ser classificados de acordo com os padrões de tensão nas quais as correntes de polarização são geradas [6]. Os padrões mais convencionais são:

- A tensão V_{BE} dos transistores bipolares ou V_t dos transistores MOS;
- A tensão térmica V_T dos transistores bipolares;
- A tensão de ruptura de uma junção pn reversamente polarizada (diodo Zener).

Cada um destes padrões pode ser usado em circuitos de baixa sensibilidade às variações da tensão de alimentação, ainda que estes sejam dependentes das variações de temperatura. O diodo Zener tem a desvantagem de requerer tensões de alimentação na faixa de 7 a 10V porque processos padrões de circuitos integrados produzem uma tensão de ruptura mínima de 6V através das junções altamente dopadas (tipicamente junção base-emissor de transistores npn). Os padrões de tensão V_{BE} e V_T são de interesse particular deste trabalho e serão discutidos nos itens subseqüentes.

2.2.3. Fontes de Corrente Autopolarizadas

A sensibilidade às variações da tensão de alimentação pode ser reduzida com o uso da chamada técnica de polarização *bootstrap* ou também referida como *autopolarizada* [6]. Nas fontes de corrente autopolarizadas, a corrente de entrada I_E é projetada como diretamente dependente da corrente de saída I_S , conforme ilustrado na Fig. 2.3a, sendo estas as duas variáveis chaves. A relação entre estas variáveis é governada por ambas as fontes de

corrente e espelho de corrente. Do ponto de vista da fonte de corrente, I_S é constante e independente de I_E para uma grande excursão desta última, conforme ilustrado na Fig. 2.3b. Do ponto de vista do espelho de corrente, I_E é sempre igual à I_S , considerando que o ganho de corrente seja igual a 1. O ponto de operação do circuito precisa atender ambos requerimentos, portanto, as intersecções em ambas as curvas definem os possíveis pontos de operação A e B . O ponto A é o desejado e o B é indesejado, visto que neste $I_E = I_S = 0$.

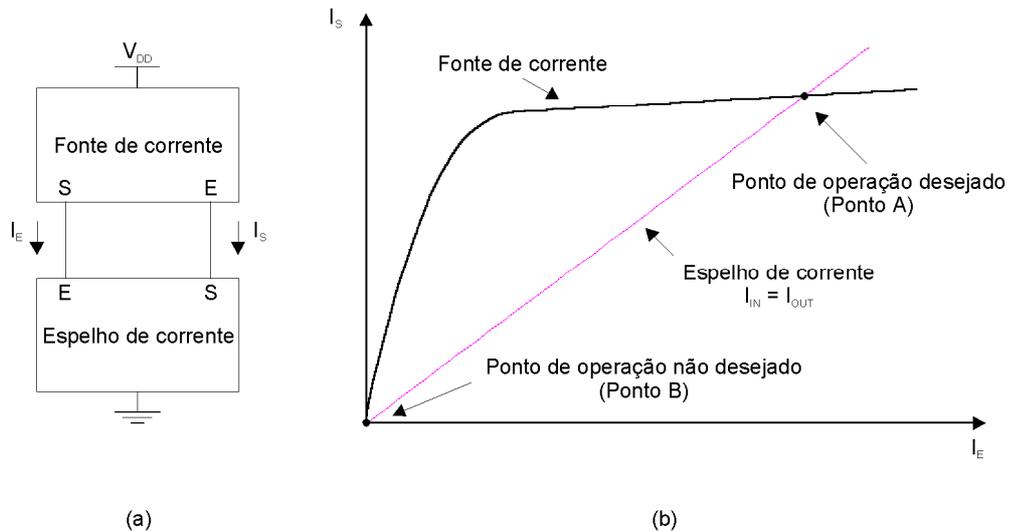


Figura 2.3 – (a) Diagrama de Blocos uma Referência de Corrente Autopolarizada; (b) Determinação do Ponto de Operação.

A maior possibilidade da fonte de corrente autopolarizada operar no ponto B é durante o instante no qual a tensão de alimentação V_{DD} é ligada e a fonte de corrente não possui carga suficiente para ser ativada e então permanece estável com corrente zero. Este estado pode ser evitado através de um *circuito de partida* que injete uma carga inicial na fonte de corrente, fazendo com que $I_E = I_S \neq 0$. Desta forma passa a operar fora do ponto B e convergindo para operação no ponto A , visto que este circuito possui uma malha de realimentação positiva formada entre a fonte e espelho de corrente. Outro requerimento é que o circuito de partida não interfira no funcionamento normal do circuito em regime permanente.

2.2.4. Referências de Corrente V_{BE} e V_T Autopolarizadas

a) Referência de Corrente V_{BE}

O circuito da Fig. 2.4 ilustra uma referência de corrente V_{BE} tipicamente usada em processos CMOS, onde o transistor pnp é um componente parasita inerente aos substratos p-well [6]. A malha formada pelos transistores M_2 , M_3 , M_4 e M_5 força a corrente no transistor Q_1 ser a mesma no transistor R . Assumindo-se que os transistores M_2 e M_3 são casados, $V_{GS2} = V_{GS3}$ e então:

$$I_S = \frac{V_{EB1}}{R} \quad (2.6)$$

Na Eq. (2.6), observa-se independência da corrente de saída com variações na tensão alimentação, desde que para estas, os transistores M_2 , M_3 , M_4 , M_5 e M_6 estejam sempre saturados.

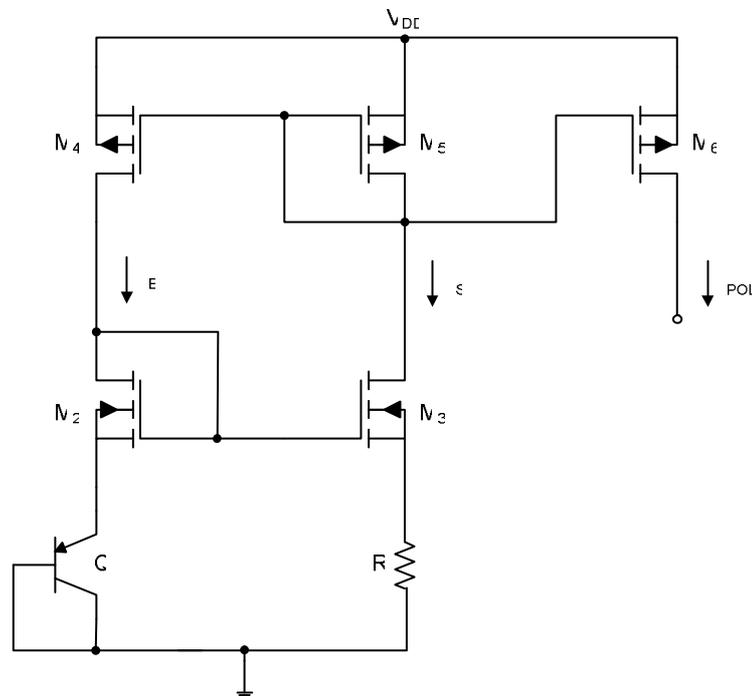


Figura 2.4 – Referência V_{BE} Autopolarizada Típica de Processos CMOS.

Assim como a sensibilidade, outro importante aspecto do desempenho dos circuitos de polarização é a dependência com a variação na temperatura. Esta variação é tipicamente expressa em termos de variações infinitesimais na corrente de saída por grau Celsius, no qual é chamada de *coeficiente térmico fracional* TC_F :

$$TC_F = \frac{1}{I_S} \frac{\partial I_S}{\partial T} \quad (2.7)$$

Para o circuito da Fig. 2.4:

$$\frac{\partial I_S}{\partial T} = \frac{1}{R} \frac{\partial V_{EB1}}{\partial T} - \frac{V_{EB1}}{R^2} \frac{\partial R}{\partial T} \quad (2.8)$$

$$\frac{\partial I_S}{\partial T} = I_S \left(\frac{1}{V_{EB1}} \frac{\partial V_{EB1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \right) \quad (2.9)$$

Logo,

$$TC_F = \frac{1}{I_S} \frac{\partial I_S}{\partial T} = \frac{1}{V_{EB1}} \frac{\partial V_{EB1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \quad (2.10)$$

Então, a dependência da temperatura da corrente de saída é relacionada à diferença entre os coeficientes térmicos fracionais da junção V_{EB1} do transistor parasita e do resistor. Considerando-se o processo TSMC 0,35 μ m, $(1/R)(\partial R/\partial T) = +1400$ ppm/ $^{\circ}$ C, então:

$$TC_F = \frac{1}{V_{EB1}} \frac{\partial V_{EB1}}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} = -\frac{0,002}{0,700} - 0,0014 = -4,26 \cdot 10^{-3} / ^{\circ}C = -4260 \text{ ppm}/^{\circ}C \quad (2.11)$$

Este coeficiente térmico fracional demonstra que a referência V_{BE} da Fig. 2.4, apesar da sua corrente de saída não depender da fonte de alimentação, tem grande dependência com a temperatura.

b) Referência de Corrente V_T

O circuito da Fig. 2.5 ilustra uma referência de corrente V_T tipicamente usada em processos CMOS, onde ambos transistores pnp Q_1 e Q_2 são componentes parasitas inerentes a substratos p-well [6]. Neste circuito, a área do transistor Q_2 é projetada como n vezes maior do que a do transistor Q_1 . Se os transistores M_4 e M_5 são casados e $V_{GS4} = V_{GS5}$, a malha de realimentação força ambos a operarem com a mesma corrente de polarização. Como consequência, a diferença entre as tensões das junções base-emissor V_{EB1} e V_{EB2} é a resultante no resistor R . Logo, a corrente de saída é expressa como [6]:

$$I_S = \frac{V_T \ln(n)}{R} \quad (2.12)$$

Aplicações práticas desta referência usam os transistores projetados com comprimento de canal L longo, a fim de reduzir a diferença entre as tensões dreno-fonte V_{DS4} e V_{DS5} , portanto, reduzindo os efeitos da modulação de canal λ e garantindo a condição $I_E = I_S$ deste circuito autopolarizado.

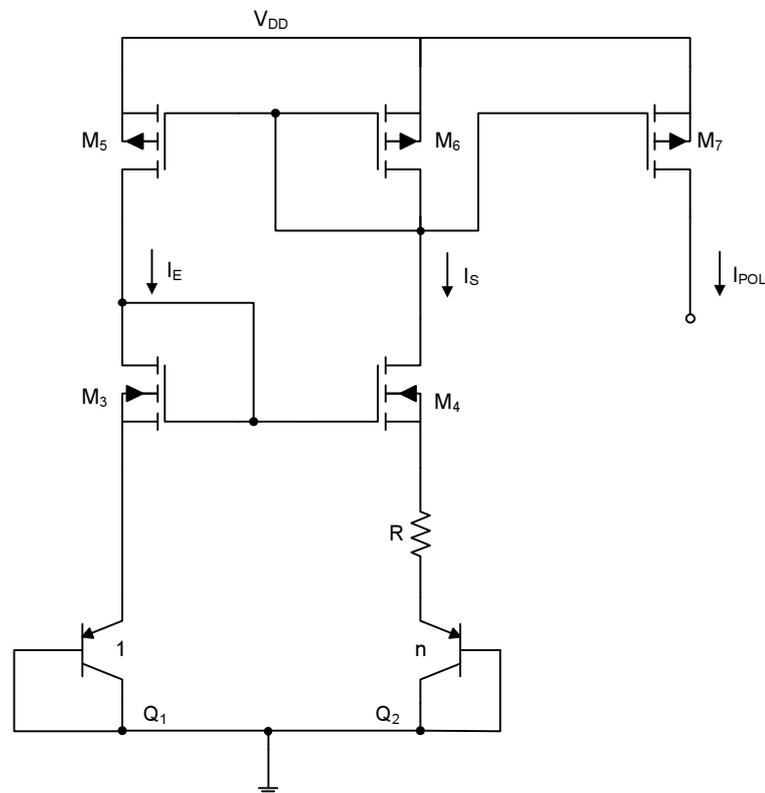


Figura 2.5 – Referência V_T Autopolarizada Típica de Processos CMOS.

Para o circuito da Fig. 2.5:

$$\frac{\partial I_s}{\partial T} = \ln(n) \frac{R \frac{\partial V_T}{\partial T} - V_T \frac{\partial R}{\partial T}}{R^2} \quad (2.13)$$

$$\frac{\partial I_s}{\partial T} = \frac{V_T \ln(n)}{R} \left(\frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \right) \quad (2.14)$$

Aplicando-se a Eq. (2.12) na Eq. (2.14), obtém-se:

$$TC_F = \frac{1}{I_s} \frac{\partial I_s}{\partial T} = \frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \quad (2.15)$$

Então, a dependência da temperatura da corrente de saída é relacionada à diferença entre os coeficientes térmicos do resistor e da tensão V_T dos transistores parasitas. Novamente, considerando-se o processo TSMC 0,35 μ m, tem-se $(1/R)(\partial R/\partial T) = +1400$ ppm/ $^{\circ}$ C. Logo,

$$TC_F = \frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} = \frac{8,66 \cdot 10^{-5}}{2,6 \cdot 10^{-2}} - 1,4 \cdot 10^{-3} = 1,93 \cdot 10^{-3} / ^{\circ}C = +1930 \text{ ppm}/^{\circ}C \quad (2.16)$$

Este coeficiente térmico demonstra que a referência V_T da Fig. 2.5 sofre menos variações na corrente de polarização com relação à temperatura, se comparada com a referência V_{BE} . Portanto, a referência de corrente baseada em V_T será a adotada no projeto da referência de tensão proposta.

2.3. Polarização Insensível às Variações da Temperatura

O circuito da Fig. 2.6 ilustra uma referência de tensão *bandgap* de alto desempenho [6]. Os transistores Q_1 , Q_2 , M_4 , M_5 , M_6 e M_7 formam uma referência de corrente V_T autopolarizada. A corrente I_s é espelhada através do transistor M_8 e gera uma tensão dependente de V_T através do resistor xR . Como o transistor Q_3 é configurado como diodo, $V_{EC3} = V_{EB3}$, então a tensão de saída V_{bg} pode ser expressa como:

$$V_{bg} = V_{EB3} + xV_T \ln(n) \quad (2.17)$$

A Eq. (2.17) é exatamente a mesma da Eq. (2.1), onde o coeficiente $K = x \cdot \ln(n)$ faz com que a dependência da tensão de saída com a temperatura seja mínima e finita. Os espelhos de corrente formados pelos transistores M_6 , M_7 e M_8 aumentam a *PSRR*. Os transistores M_4 e M_5 são projetados com comprimento de canal L grande, de forma que garantam a condição $I_E = I_S$ do circuito autopolarizado frente às variações de processo e temperatura, reduzindo os efeitos da modulação de canal λ e a diferença entre as tensões dreno-fonte V_{DS4} e V_{DS5} .

Reescrevendo-se a Eq. (2.17) em função da temperatura, obtém-se:

$$V_{bg}(T) = V_{EB3}(T_o) + \alpha_{EB}(T - T_o) + x \frac{kT}{q} \ln(n) \quad (2.18)$$

Fazendo $\delta V_{REF}(T)/\delta T = 0$, tem-se:

$$\frac{\partial V_{EB}(T_o)}{\partial T} + \frac{\partial [\alpha_{EB}(T - T_o)]}{\partial T} + \frac{\partial \left(x \frac{kT}{q} \ln(n) \right)}{\partial T} = 0 \quad (2.19)$$

$$\alpha_{EB} + x \frac{k}{q} \ln(n) = 0 \quad (2.20)$$

Logo,

$$x = \frac{-\alpha_{EB}}{\frac{k}{q} \ln(n)} \quad (2.21)$$

Portanto, para n transistores bipolares ligados em paralelo, há uma relação de x entre resistores que fornece um coeficiente K ótimo para que a tensão V_{bg} tenha dependência mínima e finita com a temperatura.

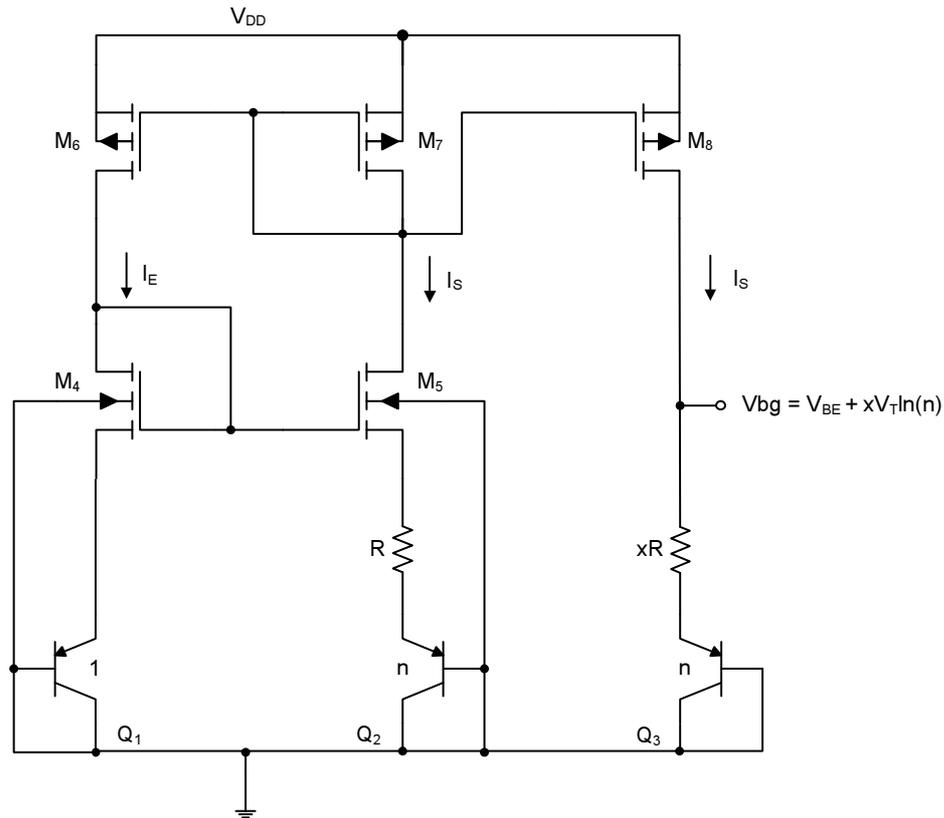


Figura 2.6 – Referência *Bandgap* de Alto Desempenho em Processo CMOS.

A Eq. (2.18) mostra uma tensão V_{bg} que tem dependência linear com a tensão V_{BE} e pode ser usada como equação de primeira ordem para o projeto da referência *bandgap*. Na prática, as correntes de coletor dos transistores bipolares têm dependência com a temperatura, visto que a tensão V_{BE} tem dependência não-linear com a temperatura e expressa como [13]:

$$V_{BE}(T) = V_{G0} + \frac{T}{T_r} \cdot [V_{BE}(T_r) - V_G(T_r)] + (\eta - \beta) \frac{kT}{q} \ln\left(\frac{T_r}{T}\right) \quad (2.22)$$

onde a tensão V_{G0} é relacionada à energia de *bandgap* à temperatura de 0K, T_r é a temperatura de referência, η é uma constante menor do que 4 dependendo do nível de dopagem e β é a ordem da dependência da corrente de coletor com a temperatura (por exemplo, $I_C = I_{C0}T^\beta$).

Uma vez que a corrente de coletor dos transistores Q_1 , Q_2 e Q_3 é função de um resistor integrado, conforme expressa a Eq. (2.12), para este deve ser escolhido o de menor TC_F disponível no processo de fabricação. Quando um material de baixo TC_F é escolhido, o termo $(\eta - \beta)$ da Eq. (2.22) é reduzido, resultando em uma menor dependência do termo não-

linear. Portanto, resistores de polissilício de alta resistividade são a melhor escolha, uma vez que estes têm TC_F negativo e de baixo valor ($\approx -400\text{ppm}/^\circ\text{C}$).

Um parâmetro chave para o projeto de referências de tensão é a variação encontrada na tensão de saída ao longo de toda excursão da temperatura de operação. Uma vez que TC_F expressa a sensibilidade à temperatura em somente um ponto de operação, este parâmetro não é apropriado para caracterizar esta variação. Para uma referência de tensão, um coeficiente térmico efetivo $TC_{F(ef)}$ pode ser definido como [6]:

$$TC_{F(ef)} = \frac{1}{V_S} \left(\frac{V_{S(máx)} - V_{S(mín)}}{T_{máx} - T_{mín}} \right) \quad (2.23)$$

onde V_S é a tensão de saída nominal à temperatura ambiente, $V_{S(máx)}$ e $V_{S(mín)}$ são as máxima e mínima tensões de saída medidas em toda excursão da temperatura $T_{máx} - T_{mín}$.

Capítulo 3

Fontes de Erro e Técnicas de Projeto de Componentes Integrados

3.1. Considerações Gerais

O Capítulo 2 abordou os aspectos de qualidade, técnicas de circuitos e medidas para avaliação do desempenho da referência de tensão *bandgap*, ilustrada na Fig. 2.6, escolhida para realização deste projeto. Para se atingir os aspectos de qualidade e desempenho requeridos pelos *ASICs* comerciais, torna-se necessário explorar as fontes de erros e técnicas de circuitos que levem ao apropriado dimensionamento dos componentes desta referência de tensão.

Muitos resistores e capacitores integrados possuem tolerância na faixa de ± 20 a 30% que podem ser considerados pobres, se comparados com os componentes discretos, entretanto, este fato não impede que sejam projetados circuitos analógicos de precisão, uma vez que todos componentes de um circuito integrado compartilham a mesma área de silício e, portanto, sofrem as mesmas condições de fabricação [14]. A relação entre o aspecto construtivo de dois componentes semelhantes do mesmo circuito integrado pode ser controlada a valores melhores que $\pm 1\%$ e, em grande parte dos casos, melhores que $\pm 0,1\%$. Componentes construídos para se obter uma relação constante e conhecida são chamados de *casados*.

Neste capítulo são abordadas as fontes de erros e técnicas de projeto de resistores e transistores integrados casados, servindo como referência para o próximo capítulo, onde a referência de tensão programável e seus respectivos componentes serão analisados e projetados.

3.2. Descasamento de Componentes Integrados

O *descasamento* entre dois componentes integrados é geralmente expresso como o desvio da relação medida pela relação desejada. Por exemplo, suponha-se que um projetista tenha especificado o casamento entre dois resistores semelhantes de 10kΩ. Depois da fabricação, são medidas resistências de valores 12,47kΩ e 12,34kΩ. A razão entre estes resistores é de 1,0105, ou aproximadamente 1% acima da relação desejada de 1,0000. Logo, pode-se dizer que estes resistores possuem um descasamento de aproximadamente 1%.

O conceito de descasamento também se aplica aos componentes semelhantes que possuam relação diferente de 1:1. Considerando-se x_1 e x_2 como os valores medidos de dois componentes semelhantes, X_1 e X_2 como os seus valores desejados, o descasamento δ entre estes é expresso por [14]:

$$\delta = \frac{\left(\frac{x_2}{x_1}\right) - \left(\frac{X_2}{X_1}\right)}{\frac{X_2}{X_1}} = \frac{X_1 x_2}{X_2 x_1} - 1 \quad (3.1)$$

A Eq. (3.1) computa o descasamento de um par específico de componentes. As mesmas medidas realizadas em um segundo par de componentes podem levar a descasamentos distintos. Medidas de um grande número de pares de componentes fornecem uma distribuição aleatória de descasamentos. A análise da distribuição aleatória dos descasamentos dos componentes fornece ao projetista uma visão geral do número de amostras que possam vir a falhar na concepção do circuito integrado e as capacidades do processo.

Suponha-se que uma amostra contenha um lote de N unidades de circuitos integrados, nos quais os descasamentos são $\delta_1, \delta_2, \delta_3 \dots \delta_N$, medido conforme a Eq. (3.1). Os

sinais destes descasamentos são significativos e precisam ser considerados para que as medidas, a seguir, tenham sentido. Baseado nestes, pode ser extraído um *descasamento médio* m_δ . Este descasamento consiste na soma de todos os descasamentos medidos divididos pelas N unidades e expresso por [14]:

$$m_\delta = \frac{1}{N} \sum_{i=1}^N \delta_i \quad (3.2)$$

Uma vez m_δ medido, pode-se determinar o *desvio padrão dos descasamentos* σ_δ [14]:

$$\sigma_\delta = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (\delta_i - m_\delta)^2} \quad (3.3)$$

A média m_δ é uma medida do *descasamento sistemático* entre os componentes casados. Este descasamento é causado por mecanismos do processo de fabricação que afetam as amostras da mesma maneira. As principais fontes de descasamento sistemático são: *a polarização do processo, resistência de contato, fluxo de corrente não-uniforme, interação entre difusões, gradientes de desgaste e gradientes de temperatura*, entre outros estudados com detalhes na referência [14].

O desvio padrão σ_δ quantifica o *descasamento aleatório* causado por irregularidades microscópicas (também chamadas de *flutuações*) nas condições de concepção do circuito integrado ou na propriedade dos materiais usados neste. As flutuações são reduzidas com o dimensionamento apropriado dos componentes casados, baseado em modelos físicos e estatísticos que caracterizam o processo de fabricação destes.

Uma vez calculados os descasamentos sistemático e aleatório do número N de amostras, um histograma é gerado, como o exemplo da Fig. 3.1 para $N = 30$. A partir deste, os piores casos de descasamento podem ser previstos para diversos parâmetros de processo, como o *ganho de transcondutância* KP [$\mu\text{A}/\text{V}^2$] e a *tensão de threshold* V_t [mV] dos transistores MOS, a *resistência de folha* ρ [Ω/\square] dos resistores e a *densidade de capacitância* C_d [fF/ μm^2] dos capacitores, dentre outros, usando-se um índice específico. Um índice típico é o *descasamento três sigma* (3σ), no qual é equivalente a $m_\delta + 3\sigma$. A Tab. 3.1 exhibe os parâmetros do processo TSMC CMOS 0,35 μm .

Para um descasamento 3σ , a precisão do casamento de componentes integrados pode ser classificada como:

- **Mínima:** aproximadamente $\pm 1\%$, ou resolução de 6 a 7 bits. É usada para todos componentes de uso geral em um circuito analógico, por exemplo, nos espelhos de corrente de um circuito de polarização;
- **Moderada:** aproximadamente $\pm 0,1\%$, ou resolução de 9 a 10 bits. É usada em referências *bandgap*, amplificadores operacionais e estágio de entrada de comparadores de tensão. É a mais utilizada em projetos analógicos;
- **Precisa:** aproximadamente $\pm 0,01\%$, ou resolução de 13 a 14 bits. Usada em conversores A/D e D/A de precisão ou em aplicações que requerem precisão extrema. Os capacitores atingem este nível com mais facilidade do que os resistores.

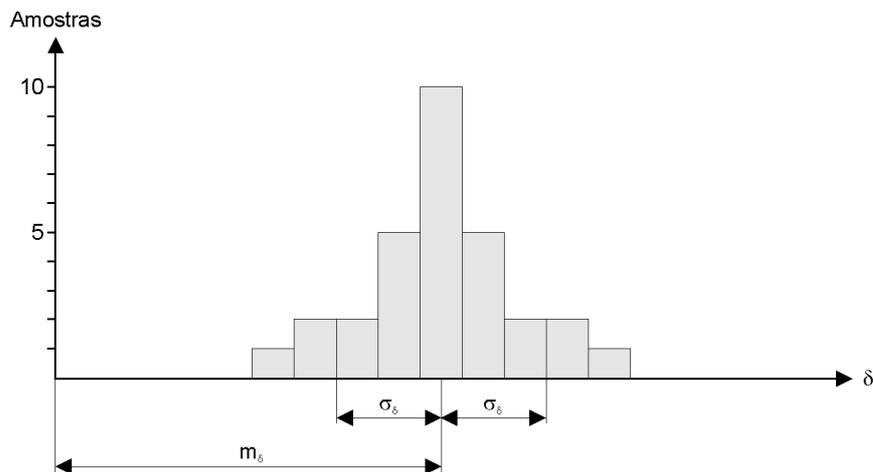


Figura 3.1 – Histograma do Descasamento δ de 30 Amostras de um Circuito Integrado.

Tabela 3.1 – Parâmetros de Processo da Tecnologia TSMC CMOS 0,35 μ m.

	Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
NMOS	Ganho de Transcondutância	KPN	-	184,6	-	$\mu\text{A}/\text{V}^2$
	Tensão de <i>Threshold</i>	V_{t_n}	-	530	-	mV
	Coefficiente Térmico – Tensão <i>Threshold</i>	$\text{TC}_{V_{t_n}}$	-	-1,10	-	mV/K
PMOS	Ganho de Transcondutância	KPP	-	62,3	-	$\mu\text{A}/\text{V}^2$
	Tensão de <i>Threshold</i>	$ V_{t_p} $	-	760	-	mV
	Coefficiente Térmico – Tensão <i>Threshold</i>	$\text{TC}_{V_{t_p}}$	-	1,80	-	mV/K
Resistor Difusão p	Resistência de Folha	ρ	112,5	150,0	187,5	Ω/\square
	Coefficiente Térmico Fracional	TC_F	-	1400	-	ppm/K
Capacitor P2P1	Densidade de Capacitância	Cd	780	860	960	aF/ μm^2

Em resumo, o objetivo de projetar componentes integrados casados é reduzir os erros que as variações de processo de fabricação introduzem em sua concepção. Nas próximas seções, serão abordadas fontes e técnicas para reduzir o descasamento sistemático e aleatório de resistores e transistores MOS, usados no projeto da referência de tensão proposta neste documento.

3.3. Descasamento Sistemático de Componentes Integrados

Neste item serão abordadas, de forma sucinta, as principais fontes de descasamento sistemático durante a concepção de componentes integrados. Em seguida, é discutida a técnica de *layout de centróide comum* de componentes integrados casados, apresentando-se como a solução para minimização dos erros causados pelo descasamento em questão.

3.3.1. Principais Fontes de Descasamento Sistemático

As dimensões dos componentes fabricados no silício nunca casam exatamente com aquelas da base de dados do *layout* porque encolhem ou expandem durante os processos de *fotolitografia*, *etching*, *difusão* e *implantação iônica* [14]. A diferença entre a dimensão projetada e a medida no silício é chamada de *polarização do processo*.

As polarizações de processo podem introduzir descasamentos sistemáticos consideráveis em componentes mal projetados. Considere-se o caso do casamento de dois resistores de polissilício de comprimentos $2\mu\text{m}$ e $4\mu\text{m}$ (razão igual a 0,5). Suponha-se que o *etching* de polissilício introduza uma polarização de processo de $0,1\mu\text{m}$. A razão entre os comprimentos no silício seria de $(2 + 0,1)/(4 + 0,1) = 0,512$, ou seja, um descasamento de não menos do que 2,4%. Uma vez que grande parte das etapas da fabricação de um circuito integrado possui uma polarização de pelo menos $0,1\mu\text{m}$, o projetista deve ter certeza, na concepção do *layout*, que os componentes casados são insensíveis às polarizações do processo. Para o caso do exemplo, bastaria dividir o resistor de $4\mu\text{m}$ em dois de $2\mu\text{m}$ e, portanto, a razão no silício seria de $(2 + 0,1)/(2 \cdot (2 + 0,1)) = 0,5$.

Os chamados *gradientes* também são fontes importantes de descasamento sistemático na concepção de circuitos integrados. Basicamente, são classificados como *gradientes de desgaste* e *gradientes de temperatura* [14].

Os *gradientes de desgaste* ocorrem devido à propriedade do silício de ser um material piezoresistivo, ou seja, exibe variações em sua resistividade característica quando submetido a desgastes mecânicos (por exemplo, durante o corte das diversas amostras de um circuito integrado).

A Fig. 3.2 ilustra graficamente a distribuição do desgaste mecânico através de um circuito integrado típico. No centro, ilustra-se o *gráfico das linhas isobáricas* que indicam os níveis de desgaste equivalentes para uma série de pontos do circuito integrado. No topo e à direita, os níveis de desgastes mecânicos através das seções A-A e B-B que sugerem que estes sejam mínimos na região centrais, e máximos ao longo dos quatro cantos do circuito integrado.

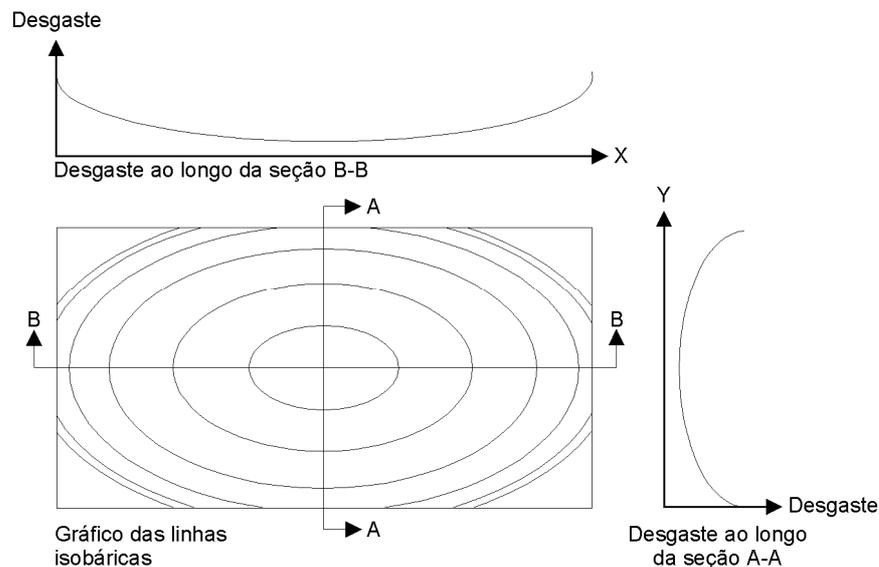


Figura 3.2 – Gráfico das Linhas Isobáricas de um Circuito Integrado.

O espaçamento entre as linhas isobáricas fornece informação adicional sobre a distribuição de desgaste mecânico. A intensidade de desgaste muda rapidamente onde as linhas isobáricas estão localizadas próximas umas às outras e, de forma lenta, onde estão localizadas distantes. A taxa da variação da intensidade de desgaste mecânico é chamada de *gradiente de desgaste*. Este gradiente é mínimo na região central do circuito integrado e máximo ao longo de seus quatro cantos.

Os componentes casados devem ser localizados próximos uns aos outros para que as diferenças de desgastes mecânicos sejam reduzidas. Ainda que as dimensões finitas dos componentes integrados pareçam ser limitantes a quão próximos estes possam estar localizados, existem técnicas de *layout* conhecidas para que mínimas distâncias entre os componentes possam ser obtidas e serão abordadas no próximo item deste documento.

A diferença de desgaste mecânico entre dois componentes casados é proporcional ao produto do gradiente de desgaste e à distância entre eles. Para o seu cálculo, a localização de cada componente é determinada como a contribuição média de cada seção do componente para o todo [14]. A localização resultante é chamada de *centróide* do componente. *O princípio da simetria centroidal* relata que qualquer eixo de simetria do componente em questão passa pelo centróide do mesmo. A Fig. 3.3a ilustra o centróide de um retângulo e a Fig. 3.3b o centróide de um resistor típico.

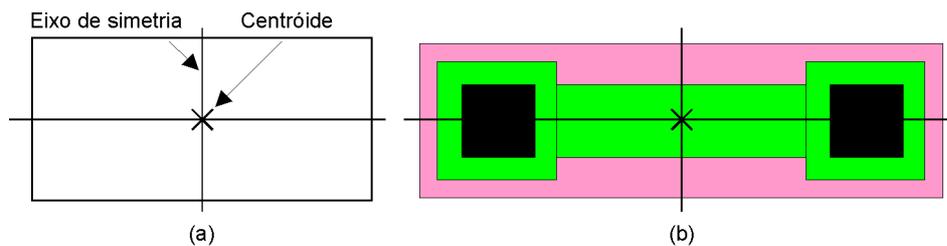


Figura 3.3 – Localização dos Centróides (a) Retângulo (b) Resistor Típico.

Os efeitos de desgaste mecânicos em resistores podem ser quantificados em termos da piezoresistividade, posições dos centróides e gradientes de desgaste. A magnitude do *descasamento induzido por desgaste mecânico* δ_s entre dois resistores é expresso por [14]:

$$\delta_s = \pi_{cc} d_{cc} \nabla S_{cc} \quad (3.4)$$

onde π_{cc} é a piezoresistividade ao longo de uma linha que une os centróides de dois componentes casados, ∇S_{cc} é o gradiente de desgaste ao longo desta mesma linha e d_{cc} a distância entre os centróides. A Eq. (3.4) sugere que o efeito do desgaste mecânico pode ser minimizado, primeiro pela escolha de um material de baixa piezoresistividade ou pela orientação de ambos na direção da pastilha em que esta é mínima, segundo pela redução da magnitude do gradiente de desgaste ∇S_{cc} conseqüente da escolha da localização dos componentes e dos encapsulamentos apropriados e, terceiro, pela redução da distância entre os centróides d_{cc} .

Os chamados *gradientes de temperatura* podem ser analisados de forma semelhante aos considerados para os gradientes de desgaste. As propriedades elétricas de muitos componentes integrados têm alta dependência da temperatura, a exemplo dos resistores integrados que possuem coeficientes de temperatura equivalentes a 1000ppm/°C ou mais.

Considere-se o caso ilustrado na Fig. 3.4 [14], onde está ilustrado o *gráfico das linhas isotérmicas* de uma pastilha que contém um componente de potência que dissipa grande quantidade de calor. Cada linha isotérmica representa pontos do circuito submetidos à mesma temperatura de operação. As linhas isotérmicas distintas estão submetidas a diferentes temperaturas a um passo ΔT definido. A taxa da variação da temperatura é chamada de *gradiente de temperatura*. Os gradientes de temperatura são máximos ao redor do perímetro do componente de potência e, gradualmente, decrescem conforme se afasta deste. Pelo motivo da fonte de calor ser posicionada simetricamente ao redor do eixo horizontal da pastilha, a distribuição de calor também é simétrica sobre este eixo. A presença deste eixo de simetria também melhora o casamento térmico de componentes na pastilha.

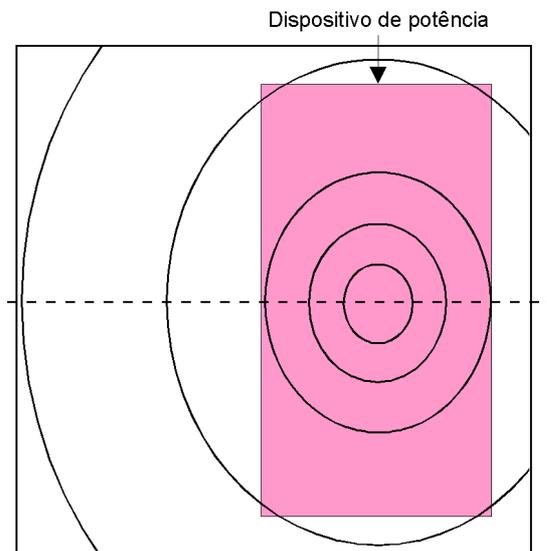


Figura 3.4 – Gráfico das Linhas Isotérmicas de um Circuito de Potência.

Assumindo-se que o gradiente térmico permanece constante na vizinhança de um par de componentes casados, então o *descasamento induzido por temperatura* δ_T entre estes é expresso por [14]:

$$\delta_T = TC_1 d_{cc} \nabla T_{cc} \quad (3.5)$$

onde TC_l é o coeficiente de temperatura linear dos componentes, d_{cc} a distância entre seus centróides e ∇T_{cc} o gradiente de temperatura ao longo da linha que conecta os seus centróides.

Para uma abordagem profunda sobre fontes de descasamento sistemático durante a concepção de circuitos integrados, recomenda-se a leitura da referência [14].

3.3.2. *Layout* de Centróide Comum, Disposição e Orientação de Componentes Integrados

Em circuitos integrados analógicos o *layout* de dois componentes integrados casados é realizado de tal forma que possam ser divididos em seções idênticas, em disposição simétrica e matricial. Se ambos componentes possuem o mesmo ponto de intersecção para todos eixos de simetria, então estes possuem *centróide comum*, conforme ilustra a Fig. 3.5.

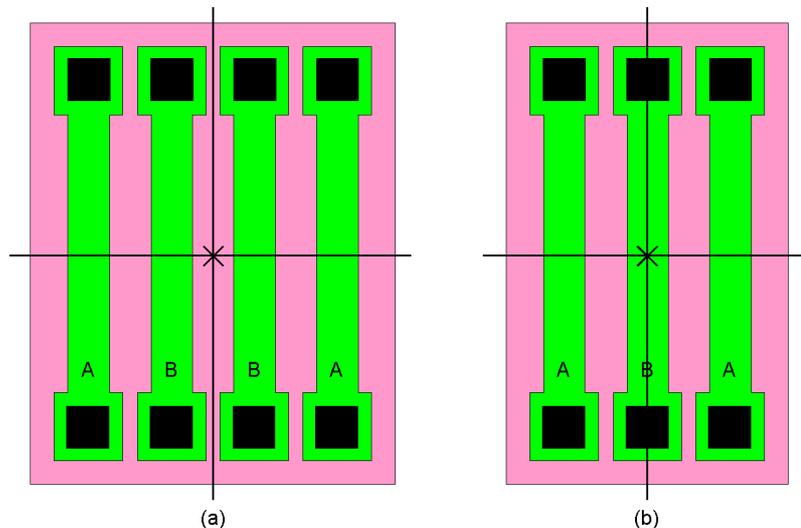


Figura 3.5 – Exemplo de uma Matriz de Componentes Dispostos em Centróide Comum.

O *layout* de centróide comum, com os componentes casados dispostos de forma matricial, em seções idênticas e simétricas é essencial para reduzir ou até mesmo eliminar as fontes de descasamento sistemático entre os mesmos, conforme discutido no item anterior e realizando-se a análise das Eqs. (3.4) e (3.5), onde a distância entre os centróides d_{cc} dos componentes casados é nula e, portanto, também nulos os descasamentos induzidos por desgastes mecânicos δ_S e de temperatura δ_T .

A Fig. 3.5 ilustra exemplos de *matrizes unidimensionais* realizadas em centróide comum e com *componentes interdigitados*, isto é, dispostos de forma que as seções de um componente interpenetrem as seções de outro. Se os componentes são denotados pelas letras A e B, então a *matriz de interdigitação* dos componentes da Fig. 3.6a diz que estes são dispostos como ABBA. Esta matriz possui um eixo de simetria que divide os componentes em duas partes espelhadas AB e BA.

A Fig. 3.6 ilustra exemplos de *matrizes bidimensionais* realizadas em centróide comum, nas quais são divididas por dois eixos de simetria. Este tipo de *layout* geralmente fornece melhor cancelamento de gradientes do que as matrizes unidimensionais, basicamente pela superior *compactação e dispersão* dos componentes. A Fig. 3.6a ilustra um exemplo de dois componentes dispostos em *acoplamento cruzado*, comumente realizado para casamento dos transistores do par diferencial de amplificadores operacionais. Se os componentes podem ser divididos em mais seções, então são dispostos conforme ilustra a Fig. 3.6b e estes são mais robustos, pois apresentam maior *dispersão* e, portanto, são menos susceptíveis a gradientes de ordem superior.

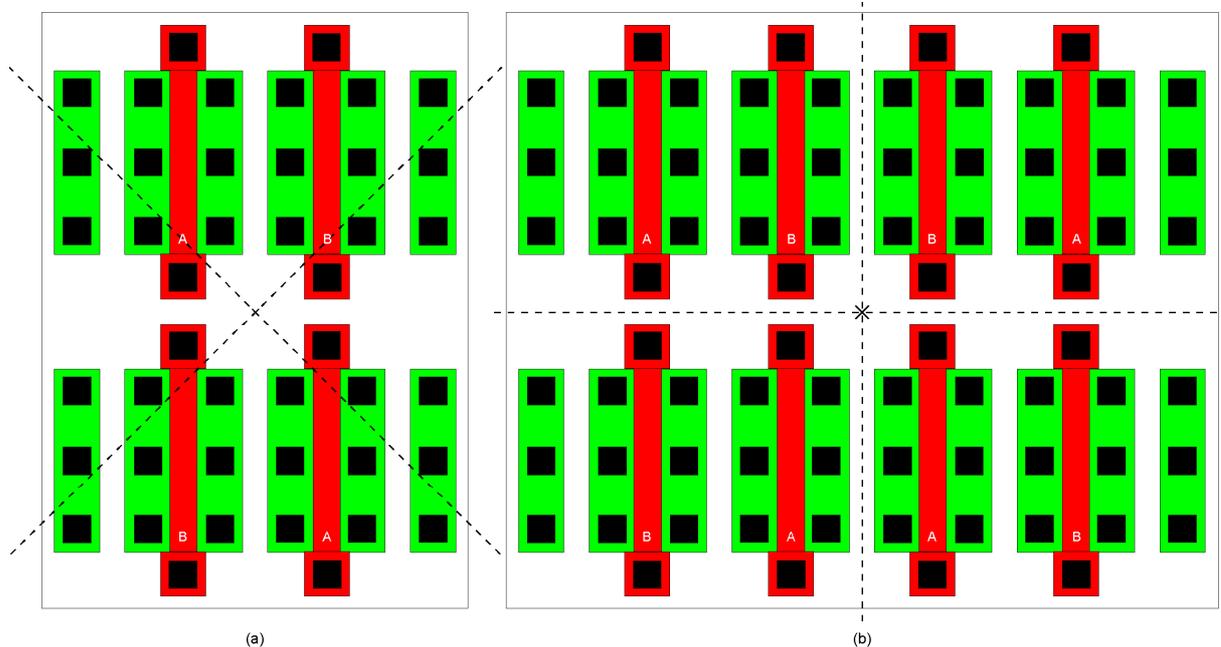


Figura 3.6 – Exemplo de Matrizes Bidimensionais de Componentes em Centróide Comum.

A referência [14] considera quatro regras essenciais para a execução do *layout* de componentes em centróide comum:

- **Coincidência:** os centróides de dispositivos casados devem coincidir ou ser colocados os mais próximos possíveis;
- **Simetria:** a matriz de componentes deve ser simétrica em ambos os eixos X e Y. Idealmente a simetria deve vir do posicionamento dos componentes na matriz e não da simetria individual de cada um destes;
- **Dispersão:** a matriz deve exibir o maior grau possível de dispersão, ou seja, cada componente deve ser distribuído ao longo da matriz o mais uniforme possível;
- **Compactação:** a matriz deve ser a mais compacta possível, idealmente próxima ao formato de um quadrado.

Na execução da divisão dos componentes casados em componentes unitários, o projetista deve verificar se existe entre eles o *máximo fator comum*. Por exemplo, o casamento entre dois resistores de $20\text{k}\Omega$ (A) e $10\text{k}\Omega$ (B) pode ser feito a partir de seis resistores de $5\text{k}\Omega$ em uma matriz unidimensional AABBA. Como nem sempre isto é possível, os componentes da matriz devem ter o máximo número de componentes comuns possíveis, fazendo a disposição dos componentes remanescentes de forma especial e respeitando as quatro regras essenciais.

3.4. Descasamento Aleatório de Componentes Integrados

Todos os componentes integrados exibem irregularidades microscópicas, também chamadas de *flutuações*. Por exemplo, em um resistor de polissilício, as bordas deste material exibem irregularidades microscópicas provenientes da granularidade do polissilício, enquanto outras são oriundas das imperfeições do processo de fotolitografia. A granularidade do polissilício causa variações em sua espessura e na resistividade do resistor, ou seja, as imperfeições do processo de fabricação e dos materiais usados na concepção do circuito integrado causam variações nos parâmetros elétricos inicialmente especificados pelo projetista e, portanto, levam ao descasamento aleatório de componentes casados.

As flutuações são funções do comprimento L e da largura W do componente integrado a ser fabricado e recebem duas classificações: *flutuações periféricas*, que são aquelas que ocorrem ao redor de suas bordas e *flutuações de área* que são aquelas que

ocorrem ao longo de seu corpo. As naturezas destas relações de escala são deduzidas a partir de métodos estatísticos.

Nos próximos itens serão abordadas algumas técnicas de modelagem do descasamento aleatório de transistores MOS e dos resistores de difusão, utilizados no projeto da referência de tensão proposta. Neste projeto, os capacitores integrados não são casados e os transistores bipolares não possuem caracterização elétrica detalhada proveniente do fabricante do processo CMOS 0,35 μm e, portanto, serão projetados com valores padrão. Para maiores detalhes da modelagem do descasamento aleatório de capacitores integrados e transistores bipolares, recomenda-se a leitura das referências [15], [16] e [17], respectivamente.

3.4.1. Descasamento Aleatório de Transistores MOS

Historicamente, o descasamento aleatório de transistores MOS foi tratado mais como uma “arte” do que uma ciência, baseado na experiência de projetistas sem comprovação ou caracterização de efeitos [18]. Muitas análises foram baseadas na modelagem manual do transistor operando na região de saturação (por exemplo, $I_{D(sat)} = 0,5\beta(V_{GS} - V_t)^2$). Alguns modelos são baseados em extensões paramétricas de [19], mas erram na mesma base fundamental: nenhum destes são aplicáveis para todas regiões de operação do transistor. Além disto, os parâmetros elétricos do transistor MOS são altamente dependentes da polarização, dimensão e parâmetros físicos, que não estão bem caracterizados nestas referências.

Este documento segue a referência [18] para a modelagem do descasamento de transistores MOS, que usa bases físicas para a sua realização. Este modelo é aplicável a todas condições de polarização (inversão fraca, linear e saturação) e de geometrias do transistor, incluindo fenômenos como a resistência série entre dreno e fonte, efeitos de corpo, larguras de canal curto e reverso, comprimento de canal estreito ou inverso, e degradação da mobilidade. A sua aplicação prática é simples e se baseia nas medidas da corrente de dreno fornecidas pelo fabricante do processo CMOS e no simulador elétrico baseado no modelo BSIM3 (por exemplo, SPICE).

A base para a modelagem de descasamento aleatório foi proposta por [15] e [16] onde o conceito de *variação local* foi introduzido como ilustrado na Fig. 3.7. Para a

variação local, as flutuações no comprimento de canal L dependem da largura W do componente, sendo expressas como:

$$\sigma_L \propto \frac{1}{W} \quad (3.6)$$

e, de forma análoga, as flutuações na largura de canal W :

$$\sigma_W \propto \frac{1}{L} \quad (3.7)$$

A variação local de parâmetros como a resistência de folha, concentração de dopante de canal, mobilidade e largura de óxido de porta possui uma dependência de área:

$$\sigma_p \propto \frac{1}{LW} \quad (3.8)$$

onde p representa o parâmetro de interesse.

Fisicamente, as dependências das variações de borda indicadas nas Eqs. (3.6) e (3.7) e de área mostrada na Eq. (3.8) são resultantes da granularidade do polissilício, erros do processo de fotolitografia, injeção de dopantes, variações na espessura/permissividade do óxido de porta, etc. Qualitativamente, as variações locais diminuem na medida em que as dimensões do componente aumentam uma vez que estes parâmetros “atingem valores médios” para grandes larguras ou áreas. As variações locais são contrastantes com as globais, que independem das dimensões dos componentes. Como as variações locais são dominantes no casamento de componentes, raramente os fabricantes de processo CMOS caracterizam as variações globais.

Para a modelagem de descasamento aleatório, sugere-se que o projetista considere dois tipos de parâmetros: os de *processo* e *elétricos*, conforme indicado na Tab. 3.2. Os parâmetros de processo são fisicamente independentes e controlam as características elétricas de um componente. Os parâmetros elétricos são de interesse especial do projetista.

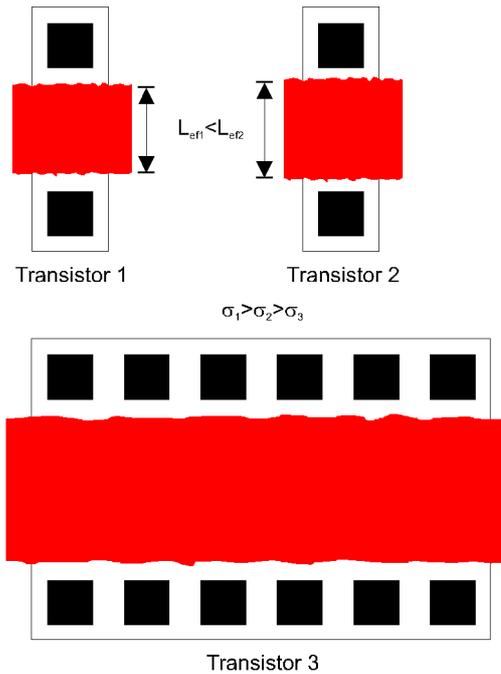


Figura 3.7 – Variações Globais e Locais em Transistores MOS.

Tabela 3.2 – Parâmetros de Processo e Elétricos Relevantes.

Parâmetros de Processo	Parâmetros Elétricos
Tensão de Banda Plana (V_{fb})	Corrente de Dreno (I_D)
Mobilidade (μ)	Tensão de Gate-Fonte (V_{GS})
Concentração de Dopante de Substrato (N_{sub})	Transcondutância (g_m)
Varição do Comprimento de Canal (ΔL)	Condutância de Saída (g_o)
Varição da Largura de Canal (ΔW)	
Efeito de Canal Curto (V_{tl})	
Efeito de Canal Estreito (V_{tw})	
Espessura de Óxido de Porta (t_{ox})	
Resistência de Folha de Fonte/Dreno (ρ_{sh})	

A tensão de *threshold* V_t não é um parâmetro de processo e depende de V_{fb} , t_{ox} e N_{sub} (o valor efetivo que depende da polarização do corpo), L através do “efeito de canal curto” e “efeito de canal curto reverso”, e W através do “efeito de canal estreito” e “efeito de canal estreito inverso”. Portanto, as referências baseadas em [19] associam o descasamento da corrente $I_{D(sat)}$ com as variações de V_t inapropriadamente, sem considerar a grande dependência desta tensão com os parâmetros físicos do processo CMOS.

Para a modelagem do descasamento de transistores MOS, a referência [18] se baseia na relação da *propagação da variância (PVAR)* [20] de parâmetros, ilustrada na Fig.

3.8. Para uma variável independente x e uma variável dependente $y = g(x)$, tem-se:

$$\Delta_y = \frac{\partial y}{\partial x} (\Delta_x) \quad (3.9)$$

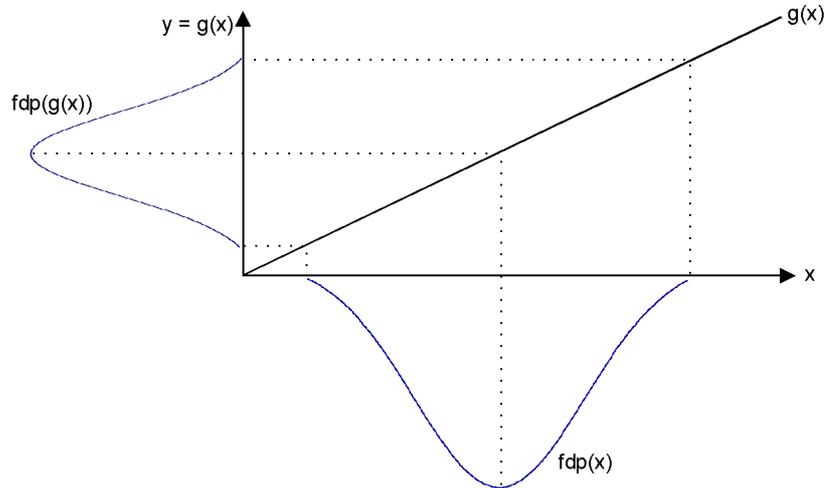


Figura 3.8 – Propagação da Variância de Parâmetros (PVAR).

Considerando-se o intervalo dos possíveis valores de Δ_x descritos pela *função densidade de probabilidade (fdp)* de x e construindo-se uma função $fdp(y)$, obtém-se a relação PVAR [18]:

$$\sigma_e^2 = \sum_i \left(\frac{\partial_e}{\partial_{p_i}} \right)^2 \sigma_{p_i}^2 \quad (3.10)$$

onde e é qualquer parâmetro elétrico e p_i é o i -ésimo parâmetro de processo independente, conforme listado na Tab. 3.2. Para o transistor MOS, são assumidas distribuições normais, onde o seu descasamento é expresso por:

$$\sigma_e^2 = \sum_i \left(\frac{\partial_e}{\partial_{p_i}} \right)^2 \sigma_{p_i}^2 (\text{geometria}) \quad (3.11)$$

onde a dependência do parâmetro de processo pela geometria do transistor é fornecida pelas Eqs. (3.9), (3.10) e (3.11). Expandindo-se a Eq. (3.11) na forma matricial $A = B x C$, tem-se:

$$\begin{bmatrix} \sigma_{I_{D1}}^2 \\ \sigma_{I_{D2}}^2 \\ \Lambda \\ \sigma_{I_{Dn}}^2 \end{bmatrix} = \begin{bmatrix} \left(\frac{d I_{D1}}{d \Delta_w} \right)^2 \left(\frac{d I_{D1}}{d t_{ox}} \right)^2 \left(\frac{d I_{D1}}{d V_{fb}} \right)^2 \left(\frac{d I_{D1}}{d \mu_o} \right)^2 \left(\frac{d I_{D1}}{d \Delta_L} \right)^2 \left(\frac{d I_{D1}}{d V_{tl}} \right)^2 \left(\frac{d I_{D1}}{d \rho_{sh}} \right)^2 \left(\frac{d I_{D1}}{d N_{sub}} \right)^2 \\ \left(\frac{d I_{D2}}{d \Delta_w} \right)^2 \left(\frac{d I_{D2}}{d t_{ox}} \right)^2 \left(\frac{d I_{D2}}{d V_{fb}} \right)^2 \left(\frac{d I_{D2}}{d \mu_o} \right)^2 \left(\frac{d I_{D2}}{d \Delta_L} \right)^2 \left(\frac{d I_{D2}}{d V_{tl}} \right)^2 \left(\frac{d I_{D2}}{d \rho_{sh}} \right)^2 \left(\frac{d I_{D2}}{d N_{sub}} \right)^2 \\ \Lambda \\ \left(\frac{d I_{Dn}}{d \Delta_w} \right)^2 \left(\frac{d I_{Dn}}{d t_{ox}} \right)^2 \left(\frac{d I_{Dn}}{d V_{fb}} \right)^2 \left(\frac{d I_{Dn}}{d \mu_o} \right)^2 \left(\frac{d I_{Dn}}{d \Delta_L} \right)^2 \left(\frac{d I_{Dn}}{d V_{tl}} \right)^2 \left(\frac{d I_{Dn}}{d \rho_{sh}} \right)^2 \left(\frac{d I_{Dn}}{d N_{sub}} \right)^2 \end{bmatrix} \begin{bmatrix} \frac{\sigma_{\Delta_w}^2}{L} \\ L \\ \sigma_{t_{ox}}^2 \\ LW \\ \frac{\sigma_{V_{fb}}^2}{LW} \\ LW \\ \sigma_{\mu_o}^2 \\ LW \\ \frac{\sigma_{\Delta_L}^2}{W} \\ W \\ \sigma_{V_{tl}}^2 \\ LW \\ \sigma_{\rho_{sh}}^2 \\ \frac{\rho_{sh}}{LW} \\ LW \\ \sigma_{N_{sub}}^2 \\ LW \end{bmatrix} \quad (3.12)$$

onde (\sim) sobre uma variável indica um parâmetro normalizado.

Para caracterização, o vetor A é obtido a partir das medidas do descasamento de n correntes de dreno I_D de diversas pastilhas de silício, da polarização e de geometrias, levando, tipicamente, a centenas de combinações. As combinações são escolhidas de forma que as variâncias dos descasamentos dos parâmetros de processo sejam observadas nos dados do descasamento de I_D , com uma solução única e inconfundível. Por exemplo, ρ_{sh} só afeta significativamente a I_D dos transistores de canal curto, operando na região linear, para altos valores de V_{GS} ; então o descasamento é medido nestas condições. Ainda, a ρ_{sh} não pode ser considerada em caracterizações de descasamento que contenham medidas de Vt , β e/ou $I_{D(sat)}$, uma vez que não se reflete nestes parâmetros. Basicamente, esta é a explicação dos resultados obtidos por [21].

A matriz B contém os quadrados das sensibilidades de I_D em relação a cada parâmetro de processo. Cada coluna de sensibilidade é numericamente calculada usando-se a simulação Monte Carlo em SPICE nas condições de polarização e geometria em que a correspondente σ_{I_D} é medida. Então, as condições de polarização e geometrias dos transistores medidos devem ser escolhidas para assegurar que cada parâmetro de processo possa ser observado de forma independente durante a medida do erro.

Dadas as matrizes A e B , a matriz C pode ser calculada usando-se regressão linear simples. Este método é chamado de “retropropagação da variância” (RPV). No próximo capítulo, a Eq. (3.12) será utilizada, com auxílio dos dados do fabricante TSMC 0,35 μ m CMOS, para o dimensionamento dos transistores MOS da referência *bandgap*. A referência [18] faz uma análise detalhada do descasamento de transistores MOS configurados como espelho de corrente que pode ser aplicada de forma semelhante a outras topologias como, por exemplo, a do par diferencial.

3.4.2. Descasamento Aleatório de Resistores de Difusão

Este documento segue a referência [22] para a modelagem do descasamento de resistores de difusão, que também usa bases físicas para sua realização. A consideração do descasamento de resistores integrados é imprescindível para o bom desempenho e rendimento de circuitos como conversores de dados, amplificadores e, a exemplo deste projeto, referência de tensão *bandgap*.

A resistência de um resistor de difusão, submetido à polarização de poço nominal, é expressa por:

$$R = \frac{L' + \Delta L}{W' + \Delta W} \rho + \frac{2R_{con}}{W_{ext}} + \frac{2R_{ext}}{W_{ext}} \quad (3.13)$$

onde L' é o comprimento e W' a largura dimensionados pelo projetista do circuito, e W_{ext} a largura efetiva nas extremidades do resistor. ΔL e ΔW são as diferenças, respectivamente, entre o comprimento e a largura medidos no circuito e o comprimento e largura dimensionados. Finalmente, ρ é a resistência de folha e R_{con} a resistência de contato.

Considerando-se $(W + \Delta W) \sim W_{ext}$, então R_{con} e R_{ext} são parametricamente similares a ΔL e, combinadas, podem ser reescritas como ΔE . A Eq. (3.13) pode ser reescrita como:

$$R = \frac{L' + \Delta E}{W' + \Delta W} \rho = \frac{L}{W} \rho \quad (3.14)$$

uma vez que $\sigma_{L,W}^2 = \sigma_{(L'+\Delta E),(W'+\Delta W)}$, onde L e W são o comprimento e largura efetivos, respectivamente. A resistência de folha de um resistor de difusão tipo n pode ser expressa como:

$$\rho \cong \frac{1}{q \int_{X_j} N_d(x) \mu(x) dx} \quad (3.15)$$

onde q é a magnitude da carga de um elétron, $N_d(x)$ é a concentração de dopagem da difusão tipo n, $\mu(x)$ é a mobilidade do elétron e X_j a profundidade da junção. Desprezando-se a dependência da mobilidade na concentração de dopagem, se esta é uniforme, então a Eq. (3.15) é reescrita como:

$$\rho \cong \frac{1}{q\mu N_d X_j} \quad (3.16)$$

e através da PVAR da Eq. (3.16), obtém-se:

$$\frac{\sigma_\rho^2}{\rho^2} = \frac{\sigma_{N_d}^2}{N_d^2} + \frac{\sigma_{X_j}^2}{X_j^2} \quad (3.17)$$

A Eq. (3.17) sugere que o descasamento da resistência de folha normalizada decresce conforme crescem N_d e X_j , mas estes termos possuem dependência com a área LW do resistor. Portanto, a Eq. (3.17) pode ser reescrita em função da área do resistor, como:

$$\frac{\sigma_{\rho_{sh}}^2}{\rho_{sh}^2} = \frac{\sigma_{LW}^2}{LW} \quad (3.18)$$

Usando-se a PVAR, o descasamento na resistência da Eq. (3.14) pode ser expresso em função dos descasamentos na geometria e resistência de folha como:

$$\frac{\sigma_R^2}{R^2} = \frac{\sigma_L^2}{L^2} + \frac{\sigma_W^2}{W^2} + \frac{\sigma_{LW}^2}{LW} + d_x^2 \Delta_{gx}^2 + d_y^2 \Delta_{gy}^2 \quad (3.19)$$

onde σ_L , σ_W , σ_{LW} são os descasamentos causados por variações locais de L , W e LW que, a exemplo dos transistores MOS, são dominantes no descasamento de dois resistores de difusão dispostos um ao lado do outro. Os termos Δ_{gx} e Δ_{gy} são adicionados ao modelo do descasamento levando-se em conta os efeitos dos gradientes de desgaste e temperatura encontrados ao longo das distâncias d_x e d_y entre os centróides dos componentes casados dispostos um ao lado do outro.

Considerando-se que os resistores possuem centróide comum ($d_x = d_y = 0$), reescreve-se a Eq. (3.19) como:

$$\frac{\sigma_R^2}{R^2} = \frac{W^2 \sigma_L^2}{A^2} + \frac{\sigma_W^2}{W^2} + \frac{\sigma_{LW}^2}{A} \quad (3.20)$$

e, para áreas constantes:

$$\frac{\partial}{\partial W} \left(\frac{\sigma_R^2}{R^2} \right)_A = \frac{2W\sigma_L^2}{A^2} - 2\frac{\sigma_W^2}{W^3} \quad (3.21)$$

Fazendo a Eq. (3.21) igual a zero, a condição para o mínimo descasamento de resistores de difusão integrados é expressa por:

$$L = \frac{\sigma_L}{\sigma_W} W \quad (3.22)$$

Finalmente, substituindo a Eq. (3.22) na Eq. (3.19), considerando resistores casados em centróide comum:

$$\left(\frac{\sigma_R^2}{R^2} \right)_{\min} = 2\frac{\sigma_W^2}{W^2} + \frac{\sigma_{LW}^2}{LW} \quad (3.23)$$

As Eqs. (3.13) a (3.23) são validadas pela referência [22] através de medidas experimentais realizadas em resistores de difusão fabricados sobre um processo BiCMOS 0,8 μ m; estas serão utilizadas para o projeto dos resistores da referência de tensão *bandgap* proposta neste documento.

Capítulo 4

Especificação, Projeto e Medidas Elétricas da Referência de Tensão Programável

4.1. Considerações Gerais

A referência de tensão programável proposta neste documento é composta por quatro estágios: referência *bandgap*, amplificador, *buffer* e multiplexador analógico (AMUX), conforme ilustra a Fig. 4.1. O seu princípio de funcionamento é o seguinte: a referência de tensão *bandgap* gera uma tensão de referência V_{bg} de baixa sensibilidade às variações de temperatura e tensão de alimentação do estágio amplificador, que é composto por um amplificador operacional com em configuração não-inversora. Este último gera a tensão V_o igual a 2,4V que alimenta oito tapes resistivos, isolados por um amplificador operacional configurado como *buffer*. A tensão de saída V_{REF} programável é derivada das tensões encontradas nos tapes resistivos, selecionadas por um multiplexador analógico através dos *bits* de seleção *c*, *b* e *a*.

Para a especificação, projeto e simulação da referência de tensão programável são considerados os conceitos introduzidos nos capítulos anteriores:

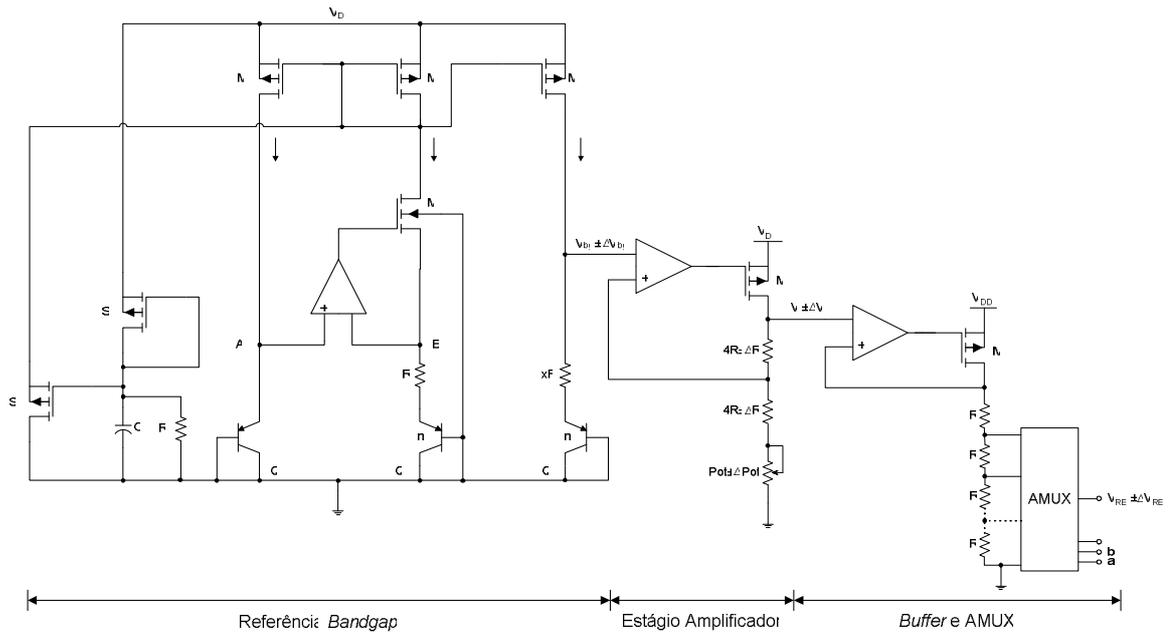


Figura 4.1 – Referência de Tensão Programável de 3 bits.

- No Capítulo 1, foram abordados os principais aspectos de qualidade de referências de tensão encontradas em ASICs comerciais, como a dependência média de temperatura, precisão e consumo, usados para as especificações elétricas;
- No Capítulo 2, a referência de tensão *bandgap* de alto desempenho em processo CMOS, ilustrada na Fig. 2.6, é a topologia selecionada por atender às especificações propostas;
- No Capítulo 3, os conceitos de descasamento aleatório e sistemático servem de base para a realização do dimensionamento e *layout* de todos componentes críticos.

Finalmente, são realizadas as medidas elétricas no protótipo do circuito integrado fabricado em processo TSMC CMOS 0,35 μ m, para que as especificações de projeto e simulações deste documento sejam validadas.

4.2. Especificações Elétricas

O amplificador operacional é célula comum a todos os estágios, conforme se observa na Fig. 4.1. Como o erro da tensão de saída V_{REF} é altamente dependente de seu desempenho, então este é especificado com alto ganho de malha aberta e frequência de operação. As especificações elétricas do amplificador operacional são resumidas na Tab. 4.1.

Tabela 4.1 – Especificações Elétricas do Amplificador Operacional.

Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
Tensão de Alimentação	V_{DD}	3,0	3,3	3,6	V
Potência Dissipada	P_d	230	260	290	μV
Excursão Linear *	V_G	0,3	---	2,4	V
Erro Linear *	V_{OS}	---	---	100	μV
Ganho em Malha Aberta	A_O	80	100	120	dB
Frequência de Ganho Unitário	f_{BW}	1	5	10	MHz
Margem de Fase	MF	45	60	75	°
Margem de Ganho	MG	8	12	20	dB
Máxima Carga de Saída	C_L	---	---	200	fF

* Valores para amplificador operacional configurado como *buffer* (pior caso).

Além de fornecer uma tensão de baixa dependência às variações de tensão de alimentação e temperatura, a referência de tensão *bandgap* deve fornecer esta com alta precisão, uma vez que seu erro se propaga pelo estágio amplificador e, portanto, no erro final da referência de tensão programável. Também, deve possuir alta *PSRR* em frequências da ordem de MHz, uma vez que a referência de tensão programável é proposta a ser aplicada em conversores DC/DC chaveados comerciais, nos quais operam nesta ordem. As especificações elétricas da referência de tensão *bandgap* são resumidas na Tab. 4.2.

Tabela 4.2 – Especificações Elétricas da Referência de Tensão *Bandgap*.

Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
Tensão de Alimentação	V_{DD}	3,0	3,3	3,6	V
Tensão de Saída	V_{bg}	1,305	1,318	1,331	V
Precisão da Tensão de Saída	ΔV_{bg}	-1,0	---	1,0	%
Potência Dissipada	P_d	90	100	110	μV
Temperatura de Operação	T	-40	40	120	°C
Coefficiente Térmico Efetivo	$TC_{F(ef)}$	---	25	50	ppm/°C
Razão de Rejeição da Fonte de Alimentação @ 100Hz	$PSRR_{100}$	40	60	80	dB

Finalmente, a referência de tensão programável recebe especificações compatíveis com *ASICs* comerciais para aplicações em Gerenciamento de Potência. As especificações elétricas da referência de tensão programável são resumidas na Tab. 4.3.

Tabela 4.3 – Especificações Elétricas da Referência Programável.

	Símbolo	Bits de Seleção			Típico	Unidade
		c	b	a		
Tensão de Saída	V_{REF}	0	0	0	0,0	V
		0	0	1	0,3	V
		0	1	0	0,6	V
		0	1	1	0,9	V
		1	0	0	1,2	V
		1	0	1	1,5	V
		1	1	0	1,8	V
		1	1	1	2,1	V

Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
Tensão de Alimentação	V_{DD}	3,0	3,3	3,6	V
Precisão da Tensão de Saída	ΔV_{REF}	-3,0	---	3,0	%
Potência Dissipada	P_d	---	---	2	mW
Temperatura de Operação	T	-40	40	120	°C
Coefficiente Térmico Efetivo	$TC_{F(ef)}$	---	50	100	ppm/°C
Razão de Rejeição da Fonte de Alimentação @ 100Hz	$PSRR_{100}$	40	60	80	dB

4.3. Projeto, Simulações e Medidas Elétricas

Conforme visto no Capítulo 3, a Tab. 3.1 exhibe os parâmetros de processo da tecnologia TSMC CMOS 0,35 μ m [23], usados no projeto de todas as células da referência de tensão proposta. A Tab. 4.4 exhibe os casos referentes às variações extremas do processo de fabricação e parâmetros SPICE afetados, usados nas simulações elétricas dos transistores MOS.

Tabela 4.4 – Variações Extremas do Processo TSMC CMOS 0,35 μ m.

Caso	NMOS				PMOS			
	TOX [m]	DXL [m]	DXW [m]	DVT [V]	TOX [m]	DXL [m]	DXW [m]	DVT [V]
Típico	$7,5 \cdot 10^{-9}$	0,0	0,0	0,0	$7,7 \cdot 10^{-9}$	0,0	0,0	0,0
LNLP	$8,0 \cdot 10^{-9}$	$4,0 \cdot 10^{-8}$	$-6,0 \cdot 10^{-8}$	$1,0 \cdot 10^{-1}$	$8,2 \cdot 10^{-9}$	$4,0 \cdot 10^{-8}$	$-6,0 \cdot 10^{-8}$	$-1,0 \cdot 10^{-1}$
RNRP	$7,0 \cdot 10^{-9}$	$-4,0 \cdot 10^{-8}$	$6,0 \cdot 10^{-8}$	$-1,0 \cdot 10^{-1}$	$7,2 \cdot 10^{-9}$	$-4,0 \cdot 10^{-8}$	$6,0 \cdot 10^{-8}$	$1,0 \cdot 10^{-1}$
LNRP	$7,5 \cdot 10^{-9}$	0,0	0,0	$1,0 \cdot 10^{-1}$	$7,7 \cdot 10^{-9}$	0,0	0,0	$1,0 \cdot 10^{-1}$
RNLP	$7,5 \cdot 10^{-9}$	0,0	0,0	$-1,0 \cdot 10^{-1}$	$7,7 \cdot 10^{-9}$	0,0	0,0	$-1,0 \cdot 10^{-1}$

Legenda:

Típico - NMOS Normal, PMOS Normal

LNLP - Lento NMOS, Lento PMOS

RNRP - Rápido NMOS, Rápido PMOS

LNRP - Lento NMOS, Rápido PMOS

RNLP - Rápido NMOS, Lento PMOS

Observação para inclusão dos parâmetros nos modelos SPICE:

$$XL_{(caso)} = XL_{(típico)} + DXL_{(caso)}$$

$$XW_{(caso)} = XW_{(típico)} + DXW_{(caso)}$$

$$VT_{(caso)} = VT_{(típico)} + DVT_{(caso)}$$

4.3.1. Amplificador Operacional

O amplificador operacional usado para o projeto da referência de tensão programável está ilustrado na Fig. 4.2. e pode ser dividido em dois estágios. O primeiro é um amplificador *folded-cascode*, que possui a propriedade de alto ganho de entrada, condição que lhe proporciona um baixo erro linear da tensão de saída e, por consequência, da tensão de saída da referência de tensão, conforme será demonstrado nos próximos itens. O segundo é um estágio de saída em fonte comum usado, basicamente, para aumentar o ganho de malha aberta do amplificador *folded-cascode* e diminuir a resistência de saída, para que as especificações de frequência de operação e estabilidade sejam cumpridas.

O projeto do amplificador operacional é iniciado, observando-se as especificações de frequência de operação e estabilidade. Na Fig. 4.3 está ilustrado o modelo simplificado de operação a pequenos sinais. A referência [12] demonstra que, para um amplificador compensado, estável e com margem de fase $MF = 60^\circ$, o segundo pólo fp_2 deve ser alocado em uma frequência 2,2 vezes maior que a frequência de ganho unitário f_{BW} . Então:

$$fp_2 = -2,2 \cdot f_{BW} = -2,2 \cdot 5MHz = -11MHz \quad (4.1)$$

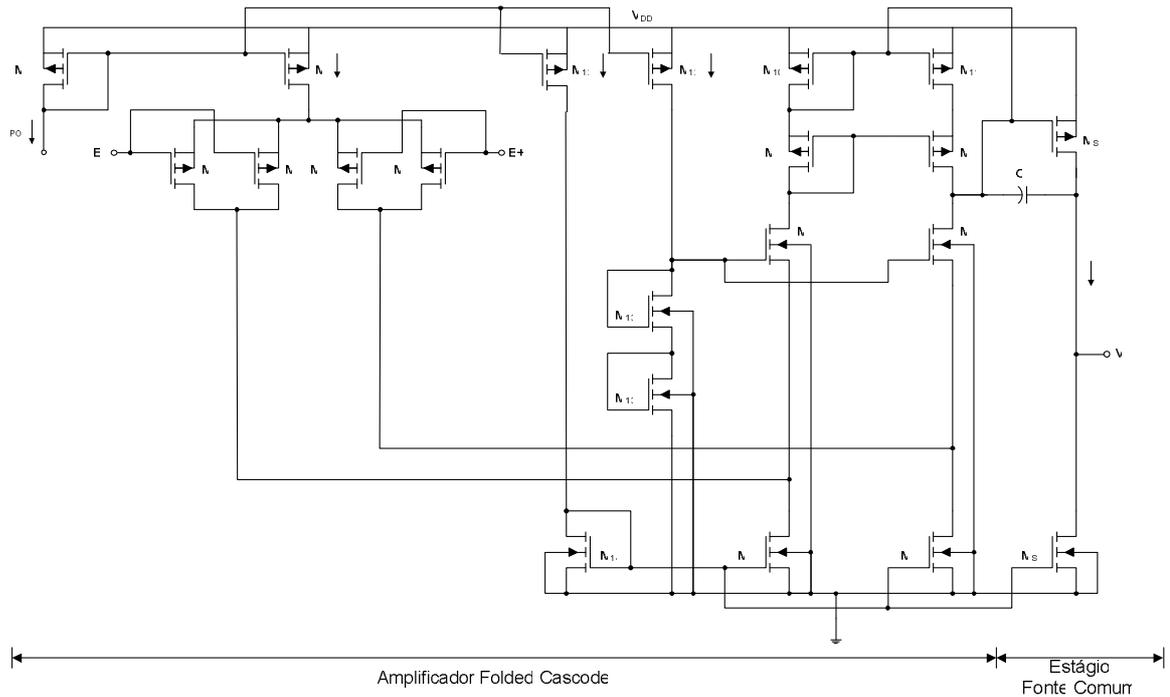


Figura 4.2 – Esquemático Elétrico do Amplificador Operacional.

Baseado na teoria de compensação de sistemas lineares não-variantes no tempo, apresentada por [24], e na técnica de compensação Miller, apresentada por [12], a frequência f_{BW} deve estar alocada entre o zero f_{z1} e pólo fp_2 segundo expressão:

$$f_{BW} = \sqrt{f_{z1} \cdot |fp_2|} \tag{4.2}$$

Portanto, o zero f_{z1} está alocado na frequência:

$$f_{z1} = \frac{f_{BW}^2}{|fp_2|} = \frac{(5 \cdot 10^6)^2}{|-11 \cdot 10^6|} = 2,272MHz \tag{4.3}$$

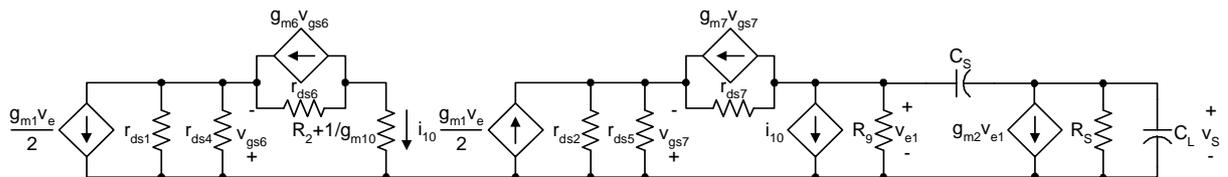


Figura 4.3 – Modelo de Operação a Pequenos Sinais do Amplificador Operacional.

Considerando-se a máxima carga de saída C_L e o pólo fp_2 , a resistência do estágio de saída R_S é dimensionada como [12]:

$$R_s = \frac{1}{2\pi|fp_2|C_L} = \frac{1}{2\pi \cdot 1,1 \cdot 10^7 \cdot 2 \cdot 10^{-13}} = 72,3k\Omega \quad (4.4)$$

e o capacitor de compensação Miller C_C é calculado como [12]:

$$C_C = \frac{1}{2\pi fz_1 R_s} = \frac{1}{2\pi \cdot 2,272 \cdot 10^6 \cdot 7,23 \cdot 10^4} = 1pF \quad (4.5)$$

Desprezando-se o efeito de corpo dos transistores M_{13B} , M_6 e M_7 e o efeito de modulação de canal, admitindo-se $V_{GS} = V_{DS(sat)} = 0,2 \cdot V_{DD} = 660mV$ (transistores M_{13A} , M_{13B} e M_{14}) e $V_{SG} = V_{SD(sat)} = 0,3 \cdot V_{DD} = 990mV$ (transistores M_8 e M_{10}), os transistores M_4 a M_{10} , M_{13A} , M_{13B} e M_{14} são dimensionados como [12]:

$$\left(\frac{W}{L}\right)_{4,5,14} = \frac{2 \cdot I_1}{KPN \cdot (V_{GS} - V_{t_n})^2} = \frac{2 \cdot 5,0 \cdot 10^{-6}}{1,846 \cdot 10^{-4} \cdot (0,660 - 0,560)^2} \geq 5,4 \quad (4.6)$$

$$\left(\frac{W}{L}\right)_{6,7,13A,13B} = \frac{2 \cdot I_2}{KPN \cdot (V_{GS} - V_{t_n})^2} = \frac{2 \cdot 2,5 \cdot 10^{-6}}{1,846 \cdot 10^{-4} \cdot (0,660 - 0,560)^2} \geq 2,7 \quad (4.7)$$

$$\left(\frac{W}{L}\right)_{8,9,10,11} = \frac{2 \cdot I_1}{KPP \cdot (V_{SG} - |V_{t_p}|)^2} = \frac{2 \cdot 5,0 \cdot 10^{-6}}{6,23 \cdot 10^{-5} \cdot (0,990 - 0,760)^2} \geq 3,0 \quad (4.8)$$

O par diferencial formado pelos transistores M_1 e M_2 deve operar saturado para cumprir as especificações da excursão linear da tensão de entrada. Admitindo-se que os transistores M_{14} , M_4 e M_5 estão perfeitamente casados, então $V_{DS(M14)} = V_{DS(M4)} = V_{DS(M5)} = 0,2 \cdot V_{DD}$, fazendo $V_{SD(M3)} = 0,2 \cdot V_{DD}$ e aplicando-se a Lei das Tensões de Kirchoff, tem-se $V_{SD(M1)} = V_{SD(M2)} = 0,6 \cdot V_{DD}$ e $V_{SG(M1)} = V_{SG(M2)} = 0,3 \cdot V_{DD}$, para a condição de equilíbrio do amplificador ($I_{D(M1)} = I_{D(M2)} = I_1/2 = 2,5\mu A$). Então os transistores M_1 , M_2 , M_3 , M_{3D} , M_{12A} e M_{12B} são dimensionados como [12]:

$$\left(\frac{W}{L}\right)_{1,2} = \frac{8 \cdot I_1}{KPP \cdot (V_{SG} - |V_{t_p}|)^2} = \frac{8 \cdot 2,5 \cdot 10^{-6}}{6,23 \cdot 10^{-5} \cdot (0,990 - 0,760)^2} \geq 6 \quad (4.9)$$

$$\begin{aligned}
V_{SG(M3D)} &\geq V_{SD(M3)} + |V_{t_p}| \\
V_{SG(M3D)} &\geq 0,660 + 0,760 = 1,420V \\
\left(\frac{W}{L}\right)_{3,3D,12A} &= \frac{2 \cdot I_1}{KPP \cdot (V_{SG} - |V_{t_p}|)^2} = \frac{2 \cdot 5,0 \cdot 10^{-6}}{6,23 \cdot 10^{-5} \cdot (1,420 - 0,760)^2} \geq 0,4 \\
\left(\frac{W}{L}\right)_{12B} &= \frac{2 \cdot I_2}{KPP \cdot (V_{SG} - |V_{t_p}|)^2} = \frac{2 \cdot 2,5 \cdot 10^{-6}}{6,23 \cdot 10^{-5} \cdot (1,420 - 0,760)^2} \geq 0,2
\end{aligned} \tag{4.10}$$

Para o projeto do estágio de saída (transistores M_{SP} e M_{SN}), primeiro é necessário calcular o ganho do estágio de entrada. Para isto, calculam-se os seguintes parâmetros do modelo de operação em pequenos sinais (ignorando-se os efeitos de corpo dos transistores M_{13B} , M_6 e M_7) [12]:

$$\begin{aligned}
g_{m7} &= \sqrt{2KPN(W/L)_7 I_2} = \sqrt{2 \cdot 1,846 \cdot 10^{-4} \cdot 2,7 \cdot 2,5 \cdot 10^{-6}} = 49,92 \frac{\mu A}{V} \\
g_{m9} &= \sqrt{2KPP(W/L)_9 I_2} = \sqrt{2 \cdot 6,23 \cdot 10^{-5} \cdot 3 \cdot 2,5 \cdot 10^{-6}} = 30,57 \frac{\mu A}{V} \\
r_{ds2} &= \frac{2}{\lambda_p I_1} = \frac{2}{0,030 \cdot 5,0 \cdot 10^{-6}} = 13,33 M\Omega \\
r_{ds5} &= \frac{1}{\lambda_n I_1} = \frac{1}{0,015 \cdot 5,0 \cdot 10^{-6}} = 13,33 M\Omega \\
r_{ds7} &= \frac{1}{\lambda_n I_2} = \frac{1}{0,015 \cdot 2,5 \cdot 10^{-6}} = 26,66 M\Omega \\
r_{ds9} = r_{ds11} &= \frac{1}{\lambda_p I_2} = \frac{1}{0,030 \cdot 2,5 \cdot 10^{-6}} = 13,33 M\Omega \\
g_{ds2} &= \lambda_p \frac{I_1}{2} = 0,030 \cdot \frac{5,0 \cdot 10^{-6}}{2} = 75 nS \\
g_{ds4} &= \lambda_n I_1 = 0,015 \cdot 5,0 \cdot 10^{-6} = 75 nS
\end{aligned} \tag{4.11}$$

$$R_9 \approx g_{m9} r_{ds9} r_{ds11} = 3,057 \cdot 10^{-5} \cdot (1,333 \cdot 10^7)^2 = 5,432 G\Omega \tag{4.12}$$

$$k = \frac{R_9 (g_{ds2} + g_{ds4})}{g_{m7} r_{ds7}} = \frac{5,432 \cdot 10^9 \cdot (7,5 \cdot 10^{-8} + 7,5 \cdot 10^{-8})}{4,992 \cdot 10^{-5} \cdot 2,666 \cdot 10^7} = 0,612 \tag{4.13}$$

$$g_{ml} = \sqrt{KPP(W/L)_{1,2}I_1} = \sqrt{6,23 \cdot 10^{-5} \cdot 6 \cdot 5 \cdot 10^{-6}} = 43,23 \frac{\mu A}{V} \quad (4.14)$$

Para o cálculo da resistência equivalente R_{eq} e o ganho de tensão de malha aberta A_{oe} do estágio de entrada [12]:

$$R_{eq} = R_9 \parallel [g_{m7}r_{ds7}(r_{ds2} \parallel r_{ds5})]$$

$$R_{eq} = 5,432 \cdot 10^9 \parallel [4,992 \cdot 10^{-5} \cdot 2,666 \cdot 10^7 (1,333 \cdot 10^7 \parallel 1,333 \cdot 10^7)] \quad (4.15)$$

$$R_{eq} = 3,370 G\Omega$$

$$A_{oe} = \frac{v_S}{v_E} = \left(\frac{2+k}{2+2k} \right) g_{ml} R_{eq} = \left(\frac{2+0,612}{2+2 \cdot 0,612} \right) \cdot 4,323 \cdot 10^{-5} \cdot 3,370 \cdot 10^9 = 118k \quad (4.16)$$

$$A_{oe} = 20 \cdot \log_{10}(118k) = 101,4 dB$$

Como o ganho de malha aberta sofre variações no processo de fabricação e sua especificação máxima é de $A_o = 120dB$, faz-se o ganho do estágio de saída $A_{os} = 17,8 = 25dB$, uma vez que o ganho total do amplificador é $A_o = A_{oe} + A_{os}$. O transistor M_{SN} pode ser dimensionado como [12]:

$$\left(\frac{W}{L} \right)_{MSP} = \frac{A_{os}^2}{2KPP I_S R_S^2} \quad (4.17)$$

Finalmente, deve se atribuir uma corrente I_S que seja m vezes maior do que I_1 para que a resistência do estágio de saída R_S seja a mesma calculada pela Eq. (4.4). Desta forma respeita-se a compensação em frequência, com o compromisso de que M_{SP} não seja muito grande, para que tenha um bom casamento com os transistores M_8 a M_{11} e que também respeite a especificação de corrente dissipada pelo circuito. Fazendo-se $I_S = 9 \cdot I_1 = 45\mu A$, e substituindo na Eq. (4.17), obtém-se:

$$\left(\frac{W}{L} \right)_{SP} = \frac{(17,8)^2}{2 \cdot 6,23 \cdot 10^{-5} \cdot 4,5 \cdot 10^{-5} \cdot (7,23 \cdot 10^4)^2} = 10,8 \quad (4.18)$$

$$\left(\frac{W}{L}\right)_{SN} = 9 \cdot \left(\frac{W}{L}\right)_{14,4,5} = 9 \cdot 5,4 = 48,6 \quad (4.19)$$

e o consumo de potência dissipada é verificado dentro das especificações:

$$P_d = V_{DD}(5 \cdot I_1 + I_2 + I_S) = 3,3 \cdot (5 \cdot 5 \cdot 10^{-6} + 2,5 \cdot 10^{-6} + 4,5 \cdot 10^{-5}) = 239,25 \mu W \quad (4.20)$$

Utilizando-se canal longo e refinando-se os valores em um simulador elétrico baseado em SPICE, as dimensões finais do amplificador operacional são:

$$\begin{aligned} \left(\frac{W}{L}\right)_{3D,3,12A} &= 2 \cdot \left(\frac{1,2 \mu m}{5,0 \mu m}\right) & \left(\frac{W}{L}\right)_{12B} &= \frac{1,2 \mu m}{5,0 \mu m} \\ \left(\frac{W}{L}\right)_{1,2} &= 2 \cdot \left(\frac{8,0 \mu m}{2,0 \mu m}\right) & \left(\frac{W}{L}\right)_{8,9,10,11} &= 2 \cdot \left(\frac{7,2 \mu m}{2,0 \mu m}\right) \\ \left(\frac{W}{L}\right)_{13A,13B,6,7} &= 2 \cdot \left(\frac{2,7 \mu m}{2,0 \mu m}\right) & \left(\frac{W}{L}\right)_{14,4,5} &= 2 \cdot \left(\frac{5,4 \mu m}{2,0 \mu m}\right) \\ \left(\frac{W}{L}\right)_{SP} &= 3 \cdot \left(\frac{7,2 \mu m}{2,0 \mu m}\right) & \left(\frac{W}{L}\right)_{SN} &= 18 \cdot \left(\frac{5,4 \mu m}{2,0 \mu m}\right) \end{aligned} \quad (4.21)$$

$$(WL)_{C_c} = 1156 \mu m^2$$

Para a validação das dimensões projetadas, foram realizadas simulações elétricas (análise DC e AC), cobrindo-se todos os casos possíveis de variação do processo de fabricação e condições de operação do circuito, conforme dados das Tabs. 4.5 e 4.6.

Para a análise DC, o amplificador operacional é configurado como *buffer*, com o objetivo de se verificar a faixa de excursão linear da tensão de modo comum V_G e erro linear V_{OS} , onde as curvas características são conforme ilustra a Fig. 4.4. Para isto, mede-se a diferença entre a tensão de saída V_S e V_G , que deve ser igual a V_{OS} até que o par diferencial, formado pelos transistores M_1 e M_2 , saia da região de saturação e opere na região de triodo. Observando a Fig. 4.4, nota-se que o pior caso da faixa de excursão linear de V_G é igual a 2,25V.

Na análise AC, para a máxima carga de saída C_L , foi analisado o ganho de malha, com o objetivo de se verificar o ganho de malha aberta A_O , frequência de ganho unitário f_{BW} , margem de fase MF e margem de ganho MG , onde as curvas características são conforme ilustra a Fig. 4.5.

Tabela 4.5 – Análise DC do Amplificador Operacional Projetado.

	Temperaturas [°C]	V _{DD} [V]	Modelos de Processo
	-40, 40 e 120	3,0, 3,3 e 3,6	Típico, LNLP, RNRP, LNRP, RNLP
Número de Pontos	$n_1 = 3$	$n_2 = 3$	$n_3 = 5$
Total de Simulações			$\prod_{i=1}^3 n_i = 45$

Tabela 4.6 – Análise AC do Amplificador Operacional Projetado.

	Temperaturas [°C]	C _C [pF]	V _{DD} [V]	Modelos de Processo
	-40, 40 e 120	0,875, 1,000 e 1,125	3,0, 3,3 e 3,6	Típico, LNLP, RNRP, LNRP, RNLP
Número de Pontos	$n_1 = 3$	$n_2 = 3$	$n_3 = 3$	$n_4 = 5$
Total de Simulações				$\prod_{i=1}^4 n_i = 135$

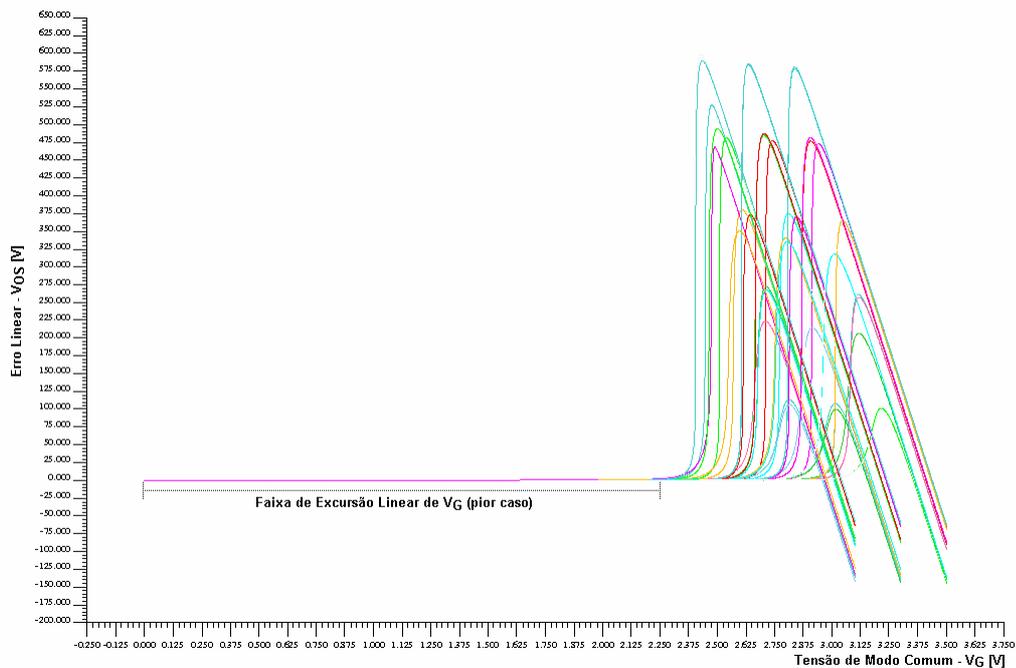


Figura 4.4 – Análise DC do Amplificador Operacional Projetado.

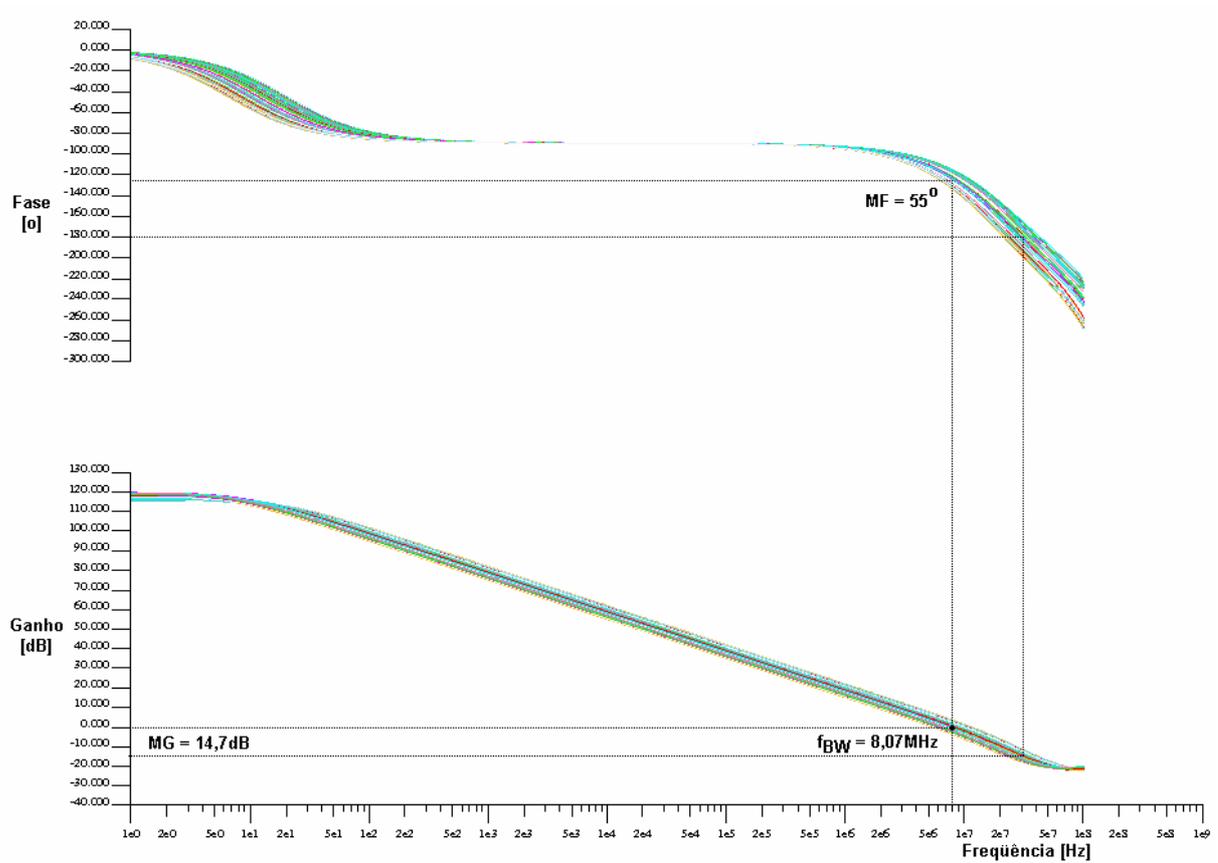


Figura 4.5 – Análise AC do Amplificador Operacional Projetado.

Os pontos medidos nas análises DC e AC estão no Apêndice A deste documento. Para cada parâmetro, calcula-se a média de todos os pontos medidos e respectivos desvios padrões. Os resultados estão na Tab. 4.7, e cumprem com as especificações de projeto para um descasamento 3σ , ou seja, para cada valor médio de um parâmetro medido, soma-se (subtrai-se) seu respectivo desvio padrão, e o total é observado dentro do intervalo especificado pela Tab. 4.1. O *layout* do amplificador operacional, assim como os demais circuitos da referência proposta, foi realizado usando-se o software *Tanner L-Edit Pro v8.3*, e está ilustrado na Fig. 4.6.

Tabela 4.7 – Resultados das Análises DC e AC do Amplificador Operacional Proposto.

Análise	Parâmetro	Valor Médio	σ	Unidade
DC	$V_{G(máx)}$	2,75	0,28	V
	V_{OS}	47,4	11,6	μV
AC	A_o	110	2,50	dB
	f_{BW}	8,07	1,51	MHz
	MF	56,3	2,24	°
	MG	14,7	0,62	dB

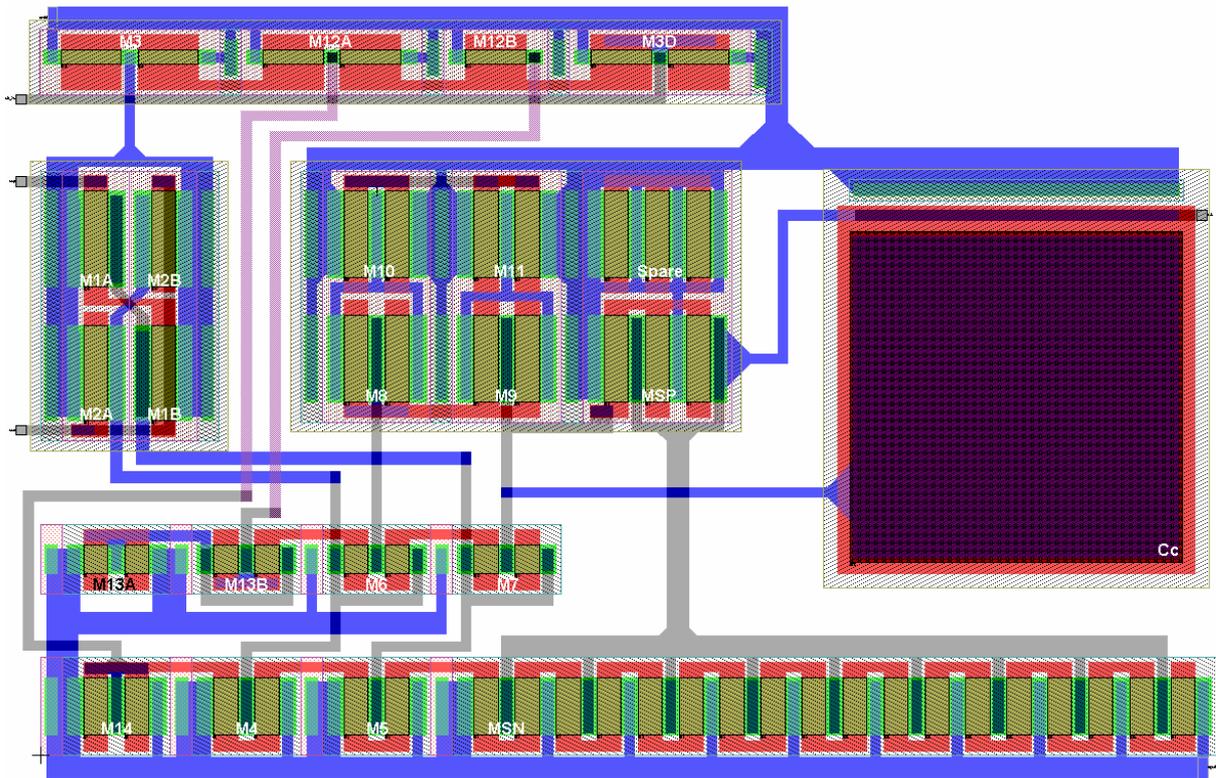


Figura 4.6 – *Layout* do Amplificador Operacional.

4.3.2. Referência *Bandgap*

Para se iniciar a discussão do projeto da referência de tensão *bandgap*, considere-se o circuito ilustrado na Fig. 4.7. Este se apresenta como uma versão aperfeiçoada da referência apresentada por [6] e ilustrada na Fig. 2.6.

Analisando-se o circuito da Fig. 2.6, observando-se a referência de corrente V_T autopolarizada, formada pelos transistores Q_1 , Q_2 , M_4 a M_8 , circulam correntes $I_E = I_S$ proporcionais à temperatura absoluta que são geradas por Q_1 , Q_2 e R quando a condição $V_{GS4} = V_{GS5}$ é satisfeita. Como não há um casamento perfeito entre os transistores M_6 a M_8 , e por conseqüência entre I_E e I_S , o descasamento entre V_{GS4} e V_{GS5} gera erros para tensão de saída V_{bg} .

O circuito da Fig. 4.7 garante que o potencial do nó A seja igual ao B devida à alta resistência de entrada do amplificador operacional, onde qualquer descasamento entre as correntes I_E e I_S é compensada através do controle do transistor M_1 .

Inicialmente, é necessário definir as correntes de polarização dos transistores bipolares. Para isto, deve se levar em conta não somente a potência a ser dissipada pela célula, mas também o fato que o valor β dos transistores variam de acordo com a densidade de corrente do coletor [6]. Então, para evitar o risco do estabelecimento de uma corrente de polarização que cause variações em β e, por conseqüência, o descasamento dos transistores Q_1 , Q_2 e Q_3 , a curva $\beta \times I_C$ é obtida através de simulação elétrica, usando-se o transistor bipolar parasita vertical do processo CMOS escolhido, conforme ilustra a Fig. 4.8.

Na Fig. 4.8, observa-se que β possui grande dependência com a corrente de polarização I_C para valores acima de $100\mu\text{A}$, no entanto, é praticamente constante para o intervalo $0 < I_C \leq 20\mu\text{A}$.

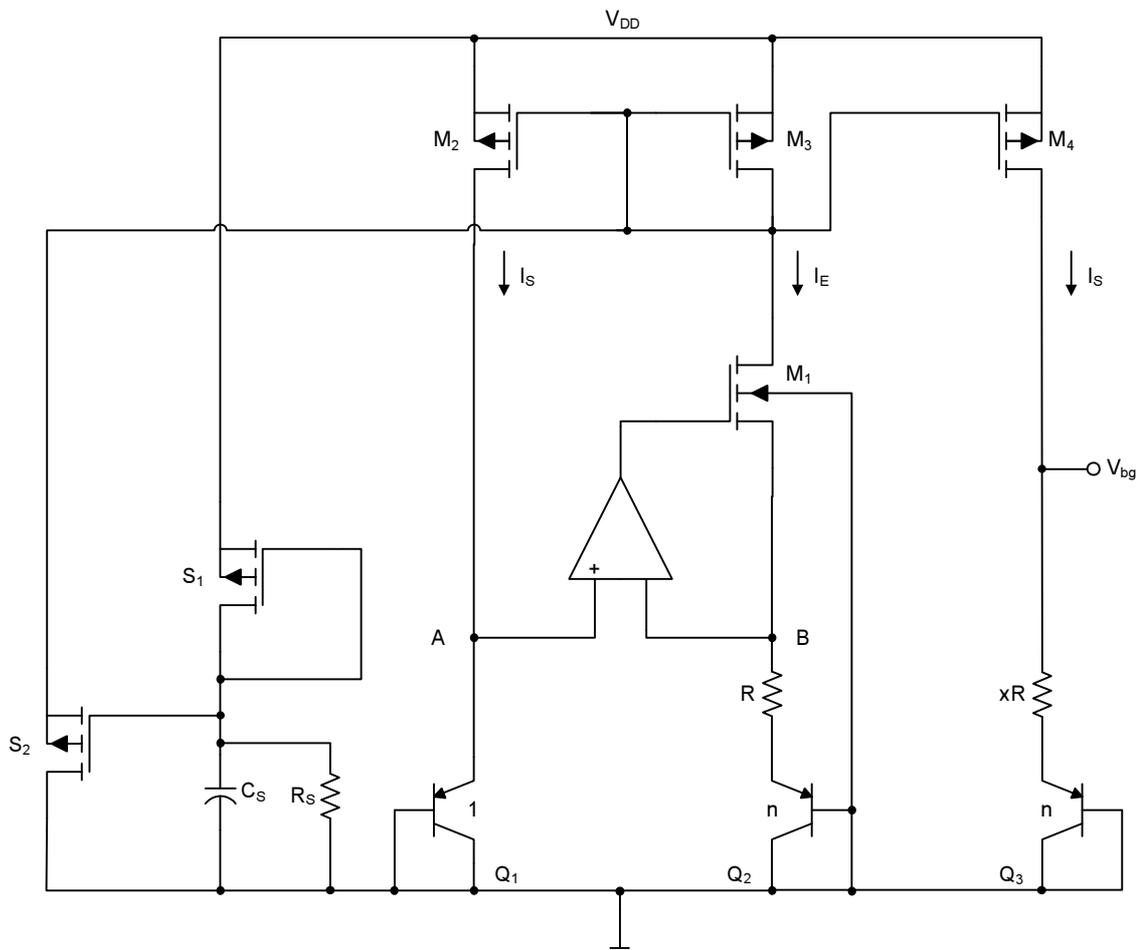


Figura 4.7 – Referência *Bandgap* de Alto Desempenho em Processo CMOS.



Figura 4.8 – $\beta \times I_C$ de um Transistor Bipolar Parasita em Processo CMOS Típico.

Outro fator importante a ser considerado é a dependência da corrente de coletor com a temperatura, uma vez que é função das tensões V_{EB} e V_T , expressa por [6]:

$$I_C = I_{SAT} \left(1 + \frac{V_{EC}}{V_A} \right) e^{\frac{V_{EB}}{V_T}} \quad (4.22)$$

onde $V_{EB} = V_{EB}(T_0) + \alpha_{EB}(T - T_0)$ e $V_T = kT/q$, sendo $T_0 = 300\text{K}$ (27°C) a temperatura ambiente. Para toda excursão da temperatura de operação, a corrente de coletor deve estar dentro do intervalo $0 < I_C \leq 20\mu\text{A}$. Considerando todos os fatores citados, atribui-se **$I_C = 10\mu\text{A}$** .

Conforme visto no Capítulo 2, Seção 2.4 deste documento, os transistores Q_1 , Q_2 , M_1 a M_4 , juntamente com o amplificador operacional, formam uma referência de corrente V_T autopolarizada, sendo que a corrente I_C é a mesma I_S definida na Eq. (2.12). Portanto, na temperatura nominal de operação $T = 313\text{K}$ (40°C), o resistor R pode ser dimensionado como:

$$R = \frac{V_T \ln(n)}{I_C} = \frac{8,66 \cdot 10^{-5} \cdot 313 \cdot \ln(8)}{1,0 \cdot 10^{-5}} \cong 5700\Omega \quad (4.23)$$

A razão $n = 8$ entre as áreas dos emissores dos transistores Q_1 e Q_2 foi escolhida para que se realizasse o *layout* de ambos usando-se a técnica de centróide comum em matrizes bidimensionais (vide Capítulo 3), garantindo-se o casamento destes componentes, conforme ilustra a Fig. 4.9. O transistor Q_3 também é dimensionado com $n = 8$ pelo mesmo motivo.

O próximo passo é o cálculo da razão x entre o resistor do estágio de saída e o resistor da referência de corrente autopolarizada com o uso da Eq. (2.21):

$$x = \frac{-\alpha_{EB}}{\frac{k}{q} \ln(n)} = \frac{-(-2 \cdot 10^{-3})}{8,66 \cdot 10^{-5} \cdot \ln(8)} = 11,1 \quad (4.24)$$

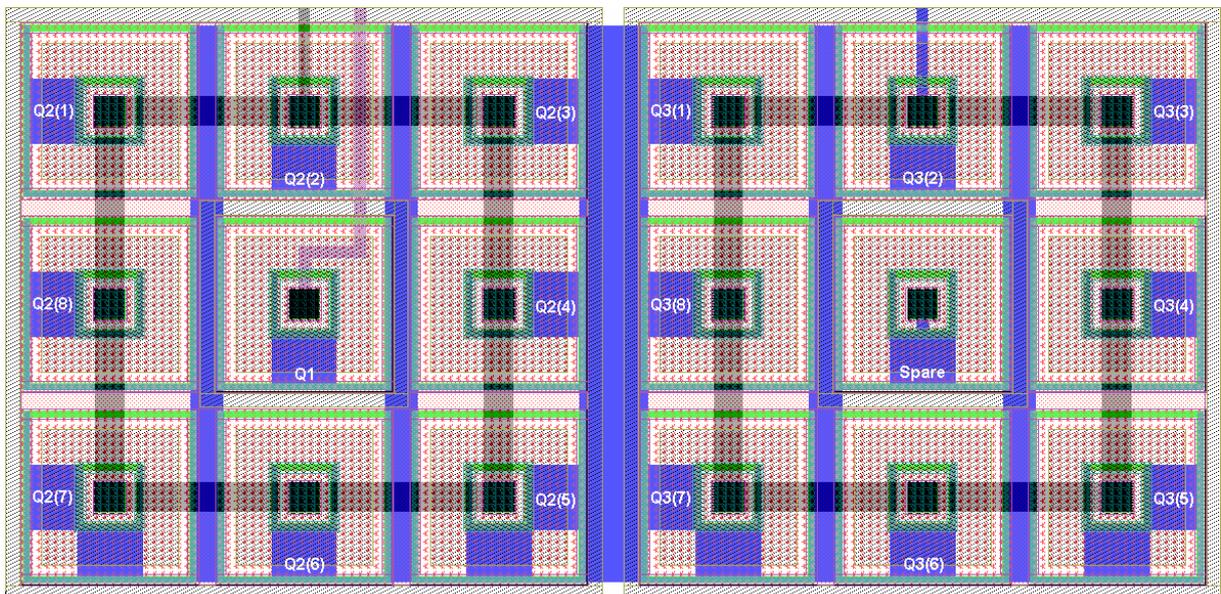


Figura 4.9 – Layout dos Transistores Bipolares da Referência Bandgap.

Como $K = x \cdot \ln(8) = 11,1 \cdot 2,0794 = 23,1$, a Eq. (2.17) pode ser reescrita como:

$$V_{bg} = V_{EB3} + 23,1V_T \quad (4.25)$$

onde V_{bg} é a tensão de saída da referência *bandgap*. Seguindo as especificações, para a temperatura de operação $T = 313\text{K}$ ($40\text{ }^\circ\text{C}$), tem-se:

$$V_{bg} = 7 \cdot 10^{-1} - 2 \cdot 10^{-3} \cdot (313 - 300) + 23,1 \cdot 8,66 \cdot 10^{-5} \cdot 313 = 1,300\text{V} \quad (4.26)$$

e também, $xR = 11,1 \cdot 5700 = 63270\Omega$. Com auxílio dos dados da Tab. 3.1:

$$\begin{aligned} \left(\frac{L}{W}\right)_R &= \frac{R}{\rho_{sh}} = \frac{5700}{150} \cong 38 \\ \left(\frac{L}{W}\right)_{xR} &= x \left(\frac{L}{W}\right)_R \cong 11 \cdot 38 = 418 \end{aligned} \quad (4.27)$$

Os transistores M_2 a M_4 formam o espelho da referência de corrente autopolarizada. Considerando-se que os potenciais dos nós A e B da Fig. 4.7 são equivalentes ($V_A = V_B$) e uma vez $I_E = I_S = I_C$, aplicando-se a Lei das Tensões de Kirchoff e fazendo-se o casamento das tensões $V_{DS1} = V_{SD2} = V_{SD3} = V_{SD4} = V_{DS}$, obtem-se:

$$\begin{aligned} V_A &= V_{EB1} \Big|_{T=313\text{K}} = 674\text{mV} \\ V_{DD} - 2V_{DS} - V_A &= 0 \\ V_{DS} &= \frac{V_{DD} - V_A}{2} = \frac{3,300 - 0,674}{2} = 1,313\text{V} \end{aligned} \quad (4.28)$$

Desconsiderando-se os efeitos de corpo e modulação de canal, dimensiona-se o transistor M_1 :

$$\left(\frac{W}{L}\right)_1 = \frac{2I_C}{KPN(V_{DS} - V_{t_n})^2} = \frac{2 \cdot 1,0 \cdot 10^{-5}}{1,846 \cdot 10^{-4} \cdot (1,313 - 0,560)^2} \geq 0,2 \quad (4.29)$$

Através de simulação DC em simulador elétrico SPICE, encontra-se $(W/L)_1 = 0,5$. De forma semelhante, dimensionam-se os transistores M_2 , M_3 e M_4 :

$$\left(\frac{W}{L}\right)_{2,3,4} = \frac{2I_C}{KPP(V_{SD} - |V_{t_p}|)^2} = \frac{2 \cdot 1,0 \cdot 10^{-5}}{6,23 \cdot 10^{-5} \cdot (1,313 - 0,760)^2} \geq 1,0 \quad (4.30)$$

Através de simulação DC em simulador elétrico SPICE, encontram-se: $(W/L)_{2,3,4} = 2,5$.

Uma vez calculadas as dimensões relativas (W/L) dos componentes integrados, efetuam-se os cálculos de suas dimensões reais, considerando o conceito de descasamento aleatório, introduzido no Capítulo 3.

Considerando que o transistor M_I possui canal estreito, conforme expressa a Eq. (4.29), a Tab. 4.8 é montada a partir das medidas realizadas nas amostras pelo fabricante do processo CMOS. Para o transistor NMOS configurado como seguidor de tensão, polarizado com $V_{DS} = V_{GS} = 3,3V$, $V_{BS} = 0$, comparam-se as correntes de saturação $I_{D(sat)}$ medidas pelo fabricante do processo CMOS e as simuladas em SPICE [23], gerando seus respectivos valores médios e desvios padrões.

Tabela 4.8 – Medidas da Corrente de Saturação para Transistor NMOS.

n	$(W/L)_n$	I_{Dn} Medida [μA]	I_{Dn} Simulada [μA]	\bar{I}_{Dn} [μA]	σI_{Dn} [μA]
1	1,2u/20u	25,87	25,33	26,600	0,382
2	0,8u/20u	16,69	16,10	16,400	0,417
3	0,4u/20u	8,45	8,04	8,245	0,290

Para o transistor NMOS em inversão forte, canal longo e estreito, os parâmetros físicos Δ_W e V_{tw} (vide Tab. 3.2) são dominantes no descasamento entre as correntes medidas e as simuladas. Então, realiza-se a simulação de Monte Carlo, aplicando-se a variação destes parâmetros nos equivalentes do modelo BSIM3v3.3 (WINT e W0), usando-se o simulador elétrico SPICE. Para maiores detalhes do modelo BSIM3v3.3, recomenda-se a leitura do Apêndice B e da referência [25]. Os resultados da simulação Monte Carlo encontram-se na Tab. 4.9.

Tabela 4.9 – Resultados da Simulação Monte Carlo Para Variações em Δ_W e V_{tw} .

n	$(W/L)_n$	$dI_{Dn}/d\Delta_W$ [A/m]	dI_{Dn}/dV_{tw} [A/m]
1	1,2u/20u	$3,282 \cdot 10^{-3}$	$1,960 \cdot 10^{-4}$
2	0,8u/20u	$5,728 \cdot 10^{-3}$	$2,030 \cdot 10^{-4}$
3	0,4u/20u	$2,253 \cdot 10^{-2}$	$2,203 \cdot 10^{-4}$

Com o uso da Eq. (3.12) e os resultados obtidos nas Tabs. 4.8 e 4.9, constrói-se o sistema de equações:

$$\begin{aligned} \frac{\sigma_{\Delta_W}^2}{L_1} \cdot \left(\frac{dI_{D1}}{d\Delta_W} \right)^2 + \frac{\sigma_{V_{tw}}^2}{L_1 W_1} \cdot \left(\frac{dI_{D1}}{d\Delta_{V_{tw}}} \right)^2 &= \sigma_{I_{D1}}^2 \\ \frac{\sigma_{\Delta_W}^2}{L_2} \cdot \left(\frac{dI_{D2}}{d\Delta_W} \right)^2 + \frac{\sigma_{V_{tw}}^2}{L_2 W_2} \cdot \left(\frac{dI_{D2}}{d\Delta_{V_{tw}}} \right)^2 &= \sigma_{I_{D2}}^2 \\ \frac{\sigma_{\Delta_W}^2}{L_3} \cdot \left(\frac{dI_{D3}}{d\Delta_W} \right)^2 + \frac{\sigma_{V_{tw}}^2}{L_3 W_3} \cdot \left(\frac{dI_{D3}}{d\Delta_{V_{tw}}} \right)^2 &= \sigma_{I_{D3}}^2 \end{aligned} \quad (4.31)$$

$$\begin{aligned} \frac{\sigma_{\Delta_W}^2}{20\mu m} \cdot (3,282 \cdot 10^{-3})^2 + \frac{\sigma_{V_{tw}}^2}{20\mu m \cdot 1,2\mu m} \cdot (1,960 \cdot 10^{-4})^2 &= (0,382\mu A)^2 \\ \frac{\sigma_{\Delta_W}^2}{20\mu m} \cdot (5,728 \cdot 10^{-3})^2 + \frac{\sigma_{V_{tw}}^2}{20\mu m \cdot 0,8\mu m} \cdot (2,030 \cdot 10^{-4})^2 &= (0,417\mu A)^2 \\ \frac{\sigma_{\Delta_W}^2}{20\mu m} \cdot (2,253 \cdot 10^{-2})^2 + \frac{\sigma_{V_{tw}}^2}{20\mu m \cdot 0,4\mu m} \cdot (2,203 \cdot 10^{-4})^2 &= (0,290\mu A)^2 \end{aligned}$$

O sistema de equações (4.31) é sobre-determinado, ou seja, o número de observações (as correntes I_{Dn} medidas) é maior do que o número de parâmetros a serem estimados ($\sigma^2 \Delta_W$ e $\sigma^2 V_{tw}$), portanto pode ser resolvido pelo *método dos mínimos quadrados* [20]. Para isto, o produto de matrizes $A^T Y = A^T A X$ deve ser verdadeiro, onde:

$$Y = \begin{pmatrix} (0,382\mu A)^2 \\ (0,417\mu A)^2 \\ (0,290\mu A)^2 \end{pmatrix} \quad A = \begin{pmatrix} \frac{(3,282 \cdot 10^{-3})^2}{20\mu m} & \frac{(1,960 \cdot 10^{-4})^2}{20\mu m \cdot 1,2\mu m} \\ \frac{(5,728 \cdot 10^{-3})^2}{20\mu m} & \frac{(2,030 \cdot 10^{-4})^2}{20\mu m \cdot 0,8\mu m} \\ \frac{(2,253 \cdot 10^{-2})^2}{20\mu m} & \frac{(2,203 \cdot 10^{-4})^2}{20\mu m \cdot 0,4\mu m} \end{pmatrix} \quad X = \begin{pmatrix} \sigma_{\Delta_W}^2 \\ \sigma_{V_{tw}}^2 \end{pmatrix} \quad (4.32)$$

Resolvendo para X , encontra-se: $\sigma^2 \Delta_W = 9,180 \cdot 10^{-14} \text{ m}^3$ e $\sigma^2 V_{tw} = 1,245 \cdot 10^{-16} \text{ V}^2 \cdot \text{m}^2$.

Para um casamento mínimo de 1% da corrente I_C , $\sigma I_{D(sat)} = 100 \text{ nA}$, então para o projeto das dimensões do transistor M_1 tem-se:

$$\frac{\sigma_{\Delta_W}^2}{L} \cdot \left(\frac{dI_{D(sat)}}{d\Delta_W} \right)_{\left(\frac{W}{L}\right)=0,5}^2 + \frac{\sigma_{V_{tw}}^2}{LW} \cdot \left(\frac{dI_{D(sat)}}{dV_{tw}} \right)_{\left(\frac{W}{L}\right)=0,5}^2 = \sigma_{I_{D(sat)}}^2 \quad (4.33)$$

Novamente, realizando-se a simulação Monte Carlo, encontra-se a sensibilidade da corrente de $I_{D(sat)}$ para os parâmetros Δ_W e V_{tw} , normalizada para $(W/L) = 0,5$:

$$\left(\frac{dI_{D(sat)}}{d\Delta_W} \right)_{\left(\frac{W}{L}\right)=0,5} = 1,703 \cdot 10^{-4} \frac{A}{m} \quad \left(\frac{dI_{D(sat)}}{dV_{tw}} \right)_{\left(\frac{W}{L}\right)=0,5} = 6,250 \cdot 10^{-5} \frac{A}{m} \quad (4.34)$$

Finalmente, a Eq. (4.33) pode ser reescrita como:

$$\frac{9,180 \cdot 10^{-14} \cdot (1,703 \cdot 10^{-4})^2}{L} + \frac{1,245 \cdot 10^{-16} \cdot (6,250 \cdot 10^{-5})^2}{0,5 \cdot L^2} = (100n)^2 \quad (4.35)$$

e a solução desta ocorre para $L = 10\mu\text{m}$. Logo, $(W/L)_I = 5\mu\text{m}/10\mu\text{m}$.

De forma análoga, para o projeto dos transistores M_2 , M_3 e M_4 , considerando-se transistores PMOS configurados como espelho de corrente, polarizados com $V_{SD} = V_{SG} = 3,3\text{V}$, $V_{SB} = 0$, constrói-se a Tab. 4.10:

Tabela 4.10 – Medidas da Corrente de Saturação para Transistor PMOS.

n	$(W/L)_n$	I_{Dn} Medida [μA]	I_{Dn} Simulada [μA]	\bar{I}_{Dn} [μA]	σI_{Dn} [μA]
1	20u/20u	131,1	129,8	130,5	0,919
2	100u/20u	687,5	680,8	684,2	4,743
3	200u/20u	1350	1340	1345	7,071

Para um transistor PMOS em inversão forte e canal longo, o parâmetro físico Δ_W é dominante no descasamento entre as correntes medidas e as simuladas. Realizando a simulação Monte Carlo aplicando a variação deste parâmetro, constrói-se a Tab. 4.11:

Tabela 4.11 – Resultados da Simulação Monte Carlo Para Variações em Δ_W .

n	$(W/L)_n$	$dI_{Dn}/d\Delta_W$ [A/m]
1	20u/20u	$8,558 \cdot 10^{-4}$
2	100u/20u	$1,378 \cdot 10^{-5}$
3	200u/20u	$8,251 \cdot 10^{-6}$

Com o uso da Eq. (3.12) e os resultados obtidos nas Tabs. 4.10 e 4.11, faz-se a regressão linear dos pontos e encontra-se: $\sigma^2 \Delta_W = 4,082 \cdot 10^{-11} \text{m}^3$. Para um casamento mínimo de 1% da corrente I_C , $\sigma I_{D(sat)} = 100 \text{nA}$, então para o projeto das dimensões dos transistores M_2 , M_3 e M_4 , tem-se:

$$\frac{\sigma_{\Delta_W}^2}{L} \cdot \left(\frac{dI_{D(sat)}}{d\Delta_W} \right)_{\left(\frac{W}{L}\right)=2,5}^2 = \sigma_{I_{D(sat)}}^2 \quad (4.36)$$

Novamente, realizando-se a simulação Monte Carlo, encontra-se a sensibilidade da corrente de $I_{D(sat)}$ para o parâmetro Δ_W , normalizada para $(W/L) = 2,5$:

$$\left(\frac{dI_{D(sat)}}{d\Delta_W} \right)_{\left(\frac{W}{L}\right)=2,5} = 7,000 \cdot 10^{-5} \frac{\text{A}}{\text{m}} \quad (4.37)$$

Finalmente, a Eq. (4.36) pode ser reescrita como:

$$\frac{4,082 \cdot 10^{-11} \cdot (7,000 \cdot 10^{-5})^2}{L} = (100 \text{n})^2 \quad (4.38)$$

e a solução desta ocorre para $L = 20 \mu\text{m}$. Logo, $(W/L)_{2,3,4} = 50 \mu\text{m}/20 \mu\text{m}$.

Para o dimensionamento dos resistores integrados, escreve-se a Tab. 4.12 com os parâmetros de processo do resistor de difusão tipo p do processo TSMC, agora com os respectivos desvios padrões e variâncias:

Tabela 4.12 – Parâmetros de Processo e Desvios Padrões do Resistor de Difusão Tipo p.

	Mínimo	Típico	Máximo	σ	Unidade
ρ	112,5	150,0	187,5	37,5	Ω/\square
ΔW	-0,050	0,100	0,250	0,150	μm

Considerando a Eq. (3.18) e os dados da Tab. 4.12, obtém-se:

$$\frac{\sigma_{LW}^2}{LW} = \frac{\sigma_{\rho}^2}{\rho^2} = \frac{(37,5)^2}{(150,0)^2} = 0,0625 \mu\text{m}^2 \quad (4.39)$$

Admitindo-se $W = 2\mu\text{m}$, os resistores da Eq. (4.27) são dimensionados como:

$$\begin{aligned} \left(\frac{L}{W}\right)_R = 38 &\rightarrow \left(\frac{L}{W}\right)_R = \frac{76\mu\text{m}}{2\mu\text{m}} \\ \left(\frac{L}{W}\right)_{xR} &= 11 \cdot \left(\frac{76\mu\text{m}}{2\mu\text{m}}\right) \end{aligned} \quad (4.40)$$

Ainda, considerando-se $\sigma_W = \Delta W$ (vide Tab. 4.12), o resistor R (Eq. 4.27) e a Eq. (4.39), substituindo-se esses valores na Eq. (3.23), tem-se:

$$\left(\frac{\sigma_R}{R^2}\right)_{\min} = 2\frac{\sigma_W^2}{W^2} + \frac{\sigma_{LW}^2}{LW} = 2\frac{(0,150\mu\text{m})^2}{(2\mu\text{m})^2} + 0,0625\mu\text{m}^2 = 0,015 \quad (4.41)$$

Finalmente,

$$\frac{\sigma_R}{R} = \sqrt{0,015} = 0,120\% \quad (4.42)$$

Portanto, dimensionando-se os resistores R e xR usando-se $W = 2\mu\text{m}$, espera-se que estes apresentem um descasamento de 0,120% (moderado, para um descasamento 3σ) que é adequado para o projeto da referência de tensão *bandgap*.

Para o projeto dos transistores S_1 e S_2 e o capacitor C_S (circuito de partida), a Fig. 4.11 deve ser considerada. Conforme foi discutido no Capítulo 2, a maior possibilidade da referência *bandgap* operar com $I_E = I_S = 0$ é durante o instante no qual a tensão de alimentação V_{DD} é ligada e o espelho de corrente, formado pelos transistores M_2 a M_4 , não possui carga suficiente para ser ativado. A fim de se evitar esta operação incorreta, o transistor S_2 deve drenar uma corrente de partida I_{P2} , suficiente para carregar o transistor M_7 e levar à operação $I_E = I_S = 10\mu\text{A}$. A corrente I_{P2} é expressa por:

$$I_{P2} = \frac{1}{2} KPP \left(V_{DD} - \frac{I_{P1}}{C_S} t_{lig} - |V_{tp}| \right)^2 \quad (4.43)$$

onde t_{lig} é o tempo que a fonte de alimentação V_{DD} leva para ser ligada, I_{P1} a corrente de

partida do transistor S_1 . Considerando-se o transistor S_2 saturado durante a partida da referência *bandgap*, então a seguinte condição deve ser satisfeita:

$$V_{DD} - \frac{I_{P1}}{C_S} t_{lig} \geq 2|V_{tp}| \quad (4.44)$$

Portanto, a corrente mínima I_{P1} para a partida da referência *bandgap* é expressa por:

$$I_{P1} = \frac{C_S (V_{DD} - 2|V_{tp}|)}{t_{lig}} \quad (4.45)$$

Considerando-se $t_{lig} = 10\text{ns}$ (pior caso) e $C_S = 1\text{pF}$, substituindo na Eq. (4.45), tem-se $I_{P1} = 178\mu\text{A}$. Também, substituindo I_{P1} na Eq. (4.43), tem-se $I_{P2} = 23,7\mu\text{A}$. Então, os transistores S_1 e S_2 são dimensionados:

$$\left(\frac{W}{L}\right)_{S_1} \geq \frac{2I_{P1}}{KPP \cdot |V_{tp}|^2} = \frac{2 \cdot 1,78 \cdot 10^{-4}}{6,23 \cdot 10^{-5} \cdot 0,76^2} \geq 10 \quad (4.46)$$

$$\left(\frac{W}{L}\right)_{S_2} \geq \frac{2I_{P2}}{KPP \cdot |V_{tp}|^2} = \frac{2 \cdot 2,37 \cdot 10^{-5}}{6,23 \cdot 10^{-5} \cdot 0,76^2} \geq 1,3 \quad (4.47)$$

Para se realizar o *layout* dos transistores S_1 e S_2 , estes devem ser colocados um ao lado do outro. Então, admitindo-se $L = 1\mu\text{m}$, estes transistores são casados e faz-se $(W/L)_{S1} = (W/L)_{S2} = 10\mu\text{m}/1\mu\text{m}$.

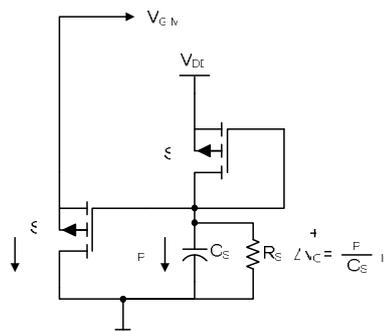


Figura 4.10 – Circuito de Partida da Referência *Bandgap*.

Finalmente, as dimensões dos componentes da referência *bandgap* são resumidas em:

$$\begin{aligned}
 (W_E L_E)_1 &= 25 \mu\text{m}^2 & (W_E L_E)_{2,3} &= 8 \cdot (25 \mu\text{m}^2) \\
 \left(\frac{W}{L}\right)_1 &= \frac{5 \mu\text{m}}{10 \mu\text{m}} & \left(\frac{W}{L}\right)_{2,3,4} &= 2 \cdot \left(\frac{25 \mu\text{m}}{20 \mu\text{m}}\right) \\
 \left(\frac{W}{L}\right)_{s_1, s_2} &= \frac{10 \mu\text{m}}{1 \mu\text{m}} & C_S &= 1156 \mu\text{m}^2 \\
 \left(\frac{L}{W}\right)_R &= \frac{76 \mu\text{m}}{2 \mu\text{m}} & \left(\frac{L}{W}\right)_{xR} &= 11 \cdot \left(\frac{76 \mu\text{m}}{2 \mu\text{m}}\right)
 \end{aligned} \tag{4.48}$$

Para desenvolvimento da *PSRR*, usa-se o modelo de operação em pequenos sinais, ilustrado na Fig. 4.12. Inicialmente, calcula-se a impedância $Z_b(s)$ equivalente vista pelos oito transistores conectados como diodo e em paralelo (transistor equivalente Q_3 , da Fig. 4.7), expressa pela Eq. (4.49).

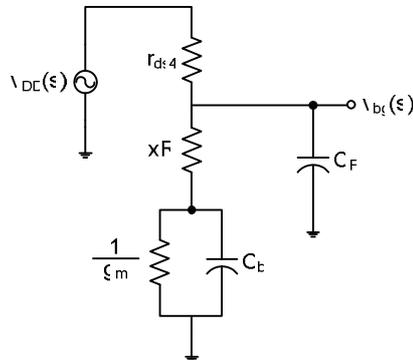


Figura 4.11 – Modelo Simplificado de Operação em Pequenos Sinais da *Bandgap*.

$$Z_b(s) = \frac{\frac{1}{g_m} \cdot \frac{1}{sC_b}}{\frac{1}{g_m} + \frac{1}{sC_b}} = \frac{1}{g_m + sC_b} \tag{4.49}$$

Em seguida, calcula-se a impedância $Z_e(s)$ equivalente, vista do nó $v_{bg}(s)$ para o nó de referência, expressa por:

$$Z_e(s) = \frac{(Z_b(s) + xR) \cdot \frac{1}{sC_F}}{(Z_b(s) + xR) + \frac{1}{sC_F}} = \frac{1 + xR(g_m + sC_b)}{1 + xR(g_m + sC_b) + \frac{1}{sC_F}} \cdot \frac{1}{sC_F} \quad (4.50)$$

$$Z_e(s) = \frac{1 + xR(g_m + sC_b)}{[1 + xR(g_m + sC_b)]sC_F + g_m + sC_b}$$

Então, a função de transferência $v_{bg}(s)/v_{DD}(s)$ é calculada como:

$$\frac{v_{bg}(s)}{v_{DD}(s)} = \frac{Z_e(s)}{r_{ds8} + Z_e(s)} = \frac{\frac{1 + xR(g_m + sC_b)}{[1 + xR(g_m + sC_b)]sC_F + g_m + sC_b}}{r_{ds8} + \frac{1 + xR(g_m + sC_b)}{[1 + xR(g_m + sC_b)]sC_F + g_m + sC_b}} \quad (4.51)$$

$$\frac{v_{bg}(s)}{v_{DD}(s)} = \frac{1 + xR(g_m + sC_b)}{1 + g_m(r_{ds8} + xR) + sg_m r_{ds8} xRC_F}$$

Substituindo-se $s = 0$ na Eq. (4.51), calcula-se o ganho DC da função de transferência $v_{bg}(s)/v_{DD}(s)$:

$$K_{dc} = \frac{v_{bg}(0)}{v_{DD}(0)} = \frac{1 + xRg_m}{1 + g_m(r_{ds8} + xR)} \quad (4.52)$$

Como o termo $xRg_m \gg 1$, K_{dc} pode ser simplificado em:

$$K_{dc} = \frac{xR}{r_{ds8} + xR} \quad (4.53)$$

Para o cálculo do zero da função de transferência da Eq. (4.51), tem-se:

$$1 + xR(g_m + \omega_z C_b) = 0$$

$$\omega_z = \frac{-(1 + xRg_m)}{xRC_b} \quad (4.54)$$

Como o termo $xRg_m \gg 1$, ω_z pode ser simplificado em:

$$\omega_z = -\frac{g_m}{C_b} \quad (4.55)$$

Para o cálculo do pólo da função de transferência da Eq. (4.51), tem-se:

$$1 + g_m(r_{ds8} + xR) + \omega_p g_m r_{ds8} xRC_F = 0$$

$$\omega_p = -\frac{1 + g_m(r_{ds8} + xR)}{g_m r_{ds8} xRC_F} \quad (4.56)$$

Como o termo $g_m(r_{ds8} + xR) \gg 1$, ω_p pode ser simplificado em:

$$\omega_p = -\frac{r_{ds8} + xR}{r_{ds8} xRC_F} \quad (4.57)$$

Finalmente, a *PSRR* da referência *bandgap* pode ser expressa por:

$$PSRR(s) = \frac{v_{DD}(s)}{v_{bg}(s)} = \frac{r_{ds8} + xR}{xR} \cdot \frac{\left(1 + s \frac{r_{ds8} xRC_F}{r_{ds8} + xR}\right)}{\left(1 + s \frac{C_b}{g_m}\right)} \quad (4.58)$$

Analisando a função de transferência da Eq. (4.58), o pólo pode ser alocado a uma frequência no qual cancele o efeito do zero. Para isto, projeta-se a capacitância de filtro C_F , com auxílio do simulador elétrico, assim predominando apenas o ganho DC. Como $r_{ds8} \gg xR$, a fonte de referência *bandgap* possui alta *PSRR*.

Para a validação das dimensões projetadas, foram realizadas simulações elétricas (análise DC e AC), cobrindo-se todos os casos possíveis de variação do processo de fabricação e condições de operação do circuito, conforme dados das Tabs. 4.13 e 4.14.

O objetivo da análise DC é de se verificar a tensão de saída V_{bg} e sua respectiva precisão ΔV_{bg} , assim como calcular o coeficiente térmico efetivo $TC_{F(ef)}$ da referência, para toda excursão da temperatura de operação do circuito ($-40^\circ\text{C} \leq T \leq 120^\circ\text{C}$), onde as curvas características são conforme ilustra a Fig. 4.13.

Na análise AC, uma fonte de perturbação é aplicada ao terminal de alimentação V_{DD} , também é aplicado um capacitor de filtro C_F ao estágio de saída, com o objetivo de se verificar a $PSRR$ à frequência de 100Hz, onde a sua curva típica está ilustrada na Fig. 4.14.

Tabela 4.13 – Análise DC da Referência *Bandgap*.

	Faixa de Temperatura [°C]	ρ [Ω/\square]	V_{DD} [V]	Modelos de Processo
	-40 a 120	112,5, 150,0 e 187,5	3,0, 3,3 e 3,6	Típico, LNLP, RNRP, LNRP e RNLP
Número de Pontos		$n_1 = 3$	$n_2 = 3$	$n_3 = 5$
Total de Simulações				$\prod_{i=1}^3 n_i = 45$

Tabela 4.14 – Análise AC da Referência *Bandgap*.

	Faixa de Temperatura [°C]	ρ [Ω/\square]	V_{DD} [V]	Modelos de Processo
	-40 a 120	112,5, 150,0 e 187,5	3,0, 3,3 e 3,6	Típico, LNLP, RNRP, LNRP e RNLP
Número de Pontos		$n_1 = 3$	$n_2 = 3$	$n_3 = 5$
Total de Simulações				$\prod_{i=1}^3 n_i = 45$

Os pontos medidos nas análises DC e AC estão no Apêndice A deste documento. Os resultados das análises estão na Tab. 4.15 e cumprem com as especificações de projeto, para um descasamento 3σ . O *layout* da referência de tensão *bandgap* está ilustrado na Fig. 4.15.

Tabela 4.15 – Resultados das Análises DC e AC da Referência *Bandgap*.

Análise	Parâmetro	Valor Médio	σ	Unidade
DC	V_{bg}	1,318	0,004	V
	$TC_{F(ef)}$	13,6	8,0	ppm/°C
AC	$PSRR_{100}$	72,6	5,3	dB

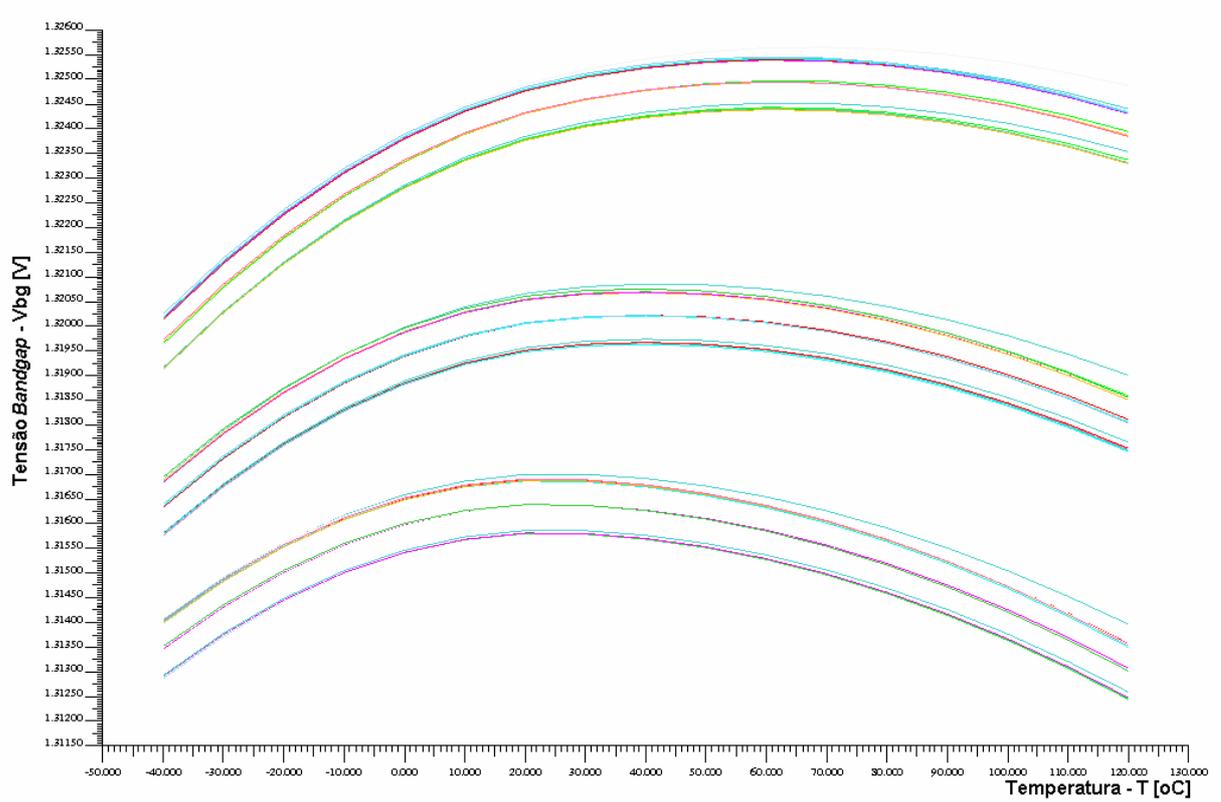


Figura 4.12 – Análise DC da Referência *Bandgap*.

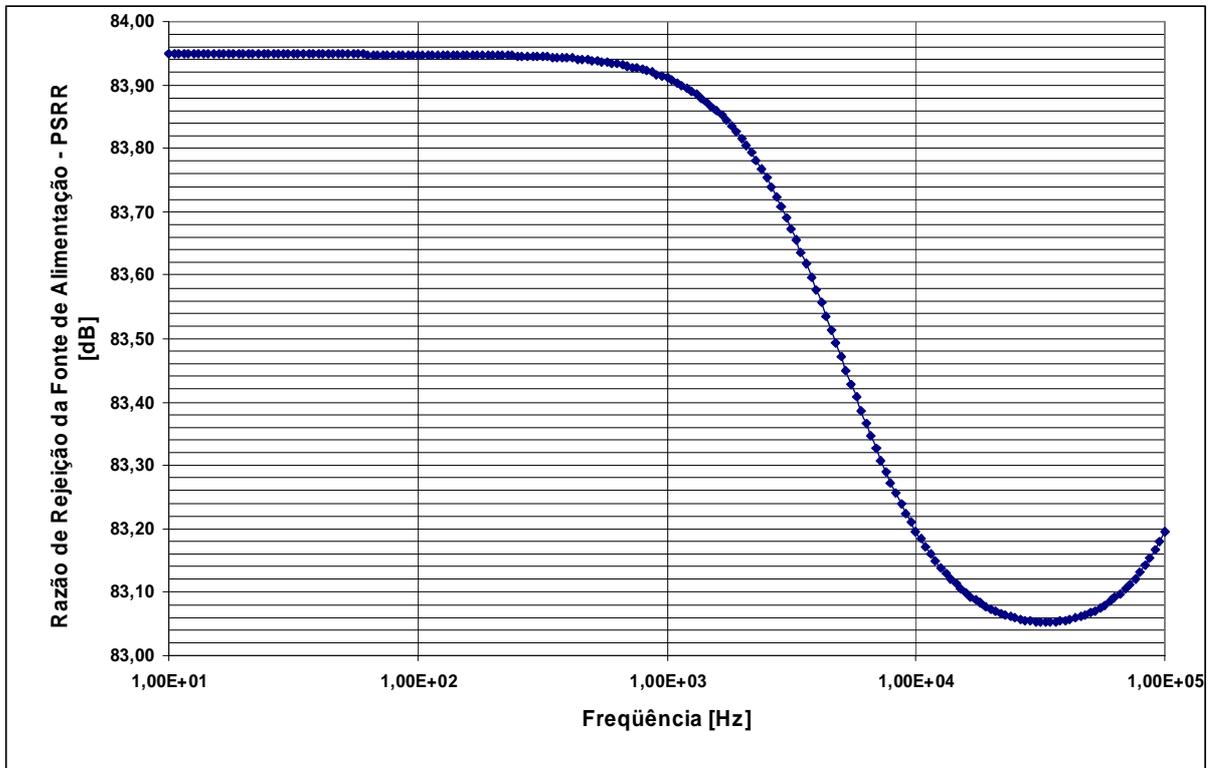


Figura 4.13 – *PSRR* (Típico) da Referência *Bandgap* para $C_F = 470\text{pF}$.

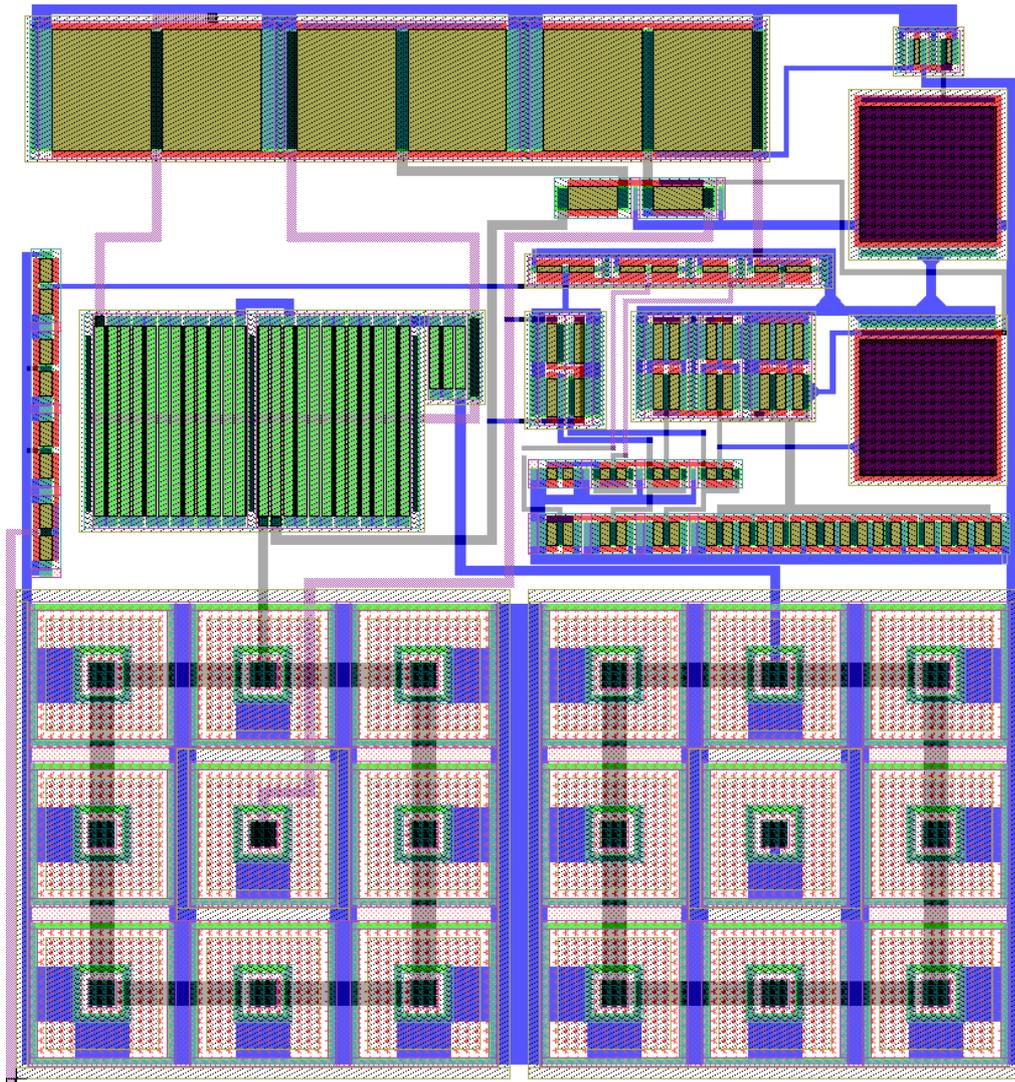


Figura 4.14 – *Layout da Referência de Tensão Bandgap.*

4.3.3. Estágio Amplificador, *Buffer* e Multiplexador Analógico

Para início da discussão do projeto dos estágios amplificador, *buffer* e multiplexador analógico, o circuito da Fig. 4.16 deve ser considerado.

Neste circuito, a tensão de entrada é proveniente da referência *bandgap*, ilustrada como uma fonte de alimentação ideal, que passa pelo estágio amplificador não-inversor e gera a tensão de referência V_o , expressa pela Eq. (4.59).

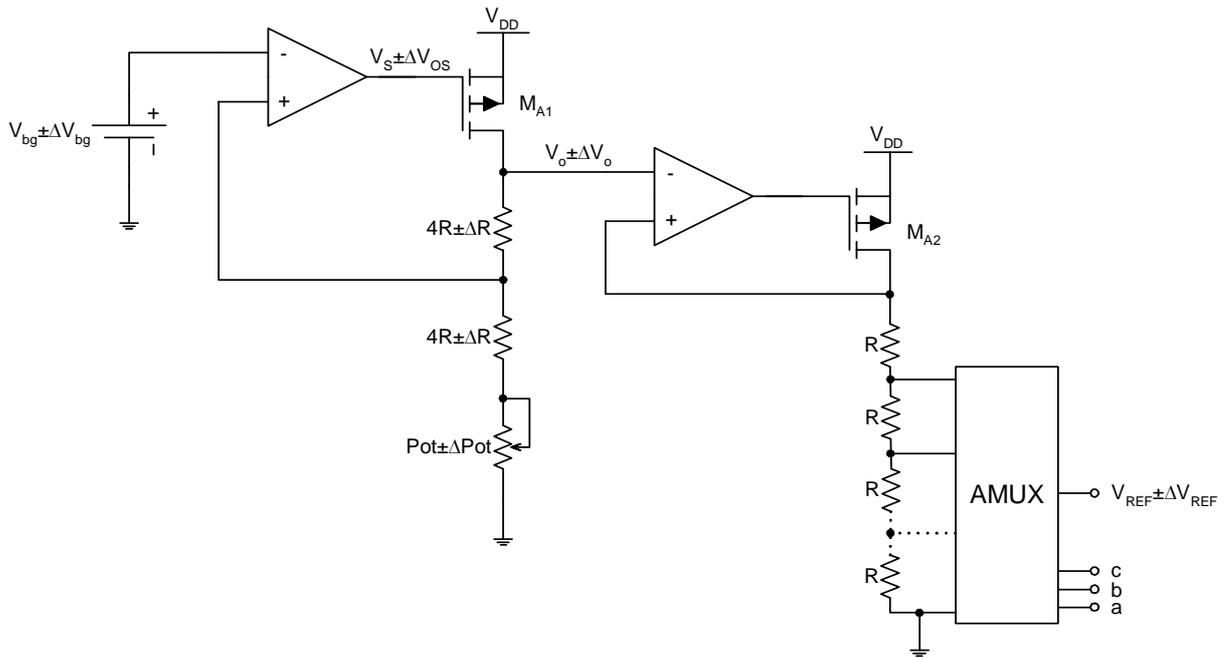


Figura 4.15 – Estágio Amplificador, *Buffer* e Multiplexador Analógico.

$$V_o = \left(1 + \frac{4R}{4R + P_{ot}} \right) V_{bg} \quad (4.59)$$

Como $R = 5700\Omega$, $V_{bg} = 1,318V$, fazendo-se $P_{ot} = 5000\Omega$ e substituindo na Eq. (4.59), tem-se $V_o = 2,4V$. O potenciômetro serve para se fazer ajuste fino da tensão V_o , visto que o circuito sofre variações durante o processo de fabricação. A tensão V_o é entrada para um amplificador configurado como *buffer* e passa por oito taps resistivos, onde são geradas tensões de saída V_{REF} de 0 a 2,1V, selecionadas por um multiplexador analógico 1 de 8 através dos bits c , b e a .

A precisão da tensão de saída V_{REF} (ΔV_{REF}) é diretamente relacionada à precisão da tensão V_o (ΔV_o) [26]. Esta última é dependente da variação da tensão de referência *bandgap* ($\Delta V_{o,ref}$), do erro linear do amplificador operacional ($\Delta V_{o,a}$), da tolerância dos resistores integrados ($\Delta V_{o,r}$) e coeficiente de temperatura efetivo ($\Delta VTC_{F(ef)}$), sendo expressa por [26]:

$$\Delta V_o = \sqrt{\Delta V_{o,ref}^2 + \Delta V_{o,a}^2 + \Delta V_{o,r}^2 + \Delta VTC_{F(ef)}^2} \quad (4.60)$$

Uma vez que o amplificador operacional, exibido na Fig. 4.2, é projetado com alto ganho de malha aberta $A_o \geq 100\text{dB}$, e portanto possui baixo erro linear, então o termo $\Delta V_{o,a}$ pode ser desprezado. Também, como o potenciômetro P_{ot} calibra a tensão V_o para 2,4V, então o termo $\Delta V_{o,r}$ também pode ser desprezado, e a Eq. (4.60) pode ser reescrita como:

$$\Delta V_o = \sqrt{\Delta V_{o,ref}^2 + \Delta VTC_{F(ef)}^2} \quad (4.61)$$

A dependência da tensão V_o com a variação da tensão de referência *bandgap* é expressa como [26]:

$$\frac{\Delta V_{o,ref}}{V_o} = \pm \frac{\Delta V_{bg}}{V_{bg}} \quad (4.62)$$

A Eq. (4.62) sugere que a tensão V_o é diretamente afetada pela precisão da tensão de referência *bandgap* V_{bg} . Conforme especificado e simulado, a precisão da tensão de referência é de $\pm 1\%$, então, a tensão V_o exibe a mesma variação.

A dependência da tensão V_o com o coeficiente de temperatura efetivo é expressa como [26]:

$$\Delta VTC_{F(ef)} = \pm TC_{F(ef)} (T_{máx} - T_{mín}) V_o \quad (4.63)$$

Das especificações elétricas, substituindo V_{bg} e ΔV_{bg} na Eq. (4.62), calcula-se:

$$\Delta V_{o,ref} = \pm 0,01 \cdot 2,4 = 24\text{mV} \quad (4.64)$$

Fazendo-se $TC_{F(ef)} = 100\text{ppm}/^\circ\text{C}$ e substituindo na Eq. (4.63), calcula-se:

$$\Delta VTC_{F(ef)} = \pm TC_{F(ef)} (T_{máx} - T_{mín}) V_o = \pm 100 \cdot (120 - (-40)) \cdot 2,4 = 38,4\text{mV} \quad (4.65)$$

Finalmente, substituindo as Eqs. (4.64) e (4.65) na Eq. (4.61), tem-se:

$$\Delta V_o = \sqrt{(24,0mV)^2 + (38,4mV)^2} = 45,3mV \quad (4.66)$$

Portanto, a precisão da tensão V_o é expressa por:

$$\frac{\Delta V_o}{V_o} \cdot 100 = \frac{45,3mV}{2,4V} \cdot 100 = 1,9\% \quad (4.67)$$

e o erro da tensão de saída V_{REF} , para um *tape* selecionado pela programação dos bits de seleção do multiplexador analógico, é expressa por:

$$\Delta V_{REF} = \frac{\Delta V_o}{\textit{tape}}, \text{ onde } 1 \leq \textit{tape} \leq 8 \quad (4.68)$$

A Eq. (4.67) exibe uma precisão típica da tensão V_o e, por conseqüência, da tensão V_{REF} de 1,9%, abaixo do especificado ($\Delta V_{REF} = 3,0\%$). Este é um bom resultado, visto que ΔV_{REF} se degrada com as variações de processo de fabricação do circuito integrado, conforme será visto nos resultados de simulação da referência.

O esquemático elétrico do multiplexador analógico está exibido na Fig. 4.16. As portas lógicas são implementadas a partir de portas padrões da tecnologia TSMC 0,35 μ m e as chaves analógicas são dimensionadas usando $(W/L)_{CH} = 6\mu\text{m}/1\mu\text{m}$, suficientes para casar a impedância de saída de referência de tensão programável com uma carga de alta impedância (tipicamente um *buffer*).

Para o desenvolvimento da *PSRR* da referência de tensão programável, a Fig. 4.17 deve ser considerada. O modelo de operação em pequenos sinais é semelhante ao usado pela referência [12] para dedução do modelo do amplificador operacional. A equação de transferência $v_{REF}(s)/v_{DD}(s)$, derivada do circuito da Fig. 4.17, é expressa por:

$$\frac{v_{REF}(s)}{v_{DD}(s)} = \frac{sR_{te}C_{gdA2}}{1 + sR_{te}C_{gdA2}} \cdot \frac{1}{1 + sR_{CH}C_{F2}} \quad (4.69)$$

onde:

$R_{te} = \frac{tR}{tR + (8-t)R}$ é a resistência Thevénin equivalente do divisor resistivo, em Ohms;

$0 \leq t \leq 7$ é o tape seleccionado pelos bits c , b e a para a tensão V_{REF} .

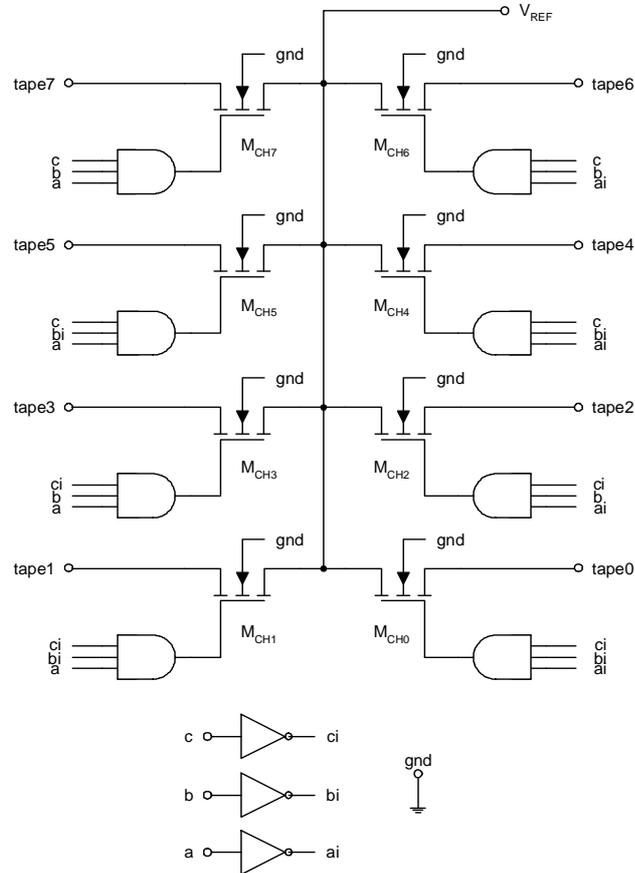


Figura 4.16 – Esquema Elétrico do Multiplexador Analógico 1 de 8.

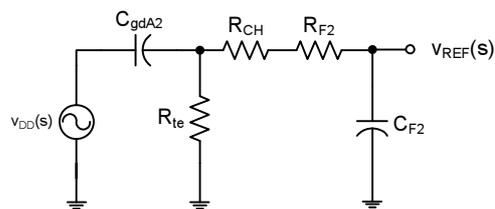


Figura 4.17 – Modelo de Operação em Pequenos Sinais da Referência de Tensão Programável para Análise da PSRR.

Portanto, a $PSRR$ da referência de tensão programável é expressa como:

$$PSRR(s) = \frac{v_{DD}(s)}{v_{REF}(s)} = \frac{1 + sR_{te}C_{gdA2}}{sR_{te}C_{gdA2}} \cdot (1 + sR_{CH}C_{F2}) \quad (4.70)$$

A Fig. 4.18 mostra uma curva típica da $PSRR$ da referência de tensão programável projetada, a mesma expressa pela Eq. (4.70), aplicando-se um filtro C_{F2} de 10pF. Percebe-se que o termo dominante é $R_{te}C_{gdA2}$ e também que, para frequências acima de 1MHz, a rejeição é menor do que 40dB, o que pode ser perigoso para aplicações em que a referência foi projetada (por exemplo, conversores DC/DC chaveados que operam na faixa de 300kHz a 2MHz), além de variar devido às variações do processo de fabricação do circuito integrado. Portanto, recomenda-se a adição de um resistor de filtro R_{F2} igual a $1M\Omega$ em com série C_{F2} , de forma a cancelar o efeito causado pelo termo $R_{te}C_{gdA2}$. Então, a Eq. (4.70) pode ser reescrita como a Eq. (4.71), desta forma, a $PSRR$ da referência torna-se constante para toda banda da frequência de operação do circuito, conforme exhibe a curva da Fig. 4.19.

$$PSRR(s) = \frac{v_{DD}(s)}{v_{REF}(s)} = \frac{1 + sR_{te}C_{gdA2}}{sR_{te}C_{gdA2}} \cdot [1 + s(R_{CH} + R_{F2})C_{F2}] \quad (4.71)$$

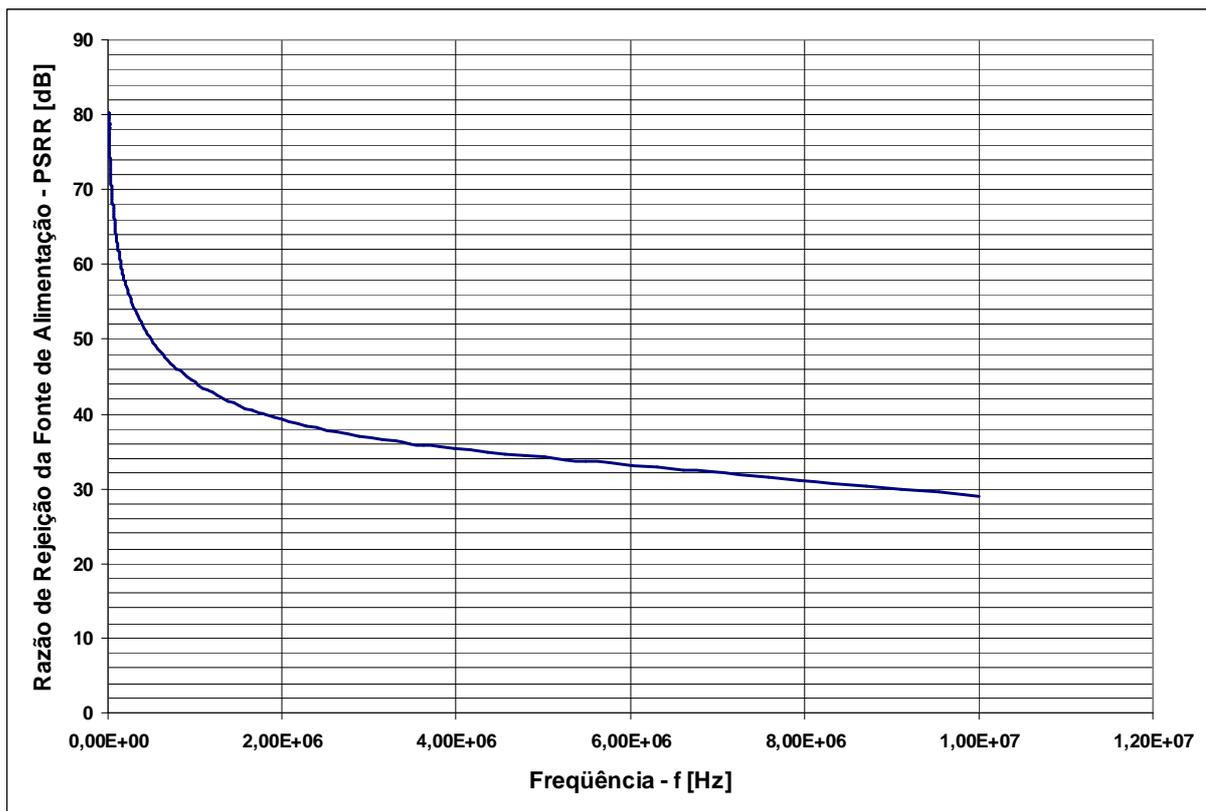


Figura 4.18 – $PSRR$ Típica da Referência de Tensão Programável para $C_{F2} = 10pF$.

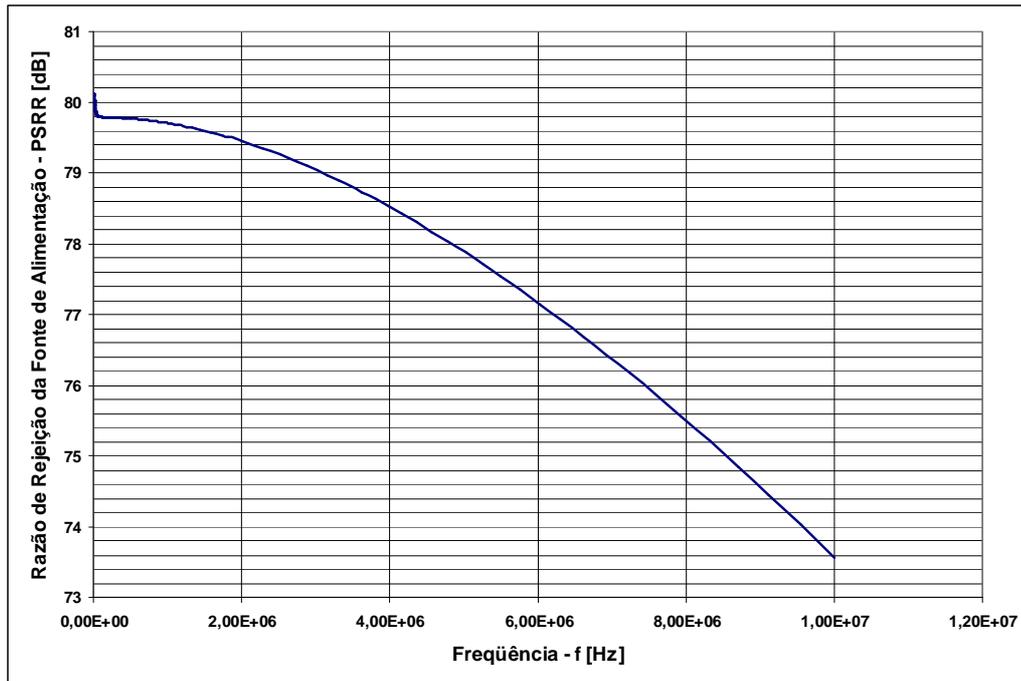


Figura 4.19 – PSRR Típica da Referência de Tensão Programável para $R_{F2} = 1M\Omega$ e $C_{F2} = 10pF$.

Para a validação da referência de tensão programável, foram realizadas simulações elétricas (análises DC e AC), cobrindo-se todos os casos possíveis de variação do processo de fabricação e condições de operação do circuito, conforme dados das Tabs. 4.16 e 4.17. Os objetivos e as condições das análises DC e AC são idênticos aos realizados para a referência *bandgap*, obviamente tornando-se distintas quanto ao número de tensões de saída e valores medidos da referência de tensão programável. As curvas da análise DC são encontradas na Fig. 4.20.

Para se finalizar a validação do projeto, foram realizadas simulações transientes para se verificar a partida da referência de tensão, admitindo-se que a fonte de alimentação V_{DD} leve $3\mu s$ para ser ligada, observando-se as tensões V_{bg} e V_{REF} em regime permanente, conforme curvas da Fig. 4.21.

Os pontos medidos nas análises DC e AC estão no Apêndice A. Os resultados das análises estão na Tab. 4.18 e cumprem com as especificações de projeto para um descasamento 3σ . O *layout* do estágio amplificador, *buffer* e do multiplexador analógico está ilustrado na Fig. 4.22. Finalmente, o *layout* da referência de tensão programável e do circuito integrado estão ilustrados nas Figs. 4.23 e 4.24, respectivamente.

Tabela 4.16 – Análise DC da Referência de Tensão Programável.

	Faixa de Temperatura [°C]	V _{REF} [V]	ρ [Ω/\square]	V _{DD} [V]	Modelos de Processo
	-40 a 120	0,3, 0,6, 0,9, 1,2, 1,5, 1,8 e 2,1	112,5, 150,0 e 187,5	3,0, 3,3 e 3,6	Típico, LNLP, RNRP, LNRP e RNLP
Número de Pontos		$n_1 = 7$	$n_2 = 3$	$n_3 = 3$	$n_4 = 5$
Total de Simulações					$\prod_{i=1}^4 n_i = 315$

Tabela 4.17 – Análise AC da Referência de Tensão Programável.

	Faixa de Temperatura [°C]	V _{REF} [V]	ρ [Ω/\square]	V _{DD} [V]	Modelos de Processo
	-40 a 120	0,3, 0,6, 0,9, 1,2, 1,5, 1,8 e 2,1	112,5, 150,0 e 187,5	3,0, 3,3 e 3,6	Típico, LNLP, RNRP, LNRP e RNLP
Número de Pontos		$n_1 = 7$	$n_2 = 3$	$n_3 = 3$	$n_4 = 5$
Total de Simulações					$\prod_{i=1}^4 n_i = 315$

Tabela 4.18 – Resultados das Análises DC e AC da Referência de Tensão Programável.

Análise	Parâmetro			Valor Médio	σ	Unidade	
DC	V _{bg}	Bits de Seleção					
		c	b	a			
		0	0	0	0,000	0,000	V
		0	0	1	0,300	0,003	V
		0	1	0	0,600	0,006	V
		0	1	1	0,900	0,009	V
		1	0	0	1,200	0,012	V
		1	0	1	1,500	0,015	V
		1	1	0	1,800	0,018	V
		1	1	1	2,100	0,021	V
	TC _{F(ef)}			60	13	ppm/°C	
AC	PSRR ₁₀₀	Bits de Seleção					
		c	b	a			
		0	0	0	77,3	10,2	dB
		0	0	1	71,3	10,2	dB
		0	1	0	67,8	10,2	dB
		0	1	1	69,3	11,3	dB
		1	0	0	65,3	10,2	dB
		1	0	1	65,3	7,6	dB
		1	1	0	63,7	7,6	dB
		1	1	1	62,4	7,6	dB

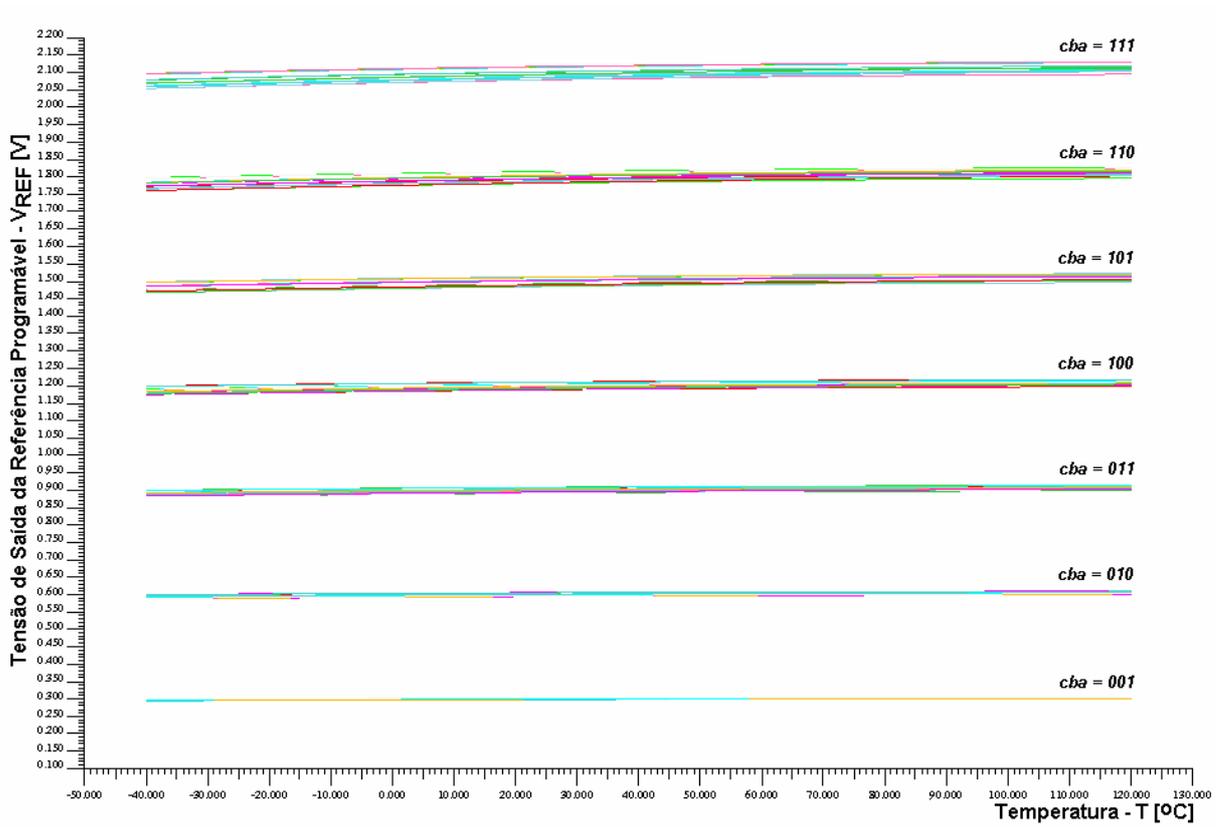


Figura 4.20 – Análise DC da Referência de Tensão Programável.

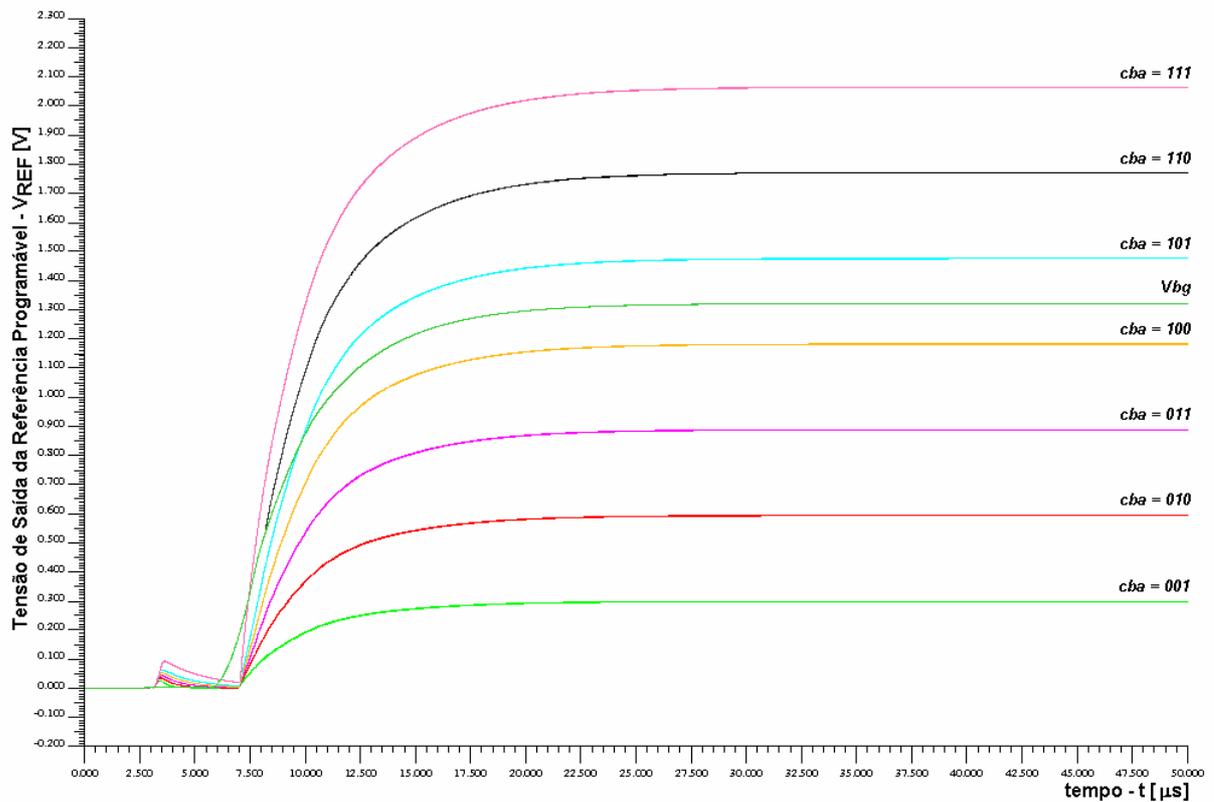


Figura 4.21 – Partida da Referência de Tensão Programável.

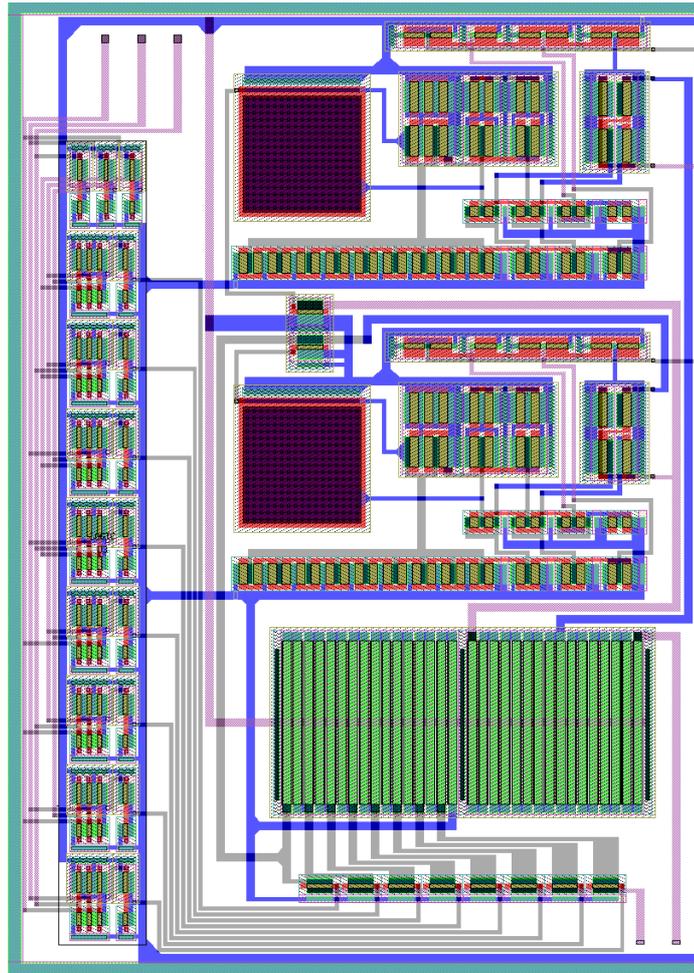


Figura 4.22 – *Layout* do Estágio Amplificador, *Buffer* e do Multiplexador Analógico.

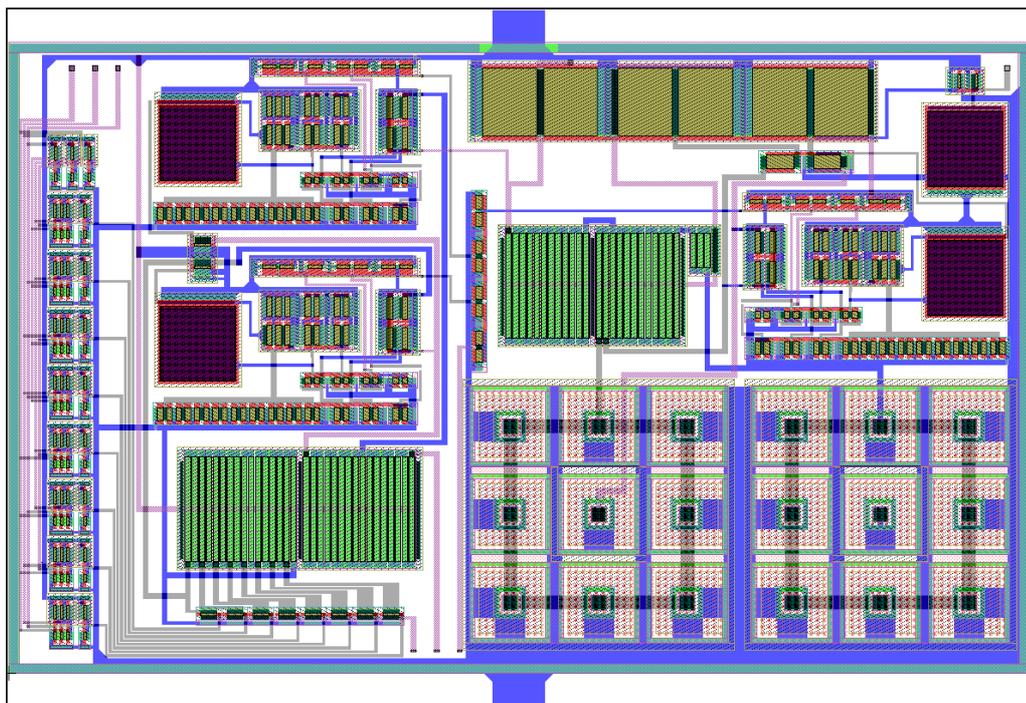


Figura 4.23 – *Layout* da Referência de Tensão Programável.

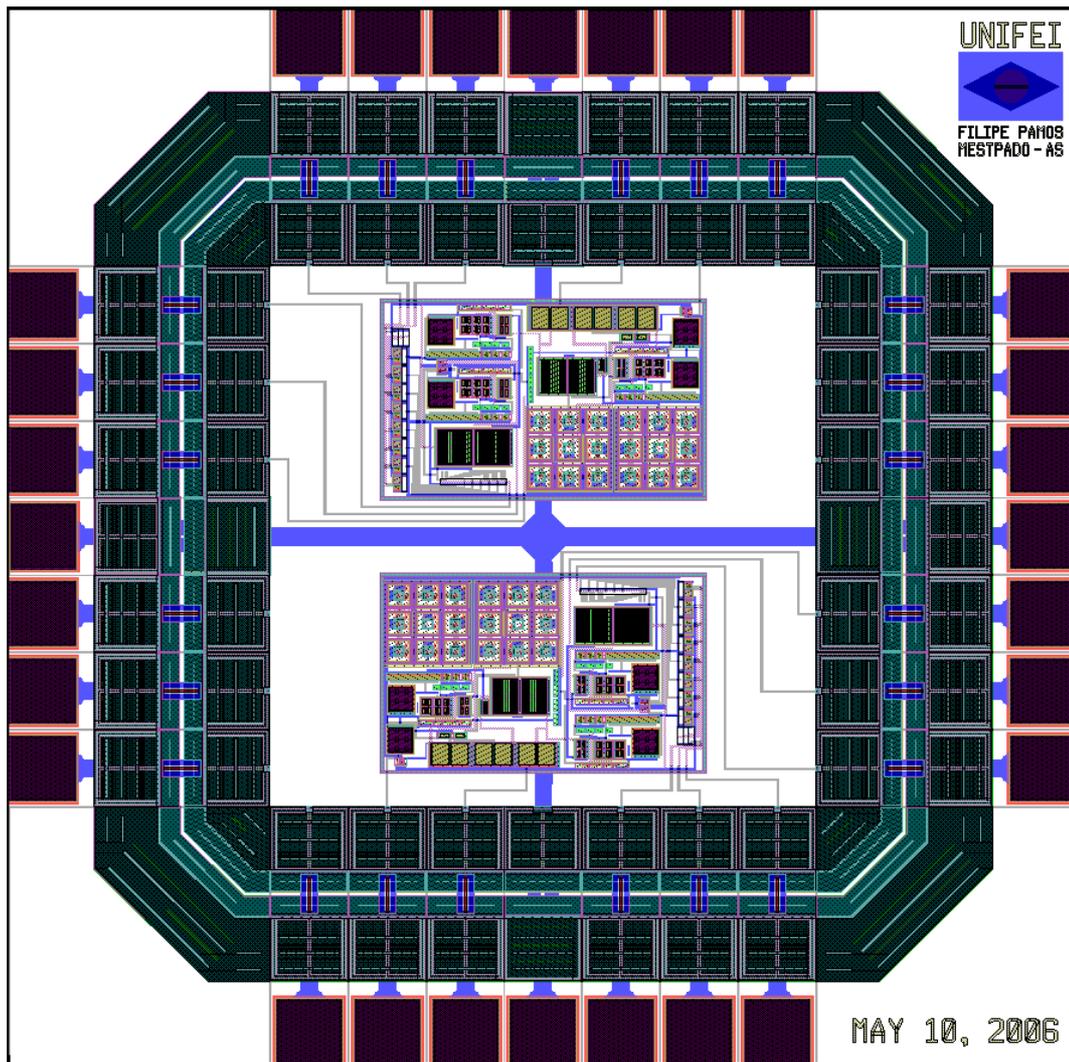


Figura 4.24 – Layout Completo do Circuito Integrado.

4.4. Medidas Elétricas Realizadas em Laboratório

Para caracterização do circuito integrado projetado, inicialmente este é montado em matriz de contatos a fios (*bond wires*), segundo a configuração ilustrada na Fig. 4.25.

Os filtros colocados nas saídas da referência de tensão programável e da *bandgap* são os mesmos usados nas simulações de *PSRR*, conforme discutido no item anterior. Desta forma garante-se que ruídos provenientes da fonte de alimentação e outras fontes não interfiram nas medidas. Também são adicionados, aos pinos de saída das referências, amplificadores operacionais configurados como *buffer* isolando, desta forma, o circuito integrado das pontas de prova do osciloscópio, não havendo interferência nas medidas.

O circuito integrado é polarizado com uma fonte de corrente externa de $5\mu\text{A}$ e o potenciômetro de $1\text{k}\Omega$, em série com um resistor de $4,3\text{k}\Omega$, fazem a resistência equivalente ajustável igual à do potenciômetro P_{ot} , já discutido no item anterior, para calibração do estágio amplificador. A alimentação do circuito é fixa e constante em $V_{DD} = 3,3\text{V}$. Finalmente, chaves são aplicadas aos terminais c , b e a para seleção tensão de saída V_{REF} e o circuito é levado ao equipamento *Temptronic*, que funciona com bombas de frio e calor, gerando temperaturas na faixa de -20°C a 80°C em toda a superfície do circuito integrado. A faixa de temperatura das medidas é menor do que as simuladas devido aos limites práticos da temperatura de operação da matriz de contato e componentes auxiliares.

Na Fig. 4.27 estão as curvas dos pontos medidos contra os simulados para a referência de tensão *bandgap*. Nas Figs. 4.28 e 4.29, encontram-se os pontos medidos contra os simulados para a referência de tensão programável para $V_{REF} = 300\text{mV}$ e $V_{REF} = 2,100\text{V}$. Nota-se que os pontos próximos aos extremos de temperatura possuem erro maior do que aqueles localizados próximos da temperatura nominal de operação $T = 40^\circ\text{C}$. Finalmente, a Fig. 4.29 mostra uma foto do circuito integrado, tirada com auxílio de um microscópio, ampliada de 50 vezes do tamanho real.

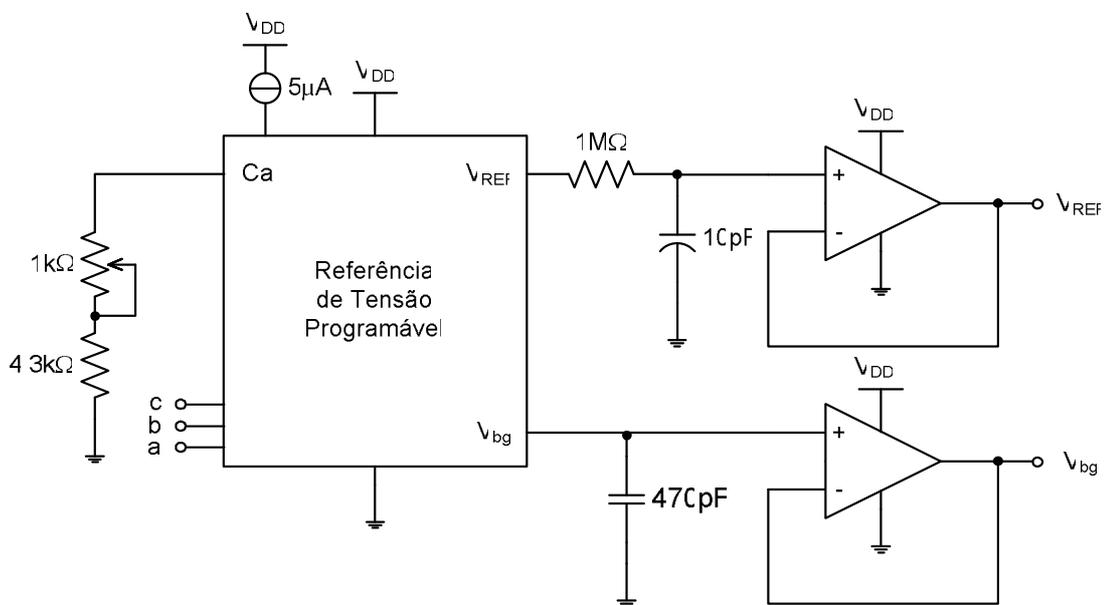


Figura 4.25 – Circuito para Caracterização da Referência de Tensão Programável.

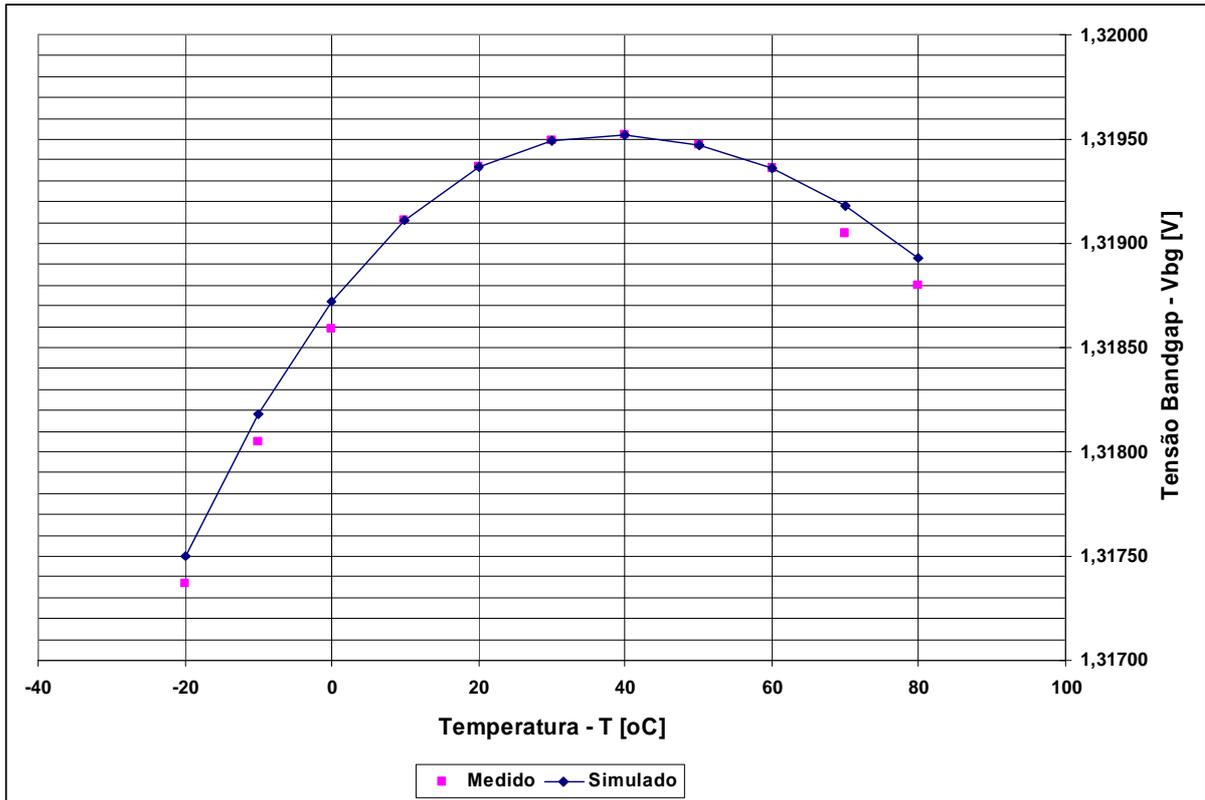


Figura 4.26 – Medidas Elétricas Vs. Simulação Elétrica da Referência *Bandgap*.

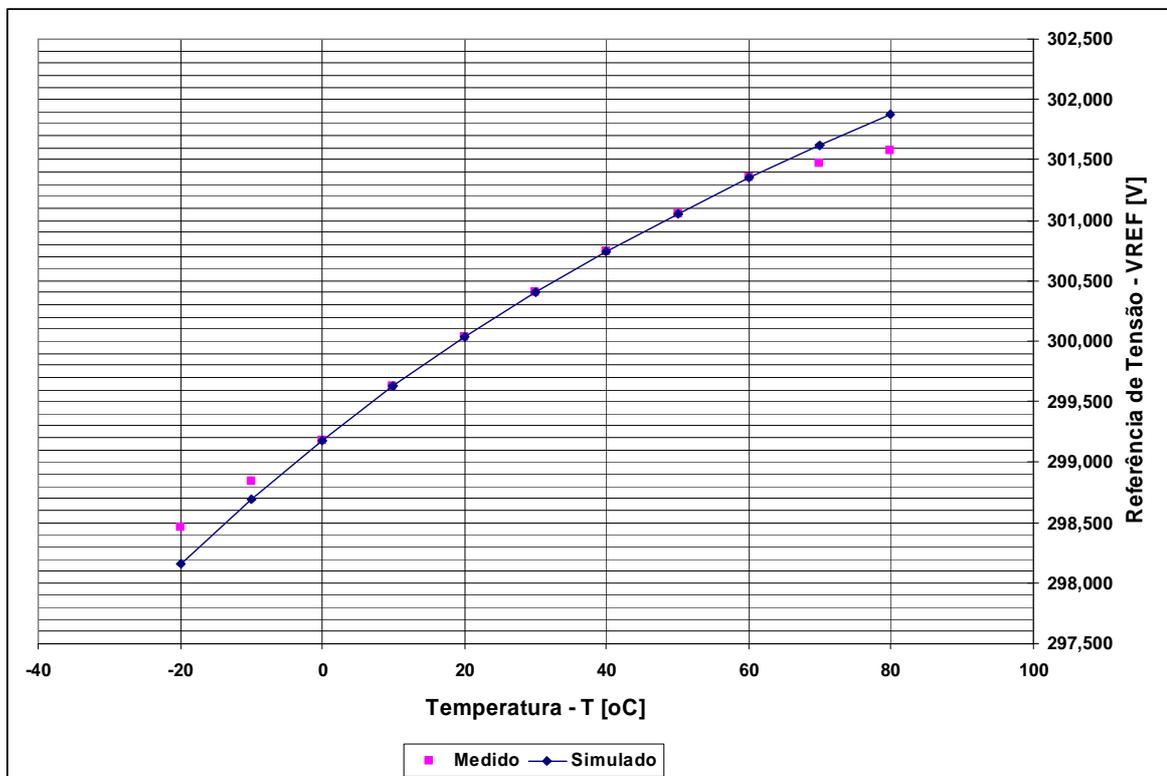


Figura 4.27 – Medidas Elétricas Vs. Simulação Elétrica da Referência de Tensão Programável para $V_{REF} = 300\text{mV}$.

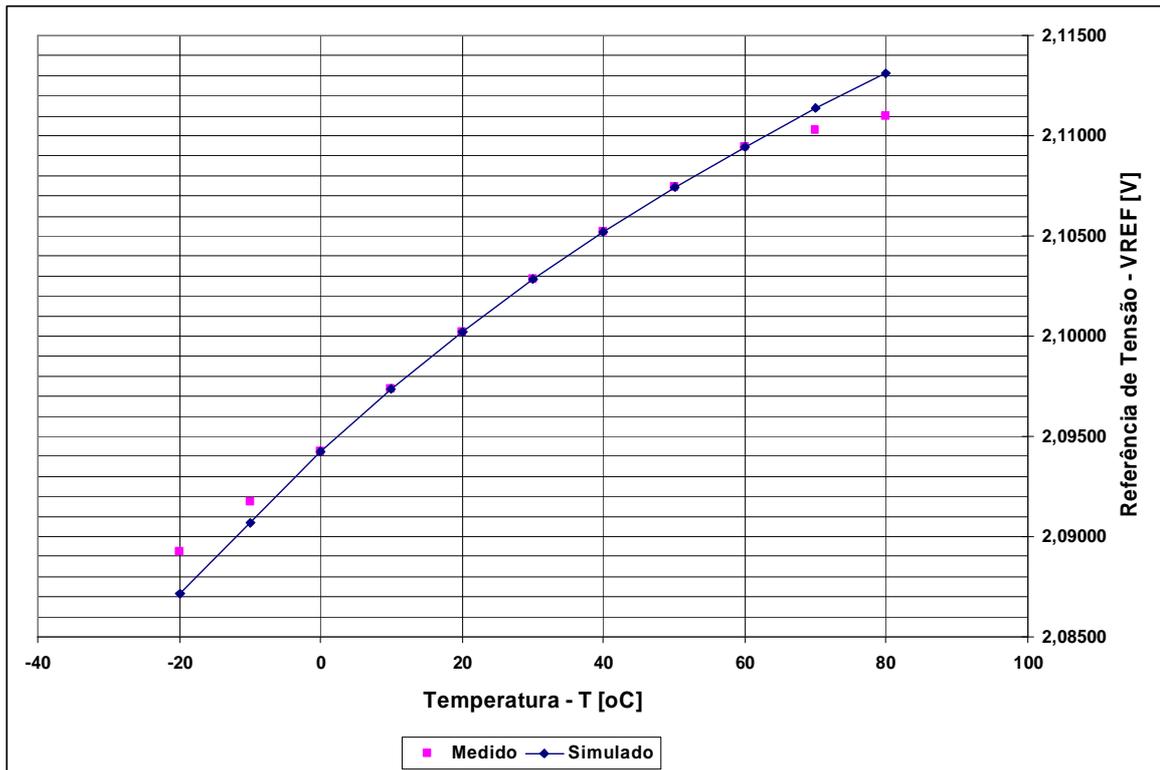


Figura 4.28 – Medidas Elétricas Vs. Simulação Elétrica da Referência de Tensão Programável para $V_{REF} = 2,100V$.

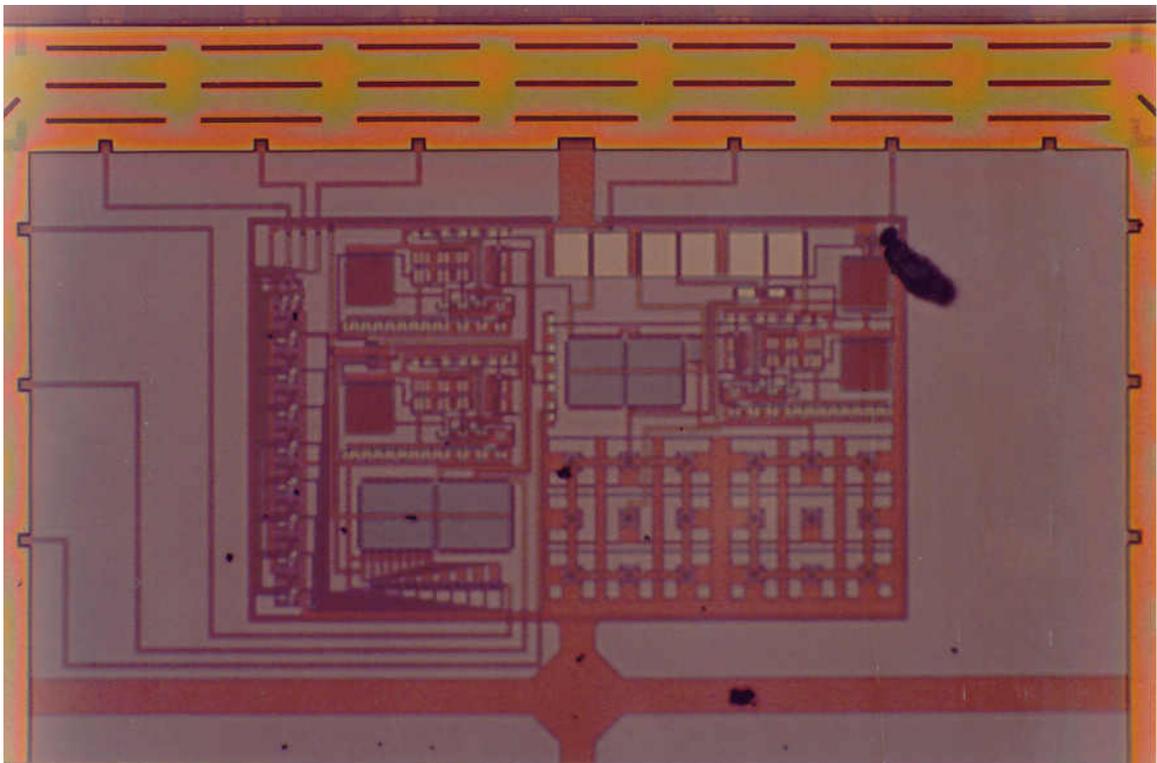


Figura 4.29 – Circuito da Referência de Tensão Programável (50 vezes ampliado).

A Tab. 4.19 exibe os valores dos pontos simulados contra os medidos em laboratório das referências de tensão *bandgap* e programável. Todos os pontos medidos estão dentro dos intervalos especificados nas Tabs. 4.2 e 4.3 e, portanto, comprovam a teoria e as equações desenvolvidas para a realização deste projeto.

Tabela 4.19 – Simulações Elétricas Vs. Medidas Elétricas da Referência de Tensão Programável.

Temperatura [°C]	V _{bg}		V _{REF} = 300mV		V _{REF} = 2,100V	
	Simulado [V]	Medido [V]	Simulado [V]	Medido [V]	Simulado [V]	Medido [V]
-20	1,3175	1,3173	298,16	298,46	2,0871	2,0892
-10	1,3182	1,3180	298,69	298,84	2,0907	2,0917
0	1,3187	1,3185	299,18	299,18	2,0943	2,0942
10	1,3191	1,3191	299,63	299,63	2,0974	2,0973
20	1,31934	1,3193	300,03	300,03	2,1002	2,1002
30	1,3195	1,3195	300,40	300,40	2,1028	2,1028
40	1,3195	1,3195	300,74	300,74	2,1052	2,1052
50	1,3194	1,3194	301,06	301,06	2,1074	2,1074
60	1,3193	1,3193	301,35	301,35	2,1095	2,1094
70	1,3192	1,3190	301,62	301,47	2,1114	2,1103
80	1,3189	1,3188	301,87	301,57	2,1131	2,1109

Infelizmente, só foi possível realizar as medidas elétricas da Tab. 4.19 em apenas uma amostra de um total de cinco, prototipada e encapsulada pelo serviço MOSIS. Avalia-se que o baixo *yield* do circuito integrado deve-se à falha da proteção contra descargas eletrostáticas das células de entrada e saída (foram utilizadas células padrões fornecidas pelo MOSIS, cujas características elétricas não são divulgadas), além da ausência de diodos para a proteção do chamado *efeito antena* que ocorre durante a fabricação do circuito.

Outro problema encontrado durante a fase de desenvolvimento do circuito integrado é o fato do serviço MOSIS não caracterizar os extremos de processo da tecnologia TSMC CMOS 0,35 μ m, fornecendo somente o modelo típico para simulação em PSPICE. Os modelos SPICE dos casos extremos foram gerados manualmente a partir de informações do manual do fabricante do processo, com os parâmetros ajustados de forma conservadora, desta forma, supõe-se que os modelos gerados são pessimistas com relação ao que se mede efetivamente no circuito integrado.

Capítulo 5

Conclusões Finais

Este trabalho apresenta o projeto de uma referência de tensão programável que opera na faixa de 0 a 2,1V, implementada em circuito integrado dedicado, otimizado para aplicações em Gerenciamento de Potência. O circuito é derivado a partir de uma referência de tensão *bandgap* de alto desempenho, em processo padrão TSMC CMOS 0,35 μ m.

Para o desenvolvimento deste, a metodologia 3σ foi adotada com o objetivo de garantir confiabilidade e produção em larga escala, usados nos projetos de circuitos integrados comerciais, com rendimento superior a 99% das peças fabricadas e, desta forma, reduzindo-se os gastos de produção do circuito.

Os conceitos expostos de descasamento sistemático [14], de descasamento aleatório de transistores MOS [18] e de descasamento aleatório de resistores de difusão [22], são baseados na modelagem de fenômenos físicos que ocorrem na concepção de circuitos integrados. Assim, para o projeto dos componentes integrados da referência de tensão proposta, foi possível atingir dimensões ótimas para atender não somente as especificações elétricas, como também área de silício economicamente atraente, evitando-se o superdimensionamento.

Para a validação deste projeto, foram realizadas centenas de simulações elétricas geradas a partir de combinações dos modelos de variações extremas do processo TSMC CMOS 0,35 μ m e polarização do circuito. Os resultados apresentam-se dentro das especificações elétricas, ressaltando-se a metodologia 3σ , conforme apresenta a Tab. 5.1.

Tabela 5.1 – Comparação Entre Especificações Elétricas e Resultados de Simulações da Referência de Tensão Proposta.

Amplificador Operacional							
Parâmetro	Símbolo	Especificações			Simulações		Unidade
		Mín.	Típ.	Máx.	Valor Médio	σ	
Tensão de Alimentação	V_{DD}	3,0	3,3	3,6	3,3	0,3	V
Erro Linear	V_{OS}	---	---	100	47,4	11,6	μ V
Ganho em Malha Aberta	A_O	80	100	120	110	2,50	dB
Frequência de Ganho Unitário	f_{BW}	1	5	10	8,07	1,51	MHz
Margem de Fase	MF	45	60	75	56,3	2,24	°
Margem de Ganho	MG	8	12	20	14,7	0,62	dB

Referência <i>Bandgap</i>							
Parâmetro	Símbolo	Especificações			Simulações		Unidade
		Mín.	Típ.	Máx.	Valor Médio	σ	
Tensão de Alimentação	V_{DD}	3,0	3,3	3,6	3,3	0,3	V
Tensão de Saída	V_{bg}	1,305	1,318	1,331	1,318	0,004	V
Temperatura de Operação	T	-40	40	120	---	---	°C
Coefficiente Térmico Efetivo	$TC_{F(ef)}$	---	25	50	13,6	8,0	ppm/°C
Razão de Rejeição da Fonte de Alimentação @ 100Hz	$PSRR_{100}$	40	60	80	72,6	5,3	dB

Referência de Tensão Programável											
Especificações											
Parâmetro			Símbolo	Mín.	Típ.	Máx.	Unidade				
Tensão de Alimentação			V_{DD}	3,0	3,3	3,6	V				
Precisão da Tensão de Saída			ΔV_{REF}	-3,0	---	3,0	%				
Temperatura de Operação			T	-40	40	120	°C				
Coefficiente Térmico Efetivo			$TC_{F(ef)}$	---	50	100	ppm/°C				
Razão de Rejeição da Fonte de Alimentação @ 100Hz			$PSRR_{100}$	40	60	80	Db				
Simulações											
Bits de Seleção			V_{bg}			$PSRR_{100}$			$TCF_{(ef)}$		
c	b	a	Valor Médio	σ	Unidade	Valor Médio	σ	Unidade	Valor Médio	σ	Unidade
0	0	1	0,300	0,003	V	71,3	10,2	dB	60	13	ppm/°C
0	1	0	0,600	0,006	V	67,8	10,2	dB			
0	1	1	0,900	0,009	V	69,3	11,3	dB			
1	0	0	1,200	0,012	V	65,3	10,2	dB			
1	0	1	1,500	0,015	V	65,3	7,6	dB			
1	1	0	1,800	0,018	V	63,7	7,6	dB			
1	1	1	2,100	0,021	V	62,4	7,6	dB			

Os resultados das medidas elétricas do circuito integrado fabricado, realizadas em laboratório, com técnica de instrumentação e equipamentos adequados, se aproximam aos das simulações elétricas, comprovando as aplicadas teorias e metodologia de projeto.

Finalmente, é exposta uma aplicação típica do circuito integrado desenvolvido, no qual a referência de tensão programável é aplicada ao circuito de controle de um conversor *buck*, proposto para a alimentação de um banco de memórias dinâmicas *DDR*, onde a programação é realizada pelo sistema operacional interno de um microcomputador comercial (Apêndice C).

Sugere-se, como extensão deste trabalho, o desenvolvimento de uma nova referência de tensão programável otimizada para conversores A/D. Estes conversores requerem referências de tensão com compensações de segunda ordem do coeficiente térmico efetivo (menores que 10 ppm/°C), alta precisão (melhores do 1%) e razão de rejeição da fonte de alimentação.

Apêndice A

Medidas das Simulações Elétricas da Referência de Tensão Programável

A.1. Amplificador Operacional

Análise DC

VG [V]	VOS [V]	VG [V]	VOS [V]	VG [V]	VOS [V]
2,44	5,74E-05	2,75	5,01E-05	2,74	6,42E-05
2,64	5,65E-05	2,95	4,98E-05	2,37	5,50E-05
2,85	5,59E-05	2,59	4,01E-05	2,58	5,32E-05
2,48	4,65E-05	2,79	3,97E-05	2,78	5,23E-05
2,68	4,53E-05	2,99	3,94E-05	2,42	4,53E-05
2,88	4,47E-05	2,65	3,04E-05	2,63	4,25E-05
2,53	3,67E-05	2,85	3,00E-05	2,83	4,12E-05
2,73	3,50E-05	3,05	2,97E-05		
2,94	3,42E-05	3,03	5,07E-05		
2,33	6,98E-05	3,23	5,01E-05		
2,54	6,44E-05	3,43	4,97E-05		
2,74	6,28E-05	3,00	4,03E-05		
2,35	6,14E-05	3,20	3,96E-05		
2,57	5,31E-05	3,40	3,92E-05		
2,78	5,10E-05	2,65	3,07E-05		
2,32	6,90E-05	2,85	2,98E-05		
2,62	4,38E-05	3,34	2,92E-05		
2,83	4,02E-05	2,34	6,65E-05		
2,55	5,05E-05	2,54	6,50E-05		

Análise AC

FBW [Hz]	MF [°]	MG [dB]	FBW [Hz]	MF [°]	MG [dB]	FBW [°]	MF [°]	MG [dB]
1,04E+07	55,1	15,2	5,49E+06	58,6	14,4	6,52E+06	54,7	13,9
9,60E+06	57,5	15,4	6,97E+06	52,9	13,7	5,89E+06	56,8	14,1
8,66E+06	59,6	15,5	6,23E+06	55,4	13,9	7,34E+06	51,8	13,6
1,08E+07	55,0	15,2	5,62E+06	57,5	14,0	6,56E+06	54,4	13,8
9,63E+06	57,5	15,4	1,11E+07	54,9	15,5	5,39E+06	56,5	14,0
8,69E+06	59,6	15,6	9,92E+06	57,4	15,7	7,36E+06	51,7	13,6
1,08E+07	55,0	15,3	8,96E+06	59,5	15,8	6,58E+06	54,3	13,8
9,66E+06	57,5	15,4	1,11E+07	55,0	15,6	5,95E+06	56,4	14,0
8,72E+06	59,6	15,6	9,95E+06	57,4	15,7	9,58E+06	58,1	15,4
8,94E+06	53,7	14,5	8,99E+06	59,5	15,9	8,64E+06	60,1	15,6
7,99E+06	56,0	14,7	1,12E+07	55,0	15,6	1,08E+07	55,5	15,2
7,21E+06	58,3	14,8	9,98E+06	57,5	15,8	9,62E+06	58,0	15,4
8,98E+06	53,6	14,5	9,01E+06	59,5	15,9	8,68E+06	60,1	15,6
8,02E+06	56,1	14,7	9,27E+06	53,4	14,7	1,08E+07	55,5	15,2
7,24E+06	58,2	14,8	8,29E+06	55,9	14,9	9,66E+06	58,0	15,4
9,01E+06	53,3	14,5	7,49E+06	58,0	15,0	8,71E+06	60,0	15,6
8,05E+06	56,0	14,7	9,30E+06	53,4	14,7	8,91E+06	54,5	14,6
7,27E+06	58,2	14,8	8,31E+06	55,9	14,9	7,95E+06	57,0	14,8
7,14E+06	53,3	14,0	7,51E+06	58,0	15,0	7,18E+06	59,0	15,0
6,37E+06	55,8	14,2	9,32E+06	53,4	14,7	8,98E+06	54,1	14,5
5,75E+06	57,8	14,4	8,33E+06	55,9	14,9	8,02E+06	56,6	14,7
7,24E+06	52,4	13,7	7,53E+06	58,0	15,1	7,26E+06	58,7	14,9
6,48E+06	54,9	14,0	7,51E+06	51,9	13,8	9,02E+06	54,0	14,5
5,85E+06	57,0	14,1	6,72E+06	54,4	14,0	8,05E+06	56,5	14,7
7,30E+06	52,0	13,6	6,08E+06	56,6	14,2	7,27E+06	58,6	14,8
6,52E+06	54,5	13,8	7,55E+06	51,7	13,8	6,98E+06	55,1	14,4
5,90E+06	56,7	14,0	6,76E+06	54,2	14,0	6,23E+06	57,5	14,7
1,04E+07	55,3	15,0	6,11E+06	56,4	14,1	5,62E+06	59,6	14,8
9,26E+06	57,8	15,2	7,57E+06	51,6	13,8	7,19E+06	53,6	14,0
8,35E+06	59,8	15,3	6,77E+06	54,2	14,0	6,42E+06	56,1	14,2
1,04E+07	55,2	14,9	6,13E+06	56,3	14,1	5,79E+06	58,1	14,3
9,31E+06	57,6	15,1	1,08E+07	54,9	15,3	7,73E+06	52,8	13,7
8,40E+06	59,7	15,3	9,68E+06	57,4	15,5	6,51E+06	55,3	13,9
1,05E+07	55,1	15,0	8,73E+06	59,5	15,6	5,88E+06	57,4	14,1
9,35E+06	57,6	15,1	1,09E+07	54,9	15,3			
8,43E+06	59,7	15,3	9,71E+06	57,4	15,5			
8,54E+06	54,6	14,5	8,76E+06	59,5	15,6			
7,62E+06	57,1	14,7	1,09E+07	54,9	15,3			
6,87E+06	59,1	14,9	9,73E+06	57,4	15,5			
8,65E+06	53,9	14,3	8,78E+06	59,5	15,7			
7,72E+06	56,4	14,5	9,03E+06	53,4	14,5			
6,97E+06	58,5	14,7	8,07E+06	55,9	14,7			
8,70E+06	53,7	14,3	7,28E+06	58,1	14,9			
7,77E+06	56,3	14,5	9,06E+06	53,4	14,5			
7,01E+06	58,4	14,6	8,09E+06	55,9	14,7			
6,55E+06	55,8	14,6	7,31E+06	58,0	14,9			
5,84E+06	58,2	14,9	9,08E+06	53,4	14,5			
5,26E+06	60,2	15,0	8,12E+06	55,9	14,7			
6,82E+06	54,1	14,0	7,33E+06	58,0	14,9			
6,09E+06	56,6	14,2	7,29E+06	52,1	13,7			

A.2. Referência de Tensão *Bandgap* (V_{bg})

Análise DC

			V_{bg} [V]					
-40°C	40°C	120°C	-40°C	40°C	120°C	-40°C	40°C	120°C
1,320	1,325	1,324	1,320	1,325	1,324	1,320	1,325	1,324
1,316	1,320	1,318	1,317	1,321	1,318	1,317	1,321	1,319
1,313	1,316	1,313	1,314	1,317	1,313	1,314	1,317	1,314
1,320	1,325	1,324	1,319	1,324	1,323	1,320	1,325	1,324
1,316	1,320	1,318	1,316	1,320	1,317	1,317	1,321	1,319
1,313	1,316	1,313	1,313	1,316	1,312	1,314	1,317	1,314
1,320	1,325	1,324	1,319	1,324	1,323	1,319	1,324	1,324
1,316	1,320	1,318	1,316	1,320	1,317	1,316	1,320	1,318
1,314	1,316	1,313	1,313	1,316	1,312	1,313	1,316	1,313
1,320	1,325	1,325	1,319	1,324	1,323	1,319	1,324	1,323
1,317	1,321	1,319	1,316	1,320	1,317	1,316	1,320	1,318
1,314	1,317	1,314	1,313	1,316	1,312	1,313	1,316	1,312
1,320	1,325	1,324	1,320	1,325	1,324	1,319	1,324	1,323
1,317	1,321	1,319	1,317	1,321	1,319	1,316	1,320	1,317
1,314	1,317	1,314	1,314	1,317	1,314	1,313	1,316	1,312

Análise AC

PSRR100 [dB]	PSRR100 [dB]	PSRR100 [dB]
74,4	76,5	65,9
75,0	76,5	66,7
75,0	76,5	67,0
75,9	75,5	72,2
76,0	76,1	72,1
76,1	76,4	71,6
74,4	75,1	75,1
75,0	75,9	74,5
75,6	76,4	73,6
55,2	74,3	
55,6	74,2	
55,7	74,6	
71,3	72,0	
71,6	72,5	
71,4	73,2	
76,0	71,2	
76,0	72,0	
75,8	72,8	

A.3. Estágio de Saída (V_{REF})

Análise DC

VREF [V]; cba = 001								
-40°C	40°C	120°C	-40°C	40°C	120°C	-40°C	40°C	120°C
0,294	0,298	0,301	0,297	0,301	0,303	0,299	0,303	0,304
0,297	0,301	0,303	0,299	0,303	0,304	0,294	0,299	0,301
0,299	0,302	0,304	0,294	0,298	0,301	0,297	0,301	0,303
0,294	0,298	0,301	0,297	0,301	0,303	0,299	0,303	0,304
0,297	0,301	0,303	0,299	0,302	0,304	0,294	0,299	0,301
0,299	0,303	0,304	0,294	0,298	0,301	0,297	0,301	0,303
0,294	0,298	0,301	0,297	0,301	0,303	0,299	0,303	0,304
0,297	0,301	0,303	0,299	0,302	0,304	0,294	0,298	0,301
0,299	0,303	0,304	0,294	0,298	0,301	0,297	0,301	0,303
0,294	0,299	0,301	0,297	0,301	0,303	0,299	0,302	0,304
0,297	0,301	0,303	0,299	0,302	0,304	0,294	0,298	0,301
0,299	0,303	0,304	0,294	0,299	0,301	0,297	0,301	0,303
0,294	0,299	0,301	0,297	0,301	0,303	0,299	0,302	0,304
0,297	0,301	0,303	0,299	0,302	0,304	0,294	0,298	0,301
0,299	0,303	0,304	0,294	0,299	0,301	0,297	0,301	0,303
0,294	0,299	0,301	0,297	0,301	0,303	0,299	0,302	0,304

VREF [V]; cba = 010								
-40°C	40°C	120°C	-40°C	40°C	120°C	-40°C	40°C	120°C
0,588	0,597	0,602	0,594	0,602	0,606	0,599	0,605	0,608
0,594	0,601	0,605	0,596	0,605	0,608	0,589	0,597	0,602
0,598	0,604	0,608	0,588	0,597	0,602	0,594	0,602	0,606
0,588	0,597	0,602	0,594	0,601	0,605	0,598	0,605	0,608
0,594	0,602	0,605	0,598	0,605	0,608	0,589	0,597	0,602
0,599	0,605	0,608	0,588	0,597	0,602	0,594	0,602	0,606
0,588	0,597	0,602	0,594	0,601	0,605	0,599	0,606	0,608
0,594	0,602	0,605	0,598	0,605	0,608	0,588	0,597	0,602
0,599	0,605	0,608	0,588	0,597	0,602	0,594	0,601	0,605
0,589	0,597	0,602	0,594	0,601	0,605	0,598	0,605	0,608
0,594	0,602	0,606	0,598	0,605	0,608	0,588	0,597	0,602
0,599	0,605	0,608	0,589	0,597	0,602	0,594	0,601	0,605
0,589	0,597	0,602	0,594	0,602	0,606	0,598	0,605	0,608

VREF [V]; cba = 011								
-40°C	40°C	120°C	-40°C	40°C	120°C	-40°C	40°C	120°C
0,882	0,895	0,903	0,891	0,903	0,909	0,898	0,908	0,913
0,891	0,902	0,908	0,898	0,908	0,913	0,883	0,896	0,903
0,897	0,907	0,912	0,882	0,895	0,902	0,891	0,903	0,909
0,883	0,895	0,903	0,891	0,902	0,908	0,898	0,908	0,913
0,891	0,902	0,908	0,897	0,907	0,912	0,883	0,896	0,903
0,898	0,908	0,912	0,882	0,895	0,902	0,891	0,903	0,909
0,883	0,895	0,903	0,891	0,902	0,908	0,898	0,908	0,913
0,891	0,902	0,908	0,897	0,907	0,912	0,882	0,895	0,902
0,898	0,908	0,912	0,882	0,895	0,902	0,891	0,902	0,908
0,883	0,896	0,903	0,891	0,902	0,908	0,897	0,907	0,912
0,891	0,903	0,908	0,898	0,907	0,912	0,882	0,895	0,902
0,898	0,908	0,913	0,883	0,896	0,903	0,891	0,902	0,908
0,883	0,896	0,903	0,891	0,903	0,908	0,897	0,907	0,912

VREF [V]; cba = 100								
-40°C	40°C	120°C	-40°C	40°C	120°C	-40°C	40°C	120°C
1,176	1,194	1,203	1,189	1,204	1,211	1,198	1,211	1,217
1,188	1,203	1,211	1,198	1,211	1,217	1,177	1,194	1,204
1,196	1,210	1,216	1,176	1,193	1,203	1,189	1,204	1,211
1,177	1,194	1,204	1,187	1,203	1,210	1,198	1,211	1,217
1,188	1,203	1,211	1,197	1,210	1,216	1,177	1,194	1,204
1,197	1,210	1,216	1,176	1,193	1,203	1,189	1,204	1,211
1,177	1,194	1,204	1,188	1,203	1,210	1,198	1,211	1,217
1,188	1,203	1,211	1,197	1,210	1,216	1,176	1,193	1,203
1,197	1,210	1,216	1,176	1,193	1,203	1,187	1,203	1,210
1,177	1,194	1,204	1,188	1,203	1,210	1,197	1,210	1,216
1,188	1,204	1,211	1,197	1,210	1,216	1,176	1,193	1,203
1,197	1,211	1,217	1,177	1,194	1,204	1,188	1,203	1,210
1,177	1,194	1,204	1,188	1,204	1,211	1,197	1,210	1,216

VREF [V]; cba = 101								
-40°C	40°C	120°C	-40°C	40°C	120°C	-40°C	40°C	120°C
1,471	1,492	1,505	1,484	1,503	1,513	1,497	1,514	1,521
1,485	1,504	1,514	1,496	1,512	1,520	1,472	1,493	1,505
1,496	1,513	1,520	1,470	1,492	1,504	1,486	1,505	1,514
1,471	1,492	1,505	1,484	1,503	1,513	1,497	1,514	1,521
1,485	1,504	1,514	1,496	1,512	1,520	1,470	1,492	1,504
1,497	1,513	1,521	1,470	1,492	1,504	1,484	1,503	1,513
1,471	1,493	1,505	1,485	1,503	1,513	1,496	1,512	1,520
1,486	1,504	1,514	1,496	1,512	1,520	1,470	1,492	1,504
1,497	1,513	1,521	1,471	1,493	1,505	1,484	1,503	1,513
1,471	1,493	1,505	1,486	1,504	1,514	1,496	1,512	1,520
1,486	1,505	1,514	1,497	1,514	1,521	1,497	1,513	1,521
1,497	1,514	1,521	1,471	1,493	1,505	1,497	1,513	1,521
1,470	1,492	1,504	1,486	1,505	1,514	1,484	1,503	1,513

VREF [V]; cba = 110								
-40°C	40°C	120°C	-40°C	40°C	120°C	-40°C	40°C	120°C
1,765	1,791	1,806	1,781	1,804	1,816	1,797	1,816	1,825
1,782	1,805	1,816	1,795	1,815	1,824	1,766	1,792	1,806
1,796	1,816	1,825	1,764	1,790	1,805	1,783	1,806	1,817
1,765	1,791	1,806	1,781	1,804	1,816	1,797	1,817	1,825
1,782	1,805	1,816	1,795	1,815	1,824	1,764	1,790	1,805
1,796	1,816	1,825	1,764	1,790	1,805	1,781	1,804	1,815
1,766	1,791	1,806	1,781	1,804	1,816	1,795	1,815	1,824
1,783	1,805	1,817	1,795	1,815	1,824	1,764	1,790	1,805
1,796	1,816	1,825	1,766	1,791	1,806	1,781	1,804	1,816
1,766	1,791	1,806	1,783	1,805	1,817	1,795	1,815	1,824
1,783	1,805	1,817	1,796	1,816	1,825	1,782	1,805	1,816
1,796	1,816	1,825	1,766	1,792	1,806	1,797	1,816	1,825
1,764	1,790	1,805	1,783	1,806	1,817	1,781	1,804	1,816

VREF [V]; cba = 111								
-40°C	40°C	120°C	-40°C	40°C	120°C	-40°C	40°C	120°C
2,059	2,089	2,106	2,078	2,105	2,118	2,096	2,119	2,130
2,079	2,106	2,119	2,094	2,117	2,128	2,060	2,090	2,107
2,095	2,118	2,129	2,058	2,089	2,106	2,080	2,107	2,120
2,059	2,089	2,106	2,078	2,105	2,118	2,096	2,119	2,130
2,079	2,106	2,119	2,094	2,117	2,128	2,058	2,088	2,105
2,095	2,118	2,129	2,058	2,089	2,106	2,078	2,105	2,118
2,060	2,090	2,107	2,078	2,105	2,118	2,094	2,117	2,128
2,080	2,106	2,120	2,094	2,117	2,128	2,058	2,088	2,106
2,096	2,119	2,129	2,060	2,090	2,107	2,078	2,105	2,118
2,060	2,090	2,107	2,080	2,106	2,120	2,094	2,117	2,128
2,080	2,106	2,120	2,096	2,119	2,129	2,096	2,119	2,130
2,096	2,119	2,129	2,060	2,090	2,107	2,058	2,089	2,106
2,058	2,088	2,106	2,080	2,106	2,120	2,095	2,118	2,129

Análise AC

PSRR100; cba = 001			PSRR100; cba = 010			PSRR100; cba = 011		
56,4	84,3	67,3	50,4	78,3	61,3	46,9	74,8	57,8
52,9	84,3	81,5	46,9	78,2	75,5	43,4	74,7	72,0
50,1	72,9	81,4	44,1	66,8	75,4	40,5	63,3	71,9
80,1	70,6	81,5	74,1	64,6	75,5	70,5	61,1	72,0
78,9	68,7	83,1	72,9	62,7	77,1	69,4	59,2	73,5
78,1	84,7	83,6	72,0	78,7	77,6	68,5	75,2	74,0
85,0	84,8	84,2	79,0	78,8	78,2	75,4	75,3	74,7
85,3	85,1	72,0	79,3	79,1	66,0	75,7	75,6	62,4
85,8	86,9	69,2	79,7	80,9	63,2	76,2	77,4	59,7
70,8	87,6	67,1	64,5	81,6	61,0	61,0	78,1	57,5
67,7	88,3	88,0	61,7	82,3	82,0	58,2	78,8	78,5
65,5	71,4	87,9	59,5	65,4	81,9	56,0	61,9	78,3
84,7	69,2	87,9	78,7	63,1	81,9	75,2	59,6	78,4

PSRR100; cba = 100

44,4	72,3	55,3
40,9	72,2	69,5
38,0	60,8	69,4
68,0	58,6	69,5
66,9	56,7	71,1
66,0	72,7	71,5
72,9	72,8	72,2
73,2	73,1	59,9
73,7	74,9	57,2
58,5	75,6	55,0
55,7	76,3	76,0
53,5	59,4	75,8
72,7	57,1	75,9

PSRR100; cba = 101

66,1	56,6	67,5
64,9	54,7	69,1
64,1	70,7	69,6
71,0	70,9	70,2
71,3	71,2	58,0
71,8	73,0	55,3
56,5	73,7	53,1
53,7	74,4	74,0
51,5	57,4	73,9
70,7	55,2	74,0
70,3	53,3	71,3
70,3	67,5	69,1
58,9	67,4	70,2

PSRR100; cba = 110

63,2	53,7	64,6
62,0	51,8	66,2
61,2	67,8	66,7
68,1	67,9	67,3
68,4	68,2	55,1
68,9	70,0	52,3
53,6	70,7	50,2
50,8	71,4	71,1
48,6	54,5	71,0
67,8	52,3	71,0
67,4	50,4	67,9
67,3	64,6	70,7
56,0	64,5	70,7

PSRR100; cba = 111

63,2	53,7	64,6
62,0	51,8	66,2
61,2	67,8	66,7
68,1	67,9	67,3
68,4	68,2	55,1
68,9	70,0	52,3
53,6	70,7	50,2
50,8	71,4	71,1
48,6	54,5	71,0
67,8	52,3	71,0
67,4	50,4	67,9
67,3	64,6	68,2
56,0	64,5	70,0

Apêndice B

Parâmetros Físicos do Modelo BSIM3v3.3 Usados para Simulação de Monte Carlo

B.1. Efeito de Canal Estreito

Para um transistor MOS com comprimento e largura de canal, ambos longos, e concentração da dopagem do substrato constante, a tensão V_t é dada por [25]:

$$V_t = V_{fb} + \Phi_s + \gamma \sqrt{\Phi_s - V_{BS}} = V_{t0} + \gamma \left(\sqrt{\Phi_s - V_{BS}} - \sqrt{\Phi_s} \right) \quad (\text{B.1})$$

onde V_{fb} é a tensão de banda plana, V_{t0} é a tensão de *threshold* ao longo do canal com o substrato submetido à polarização zero e γ é o coeficiente de polarização de corpo dado por:

$$\gamma = \frac{\sqrt{2\varepsilon_{si}qN_a}}{C_{ox}} \quad (\text{B.2})$$

onde N_a é a concentração da dopagem do substrato. O potencial de superfície Φ_s é dado por:

$$\Phi_s = 2 \frac{kT}{q} \ln \left(\frac{N_a}{n_i} \right) \quad (\text{B.3})$$

A Eq. (B.1) assume que o canal é uniforme e que pode ser expresso por uma equação unidimensional de Poisson na direção vertical do canal. Este modelo só é válido quando a concentração da dopagem do substrato é constante e o comprimento de canal é longo. Sob estas condições, o potencial elétrico é uniforme ao longo do canal. Modificações na Eq. (B.1) precisam ser realizadas quando a concentração da dopagem do substrato não é uniforme e/ou quando o canal é estreito, possui largura curta, ou ambos.

Para o caso da referência *bandgap*, o espelho de corrente é formado pelos transistores NMOS M_4 e M_5 (vide Fig. 4.7) que possuem canal estreito, portanto, o efeito de canal estreito precisa ser considerado no cálculo do descasamento aleatório destes.

A região de depleção no canal de um transistor MOS é sempre maior do que a geralmente assumida na análise unidimensional. Isso se deve à existência de campos elétricos de espraiamento [25], sendo que o seu efeito é mais acentuado à medida que o comprimento de canal é reduzido. Como resultado, a Eq. (B.1) deve ser incrementada pelo fator:

$$\frac{\pi q N_a X_{d \max}^2}{2 C_{ox} W} = 3\pi \frac{t_{ox}}{W} \Phi_s \quad (\text{B.4})$$

A Eq. (B.4) é dependente das variações dos parâmetros de processo. Assim, deve ser reparametrizada para:

$$\left(K3 + K3B \cdot V_{bs} \right) \frac{t_{ox}}{W_{ef}' + W0} \Phi_s \quad (\text{B.5})$$

onde W_{ef}' é o comprimento de canal efetivo (sem dependências de polarização), $K3$, $K3B$ e $W0$ são parâmetros medidos e fornecidos pelo fabricante do processo para simulação em SPICE.

B.2. Variações no Comprimento e Largura de Canal

Os valores efetivos para o comprimento L_{ef} e largura W_{ef} de canal de transistores MOS usados em simulador elétrico SPICE são [25]:

$$L_{ef} = L_{projeto} - 2dL \quad (B.6)$$

$$W_{ef} = W_{projeto} - 2dW \quad (B.7)$$

$$W_{ef}' = W_{projeto} - 2dW' \quad (B.8)$$

A única diferença entre as Eqs. (B.7) e (B.8) é que a primeira inclui as dependências do comprimento de canal com a polarização. Os parâmetros dW e dL são modelados como [25]:

$$dW = dW' + DWG \cdot V_{gstef} + DWB \cdot \left(\sqrt{\Phi_S - V_{BS}} - \sqrt{\Phi_S} \right) \quad (B.9)$$

$$dW' = WINT + \frac{WL}{L^{WLN}} + \frac{WW}{W^{WWN}} + \frac{WWL}{L^{WLN} W^{WWN}}$$

$$dL = LINT + \frac{LL}{L^{LLN}} + \frac{LW}{W^{LWN}} + \frac{LWL}{L^{LLN} W^{LWN}} \quad (B.10)$$

Na Eq. (B.9), a variável $WINT$ representa a maneira tradicional em que ΔW é extraído pelo fabricante do processo. Os parâmetros DWG e DWB são adicionados à contribuição dos efeitos de polarização de porta e substrato. Para dL , o parâmetro $LINT$ representa a maneira tradicional no qual ΔL é extraído pelo fabricante do processo.

Os termos remanescentes de dW e dL são incluídos conforme a conveniência do usuário do modelo. Basicamente, eles expressam as interdependências geométricas destes termos e são oriundos de medidas realizadas a partir de amostras fabricadas e passam por cálculos estatísticos. É padronizado que estes termos sejam iguais a zero, ou seja, para o simulador elétrico SPICE (A.9) e (A.10) podem ser reescritas como [25]:

$$dW = WINT + DWG \cdot V_{gstef} + DWB \cdot \left(\sqrt{\Phi_S - V_{BS}} - \sqrt{\Phi_S} \right) \quad (\text{B.11})$$

$$dL = LINT \quad (\text{B.12})$$

Apêndice C

Aplicação Prática: Conversor Buck com Tensão de Saída Programável

Os conversores DC/DC chaveados são amplamente utilizados em aplicações de Gerenciamento de Potência. Uma topologia muito popular deste tipo de conversor é a abaixadora (conversor *buck*), ilustrada na Fig. C.1. O conversor *buck* fornece uma tensão de saída V_S menor do que a da tensão de alimentação V_{DD} , regulada contra perturbações na carga e tensão de alimentação.

O circuito do conversor *buck*, ilustrado na Fig. C.1, é controlado pela técnica da *realimentação em modo tensão* [27] realizada através de um compensador PID que gera uma tensão de erro V_e a partir da diferença entre as tensões de saída V_S e a tensão de referência V_{REF} . A tensão de erro V_e é sinal de controle para um modulador de largura de pulsos (modulador *PWM*), que opera com frequência de relógio constante e controla o tempo t_{LIG} em que a chave de potência PMOS fica ligada para cada ciclo, realizado uma “amostragem” da tensão de alimentação V_{DD} . No instante t_{DES} , quando a chave de potência PMOS é desligada, o diodo fornece um caminho de continuidade para o circuito.

Como o modulador opera em frequências altas, um filtro passa-baixas *LC* é conectado à chave de potência, fornecendo uma tensão de saída média V_S constante. O *driver* compatibiliza os níveis de potência entre o circuito de controle (modulador *PWM*) e o circuito de potência (chave PMOS). O conversor *buck* entra em estabilidade quando a tensão de saída V_S é igual a da referência V_{REF} .

Desprezando-se as perdas devido à resistência série do indutor e da queda de tensão no diodo, a tensão de saída V_S do conversor *buck* e a corrente de carga I_S são expressas, em valores médios, pelas Eqs. (C.1) e (C.2), respectivamente:

$$V_S = D \cdot V_{DD} \quad (\text{C.1})$$

onde:

$$D = \frac{t_{LIG}}{T_s} \quad \text{é o ciclo ativo da chave de potência PMOS;}$$

T_s é o período de relógio do modulador PWM.

$$I_S = I_L \quad (\text{C.2})$$

Nos microcomputadores modernos, os softwares inclusos nas placas-mães programam a tensão de alimentação das memórias dinâmicas *DDR* (*Double Data Rate*), que operam tipicamente na faixa de 0,9V a 1,8V. Eis uma aplicação típica da referência de tensão programável: um software interno à placa mãe de um microcomputador através da programação dos bits *c*, *b* e *a* seleciona qual a tensão V_{REF} desejada para se fechar a malha de controle por tensão de um conversor *buck*, que fornece tensão de alimentação regulada para um banco de memórias dinâmicas *DDR*, conforme ilustrado na Fig. C.1.

Os componentes do compensador PID do circuito da Fig. C.1 foram calculados segundo regras de projeto da referência [27]. Uma simulação elétrica transiente é realizada para este circuito, programando-se a referência de tensão V_{REF} e, por conseqüência, a tensão de saída V_S nos valores de 0,9V, 1,2V, 1,5V e 1,8V. O resultado desta simulação está nas formas de onda da Fig. C.2. As especificações elétricas do estágio de potência do conversor *buck* estão nos dados da Tab. C.1.

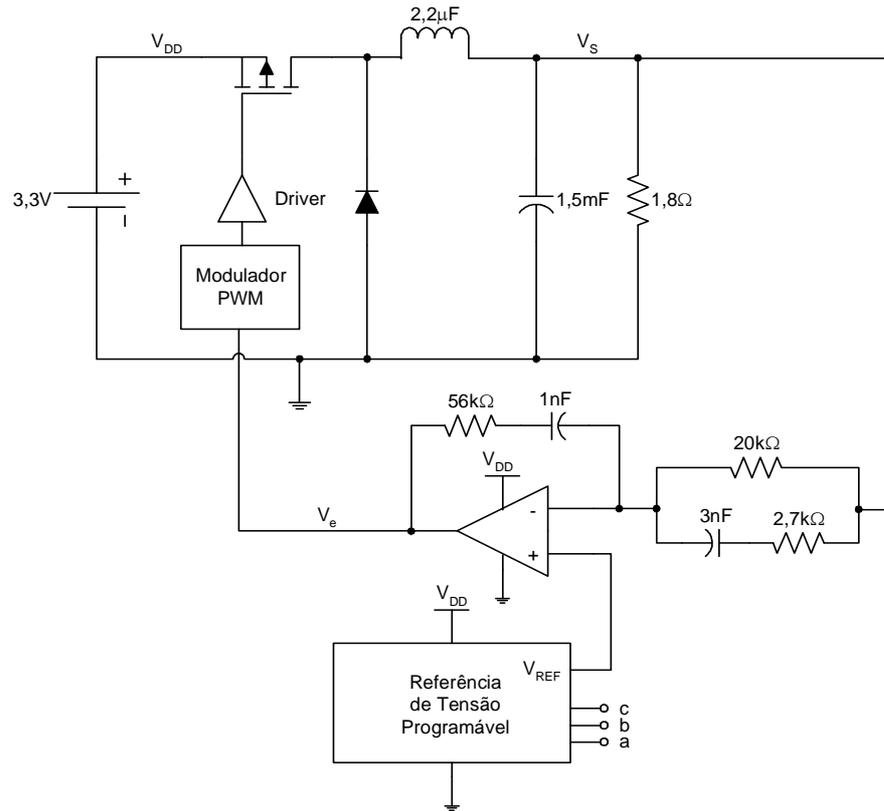


Figura C.1 – Conversor Buck com Tensão de Saída V_S Programável.

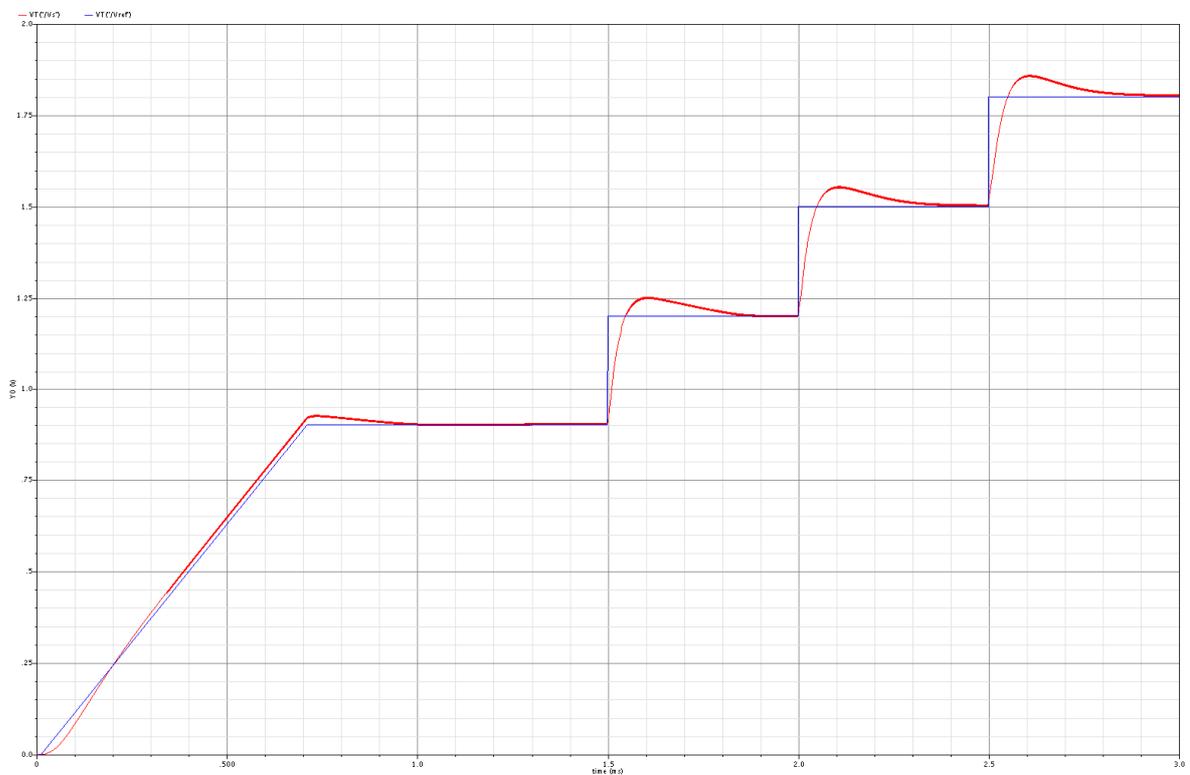


Figura C.2 – Simulação Transiente do Conversor Buck com V_S Programada para Tensões 0,9V, 1,2V, 1,5V e 1,8V, Alimentado por $V_{DD} = 3,3V$.

Tabela C.1 – Especificações Elétricas do Conversor Buck para Alimentação de Memórias Dinâmicas *DDR*.

Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
Tensão de Alimentação	V_{DD}	3,0	3,3	3,6	V
Tensão de Saída	V_S	0,9	---	1,8	V
Corrente de Saída	I_S	---	---	10	A
Frequência de Chaveamento	f_S	0,2	0,6	1,0	MHz
Indutor de Filtro	L	1,8	2,2	2,7	μ H
Resistência Série do Indutor	esr_L	---	---	10	m Ω
Capacitor de Filtro	C	1,2	1,5	1,8	mF
Resistência Série do Capacitor de Filtro	esr_C	---	---	5	m Ω

Referências Bibliográficas

- [1] Philip K. T. Mok and Ka Nang Leung, “Design Considerations on Recent Advanced Low-Voltage Low-Temperature-Coefficient CMOS Bandgap Voltage Reference”, in *IEEE Custom Integrated Circuits Conference*, pp. 635-642, 2004.
- [2] P. Miller and D. Moore, “Precision Voltage References”, *Analog Application Journal*, pp. 1-4, Texas-Instruments, Inc., Nov. 1999.
- [3] R. J. Widlar, “New Developments in IC Voltage Regulators”, *IEEE Journal of Solid-State Circuits*, vol. SC-16, pp. 2-7, Feb. 1971.
- [4] K. E. Kuijk, “A Precision Voltage Source”, *IEEE Journal of Solid-State Circuits*, vol. SC-8, pp. 222-226, June 1973.
- [5] A. P. Brokaw, “A Simple Three-Terminal IC Bandgap Reference”, *IEEE Journal of Solid-State Circuits*, vol. SC-9, pp. 388-393, Dec. 1974.
- [6] P. Gray, P. J. Hurst, S. H. Lewis and R. G. Meyer, “Analysis and Design of Analog Integrated Circuits”, 4th Edition, Wiley, 2001.
- [7] M. Gunawan *et al.*, “A Curvature-Corrected Low-Voltage Bandgap Reference”, *IEEE Journal of Solid-State Circuits*, vol. 28, pp. 667-670, June 1993.
- [8] D. Hammerschmidt *et al.*, “A CMOS Bandgap Reference for Low-Voltage Applications” in *Proc. ESSCIRC 1993*, Sevilla, Sept. 22-24, pp. 106-109.
- [9] B. Gilbert, “Unusual Voltage and Current References for IC Realization”, in *Proc. AACD*, Villach, Apr. 26-28, 1995, pp 1-32.
- [10] G. C. M. Meijer, “Bandgap References and Temperature Transducers”, Ph.D. dissertation, Delft University of Technology, The Netherlands, 1982.
- [11] Arie van Staveren, Chris J. M. Verhoeven, Arthur H. M. van Roermund, “The Design of Low-Noise Bandgap References”, *IEEE Transactions on Circuits and Systems*, vol. 43, pp. 290-300, April 1996.
- [12] Philip E. Allen and Douglas R. Holberg, “CMOS Analog Circuits Design”, 2nd Edition, Oxford University Press, Inc., 2000.
- [13] Y. P. Tsividis, “Accurate Analysis of Temperature Effects in I_C - V_{BE} Characteristics with Application to Bandgap Reference Sources”, *IEEE Journal of Solid-State Circuits*, vol. SC-15, pp. 1076-1084, Dec. 1980.
- [14] Alan Hastings, “The Art of Analog Layout”, Prentice-Hall Inc., 2001.
- [15] J. B. Shyu *et al.*, “Random Errors in MOS Capacitors”, *IEEE Journal of Solid-State Circuits*, vol. SC-17, pp. 948-955, Dec. 1982.

- [16] J. B. Shyu *et al.*, “Random Effects in Matched MOS Capacitors and Current Sources”, *IEEE Journal of Solid-State Circuits*, vol. SC-19, pp. 1070-1076, Dec. 1984.
- [17] Patrick G. Drennan, Colin C. McAndrew, John Bates, “A Comprehensive Vertical BJT Mismatch Model”, *IEEE BCTM 4.3*, 1998.
- [18] Patrick G. Drennan, Colin C. McAndrew, “Understanding MOSFET Mismatch for Analog Design”, *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 450-456, March 2003.
- [19] Marcel J. M. Pelgrom, Aad C. J. Duinmaijer, Anton P. G. Welbers, “Matching Properties of MOS Transistors”, *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 1433-1440.
- [20] A. Paupolis, “Probability Random Variables and Stochastic Processes”, McGraw Hill, New York, 1991.
- [21] M. Bolt, “Matching Properties of MOS Transistors and Delay Line Chains with Self-Aligned Source/Drain Contacts”, in Proc. *IEEE Int. Conf. Microelectronic Test Structures*, Mar. 1996, pp 21-25.
- [22] Patrick G. Drennan, “Diffused Resistor Mismatch Modeling and Characterization”, *IEEE BCTM 1.3*, 1999.
- [23] TSMC – Taiwan Semiconductor Manufacturing, Document. No.: T-035-MM-SP-002.
- [24] Charles L. Philips and Royce D. Harbor, “Feedback Control Systems”, 4th Edition, Prentice Hall, 1999.
- [25] Berkeley BSIM3v3.3 Manual – <http://www-device.eecs.berkeley.edu/bsim3/get.html>
- [26] Bang S. Lee, “Technical Review of Low Dropout Voltage Regulator Operation and Performance”, *Application Report*, Texas Instruments, Inc., Aug. 1999.
- [27] Everett Rogers, “Understanding Buck Power Stages in Switchmode Power Supplies”, *Application Report*, Texas Instruments, Inc., March 1999.