

Thiago Borba Onofre

**Desenvolvimento de um Protocolo de  
Comunicação Bidirecional em VHDL para  
Eletrodos Digitais de EEG**

**Brasil**

**Agosto, 2014**

Thiago Borba Onofre

# **Desenvolvimento de um Protocolo de Comunicação Bidirecional em VHDL para Eletrodos Digitais de EEG**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Mestre em Ciências em Engenharia Elétrica.

Universidade Federal de Itajubá - UNIFEI

Instituto de Engenharia e Sistemas e Tecnologias da Informação

Programa de Pós-Graduação

Área de Concentração: Microeletrônica

Orientador: Tales C. Pimenta

Coorientador: Robson Luiz Moreno

Brasil

Agosto, 2014

*Este trabalho é dedicado aos meus pais Luís Carlos e Luciene,  
ao meu irmão Rodrigo e a minha namorada Marina que,  
durante o mestrado, tiveram muita paciência comigo e  
sempre me apoiaram nos momentos difíceis.*

# Agradecimentos

A Deus, que por seu amor infinito sempre coloca pessoas com corações maravilhosos em minha vida. E à Nossa Senhora por sempre me proteger e encher minha vida de graças.

Aos meus pais, Luís Carlos e Luciene, e ao meu irmão, Rodrigo, que estão sempre comigo me apoiando em todos os momentos.

A minha namorada, Nininha, pelo carinho, amor e compreensão. Você faz a diferença na minha caminhada.

Aos professores Tales Cleber Pimenta e Robson Luiz Moreno pelo apoio, amizade, dedicação e ajuda ao longo do desenvolvimento do trabalho.

Aos professores da UNIFEI Itabira que muito contribuíram para a minha formação, especialmente aqueles que participaram do meu processo de aprendizagem diretamente.

Aos muitos amigos que conheci durante minha caminhada desde a época do colégio técnico, república, faculdade, mestrado e do grupo de pesquisa por sempre deixarem a vida mais alegre.

Ao CNPq pelo apoio financeiro para desenvolvimento deste trabalho.

A todos que, de forma direta ou indireta, contribuíram para a realização desta dissertação.

*“As dificuldades são o aço estrutural  
que entra na construção do caráter”.*

*Carlos Drummond de Andrade*

# Resumo

Este trabalho apresenta o desenvolvimento de um protocolo de comunicação serial bidirecional para ser utilizado em um aparelho EEG com Eletrodos Digitais que está em desenvolvimento no Grupo de Microeletrônica da Universidade Federal de Itajubá. No decorrer do trabalho é apresentado o desenvolvimento teórico e conceitual do sistema; onde é definida a camada física e as regras para a inicialização e a troca de mensagens. O circuito é implementado em *hardware* utilizando a linguagem VHDL e são apresentadas as simulações do sistema de comunicação. Por fim, o sistema é implementado em FPGAs e os resultados são mostrados para ilustrar o funcionamento do protocolo desenvolvido.

**Palavras-chaves:** EEG, FPGA, Protocolo de Comunicação Bidirecional.

# Abstract

This work presents the development of a protocol bidirectional serial communication to be used in an EEG Electrodes with Digital device that is under development at Microelectronics Group, Federal University of Itajubá . Is presented the theoretical and conceptual development of the system; where the physical layer and the rules for initialization and message exchange are defined. The circuit is developed and implemented in hardware using the VHDL and the simulations of the communication system are shown. Finally, the system is implemented in FPGAs and the results are shown to illustrate the operation of the protocol developed.

**Key-words:** EEG, FPGA, Protocol, Bidirectional.

# Lista de ilustrações

Figura 1 – EEG - Sistema de posicionamento 10-20. . . . .	13
Figura 2 – Tipos de Interferências Eletromagnéticas. . . . .	14
Figura 3 – Microchip. . . . .	17
Figura 4 – Microchip - Porta Serial. . . . .	18
Figura 5 – Comunicação Síncrona. . . . .	19
Figura 6 – Comunicação Assíncrona. . . . .	19
Figura 7 – Primeiro Protocolo de Comunicação: A Escrita. . . . .	21
Figura 8 – Exemplo de Algoritmos. . . . .	21
Figura 9 – Nível físico da comunicação. . . . .	22
Figura 10 – Pacotes de dados do Protocolo. . . . .	23
Figura 11 – Diagrama de Estados. . . . .	23
Figura 12 – Formas de Onda da Inicialização. . . . .	24
Figura 13 – Inicialização Curta. . . . .	25
Figura 14 – a. Envio de dados, b. Leitura de Dados. . . . .	26
Figura 15 – Central - Diagrama de Blocos Funcional. . . . .	27
Figura 16 – Central - Diagrama de Blocos Funcional. . . . .	28
Figura 17 – Fluxograma - Bloco Inicialização Longa. . . . .	30
Figura 18 – Fluxograma - Bloco Inicialização Curta. . . . .	30
Figura 19 – Fluxograma da Central. . . . .	31
Figura 20 – Microchip - Diagrama de Blocos Funcional. . . . .	32
Figura 21 – Fluxograma da Central de Controle do Eletrodo. . . . .	33
Figura 22 – Simulação do Processo de Envio do Ganho. . . . .	36
Figura 23 – Simulação do Processo de Leitura do Ganho. . . . .	37
Figura 24 – Simulação do Processo de Leitura de Dados. . . . .	38
Figura 25 – FPGA's utilizadas no experimento. . . . .	39
Figura 26 – Diagrama de blocos do Experimento. . . . .	39
Figura 27 – a. Sequência de inicialização, b. Detalhe da Confirmação. . . . .	40
Figura 28 – Sequência de inicialização curta - Segunda parte. . . . .	40
Figura 29 – Escrevendo o Ganho. . . . .	41
Figura 30 – Leitura do Ganho. . . . .	42
Figura 31 – Leitura do Ganho. . . . .	43



# Lista de tabelas

Tabela 1 – Principais fontes de interferências encontradas no ambiente hospitalar.	15
Tabela 2 – Vetor de Inicialização - 8 Bits. . . . .	25
Tabela 3 – Modos de operação. . . . .	25
Tabela 4 – Tipos de Dados . . . . .	26
Tabela 5 – Modo de Operação - Envio do Ganho. . . . .	41
Tabela 6 – Vetor de Ganho - 9 Bits. . . . .	41
Tabela 7 – Modo de Operação - Leitura do Ganho. . . . .	42
Tabela 8 – Vetor de Ganho - 9 Bits. . . . .	42

# Lista de abreviaturas e siglas

UNIFEI	Universidade Federal de Itajubá
FPGA	Field Programmable Gate Arrays
VHDL	Very High Speed Integrated Circuit Hardware Description Language
HDL	Hardware Description Language

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>12</b>
<b>1.1</b>	<b>Aquisição de Sinais Cerebrais</b>	<b>12</b>
<b>1.2</b>	<b>Interferências</b>	<b>13</b>
<b>1.3</b>	<b>Projeto em Desenvolvimento</b>	<b>15</b>
1.3.1	Capacete	16
1.3.2	Microchip	16
1.3.3	Central de Comunicação e Transmissão de Dados	17
1.3.3.1	Protocolo Serial	18
1.3.3.2	Protocolo Síncrono x Assíncrono	18
1.3.3.3	Controle de erros	19
1.3.4	Vantagens e Benefícios do Sistema	20
<b>1.4</b>	<b>Objetivo</b>	<b>20</b>
<b>2</b>	<b>PROTOCOLO</b>	<b>21</b>
<b>2.1</b>	<b>Protocolos de Comunicação - Uma Abordagem Histórica</b>	<b>21</b>
<b>2.2</b>	<b>O Protocolo de Comunicação para o EEG</b>	<b>22</b>
2.2.1	Camada física	22
2.2.1.1	Componentes	22
2.2.2	Pacotes de Dados	23
2.2.3	Estágios de Operação e Diagrama de Estados	23
2.2.3.1	Espera	23
2.2.3.2	Inicialização	24
2.2.3.3	Modos de Operação	25
2.2.3.4	Dados	26
2.2.4	Enviando e Recebendo Dados do Eletrodo	26
<b>3</b>	<b>IMPLEMENTAÇÃO DO PROTOCOLO</b>	<b>27</b>
<b>3.1</b>	<b>Central de Comunicação</b>	<b>27</b>
3.1.1	Registros	29
3.1.2	Bloco Paralelo/Serial	29
3.1.3	Bloco de Inicialização Longa	29
3.1.4	Bloco de Inicialização Curta	29
3.1.5	Mux	30
3.1.6	Bloco Serial/Paralelo	31
3.1.7	Máquina de Estados	31
<b>3.2</b>	<b>Eletrodo</b>	<b>32</b>

3.2.1	Máquina de Estados . . . . .	32
3.2.2	Bloco de Inicialização Longa . . . . .	33
3.2.3	Circuito de Sincronização . . . . .	34
3.2.4	Outros Blocos . . . . .	34
<b>3.3</b>	<b>Simulações . . . . .</b>	<b>34</b>
3.3.1	Enviando Dados . . . . .	34
3.3.2	Recebendo Dados . . . . .	35
3.3.3	Leitura de Dados de 17 bits . . . . .	35
<b>4</b>	<b>RESULTADOS . . . . .</b>	<b>39</b>
4.1	Bloco Inicialização . . . . .	39
4.2	Enviando Dados . . . . .	41
4.3	Recebendo Dados . . . . .	41
4.3.1	Leitura de Dados de 17 bits . . . . .	42
<b>5</b>	<b>CONCLUSÃO . . . . .</b>	<b>44</b>
	<b>Referências . . . . .</b>	<b>45</b>
	<b>ANEXOS . . . . .</b>	<b>46</b>

# 1 Introdução

Os Equipamentos Eletro-Médicos (EEM) são dispositivos eletrônicos que têm por finalidade diagnosticar, monitorar um paciente sob supervisão médica. O uso desses equipamentos faz parte da rotina diária de clínicas e hospitais no mundo inteiro e, em muitos casos, representa a diferença entre a vida e a morte.

Um dos EEM de grande utilização é o Eletroencefalograma (EEG), criado em 1929 pelo psiquiatra alemão Hans Berger. Ele descobriu que o cérebro gera uma atividade elétrica, que pode ser registrada. Essa atividade elétrica tem a sua origem na troca iônica entre o meio intra e o extracelular, (1).

Na prática, um EEG é realizado através da colocação de eletrodos na superfície craniana do paciente. Estes eletrodos são conectados por cabos a amplificadores de tensão. Estes amplificadores aumentam a amplitude dos sinais que variam entre  $10\mu V$  e  $100\mu V$ . Se fosse possível medir direto da superfície cerebral, a amplitude estaria em torno de  $1500\mu V$ .

Fisiologicamente, sabe-se que as características das ondas cerebrais, em indivíduos normais, se modificam conforme o seu nível de consciência (do estado de vigília ao sono). Em condições de vigília, o ritmo cerebral sofre variações que decorrem do grau de atenção. Durante o sono, esse ritmo cerebral fica na dependência da fase em que se encontra (sono não REM e sono REM). Peculiaridades de cada faixa de frequência e alterações na amplitude das ondas, bem como assimetrias persistentes entre áreas homólogas ou o surgimento de sincronização do traçado podem indicar anomalias. O eletroencefalograma deve inclusive ser empregado na confirmação do diagnóstico de morte cerebral.

Este trabalho apresenta o desenvolvimento de um protocolo de comunicação serial bidirecional para ser utilizado em um aparelho EEG com Eletrodos Digitais. No Capítulo 1 uma breve introdução sobre o EEG e sobre protocolo serial é realizada. No Capítulo 2 é apresentado o desenvolvimento teórico e conceitual do sistema; onde é definida a camada física e as regras para a inicialização e a troca de mensagens. No Capítulo 3 apresenta-se a parte conceitual do circuito implementado em VHDL e são apresentadas simulações de troca de dados entre a Central e o Eletrodo. No Capítulo 4 são apresentados os resultados implementados em FPGAs para ilustrar o funcionamento do protocolo desenvolvido.

## 1.1 Aquisição de Sinais Cerebrais

Os Eletrodos têm a função de captar os sinais elétricos da superfície do crânio do paciente para serem amplificados, pois os sinais obtidos são de baixa amplitudes. Os

Eletrodos mais utilizados são: disco metálico, Eletrodo flutuante e interno (ou invasivo).

A disposição dos Eletrodos mais utilizada na eletroencefalografia clínica é baseada no sistema 10-20, ilustrado na Figura 1. Essa disposição abrange todas as áreas superficiais do cérebro, podendo ser obtido sinais das mais variadas regiões do córtex cerebral. O nome vem dos espaçamentos dos Eletrodos a intervalos de 10% e 20% da distância entre o Nasion (ponto entre os olhos) e o Ínion (ponto na nuca). Os Eletrodos colocados do lado esquerdo da cabeça são indicados com numeração ímpar, os do lado direito com numeração par e os colocados sobre a linha média são indicados pela letra z.

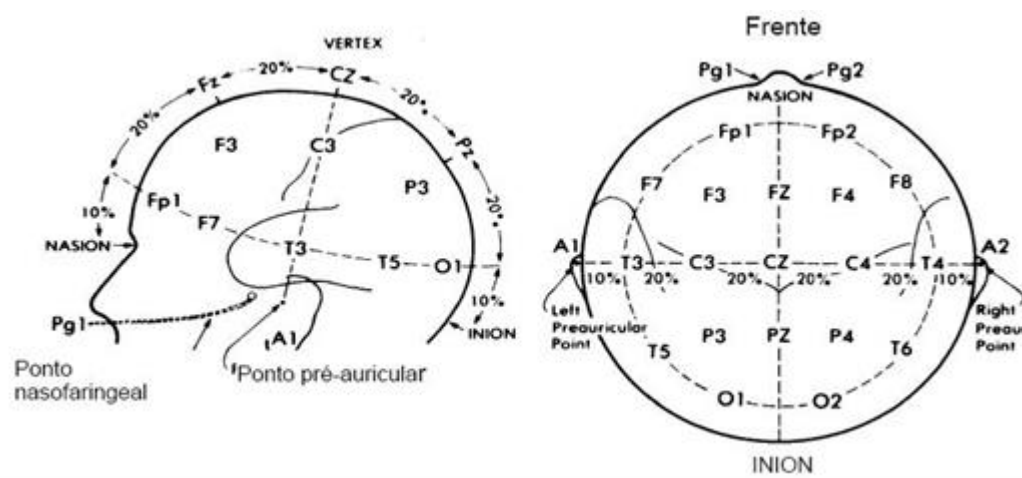


Figura 1 – EEG - Sistema de posicionamento 10-20.

A transmissão entre os Eletrodos e os amplificadores pode ser realizada por fios convencionais. Apesar de amplamente usada, é altamente susceptível a ruído. Uma opção é o cabo coaxial que oferece proteção contra indução a partir de uma malha metálica, a qual envolve o condutor interno mantendo-o isolado. Entretanto, para frequências elevadas a condução passa a ser superficial e a eficiência fica comprometida. Outra opção é o cabo de par trançado, que obtém sua proteção pelo efeito de cancelamento mútuo entre os pares de fios trançados. Este é o meio de transmissão de menor custo por comprimento, sendo, porém susceptível também às interferências.

## 1.2 Interferências

De forma geral, todo equipamento eletro-eletrônico gera e está sujeito à Interferência Eletromagnética – IEM (2), que pode ser classificada em:

- IEM irradiada: interferência eletromagnética irradiada através do espaço e pode chegar ao aparelho de EEG através de ambientes não-blindados.

- IEM conduzida: interferência eletromagnética conduzida através da rede elétrica hospitalar advinda de fontes internas ou externas a esta rede.

IEM é o principal obstáculo para se obter um sinal claro e confiável no processo de aquisição de sinais de EEG. Essa interferência atua tanto nos Eletrodos propriamente ditos quanto nos condutores que levam os sinais até os amplificadores.

A Figura 2 ilustra algumas das várias fontes de IEM, mostrando que algumas podem ser fontes de IEM irradiada e outras podem ser fontes de IEM conduzida e outras ainda podem ser fontes de ambos os tipos de IEM.

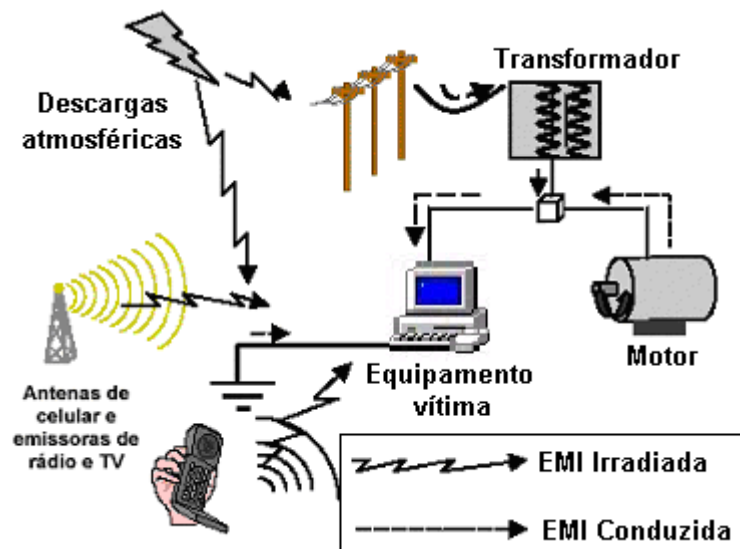


Figura 2 – Tipos de Interferências Eletromagnéticas.

No ambiente hospitalar, o aparelho de EEG pode sofrer interferências advindas de vários equipamentos, conforme indicado na Tabela 1. Observe que as interferências podem ser advindas tanto de fontes não intencionais, ou seja, que não visam a emissão de radiofrequência quanto das fontes intencionais ou transmissores de rádio.

A lista de fontes inclui ainda bombas de infusão, desfibriladores, oxímetros de pulso, ventiladores pulmonares, medidores de pressão arterial não-invasivos, balões intra-aórticos, estimuladores elétricos neuromusculares e incubadoras neonatal, entre outros, como apresentado em (3).

As interferências mais significativas decorrem do uso de rádios portáteis e telefones celulares, em especial quando estão situadas próximas de EEM. Apesar de sua potência (1-5 W) e de operarem em altas frequências, a proximidade é suficiente para gerar interferência.

As interferências conduzidas podem ocorrer devido a variações de tensão e transientes na alimentação. As variações de tensão são oriundas do acionamento de cargas de potência elevada na rede de alimentação, tais como motores, aquecedores e transforma-

Tabela 1 – Principais fontes de interferências encontradas no ambiente hospitalar.

Fontes de RF		
Categoria	Tipo	Frequência de Operação
Equipamentos médicos (fontes não intencionais)	Diametria	27 MHz – 500 MHz
	Bisturi Elétrico	30 MHz – 100 MHz
	Ressonância Magnética	60 MHz
	Laser	27 MHz (variável)
Transmissores de rádio (fontes intencionais)	Televisão	54 MHz – 800 MHz
	Radar	1 GHz – 40 GHz
	Rádio AM	550 kHz – 1,6 MHz
	Rádio FM	88 MHz – 108 MHz
	Rádios Móveis	30 MHz – 50 MHz
	(polícia, ambulância, etc.)	450 MHz – 500 MHz
		27 MHz – 500 MHz
Telefonia celular	900 MHz	
Telefone sem fio	900 MHz e 2,4 GHz	
Outros	Máquina de Solda	2 MHz – 20 MHz
	Aquecedores (RF)	5, 13, 27 ou 40 MHz

dores. Os transientes sobre a tensão na rede ocorrem quando há alterações de cargas no sistema elétrico, podendo ser ocasionadas por queda de raios e chaveamentos.

Além da interferência co-canal (mesma faixa de frequência do EEM), pode ocorrer também a interferência de canal adjacente, decorrente de interferências em frequências próximas às do equipamento. Cabe ressaltar ainda que a não-linearidades de circuitos podem resultar em harmônicas e intermodulação. Com isso, distúrbios em frequências mais afastadas podem gerar IEM na faixa de operação do dispositivo.

Uma forma menos direta de IEM decorre da retificação de sinais interferentes variantes no tempo (CA) pela presença de diodos ou transistores. A conversão de um sinal CA em um sinal de corrente contínua (CC) é um dos mecanismos de acoplamento mais comuns em EEM, já que boa parte destes equipamentos opera com sinais CC e/ou de baixas frequências.

O *International Electrotechnical Committee* – IEC possui uma família de normas (60601) que trata especificamente sobre EEM (4, 5). No Brasil, a ABNT atua como “espelho” do IEC, seguindo sua família de normas referentes a EEM, que são traduzidas para o português. A ANVISA homologou essas normas para os hospitais brasileiros, através da Resolução 444 de 1999, (6).

### 1.3 Projeto em Desenvolvimento

Como já mencionado, as amplitudes dos sinais de EEG captados pelos Eletrodos estão entre 10 e 100  $\mu V$ , assim quaisquer interferências podem facilmente mascarar, e às vezes, encobrir totalmente os sinais de EEG. Isso pode comprometer totalmente os resultados das análises, e em alguns casos mais críticos prover um diagnóstico errôneo,



como é o caso de análise de morte encefálica para remoção de órgãos (declarar como estando morto um paciente ainda vivo, ou vice-versa).

Outra grande dificuldade encontrada por profissionais da área de saúde é o tempo requerido para posicionar corretamente os Eletrodos sobre a cabeça do paciente de acordo com os padrões normativos, como ilustrado na Figura 1.

Buscando mitigar o efeito das interferências eletromagnéticas captadas pelo uso de cabos, os pesquisadores do Grupo de Microeletrônica da Universidade Federal de Itajubá - UNIFEI estão desenvolvendo um EEG Digital. O novo aparelho terá alta imunidade à interferências eletromagnéticas, visto que os *microchips* serão posicionados diretamente sobre os Eletrodos. Os sinais captados serão amplificados, filtrados e digitalizados diretamente nos Eletrodos pelos *microchips*.

O sistema também permitirá que os médicos possam realizar ajustes individuais nos ganhos do amplificadores e nas frequências de corte dos filtros. Esta funcionalidade permitirá que ajustes finos sejam realizados durante os exames. O aparelho EEG Digital em desenvolvimento será composto de:

- Capacete plástico flexível contendo todos os Eletrodos previamente posicionados de acordo com o sistema 10-20 e o circuito de alimentação com baterias recarregáveis;
- Microchips acoplados diretamente nos Eletrodos;
- Central de comunicação;

### 1.3.1 Capacete

A função do capacete é suportar e manter corretamente posicionado os Eletrodos de acordo com o sistema 10-20 para poupar o tempo gasto pelos profissionais durante o posicionamento manual dos Eletrodos. Bastará apenas colocar o capacete sobre a cabeça do paciente e inicializar o exame.

O capacete também servirá de base para as baterias do circuito de alimentação, para a Central de comunicação e transmissão de dados, e para as conexões elétricas entre os componentes.

Este aparelho EEG fará a comunicação com o computador através de uma rede de transmissão sem fio. Assim, o paciente estará isolado eletricamente da rede elétrica e terá muito mais conforto.

### 1.3.2 Microchip

O microchip, que está em desenvolvimento no Grupo de Microeletrônica, será conectado diretamente no Eletrodo. A função deste componente é amplificar, filtrar e

digitalizar os sinais captados pelos Eletrodos e permitir que o usuário faça ajustes em parâmetros de interesse, tais como ganho do amplificador e as frequências de corte do filtro.

Como a digitalização ocorre imediatamente após o sinal ser captado pelo Eletrodo, a susceptibilidade à ruídos é minimizada. O sistema composto pelo microchip e Eletrodo está ilustrado na Figura 3.

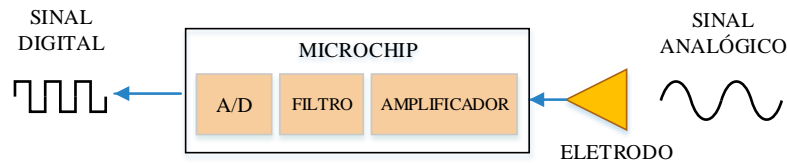


Figura 3 – Microchip.

Cada chip é composto por 3 blocos principais: amplificador, filtro e conversor A/D. Estes circuitos estão sendo desenvolvidos por partes. Dutra e Colleta, (7, 8) implementaram em seus trabalhos, respectivamente, o circuito do amplificador com ganhos ajustáveis e o conversor A/D de 12bits. O circuito do filtro ainda está em desenvolvimento.

O amplificador desenvolvido é composto por circuitos de amplificação e possui ganhos ajustáveis. O bloco recebe sinais entre 10 e 100  $\mu\text{V}$  provenientes diretamente do Eletrodo, e apresenta sinais na faixa de centenas de mV para o filtro. O filtro deverá eliminar componentes de 60Hz e frequências fora da faixa de interesse. Por último, os sinais passam pelo conversor A/D e são disponibilizados para a Central de Comunicação.

Os microchips estão sendo implementados em tecnologia CMOS e possuem um ultra baixo consumo de potência. Assim, o capacete EEG digital poderá operar por longos períodos sem interrupções para a troca das baterias.

### 1.3.3 Central de Comunicação e Transmissão de Dados

A função desta parte do sistema é gerenciar o fluxo de dados entre o Computador e os Microchips. A comunicação entre o Computador e a Central poderá ser implementada utilizando-se algum protocolo digital bidirecional, como uma rede sem fio.

Entre a Central e os Eletrodos deverá ser implementado um protocolo de comunicação bidirecional, pois tanto a Central quanto o Eletrodo deverão ora enviar e ora receber dados.

### 1.3.3.1 Protocolo Serial

A transmissão de dados entre duas unidades de um sistema pode ser feita de várias formas, e as mais comuns são: serial e paralelo.

Na comunicação paralela os bits são enviados simultaneamente, através dos diferentes canais da comunicação. Ela é tipicamente mais veloz já que mais dados são enviados ao mesmo tempo.

Entretanto, deve-se atentar que o número de conexões é um fator determinante. O capacete de EEG possui 22 Eletrodos, considerando-se ainda que cada microchip tenha um conversor A/D de 16 bits e que cada palavra de ajuste de parâmetro tenha 8 bits, haveria mais de 640 conexões. Isso torna a comunicação paralela inviável para esta aplicação.

Nos protocolos de comunicação serial os dados são enviados serialmente utilizando um único canal de comunicação como ilustrado na Figura 4. A velocidade da transmissão depende da frequência de operação do circuito.

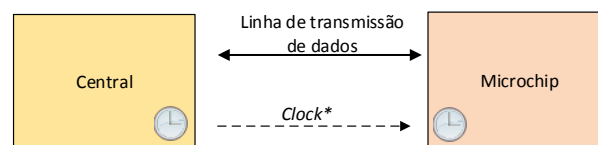


Figura 4 – Microchip - Porta Serial.

Existe também uma relação hierárquica entre o transmissor e o receptor de dados conhecida por relação Mestre-Escravo. Este conceito é utilizado para evitar o conflito no tráfego de dados na rede.

A relação mestre-escravo entre duas unidades de uma rede pode ser alterada durante certos períodos da comunicação. Como exemplo, sistemas de comunicação bidirecional podem realizar a mudança na hierarquia para permitir que momentaneamente o escravo envie informações para o Mestre e, quando a operação é finalizada, a ordem seja reestabelecida.

No caso do aparelho EEG Digital, a Central de Comunicação será o mestre e os Eletrodos serão os escravos. A Central (mestre) será a responsável por inicializar a comunicação com os Eletrodos (Escravos), enviar e solicitar a leitura de dados, e quando os Eletrodos forem enviar dados, momentaneamente, se tornem mestres e, depois do dado enviado, se tornem escravos.

### 1.3.3.2 Protocolo Síncrono x Assíncrono

Em protocolos síncronos, o sinal de Clock é enviado, por uma linha, do mestre para os escravos. O compartilhamento da base de tempo permite que os dados sejam enviados

ou recebidos em intervalos conhecidos como, por exemplo, sempre na borda do sinal de Clock, tal como ilustrado na Figura 5.

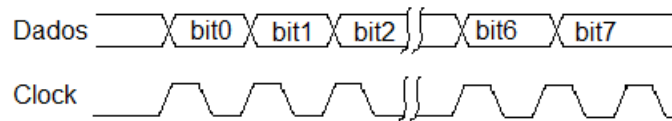


Figura 5 – Comunicação Síncrona.

Como exemplos de protocolos de comunicação serial síncronos tem-se SPI (Serial Peripheral Interface) e I2C (Inter-Integrated Circuit). Ambos os protocolos são bidirecionais e são amplamente utilizados em componentes eletrônicos.

Já nos protocolos assíncronos não há compartilhamento da base de tempo. Portanto, Mestre e Escravo não sabem quando e como os dados serão enviados. Para solucionar este impasse, as mensagens são enviadas entre dois bits de sinalização: um bit de início (Start) e outro de Parada (Stop), como ilustrado na Figura 6. Sempre que o bit de início é reconhecido o sistema é sincronizado e a mensagem pode ser lida.

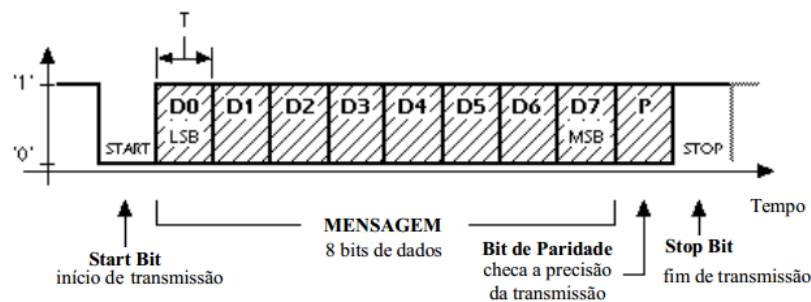


Figura 6 – Comunicação Assíncrona.

Um dos padrões de comunicação serial assíncrona mais difundido atualmente é a UART (Universal Asynchronous Receiver/Transmitter).

### 1.3.3.3 Controle de erros

Os ruídos e distúrbios elétricos momentâneos podem causar mudanças nos dados quando estão trafegando pelos canais de comunicação. Se o receptor falhar ao detectar o erro, a mensagem recebida será incorreta. Como uma primeira linha de defesa, os erros devem ser detectados. Se um erro for detectado, pode-se reenviar o dado, ou no mínimo prevenir que os dados sejam tomados como corretos. Se uma redundância na informação for enviada, 1 ou 2 bits de erros podem ser corrigidos.

O bit de paridade é adicionado ao pacote de dados com o propósito de detecção de erro. Na convenção de paridade-par (“even-parity”), o valor do bit de paridade é escolhido

de tal forma que o número total de dígitos ‘1’ (dados e o próprio bit de paridade) seja sempre par. Na recepção do pacote, a paridade do dado precisa ser contada pelo *hardware* local e comparada com o bit de paridade recebido com os dados. Se qualquer bit mudar de estado, a paridade não irá coincidir e um erro será detectado.

### 1.3.4 Vantagens e Benefícios do Sistema

As principais vantagens do aparelho EEG Digital aos pacientes e profissionais da área de saúde são:

- Minimização de interferências durante a aquisição de EEG pelo posicionamento dos amplificadores junto aos Eletrodos;
- Rapidez nos exames de EEG, pois os Eletrodos já estão posicionados corretamente no capacete e o profissional de saúde não perde tempo em buscar o seu posicionamento na cabeça do paciente;
- Capacete *wireless* ou conectado com um cabo de fibra óptica, dando mais conforto ao paciente;
- Isolamento elétrico entre paciente e equipamento de EEG;
- Imunidade da comunicação digital (fibra óptica ou *wireless*) às interferências (assim como ausência de irradiações);

## 1.4 Objetivo

O objetivo desta dissertação consiste no desenvolvimento e na implementação em *hardware* de um protocolo de comunicação serial síncrono bidirecional para gerenciar a comunicação entre a Central e os microchips acoplados aos Eletrodos.

## 2 Protocolo

### 2.1 Protocolos de Comunicação - Uma Abordagem Histórica

Um protocolo de comunicação é um conjunto de regras utilizado para gerenciar a troca de informações entre dois ou mais indivíduos de um sistema.

Há milhares de anos os seres humanos desenvolvem técnicas para se comunicarem, sendo a escrita, inventada há mais de 6000 anos, um dos protocolos de comunicação mais importante já criado. Ela marcou o início da História da humanidade. A primeira escrita inventada foi a cuneiforme, conforme ilustrada na Figura 7.

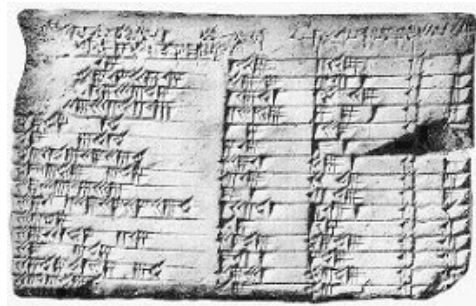


Figura 7 – Primeiro Protocolo de Comunicação: A Escrita.

Os egípcios escreviam em papiros as etapas para a realização de determinada tarefa, criando os primeiros algoritmos, como exemplificado na Figura 8.



Figura 8 – Exemplo de Algoritmos.

Os protocolos de comunicação têm sua origem nos algoritmos outrora escritos nos papiros egípcios, e hoje, após inúmeras inovações tecnológicas, estão implementados na maioria dos dispositivos eletrônicos utilizados nas indústrias, veículos automotivos, equipamentos médicos, satélites e vários outros setores da sociedade. Dentre os quais, os mais comuns são a internet, o *bluetooth*, o *wifi*, o GSM e o 3G; essenciais no dia-dia.

## 2.2 O Protocolo de Comunicação para o EEG

Adotou-se o protocolo de comunicação serial bidirecional síncrono para gerenciar a troca de dados entre os microchips acoplados aos Eletrodos do EEG e a Central de Comunicação.

Nas sessões seguintes são apresentadas características do protocolo, tais como camada física, pacotes de dados e modos de operação.

### 2.2.1 Camada física

Nesta camada pode ser vista a interconexão entre os componentes que compõem o capacete EEG, como ilustrado na Figura 9.

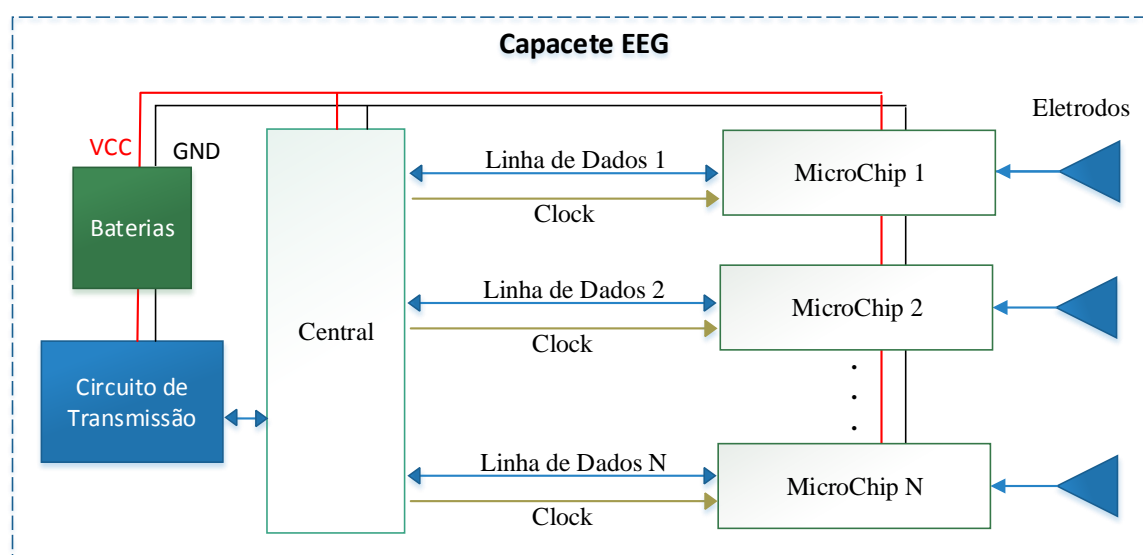


Figura 9 – Nível físico da comunicação.

#### 2.2.1.1 Componentes

Além da alimentação do circuito, proveniente de baterias recarregáveis alocadas no capacete, os microchips são interconectados à Central por dois canais de comunicação: *Linha de Dados* e *Sinal de Clock*.

A linha de dados é bidirecional o que demanda uma porta tristate em cada extremidade da linha. Pode-se também utilizar 3 fios entre a Central e o Eletrodo. Por um fio os dados são enviados, pelo outro eles são recebidos e outro para o clock. A Central de gerenciamento de dados foi projetada para suportar ambos os tipos de conexão.

A linha de *clock* é unidirecional, pois o protocolo é síncrono e a base de tempo é gerada pela Central.

### 2.2.2 Pacotes de Dados

As mensagens do protocolo são compostas por 3 pacotes de bits: inicialização, modo de operação e dados, tal como ilustrado na Figura 10. Eles serão descritos nas próximas sessões.

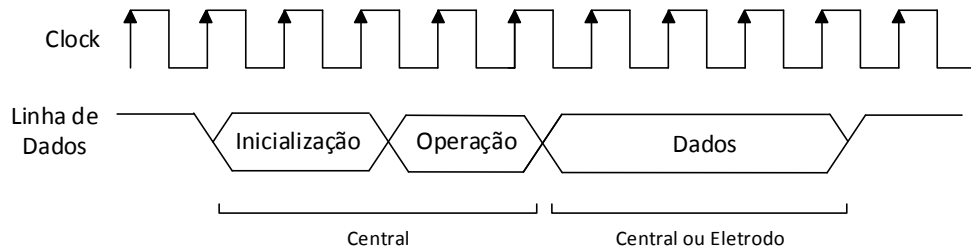


Figura 10 – Pacotes de dados do Protocolo.

### 2.2.3 Estágios de Operação e Diagrama de Estados

Os estados de operação são: *Espera*, *Inicialização*, *Operação* e *Dados*.

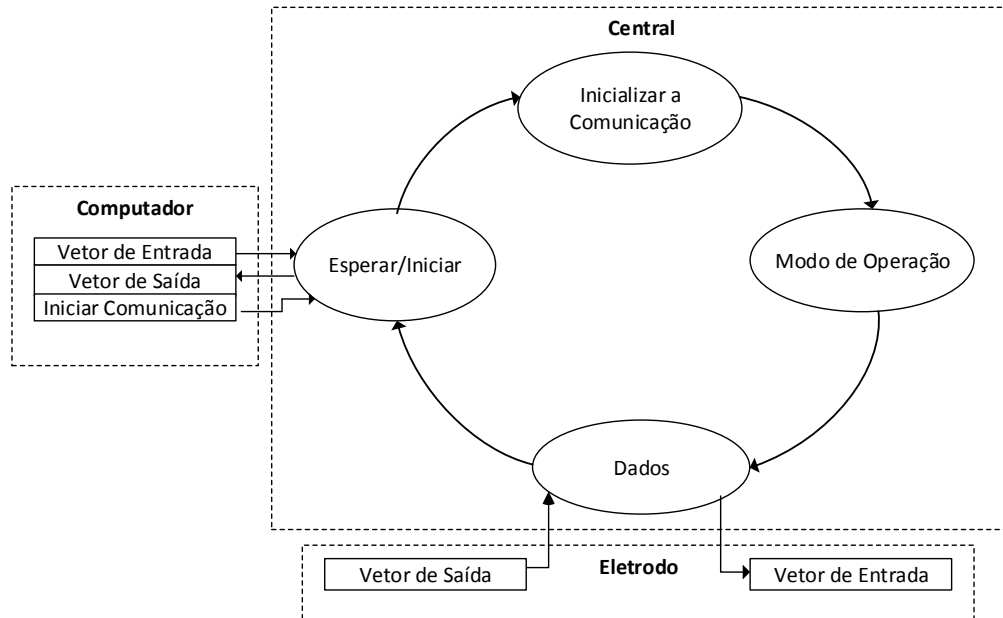


Figura 11 – Diagrama de Estados.

#### 2.2.3.1 Espera

Esta condição ocorre quando o sistema é ligado pela primeira vez ou quando é reiniciado.



Neste estado, a Central disponibiliza os registros de entrada e saída, os quais podem ser alterados e, uma vez que a Central recebe a autorização para iniciar a comunicação, os dados são carregados e o sistema passa para o próximo estado da comunicação.

### 2.2.3.2 Inicialização

A sequência de inicialização pode ser dividida em duas partes: longa e curta. A primeira dura aproximadamente 100 ciclos e, sua função é checar se o Eletrodo está conectado e despertá-lo. A segunda parte tem a função de avisar ao Eletrodo que os dados serão enviados.

#### ***Inicialização Longa:***

A Central mantém a linha de dados em nível baixo por 100 ciclos de *clock* (equivalente a dois ciclos do conversor A/D de 2 kHz) e depois retorna para nível alto. Se o Eletrodo detectar esta sequência, enviará uma confirmação e a comunicação está estabelecida, como apresentado na Figura 12.

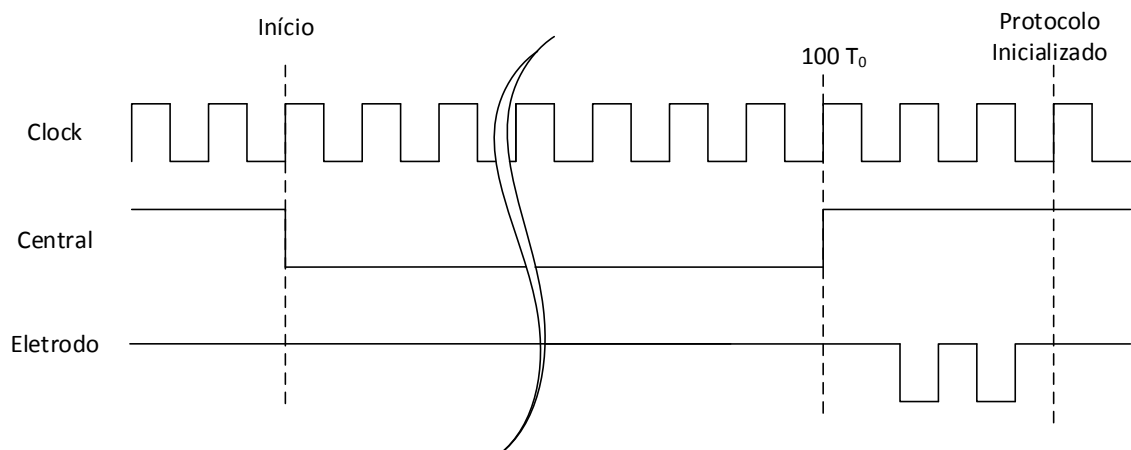


Figura 12 – Formas de Onda da Inicialização.

Se a Central não obtiver a confirmação do Eletrodo, a sequência de inicialização é repetida por 5 vezes, se não houver resposta, uma mensagem de erro é gerada.

#### ***Inicialização Curta:***

Caso a primeira parte ocorra normalmente, a Central escreve uma sequência de 8 bits na linha de dados para informar ao eletrodo que uma mensagem será enviada. Os bits são enviados sempre na borda de subida do *clock*, tal como apresentado na Tabela 2 e ilustrado na Figura 13.

Tabela 2 – Vetor de Inicialização - 8 Bits.

St7	St6	St5	St4	St3	St2	St1	St0
1	0	0	1	0	1	1	0

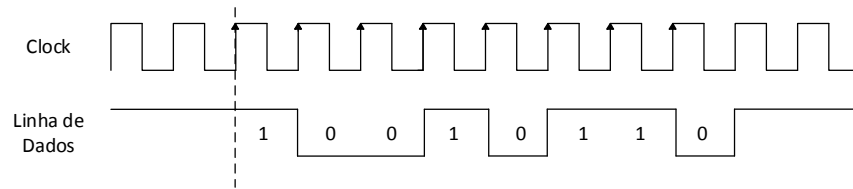


Figura 13 – Inicialização Curta.

### 2.2.3.3 Modos de Operação

O conjunto de dados dos modos de operação é composto por 4 bits, gerando até 16 configurações de operação, sendo basicamente 2 tipos de operação: leitura e escrita de dados. Foram configurados 9 tipos de operações, apresentados na Tabela 3. As combinações não utilizadas foram reservadas para futuras aplicações.

Cada combinação representa um modo de operação, portanto para que a Central possa enviar um ganho para o Eletrodo, deverá ser enviada a sequência "0001". Para a leitura de dados, o código de operação é "1010". A função "escrever ganho" serve para informar ao eletrodo que o ganho será alterado e a função "escrever filtro" tem operação semelhante. As funções "ler ganho" e "ler filtro" informam ao eletrodo que ele deverá enviar o valor atual do ganho do amplificador e do filtro, respectivamente.

Tabela 3 – Modos de operação.

Bits				Operação
Op3	Op2	Op1	Op0	
0	0	0	1	Escrever Ganho
0	0	1	0	Escrever Filtro
0	0	1	1	Número de Série
0	1	0	0	Função Eco
1	1	1	0	Ler Ganho
1	1	0	1	Ler Filtro
1	1	0	0	Ler o N Série
1	0	1	1	Ler Eco
1	0	1	0	Ler Dado EEG

A operação Número de Série foi implementada para que o fabricante possa registrar os Eletrodos fabricados. Nas operações *Função Eco* e *Ler Eco* um dado de 17 bits é enviado e recebido com o objetivo de avaliar a integridade dos sinais.

Uma vez que o modo de operação é serializado, no próximo ciclo de clock ele é decodificado de acordo com a Tabela 3 e, então, inicia-se a operação requerida.

### 2.2.3.4 Dados

Este bloco pode ter dados de dois comprimentos. Os dados contendo 9 bits são parâmetros de ajustes dos amplificadores, filtros e número de série, já os dados de 17 bits contêm o sinal do EEG digitalizado.

Os tipos de dados e seus respectivos comprimentos estão organizados na Tabela 4.

Tabela 4 – Tipos de Dados

Tipo de dado	Número de Bits
Ganho dos Amplificadores	9
Ajuste dos Filtros	9
Número de Série	9
Função Eco	17
Dados do EEG	17

### 2.2.4 Enviando e Recebendo Dados do Eletrodo

Uma ilustração sobre a transmissão de dados é apresentada na Figura 14, onde as linhas verticais simbolizam o tempo (fora de escala) e a seta vermelha o fluxo de dados.

A Figura 14.a mostra a sequência dos pacotes para o envio de dados ao Eletrodo. Primeiro a comunicação é inicializada, depois o modo de operação é informado e por último o dado é enviado. A Figura 14.b mostra a sequência para a leitura de dados do Eletrodo. A Central inicializa a comunicação, envia o modo de operação e o Eletrodo envia o pacote de dados especificado.

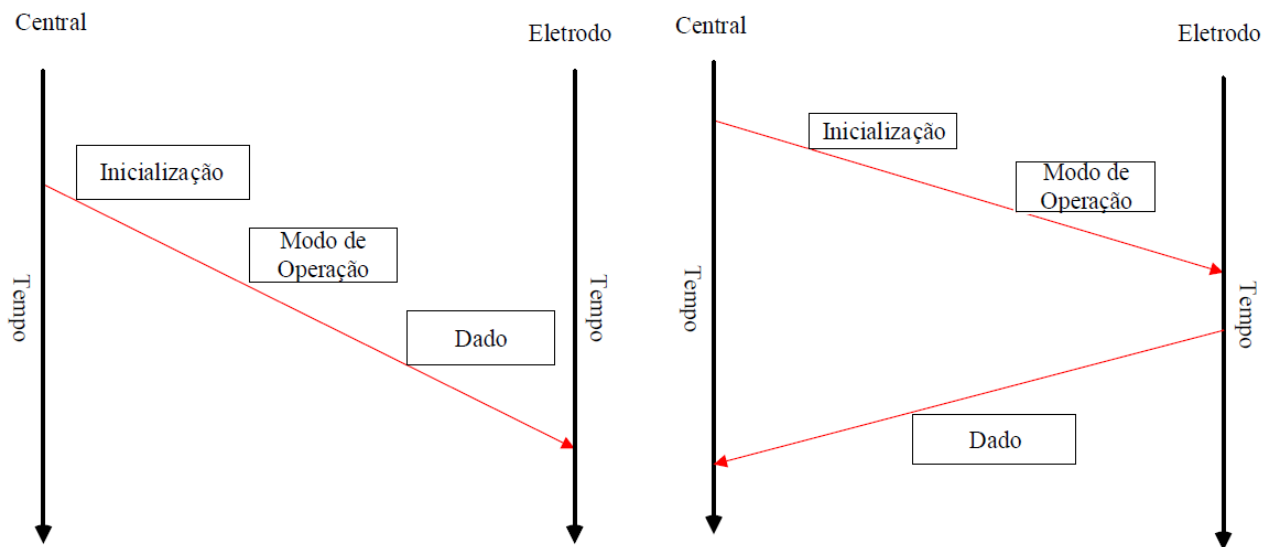


Figura 14 – a. Envio de dados, b. Leitura de Dados.

## 3 Implementação do Protocolo

A implementação seguiu as diretrizes apresentadas no Capítulo 2.2 - Protocolo de Comunicação para o EEG, sendo desenvolvida em duas partes: a Central de comunicação e o microchip do Eletrodo, tal como na figura 15, onde observa-se a Central conectada ao Microchip que está conectado ao Eletrodo.

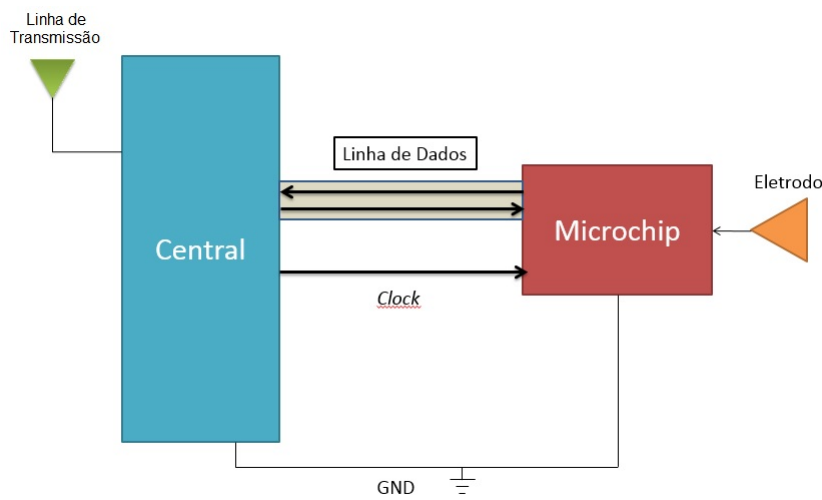


Figura 15 – Central - Diagrama de Blocos Funcional.

Cada parte foi implementada utilizando-se VHDL, que é uma das linguagens de descrição de *hardware* mais utilizadas em projeto de circuitos digitais. Esta linguagem permite que o circuito seja sintetizado e simulado antes da implementação física em FPGA ou em um circuito integrado de aplicação específica (*application-specific integrated circuit* - ASIC), Pedroni (9).

### 3.1 Central de Comunicação

A Central é composta por 4 elementos: máquina de estado principal, transmissor de dados, receptor de dados, e circuito de *clock*. Na Figura 16 pode-se observar a sua topologia.

A máquina de estados principal gerencia o fluxo de dados entre os Eletrodos e o computador, ou seja, habilita o funcionamento do transmissor e do receptor de dados. Ela opera na borda de descida do *clock* e os demais blocos operam na borda de subida.

Todos os blocos são ativados por sinais de *enable*. Estes sinais são gerados pela máquina de estados principal. Os blocos também possuem um sinal de "ocupado" que indica se estão ou não em operação.

O circuito transmissor de dados contém registros para armazenar informações recebidas do computador e que serão enviadas ao Eletrodo. Ele também contém os blocos de inicialização longa e curta da comunicação.

O circuito receptor de dados recebe e armazena as informações vindas do Eletrodo. Estes dados são disponibilizados para o computador.

Como a comunicação é síncrona, o circuito de *clock* gera a base de tempo para a operação tanto dos componentes da Central quanto dos Eletrodos.

A Central é constituída por mais de 20 blocos descritos em VHDL, mas estes podem ser agrupados em apenas 6 tipos diferentes: registros, blocos serial/paralelo, paralelo/serial, mux, máquina de estados e circuito de *clock*.

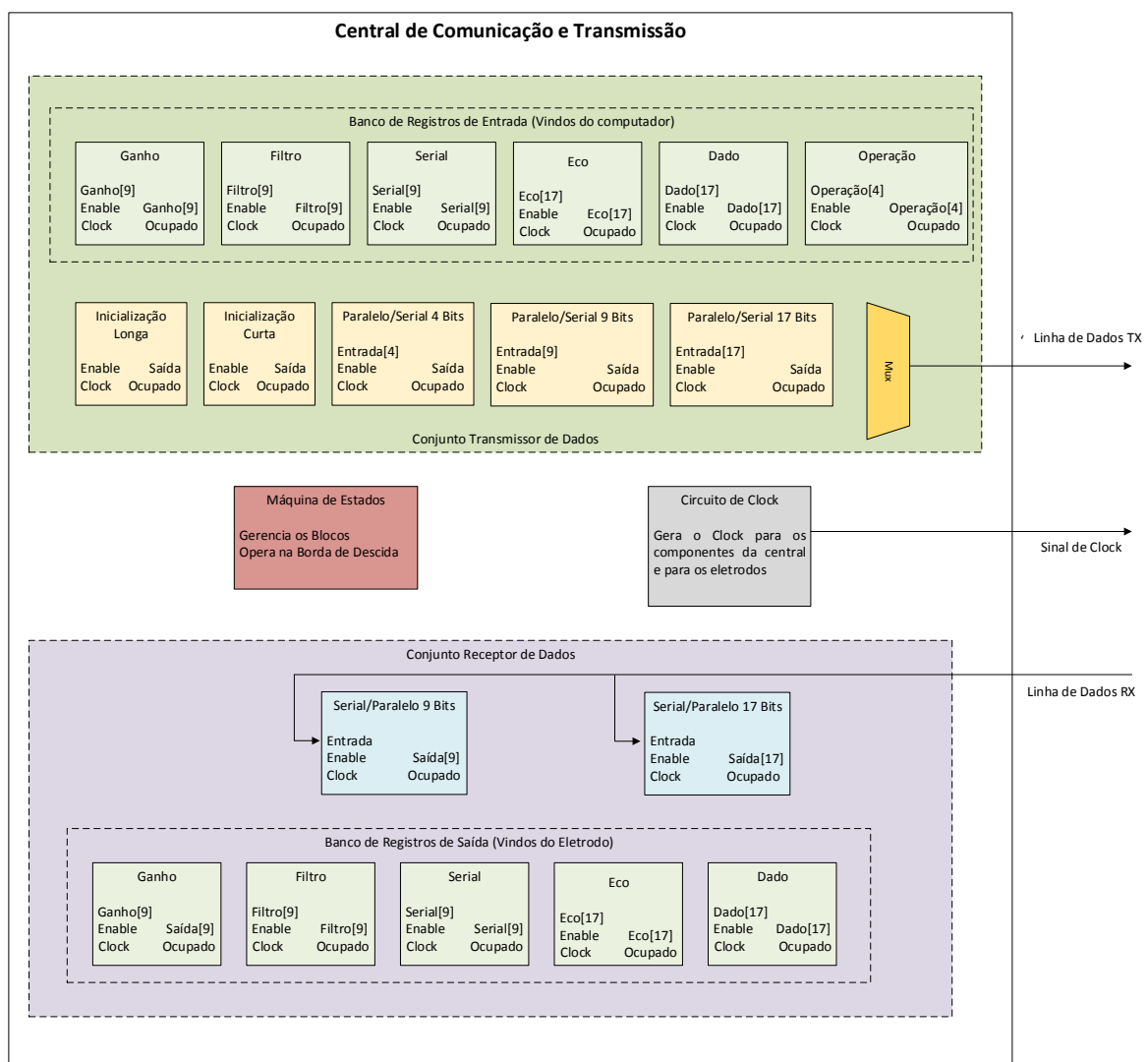


Figura 16 – Central - Diagrama de Blocos Funcional.

### 3.1.1 Registros

Os registros são divididos em duas categorias: Entrada e Saída. O primeiro grupo recebe os dados vindos do computador e o segundo os do Eletrodo. Ambos possuem modos de operação semelhante, sempre que o sinal de *enable* for ativado e ocorrer uma borda de subida do *clock*, os dados que estão na entrada passam para a saída e ficam armazenados.

De acordo com o seu comprimento, os registros podem ser divididos em 3 categorias:

- Operação: 4 Bits - Informa qual função deverá ser executada.
- Ganho, filtro, número de série: 9 bits - contém o valor do parâmetro que deverá ser ajustado;
- Eco, dado do EEG: 17 bits - como o próprio nome sugere, este vetor contém os dados digitalizados do EEG.

### 3.1.2 Bloco Paralelo/Serial

A função deste componente é serializar os dados armazenados nos registros de entrada. Para cada registro há um bloco Paralelo/Serial e cada saída está conectada no mux. Estes componentes são gerenciados pela máquina de estados principal.

### 3.1.3 Bloco de Inicialização Longa

A função deste bloco é inicializar a comunicação entre a Central e o Eletrodo. Ele é utilizado sempre que o sistema for iniciado, reiniciado ou se ocorrer a perda do sincronismo.

Este bloco é composto por uma máquina de estados cujo fluxograma de operação é apresentado na Figura 17.

Descrição do modo de operação: após a ordem de iniciar, um contador é ativado e a saída fica em nível lógico baixo por 100 ciclos retornando para nível alto depois. Se o Eletrodo responder, a comunicação é iniciada com sucesso. Se não, o contador é ativado novamente por mais 5 vezes, se depois disso o Eletrodo não responder, um erro é gerado.

### 3.1.4 Bloco de Inicialização Curta

Este bloco é uma máquina de estados ciclica, ilustrada na figura 18. Ela gera uma sequência de 8 bits que informa ao Eletrodo que uma nova mensagem será enviada. Ela opera na borda de subida do *clock* e sempre aguarda a autorização da máquina de estados principal.



### 3.1.6 Bloco Serial/Paralelo

A função deste é receber a informação serial vindo do Eletrodo e disponibilizar os dados para os registros de saída. Este componente pode ter dois comprimentos: 9 ou 17 bits, de acordo com o tipo de registro que está conectado.

### 3.1.7 Máquina de Estados

O fluxograma de operação da máquina é apresentado na Figura 19. A máquina aguarda a autorização para iniciar a comunicação. Ela opera durante a borda de descida do *clock* e gera os comandos de habilitação dos demais blocos. Ela habilita o bloco de inicialização longa, em seguida o bloco serial/paralelo do modo de operação, decodifica-o e realiza a função especificada. A máquina de estados é a responsável por reiniciar o sistema em caso de falhas ou interrupção da mensagem, perda do sincronismo e erros no sistema.

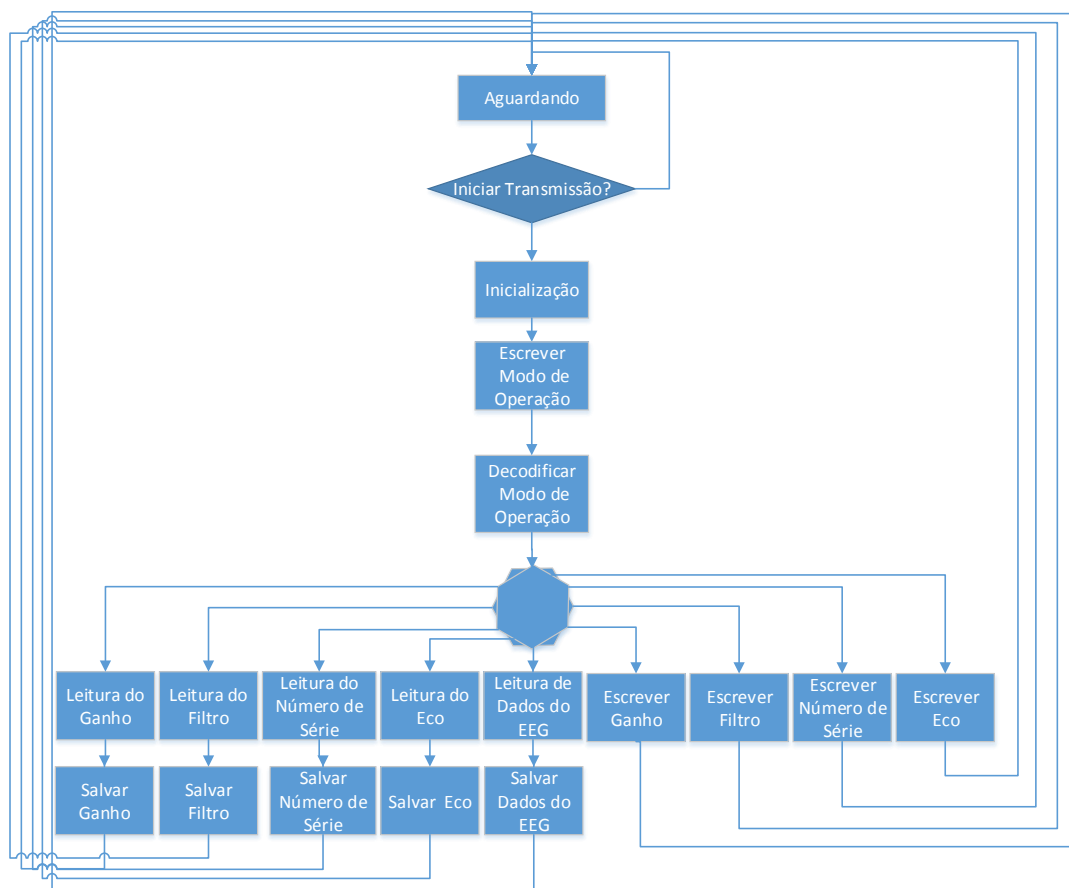


Figura 19 – Fluxograma da Central.



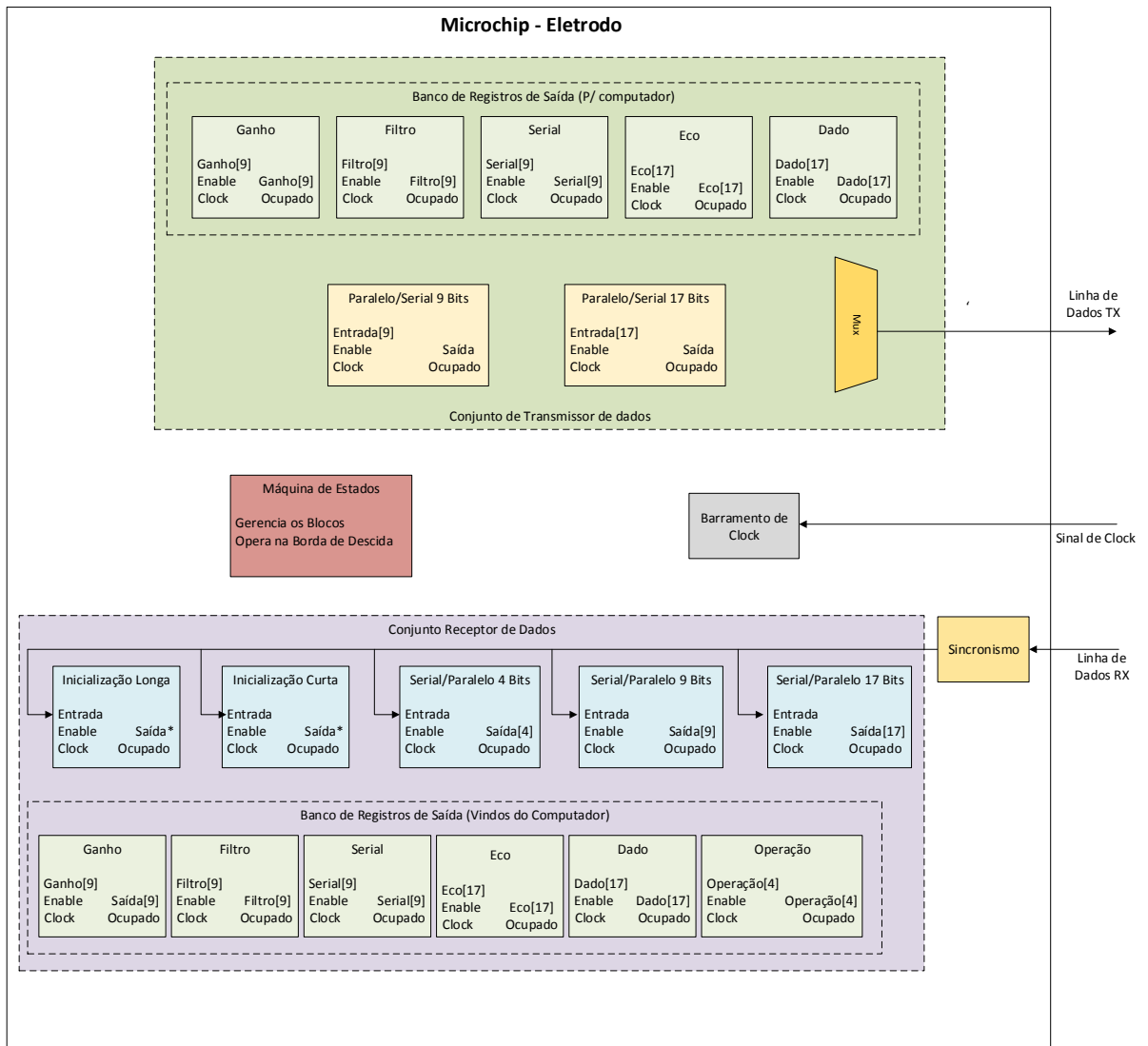


Figura 20 – Microchip - Diagrama de Blocos Funcional.

## 3.2 Eletrodo

O Eletrodo é composto por 4 elementos: máquina de estado principal, transmissor de dados, receptor de dados, circuito de sincronismo. Na Figura 20 pode-se observar a sua topologia.

### 3.2.1 Máquina de Estados

Assim como na Central, este componente gerencia os demais blocos para que a comunicação possa ocorrer. O fluxograma da Figura 21 ilustra os estados de operação. Sempre que o sistema é energizado ou reiniciado o bloco inicialização longa é habilitado.

Quando a comunicação é inicializada corretamente, o Eletrodo aguarda a inicialização curta ocorrer, recebe os bits do modo de operação e decodifica a função recebida.

Caso a Central tenha enviado alguma operação de ajuste de ganho, o Eletrodo deverá ler o dado e posteriormente salvá-lo em um registro.

Quando a Central requisita a leitura de algum parâmetro, como por exemplo o valor do ganho, o Eletrodo vai para o estado "escrever ganho", ativa o bloco paralelo/serial, mux e, depois do dado enviado, retorna para o estado inicial.

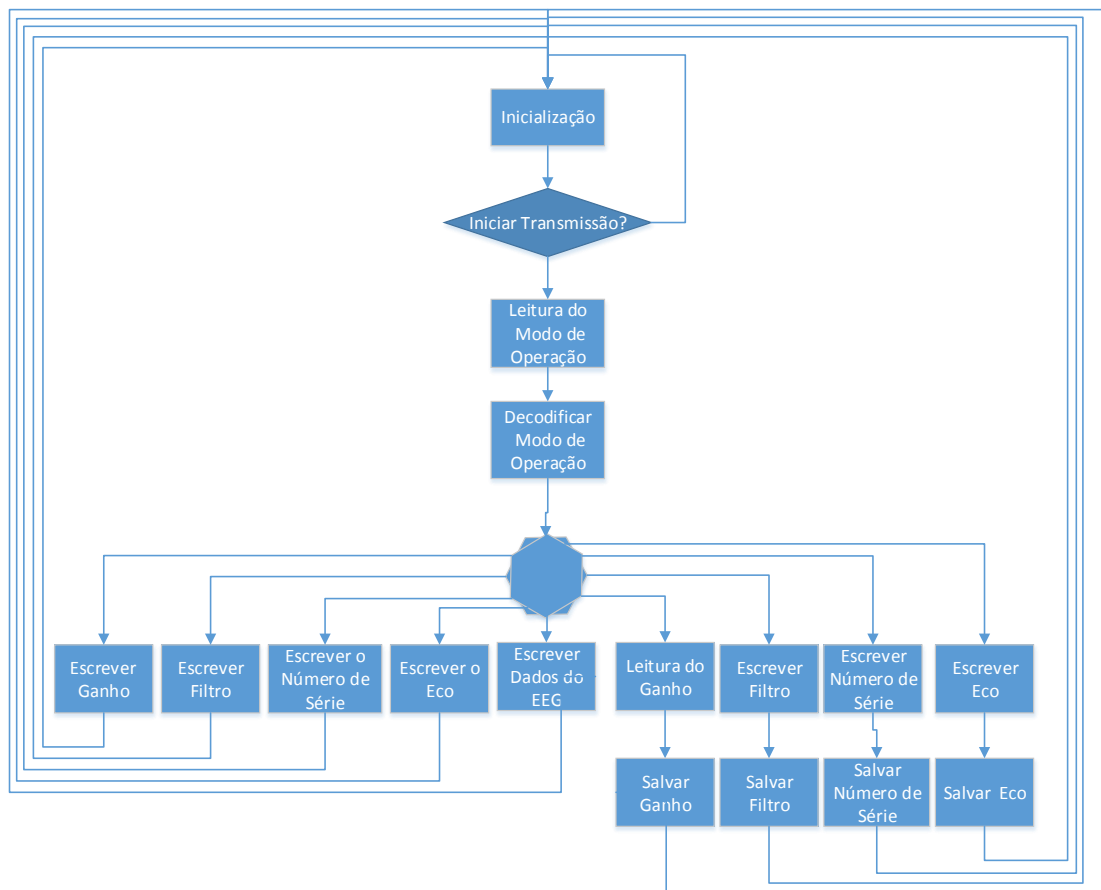


Figura 21 – Fluxograma da Central de Controle do Eletrodo.

### 3.2.2 Bloco de Inicialização Longa

O algoritmo deste bloco é gerenciado por uma máquina de estados que aguarda que a linha de entrada de dados vá para nível lógico baixo. Se a linha permanecer por pelo menos 100 ciclos de *clock* em zero e retornar para nível alto, a sequência "010" é enviada para a Central. Caso a linha não fique em zero por 100 ciclos, a comunicação não será inicializada e, se ela ficar em nível baixo por mais de 150 ciclos, um erro é gerado.

### 3.2.3 Circuito de Sincronização

A transmissão de dados sempre está acompanhada de atrasos de tempo devido ao tempo de propagação do sinal. Este efeito ocorre devido as características da linha de transmissão. Logo, um bloco de sincronismo foi colocado entre a entrada de dados RX e o barramento que distribui este sinal para todos os blocos, o qual é composto por um flip-flop D ativado em borda de subida, tomando-se o cuidado para evitar a perda de dados durante o funcionamento do mesmo.

### 3.2.4 Outros Blocos

Os demais blocos que compõem o circuito de comunicação implementado no Eletrodo são semelhantes aos da Central e por isso foram omitidos. São eles: registros, serial/paralelo, paralelo/serial e o mux.

## 3.3 Simulações

O conversor A/D do microchip do EEG opera em 2 kHz, ou seja, uma nova amostra é gerada a cada 500  $\mu s$ . Para garantir que todos os bits sejam enviados e recebidos dentro desta janela de tempo, adotou-se um *clock* de 10  $\mu s$ . Considerando-se a maior mensagem, o tempo total é de 340  $\mu s$ .

Todas as simulações foram feitas no software ModelSim - Altera e foram realizadas simulações sem o atraso de tempo para validar a lógica do protocolo implementado. Depois que a lógica foi validada, foram realizadas simulações considerando-se o atraso de tempo do circuito projetado.

### 3.3.1 Enviando Dados

O objetivo desta simulação é ilustrar o envio de informações para o Eletrodo. Optou-se por ilustrar o envio do ganho, mas qualquer parâmetro poderia ter sido escolhido. Para enviar outros tipos de dados, deve ser informado o modo de operação correspondente e o vetor com a informação. Assim sendo, será enviado o vetor de ganho "101000110" para o Eletrodo. Para isso, a Central deve enviar a sequência de inicialização curta, o modo de operação e o vetor de ganho. Na simulação apresentada na Figura 22 observa-se os seguintes sinais: *clock*, *reset*, *enable*, linha de transmissão (TX), vetor de operação e o vetor com ganho.

Após o *reset*, no instante 20  $\mu s$ , os registros de operação e de ganho são carregados (quando o aparelho estiver pronto, estas informações serão enviadas do computador). Após o *enable* a máquina de estados principal ativa o bloco de inicialização curta. Esta ativação ocorre na borda de descida no instante 40  $\mu s$  e, após a sequência de 8 bits ser enviada

("10010110"), o vetor de operação é serializado. Dois ciclos de *clock* são utilizados para a decodificação e leitura do vetor de ganho. Então, no instante  $175\mu\text{s}$ , o bloco de serialização do vetor de ganho é ativado e a informação é enviada para o Eletrodo. Considerando-se a partir do momento em que o ganho foi informado para Central ( $20\mu\text{s}$ ), esta operação teve duração de  $240\mu\text{s}$ , ou seja 24 pulsos.

### 3.3.2 Recebendo Dados

O objetivo desta simulação é ilustrar a leitura de informações do Eletrodo. Optou-se por ilustrar a leitura do valor ganho do Eletrodo, entretanto ressalta-se que qualquer parâmetro poderia ter sido escolhido para a leitura.

Para a leitura de qualquer parâmetro, a Central deve enviar a sequência de inicialização curta, o modo de operação e aguardar a leitura da informação. Na simulação apresentada na Figura 23 observa-se os seguintes sinais: *clock*, *reset*, *enable*, linha de transmissão (TX), linha de recepção (RX), vetor de operação e o vetor com ganho lido.

Após o *reset*, o registro de operação referente à leitura do ganho é carregado. O *enable* ocorre por 1 ciclo e a máquina de estados principal ativa o bloco de inicialização curta no instante  $40\mu\text{s}$ . Depois que a sequência de inicialização é enviada, o vetor de operação é serializado e decodificado. O Eletrodo recebe os pacotes de dados, decodifica-os e envia o ganho ("000111000"). Depois de recebido, a Central salva a informação e este parâmetro pode ser enviado ao computador.

### 3.3.3 Leitura de Dados de 17 bits

O objetivo desta simulação é apresentar a leitura de uma amostra de EEG. A Central envia a sequência de inicialização curta, o modo de operação referente à leitura de dados e aguarda o envio do vetor pelo Eletrodo. Esta sequência é apresentada na Figura 24, onde observare-se os seguintes sinais: *clock*, *reset*, *enable*, linha de transmissão (TX), linha de recepção (RX), vetor de operação e o vetor com dado do EEG.

Após o *reset*, o registro de operação referente à leitura de dados é carregado. O *enable* ocorre por 1 ciclo e a máquina de estados principal ativa o bloco de inicialização curta no instante  $40\mu\text{s}$ . Depois que a sequência de inicialização é enviada, o vetor de operação é serializado e decodificado. Então, a máquina de estados ativa o bloco serial/paralelo referente ao registro de Dados do EEG. O Eletrodo recebe os pacotes de dados, decodifica-os e envia a amostra de EEG. Por fim, a Central salva a informação e este dado está disponível para ser transmitido ao computador.

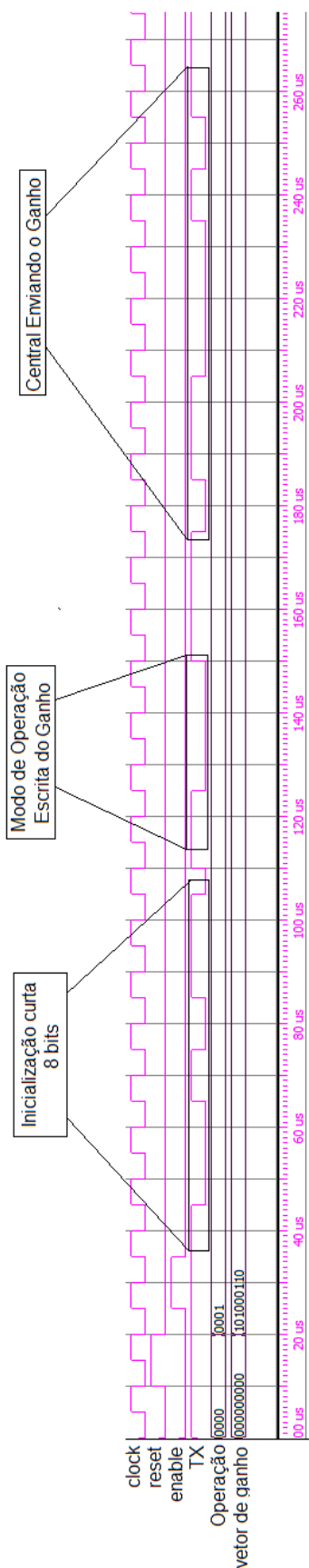


Figura 22 – Simulação do Processo de Envio do Ganho.

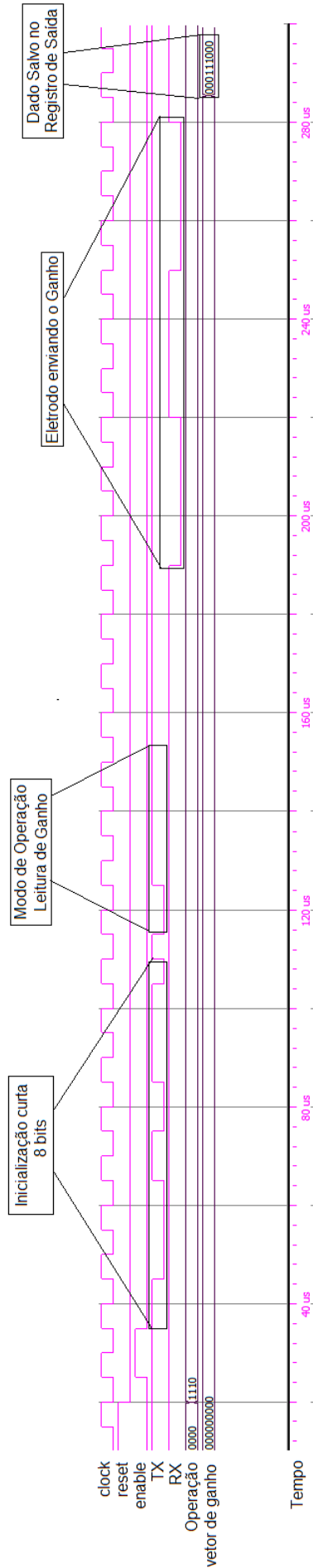


Figura 23 – Simulação do Processo de Leitura do Ganho.



## 4 Resultados

O protocolo de comunicação foi implementado entre duas placas FPGAs Altera DE2 sendo uma fazendo o papel de Central e outra o fazendo o papel de Eletrodo, como ilustrado na Figura 25. Assim como nas simulações, utilizou-se um *clock* de  $10\ \mu\text{s}$ , para garantir que as mensagens fossem enviadas no intervalo do conversor A/D de 2kHz.

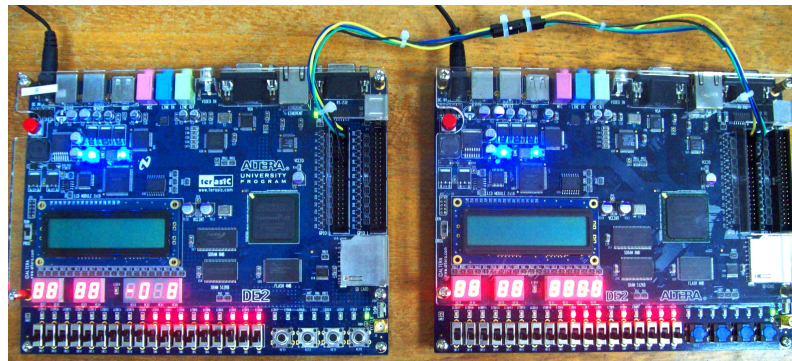


Figura 25 – FPGA's utilizadas no experimento.

As placas foram interconectadas utilizando-se duas linhas de transmissão de dados uma para a outra (uma para a transmissão e outra para a recepção de dados), *clock* e *GND*. Os blocos implementados no Eletrodo são o amplificador, o filtro, o número de série, o eco e o conversor analógico/digital (ADC), como ilustrado na Figura 26.

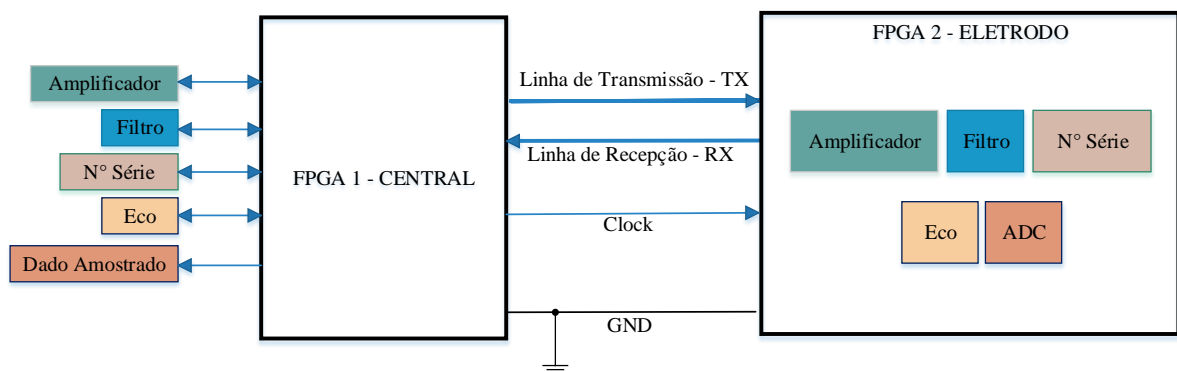


Figura 26 – Diagrama de blocos do Experimento.

### 4.1 Bloco Inicialização

Durante a inicialização longa, a Central coloca a linha de dados em nível baixo por 100 ciclos de *clock* e, caso o Eletrodo reconheça esta sequência ele envia uma mensagem tal como mostrado na Figura 27.a, onde a linha superior (amarela) é a de transmissão de



dados e a inferior (azul) é a de recepção. A resposta do Eletrodo pode ser observada com mais detalhes na Figura 27.b, onde pode-se notar que logo após o período de 100 ciclos, o Eletrodo responde (envia) para a Central a sequência "010" e a comunicação é iniciada.

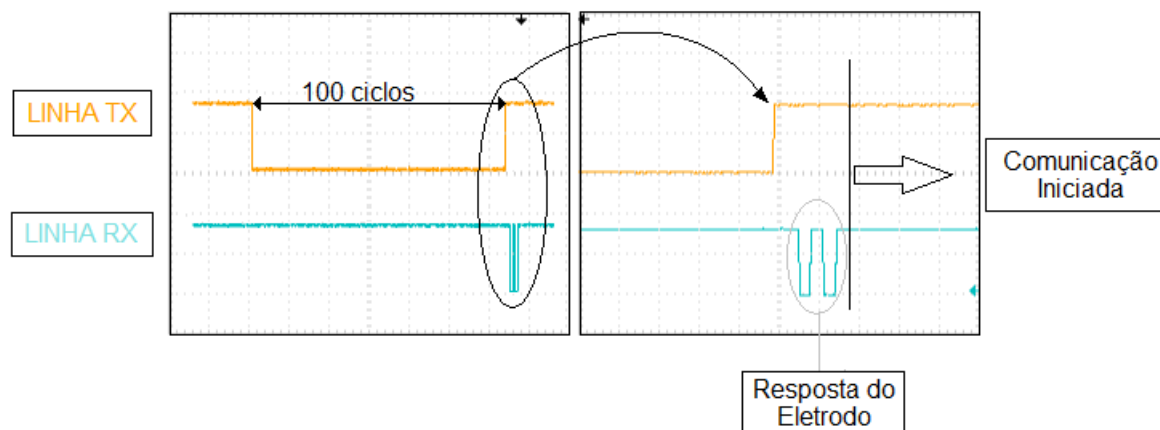


Figura 27 – a. Sequência de inicialização, b. Detalhe da Confirmação.

A sequência de inicialização curta é utilizada antes das mensagens de comunicação entre a Central e o Eletrodo. Os dados são enviados para o Eletrodo sempre na borda de subida do *clock* e a máquina de estados principal opera na borda de descida. Na figura 28 têm-se duas formas de onda, sendo a superior o *clock* e a inferior a linha de transmissão de dados (TX) da Central para o Eletrodo.

A máquina de estados principal gera o *enable* na borda de descida do *clock* e na próxima borda de subida (seta vermelha) inicia-se a transmissão do bloco de inicialização curta. São enviados 8 bits e na próxima borda de descida, após a sequência ter sido serializada, a máquina de estados reconhece que a inicialização ocorreu e o próximo bloco pode ser ativado.

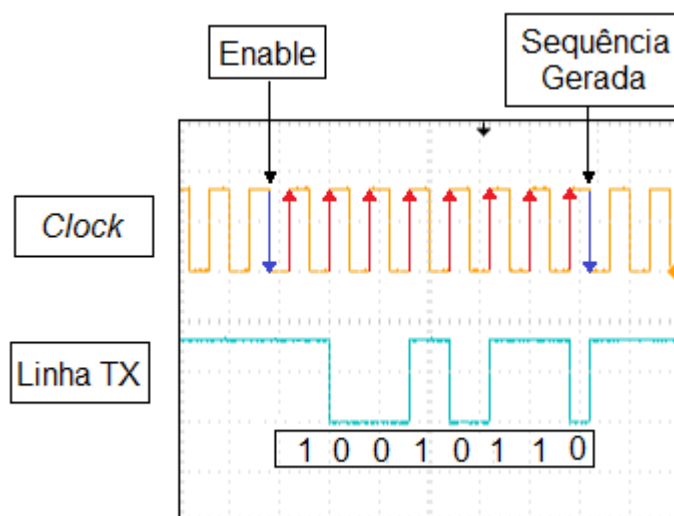


Figura 28 – Sequência de inicialização curta - Segunda parte.

## 4.2 Enviando Dados

O objetivo deste teste é demonstrar o envio de informações para o Eletrodo. Optou-se por ilustrar o envio do ganho, entretanto qualquer parâmetro poderia ter sido escolhido.

Na figura 29, observa-se dois sinais de dados, a linha superior é o *clock*, e a inferior é a forma de onda da transmissão da Central para o Eletrodo. A Central envia a sequência de inicialização curta, o modo de operação (Tabela 5) e o vetor de ganho "101010010"(Tabela 6) para o Eletrodo, que é recebido e armazenado.

Tabela 5 – Modo de Operação - Envio do Ganho.

Bits				Operação
Op3	Op2	Op1	Op0	
0	0	0	1	Escrever Ganho

Tabela 6 – Vetor de Ganho - 9 Bits.

Dt8	Dt7	Dt6	Dt5	Dt4	Dt3	Dt2	Dt1	Dt0
1	0	1	0	1	0	0	1	0

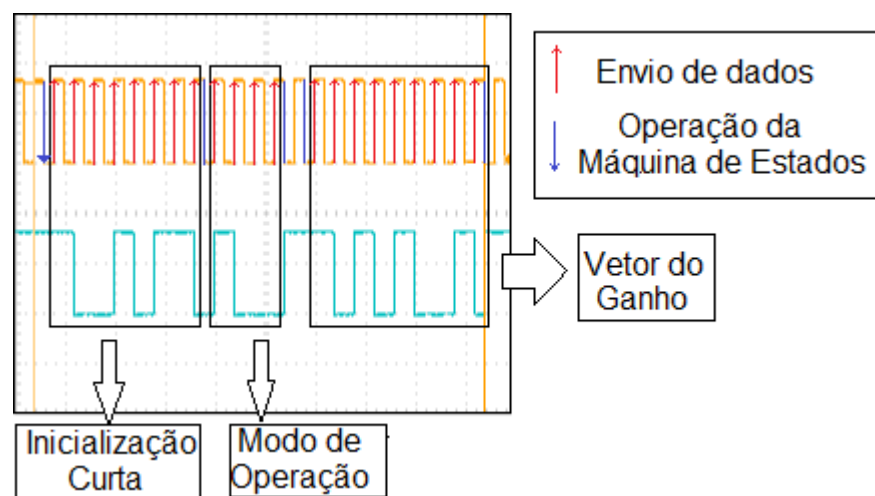


Figura 29 – Escrevendo o Ganho.

## 4.3 Recebendo Dados

O objetivo deste teste é demonstrar a operação de leitura de parâmetros salvos no Eletrodo. Optou-se por ilustrar a leitura do ganho, entretanto ressalta-se que qualquer parâmetro poderia ter sido escolhido.

Na figura 30, observa-se dois sinais de dados, a linha superior é a linha de transmissão (TX) da Central para o Eletrodo e a inferior é a de recepção de dados vindos do Eletrodo para a Central. Primeiro, a Central envia a sequência de inicialização curta e o modo de operação (Tabela 7), que é serializado e decodificado. O Eletrodo recebe os

pacotes de dados, decodifica-os e envia o ganho 8. Depois de recebido, a Central salva a informação e este parâmetro pode ser enviado ao computador.

Tabela 7 – Modo de Operação - Leitura do Ganho.

Bits				Operação
Op3	Op2	Op1	Op0	
1	1	1	0	Ler o Ganho

Tabela 8 – Vetor de Ganho - 9 Bits.

Dt8	Dt7	Dt6	Dt5	Dt4	Dt3	Dt2	Dt1	Dt0
0	1	0	1	1	1	0	1	0

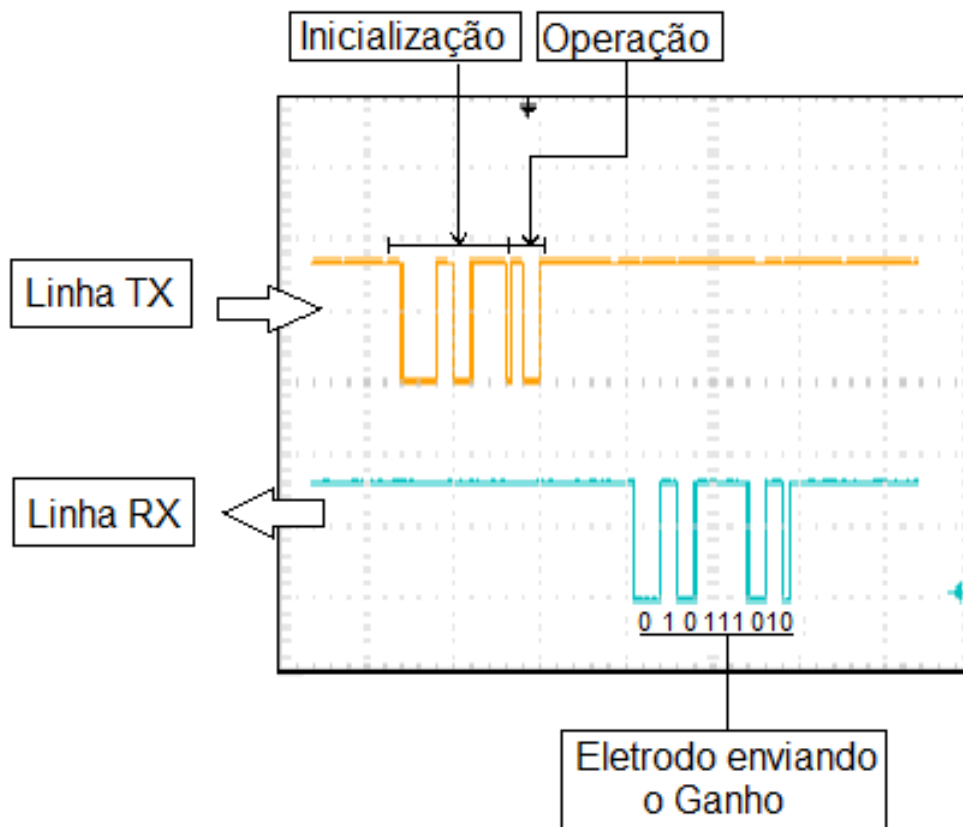


Figura 30 – Leitura do Ganho.

#### 4.3.1 Leitura de Dados de 17 bits

O objetivo deste teste é apresentar a leitura de uma amostra de EEG. A Central envia a sequência de inicialização curta, o modo de operação referente à leitura de dados e aguarda o envio do vetor pelo Eletrodo. Esta sequência é apresentada na Figura 31 onde pode-se observar os seguintes sinais: linha de transmissão (TX) e linha de recepção (RX).

Depois que a sequência de inicialização é enviada, o vetor de operação ("1010") é serializado e decodificado. O Eletrodo recebe os pacotes de dados, decodifica-os e envia a

amostra de EEG. Por fim, a Central salva a informação e disponibiliza-a para ser enviada ao computador.

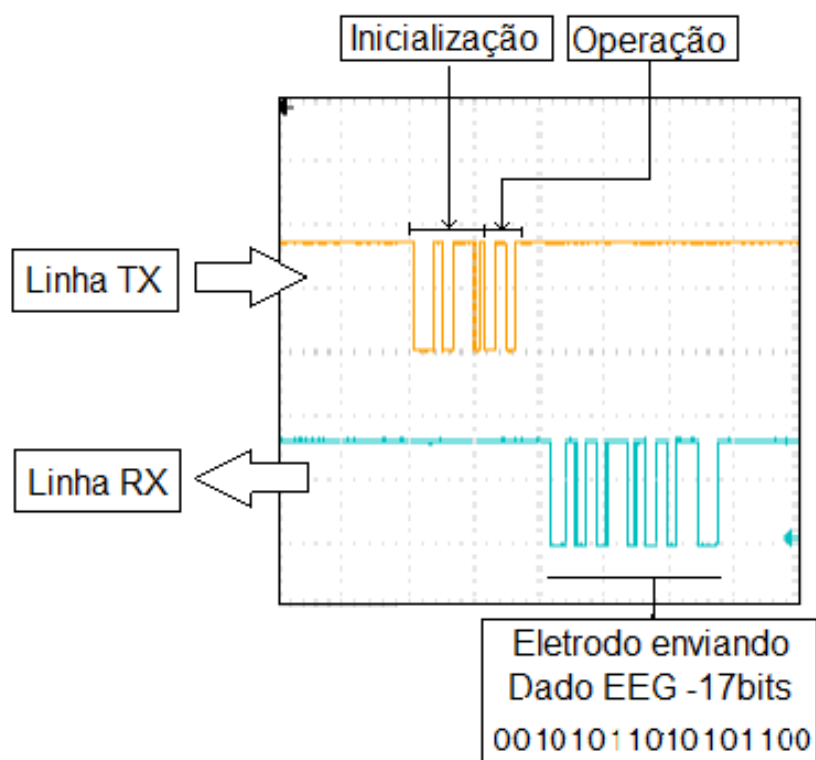


Figura 31 – Leitura do Ganho.

## 5 Conclusão

Este trabalho descreve a implementação de um protocolo bidirecional para um sistema de aquisição de sinais de EEG. A amplificação, filtragem e a conversão A/D é realizada diretamente sobre os eletrodos, de modo a minimizar o efeito das interferências eletromagnéticas. A estrutura de comunicação proposta permite adaptações dos filtros e amplificadores, assim como o armazenamento de dados relevantes para o circuito do eletrodo como o número de série. Os dados do EEG amostrados pelos eletrodos são enviados para a central que processa os dados e envia para um dispositivo de registro externo, por exemplo, um computador. As simulações e os resultados práticos validaram a estrutura de comunicação proposta atendendo assim as expectativas e necessidades do grupo de pesquisa. Além do conhecimento intelectual gerado, um artigo sobre o protocolo de comunicação (Anexo A), foi publicado no Congresso Internacional ICCDCS 2014 (*Ninth International Caribbean Conference on DEVICES, CIRCUITS and SYSTEMS*) ocorrido no México.

Como trabalhos futuros sugere-se:

- Desenvolvimento e implementação do microchip com o protocolo desenvolvido;
- Desenvolvimento do capacete com os Eletrodos digitais;
- Implementação da comunicação entre a Central e o computador utilizando um protocolo comercial, como: *ZigBee*, *Wifi*, *Bluetooth* ou a fibra óptica;
- Desenvolvimento de um *software* para a visualização dos dados no computador;
- Realização de testes em cobaias e, posteriormente, em humanos.
- Implementar o *Check Sum* (Paridade).

# Referências

- 1 BRONZINO, J. D. *"Principles of Electroencephalography" The Biomedical Engineering Handbook, Volume 1*. United States: CRC IEEE Press, 2000. ISBN 0-8493-0461-X. Citado na página 12.
- 2 R., P. C. *Introduction to EMC*. New Jersey, USA: Wiley, 1992. ISBN 978-0471755005. Citado na página 13.
- 3 B., C. S. C. *Interferência Eletromagnética em Equipamento Eletromédico Ocasionada por Telefonia Móvel Celular*. Dissertação (Mestrado) — UNICAMP, 2001. Citado na página 14.
- 4 INTERNATIONAL ELECTROTECHNICAL COMMISSION. *IEC 60601-1-2: International standard for medical electrical equipment – part 1-2: General requirements for safety – collateral standard: Electromagnetic compatibility – requirements and test*,. [S.l.], 2001. Citado na página 15.
- 5 S. GANEASN R., D. S. K. B. *Iec 60601-1-2, 2001: new emc requirements for medical equipment*. In: *8th International Conference on Electromagnetic Interference and Compatibility*. [S.l.: s.n.], 2003. p. 409–504. Citado na página 15.
- 6 AGÊNCIA NACIONAL DE VIGILÂNCIA SANITÁRIA. *NBR IEC 60601.1: Norma técnica brasileira nbr iec 60601.1: Equipamento eletromédico*. [S.l.], 1999. Citado na página 15.
- 7 DUTRA, O. de O. *Um Amplificador Neural de Baixo Ruído e Baixa Potência Utilizando uma Topologia Folded Cascode OTA com Malha de Realimentação PID e Ganho Ajustável para EEG SoC Arrays*. Dissertação (Mestrado) — Universidade Federal de Itajubá, 2011. Citado na página 17.
- 8 COLLETTA, G. D. *Uma arquitetura de conversão A/D baseada na aproximação sucessiva de sinais PWM em tecnologia CMOS*. Dissertação (Mestrado) — Universidade Federal de Itajubá, 2011. Citado na página 17.
- 9 PEDRONI, V. A. *Eletrônica Digital Moderna e VHDL*. Rio de Janeiro, RJ, Brasil: Elsevier, 2010. ISBN 978-85-352-3465-7. Citado na página 27.

# Anexos

# A Bidirectional Hub for a Programmable Gain/Filtering Data Acquisition of a Low Interference Electroencephalogram

Thiago B Onofre, Robson L Moreno, Paulo C Crepaldi, Tales C Pimenta  
Universidade Federal de Itajuba  
Itajuba, Brazil  
tales@unifei.edu.br

**Abstract**— This article presents the implementation of an Electroencephalogram – EEG system less susceptible to electromagnetic interference - EMI. The amplification, filtering and A/D conversion are placed directly over each electrode. Due to the local amplification and conversion, the system becomes more resilient to EMI and consequently the results are trustier. It was developed a central chip or hub that collects data of all electrodes and send it wireless to an external computer or a registering device. Since the amplification and filtering are adjustable, the hub also receives the amplification/filtering parameters from the computer and sends them to the circuits over the electrodes. The amplification/filtering adjustment improves the signal quality since electrode is properly adjusted. This article describes the protocol and circuitry of the bidirectional communication between the hub and the electrodes. The circuit was developed in Verilog and validated on a set of FPGAs, where one FPGA works as a hub and the others work as electrodes. The results show the system works properly. The amplification/filtering is individually adjusted, thus providing great flexibility to the system.

**Keywords**— EEG; Electroencephalogram; VHDL;

## I. INTRODUCTION

Electroencephalography – EEG is the technique used to measure human brain waveforms to be used in a wide range of applications. Physicians use EEG to diagnose illness such as epilepsy [1], sleep disorders and stress. Scientists and engineers use the EEG to create brain-computer interfaces [2-4].

The EEG reflects the brain activities by measuring the electric signals through electrodes [5]. The signals can be obtained using invasive and non-invasive electrodes [6]. In the invasive technique, the electrodes are placed between the skull and the skin and the collected data is send to a computer [7].

In the non-invasive technique, the electrodes are placed over the skin. The signals are more susceptible to electromagnetic interferences and thus any EEG will not be so reliable. As a great advantage, the patient does not need undergo any probe implant discomfort.

Nevertheless, the non-invasive technique is the most used one. The electrodes are placed over the scalp and detect signals in the range of few microvolts from the brain activities [8], [9].

The EEG is usually conducted in clinics and hospitals by using long cables connecting the electrodes to the registering device [10], [11]. Unfortunately the system is very susceptible to electromagnetic interferences since the cables, connectors and tracks work as antennas capturing any external noise. Additionally, the wiring is a discomfort for the patient and may disrupt the proper exam (as it is the case of sleep disorder). The time required to proper place the electrodes is another disadvantage.

The use of a headset or a flexible helmet containing the electrodes greatly expedites the time required to prepare the patient. It is also possible to implement a wireless system that provides great flexibility to the patients [1], [12], [13], [14]. The patient can wear the system at home, at work, driving or even sleeping without great disturbance to the daily life.

Nevertheless the systems previously describe still have cabling, connectors and tracks that can capture electromagnetic interferences, and consequently can compromise the EEG signal. We are developing a system in which the amplification, filtering and AD conversion is performed by a single integrated circuit placed directly over the electrode. By placing the integrated circuit, the interference sensing elements are eliminated or at least greatly reduced.

We are developing a system comprised of the amplification, filtering and AD conversion over each electrode. All electrodes are them placed in a flexible helmet and they are connected to a hub or center chip, also placed on the flexible helmet. The hub collects the data of all electrodes and sends it wireless to the external recording device. The system is indicated in Fig. 1.



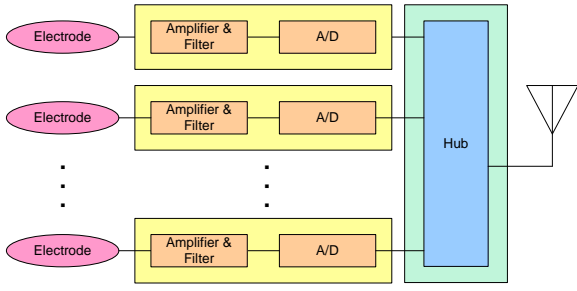


Fig. 1. Structure of electrodes and hub.

Due to factors such as age, gender, race and lifestyle, among others, the captured EEG signal can range from few to hundreds of microvolts. Therefore, by having programmable amplifiers, the gain can be adjusted to avoid saturation of the amplifiers and the A/D requires a smaller number of bits. As a consequence, the hub must be bidirectional. Data is sent from the electrodes to the external EEG registering device, and the external EEG send the programming parameters to the electrodes.

The structure of the electrode that we are implementing is presented in Fig. 2. It is comprised of a programmable gain amplifier of up to 1.5KHz [15], a programmable filter and a 12 bits AD converter [16]. The blocks have been individually tested on a ON 0.5um CMOS process.

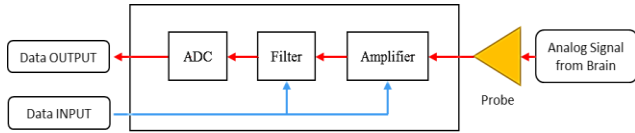


Fig. 2. Digital Electrode.

We have been developing the hub [17] to perform the interface between the set of electrodes and the external registering device. As indicated, it must be bidirectional to collect the data from the electrodes and to set the amplifier and filter programming.

Since all 32 electrodes must be connected to the hub, there is a limit on the number of wires between the hub and each electrode. Thus, we have implemented a single wire to interconnect each electrode to the hub. The single wire communication requires the specification and implementation of a custom communication protocol. The traditional communication protocols, such as SPI, I2C, 1-Wire, UART, RS232, [18 – 21] are not suitable to the application due to the voltage level requirements, power consumption or copyright.

Therefore, in this work we present the implemented custom protocol and its features, for the communication between the set of electrodes and the hub.

## II. SYSTEM REQUIREMENTS

### A. Communication Protocol

We have developed a bit oriented synchronous bidirectional communication protocol. The protocol has a distinct structure and operation depending on the type and direction of data. The generic structure is shown in Fig. 3. It is comprised of four sets of bits.

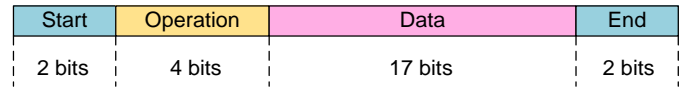


Fig. 3. Generic protocol structure.

The message has different sizes, as defined by the operation mode, given by the 4 operation bits. As an example, if the hub needs an EEG reading, it just send the blocks *Start*, *Operation* and *End*, as it will detailed later. The customization is a great advantage for the developed system since it offers flexibility.

### 1) Message Delimiters

The message delimiter blocks are *Start* and *End*. They present in all messages and not data are transmitted without them. Table I present their format, and as can be observed, all messages start and ends with 2 zeros.

TABLE I. START AND END BITS

Bits		Function	Bits		Function
S <sub>0</sub>	S <sub>1</sub>		E <sub>0</sub>	E <sub>1</sub>	
0	0	Start	0	0	End
0	1	Error	0	1	Error
1	0	Error	1	0	Error
1	1	Error	1	1	Error

Even though there are different types and sizes of data blocks, the *End* block will be always at the end of the communication package.

### 2) Operation Block

The operation block is composed of 4 bits, and therefore it is possible to implement 16 different operations. Table II lists the possible operations. The *Set Serial* is implemented only by the manufacturer (requires setting an external pin). The *Set ID* can be executed only once (self-locking).

Some operations will be presented and the unlisted combinations are reserved for future implementation.

TABLE II. OPERATION MODES

Bits				Operation
O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>	
0	0	0	0	Set Serial (manufacturer)
0	0	0	1	Set ID (once – self-locking)
0	0	1	1	Set Amplifier
0	1	1	0	Set Filter
0	1	0	1	Echo
1	0	0	1	Read Filter Setting
1	1	0	0	Read Amplifier Setting
1	0	1	0	Read EEG Data
1	1	1	0	Read ID
1	1	1	1	Read Serial

### 3) Data Block

This block carries the actual data. It is comprised of up to 17 bits, and its actual size depends on the operation carried out. It may carry:

- EEG samples,
- Amplifier settings,
- Filter settings,
- Echo,
- Electrode ID,
- Electrode serial.

The EEG samples, echo, electrode ID and electrode serial packages consist of 16 data bits and an odd parity bit. The amplifier settings and filter settings packages consist of a smaller number of bits and will be described soon.

### B. Operation Modes

The operation modes will be described. The system operates in a Master/Slave concept, where the hub is the master and the electrodes are the slaves. During the reading modes (EEG samples, echo, electrode ID and electrode serial), after the request from the hub, the electrode becomes the master temporarily.

#### 1) EEG Data Reading

The system always starts with the hub as master and the electrodes are the slaves. In order to request an EEG reading, the hub sends an 8 bits package, as shown in Fig. 4. It is in fact the package previously given in Fig. 3, without the data bits. Thus the package contains only the delimiters and the operation mode bits. The operation mode, in this case, corresponds  $O_0O_1O_2O_3=1010$ .

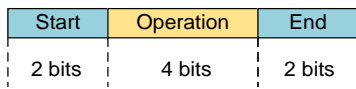


Fig. 4. Reading request.

After receiving the reading request, the electrode decodes the operation mode and becomes the master. The electrode sends the requested data, as shown in Fig. 5. It is in fact the package previously given in Fig. 3, without the operation bits.

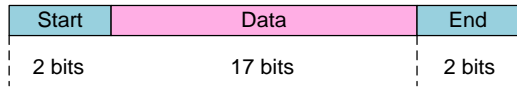


Fig. 5. Data from the electrodes.

Immediately after sending the EEG reading data, the electrode performs an AD conversion and enters the slave mode again, thus assuming standby state to save energy. The minimum time to another EEG reading is indicated in Fig. 6.

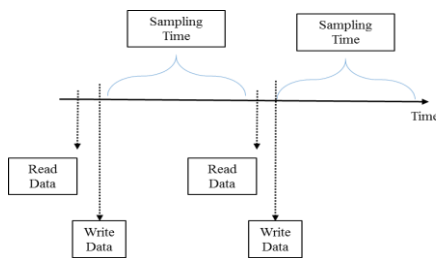


Fig. 6. Minimum time between EEG readings.

#### 2) Setting Amplifier and Filter Parameters

In order to set the amplifier and the filter parameters, the hub sends a 17 bits package, as shown in Fig. 7. The operation mode for setting of amplifier and the filter are given by  $O_0O_1O_2O_3=0011$  and  $O_0O_1O_2O_3=0110$ , respectively.

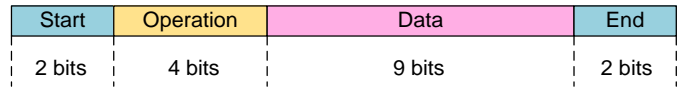


Fig. 7. Setting amplifier and filter.

After receiving the package, the electrode decodes the operation mode and stores the amplifier or filter parameters in its specific register. After that moment, the filter and amplifier will have their operation given by the received parameters.

#### 3) Reading Amplifier and Filter Parameters

The reading of amplifier or filter parameters allows the verification of their parameters, and the operation is similar to EEG data reading. The operation mode for reading the amplifier and the filter are given by  $O_0O_1O_2O_3=1100$  and  $O_0O_1O_2O_3=1001$ , respectively.

The package sent by the hub is shown in Fig. 4. After receiving the reading request, the electrode decodes the operation mode and becomes the master. The electrode sends the amplifier or filter parameters, as shown in Fig. 8. It is in fact the package previously given in Fig. 3, without the operation bits.

Immediately after sending the amplifier or filter parameters, the electrode enters the slave mode to thus assume the standby state to save energy.

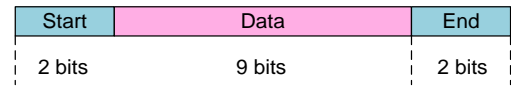


Fig. 8. Setting amplifier and filter.

#### 4) Set Serial and ID

The set serial and ID operations are performed to store important and permanent data into each electrode. The set serial is performed only during the electrode manufacturing process and requires the operation mode  $O_0O_1O_2O_3=0000$  as well as setting a specific pin to VCC during the process. The process is self-locking, meaning that once information is stored in the specific register, it blocks itself against any change or new storing. This operation is used to store the electrode serial number.

The set ID is similar to set serial, but it does not require setting any pin to VCC, nevertheless it is also self-locking. Its operation mode is given by  $O_0O_1O_2O_3=0001$ . This operation is used to store important information such as electrode position, name of clinic, hospital, patient, physician or any other data.

The message structure for the set serial and ID operations are given by Fig. 3.

#### 5) Reading Serial and ID

The readings of electrode serial or ID parameters are used to verify the electrode identification, and they are similar to EEG data reading. The operation mode for serial or ID reading are given by  $O_0O_1O_2O_3=1111$  and  $O_0O_1O_2O_3=1110$ , respectively.

The package sent by the hub is shown in Fig. 4. After receiving the reading request, the electrode decodes the

operation mode and becomes the master. The electrode sends the serial or ID parameters, as shown in Fig. 5.

Immediately after sending the serial or ID parameters, the electrode enters the slave mode to thus assumes the standby state to save energy.

#### 6) Echo Operations

The echo operations are used to quickly verify the bidirectional link between the hub and the electrodes is given by  $O_0O_1O_2O_3=0101$ .

The package sent by the hub is shown in Fig. 3, where the Data field is filled with a random value. After receiving the package, the electrode decodes the operation mode and becomes the master. The electrode sends back the complement of the random data received, and the message structure is presented in Fig. 5. Immediately after sending the echo, the electrode enters the slave mode to thus assumes the standby state to save energy.

### III. CONCLUSIONS

This paper described the implementation of a bidirectional hub of an EEG signal acquisition system. The amplification, filtering and AD conversion is placed directly over the electrodes in order to minimize electromagnetic interferences. The proposed communication structure allows adjustments to the filters and amplifiers as well as storing relevant data to the electrode circuitry such as ID and serial numbers. The EEG acquired data is sent to the hub that processes the data of all electrodes and sends to an external registering device by wireless link. The simulations validated the proposed communication structure.

### IV. ACKNOWLEDGMENT

This work was partially supported by CAPES, CNPq and FAPEMIG.

### REFERENCES

- [1] Modarreszadeh, M.; Schmidt, R.N., "Wireless, 32-channel, EEG and epilepsy monitoring system," Engineering in Medicine and Biology Society, 1997. Proceedings of the 19th Annual International Conference of the IEEE , vol.3, no., pp.1157,1160 vol.3, 30 Oct-2 Nov 1997
- [2] Schalk, G.; McFarland, D.J.; Hinterberger, T.; Birbaumer, N.; Wolpaw, J.R., "BCI2000: a general-purpose brain-computer interface (BCI) system," Biomedical Engineering, IEEE Transactions on , vol.51, no.6, pp.1034,1043, June 2004
- [3] Shih-Chung Chen; Shih-Chang Hsieh; Chih-Kuo Liang, "An Intelligent Brain Computer Interface of Visual Evoked Potential EEG," Intelligent Systems Design and Applications, 2008. ISDA '08. Eighth International Conference on , vol.1, no., pp.343,346, 26-28 Nov. 2008
- [4] Funase, A.; Yagi, T.; Barros, A.K.; Cichocki, A.; Takumi, I., "Single trial method for Brain-Computer Interface," Engineering in Medicine and Biology Society, 2006. EMBS '06. 28th Annual International Conference of the IEEE , vol., no., pp.5277,5281, Aug. 30 2006-Sept. 3 2006
- [5] Nawrocka, A.; Kot, A., "Methods for EEG signal analysis," Carpathian Control Conference (ICCC), 2011 12th International , vol., no., pp.266,269, 25-28 May 2011
- [6] J. D. Bronzino "Principles of Electroencephalography" The Biomedical Engineering Handbook, Volume 1, Second Edition, CRC & IEEE Press, United States, 2000.
- [7] Ji, J.; Wise, K.D., "An implantable CMOS circuit interface for multiplexed microelectrode recording arrays," Solid-State Circuits, IEEE Journal of , vol.27, no.3, pp.433,443, Mar 1992.
- [8] Geng Yang; Jia Mao; Tenhunen, H.; Li-Rong Zheng, "Design of a self-organized Intelligent Electrode for synchronous measurement of multiple bio-signals in a wearable healthcare monitoring system," Applied Sciences in Biomedical and Communication Technologies (ISABEL), 2010 3rd International Symposium on , vol., no., pp.1.5, 7-10 Nov. 2010
- [9] Boqiang Liu; Yanyan Zhang; Zhongguo Liu; Cong Yin, "An embedded EEG analyzing system based on  $\mu$ C/os-II," Engineering in Medicine and Biology Society, 2007. EMBS 2007. 29th Annual International Conference of the IEEE , vol., no., pp.2468,2471, 22-26 Aug. 2007
- [10] Casson, A.J.; Yates, D.; Smith, S.; Duncan, J.S.; Rodriguez-Villegas, E., "Wearable Electroencephalography," Engineering in Medicine and Biology Magazine, IEEE , vol.29, no.3, pp.44,56, May-June 2010
- [11] Deutsch, Sid, "Fifteen-Electrode Time-Multiplex EEG Telemetry from Ambulatory Patients," Biomedical Engineering, IEEE Transactions on , vol.BME-26, no.3, pp.153,159, March 1979
- [12] Saadi, H.; Ferroukhi, M.; Attari, M., "Development of wireless high immunity EEG recording system," Electronic Devices, Systems and Applications (ICEDSA), 2011 International Conference on , vol., no., pp.120,124, 25-27 April 2011
- [13] Brown, L.; van de Molengraft, J.; Yazicioglu, R.F.; Torfs, T.; Penders, J.; Van Hoof, C., "A low-power, wireless, 8-channel EEG monitoring headset," Engineering in Medicine and Biology Society (EMBC), 2010 Annual International Conference of the IEEE , vol., no., pp.4197,4200, Aug. 31 2010-Sept. 4 2010
- [14] Kalpakam, N. V.; Venkataramanan, S., "EEG signal processing for modern wireless patient monitoring," Bioengineering Conference, 2005. Proceedings of the IEEE 31st Annual Northeast , vol., no., pp.67,68, 2-3 April 2005
- [15] Dutra, O.O.; Pimenta, T.C., "Low power low noise bio-amplifier with adjustable gain for digital bio-signals acquisition systems," Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on , vol., no., pp.1.4, Feb. 27 2013-March 1 2013.
- [16] Colletta, G.D.; Ferreira, L.H.C.; Pimenta, T.C.; Crepaldi, P.C., "A Successive Approximation A/D Converter Using a PWM Modulator DAC," Electronics, Robotics and Automotive Mechanics Conference (CERMA), 2012 IEEE Ninth , vol., no., pp.333,337, 19-23 Nov. 2012.
- [17] Oudjida, A. K.; Berrandjia, M. L.; Tiar, R.; Liacha, A.; Tahraoui, K., "FPGA implementation of I2C & SPI protocols: A comparative study," Electronics, Circuits, and Systems, 2009. ICECS 2009. 16th IEEE International Conference on , vol., no., pp.507,510, 13-16 Dec. 2009
- [18] Santos, A.A.; Dias, E.; Cardoso, F.C. ; Pimenta, T.C., "Digital Multiplexer of an EEG Signal Acquisition System," XVIII International IBERCHIP Workshop, Mexico, February 29-March 2, 2012.
- [19] Yu Gui, "1-Wire search algorithm and its application," Computer Distributed Control and Intelligent Environmental Monitoring (CDCIEM), 2012 International Conference on , vol., no., pp.1.3, 5-6 March 2012
- [20] Vijaya, V.; Valupadasu, R.; Chunduri, B.R.; Rekha, C.K.; Sreedevi, B., "FPGA implementation of RS232 to Universal serial bus converter," Computers & Informatics (ISCI), 2011 IEEE Symposium on , vol., no., pp.237,242, 20-23 March 2011
- [21] JIANG Ning FAN Duo-wang "The Design of UART(Universal Asynchronous Receiver Transmitter) based on FPGA/CPLD" (2006-01).
- [22] Mollazadeh, M.; Murari, K.; Cauwenberghs, G.; Thakor, N., "Micropower CMOS Integrated Low-Noise Amplification, Filtering, and Digitization of Multimodal Neuropotentials," Biomedical Circuits and Systems, IEEE Transactions on , vol.3, no.1, pp.1,10, Feb. 2009