

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Um retificador ativo CMOS de baixa
potência para aplicações biomédicas
implantadas.

João Ricardo de Castilho Louzada

Itajubá, Fevereiro de 2017

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

João Ricardo de Castilho Louzada

Um retificador ativo CMOS de baixa
potência para aplicações biomédicas
implantadas.

Dissertação submetida ao Programa de Pós-
Graduação em Engenharia Elétrica como parte
dos requisitos para obtenção do Título de Mestre em
Ciências em Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Robson Luiz Moreno
Coorientador: Leonardo B. Zoccal

Fevereiro de 2017
Itajubá - MG

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Um retificador ativo CMOS de baixa
potência para aplicações biomédicas
implantadas.

João Ricardo de Castilho Louzada

Dissertação aprovada por banca examinadora em
17 de fevereiro de 2017, conferindo ao autor o
título de **Mestre em Ciências em Engenharia
Elétrica.**

Banca Examinadora:

Prof. Dr. Robson Luiz Moreno
Prof. Dr. Leonardo Breseghello Zoccal
Prof. Dr. Leonardo Mesquita
Prof. Dr. Gustavo Colletta

Itajubá
2017

"O homem inteligente reflete sobre as palavras dos sábios e, com ouvido atento, deseja sabedoria."

(Eclo 3, 31)

Agradecimentos

Agradecimentos.

Quero agradecer aos professores Prof. Gustavo Colletta e Prof. Odilon Dutra pelas incontáveis ajudas com *layout*, simulações, medições e dúvidas tiradas durante todo o desenvolvimento deste trabalho.

Ao Prof. Tales Pimenta meu muito obrigado pelo apoio com nosso artigo que provavelmente não teria sido apresentado sem sua ajuda.

Agradeço a CAPES que através da disponibilidade de bolsas de mestrado viabilizou financeiramente este trabalho. Agradeço também a MOSIS que por meio de seu programa educacional MOSIS (MEP) viabilizou a fabricação do retificador descrito neste trabalho durante a fase de estudos.

Aos meus orientadores Prof. Robson Moreno e Prof. Leonardo Zoccal não tenho como ser mais grato por me conduzirem durante todo esse tempo, pelas infinitas reuniões, ajuda, e e-mails respondidos. Muitíssimo Obrigado!

Por fim, agradeço aos meus pais, José Louzada e Adalice Louzada, não só pelo apoio durante o tempo dessa pós-graduação, mas por toda a vida que me deram e me permitiram ter.

Muito obrigado a todos.

Resumo

Este trabalho apresenta o desenvolvimento de um retificador ativo CMOS de baixa potência projetado para fornecer alimentação elétrica a circuitos biomédicos que estejam implantados. Apesar do retificador poder ser facilmente aplicado em outras finalidades, todos os detalhes do projeto como tipo de enlace eletromagnético, tipo de retificador e frequência de operação foram pensados para aplicações implantadas. O retificador ativo utiliza comparadores que aceleram o chaveamento dos transistores do retificador e reduzem assim as perdas causadas pela corrente reversa originada pela baixa velocidade de chaveamento dos transistores MOS conectados como diodos. O tipo de comparador proposto e utilizado nesta aplicação foi resultado do estudo feito com outros comparadores já empregados em aplicações semelhantes. Desenvolvido em processo Digital IBM 130-nm e projetado para operar na frequência de 13,56MHz, todo o projeto apresentou rendimento acima da média encontrada em publicações atuais. A eficiência PCE máxima é de 92% e o retificador consegue entregar uma tensão de saída de 1,233V para uma tensão de entrada de 1,3V.

Palavras Chaves: Retificador, Retificador Ativo, Comparador, PCE.

Abstract

This work presents a development of a low power CMOS active rectifier designed to supply implanted biomedical circuits. Despite the rectifier can be used in another application with others goals, all the details like electromagnetic link, kind of rectifier type and operational frequency were designed for implanted applications. The active rectifier make use of comparators to speed up the ON-OFF switch of the rectifier's transistors and decreases the loss caused by the reverse current originated from the low switch speed of the MOS transistors connected as diodes. The proposed rectifier is a result of the study among others comparators already used in similar applications. Developed in IBM 130-nm process and designed to work at 13,56MHz, the project showed to be more efficient than the average yield found in current publications. The maximum PCE efficiency is 92% and the rectifier can delivery an output voltage of 1.233V from an 1.3V input voltage.

Key-words: Rectifier, Active Rectifier, Comparator, PCE.

Lista de ilustrações

Figura 1 – Esquemático do sistema de captação de energia RF e conversão para DC.	19
Figura 2 – Esquema de funcionamento de um dispositivo TEG.	21
Figura 3 – Regiões de Fresnel e Fraunhofer em uma antena radiante.	22
Figura 4 – Circuito equivalente de um sistema RFID utilizando acoplamento indutivo.	22
Figura 5 – Diagrama conceitual de um link de potencia capacitivo implantado. . .	24
Figura 6 – Consumo de potência de implantes vs velocidade de transmissão de dados relatados em trabalhos prévios.	30
Figura 7 – Tradicional retificador de onda completa construído com ponte de diodos.	32
Figura 8 – Transistores CMOS conectados para trabalhar como diodos. (a) NMOS, (b) PMOS.	33
Figura 9 – Circuitos esquemáticos de funcionamento dos transistores NMOS (a) e PMOS (b).	34
Figura 10 – Esquema de retificador em ponte utilizando transistores CMOS como diodos.	35
Figura 11 – Retificador com cancelamento de V_{th} por fonte externa.	36
Figura 12 – Retificador com auto cancelamento de V_{th}	37
Figura 13 – Esquema de retificador Cross-Coupled.	38
Figura 14 – Esquemático de um único estágio do multiplicador de tensão Dickson Charge Pump.	38
Figura 15 – Forma de onda do funcionamento de um retificador Cross-Coupled com destaque para a corrente reversa.	40
Figura 16 – Esquema de retificador ativo utilizando comparadores.	40
Figura 17 – (a) Retificador 1X/2X Reconfigurável, (b) Modo 1X, (c) Modo 2X. . .	42
Figura 18 – Comparador <i>Two-input Common-gate</i>	44
Figura 19 – Esquemático de funcionamento do comparador <i>Two-input Common-gate</i>	44
Figura 20 – Comparador apresentado em (33)	45
Figura 21 – Forma de onda de um retificador com comparadores. (a) designação das curvas, (b) destaque para atrasos e corrente reversa.	46
Figura 22 – Comparador Proposto	47
Figura 23 – Forma de onda do comparador com destaque para a protuberância do sinal do divisor de tensão.	48
Figura 24 – Comparação de formas de onda utilizando (a) capacitor C1 de valor adequado, (b) capacitor C1 de valor acima do ponto ótimo.	51
Figura 25 – Inclinação nas curvas V_{ds} x I_d devido ao estreitamento do canal. . . .	53

Figura 26 – Gráfico de V_{gs} vs \sqrt{Id} para o transistor NMOS acompanhado de reta de referência para comparação com a curva.	54
Figura 27 – Circuitos de polarização e caracterização do transistor NMOS (esquerda) e PMOS (direita).	54
Figura 28 – Curva de correntes de caracterização dos transistores PMOS e NMOS.	55
Figura 29 – Esquemático do circuito de polarização de corpo dinâmica.	56
Figura 30 – Comparador proposto com destaque para as quatro partes: (A) Inversor, (B) divisor de tensão principal, (C) divisor de tensão auxiliar, (D) capacitor.	58
Figura 31 – Divisor de tensão.	59
Figura 32 – Divisor de tensão com fuga de corrente simbolizada pela resistência R3.	60
Figura 33 – Forma de onda da corrente do retificador. (a) Corrente reversa de início de ciclo, (b) corrente reversa de final de ciclo.	62
Figura 34 – Forma de onda da corrente do retificador e sinal de tensão da saída do comparador. (a) Corrente reversa de início de ciclo	62
Figura 35 – Circuito completo do Retificador utilizando dois comparadores propostos.	63
Figura 36 – Circuito do Retificador sem os comparadores.	64
Figura 37 – Circuito completo Comparador 1.	65
Figura 38 – Circuito completo Comparador 2.	66
Figura 39 – Sinal de saída do comparador proposto.	67
Figura 40 – Sinal de saída do comparador proposto com janela de tempo maior.	68
Figura 41 – Sinais internos dos divisores de tensão principal e auxiliar.	69
Figura 42 – Formas de onda de operação do retificador projetado.	70
Figura 43 – Curva de tensão de entrada por PCE.	70
Figura 44 – Curva de tensão nominal de entrada por tensão de saída do retificador.	71
Figura 45 – Sinal de saída do comparador com comparador auxiliar.	72
Figura 46 – Forma de onda da saída do retificador utilizando comparador com comparador auxiliar.	72
Figura 47 – Chip fabricado pelo convênio MOSIS contendo o comparador com comparador auxiliar.	73
Figura 48 – Teste de bancada do comparador com frequência de 16KHz.	74
Figura 49 – Teste de bancada do comparador com frequência de 195KHz.	75
Figura 50 – Teste de bancada do comparador com frequência de 1MHz.	75
Figura 51 – Teste de bancada do comparador com frequência de 13.56MHz.	76
Figura 52 – Simulação do chip real do comparador fabricado para frequência de 16KHz com capacitor de carga na saída do comparador.	76
Figura 53 – Simulação do chip real do comparador fabricado para frequência de 195KHz com capacitor de carga na saída do comparador.	77

Figura 54 – Simulação do chip real do comparador fabricado para frequência de 1MHz com capacitor de carga na saída do comparador.	77
Figura 55 – Forma de onda do retificador fabricado (499,5KHz).	78
Figura 56 – Circuito de Retificador utilizado no desenvolvimento do <i>Layout</i>	88
Figura 57 – (Esquerda) <i>Layout</i> completo do retificador, (Direita) <i>Layout</i> do Retificador com destaques de referência: A - Comparador, B - Transistor PMOS, C - Transistor NMOS, D - Circuito de polarização de corpo dinâmica, E - Conexão dos transistores do retificador e F - Conector externo GND, G - Conector externo IN+ (Sinal AC), H - Conector externo VDC.	89
Figura 58 – Retificador.	91
Figura 59 – Comparador acompanhado de comparador auxiliar.	92

Lista de tabelas

Tabela 1 – Menor sinal de operação.	25
Tabela 2 – Profundidade da penetração de sinais de RF em tecidos e músculos. . .	27
Tabela 3 – Quantidade de radiação eletromagnética segura a exposição humana. .	29
Tabela 4 – Diferença entre funcionamento dos transistores PMOS e NMOS.	34
Tabela 5 – Atraso percentual de operação do comparador de acordo com a frequên- cia.	78
Tabela 6 – Comparação com outros trabalhos.	79

Lista de abreviaturas e siglas

PCE	Eficiência na Conversão de Potência (<i>Power Conversion Efficiency</i>)
FCC	Comissão de Comunicação dos Estados Unidos (<i>Federal Communications Commission</i>)
ANATEL	Agência Nacional de Telecomunicações
ETSI	Instituto de Telecomunicações da Europa (<i>European Telecommunications Standards Institute</i>)
EIRP	Equivalente Isotrópico de Potência de Radiação (<i>Equivalent isotropically radiated power</i>)
CMOS	Semicondutor de Metal-Óxido Complementar (<i>Complementary Metal Oxide Semiconductor</i>)
RF	Rádio Frequência (<i>Radio-Frequency</i>)
EVC	Cancelamento Externo de Vth (<i>External-Vth-cancellation</i>)
SVC	Auto Cancelamento de Vth (<i>Self-Vth-cancellation</i>)
RFID	Identificação por Rádio Frequência (<i>Radio-Frequency IDentification</i>)
UHF	Ultra Alta Frequência (<i>Ultra High Frequency</i>)
ISM	Banda Industrial, Científica e Médica (<i>Industrial, Scientific and Medical Radio Bands</i>)
MICS	Serviço de Rádio de Comunicação de Dispositivos Médicos (<i>Medical Device Radiocommunications Service</i>)
SAR	Taxa de Absorção Específica (<i>Specific Absorption Rate</i>)
RMS	Valor Eficaz (<i>Root Mean Square</i>)
IEEE	Instituto de Engenheiros Eletricistas e Eletrônicos (<i>Institute of Electrical and Electronics Engineers</i>)
FET	Transistor de Efeito de Campo (<i>Field Effect Transistor</i>)
TEG	Gerador Termoelétrico (<i>Thermoelectric Generator</i>)
TEM	Módulo Termoelétrico (<i>Thermoelectric Module</i>)

Lista de símbolos

L	Comprimento de Canal
W	Largura de Canal
V_{DS}	Tensão entre Dreno e Fonte
V_{GS}	Tensão entre <i>Gate</i> e Fonte
V_{Th}	Tensão de Limiar
η	Eficiência Parcial
τ	Constante de Tempo de Carga do Capacitor

Sumário

1	INTRODUÇÃO	16
1.1	Justificativas	16
1.2	Objetivos	17
1.3	Organização do trabalho	17
2	REVISÃO TEÓRICA	19
2.1	Métodos de Transferência de Energia	19
2.1.1	Ondas de Ultrassom	20
2.1.2	Método Térmico	20
2.1.3	Eletromagnetismo	21
2.1.3.1	Acoplamento Indutivo	22
2.1.3.2	Acoplamento Capacitivo	23
2.1.3.3	Radiofrequência - Campo Distante	24
2.2	Frequências de Operação	26
2.2.1	EIRP da banda MICS	27
2.3	Níveis de Radiação Eletromagnética Considerados Seguros	28
2.3.1	Threshold e Mínimo Sinal Necessário	29
2.3.2	Potência Requerida por Circuitos Implantados	29
2.3.3	Eficiência	30
2.4	Especificação do Sistema	31
3	RETIFICADORES	32
3.1	Tipos de Diodo (PN, Schottky e MOS)	32
3.2	Funcionamento transistores MOS	33
3.3	Tipos de Retificadores	35
3.3.1	Retificadores Passivos	35
3.3.1.1	<i>External-Vth-cancellation (EVC)</i>	36
3.3.1.2	<i>Self-Vth-cancellation (SVC)</i>	36
3.3.1.3	<i>Retificador Cross-Coupled</i>	37
3.3.1.4	<i>Dickson Charge Pump</i>	37
3.3.2	Retificadores Ativos	39
3.3.2.1	Retificador Ativo com Comparadores	39
3.3.2.2	Retificador 1X/2X Reconfigurável	41
4	COMPARADORES	43
4.1	Comparador <i>Two-input Common-gate</i>	43

4.2	Comparador Principal Acompanhado de Comparador Auxiliar.	44
4.3	Comparador Proposto	47
5	PROJETO DO RETIFICADOR	52
5.1	Análise Preliminar e Topologia Escolhida	52
5.2	Caracterização dos Transistores	53
5.3	Polarização de Corpo Dinâmica	55
5.4	Dimensionamento dos Transistores do Retificador	56
5.5	Dimensionamento dos Transistores do Comparador Proposto	57
6	SIMULAÇÕES E RESULTADOS	67
6.1	Simulação do Comparador Proposto	67
6.2	Simulação do Retificador Projetado utilizando o comparador proposto.	69
6.3	Simulação do Retificador utilizando Comparador Com Comparador Auxiliar	71
6.4	Testes Em Bancada do Comparador Com Comparador Auxiliar	73
6.5	Discussão dos Resultados	79
7	CONCLUSÃO	81
7.1	Conclusão	81
7.2	Trabalhos Futuros	81
	REFERÊNCIAS	82
	APÊNDICES	86
	APÊNDICE A – ARTIGO PUBLICADO EM CONGRESSO	87
	APÊNDICE B – LAYOUT RETIFICADOR PROPOSTO	88
	APÊNDICE C – LAYOUT RETIFICADOR UTILIZANDO COM- PARADOR PRINCIPAL ACOMPANHADO DE COM- PARADOR AUXILIAR	90

1 Introdução

Segundo Xin (1), o conceito de transferência de energia sem fio foi proposto primeiramente por Tesla (2). Durante o século XX algumas experiências que tentavam transferir grandes quantidades de energia utilizando lasers e micro-ondas foram realizadas mas foi com o advento da identificação por radiofrequência (RFID, *Radio-Frequency Identification*) que a transferência de energia sem fio se tornou popular.

Paralelamente a este desenvolvimento, dispositivos médicos implantáveis como marca passo, sensores de glicose, pressão e temperatura foram desenvolvidos. A utilização de baterias para alimentar estes dispositivos gera o incomodo de ter que realizar cirurgias para a substituição ou utilizar fios de alimentação transcutâneos que expõe o indivíduo tanto a infecções como a desconforto (3).

Devido aos problemas descritos anteriormente formas de transferir energia sem fios para implantes médicos são alternativas interessantes, por permitir uma vida útil mais longa para implantes, reduzir o risco de infecções e proporcionar uma melhor qualidade de vida.

1.1 Justificativas

A utilização de conversores de energia em radiofrequência para energia em corrente contínua permite que diversos dispositivos, entre eles implantes biomédicos, trabalhem sem a presença de uma bateria. Para o caso dos dispositivos médicos implantados o aumento da eficiência na conversão desta energia permite que estes dispositivos sejam menores, causando menos desconforto ao paciente e proporcionando facilidade na implantação, permitindo que aplicações mais sofisticadas, que consomem mais energia, sejam desenvolvidas e possibilitando em alguns casos que a fonte de energia externa esteja um pouco mais afastada do paciente.

O desenvolvimento de uma nova proposta de retificador, destinado ao uso em implantes médicos, permite a incorporação de novas tecnologias CMOS ainda não reportadas na literatura dentro deste contexto. Estas abordagens, aliadas a um novo projeto de circuito, criam um retificador com ótima eficiência PCE e maior simplicidade em relação a outros circuitos.

1.2 Objetivos

O objetivo deste trabalho é o desenvolvimento de uma alternativa de retificador para a conversão de sinais de radiofrequência em sinal de tensão contínua. Este retificador alimentará implantes médicos que não estejam implantados em profundidades maiores que 4mm em relação a superfície da pele, ou seja, o limite da última camada da pele, a derme (4).

Pensando nesse contexto é muito interessante que o retificador final tenha a máxima eficiência de conversão de energia PCE possível, trabalhe dentro de uma frequência adequada, cumpra os critérios de segurança e que esteja de acordo com as legislações do Brasil e outros países. Além disso, seja simples para facilitar a integração em projetos de implantes biomédicos, ocupando uma pequena área de silício.

1.3 Organização do trabalho

Esse trabalho se distribui ao longo de seis capítulos. O capítulo 2 faz uma revisão teórica a respeito de alguns métodos de transferência de energia que já foram utilizados para alimentar implantes biomédicos. Discute as diferentes bandas de frequência que estão disponíveis para trabalho no contexto desta dissertação e as dificuldades e benefícios dessas bandas. Mostra também sobre como considerar se determinado nível de sinal eletromagnético é ou não seguro à exposição humana. Por fim, discuti sobre eficiência e mínimo sinal necessário para o funcionamento deste tipo de aplicação.

O capítulo 3 foca nas principais técnicas de retificadores presentes na literatura. Inicia com uma análise de qual tipo de diodo é mais adequado para um retificador fabricado em tecnologia CMOS. Faz uma rápida consideração sobre o funcionamento dos transistores MOS e a diferença na utilização dos transistores PMOS e NMOS, discutindo os principais pontos dos retificadores passivos e dos retificadores ativos.

O capítulo 4 aborda os comparadores utilizados nos retificadores ativos. Faz uma explicação a respeito do funcionamento do comparador *Two-input Common-gate*, do Comparador Principal Acompanhado de Comparador Auxiliar e do Comparador Proposto neste trabalho.

No capítulo 5 é feita a análise preliminar sobre o escopo deste trabalho. É realizada a caracterização dos transistores FET da tecnologia IBM 130nm que foi utilizada na implementação dos circuitos, a descrição de projeto e o dimensionamento dos elementos do retificador e Comparador Proposto.

O capítulo 6 apresenta as simulações dos circuitos projetados e faz a análise dos resultados obtidos. Neste capítulo, além das simulações e análises a respeito do retificador e Comparador Proposto também são realizadas simulações do Comparador Principal

Acompanhado de Comparador Auxiliar que foi fabricado pelo convênio MOSIS e serviu de matéria de estudo sobre o comportamento de comparadores e retificadores ativos na fase anterior a da elaboração do Comparador Proposto.

Na conclusão são retomados os principais pontos e também são discutidos possíveis trabalhos futuros.

2 Revisão Teórica

Sistemas de captação de energia por RF podem utilizar campos distantes ou próximos. Independente do tipo de campo utilizado, a maior parte dos blocos que compõem o sistema de captação de energia serão os mesmos.

Exemplificado pela figura 1, o bloco de captação de sinal depende do tipo de sinal, do tipo de antena e principalmente da frequência de trabalho. Contudo, os blocos de retificação e do regulador do sinal, mesmo podendo ser mais otimizados para uma função ou outra, em geral podem ser os mesmos.

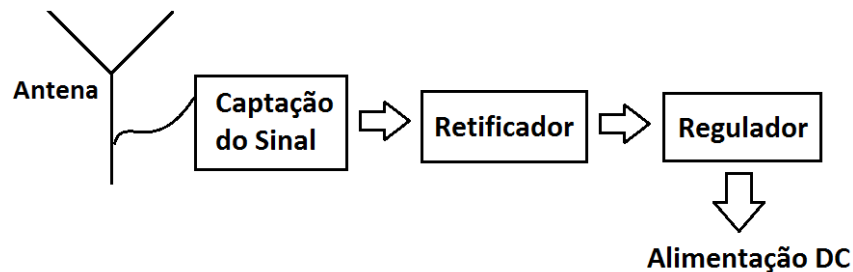


Figura 1 – Esquemático do sistema de captação de energia RF e conversão para DC.

O foco deste trabalho é o retificador implementado para circuitos envolvendo captação de energia de RF. Contudo, inicialmente serão comentadas diferentes formas de captação de energia e posteriormente serão feitas considerações sobre frequências de operação, potência de irradiação, níveis de radiação considerados seguros, mínimo sinal de RF necessário, potência consumida por circuitos implantados e eficiência de conversão de energia.

2.1 Métodos de Transferência de Energia

Apesar dos métodos de transferência de energia permitirem que baterias recarregáveis sejam mantidas implantadas junto com dispositivos médicos, estas possuem um limitado ciclo de carga e descarga (3), podem vazar, e cedo ou tarde devem ser substituídas. Este problema de limitado número de ciclos de cargas/descargas e o considerável aumento de tamanho do implante que contém uma bateria faz com que opções de alimentação totalmente independente de baterias sejam muito mais interessantes por permitirem um tempo de vida quase indefinido para os dispositivos médicos implantados.

Serão discutidos agora possíveis métodos de transferência de energia sem a utilização de baterias, esses métodos são ondas de ultrassom, método térmico e eletromag-

netismo. O método eletromagnético se divide em três vertentes: Acoplamento indutivo, acoplamento capacitivo e radiofrequência de campo distante

2.1.1 Ondas de Ultrassom

Muito conhecido devido ao exame comumente realizado durante a gravidez o ultrassom é uma onda mecânica que tem sido utilizada para propósitos médicos desde 1960 (3). Com frequência que varia entre 2MHz e 18MHz o ultrassom sofre menor atenuação ao atravessar tecidos da pele do que ondas eletromagnéticas e pode ser utilizado como fonte de energia para implantes médicos (3). Para converter a energia mecânica das ondas sonoras em energia elétrica é utilizado um dispositivo piezoelétrico que converte energia mecânica em elétrica ou elétrica em mecânica (5). A transferência de potência utilizando ultrassom deve ser limitada a no máximo algumas centenas de mW/cm^2 pois a exposição à ondas de ultrassom de frequências muito elevadas, e durante muito tempo, pode provocar danos ao tecido (3).

2.1.2 Método Térmico

Em 1821 Thomas Johann Seebeck descobriu que um circuito feito por dois tipos de materiais diferentes, com junções em temperaturas diferentes fazia com que a agulha de uma bússola se mexesse (6). Esse efeito, que foi mais tarde nomeado como Efeito Seebeck em homenagem a Thomas Johann Seebeck, consiste na geração de uma pequena corrente elétrica entre dois terminais de um dispositivo que está exposto à diferentes temperaturas em suas faces.

Para gerar energia elétrica através de fonte térmica dentro do corpo humano, ou de outro animal, é utilizado o gradiente de temperatura existente entre o corpo e o ambiente externo. O dispositivo responsável por isso é o *Thermoelectric Module - TEM*, Módulo termoelétrico. O TEM é um conversor de energia em estado sólido que a princípio pode resfriar, aquecer ou gerar energia elétrica (7). Quando este dispositivo é utilizado para gerar energia ele é conhecido como *Thermoelectric Generator - TEG*, Gerador Termoelétrico (7).

Como exemplificado pela figura 2, um dispositivo TEG tradicional consiste de duas placas de cerâmicas com dois ou mais dispositivos semicondutores internos conectados eletricamente em série e termicamente em paralelo (8). A energia térmica que atravessa o dispositivo indo da fonte quente para a fonte fria gera uma pequena diferença de potencial entre as extremidades elétricas através do efeito Seebeck.

A principal desvantagem da utilização de TEGs como fonte de alimentação é que em geral a diferença de potencial gerada é muito pequena. Essa diferença depende do gradiente de temperatura e do tamanho do dispositivo mas para um caso típico são gerados

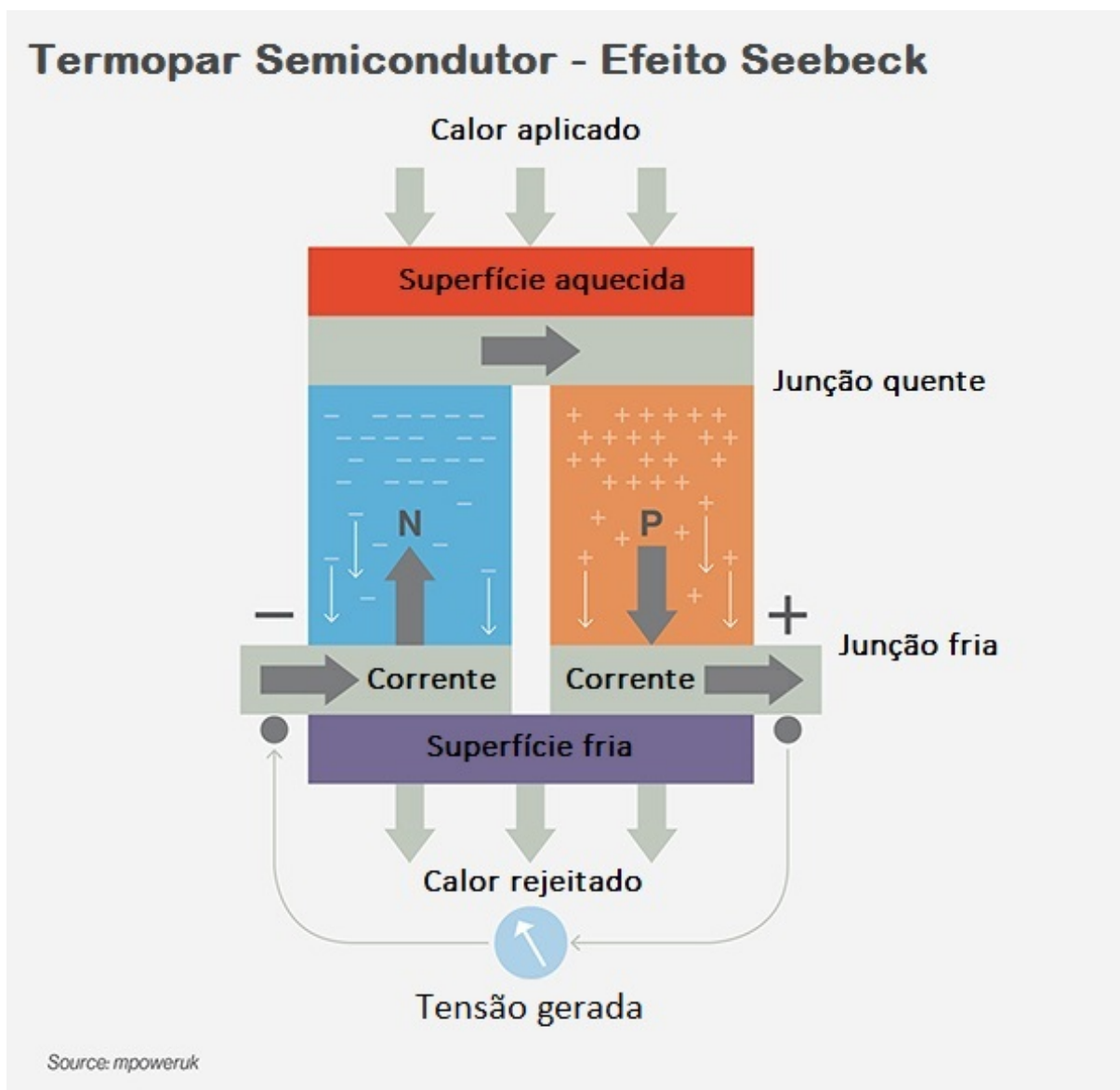


Figura 2 – Esquema de funcionamento de um dispositivo TEG. Imagem traduzida de (9).

entre 20mV e 250mV (10).

2.1.3 Eletromagnetismo

A transferência de energia por meio eletromagnético se divide em duas categorias. Métodos que exploram o campo próximo, onde efeitos indutivos são considerados, e método que explora o campo distante (11).

A figura 3 exemplifica a relação entre o tamanho “D” da antena e o comprimento de onda “ λ ”. A região de Fraunhofer representa um campo distante da fonte, região de irradiação, onde efeitos indutivos são ignorados. Na região de Fresnel considera-se que o campo é próximo da fonte e todos efeitos eletromagnéticos devem ser considerados. Para a região de zero metro até o comprimento de onda o campo é considerado reativo (11).

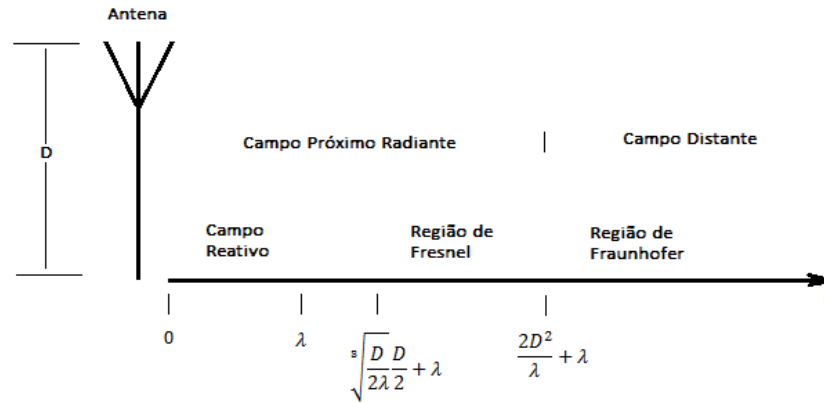


Figura 3 – Regiões de Fresnel e Fraunhofer em uma antena radiante. (11).

2.1.3.1 Acoplamento Indutivo

Quando duas bobinas usadas como antenas estão próximas o suficiente uma da outra dizemos que existe um acoplamento indutivo (3). Esta forma de transferência de energia para implantes médicos tem sido muito usada nos últimos 50 anos devido a possibilidade de ambas antenas estarem afastadas, pela pele, apenas alguns centímetros uma da outra.

Segundo Aubert (12) o circuito equivalente baseado no acoplamento indutivo utilizado em sistemas de RFID pode ser observado na figura 4.

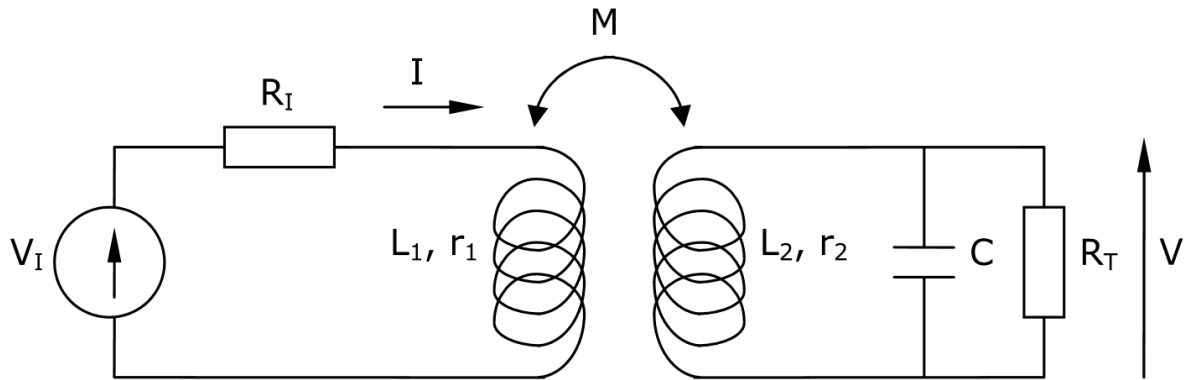


Figura 4 – Circuito equivalente de um sistema RFID utilizando acoplamento indutivo (12).

Neste circuito L_1 e L_2 representam as bobinas que trabalham como antenas, r_1 e r_2 representam as resistências em série. O capacitor C e a bobina L_2 conectados em paralelo formam um ressonador que seleciona a frequência de transmissão (12).

Deste modelo é obtida a equação 2.1 (12) que representa a magnitude V (Tensão

aplicada sobre a carga).

$$V = \frac{\omega k \sqrt{L_1 L_2}}{\sqrt{\left(\frac{L_2 \omega}{R_T} + r_2 C \omega\right)^2 + \left(1 - L_2 C \omega^2 + \frac{r_2}{R_T}\right)^2}} I \quad (2.1)$$

k é conhecido como *Coupling Coefficient*, seu valor é $k = M / \sqrt{L_1 L_2}$, onde M é a indutância mútua entre as duas bobinas L_1 e L_2 (Equação 2.2 (13)) e $\omega = 2\pi f$.

$$M = \frac{\mu_0 N_1 N_2 a^2 (\pi b^2)}{2(a^2 + r^2)^{\frac{3}{2}}} \quad (2.2)$$

Onde:

- * N_1 = Numero de voltas na bobina 1,
- * N_2 = Numero de voltas na bobina 2,
- * a = raio da bobina 1,
- * b = raio da bobina 2,
- * r = distância entre as bobinas.

2.1.3.2 Acoplamento Capacitivo

Assim como os *links* indutivos, o acoplamento capacitivo funciona para pequenas distâncias. O sistema é um capacitor que utiliza o tecido humano como meio dielétrico. Os problemas da utilização deste tipo de transmissão de energia é que o acoplamento capacitivo é mais eficiente para grandes áreas de antenas que formam o capacitor e para altas frequências. Contudo, por razões óbvias, é esperado que implantes médicos tenham o menor tamanho possível e quanto maiores as frequências utilizadas maior será a dissipação de energia pelos tecidos, o que pode causar queimaduras (3). A figura 5 exemplifica este tipo de acoplamento. Os capacitores C_1 e C_2 são formados entre as antenas dos dispositivos externo e do implante, enquanto o meio dielétrico é constituído pelo tecido da pele.

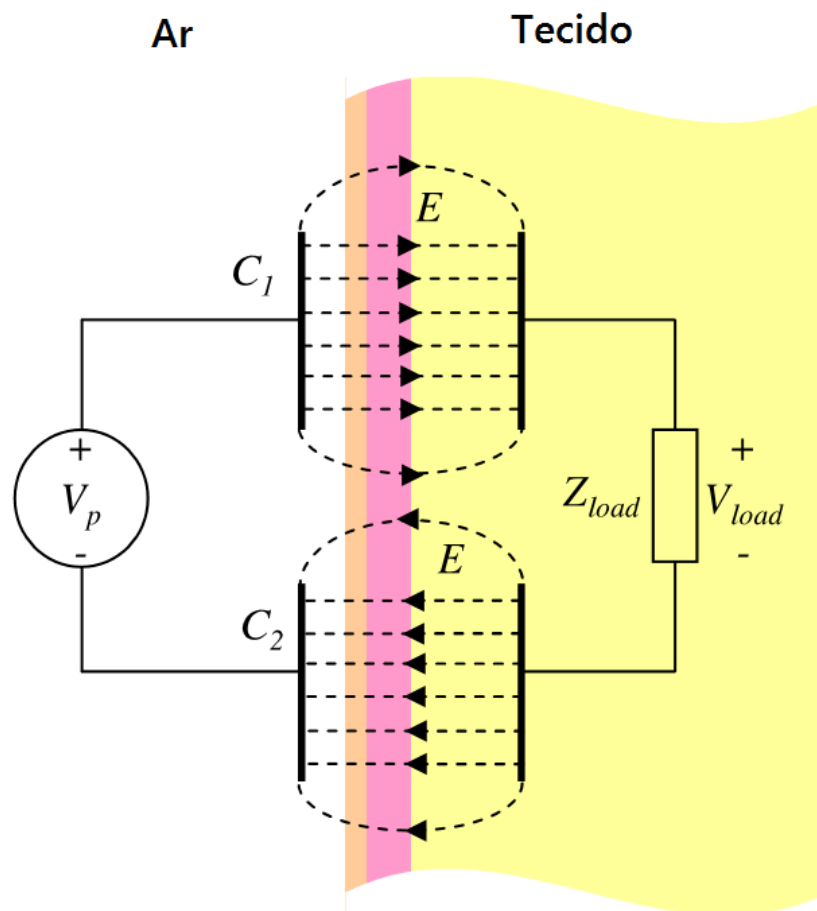


Figura 5 – Diagrama conceitual de um link de potência capacitivo implantado (3).

2.1.3.3 Radiofrequência - Campo Distante

Radiofrequência (RF) de campo distante é um meio popular de transmissão de informação e potência através da mesma onda eletromagnética. Este sistema é utilizado principalmente pelas implementações RFID UHF que funcionam até distâncias de 10m. A diferença desta técnica para o acoplamento indutivo se dá pela substituição das antenas de bobinas por estruturas mais eficientes (3). Uma das vantagens sobre a técnica utilizando indutores é que a potência do sinal diminui à proporção de $1/d^2$ enquanto no acoplamento indutivo a diminuição de potência é $1/d^6$, onde d representa a distância entre as antenas.(3).

A eficiência de um sinal de RF transmitido, e conseqüentemente a potência transmitida, esta relacionada com a proporção entre o tamanho da antena e a frequência utilizada. Deste modo, para construir implantes pequenos é interessante a utilização de altas frequências (GHz). No entanto frequências altas tem dificuldade para penetrar em tecidos da pele (3). Segundo Theilmann, (3) para transmitir 1uW a 1GHz para uma antena de tamanho 0,1mm a uma profundidade de aproximadamente 1cm no interior da pele é necessário aproximadamente 30kW. Se a antena medir 1mm a potência necessária

passa a ser de 3W.

Na literatura foram encontradas implementações diversas de transmissão de energia por RF. Entre as aplicações voltadas para implantes médicos os menores sinais recebidos são da ordem de -24dBm a -12dBm dependendo da técnica utilizada, antena on-chip ou off-chip, e da frequência escolhida. A tabela 1 mostra o menor sinal de operação de algumas implementações selecionadas.

Tabela 1 – Menor sinal de operação.

Artigo	Menor sinal	Frequência	Técnica
(14)	-14dBm	950MHz	Retificador com polarização gate-dreno.
(15)	-22,6dBm	902–928 MHz	Gate flutuante.
(16)	-14,7dBm	900-MHz	Transistores MOS conectados como diodos.
(17)	-24 ou -18,8dBm	915-MHz	Auto compensação de tensão de limiar.
(18)	-14 ou -12dBm	868MHz	Circuito ativo de carga.

A potência recebida por sistemas RF na região de irradiação (de campo distante) segue a equação 2.3 (19).

$$Potencia_Recebida[dBM] = Potencia_Transmitida[dBm] + Ganhos[dB] - Perdas[dB] \quad (2.3)$$

Quando esse sistema opera em meio livre, e não existe nenhum corpo entre as antenas que influencia sobre a propagação, podemos dizer que toda perda se dá pelo quadrado da distância entre as antenas transmissora e receptora (20). Essa consideração se traduz na equação 2.4 que é conhecida como equação das telecomunicações ou fórmula de transmissão de Friis (20).

$$P_R = \frac{G_T G_R P_T \lambda^2}{(4\pi r)^2} \quad (2.4)$$

Na equação 2.4 P_T e P_R são as potências transmitida e recebida, G_T e G_R são, respectivamente, os ganhos das antenas de transmissão e recepção, λ é o comprimento de onda e r é a distância entre as antenas.

É importante destacar que a equação 2.4 só é válida para a região de irradiação, região de Fraunhofer. Segundo Ribeiro (20) essa fórmula é válida para quando $r \gg \frac{\lambda}{4\pi} \sqrt{G_R G_T}$. Isso acontece porque para esta região a interferência indutiva entre as antenas é próxima de zero.

2.2 Frequências de Operação

O espaço do espectro eletromagnético é um meio comum e limitado. Para evitar que diversas pessoas, com objetivos diferentes, tentem utilizar uma mesma frequência do espectro eletromagnético, existem agências reguladoras espalhadas pelo mundo que decidem como, e por quem, o espectro pode ser utilizado. Exemplos destas agências são a Agência Nacional de Telecomunicações - Anatel do Brasil, a *Federal Communications Commission* - FCC dos Estados Unidos e a *European Telecommunications Standards Institute* - ETSI da Europa. Na maior parte dos casos o espectro eletromagnético é fatiado e cada fatia destinada a apenas um tipo de aplicação. Por exemplo, o espaço de espectro destinado a transmissão de rádios FM no Brasil vai de 87,8 a 108 MHz de acordo com a resolução nº 67 de 12 de novembro de 1998 da Anatel (21).

Muitas das decisões tomadas pelas agências consideram não apenas o interesse do país ao qual elas pertencem mas levam em consideração os padrões já existentes ao redor do mundo. Esses padrões são desejáveis para que seja possível utilizar um mesmo equipamento em diferentes países sem que legislações sejam descumpridas.

Dentro do escopo deste trabalho uma das bandas regulamentadas de possível utilização é a banda de frequências para aplicações industriais, científicas e médicas (*bands of industrial, scientific, and medical frequencies* - ISM). Segundo Mahammad (22), as frequências ISM de 125 kHz até 135 kHz, 6,78 MHz, 13,56 MHz, 27,125 MHz e 40.68 MHz, como também 433,92 MHz, 869 MHz e 2,4 GHz são segmentos de frequências de possível utilização, com foco especial para frequências entre 3 kHz e 30 MHz que são largamente utilizadas para comunicações transcutâneas devido a facilidade de penetração e baixo aquecimento de tecidos. Segundo Theilmann (3) as frequências ISM mais utilizadas para comunicação/alimentação RF de campo distante em implantes médicos são as frequências de 13,56MHz, 434MHz, 915MHz e 2,45GHz. No trabalho de Johansson (23) a frequência ISM de 2,45GHz também é citada como uma frequência de possível utilização, contudo é feita a ressalva que instrumentos que operam nesta frequência podem sofrer interferências de outros dispositivos como redes de computadores e fornos de micro-ondas.

Em 1999 o órgão de regulamentação de telecomunicações dos Estados Unidos, o FCC, disponibilizou as frequências de 402 até 405 MHz para serem utilizadas na comunicação de dispositivos médicos implantados (24), *Medical Implant Communications Service* - MICS. Sendo esta a primeira banda específica para comunicação de dispositivos médicos implantáveis, foram estabelecidas regras para utilização. O documento que estabelece os padrões para utilização da banda MICS é o *Federal Communications Commission* FCC 99-363 (24). Entre estas regras estão a *effective isotropic radiated power* - EIRP máxima de 25 microwatts e largura de banda limite de 300kHz que possibilita a transmissão de aproximadamente 10kb/s para um link entre 2 e 10m de distância (25). Estas especificações, entre outros objetivos, buscam possibilitar a coexistência da banda

MICS juntamente com a atividade utilizadora original da faixa de frequência entre 402 até 405 MHz, comunicação entre a terra e o espaço de satélites meteorológicos (24).

Tanto a Anatel como a ETSI regulamentaram a banda MICS seguindo os padrões dos Estados Unidos. Na Europa a regulamentação é encontrada no documento ETSI EN 301 839-1 (26) e no Brasil, a resolução nº 506, de 1º de julho de 2008 (27) apresenta no capítulo III, Seção III, Art. 19 o seguinte texto:

Art. 19. Sistemas de Comunicações de Implantes Médicos (MICS) podem operar na faixa 402 - 405 MHz, desde que a potência (e.i.r.p) esteja limitada a 25 microwatts em uma largura de faixa de referência de 300 kHz.

Uma importante preocupação sobre a frequência a ser utilizada em implantes médicos é a respeito de quão profundo determinada frequência consegue penetrar na pele. No texto de Johansson (23), este estabelece que a profundidade que determinada frequência penetra na pele é definida pela medida onde o campo elétrico é atenuado por um fator de e^{-1} ou 0,368. Essa profundidade calculada para frequências de 170kHz, 403,5MHz e 2,45GHz é apresentada na tabela 2.

Tabela 2 – Profundidade da penetração de sinais de RF em tecidos e músculos (23).

Frequência	170kHz	403,5MHz	2,45GHz
Profundidade	2,2m	0,052m	0,022m

2.2.1 EIRP da banda MICS

Como já mencionado a *effective isotropic radiated power* máxima na banda MICS é limitada em 25 microwatts. Isso significa que a potência de transmissão final, sendo esta definida como a potência do transmissor acrescida do ganho da antena de transmissão, não deve exceder 25 microwatts, equivalentes a -16dBm.

Como exemplo que ajuda a dimensionar esse sinal podemos aplicar à equação 2.5 uma EIRP de 25 microwatts e um sinal de 403Mhz ($\lambda = 0,74441$), distante 1 metro de uma antena de recepção em espaço livre.

$$P_R = \frac{(EIRP)G_R\lambda^2}{(4\pi r)^2} \quad (2.5)$$

$$P_R = \frac{(25 * 10^{-6})G_R(0,74441)^2}{(4\pi)^2} \quad (2.6)$$

$$P_R = 87,736 * 10^{-9}G_R \quad (2.7)$$

Considerando-se que a antena receptora seja isotrópica, ganho unitário, a potência recebida por irradiação a um metro do transmissor é de aproximadamente 88 nW. Esse sinal convertido para dBm corresponde a -40dBm sem que as perdas por dissipação de potência por tecidos orgânicos sejam adicionados a conta.

Essa dimensão de sinal, comparada com a tabela 1, exibe como é difícil produzir um sistema de transferência de energia por RF utilizando-se apenas irradiação pela banda MICS. De fato, as pesquisas encontradas que utilizam transferência de energia para alimentar circuitos que se comunicam pela banda MICS, como por exemplo (28), implementam técnicas paralelas para auxiliar a alimentação do circuito. Em geral essas pesquisas tem um sistema que explora outras formas de captação de energia, *TEG* térmica ou captação de energia RF na frequência da 2,4Ghz, para alimentar o circuito que apenas se comunica pela banda MICS.

2.3 Níveis de Radiação Eletromagnética Considerados Seguros

Antes que um circuito com finalidades médicas seja implantado é imprescindível que este seja seguro. Para implantes que utilizam radiofrequência, a principal preocupação é em relação a potência dissipada. O aquecimento de tecidos pode ser causado por dissipação de potência vinda diretamente do implante, aquecimento do corpo do implante, ou pela incidência de potência eletromagnética dissipada em tecidos e músculos.

Para mensurar a quantidade de radiação eletromagnética absorvida é utilizada a *Specific Absorption Rate* (SAR) que segundo Crepaldi (29) é a *medida do campo elétrico e da densidade de corrente no ponto do tecido sobre investigação*. Matematicamente a SAR é expressa pela equação 2.8 exibida nos trabalhos de Crepaldi (29) e Pradier (30).

$$SAR = \frac{\sigma |E|^2}{\rho} \left[\frac{W}{Kg} \right] \quad (2.8)$$

Na equação 2.8 σ é a condutividade do tecido expressa em [S/m], ρ é a densidade de massa do tecido medida em [Kg/m³] e E é o valor RMS do campo elétrico medido em [V/m] (29).

Segundo Crepaldi, a partir da SAR é possível obter o aquecimento local de determinado tecido pela ação eletromagnética ao fazer a derivada da temperatura em relação ao tempo (na equação 2.9, c é o calor latente e é medido em J/Kg) (29). Como ordem de grandeza, 1W/Kg de SAR é uma taxa de transferência de calor de 0,0003°C/s e seria necessário 1 hora para ampliar a temperatura de um tecido em 1°C (29).

$$\frac{dT}{dt} = \frac{SAR}{c} \left[\frac{^\circ C}{s} \right] \quad (2.9)$$

A quantidade de radiação eletromagnética segura é objeto de estudo em todo o mundo. Em 2005 o *Institute of Electrical and Electronics Engineers* - IEEE publicou o documento IEEE std C95.1-2005 *Standard for Safety Levels with Respect to Human Exposure* (31) como referência para a intensidade de radiação segura para exposições ao corpo. Para frequências entre 100kHz e 3GHz este documento exhibe em sua seção 4.2.1 uma tabela estabelecendo os limites SAR (Tabela 3).

Tabela 3 – Quantidade de radiação eletromagnética segura a exposição humana (31).

	Público Geral	Ambiente Controlado
Corpo inteiro	0,08 W/kg	0,4 W/kg
Picos de radiação localizados	2 W/kg	10 W/kg
Braços e Pernas	4 W/kg	20 W/kg

Considerando-se que implantes médicos estão relacionados a procedimentos médicos controlados por um médico em ambiente restrito (32) e que a comunicação com estes implantes aconteça em espaços de tempo bastante espaçados, em geral uma taxa SAR de 10 W/Kg é a referência, uma vez que na maioria dos casos será adotado um ambiente controlado.

2.3.1 Threshold e Mínimo Sinal Necessário

Na tecnologia CMOS a tensão mínima para ligar o transistor, tensão de limiar (*threshold*), varia entre 0,2 e 0,6V (19). Segundo Ribeiro (20) e Khalifa (19) a equação que relaciona a tensão RMS necessária para ligar o transistor com a potência de entrada é exibida na equação 2.10, onde P é a potência de entrada, V_{rms}^2 é a tensão RMS e R é impedância de entrada.

$$P = \frac{V_{rms}^2}{R} \quad (2.10)$$

Considerando uma impedância de entrada de 50 ohms aplicada a equação 2.10 encontramos que a potência necessária para ligar um transistor varia entre 0.4 mW e 3,6 mW (19). Para situações onde a tensão de entrada é menor que a tensão de limiar existem técnicas de diminuição da tensão de limiar do transistor como por exemplo a técnica de *gate* flutuante (19).

2.3.2 Potência Requerida por Circuitos Implantados

A quantidade de potência requerida por um implante depende diretamente da aplicação deste dispositivo. Circuitos que realizam envio e recepção de grandes quantidades de informação sem fio tendem a consumir maior quantidade de energia (3). Segundo (3) existem aplicações de circuitos implantados que consomem potência na ordem de 100μW

e em média os circuitos típicos costumam dissipar 1mW ou mais, o que geralmente exige transistores com dimensões de centímetros. Isso obriga que futuros projetos que sejam tecnicamente mais complexos consumam menos potência.

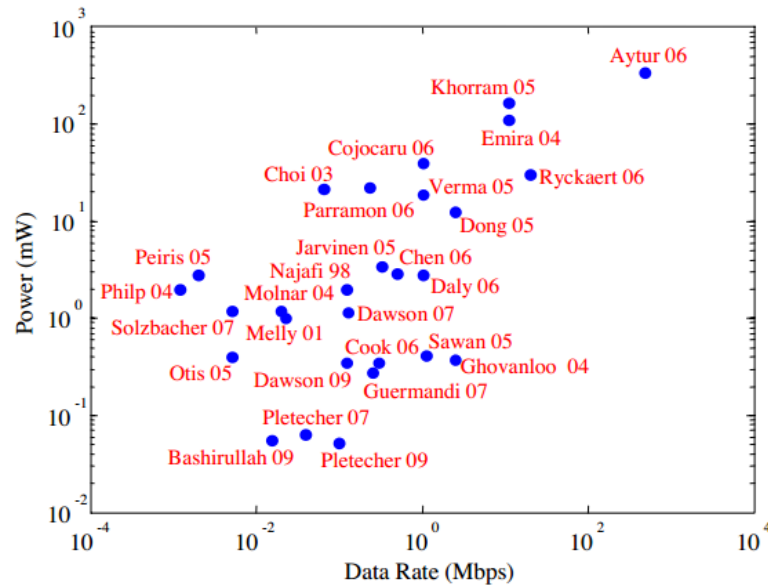


Figura 6 – Consumo de potência de implantes vs velocidade de transmissão de dados relatados em trabalhos prévios (3).

A figura 6 retirada de (3) correlaciona consumo de potência pela velocidade de transmissão de dados de implantes relatados em outros trabalhos. Nela é possível observar que a grande maioria dos trabalhos tem consumo ao redor de 1mW, com apenas três trabalhos consumindo perto de 100 μ W e poucos trabalhos consumindo próximo a 100mW.

2.3.3 Eficiência

Eficiência na conversão de potência (*PCE Power Conversion Efficiency*) é a taxa que relaciona a energia dissipada pela carga com a energia consumida pelo circuito inteiro, equação 2.11. A PCE também pode ser definida como a taxa que relaciona a potência DC de saída com a potência RF de entrada (19), sendo composta pelas eficiências parciais η de todo o projeto onde η_{pa} , η_{link} , $\eta_{rectifier}$, $\eta_{regulator}$ representam respectivamente a eficiência do amplificador de potência, do link indutivo, do retificador e do regulador de tensão (equação 2.12).

$$PCE = \frac{P_{out}}{P_{in}} * 100 \quad (2.11)$$

$$PCE = \eta_{pa} * \eta_{link} * \eta_{rectifier} * \eta_{regulator} \quad (2.12)$$

O fator $\eta_{rectifier}$ representa a quantidade de potência que sai do retificador dividida pela quantidade de potência que entra no retificador, equação 2.13. Para uma PCE de 30% é esperada uma eficiência $\eta_{rectifier}$ do retificador da ordem de 80% (33).

$$\eta_{rectifier} = \frac{P_{out_DC}}{P_{out_AC}} \quad (2.13)$$

2.4 Especificação do Sistema

Deste modo, como foi mostrado até aqui, o sistema que se deseja projetar deverá ter as seguintes características:

- * Funcionar por acoplamento indutivo,
- * Utilizar Frequência de 13,56MHz,
- * Prover potência de saída maior que 1mW,
- * Respeitar SAR máxima de 10W/Kg,
- * Ter eficiência PCE igual ou maior a 80%.

No próximo capítulo serão comentadas as características dos diferentes tipos de retificadores existentes, como também as dificuldades encontradas já reportadas no uso da tecnologia CMOS para a criação destes tipos de estruturas.

3 Retificadores

Conforme mencionado no início do capítulo 2, um dos elementos necessários na captação de energia adquirida de sinais de RF é o retificador.

Tradicionalmente retificadores são construídos utilizando pontes de diodos que realizam a retificação do sinal AC.

A figura 7 representa um circuito de retificação tradicional de onda completa utilizando 4 transistores de junção PN. O funcionamento deste retificador é simples. Quando a fonte fornece tensão positiva aos diodos D1 e D2 os diodos D3 e D4 ficam aterrados e apenas os diodos D2 e D3 operam. Quando o ciclo se inverte os diodos D4 e D1 operam enquanto os diodos D2 e D3 permanecem em corte.

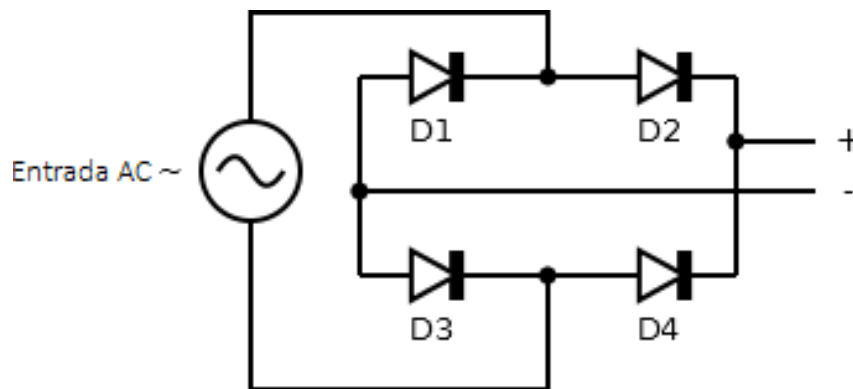


Figura 7 – Tradicional retificador de onda completa construído com ponte de diodos.

Os princípios de retificação para transformar sinais de RF em sinal retificado são os mesmos. Mas devido a baixa potência algumas particularidades devem ser consideradas e serão tratadas nas próximas seções.

3.1 Tipos de Diodo (PN, Schottky e MOS)

Embora diodos convencionais sejam amplamente utilizados em retificadores, o emprego destes em microeletrônica de baixa potência pode se tornar impraticável devido a tensão de corte normalmente perto de 0,7V (19), o que inviabiliza sistemas que trabalham perto de 1V. Uma das soluções para contornar este problema é utilizar diodos Schottky que possuem menor tensão de limiar e baixa resistência (19). Contudo, a utilização de diodos Schottky em microeletrônica pode exigir etapas de produção extras que não estão disponíveis normalmente nos processos de fabricação tradicionais. Esses processos extras costumam ser mais caros que os processos comuns (34).

Outra solução largamente utilizada são transistores CMOS conectados e operando como diodos (35).

Um diodo ideal teria uma tensão de limiar inexistente, responderia a qualquer faixa de frequência e teria uma corrente reversa muito pequena. A configuração da figura 8 permite o diodo trabalhar em altas frequências (MHz) e ter uma pequena tensão de limiar, mas proporciona a existência de uma corrente reversa (35).

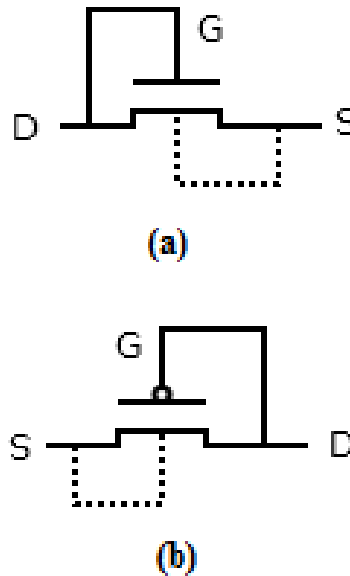


Figura 8 – Transistores CMOS conectados para trabalhar como diodos (35). (a) NMOS, (b) PMOS.

3.2 Funcionamento transistores MOS

A figura 9 apresenta dois circuitos com o objetivo de comparar o modo de funcionamento do transistor PMOS e NMOS. Antes que seja feita qualquer análise é importante lembrar que o transistor NMOS conduz (Liga) sempre que V_{gs} for maior que V_{th} e o transistor PMOS conduz sempre que V_{sg} for maior que V_{th} (36). Também importante é a informação que a fonte e o dreno dos transistores MOS não são fixos por dependerem dos níveis de tensão de cada terminal (36).

Na figura 9 (a) o transistor NMOS encontra-se conectado em um capacitor inicialmente descarregado. Para qualquer situação em que $G = "0"$ o transistor esta sempre em zona de corte (desligado) pois V_{gs} nunca será maior que V_{th} neste exemplo. Quando $G = "1"$ e $V_{in} = "1"$ o ponto A se torna o dreno (D) e o ponto B se torna a fonte (S). Assim surge uma corrente dreno-fonte que começa a carregar o capacitor até que V_{out} (S) assumo valor de tensão que torne V_{gs} menor ou igual a V_{th} . Nesse momento o transistor desliga, o capacitor para de carregar e permanece com tensão igual a $V_{in} - V_{th}$. Ainda na figura 9 (a), se o capacitor estiver totalmente carregado $V_{out} = "1"$, $G = "1"$ e $V_{in} =$

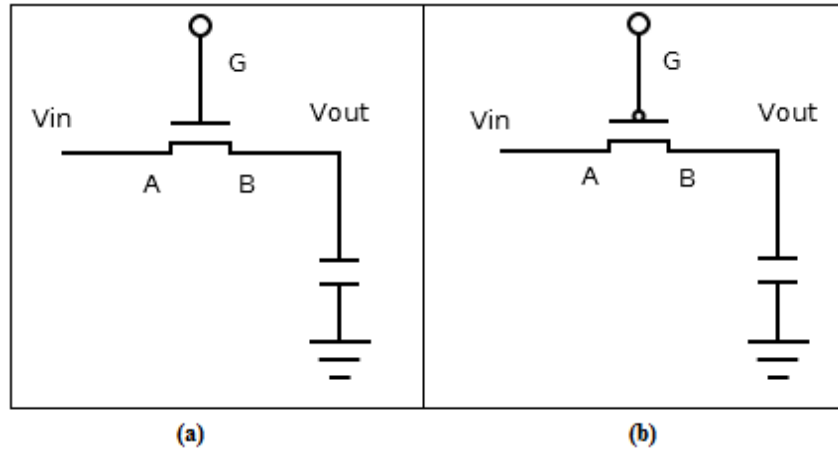


Figura 9 – Circuitos esquemáticos de funcionamento dos transistores NMOS (a) e PMOS (b).

“0” o ponto A se torna a fonte (S) e o ponto B se torna o dreno (D). Assim, o capacitor começará a descarregar até que sua tensão se torne zero pois V_{gs} nunca será menor que V_{th} uma vez que a tensão de S é sempre zero.

Na figura 9 (b) o transistor PMOS encontra-se conectado em um capacitor inicialmente descarregado. Para qualquer situação em que $G = “1”$ o transistor está sempre em zona de corte (desligado) pois V_{sg} nunca será maior que V_{th} neste exemplo. Quando $G = “0”$ e $V_{in} = “1”$ o ponto A se torna a fonte (S) e o ponto B se torna o dreno (D). Assim, surge uma corrente fonte-dreno que carrega o capacitor completamente até que $V_{out} = V_{in}$ pois V_{sg} é a todo momento maior que V_{th} . Quando o capacitor está completamente carregado, $V_{out} = “1”$, $G = “0”$ e $V_{in} = “0”$, o ponto A se torna o dreno (D) e o ponto B se torna a fonte (S). Uma corrente fonte-dreno começa a descarregar o capacitor e a diminuir o potencial da fonte ($V_s = V_{out}$). Quando V_s é suficientemente pequeno para que V_{sg} seja menor ou igual a V_{th} o transistor PMOS entra em corte (desliga). No equilíbrio o capacitor mantém uma pequena carga e uma tensão igual a V_{th} .

É possível concluir por esta análise que o transistor MOS tipo N liga com nível lógico alto “1” e desliga com nível lógico baixo “0” e ao mesmo tempo o transistor NMOS transmite bem níveis lógicos baixos “0” mas transmite mal níveis lógicos altos “1”. Por sua vez, transistores PMOS ligam com níveis lógicos baixos “0” e desligam com níveis lógicos altos “1” enquanto transmitem bem níveis lógicos altos “1” e transmite mal níveis lógicos baixos “0”.

A tabela 4 resume a relação abordada no trecho anterior:

Tabela 4 – Diferença entre funcionamento dos transistores PMOS e NMOS.

Transistor MOS	Liga	Desliga	Transmite Bem	Transmite Mal
N	1	0	0	1
P	0	1	1	0

Toda a análise realizada até aqui é trivial e amplamente conhecida, mas esta seção em forma de “lembrete” se faz necessária pois todos esses conceitos serão implicitamente utilizados no decorrer da explicação de funcionamento dos tipos de retificadores.

3.3 Tipos de Retificadores

3.3.1 Retificadores Passivos

Retificadores passivos são aqueles que não geram nenhum tipo de sinal secundário como auxílio para chavear o circuito.

O retificador de onda completa utilizando transistores MOS conectados como diodos, figura 10, funciona exatamente como o tradicional retificador de ponte de diodos. Quatro transistores MOS são ligados em ponte e a condução acontece em pares alternando os ciclos de funcionamento. Essa configuração apesar de ter um rendimento maior do que o retificador de meia onda tem uma queda de tensão de $2V_{th}$ em cada ciclo devido a utilização de dois transistores por ciclo (19). A tensão máxima de saída desse retificador é exibida na equação 3.1 (19).

$$V_{out} = 2V_{in} - 2V_{th} \quad (3.1)$$

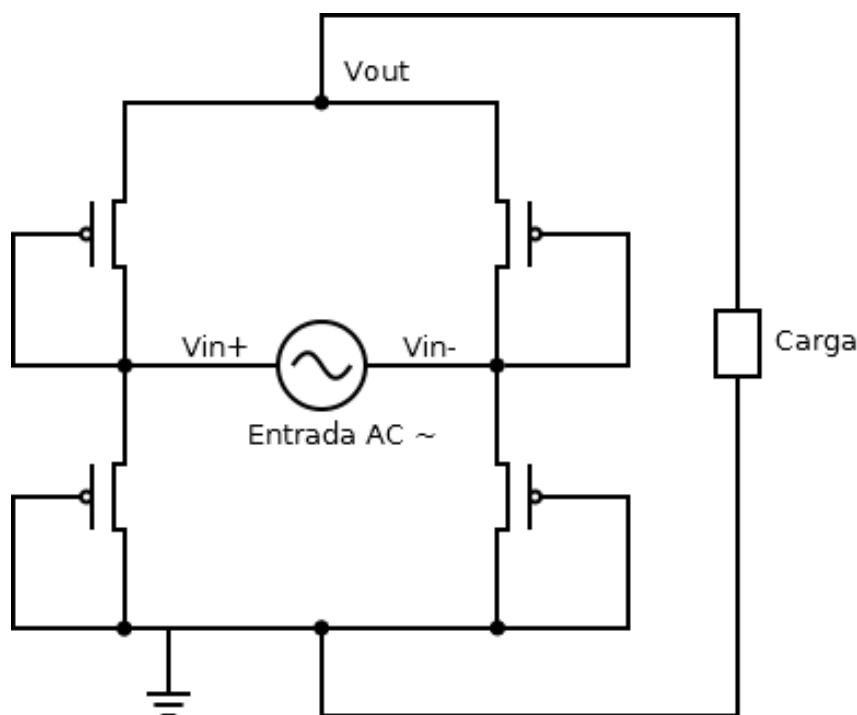


Figura 10 – Esquema de retificador em ponte utilizando transistores CMOS como diodos (19).

A perda de potência nesse circuito ocorre principalmente pela resistência interna dos transistores que é diretamente relacionada as dimensões do transistor. O PCE deste

retificador é afetado principalmente pela resistência interna e pela corrente reversa que surge durante o chaveamento dos transistores. Essa corrente reversa pode ser minimizada ampliando a velocidade de chaveamento.

Existem algumas técnicas de configurações que podem otimizar o PCE e diminuir o valor da tensão de limiar V_{th} dos transistores. Essas técnicas estão comentadas nas próximas seções.

3.3.1.1 *External- V_{th} -cancellation* (EVC)

A técnica de cancelamento de tensão de corte V_{th} por alimentação externa, *External- V_{th} -cancellation* (EVC), adiciona uma tensão de polarização entre o *gate* e o dreno de transistor MOS conforme figura 11. Enquanto a ponte de diodos construída com transistores MOS proporciona uma tensão máxima de saída de $V_{out} = 2(V_{in} - V_{th})$, a EVC substitui a tensão de limiar do transistor por $V_{th}' = V_{th} - V_{polarização}$. Essa nova tensão de corte V_{th}' faz com que a equação 3.1 mude conforme a equação 3.2 (19) e faz que a tensão de saída seja um pouco maior.

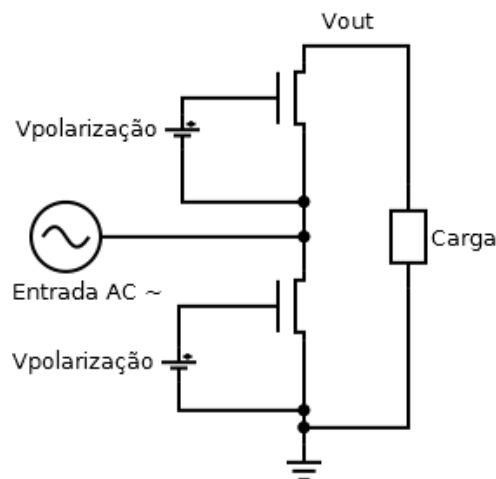


Figura 11 – Retificador com cancelamento de V_{th} por fonte externa (19).

$$V_{out} = 2 * (V_{in} - V_{th} + V_{polarização}) \quad (3.2)$$

3.3.1.2 *Self- V_{th} -cancellation* (SVC)

Conforme esquematizado na figura 12, a técnica de auto cancelamento da tensão de corte, *Self- V_{th} -cancellation* (SVC), conecta os *gates* dos transistores NMOS e PMOS de maneira cruzada. Ao conectar o *gate* do transistor PMOS no referencial de terra e o *gate* do transistor NMOS em V_{out} se amplia a tensão entre *gate* e fonte, o que tem o mesmo efeito de se cancelar V_{th} (19).

A SVC é simples por polarizar estaticamente os transistores NMOS e PMOS. Está técnica reduz a tensão de corte V_{th} , o que aumenta a PCE do retificador, contudo, se

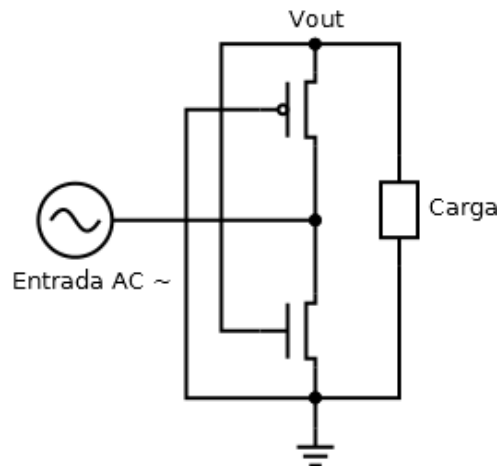


Figura 12 – Retificador com auto cancelamento de V_{th} (19).

a tensão V_{th} é muito pequena amplia-se a corrente reversa que reduz o PCE. Devido a essa característica é impossível ter baixa resistência interna e baixa corrente reversa utilizando-se SVC (19).

3.3.1.3 Retificador *Cross-Coupled*

O retificador *Cross-Coupled*, figura 13, é uma montagem em ponte que liga os *gates* dos transistores também de forma cruzada. Contudo, ao invés dos *gates* dos transistores estarem polarizados pelo mesmo ciclo de tensão, eles são polarizados pelo ciclo de tensão oposto. Isto é, um transistor que conduz uma corrente derivada do ciclo positivo da fonte tem seu *gate* polarizado pelo ciclo negativo da fonte.

Esta configuração permite uma menor corrente reversa se comparado ao retificador em ponte utilizando transistores MOS conectados como diodos.

3.3.1.4 *Dickson Charge Pump*

O Dickson Charge Pump não é na essência um retificador por não separar um ciclo positivo de um ciclo negativo. Ele é um dobrador de tensão por ampliar todo o sinal sem manipular a forma de onda básica.

Uma variação do Dickson Charge Pump é o multiplicador de tensão. Ele coloca em sequência múltiplos estágios Charge Pump para elevar ainda mais a tensão. A figura 14 representa um único estágio do multiplicador de tensão.

Durante o ciclo negativo da fonte $V_{n-1} > V_b$, então o diodo D1 conduz e carrega C1 enquanto o diodo D2 está em corte. No final deste ciclo $V_b = V_{in} + V_{n-1} - V_{th}$. Quando o ciclo positivo se inicia $V_b > V_{n-1}$ então o diodo D1 entra em corte e D2 começa a conduzir e a carregar C2. Nesse momento $V_n = V_b + V_{in} - V_{th}$ (19), contudo,

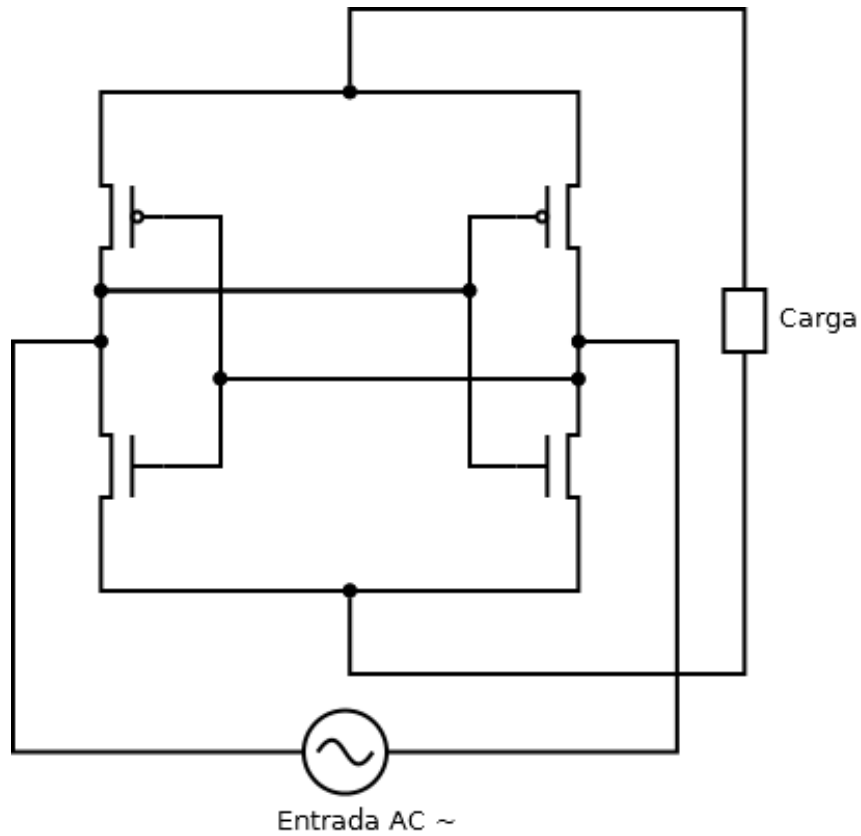


Figura 13 – Esquema de retificador Cross-Coupled (37).

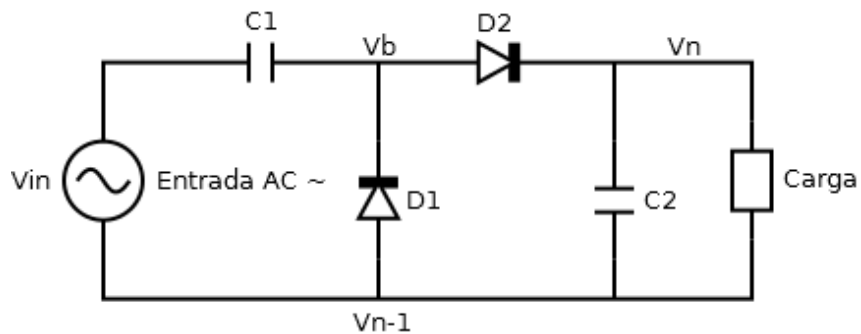


Figura 14 – Esquemático de um único estágio do multiplicador de tensão Dickson Charge Pump (19).

substituindo V_b teremos:

$$V_n = V_{in} + V_{n-1} - V_{th} + V_{in} - V_{th} \quad (3.3)$$

$$V_n = V_{n-1} + 2V_{in} - 2V_{th}. \quad (3.4)$$

Para N estágios cascateados a tensão de saída do multiplicador de tensão será dada

pela equação 3.5.

$$V_n = 2N(V_{in} - V_{th}) \quad (3.5)$$

Pela equação 3.5 o principal limitador da tensão gerada pelo multiplicador *Charge Pump* é a tensão de corte V_{th} .

3.3.2 Retificadores Ativos

Ao contrário dos retificadores passivos, os ativos utilizam mecanismos de controle de sinais que interferem no processo de retificação com o objetivo de ampliar a eficiência. Os principais tipos de retificadores ativos disponíveis atualmente na literatura para utilização em circuitos integrados de baixa potência são os retificadores ativos que utilizam comparadores e os retificadores 1X/2X reconfiguráveis. Nesta seção abordaremos as principais características destes retificadores.

3.3.2.1 Retificador Ativo com Comparadores

O retificador ativo com comparadores vem sendo frequentemente estudado em diversos trabalhos (33), (38), (39). O que sugere que atualmente são uma boa opção para retificação de sinais de rádio frequência.

O funcionamento deste tipo de retificador é baseado no retificador Cross-Coupled (3.3.1.3). Alguns de seus transistores, podem ser todos ou apenas um par, ao invés de terem seus *gates* ligados de forma cruzada tem a tensão de *gate* controlada pela ação de comparadores que ligam e desligam os transistores, minimizando assim a corrente reversa que surge durante a mudança de ciclos. Como já mencionado em 3.3.1.3 a corrente reversa é uma das principais razões pela diminuição do PCE do retificador.

Na figura 15 são apresentadas três curvas extraídas de um retificador Cross-Coupled. Em destaque dentro do círculo é exibida, de forma exagerada, a corrente reversa que diminui a eficiência deste tipo de retificador. O objetivo do retificador utilizando comparadores é acelerar o processo de chaveamento dos transistores e eliminar essa corrente.

Um dos problemas da implementação deste tipo de retificador ativo esta no projeto dos comparadores. Para este circuito é desejado que os comparadores sejam os mais rápidos possível, para diminuir ao máximo a corrente reversa, consumam pouca potência, ocupem pouca área de silício, e, preferencialmente, sejam auto polarizáveis sem a necessidade de alimentação externa.

Apesar de diferentes estudos alterarem algumas características básicas do corpo do retificador a figura 16 exhibe uma configuração que tem se tornado popular entre os trabalhos mais recentes nessa área (33), (40), (41). Nesta configuração duas características

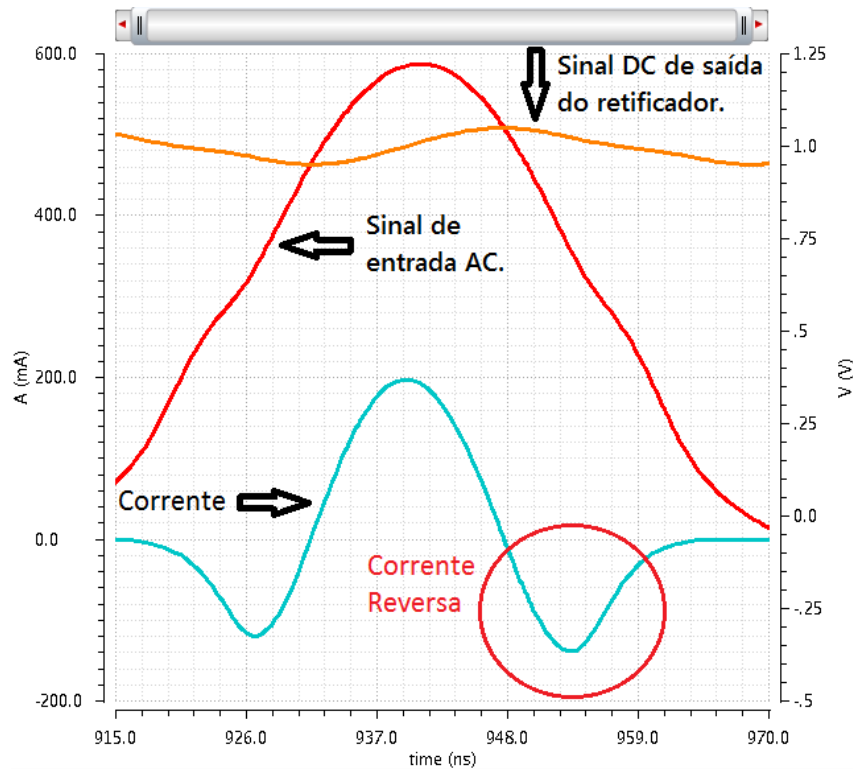


Figura 15 – Forma de onda do funcionamento de um retificador Cross-Coupled com destaque para a corrente reversa.

principais devem ser observadas: Apenas um par de comparadores atua no circuito, o que gera um resultado muito próximo ao resultado de quando se usam 4 comparadores mas com a metade do consumo, e geralmente estes comparadores controlam os transistores tipo P pois ligar um transistor colocando-o em referencial de terra é mais fácil do que prover uma tensão estável VDD para um circuito sem alimentação auxiliar.

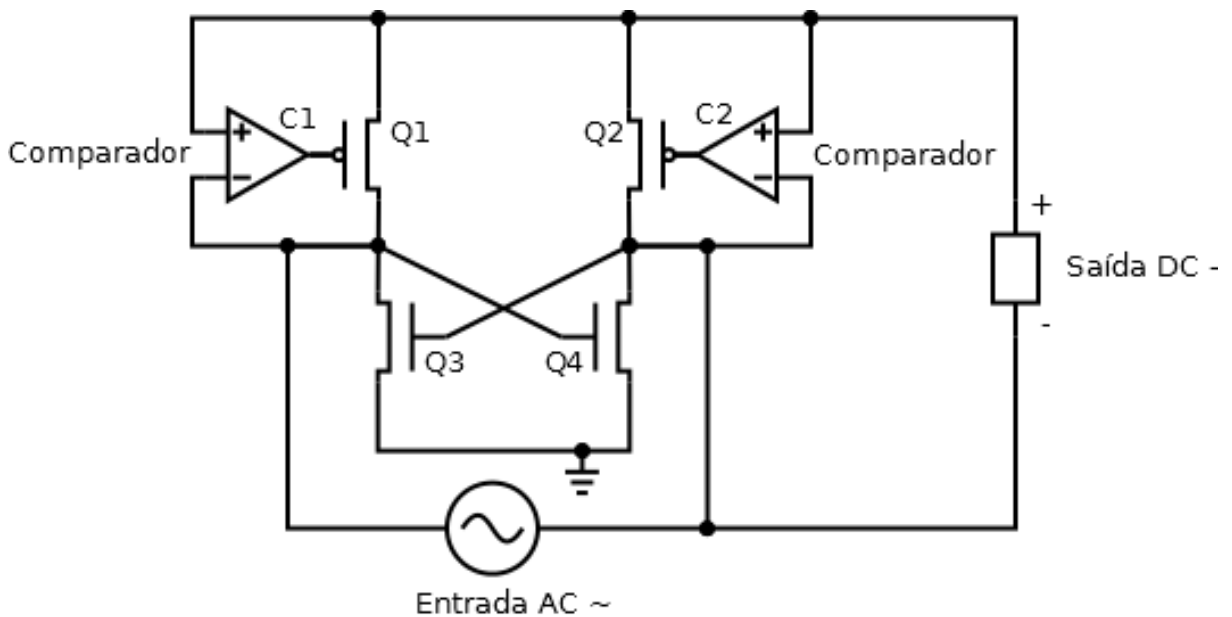


Figura 16 – Esquema de retificador ativo utilizando comparadores.

Mesmo que o projeto do comparador não seja trivial, sua forma de funcionamento ideal é simples de ser explicada. O comparador deve monitorar os sinais de tensão de saída e de entrada. Pela figura 15, quando a tensão de entrada se torna maior que a tensão de saída o comparador deve ligar o transistor e quando a tensão de entrada se torna menor que a tensão de saída o comparador deve desligar imediatamente o transistor. Esse funcionamento ideal, apesar de simples, é comprometido devido ao atraso do comparador entre monitorar os sinais de tensão e ligar e desligar o transistor. Quanto menor for o atraso nesse processo menor será a corrente reversa.

Como já mencionado em 3.2, o dreno e a fonte dos transistores MOS não são fixos por dependerem dos níveis de tensão dos terminais. A corrente reversa surge quando o comparador atrasa em desligar o transistor e a tensão de saída fica maior que a tensão de entrada por algum tempo. Esse pequeno tempo em que isso ocorre provoca a troca no transistor das posições de dreno e fonte, o que cria a corrente reversa. Se o comparador muda a tensão do *gate* do transistor imediatamente quando as tensões de entrada e saída se tornam iguais, mesmo que fonte e dreno se alternem não existem condições para o surgimento da corrente reversa.

3.3.2.2 Retificador 1X/2X Reconfigurável

A transferência de energia por rádio frequência enfrenta alguns desafios de estabilidade. No pior caso, a fonte de energia estará localizada na distância máxima de funcionamento provendo o mínimo necessário de energia para alimentar os circuitos do chip receptor. Contudo, situações onde a fonte de energia está localizada próxima ao receptor podem prover energia em excesso que se captada pelo receptor, e posteriormente dissipada pelo circuito de limitação, podem gerar aquecimento e queima de tecidos. Outras situações adversas seriam a variação intermitente da distância entre fonte e receptor, o que deixaria instável o sinal, e a mudança de ângulo entre o chip fonte e o chip receptor, o que mudaria o acoplamento e também deixaria instável o sinal.

Retificadores 1X/2X reconfiguráveis dispõem de dois modos de operação (Modo 1X e Modo 2X) que podem ser chaveados para adaptar o retificador às condições de sinal recebidas. Geralmente o modo de operação 1X cobre sinais de grande amplitude e o modo de operação 2X sinais de baixa amplitude. Assim, quando a fonte de energia está localizada próximo do circuito receptor, e o ângulo entre receptor e fonte é ideal, o circuito opera em modo 1X e desliga sub-circuitos de operação do modo 2X. Quando a situação é diferente, e a amplitude do sinal é baixa, o circuito chaveia, liga sub-circuitos do modo de operação 2X e consegue operar nessa faixa de amplitude. Em situações intermediária também é possível que o retificador funcione como uma espécie de PWM chaveando entre os modos de operações 1X e 2X para modular o sinal recebido adequando-o as necessidades do projeto.

A figura 17 (a) exibe o retificador reconfigurável 1X/2X proposto em (42). Quando em modo 1X, o retificador funciona como um retificador ativo com comparadores, figura 17 (b), em modo 2X, figura 17 (c), este chaveia o circuito para trabalhar como um dobrador de tensão através de dois retificadores de meia onda (42).

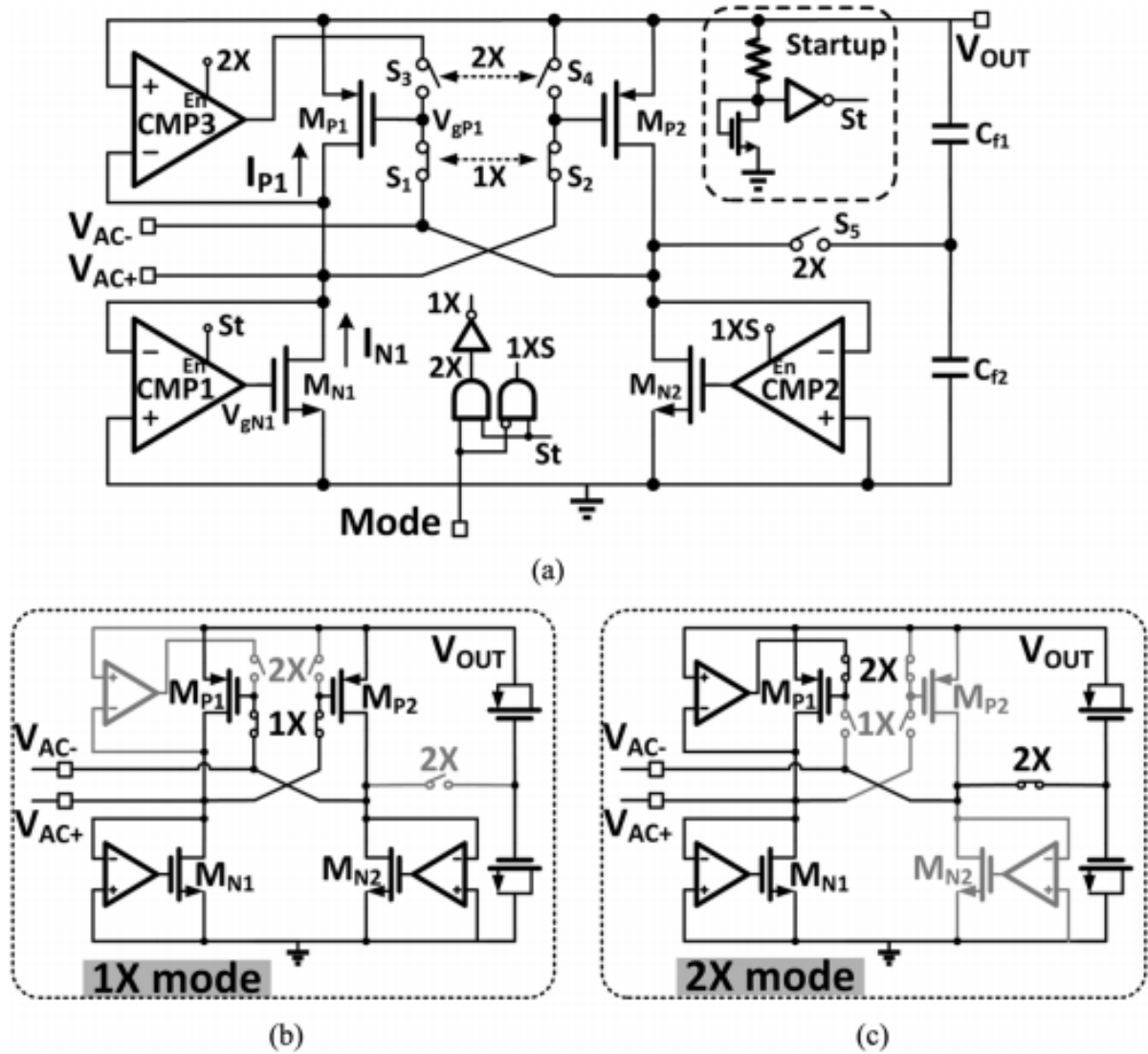


Figura 17 – (a) Retificador 1X/2X Reconfigurável, (b) Modo 1X, (c) Modo 2X (42).

4 Comparadores

Como abordado em 3.3.2.1 comparadores são muitas vezes utilizados em retificadores ativos. O tipo de comparador utilizado na retificação de sinais de rádio frequência exige que o consumo seja baixo, a velocidade de operação seja alta e a polarização seja feita preferencialmente sem o uso de fontes externas.

O funcionamento macro de todos os comparadores para este tipo específico de aplicação é sempre o mesmo. Os sinais de tensão de entrada e saída do retificador são monitorados. Quando o sinal de entrada é maior do que o sinal de saída o comparador chaveia e quando o sinal de entrada se torna menor que o sinal de saída o comparador chaveia novamente.

Neste capítulo abordaremos alguns exemplos e implementação deste tipo de comparador.

4.1 Comparador *Two-input Common-gate*

O Comparador *Two-input Common-gate* (Comparador de duas entradas e *gate* comum) é o comparador base utilizado em vários trabalhos, algumas vezes adicionando-se pequenos circuitos ou realizando-se pequenas modificações (34), (41), (40) e (33). O nome do comparador *Two-input Common-gate* (figura 18) é originado pelas duas entradas que monitoram a tensões de entrada e saída do retificador (Sinal AC e Sinal DC) e pelos *gates* dos quatro transistores MOS que estão todos curto circuitados.

Os transistores Q10 e Q12 formam um inversor que disponibiliza sinal de terra ou Sinal DC na SAÍDA. Sempre que a tensão do *gate* dos transistores Q10 e Q12 é maior do que $(\text{Sinal DC})/2$ a SAÍDA estará em nível de terra e sempre que a tensão no *gate* dos transistores Q10 e Q12 for menor do que $(\text{Sinal DC})/2$ a SAÍDA terá tensão igual a Sinal DC. Os transistores Q9 e Q11 formam um divisor de tensão projetado para gerar uma tensão próxima de $(\text{Sinal AC})/2$ no *gate* de todos os transistores. Deste modo, sempre que a tensão Sinal AC é maior do que a tensão Sinal DC a tensão derivada do divisor de tensão aplicada no *gate* de todos os transistores é maior do que a metade de Sinal DC. Ou seja, sempre que Sinal AC se tornar maior ou menor do que Sinal DC a tensão gerada pelo divisor de tensão Q9-Q11 fará o inversor Q10-Q12 chavear.

A figura 19 esquematiza o funcionamento do comparador. No caso 1 a tensão Sinal AC é maior do que a tensão Sinal DC e a SAÍDA tem tensão de terra. No caso 2 a tensão Sinal AC é menor do que Sinal DC e a SAÍDA tem tensão igual a Sinal DC.

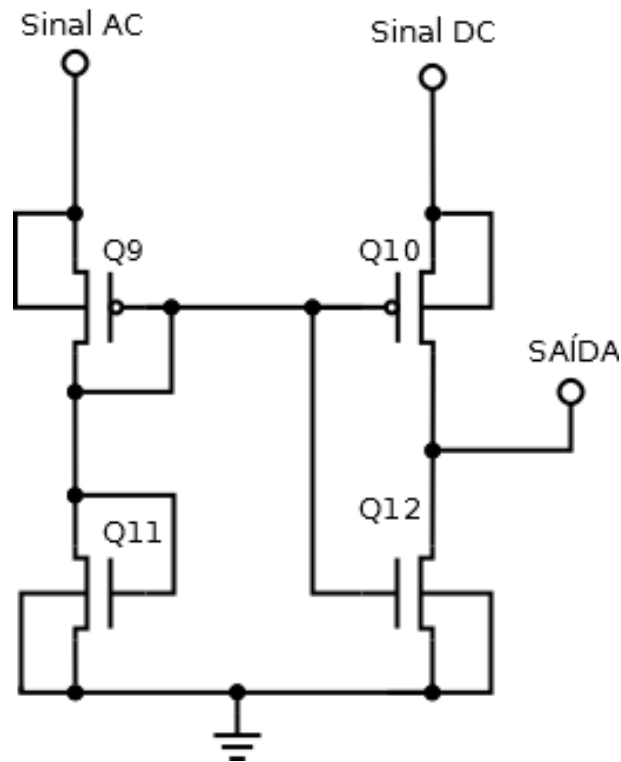


Figura 18 – Comparador *Two-input Common-gate* (33).

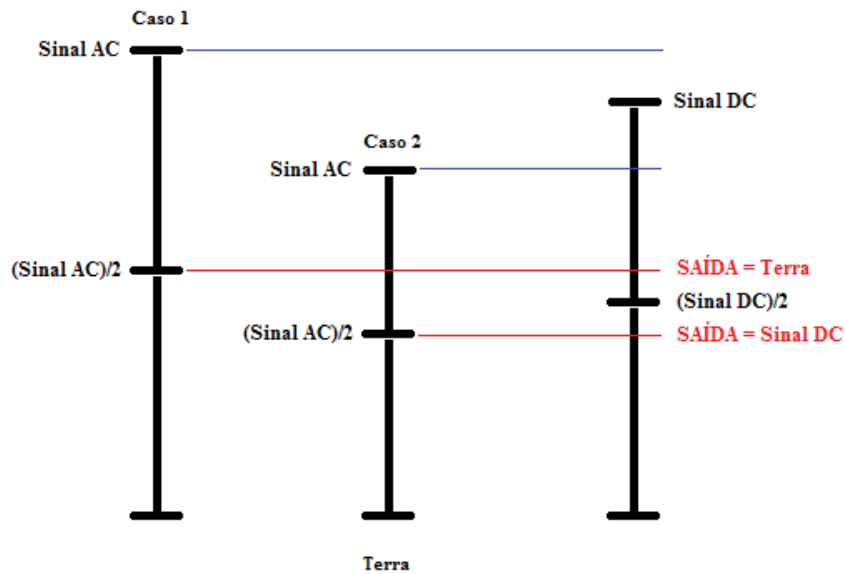


Figura 19 – Esquemático de funcionamento do comparador *Two-input Common-gate*.

4.2 Comparador Principal Acompanhado de Comparador Auxiliar.

O comparador da figura 20 foi proposto em (33). Este comparador é baseado no comparador *Two-input Common-gate*.

Um dos problemas apresentados pelo Comparador *Two-input Common-gate* é que o tempo de ação para “ativar” o comparador é menor do que o tempo de ação para “desativar”. Isto faz que o atraso para o comparador “desativar” seja maior do que o atraso

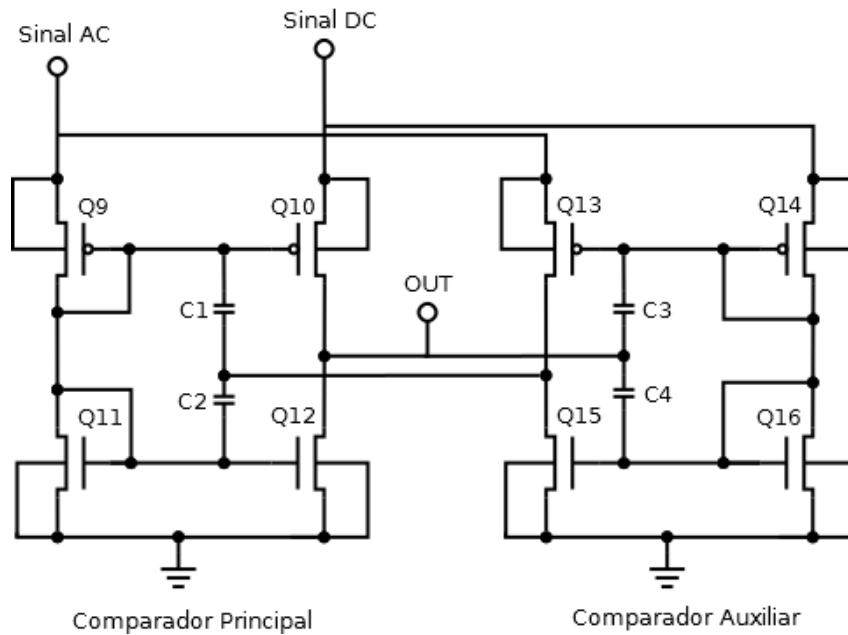


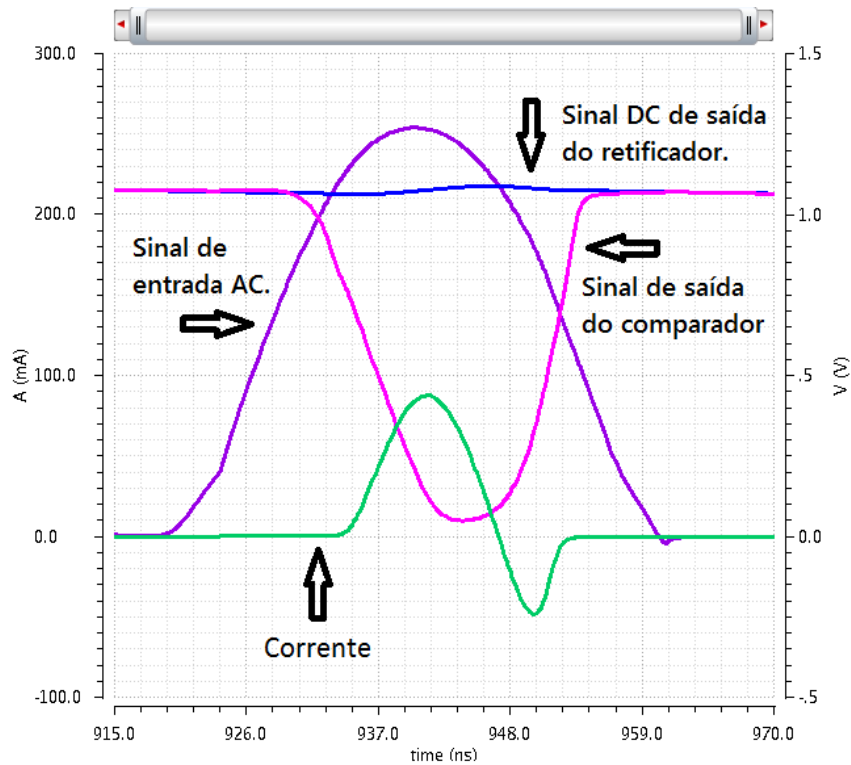
Figura 20 – Comparador apresentado em (33)

para o comparador "ativar". Esse comportamento pode ser percebido na figura 21 (b) onde o atraso de subida do comparador (Sinal de saída do comparador) evidenciado dentro do círculo B é maior do que o atraso de descida evidenciado pelo círculo C. É possível perceber também que embora o atraso de descida (círculo C) não crie uma corrente reversa, o atraso de subida (círculo B) foi suficiente para gerar a corrente reversa evidenciada pelo círculo A.

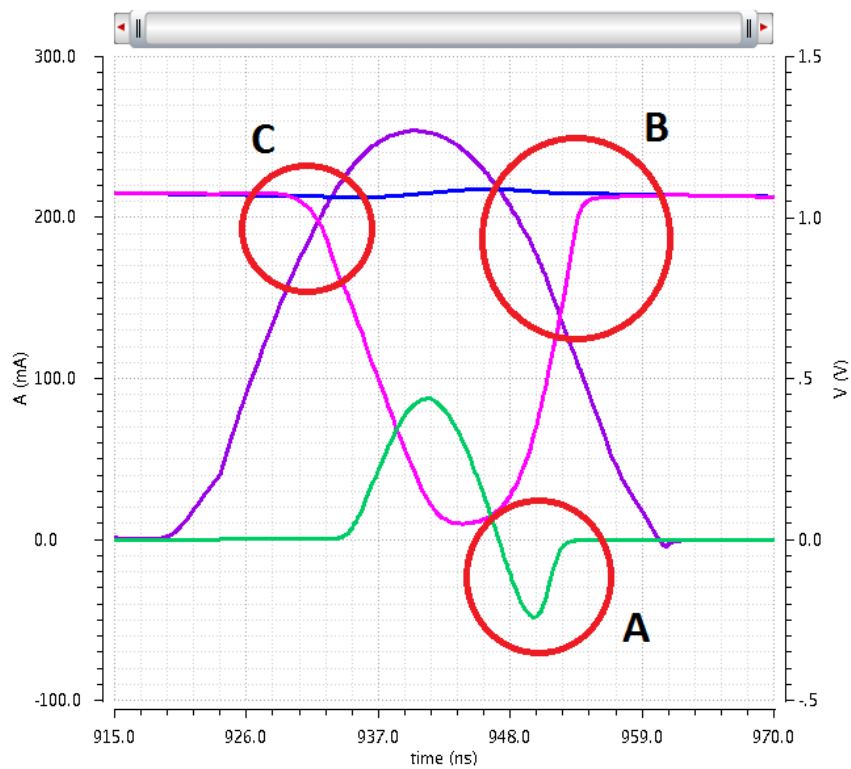
Essas premissas norteiam o funcionamento do Comparador Principal Acompanhado de Comparador Auxiliar. Este é formado por dois Comparador *Two-input Common-gate* que trabalham em conjunto. Enquanto o comparador principal monitora o sinal de tensão de entrada do retificador (Sinal AC) se tornar maior que o sinal de tensão de saída do retificador (Sinal DC), o comparador auxiliar faz o processo oposto, isto é, monitora quando o sinal de saída se torna maior que o sinal de entrada.

Para que os comparadores principal e auxiliar trabalhem em conjunto é esperado que o comparador principal tome conta do processo enquanto o comparador auxiliar apenas "ajude" o comparador principal chavear mais rápido. Para que isso seja possível os autores de (33) recomendam que os transistores do inversor do comparador auxiliar sejam menores que os transistores do comparador principal, isto é, Q13 e Q15 devem ser menores que Q10 e Q12.

Uma desvantagem deste comparador é que são necessários capacitores (C[1 - 4]) na comunicação entre os dois comparadores. Estes capacitores tendem a ocupar grandes áreas na pastilha de silício.



(a)



(b)

Figura 21 – Forma de onda de um retificador com comparadores. (a) designação das curvas, (b) destaque para atrasos e corrente reversa.

4.3 Comparador Proposto

O comparador da figura 22 é baseado no Comparador *Two-input Common-gate* e está sendo posposto pela primeira vez neste trabalho.

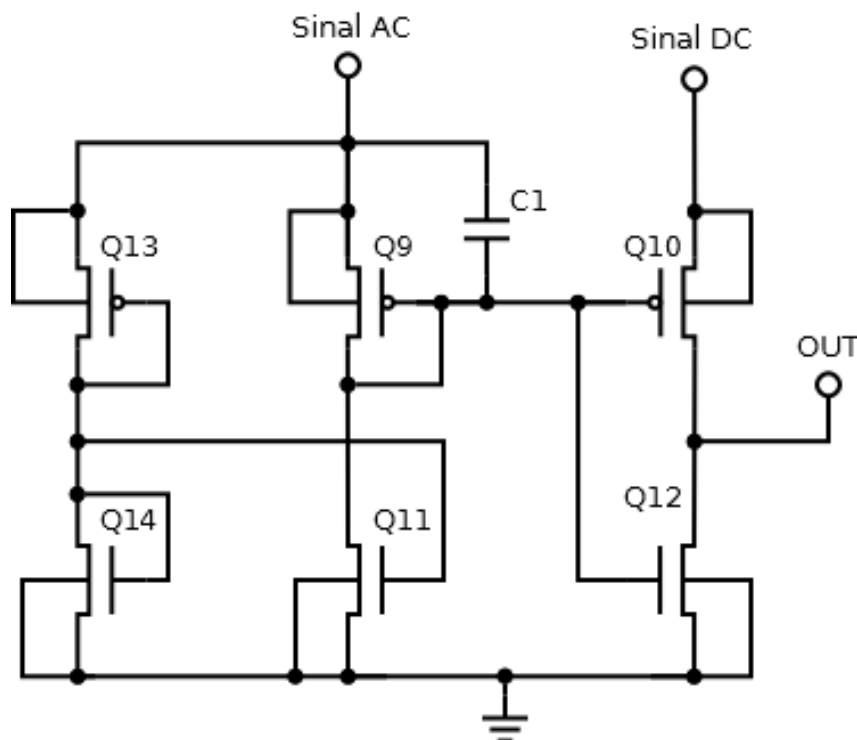


Figura 22 – Comparador Proposto

Os transistores Q9, Q10, Q11 e Q12 formam um Comparador *Two-input Common-gate* modificado pois o *gate* do transistor Q11 não é ligado ao potencial do *gate* de Q9. O capacitor C1 e o divisor de tensão formado pelos transistores Q13 e Q14 são responsáveis por diminuir os atrasos de ação do comparador.

A tensão do *gate* do transistor Q9 gerada pelo divisor de tensão Q9-Q11 é responsável por chavear o inversor Q10-Q12. Apesar da tensão do divisor de tensão estar em fase com a tensão de entrada Sinal AC sua velocidade de subida não é tão rápida quanto a da tensão de entrada. A função do capacitor C1 é permitir, enquanto o capacitor ainda não está totalmente carregado, que a tensão de entrada Sinal AC controle a subida do sinal responsável pelo inversor.

A figura 23 mostra com destaque uma protuberância na tensão derivada do divisor de tensão Q9-Q11 que direciona o inversor Q10-Q12 (Tensão nos *gates* de Q10-Q12). Esta protuberância surge no momento em que o capacitor C1 se carrega totalmente, se torna uma chave aberta, e o inversor Q10-Q12 passa a ser controlado unicamente pela tensão derivada do divisor de tensão Q9-Q11, isto é, o Sinal AC está desconectado dos *gates* Q9, Q10 e Q12. A posição desta protuberância no sinal depende das dimensões do capacitor C1. Quanto mais próximo do topo, mais rápido será o tempo de subida do sinal e menor

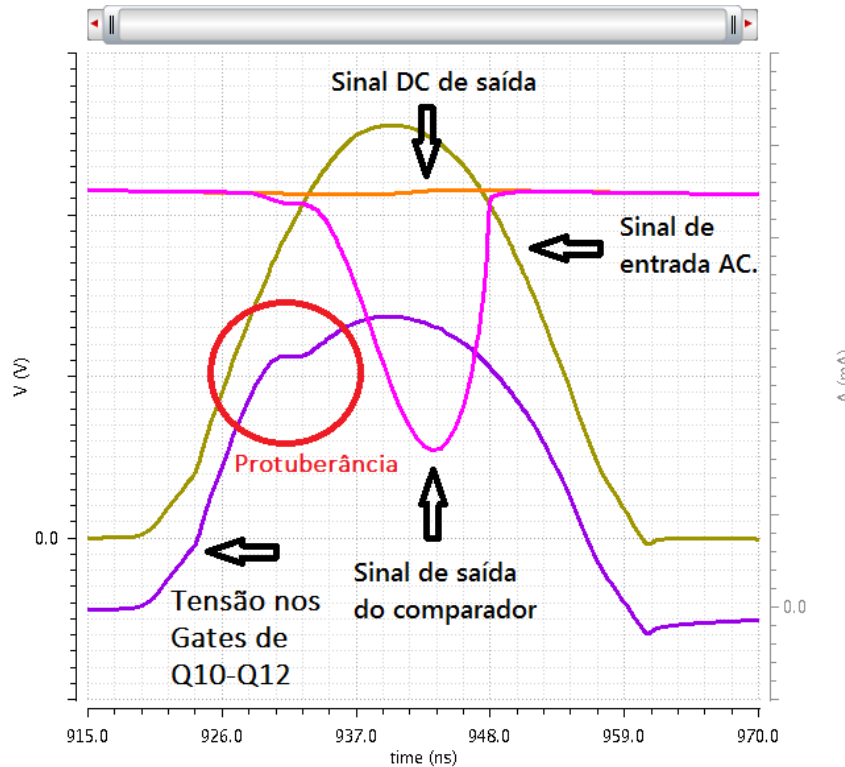


Figura 23 – Forma de ondas do comparador com destaque para a protuberância do sinal do divisor de tensão.

será o atrasado na atuação do comparador, o que acarreta em uma menor corrente reversa.

O dimensionamento aproximado do tamanho do capacitor deve levar em consideração duas variáveis, a frequência de operação do circuito que determina em quanto tempo o capacitor deve ser carregado e a resistência elétrica do circuito vista da posição do capacitor. Sabe-se por análise dimensional que $1\Omega * 1F = 1$ segundo. Essa relação entre resistência e capacitância da origem a equação 4.1 que representa a constante de tempo de carga do capacitor (43).

$$\tau = RC \quad (4.1)$$

No tempo obtido pela constante RC o capacitor será carregado, ou descarregado, em 63% da carga total (43). Para uma carga de 99,3% devemos considerar um tempo de carga de 5τ (44). Assim, para estimar a capacitância $C1$ basta aplicar a equação 4.2, onde C representa a capacitância que o capacitor deve ter, R é a resistência do circuito e T o tempo que espera-se que o capacitor carregue. O tempo de carga do capacitor para nosso circuito deve ser menor que o tempo para o Sinal AC ir de 0V até o pico de tensão, ou seja, $1/4$ do ciclo. Para 13,56MHz isso equivale a $0,0184\mu s$.

$$C = \frac{T}{5R} \quad (4.2)$$

Uma estimativa da resistência do circuito obtida através de simulação pode servir como referência para o cálculo aproximado de um valor ideal de capacitor C1. Aplicando-se o método de resistência equivalente de Thévenin (45) obtêm-se uma resistência de $413,9\Omega$. Essa resistência aplicada na equação 4.2 retorna uma capacitância C1 ótima de $8,89\text{pF}$.

De um tamanho mínimo até um tamanho ótimo o capacitor C1 amplia a velocidade de atuação do comparador e diminui a corrente reversa, contudo, quando o tamanho do capacitor C1 ultrapassa o tamanho ótimo este permite que o sinal de tensão de entrada Sinal AC controle o funcionamento do inversor Q10-Q12 por mais tempo que o necessário, atrasando o funcionamento do comparador e ampliando a corrente reversa.

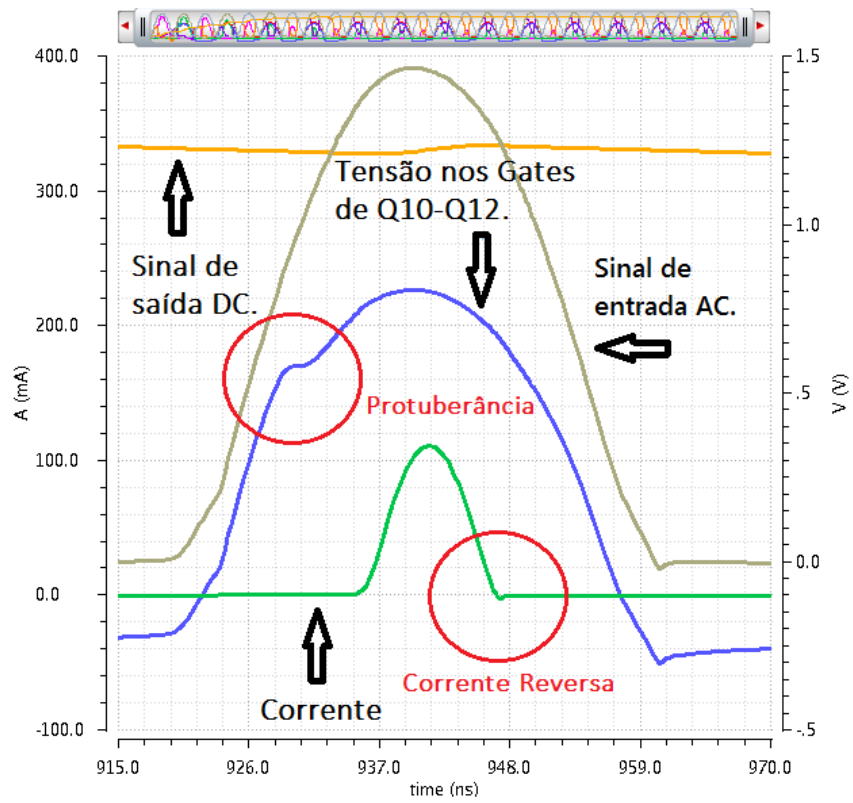
A figura 24 (a) mostra a atuação de um comparador que possui C1 com capacitância abaixo do ponto ótimo, nela estão em destaque a protuberância e a corrente reversa do retificador. A figura 24 (b) mostra a atuação de um comparador que possui C1 com capacidade acima do ponto ótimo. Nesta figura não é possível observar nenhuma protuberância porque o capacitor nunca se carrega totalmente e permite que a tensão Sinal AC tenha influência sobre o inversor durante todo o ciclo. Ainda nessa figura em destaque está a corrente reversa que se tornou maior do que a corrente reversa da figura 24 (a).

A utilização de um capacitor extra para cada comparador em circuito integrado pode ser problemática porque capacitores ocupam grandes áreas de silício. O valor ótimo de um capacitor, dependendo da aplicação, pode ser da ordem de dezenas de nF o que inviabilizaria esta proposta. Dois atenuantes seriam, a possibilidade de utilizar-se capacitores externos ao chip, ou, de valor bem abaixo do valor ótimo, mas compatíveis com o tamanho de área de silício disponível no circuito integrado.

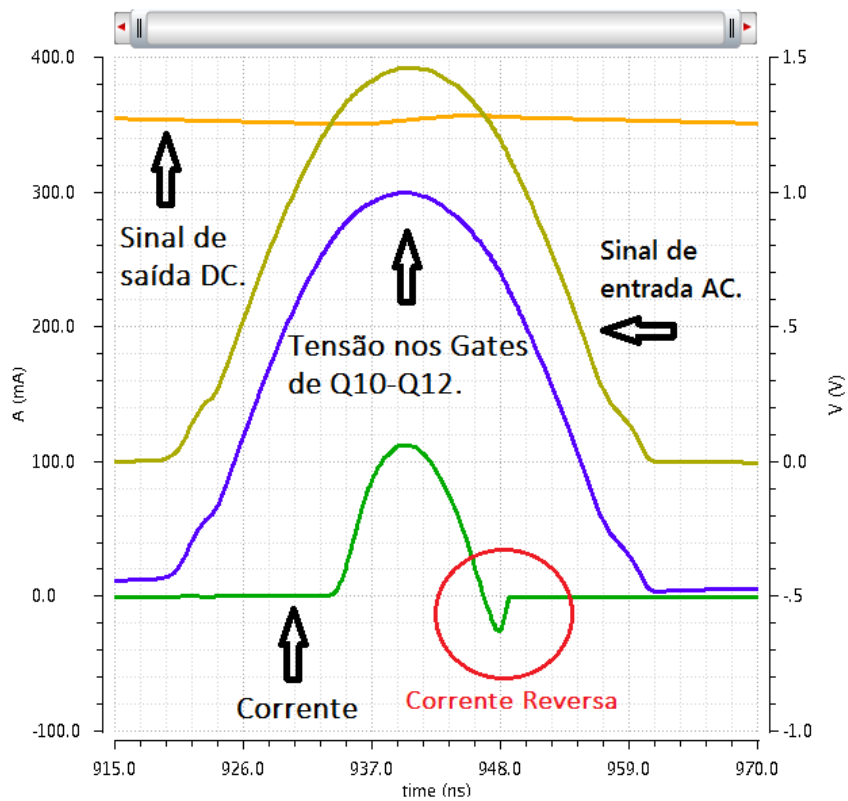
Como já mencionado em 4.2 o tempo de subida do sinal de saída do comparador sofre atraso maior do que o tempo de descida (essa é uma característica intrínseca do circuito que precisa de um tempo de acomodação antes de detectar uma mudança de estado, e que devido a isso, pode minimizar mas não zerar ao mesmo tempo o atraso nas bordas de subida e descida). O divisor de tensão auxiliar Q13-Q14 tem por objetivo produzir uma tensão no *gate* de Q11 apenas alguns poucos mV maior do que a tensão produzida no divisor de tensão Q9-Q11. Esta tensão um pouco maior permite que Q11 “ligue” um pouco antes e chaveie a saída do inversor Q10-Q12 de nível lógico baixo para nível lógico alto alguns momentos antes do que ocorreria normalmente. Este divisor de tensão não pode gerar tensão muito acima da tensão gerada pelo divisor de tensão Q9-Q11 porque assim chavearia o transistor Q11 muito rápido e mudaria completamente o ponto de operação do inversor Q10-Q12.

A utilização do divisor de tensão Q13-Q14 amplia a velocidade de ação e permite que se tenha um funcionamento parecido do comparador mesmo utilizando-se um valor menor do capacitor C1. Como referência numérica, se utilizarmos o circuito sem o divisor

de tensão Q13-Q14, com um sinal de entrada de 1,3Vac e um capacitor de 10pF, a corrente reversa máxima é quase duas vezes maior do que a mesma configuração com o divisor de tensão Q13-Q14. Para ter um resultado igual ao alcançado pelo circuito que tem o divisor de tensão Q13-Q14, porém, sem utilizar o divisor de tensão, seria necessário empregar um capacitor de 97pF para ter o mesmo resultado reduzido de corrente reversa máxima.



(a)



(b)

Figura 24 – Comparação de formas de onda utilizando (a) capacitor C1 de valor adequado, (b) capacitor C1 de valor acima do ponto ótimo.

5 Projeto do Retificador

Neste capítulo iremos abordar o projeto do retificador e justificar todas as decisões tomadas durante o desenvolvimento. O *layout* do retificador com comparador proposto está presente no Apêndice B.

5.1 Análise Preliminar e Topologia Escolhida

O objetivo deste trabalho é projetar um retificador em circuito integrado de baixo consumo e alta eficiência (PCE acima de 80%) para retificar sinais de rádio frequência e ser utilizado em aplicações biomédicas que sejam implantadas. Como premissa básica, o tipo de implante ao qual este retificador se destina é o subcutâneo que não esteja a profundidade maior do que 4mm da pele.

Partindo do objetivo apresentado, foi escolhida a modalidade de indução magnética de campo próximo como sendo a forma de transferência de energia. A justificativa para esta escolha é que este método, mesmo exigindo que fonte e receptor estejam próximos um do outro, permite maior eficiência na transferência de energia.

Inicialmente esperava-se utilizar a frequência de 402MHz da Banda MICS para a transferência de energia devido a disponibilidade desta banda para utilização de comunicação de implantes médicos. Contudo, como já tratado na seção 2.2.1, a limitação de potência IERP imposta para utilização desta banda dificulta que a transferência de energia seja realizada por ela. Assim, a frequência de 13,56MHz da Banda ISM foi escolhida devido a esta ser uma banda livre, estar perto de 10MHz que é a região que produz menor aquecimento em tecidos por irradiação eletromagnética e ser a frequência já utilizada na tecnologia RFID e por isso permitir uma irradiação de até 10.000 $\mu\text{V}/\text{m}$ a 30 m autorizada pela FCC (46).

Dentre as topologias de retificadores disponíveis, a literatura deixa claro que os retificadores ativos tem desempenho muito melhor do que os retificadores passivos. Por ser este um primeiro trabalho, o retificador ativo utilizando comparadores foi selecionado como modelo. Para os comparadores do retificador foi desenvolvida a proposta de um novo comparador 4.3 baseado no comparador *Two-input Common-gate*.

Por fim, todo o projeto será desenvolvido para a tecnologia de 130nm da IBM. Esta escolha se deve ao fato do grupo de pesquisa de microeletrônica da UNIFEI possuir os *design kits* desta tecnologia e ela estar disponível para produção pelo convênio MOSIS.

5.2 Caracterização dos Transistores

Na tecnologia de 130nm da IBM existem dois tipos de transistores típicos que seriam possíveis de se trabalhar. Os transistores FET33 (NFET33 e PFET33) que são transistores MOS “standard” e os transistores FET(NFET e PFET) que são Halo Implantados de canal curto. Enquanto os transistores FET33 só estão disponíveis na tecnologia para tamanhos de L maior ou igual a 400nm os transistores FET estão disponíveis para tamanhos de L maior ou igual a 130nm. Outra diferença é sobre a construção dos transistores FET. Devido ao fato destes serem halo implantados a curva característica $V_{ds} \times I_d$ é menos “comportada” e a inclinação das retas de V_{gs} tem uma maior variação porque o halo-implante diminui a impedância de saída do transistor (47), figura 25.

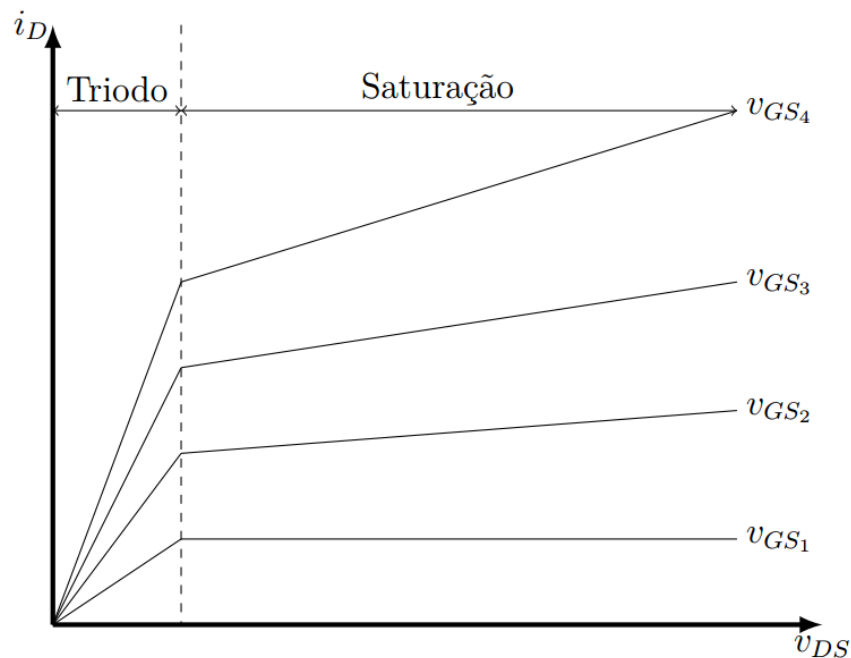


Figura 25 – Inclinação nas curvas $V_{ds} \times I_d$ devido ao estreitamento do canal (47).

Assim, o método tradicional de caracterização dos transistores é prejudicado. Devido as diferentes inclinações de curvas do gráfico da figura 25 para diferentes valores de V_{gs} , se tomarmos o gráfico de $V_{gs} \times \sqrt{I_d}$ esse não será uma reta onde é possível pegar o coeficiente angular que usualmente é utilizado como parâmetro para caracterizar os transistores, figura 26. Por este motivo outro método foi escolhido para caracterizar os transistores MOS. Dois circuitos de polarização foram especificados, um para o transistor PMOS e um para o NMOS, figura 27. Estes circuitos foram elaborados para simular as condições de polarização dos transistores quando estes estivessem em operação no retificador.

Para ambos os transistores uma fonte senoidal produz uma tensão de V_g que varia em 2V. Os transistores também tem uma diferença de potencial entre *dreno* e *source* de

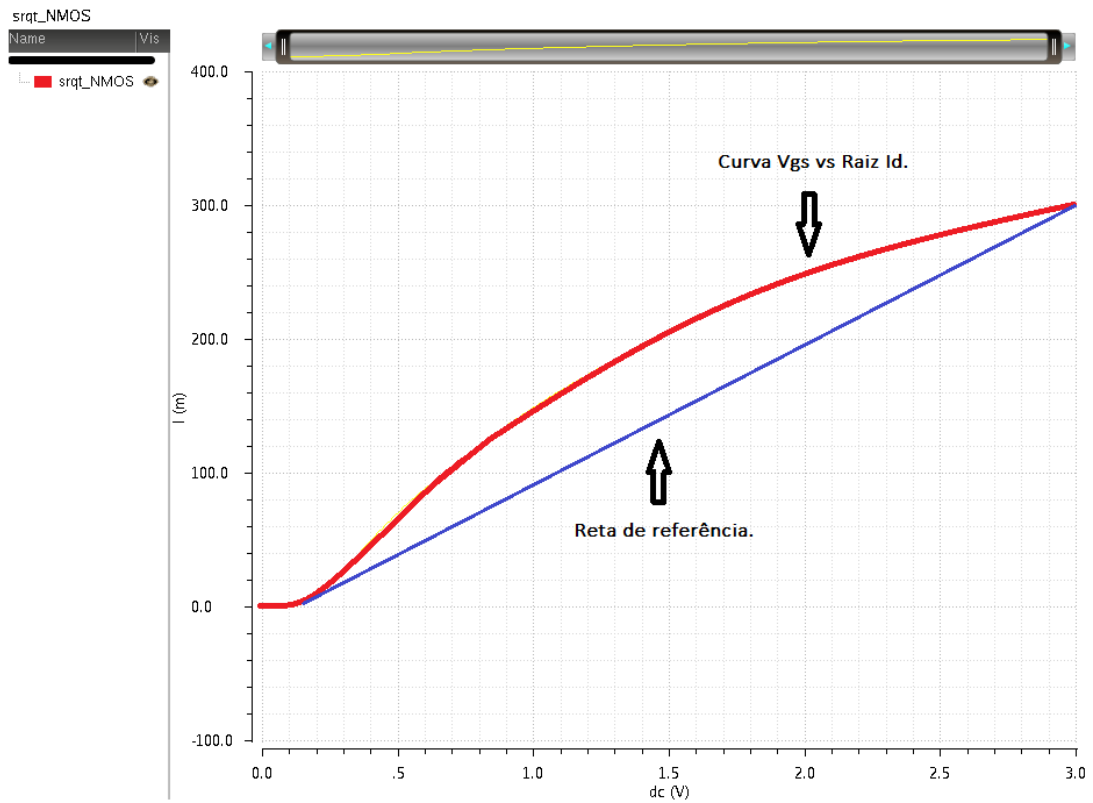


Figura 26 – Gráfico de V_{gs} vs $\sqrt{I_d}$ para o transistor NMOS acompanhado de reta de referência para comparação com a curva.

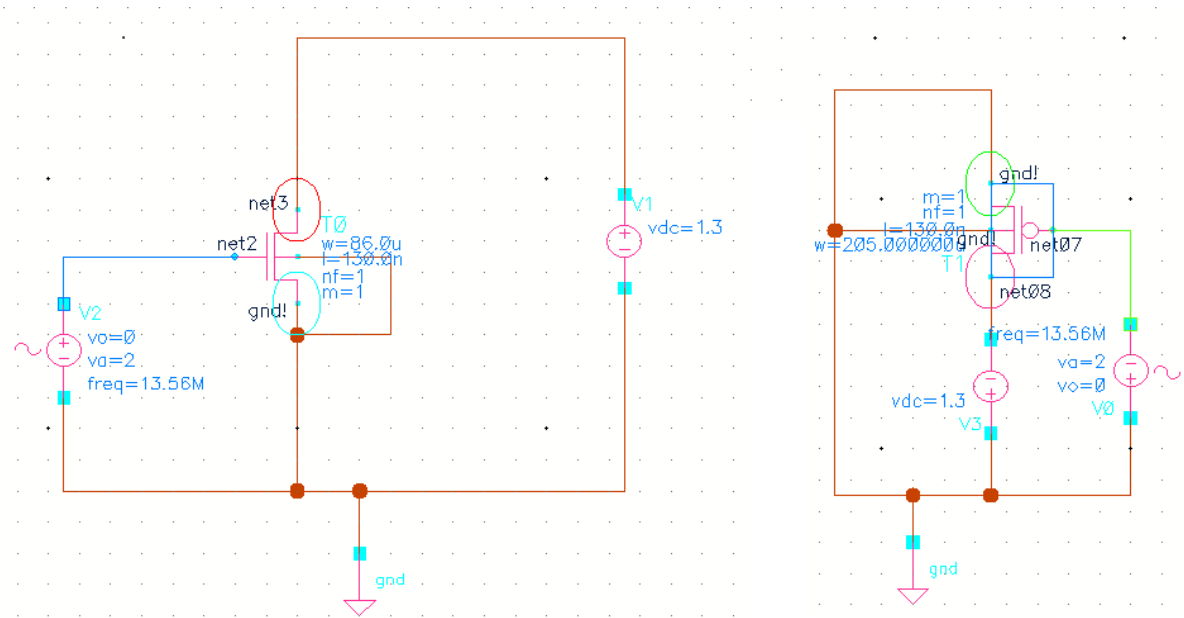


Figura 27 – Circuitos de polarização e caracterização do transistor NMOS (esquerda) e PMOS (direita).

1.3V. Assim, as correntes de dreno para os dois transistores são apresentadas no gráfico da figura 28.

A figura 28 apresenta quatro curvas que estão quase sobrepostas duas a duas.

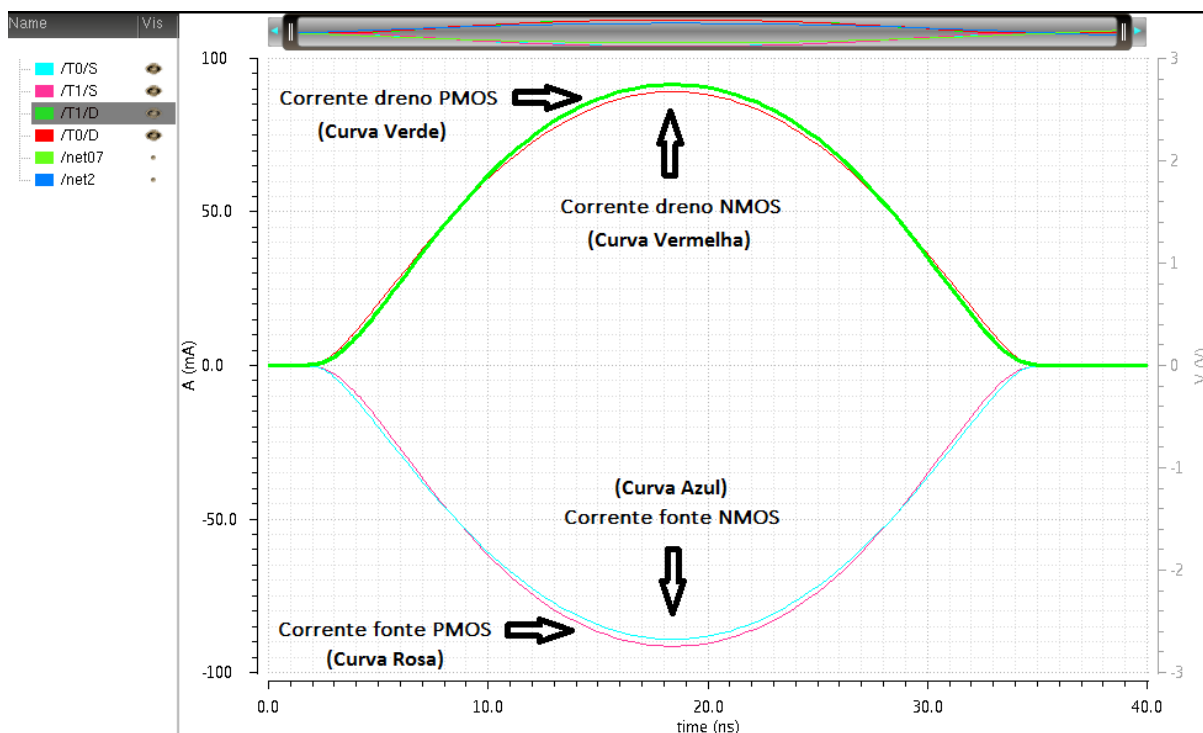


Figura 28 – Curva de correntes de caracterização dos transistores PMOS e NMOS.

As curvas vermelha e azul correspondem a corrente que entra e que sai do transistor NMOS, rosa e verde correspondem a corrente que entra e que sai do transistor PMOS. As curvas dos transistores NMOS e PMOS são independentes e a forma das quatro curvas é modificada variando-se a dimensão dos transistores. O tamanho dos dois transistores foi variado manualmente para que as 4 curvas, duas a duas, estivessem sobrepostas da melhor maneira possível. Nesta situação de curvas sobrepostas a capacidade de transmitir correntes dos transistores para este tipo de polarização é muito próxima. O tamanho dos transistores PMOS e NMOS nesta situação é de $L = 130\text{nm}$, $W_p = 205\mu\text{m}$ e $W_n = 86\mu\text{m}$. Isso significa que a relação entre os tamanhos dos transistores PMOS e NMOS é $W_p/W_n = 2,38$. Ou seja, para uma polarização onde V_{ds} ou V_{sd} dos transistores é $1,3\text{V}$ e V_g de até 2V o transistor PMOS deve ser 2,38 vezes maior que o transistor NMOS para uma mesma capacidade de condução de corrente.

5.3 Polarização de Corpo Dinâmica

A polarização de corpo dinâmica consiste em dois transistores PMOS conectados na forma da figura 29 para que a tensão de base da saída “Base do Transistor”, conectada ao transistor alvo, esteja sempre amarrada ao sinal de maior potencial. Se Sinal 2 é baixo, este “liga” o transistor Q6 que transmite a tensão mais alta para “Base do Transistor”. Se Sinal 1 é menor que Sinal 2 Q8 “liga” e transmite sinal de tensão alto, Sinal 2, para a “Base do Transistor”.

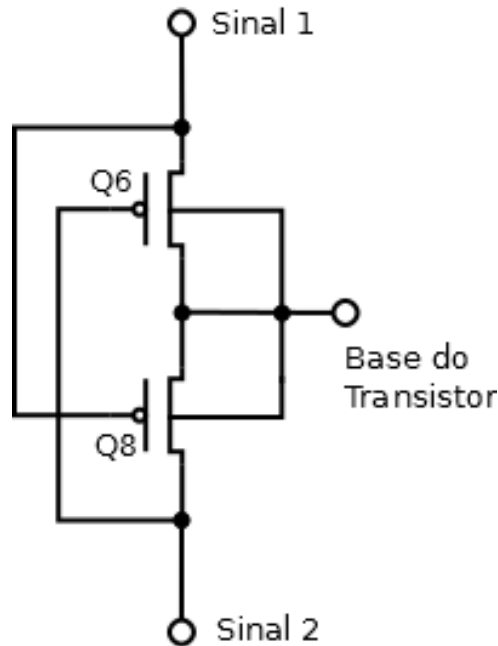


Figura 29 – Esquemático do circuito de polarização de corpo dinâmica (40).

O tamanho dos transistores PMOS neste circuito deve ser suficiente para prover corrente que polarize a base do transistor alvo, e portanto, proporcional ao tamanho da base do transistor que se deseja polarizar com a saída “Base do Transistor”. Para este circuito foi mantido o tamanho de $W = 10\mu\text{m}$ e $L = 130\text{nm}$ utilizado durante a fase de estudos com o retificador utilizando comparadores com comparador auxiliar (33).

5.4 Dimensionamento dos Transistores do Retificador

Como abordado em 2.3.2 a quantidade de potência consumida por um circuito implantado varia conforme a aplicação final. Circuitos que realizam o envio de grandes quantidade de informação sem fio tendem a consumir mais potência. Para o dimensionamento dos transistores a quantidade de potência que virá a ser consumida é um fator determinante pois maior potência implica em maior corrente e os transistores CMOS são limitados em relação a potência máxima que podem transmitir de acordo com suas dimensões.

Uma vez que a tecnologia escolhida para este trabalho é a 130nm da IBM a precisa quantidade máxima de corrente que transistores podem transmitir nesta tecnologia, juntamente com suas respectivas incertezas, é um dado confidencial que não pode ser publicado. Por este motivo adotaremos como limite de corrente máxima para este tipo de processo os seguintes valores que estão dentro da margem de incerteza fornecida pela IBM para o tipo de transistor que é utilizado neste circuito:

$$\text{Corrente Máxima: PMOS} = 145 \mu\text{A}/\mu\text{m}, \text{ NMOS} = 445 \mu\text{A}/\mu\text{m}$$

Pela seção 2.3.2 a maioria dos implantes consomem por volta de 1mW. Esse valor de potência ajuda na estimativa da corrente que poderá circular pelos transistores do retificador. Uma vez que as tensões são da ordem de 1V, aproximadamente, 1mA poderá circular pelos transistores para um caso comum. Contudo, ainda existem muitos circuitos que consomem de 10mA até 100mA (42) e como abordado na seção 2.3.2 alguns poucos circuitos consomem próximo de 1000mW o que representa $1000\text{mA} = 1\text{A}$ no pior de todos os casos. Mesmo que em raríssimos casos existam implantes que a corrente seja de 1000mA, por este ser o pior dos casos, será o valor adotado como a corrente máxima do dispositivo. Esse grande valor de corrente máxima aceitável também irá colaborar como margem de segurança para a proteção do circuito com variações de distância entre a antena do receptor e a antena do emissor, mesmo o circuito final sendo integrado com limitadores de corrente.

O transistor PMOS suporta a menor quantidade de corrente. Como mencionado anteriormente, este transistor suporta até $145 \mu\text{A}/\mu\text{m}$. Para esta ordem de corrente máxima é necessário um transistor PMOS de $6896\mu\text{m}$ para operar no pior caso suportando uma corrente de 1000mA. Contudo, a topologia do retificador proporciona que cada par de transistores trabalhe apenas durante meio ciclo transmitindo metade da corrente total. Assim, um transistor tipo PMOS de $3448\mu\text{m}$ pode suportar o pior caso de corrente.

Esse transistor grande é capaz de prover capacidade de transmissão de corrente e por isso consome uma grande área de silício, porém apresenta baixa resistência interna, o que amplia sua eficiência.

Os tamanhos dos transistores NMOS não são críticos em respeito a transmissão de corrente porque a capacidade destes é maior do que a dos transistores tipo PMOS. Para balancear a estrutura e fazer com que transistores NMOS e PMOS tenham tamanhos compatíveis, para transmitir mesma quantidade de corrente, a caracterização dos transistores feita na seção 5.2 deve ser levada em consideração para o cálculo do tamanho do transistor NMOS.

Uma vez que a relação de tamanho entre os transistores deve ser de 2,38 um transistor PMOS de $3,44\text{mm}$ corresponde a um transistor NMOS de $1,44\text{mm}$.

5.5 Dimensionamento dos Transistores do Comparador Proposto

O modo de funcionamento do comparador proposto foi explicado na seção 4.3. Aqui é feita uma abordagem apenas em respeito ao dimensionamento escolhido de cada transistor.

Para que seja feito o correto dimensionamento do comparador, este é dividido nesta análise em quatro partes: inversor, divisor de tensão principal, divisor de tensão

auxiliar e capacitor, figura 30.

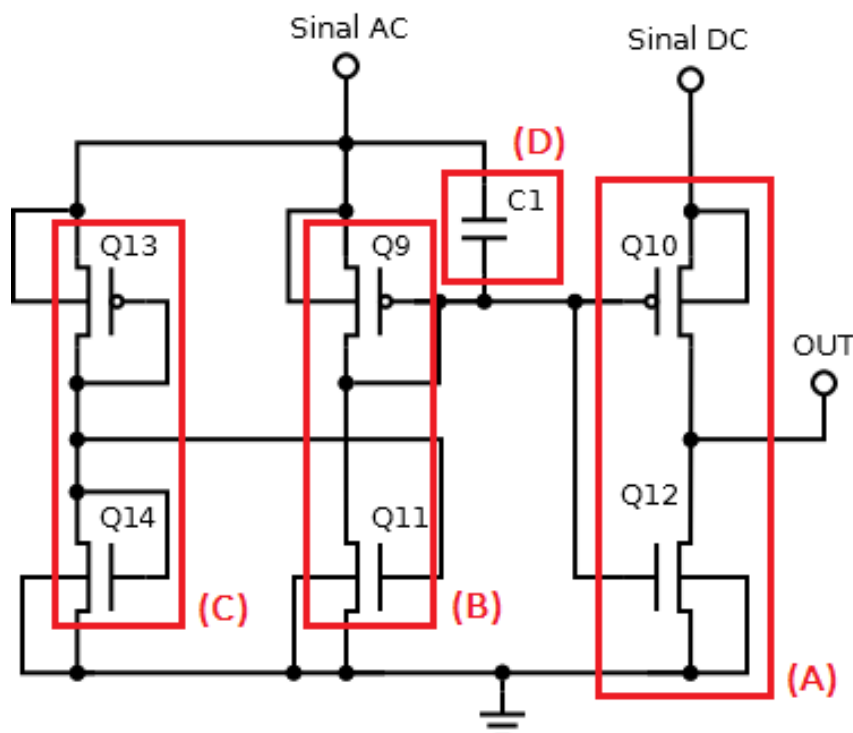


Figura 30 – Comparador proposto com destaque para as quatro partes: (A) Inversor, (B) divisor de tensão principal, (C) divisor de tensão auxiliar, (D) capacitor.

Como ponto de partida será feita a análise do inversor. O inversor além de responsável por polarizar os *gates* dos transistores do retificador tem por objetivo prover sinal DC ou de terra quando uma tensão maior ou menor a $(\text{sinal DC})/2$ é aplicada na sua entrada. Por ser tratar de polarização de *gates* é esperada que a quantidade de corrente consumida por estes seja muito pequena, o que em um primeiro olhar não exigiria grandes transistores, mas torna interessante que inicialmente a proporção entre o transistores PMOS e NMOS siga o dimensionamento estabelecido na seção 5.2 que prevê uma proporção de transistor PMOS 2,38 vezes maior que o transistor NMOS para uma mesma capacidade de condução de corrente.

Levando-se todas essas informações em consideração inicialmente foram escolhidas as mínimas dimensões da tecnologia para o transistor NMOS ($W = 160\text{n}$ $L = 130\text{n}$) e sua proporção na escala de 2,38 vezes para o transistor PMOS ($W = 380\text{n}$ $L = 130\text{n}$). Estas dimensões atendem ao critério de balanceamento dos transistores do inversor e são suficientes para a polarização de pequenos transistores, contudo devido ao grande tamanho dos transistores PMOS do retificador (3,44mm), a capacidade de prover corrente que polarize a tempo um *gate* de $W = 3,44\text{mm}$ não é suficiente. Assim, mantendo as mesmas proporções, os menores transistores capazes de prover corrente suficiente, encontrados através de simulações, são NMOS ($W = 20\mu$ $L = 130\text{n}$) e PMOS ($W = 47.6\mu$ $L = 130\text{n}$).

Pensando na saída do comparador proposto este deve ser capaz de prover tensão

de terra ou tensão sinal DC quando a tensão aplicada no *gate* dos transistores do inversor for ligeiramente maior do que $(\text{sinal DC})/2$. Desta maneira o divisor de tensão principal deve prover um pico de tensão no mesmo momento em que o sinal AC, que o controla, atingir seu pico máximo. Sendo o pico do sinal AC esperado igual ou maior a 1,3V e considerando-se que o sinal DC deve ser sempre menor que o pico do sinal AC, para condições normais de operação, então o divisor de tensão principal deverá prover tensão ligeiramente maior do que $(\text{sinal AC})/2$ para um correto chaveamento do inversor, (650mV ou mais).

Os divisores de tensão são abordados primeiramente como divisores de tensão de resistores discretos como o exemplo da figura 31.

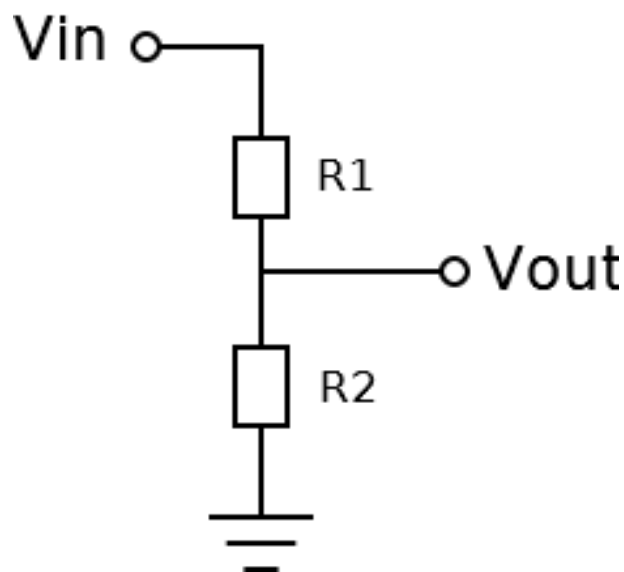


Figura 31 – Divisor de tensão.

A fórmula que relaciona V_{out} , V_{in} , R_1 e R_2 do divisor da figura 31 é exibida na equação 5.1.

$$V_{out} = \frac{R_2}{R_1 + R_2} * V_{in} \quad (5.1)$$

Considerando-se a equação 5.1 para uma tensão $V_{out} = V_{in}/2$ basta que R_1 seja igual a R_2 porém, como discutido anteriormente, é preciso que V_{out} seja um pouco maior que a metade de V_{in} . Para isso, o resistor R_2 deve ser ligeiramente maior do que R_1 .

Esta análise, apesar de verdadeira, considera que não existe fuga de corrente através do nó V_{out} , o que no caso dos divisores de tensão do comparador não é verdade, pois existe uma pequena corrente que polariza os *gates*. A figura 32 apresenta um modelo melhor de divisor de tensão.

A corrente que sai pelo nó V_{out} na figura 31 é modelada através do resistor R_3 na figura 32. Ou seja, o resistor R_2 da figura 31 equivale ao resistor equivalente composto

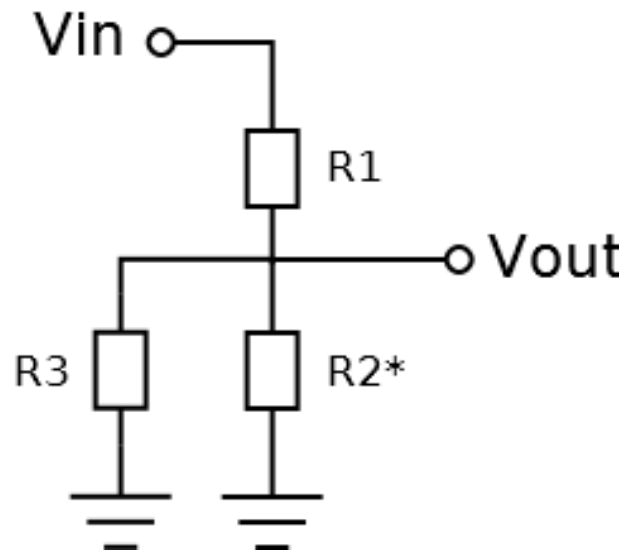


Figura 32 – Divisor de tensão com fuga de corrente simbolizada pela resistência $R3$.

pelos resistores $R2^*$ e $R3$ da figura 32.

O resistor $R2^*$ está em paralelo com $R3$ na figura 32 e existe a necessidade que o resistor equivalente formado por $R3$ e $R2^*$ seja maior que o resistor $R1$, então é preciso que $R2^*$ da figura 32 seja um pouco maior do que o resistor $R2$ da figura 31.

Resumidamente a análise do divisor de tensão com resistores discretos mostra que para uma tensão V_{out} maior do que $V_{in}/2$ $R2$ deve ser maior do que $R1$. Para o caso onde existe fuga de corrente através do nó V_{out} $R2^*$ deve ser ainda maior do que $R2$.

Retornando agora a análise dos divisores de tensão principal e auxiliar, é conhecido que os transistores MOS, em especial no caso do transistor NMOS do divisor de tensão principal, não funcionam seguindo diretamente a Lei de Ohm, mas a análise do divisor de tensão de transistores discretos norteia a escolha dos tamanhos dos transistores.

Seguindo esta lógica, e iniciando-se pelo divisor de tensão auxiliar do comparador proposto, este deve prover tensão que alimenta o *gate* do transistor NMOS do divisor de tensão principal. Esta tensão deve ser um pouco maior do que a tensão provida pelo divisor de tensão principal. Por se tratar da alimentação de um *gate* de um transistor que é esperado que tenha um tamanho pequeno, foi escolhida a dimensão mínima para o NMOS ($W = 160\text{nm}$, $L = 130\text{nm}$). A dimensão mínima garante que o transistor ocupará a menor área possível e tenha a maior resistência para um canal de 130nm . Para ter uma resistência equivalente, o transistor PMOS deveria seguir a proporção de 2,38 vezes e ter um W de 380nm , assim, é sabido que o valor de W mínimo do transistor PMOS deve ser maior do que 380nm para que a resistência interna seja menor do que a resistência interna do NMOS e o direcionamento da análise com resistores discreto seja seguido. Para definir o quanto maior este tamanho deve ser, foi feita uma simulação e ampliado o tamanho W do PMOS até que o pico da tensão de saída do divisor de tensão auxiliar fosse maior do

que 750mV que é exatamente a metade do pico do sinal de entrada adicionado de 100mV. Este tamanho final do PMOS, que foi refinado posteriormente, é de PMOS ($W = 5\mu\text{m}$, $L = 130\text{nm}$).

No caso do divisor de tensão principal a lógica da definição de tamanho dos transistores inicialmente foi a mesma. Porém a polarização do transistor NMOS pelo divisor de tensão auxiliar muda o comportamento do divisor de tensão principal em relação ao tamanho de seus transistores e a tensão de saída, mas não muda a necessidade de uma saída maior do que 650mV (metade do pico do sinal de entrada) e menor do que a tensão de saída do divisor auxiliar. Assim, primeiramente foram adotados os tamanhos mínimos para os transistores do divisor de tensão principal e o W do PMOS foi sendo reduzido até a saída desejada. Quando W de PMOS era mínimo a saída ainda não era a desejada, este foi mantido neste valor e o W do NMOS começou a ser ampliado. Para a seguinte configuração, e após ajustes finais, a saída do divisor de tensão principal alcançou a tensão desejada: PMOS ($W = 160\text{nm}$, $L = 130\text{nm}$), NMOS ($W = 700\text{nm}$, $L = 130\text{nm}$).

O método de definição do tamanho do capacitor utilizado já foi abordado na seção 4.3. Como mencionado, qualquer valor de capacitor até um tamanho limite trás ganhos a velocidade de chaveamento do circuito. A definição do tamanho do capacitor se deve mais a quantidade de área disponível de silício e se será utilizado ou não capacitor externo. Outra observação é que a capacitância ótima calculada para 1/4 de ciclo em 4.3 faz que o capacitor $C1$ se carregue totalmente apenas no momento de pico de tensão do Sinal AC. Assim, o Sinal AC tem influência direta sobre o inversor o tempo todo e o divisor de tensão principal nunca é ligado. Por esse motivo a capacitância $C1$ deve ser um pouco menor do que o valor ótimo calculado. Para este projeto, após escolhidas as dimensões dos transistores verificou-se que um capacitor de 5pF é o suficiente para reduzir a corrente reversa para ordem de microamperes e por este motivo não se adotou um valor maior de capacitor que consumiria mais área de silício.

Após determinadas todas as dimensões do comparador proposto foi observado uma característica na forma de onda da corrente de saída do retificador conforme o destaque (a) da figura 33.

Na figura 33 a corrente reversa de final de ciclo, que usualmente é mais difícil de ser eliminada, não é muito elevada, figura 33 (b). Porém, a corrente reversa de início de ciclo é considerável não sendo desprezável, figura 33 (a).

Uma maneira de diminuir a corrente reversa de início de ciclo é diminuir a amplitude do sinal de saída do comparador. Quando essa amplitude é reduzida o chaveamento dos transistores do retificador tem um pequeno atraso para começar e isso reduz a corrente reversa de início de ciclo. Para fazer essa redução a dimensão W do transistor NMOS do inversor deve ser reduzida, essa mudança de tamanho do transistor diminui a capacidade de drenar corrente e diminui a amplitude de saída do sinal do comparador, figura 34.

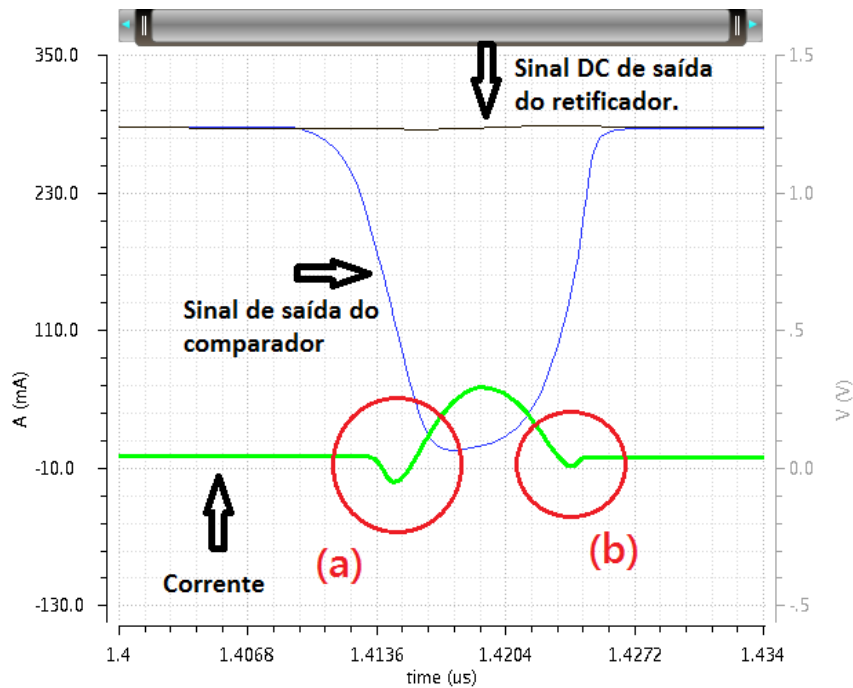


Figura 33 – Forma de onda da corrente do retificador. (a) Corrente reversa de início de ciclo, (b) corrente reversa de final de ciclo.

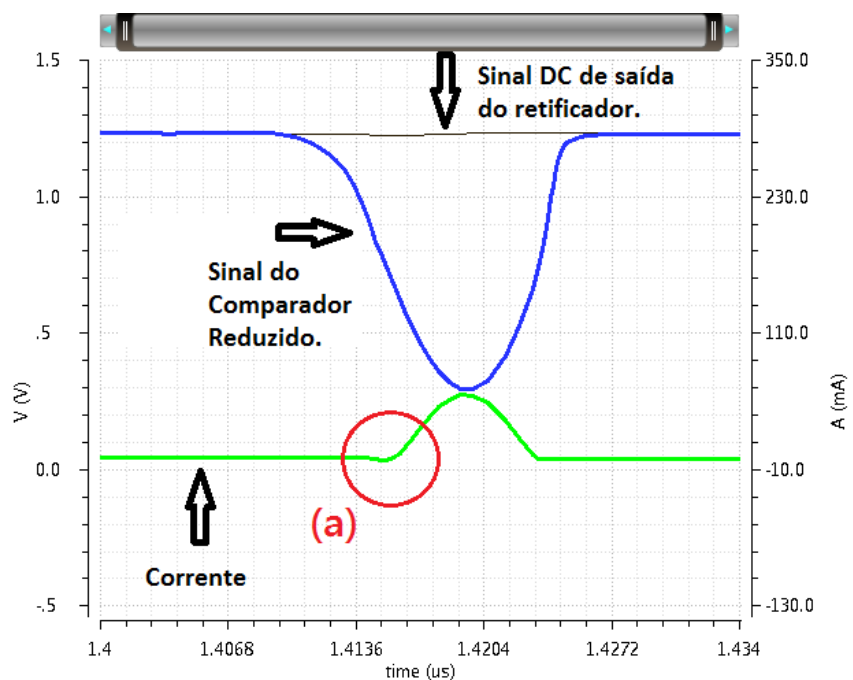


Figura 34 – Forma de onda da corrente do retificador e sinal de tensão da saída do comparador. (a) Corrente reversa de início de ciclo

Desta maneira, as dimensões finais dos transistores do inversor são NMOS ($W = 11\mu\text{m}$, $L = 130\text{nm}$) e PMOS ($W = 47.6\mu\text{m}$, $L = 130\text{nm}$). Vale mencionar que inicialmente as dimensões finais dos transistores do comparador não eram essas, todas as dimensões foram corrigidas por simulação para a máxima tensão de saída do retificador e menor corrente reversa, mas essas pequenas correções não interferiram na análise feita. As correções

foram responsáveis por um incremento de 10mV no sinal de saída e não mudaram o modo de operação.

A figura 35 exibe o circuito projetado completo do retificador com dois comparadores. As figuras 36, 37 e 38 são ampliações da figura 35.

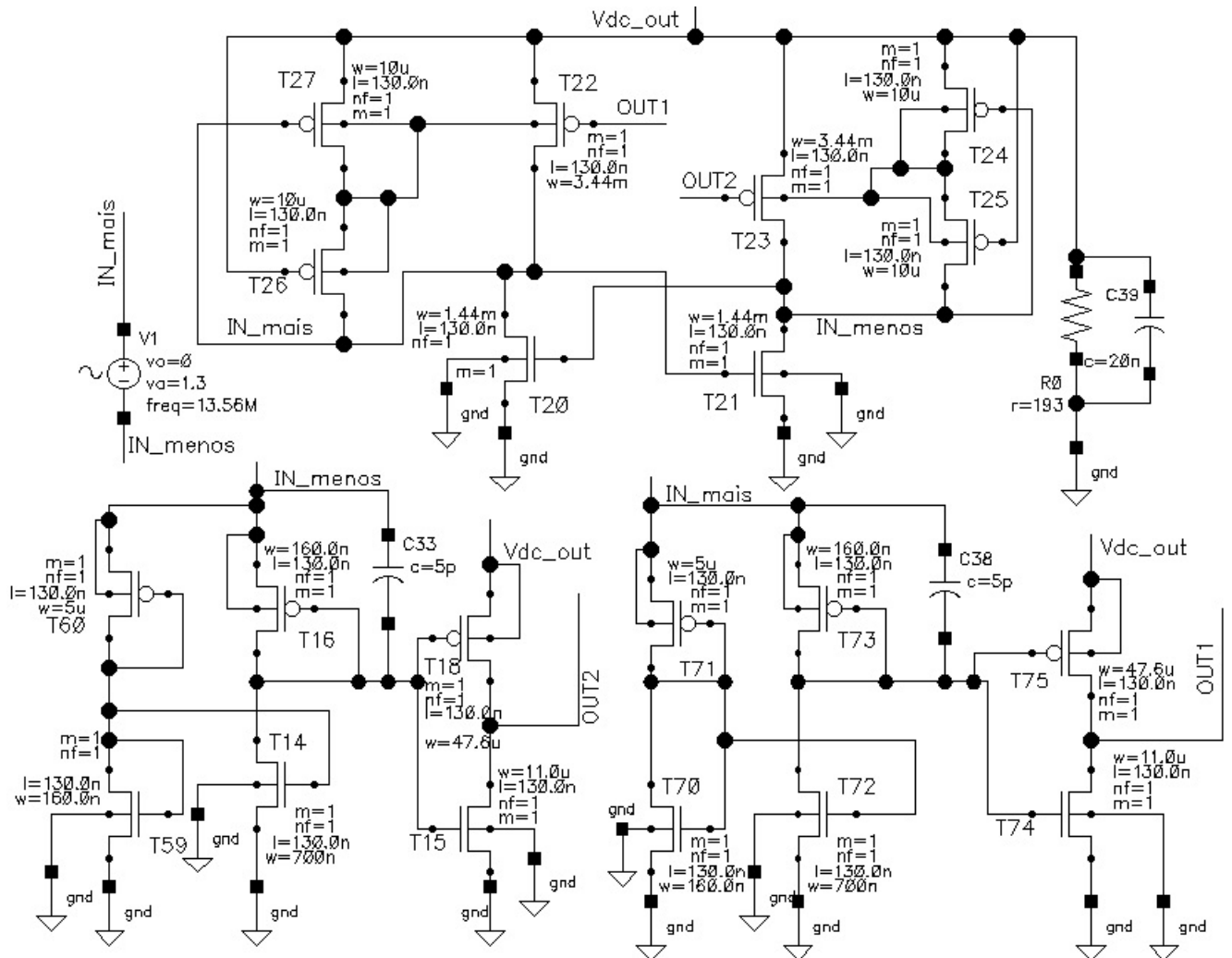


Figura 35 – Circuito completo do Retificador utilizando dois comparadores propostos.

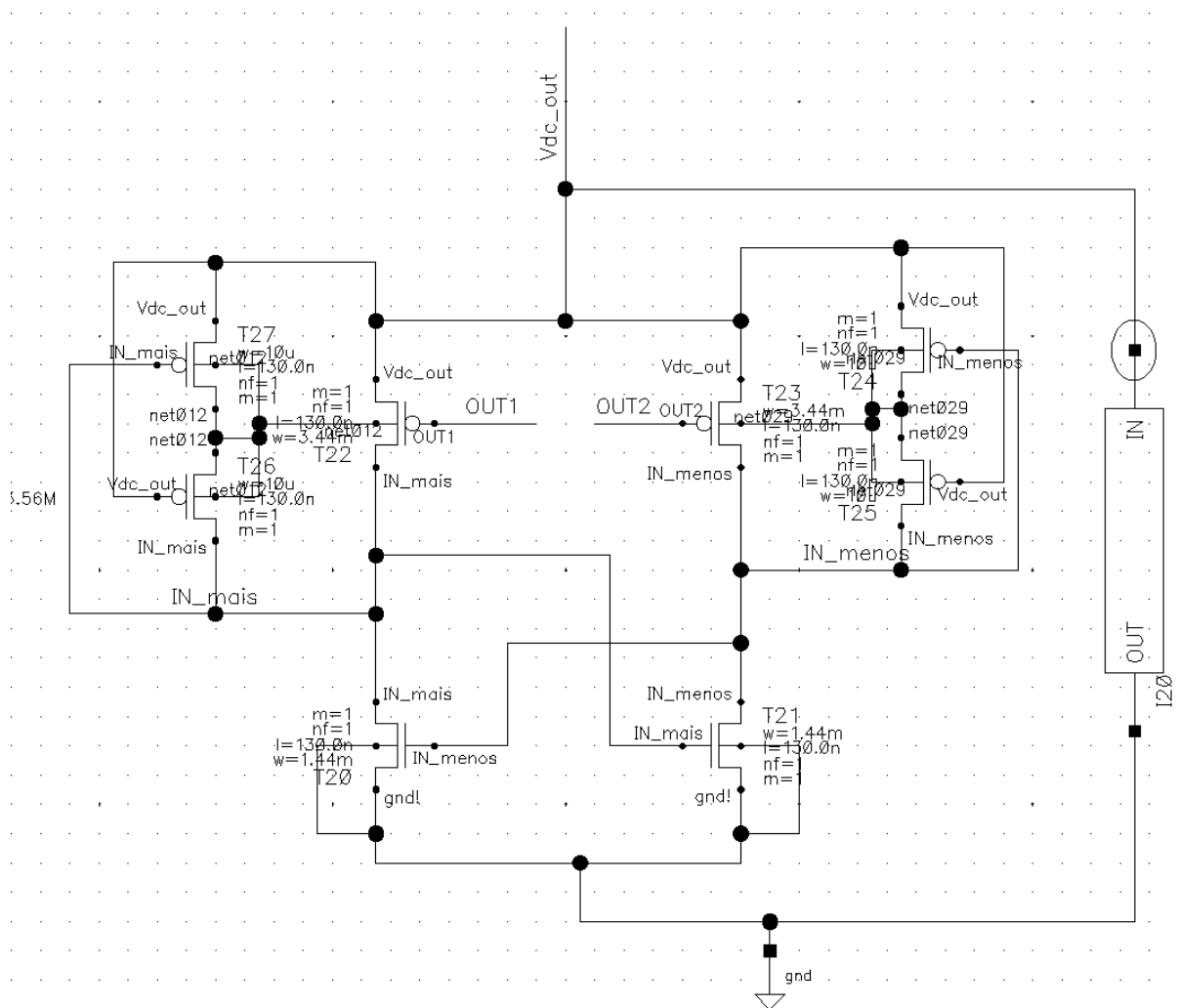


Figura 36 – Circuito do Retificador sem os comparadores.

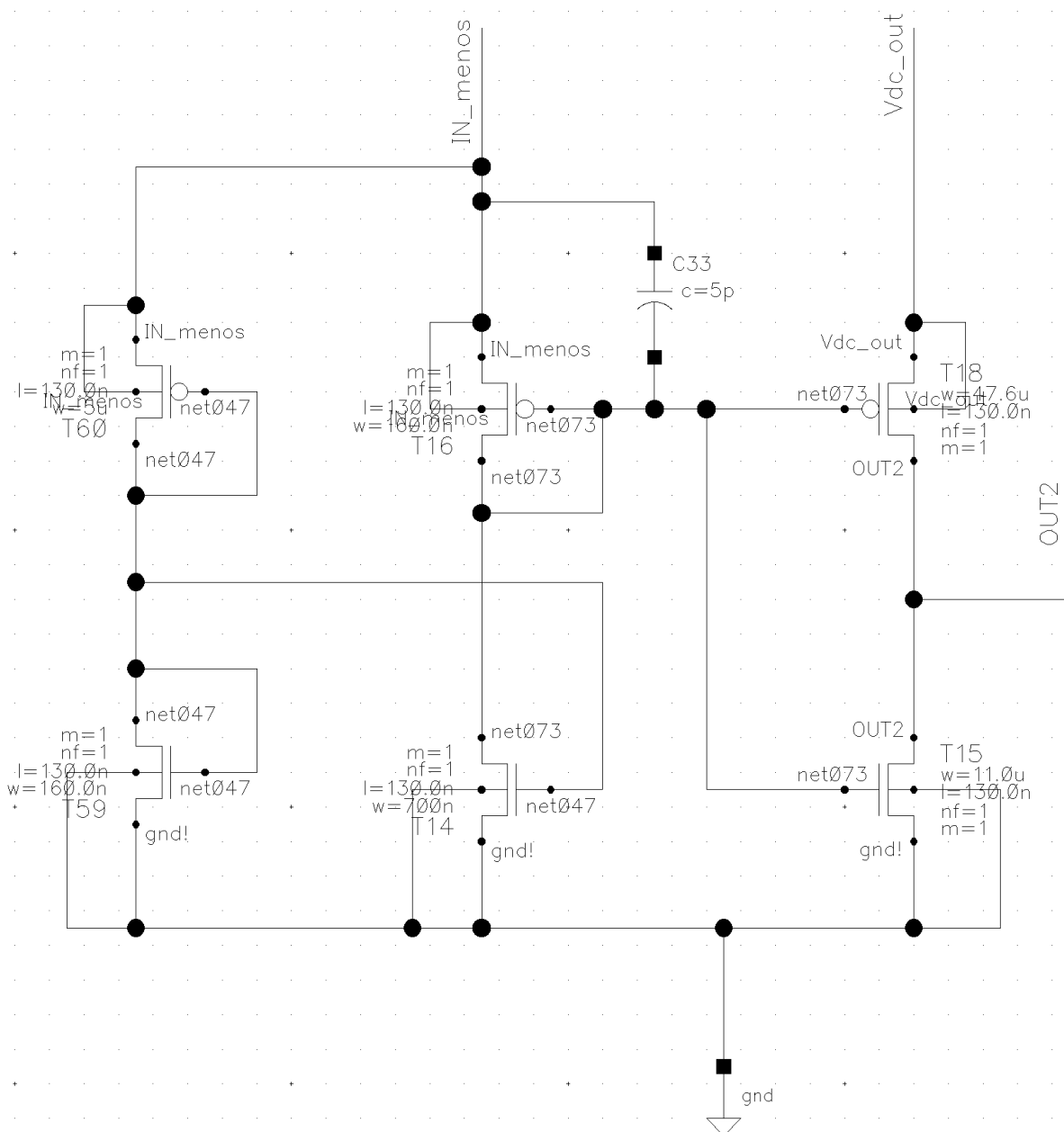


Figura 37 – Circuito completo Comparador 1.

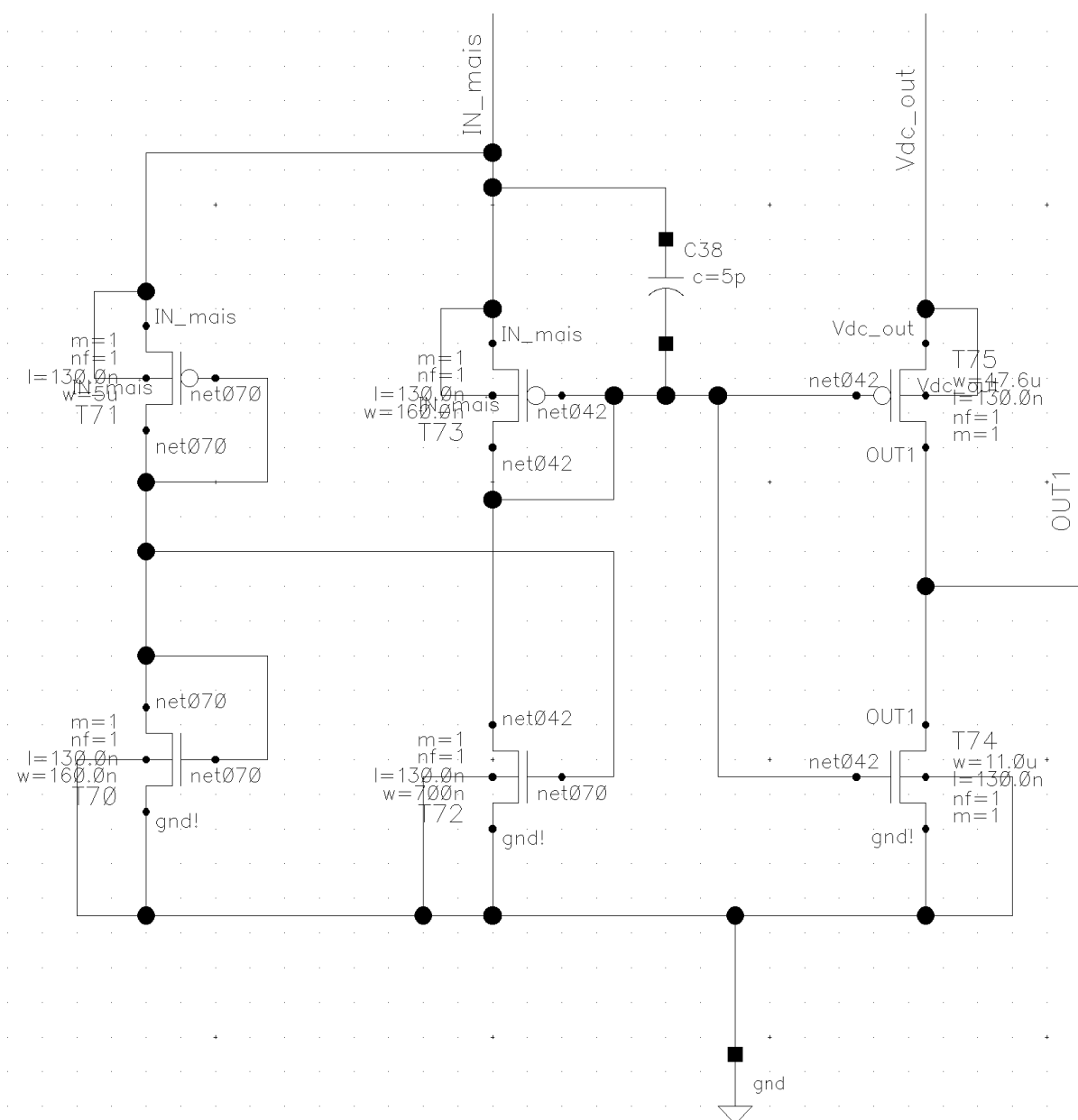


Figura 38 – Circuito completo Comparador 2.

6 Simulações e Resultados

Para as simulações e análises deste capítulo foi adotado como fonte geradora um sinal senoidal com 1,3V de pico. Como carga foram adotados os mesmos valores utilizados em (33), uma resistência de 193Ω em paralelo com um capacitor de 20nF , para que se pudesse fazer uma comparação entre o desempenho do retificador projetado neste trabalho e em um trabalho já publicado.

6.1 Simulação do Comparador Proposto

A simulação da forma de onda final do comparador proposto pode ser visualizada nas figuras 39 e 40. A figura 39 exibe três sinais, o sinal de entrada AC, o sinal de saída DC e o sinal de saída do comparador que é ativado e desativado quando o sinal AC se torna maior e menor do que o sinal DC. A figura 39 exibe os mesmos sinais que estão presentes na figura 39 mas dentro de uma janela de tempo maior onde é possível ver cinco ciclos de tempo.

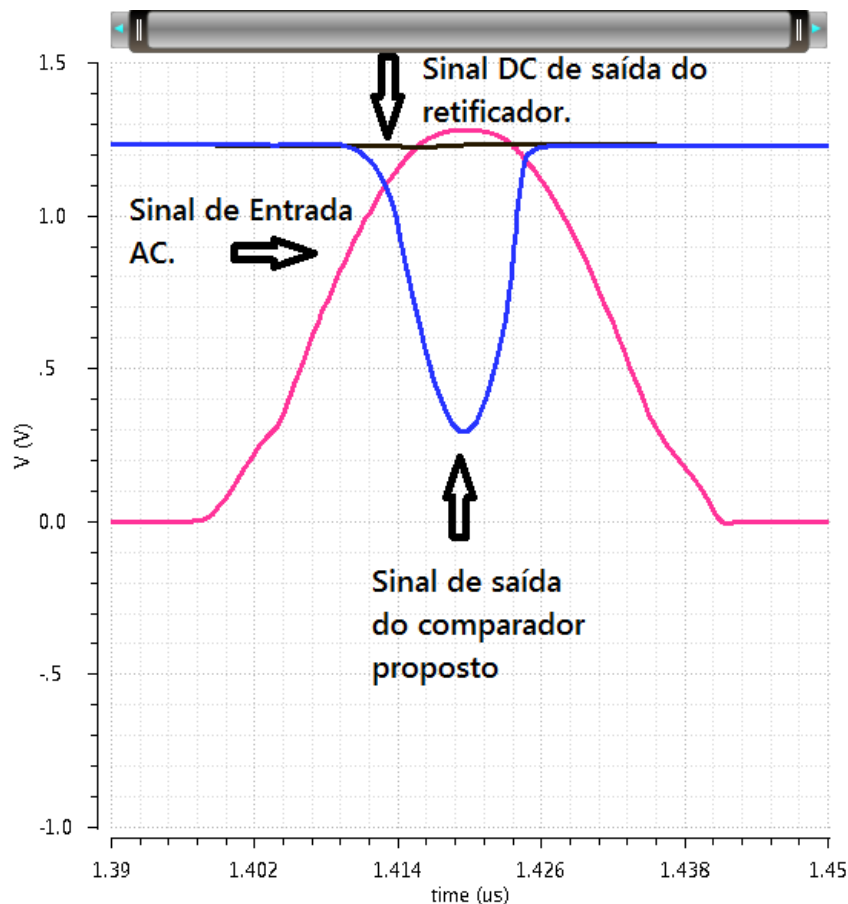


Figura 39 – Sinal de saída do comparador proposto.

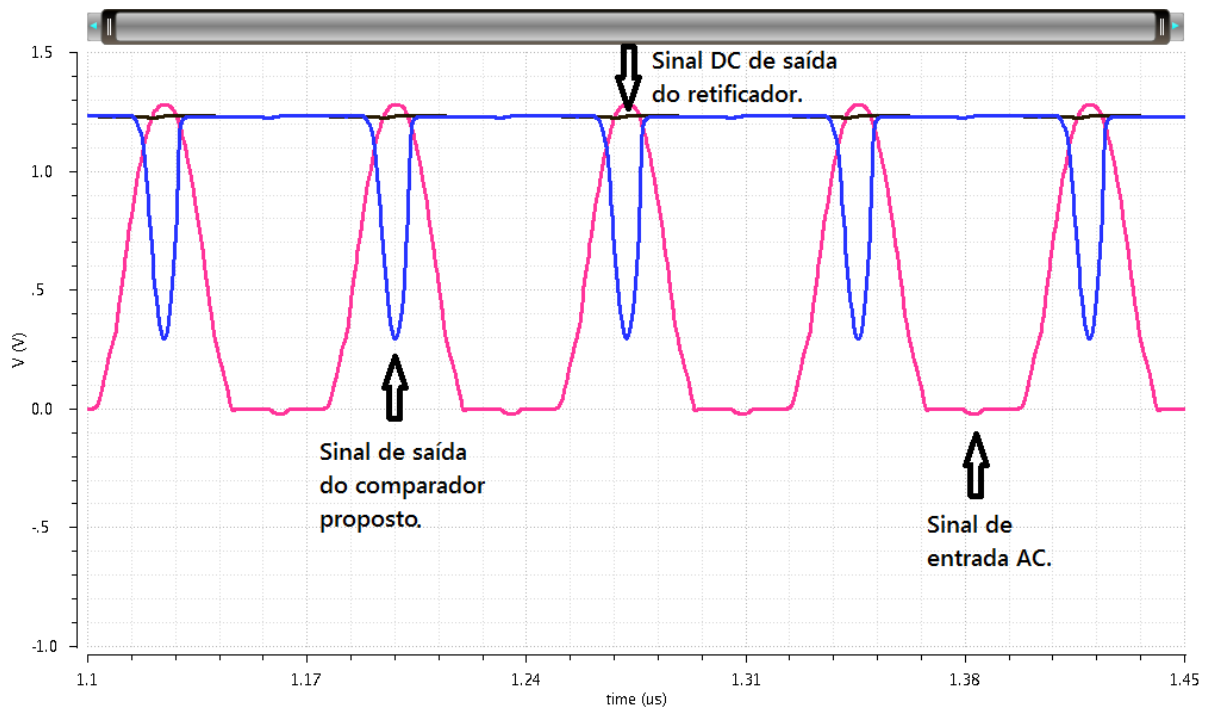


Figura 40 – Sinal de saída do comparador proposto com janela de tempo maior.

A forma de onda da saída dos divisores de tensão principal e auxiliar estão na figura 41. Nela é possível observar que o pico de tensão do divisor de tensão auxiliar é aproximadamente 100mV maior do que o pico de tensão do divisor de tensão principal. Essa pequena diferença é responsável por ativar um pouco antes o transistor Q11 da figura 30, o que faz o sinal de tensão do comparador principal ir mais rápido de nível alto para nível baixo.

O valor de pico para os sinais dos divisores de tensão da figura 41 foi de 699mV para o divisor de tensão principal e 797mV para o divisor de tensão auxiliar.

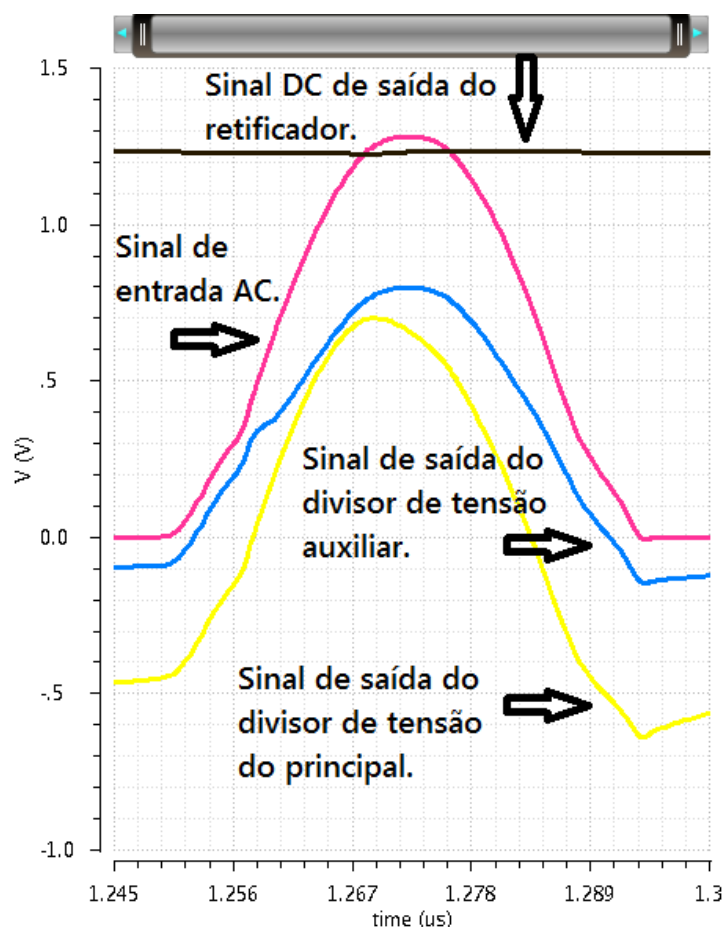


Figura 41 – Sinais internos dos divisores de tensão principal e auxiliar.

6.2 Simulação do Retificador Projetado utilizando o comparador proposto.

Para o retificador, as formas de onda de interesse estão na figura 42.

Na figura 42 o pico de tensão AC máxima de entrada é de 1,278V. Para este sinal foi atingida uma tensão de saída DC de 1,233V o que representa uma diferença de apenas 0,045V (ou 3,522%) entre a entrada e saída do sinal. Como comparação, em (33), que foi o trabalho utilizado durante a fase de estudos, os autores reportam uma saída de 1,2V para uma entrada de 1,25V o que representa uma diferença de 0,05V (ou 4%)

Para a corrente, o pico máximo é de 55.55mA com corrente reversa máxima de início de ciclo de -1.47mA e corrente reversa de final de ciclo máxima de -874 μ A.

A curva de tensão de entrada por PCE foi traçada, figura 43. Na figura 43 a máxima PCE de 92% é encontrada para a entrada de 1,3V. Para valores de tensão de entrada menores que 1V a eficiência PCE cai de forma muito rápida. Para valores de tensão de entrada maiores do que 1,3V a eficiência PCE diminui de maneira muito mais suave.

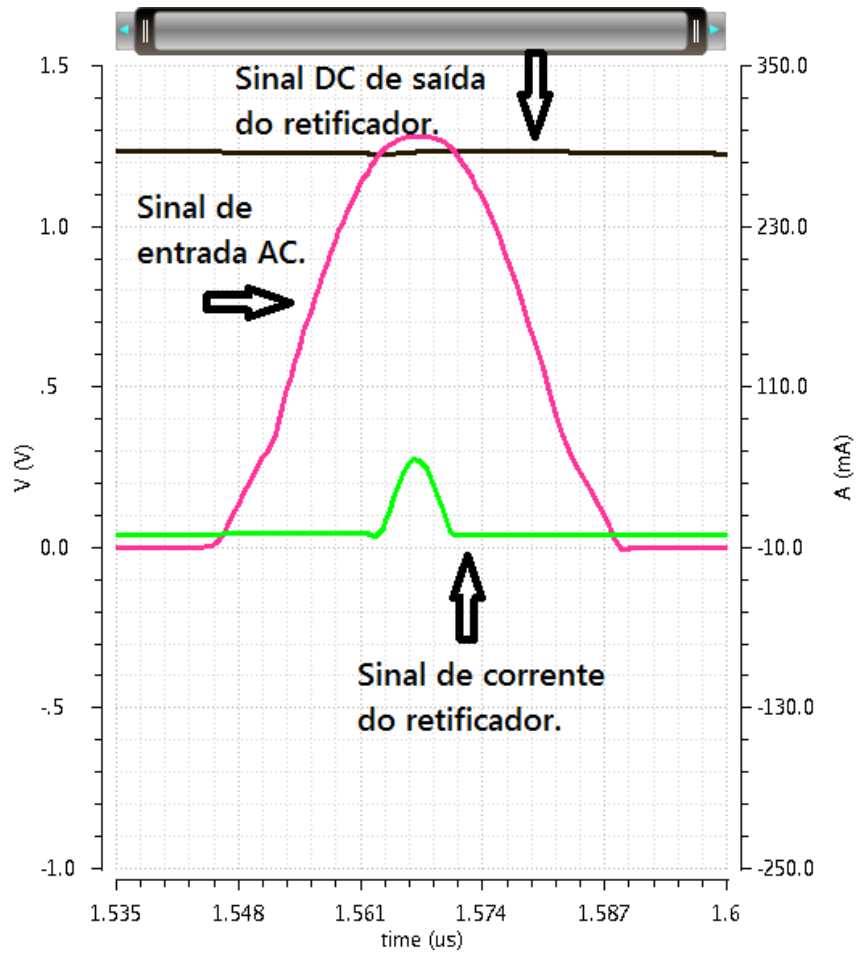


Figura 42 – Formas de onda de operação do retificador projetado.

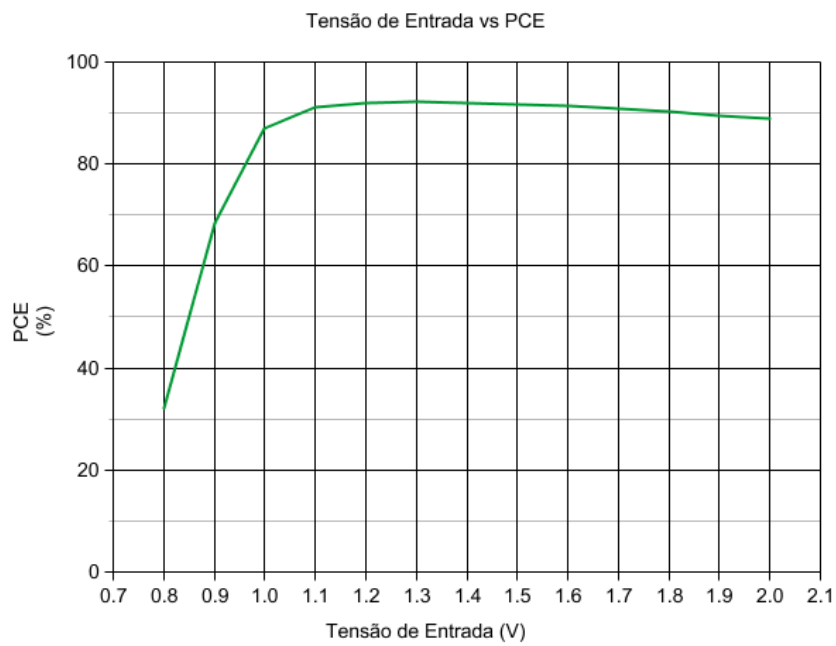


Figura 43 – Curva de tensão de entrada por PCE.

A curva de tensão nominal de entrada do retificador por tensão de saída também

foi traçada, figura 44. Aqui, quanto mais próximo for a tensão de entrada da tensão de saída, mais próximo, ou mais parecido, de uma reta será a curva. A regressão linear dos pontos da figura 44 resulta em um coeficiente de correlação linear $R = 0,9951045$.

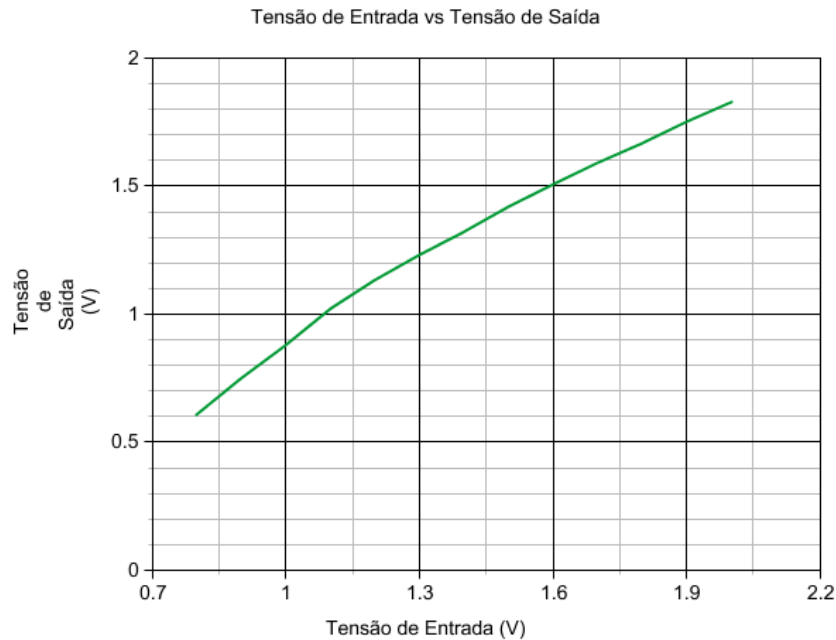


Figura 44 – Curva de tensão nominal de entrada por tensão de saída do retificador.

Para a tensão nominal de entrada onde ocorre a máxima eficiência, 1,3V, é obtida uma tensão de saída de 1,233V.

6.3 Simulação do Retificador utilizando Comparador Com Comparador Auxiliar

Para o circuito do comparador com comparador auxiliar implementado neste trabalho a forma de onda é exibida na figura 45. Nesta figura são mostrados os sinais de entrada AC, saída DC do retificador e saída do comparador. O sinal de saída do comparador desce um pouco antes do sinal de entrada AC se tornar maior que o sinal de saída DC e sobe um pouco depois do sinal de entrada AC se tornar menor que o sinal de saída DC.

Utilizando-se o comparador com comparador auxiliar a saída do retificador foi a da figura 46. Da simulação que originou a figura 46 foi verificado que o PCE para este retificador é de 84% e a tensão de saída máxima é de 1,19V. Para a corrente, o pico máximo é de 61,93mA, com corrente reversa de início de ciclo de -4.57mA e corrente reversa máxima de final de ciclo de -18.77mA. A corrente reversa presente na figura 46 está localizada próximo, e a esquerda, da seta que indica o sinal de corrente

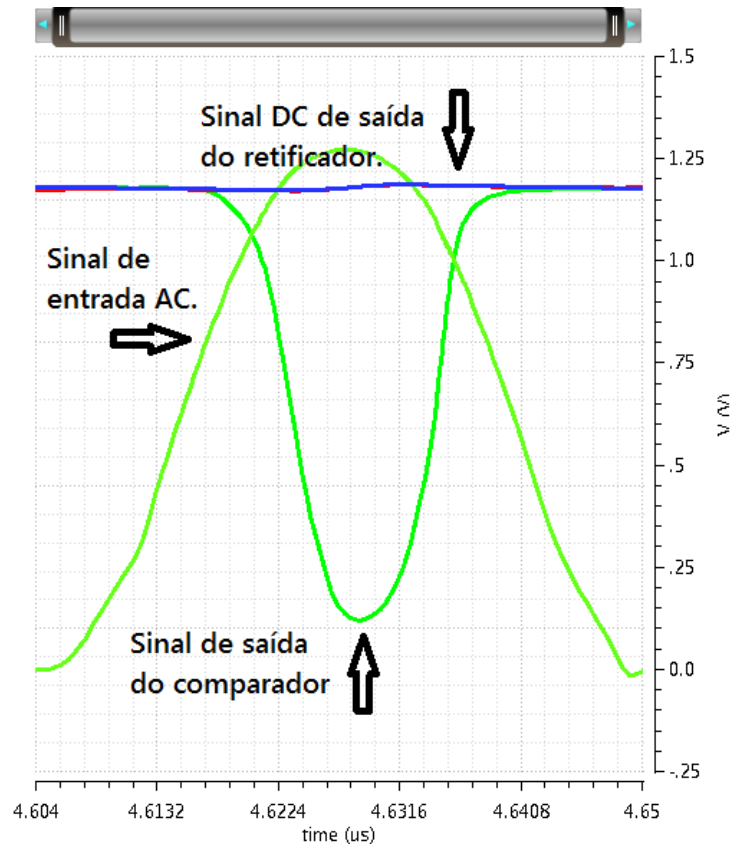


Figura 45 – Sinal de saída do comparador com comparador auxiliar.

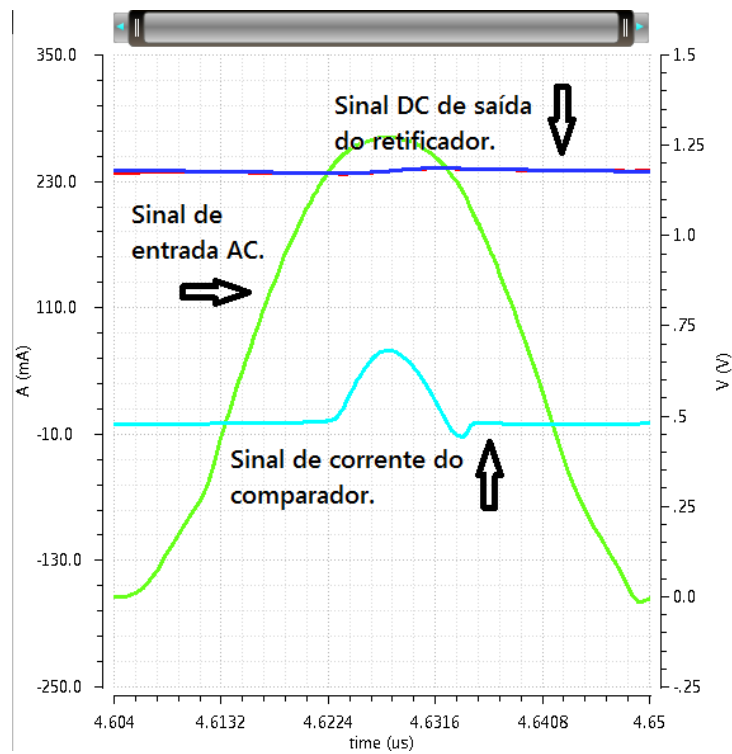


Figura 46 – Forma de onda da saída do retificador utilizando comparador com comparador auxiliar.

6.4 Testes Em Bancada do Comparador Com Comparador Auxiliar

O retificador utilizando comparadores com comparador auxiliar foi originalmente publicado em (33) e serviu como meio de estudo para entender a dinâmica de funcionamento deste tipo de tecnologia. Apesar do artigo original não fornecer dimensões para todos os transistores foi possível realizar as simulações, desenhar um *layout* (Apêndice C) e fazer testes de bancadas que ajudaram no entendimento e guiaram durante o projeto do comparador proposto.

O *layout* do comparador com comparador auxiliar foi fabricado pelo convênio MOSIS, recebido e encapsulado na forma do CHIP V5BD-AU(B), figura 47.

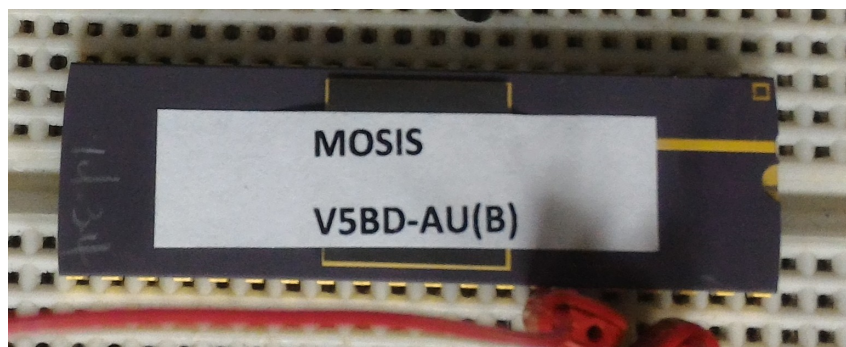


Figura 47 – Chip fabricado pelo convênio MOSIS contendo o comparador com comparador auxiliar.

Uma particularidade do convênio MOSIS é que apenas uma pequena área de silício é fornecida ao grupo de microeletrônica da UNIFEI para que todos os trabalhos do grupo sejam fabricados. Isso faz com que a área seja limitada dependendo do número de trabalhos que precisam utilizar este convênio.

Idealmente a fabricação para testes do retificador com comparadores com comparador auxiliar teria que ter dois blocos. Um bloco contendo o retificador conectado aos seus dois comparadores para os testes do retificador como um todo e outro bloco contendo um retificador e um comparador isolados para testes discretos de cada estrutura.

Infelizmente a área de silício disponível à época da fabricação deste estudo foi suficiente para o retificador e apenas um comparador, ambos de forma isolada, o que exigiu que para os testes completos de todo o circuito, retificador e comparadores, fossem conectados externamente e utilizado dois circuitos integrados distintos.

Para todos os testes foram utilizados 1 osciloscópio (Tektronix MSO 4104B), 1 gerador de sinais (Hewlett Packard 33120A), 1 caixa para vedação de interferência externa (Agilent B1500A), 1 protoboard e 1 fonte de tensões DC (módulo B1500A).

Para os primeiros testes do comparador em baixa frequência, 16 KHz, o funcionamento do comparador respondeu exatamente como nas simulações, figura 48.

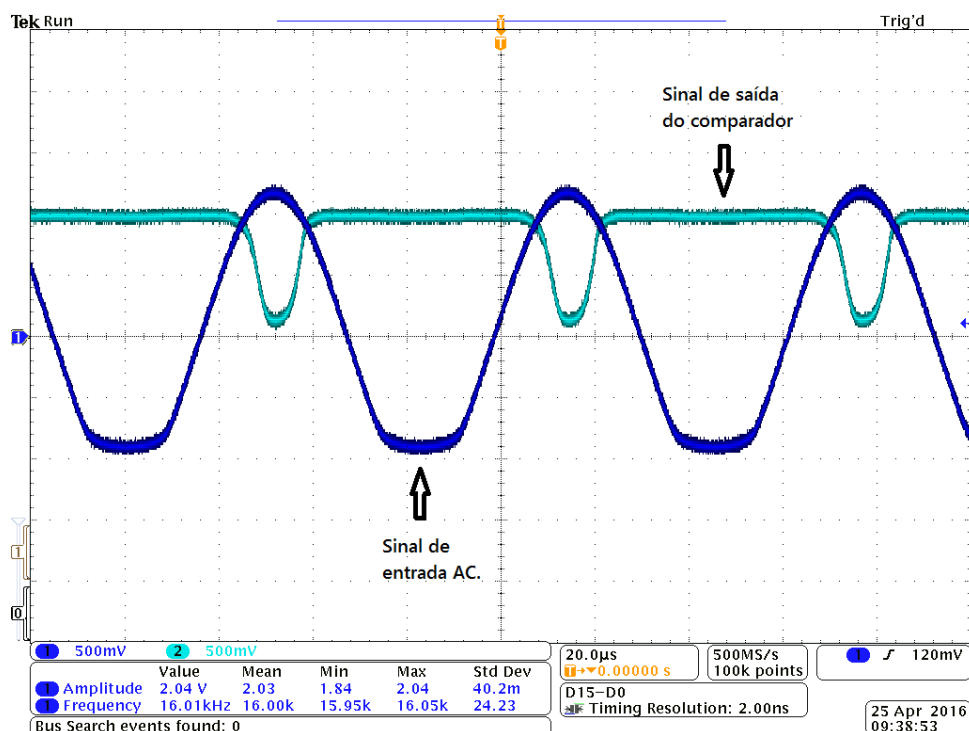


Figura 48 – Teste de bancada do comparador com frequência de 16KHz.

Contudo, a partir de 20KHz inicia-se um atraso e uma amortização na amplitude do sinal do comparador que descaracteriza a forma de onda, figuras 49, 50 e 51. Na figura 51, que corresponde a forma de onda na frequência que o circuito deveria responder, o sinal do comparador foi tão amortizado que é como se o comparador nunca identificasse o momento que o sinal AC se torna maior do que o sinal DC.

Esse problema encontrado para frequências maiores do que 20KHz foi bastante discutido e a provável causa é que uma vez que o comparador foi projetado para suprir sinal para apenas um único transistor, analisar seu sinal de saída exigiria um *buffer* de corrente para resposta em frequência maiores do que 20KHz. A falta desse *buffer* no circuito final fabricado pelo convênio MOSIS impossibilita que o comparador consiga demandar corrente na frequência que deseja-se analisar.

Para validar a ideia acima foi construído um *buffer* externo com um chip CA3130 que elevou a resposta em frequência do circuito para até 100KHz que é a frequência onde a amostra de chip CA3130 que temos parava de responder. Um segundo *buffer* foi construído com o chip LM7171BIN, este permitiu um funcionamento do circuito em até 300KHz, mas além de parar de responder nesta frequência, o chip de *buffer* carregava um ruído crônico que contaminava o sinal de saída do comparador. Apesar da frequência de funcionamento do LM7171BIN no manual ser da ordem de GHz, nos nossos testes em laboratório com entrada de uma onda senoidal o LM7171BIN respondeu apenas até os mesmos 300KHz e apresentou o mesmo ruído crônico.

A utilização de outros circuitos integrados mais sofisticados para a construção de

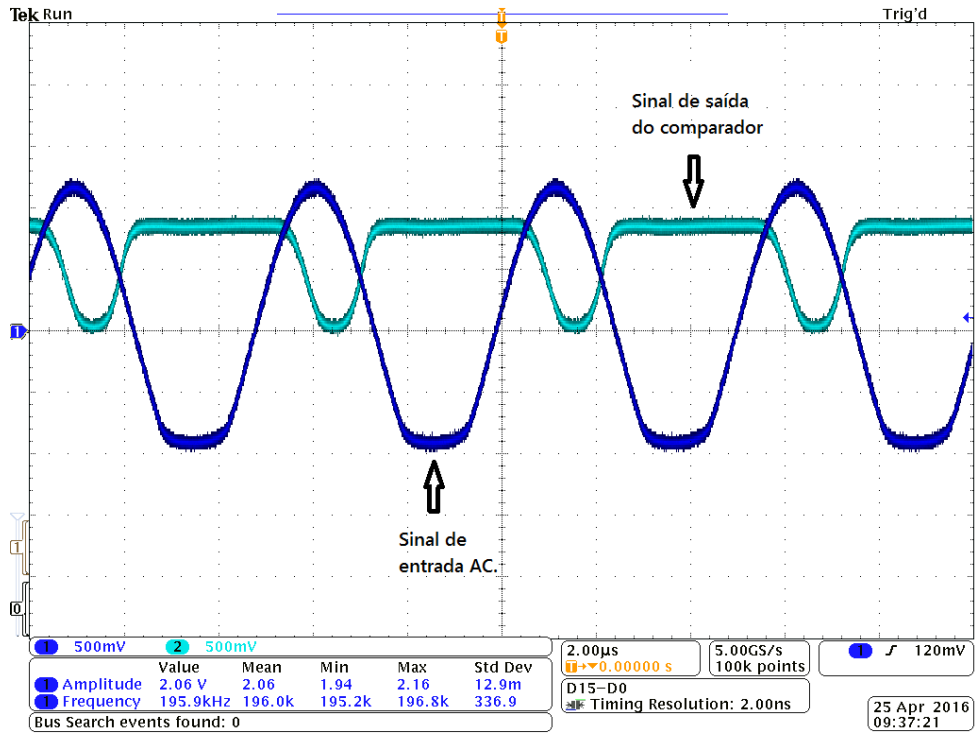


Figura 49 – Teste de bancada do comparador com frequência de 195KHz.

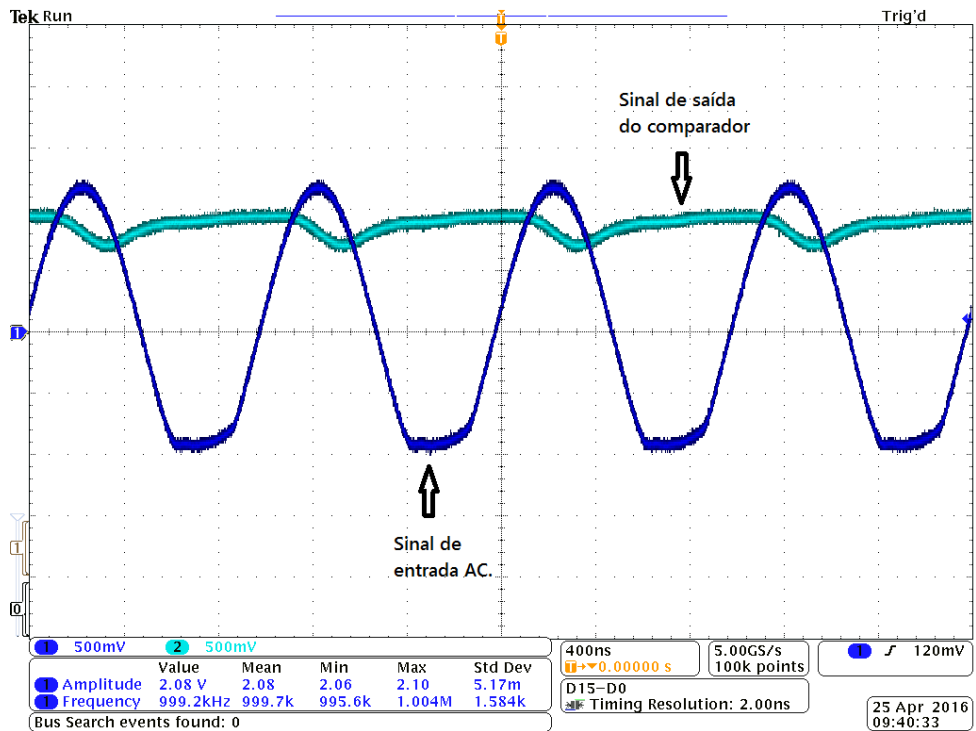


Figura 50 – Teste de bancada do comparador com frequência de 1MHz.

um *buffer* melhor foram cogitados, mas devido principalmente ao preço destes dispositivos, e a natureza apenas de estudo desta implementação, estes não foram adquiridos.

Uma segunda validação a respeito da hipótese da quantidade de corrente drenada ser a responsável pelo não funcionamento do comparador para frequências maiores de

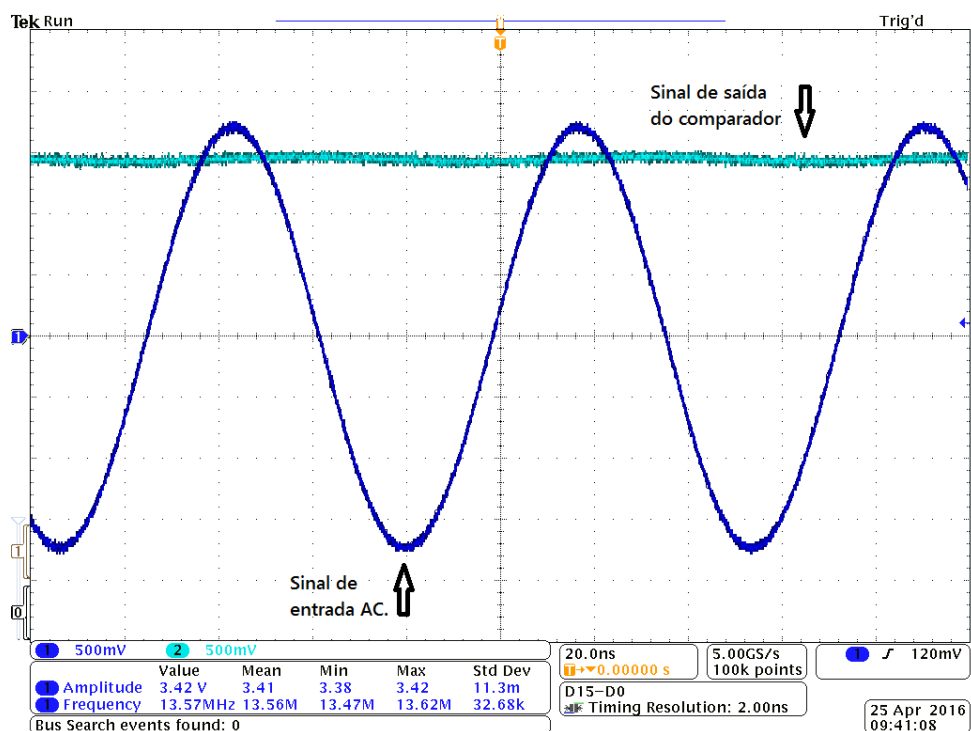


Figura 51 – Teste de bancada do comparador com frequência de 13.56MHz.

20KHz foi trabalhada. Nas simulações do comparador foi adicionado a saída do circuito um capacitor. Este capacitor tem por objetivo simular o chip real sem o *buffer* tentando alimentar uma carga capacitiva externa. Para esta carga vários valores de capacitor foram simulados e as simulações finais foram feitas com um capacitor de 2,5nF que é a capacitância máxima informada pelo manual do Agilent B1500A.

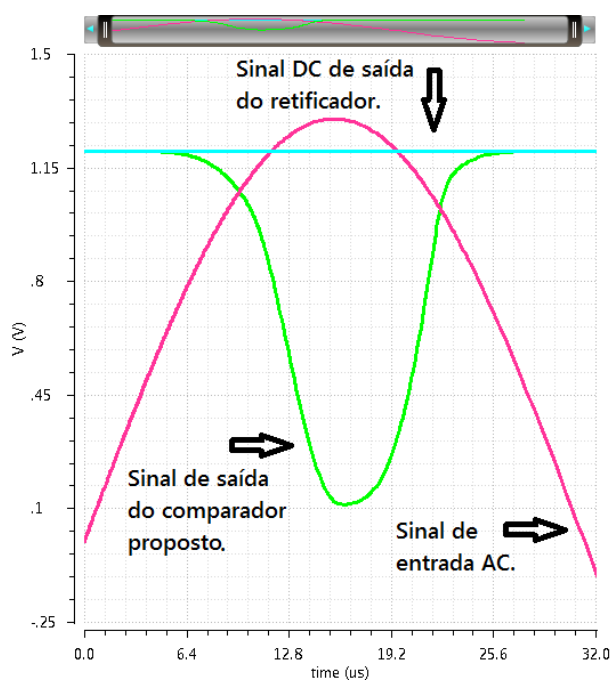


Figura 52 – Simulação do chip real do comparador fabricado para frequência de 16KHz com capacitor de carga na saída do comparador.

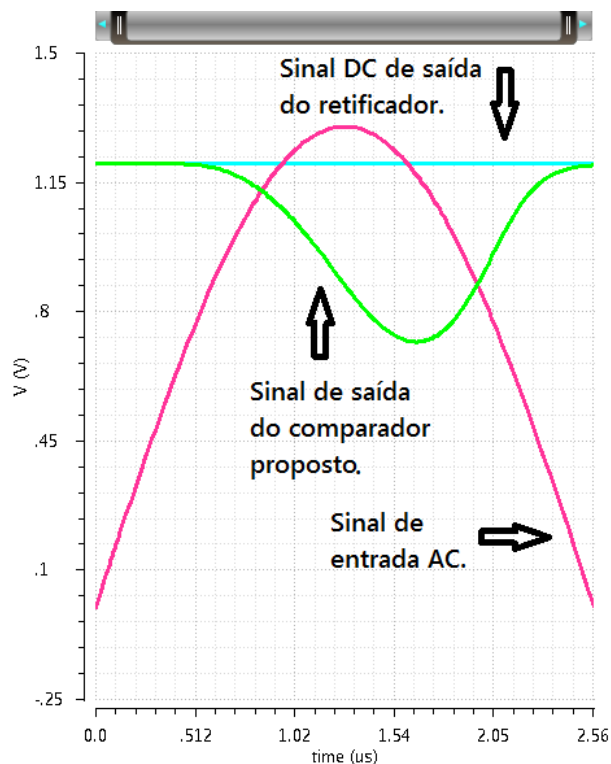


Figura 53 – Simulação do chip real do comparador fabricado para frequência de 195KHz com capacitor de carga na saída do comparador.

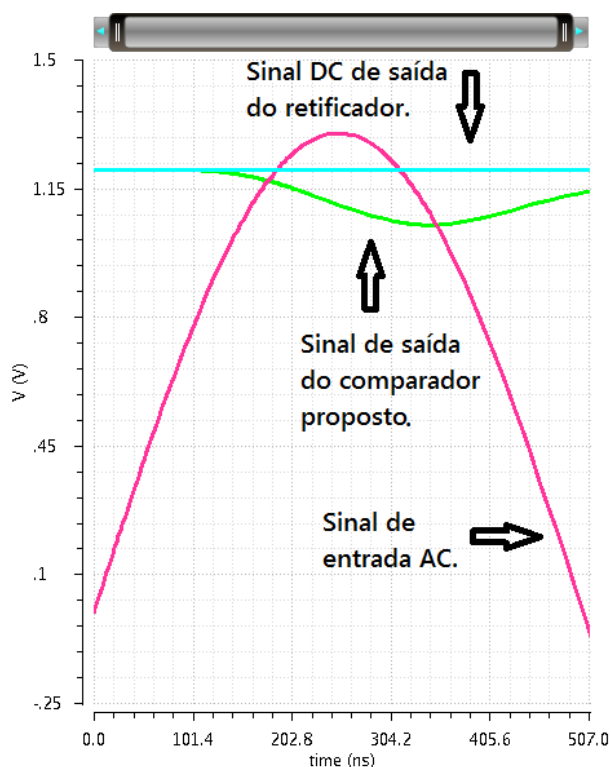


Figura 54 – Simulação do chip real do comparador fabricado para frequência de 1MHz com capacitor de carga na saída do comparador.

As figuras 52, 53 e 54 foram obtidas utilizando as mesmas frequências das figuras 48, 49 e 50 e existe uma semelhança grande nas formas de ondas medidas e simuladas que

reforça a teoria da necessidade de um *buffer* na saída do comparador para os testes de bancada.

A tabela 5 exibe o atraso percentual no tempo de subida do sinal do comparador de acordo com a frequência de operação. O atraso percentual é em relação ao tempo entre o sinal AC se tornar maior que o sinal DC e voltar a ser menor que este.

Tabela 5 – Atraso percentual de operação do comparador de acordo com a frequência.

Frequência (KHz)	Atraso (%)
16	45
195	100
1000	170
13560	Infinito

A parte de circuito destinada a retificação também sofreu pelos mesmos problemas. A ausência de um *buffer* nos conectores prejudicou o funcionamento do retificador.

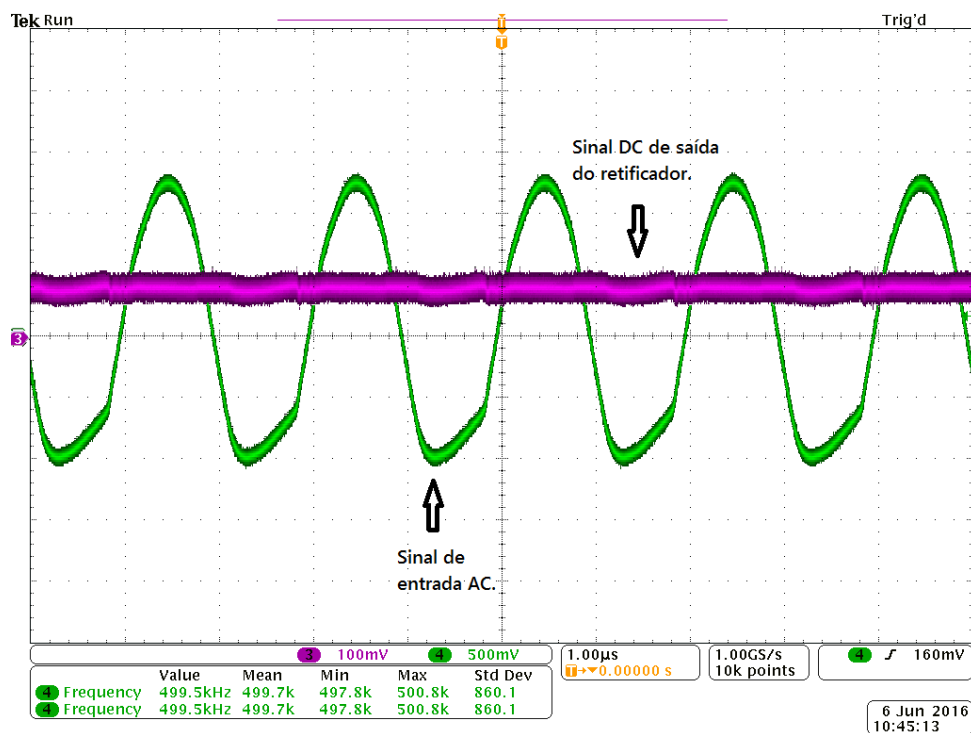


Figura 55 – Forma de onda do retificador fabricado (499,5KHz).

Uma vez que os comparadores não estavam funcionando adequadamente e devido a não termos *buffers* que compensassem as ligações externas, o funcionamento do retificador também foi prejudicado e como indicado pela figura 55, para uma entrada de 1,3V o retificador produz uma tensão de saída de apenas 100mV.

Apenas como observação, esses problemas originados pela falta de um circuito auxiliar de *buffer*, que prejudicaram as medidas e teste do circuito, provavelmente não existiriam em uma montagem completa do projeto onde todas as conexões dos circuitos

do retificador e dos comparadores fossem feitas internamente sem elementos externos. Vale lembrar também que esta fabricação foi realizada como forma de estudo e que este circuito já pertence a uma publicação prévia com funcionamento comprovado.

6.5 Discussão dos Resultados

Neste trabalho obteve-se em simulação um retificador que atingiu 92% de eficiência máxima com tensão de saída de 1,233V e potência de saída de 21,63mW. Esses resultados simulados foram obtidos utilizando-se a mesma carga de referência adotada em (33) e estão apresentados na tabela 6 para uma melhor comparação com outros trabalhos.

Para uma carga mais resistiva como por exemplo 10K Ω a potência de saída passaria a ser de 5,05mW e a tensão de saída 1,28V, ou seja, a tensão de saída para 10K Ω equivale a 98,46% da tensão nominal de entrada de 1,3V.

Como mostrado na tabela 6, dos trabalhos pesquisados apenas em (42) encontra-se eficiência maior do que a alcançada neste trabalho. Este trabalho também teve um desempenho de eficiência PCE consideravelmente melhor do que (33) que foi a publicação utilizada como referência durante a fase de estudos.

Tabela 6 – Comparação com outros trabalhos.

Parâmetros	Esse Trabalho	(33)	(40)	(48)	(49)	(42)
Freq. de Entrada (MHz)	13,56	13,56	13,56	13,56	13,56	13,56
Tensão de Entrada ($ V_{ac} $)	1,3	1,25	1,5	3,8	3,5	¹
Tensão de Saída (V)	1,233	1,2	1,33	3,1	3,2	3,6
Carga (K Ω)	0,193	0,193	1	0,1	1,8	0,200
Potência de Saída (mW)	21,63	49,9	1,8	96	5,7	102
PCE (%)	92	79,5	81,9	80,2	87	92,6
Tecnologia (μm)	0,13	0,18	0,18	0,5	0,35	0,35

¹Informação não disponível no trabalho.

Além do circuito do comparador proposto outros motivos que podem ter influenciado para a eficiência alcançada estão a adoção da tecnologia de 0,13 μm e a utilização de transistores de canal curto (halo implantados).

O principal problema encontrado foi o atraso no funcionamento do comparador fabricado para frequências maiores que 20KHz. Esse problema pode ser contornado com a construção de um *buffer* externo que opere na frequência de 13,56MHz, com a adição de um *buffer* interno em uma próxima fabricação, ou com a fabricação do circuito retificador completo com todas as partes conectadas internamente no chip.

Outra situação que dificultou o desenvolvimento deste trabalho está ligada ao processo burocrático de fabricação dos circuitos. O grupo de microeletrônica da UNIFEI pode realizar apenas uma fabricação de chip por ano com área limitada que é dividida

entre todos os trabalhos do grupo. Essas limitações prejudicaram a fabricação do retificador testado em 6.4 por não existir área suficiente para fabricar o circuito completo e impossibilitaram a fabricação do retificador proposto devido aos prazos envolvidos.

7 Conclusão e Trabalhos Futuros

7.1 Conclusão

Este trabalho apresentou o desenvolvimento de um retificador ativo CMOS de baixa potência destinado ao uso em aplicações biomédicas em circuitos implantados. Para isto foi feito um estudo a respeito das características de frequência, potência e métodos de transferência de energia possíveis de serem utilizados com a finalidade de alimentar um circuito localizado dentro de um corpo a 4mm, ou menos, da superfície da pele. Também foram analisados os tipos de retificadores existentes e as características destes.

Para formar o retificador foi proposto um novo comparador que se mostrou mais eficiente do que a média de outros comparadores apresentados em trabalhos recentes por permitir a eficiência máxima do retificador alcançar 92%.

7.2 Trabalhos Futuros

Um trabalho futuro imediato é o projeto de um *buffer* destinado a auxiliar os testes discretos em bancada das partes do retificador e conseqüentemente a fabricação do retificador de forma completa e também com as partes em separado.

Um próximo passo é integração de retificador apresentado em um chip completo contendo limitadores de corrente, regulador de tensão e circuito de aplicação específica.

Outra possibilidade para trabalho futuro é a aplicação da abordagem do comparador desenvolvido neste trabalho para um retificador ativo do tipo 1x/2x.

Referências

- 1 GUO, Y.-X.; JEGADEESAN, R. Efficient inductive power transfer for biomedical applications. In: *Electromagnetics; Applications and Student Innovation (iWEM), 2012 IEEE International Workshop on*. [S.l.: s.n.], 2012. p. 1–2. Citado na página 16.
- 2 Nikola Tesla. *Apparatus for transmitting electrical energy*. 1914. US 1119732 A. Citado na página 16.
- 3 THEILMANN, P. T. *Wireless Power Transfer for Scaled Electronic Biomedical Implants*. Theses — University of California San Diego, 2012. Citado 9 vezes nas páginas 16, 19, 20, 22, 23, 24, 26, 29 e 30.
- 4 INSTITUTE, N. C. *Layers of The Skin*. 2017. <<https://training.seer.cancer.gov/melanoma/anatomy/layers.html>>. [Acessado: 05 jan. 2017]. Citado na página 17.
- 5 LE, T. et al. Piezoelectric micro-power generation interface circuits. *Solid-State Circuits, IEEE Journal of*, v. 41, n. 6, p. 1411–1420, June 2006. ISSN 0018-9200. Citado na página 20.
- 6 TECHNOLOGY, C. I. of. *Brief History of Thermoelectrics*. 2016. Acessado: 29 set. 2016. Disponível em: <<http://www.thermoelectrics.caltech.edu/thermoelectrics/history.html>>. Citado na página 20.
- 7 LINEYKIN, S.; BEN-YAAKOV, S. Spice compatible equivalent circuit of the energy conversion processes in thermoelectric modules. In: *Electrical and Electronics Engineers in Israel, 2004. Proceedings. 2004 23rd IEEE Convention of*. [S.l.: s.n.], 2004. p. 346–349. Citado na página 20.
- 8 CHAVEZ, J. A. et al. Spice model of thermoelectric elements including thermal effects. In: *Instrumentation and Measurement Technology Conference, 2000. IMTC 2000. Proceedings of the 17th IEEE*. [S.l.: s.n.], 2000. v. 2, p. 1019–1023 vol.2. ISSN 1091-5281. Citado na página 20.
- 9 SEARCHNETWORKING. *Seebeck effect*. 2016. Acessado: 29 set. 2016. Disponível em: <<http://searchnetworking.techtarget.com/definition/Seebeck-effect>>. Citado na página 21.
- 10 CARLSON, E. J.; STRUNZ, K.; OTIS, B. P. A 20 mv input boost converter with efficient digital control for thermoelectric energy harvesting. *IEEE Journal of Solid-State Circuits*, v. 45, n. 4, p. 741–750, April 2010. ISSN 0018-9200. Citado na página 21.
- 11 GOMES, A. M. N. G. *Análise do Comportamento em Campo Próximo para Antenas de Comunicação*. Theses — Universidade Federal da Paraíba, 2000. Citado 2 vezes nas páginas 21 e 22.
- 12 AUBERT, H. Rfid technology for human implant devices. 2011. Citado na página 22.

- 13 CHEN, S.; THOMAS, V. Optimization of inductive rfid technology. In: *Electronics and the Environment, 2001. Proceedings of the 2001 IEEE International Symposium on*. [S.l.: s.n.], 2001. p. 82–87. ISSN 1095-2020. Citado na página 23.
- 14 UMEDA, T. et al. A 950-mhz rectifier circuit for sensor network tags with 10-m distance. *Solid-State Circuits, IEEE Journal of*, v. 41, n. 1, p. 35–41, Jan 2006. ISSN 0018-9200. Citado na página 25.
- 15 LE, T.; MAYARAM, K.; FIEZ, T. Efficient far-field radio frequency energy harvesting for passively powered sensor networks. *Solid-State Circuits, IEEE Journal of*, v. 43, n. 5, p. 1287–1302, May 2008. ISSN 0018-9200. Citado na página 25.
- 16 YAO, Y. et al. A fully integrated 900-mhz passive rfid transponder front end with novel zero-threshold rf-dc rectifier. *Industrial Electronics, IEEE Transactions on*, v. 56, n. 7, p. 2317–2325, July 2009. ISSN 0278-0046. Citado na página 25.
- 17 PAPOTTO, G.; CARRARA, F.; PALMISANO, G. A 90-nm cmos threshold-compensated rf energy harvester. *Solid-State Circuits, IEEE Journal of*, v. 46, n. 9, p. 1985–1997, Sept 2011. ISSN 0018-9200. Citado na página 25.
- 18 SCORCIONI, S. et al. Rf to dc cmos rectifier with high efficiency over a wide input power range for rfid applications. In: *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International*. [S.l.: s.n.], 2012. p. 1–3. ISSN 0149-645X. Citado na página 25.
- 19 KHALIFA, A. A. Study of cmos rectifiers for wireless energy scavenging. In: . [S.l.: s.n.], 2010. Citado 8 vezes nas páginas 25, 29, 30, 32, 35, 36, 37 e 38.
- 20 RIBEIRO, J. A. J. *Propagação das Ondas Eletromagnéticas. Princípios e Aplicações*. [S.l.: s.n.], 2008. Citado 2 vezes nas páginas 25 e 29.
- 21 RESOLUÇÃO ANATEL nº 67, de 12 de novembro de 1998. 1998. Acessado: 01 nov. 2016. Disponível em: <<http://www.anatel.gov.br/legislacao/resolucoes/1998/168-resolucao-67>>. Acesso em: 01 nov. 2016. Citado na página 26.
- 22 HANNAN, M. et al. Energy harvesting for the implantable biomedical devices: issues and challenges. *BioMedical Engineering OnLine*, v. 13, n. 1, p. 79, 2014. ISSN 1475-925X. Disponível em: <<http://www.biomedical-engineering-online.com/content/13/1/79>>. Citado na página 26.
- 23 JOHANSSON, A. J. Wireless communication with medical implants: Antennas and propagation. 2004. Citado 2 vezes nas páginas 26 e 27.
- 24 FCC 99-363. [S.l.], 1999. Citado 2 vezes nas páginas 26 e 27.
- 25 COPANI, T. et al. A cmos low-power transceiver with reconfigurable antenna interface for medical implant applications. *Microwave Theory and Techniques, IEEE Transactions on*, v. 59, n. 5, p. 1369–1378, May 2011. ISSN 0018-9480. Citado na página 26.
- 26 ETSI EN 301 839-1 V1.3.1. [S.l.], 2009. Citado na página 27.
- 27 RESOLUÇÃO ANATEL nº 506, de 1º de julho de 2008. 2008. Acessado: 01 nov. 2016. Disponível em: <<http://www.anatel.gov.br/legislacao/resolucoes/2008/104-resolucao-506>>. Acesso em: 01 nov. 2016. Citado na página 27.

- 28 ZHANG, Y. et al. A batteryless 19 uw mics/ism-band energy harvesting body sensor node soc for exg applications. *Solid-State Circuits, IEEE Journal of*, v. 48, n. 1, p. 199–213, Jan 2013. Citado na página 28.
- 29 CREPALDI, P. C. *Um Regulador Linear de Tensão CMOS, Baseado na Topologia LDO, para Aplicação em um Bio-Implante*. Tese — Universidade Federal de Itajubá, 2010. Citado na página 28.
- 30 PRADIER, A. et al. Rigorous evaluation of specific absorption rate (sar) induced in a multilayer biological structure. In: *Wireless Technology, 2005. The European Conference on*. [S.l.: s.n.], 2005. p. 197–200. Citado na página 28.
- 31 IEEE c95.1-2005 Standard for Safety Levels With Respect to Human Exposure to Radio Frequency Electromagnetic Fields, 3 kHz to 300 GHz. 2006. Citado na página 29.
- 32 FANG, Q. Body emf absorption: A design issue for implantable medical electronics. In: . [S.l.: s.n.], 2010. Citado na página 29.
- 33 CHA, H.-K.; JE, M. A single-input dual-output 13.56 {MHz} {CMOS} ac–dc converter with comparator-driven rectifiers for implantable devices. *Microelectronics Journal*, v. 45, n. 3, p. 277 – 281, 2014. ISSN 0026-2692. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0026269214000135>>. Citado 10 vezes nas páginas 31, 39, 43, 44, 45, 56, 67, 69, 73 e 79.
- 34 LAM, Y. H.; KI, W. H.; TSUI, C. Y. Integrated low-loss cmos active rectifier for wirelessly powered devices. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 53, n. 12, p. 1378–1382, Dec 2006. ISSN 1549-7747. Citado 2 vezes nas páginas 32 e 43.
- 35 SHOKRANI, M. R. et al. An rf energy harvester system using uhf micropower cmos rectifier based on a diode connected cmos transistor. *The Scientific World Journal, vol. 2014*, v. 2014, p. 11, Mar 2014. Citado na página 33.
- 36 RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 1. ed. New York, NY, USA: McGraw-Hill, Inc., 2001. ISBN 0072380322, 9780072380323. Citado na página 33.
- 37 YAO, L. et al. An inductive coupling based cmos wireless powering link for implantable biomedical application. *world academy of science, engineering and technology*, v. 69, p. 456–459, 2012. Citado na página 38.
- 38 LU, Y.; KI, W.-H. A 13.56 mhz cmos active rectifier with switched-offset and compensated biasing for biomedical wireless power transfer systems. *IEEE Transactions on Biomedical Circuits and Systems*, v. 8, n. 3, p. 334–344, June 2014. ISSN 1932-4545. Citado na página 39.
- 39 RAMZAN, R.; ZAFAR, F. High-efficiency fully cmos vco rectifier for microwatt resonant wireless power transfer. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 62, n. 2, p. 134–138, Feb 2015. ISSN 1549-7747. Citado na página 39.
- 40 CHA, H. K.; PARK, W. T.; JE, M. A cmos rectifier with a cross-coupled latched comparator for wireless power transfer in biomedical applications. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 59, n. 7, p. 409–413, July 2012. ISSN 1549-7747. Citado 4 vezes nas páginas 39, 43, 56 e 79.

- 41 LEE, H. M.; GHOVANLOO, M. An integrated power-efficient active rectifier with offset-controlled high speed comparators for inductively powered applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 58, n. 8, p. 1749–1760, Aug 2011. ISSN 1549-8328. Citado 2 vezes nas páginas 39 e 43.
- 42 LI, X.; TSUI, C. Y.; KI, W. H. A 13.56 mhz wireless power transfer system with reconfigurable resonant regulating rectifier and wireless power control for implantable medical devices. *IEEE Journal of Solid-State Circuits*, v. 50, n. 4, p. 978–989, April 2015. ISSN 0018-9200. Citado 3 vezes nas páginas 42, 57 e 79.
- 43 CAVALCANTE, M. A.; TAVOLARO, C. R. C.; MOLISANI, E. Física com Arduino para iniciantes. *Revista Brasileira de Ensino de Física*, scielo, v. 33, p. 4503 – 4503, 12 2011. ISSN 1806-1117. Disponível em: <http://www.scielo.br/scielo.php?script=sci_arttext&pid=S1806-11172011000400018&nrm=iso>. Citado na página 48.
- 44 Universidade Federal de Uberlândia. *Carga de Descarga de Um Capacitor*. <<http://www.facip.ufu.br/sites/facip.ufu.br/files/Anexos/Bookpage/fe3-06-carga-e-descarga-de-um-capacitor.pdf>>. Acessado: 13 jan. 2017. Citado na página 48.
- 45 BRITTAIN, J. E. Thevenin’s theorem. *IEEE Spectrum*, v. 27, n. 3, p. 42–, March 1990. ISSN 0018-9235. Citado na página 49.
- 46 TECHNICAL Report - 13.56 MHz ISM Band Class 1 Radio Frequency Identification Tag Interface Specification: Recommended Standard, Version 1.0.0. [S.l.], 2003. Citado na página 52.
- 47 COLLETTA, G. D. C. *Uma arquitetura de modulação sigma-delta assíncrona em ultra-baixa potência para aplicações biomédicas*. Theses — Universidade Federal de Itajubá, 2015. Citado na página 53.
- 48 LEE, H. M.; GHOVANLOO, M. An integrated power-efficient active rectifier with offset-controlled high speed comparators for inductively powered applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 58, n. 8, p. 1749–1760, Aug 2011. ISSN 1549-8328. Citado na página 79.
- 49 LAM, Y. H.; KI, W. H.; TSUI, C. Y. Integrated low-loss cmos active rectifier for wirelessly powered devices. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 53, n. 12, p. 1378–1382, Dec 2006. ISSN 1549-7747. Citado na página 79.

Apêndices

APÊNDICE A – Artigo Publicado em Congresso Internacional.

Este trabalho deu origem a um artigo científico que foi submetido e publicado em congresso internacional.

- Publicação em Congresso Internacional Relacionada a esta Dissertação
 - *A 0.13 μ m CMOS Full Wave Active Rectifier with Comparators for Implanted Medical Devices.*
 - * Autores: João R. C. Louzada; Dr. Leonardo B. Zoccal; Dr. Robson Luiz Moreno e Dr. Tales Cleber Pimenta.
 - * Congresso: IEEE ISIC 2016
 - * Ano: 2016
 - * Local: Cingapura.

APÊNDICE B – *Layout* Retificador Proposto.

Todo o projeto foi desenvolvido em tecnologia IBM 130 nm utilizando-se dos transistores nFET e pFET como anteriormente mostrado no Capítulo 5.

O circuito implementado é o mostrado pela figura 56. Foram criados *layouts* para os transistores do retificador, para o circuito de polarização de corpo dinâmica e para o comparador proposto.

A figura 57 exibe do lado esquerdo o circuito completo do retificador com comparador proposto. Do lado direito a figura 57 apresenta o mesmo circuito com referências de cada parte do circuito.

O *layout* do circuito completo tem dimensões de $564\mu\text{m} \times 160\mu\text{m}$.

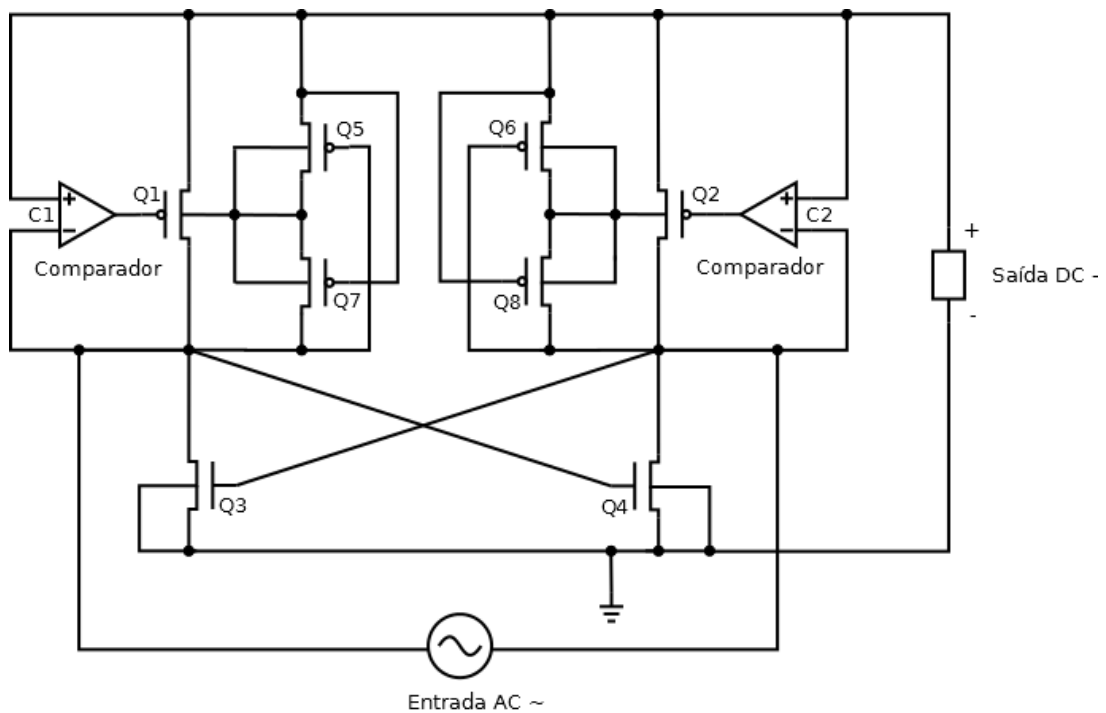


Figura 56 – Circuito de Retificador utilizado no desenvolvimento do *Layout*.

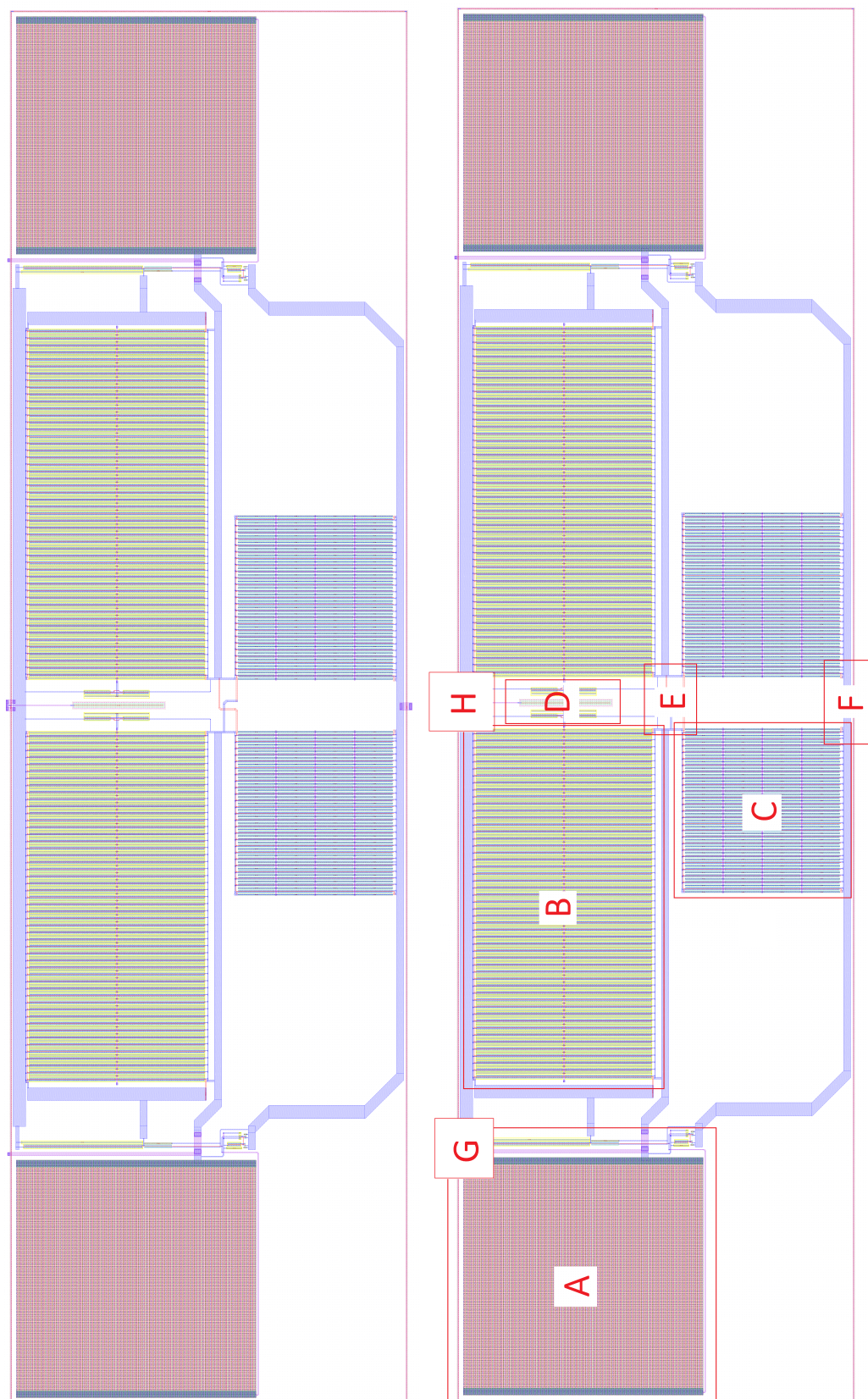


Figura 57 – (Esquerda) *Layout* completo do retificador, (Direita) *Layout* do Retificador com destaques de referência: A - Comparador, B - Transistor PMOS, C - Transistor NMOS, D - Circuito de polarização de corpo dinâmica, E - Conexão dos transistores do retificador e F - Conector externo GND, G - Conector externo IN+ (Sinal AC), H - Conector externo VDC.

APÊNDICE C – *Layout* Retificador Utilizando Comparador Principal Acompanhado de Comparador Auxiliar.

Todo o projeto foi desenvolvido em tecnologia IBM 130 nm utilizando-se dos transistores nFET e pFET como anteriormente mostrado no Capítulo 5.

Devido as dificuldades discutidas em 6.4 o desenvolvimento e fabricação deste *layout* foi feito separando-se o comparador do corpo principal do retificador. A figura 58 exibe o retificador enquanto que a figura 59 representa o *layout* desenvolvido para o Comparador Utilizando Comparador Auxiliar.

O *layout* do corpo do retificador tem dimensões de $136\mu\text{m} \times 140\mu\text{m}$. O *layout* de cada comparador tem dimensões de $118\mu\text{m} \times 97\mu\text{m}$.

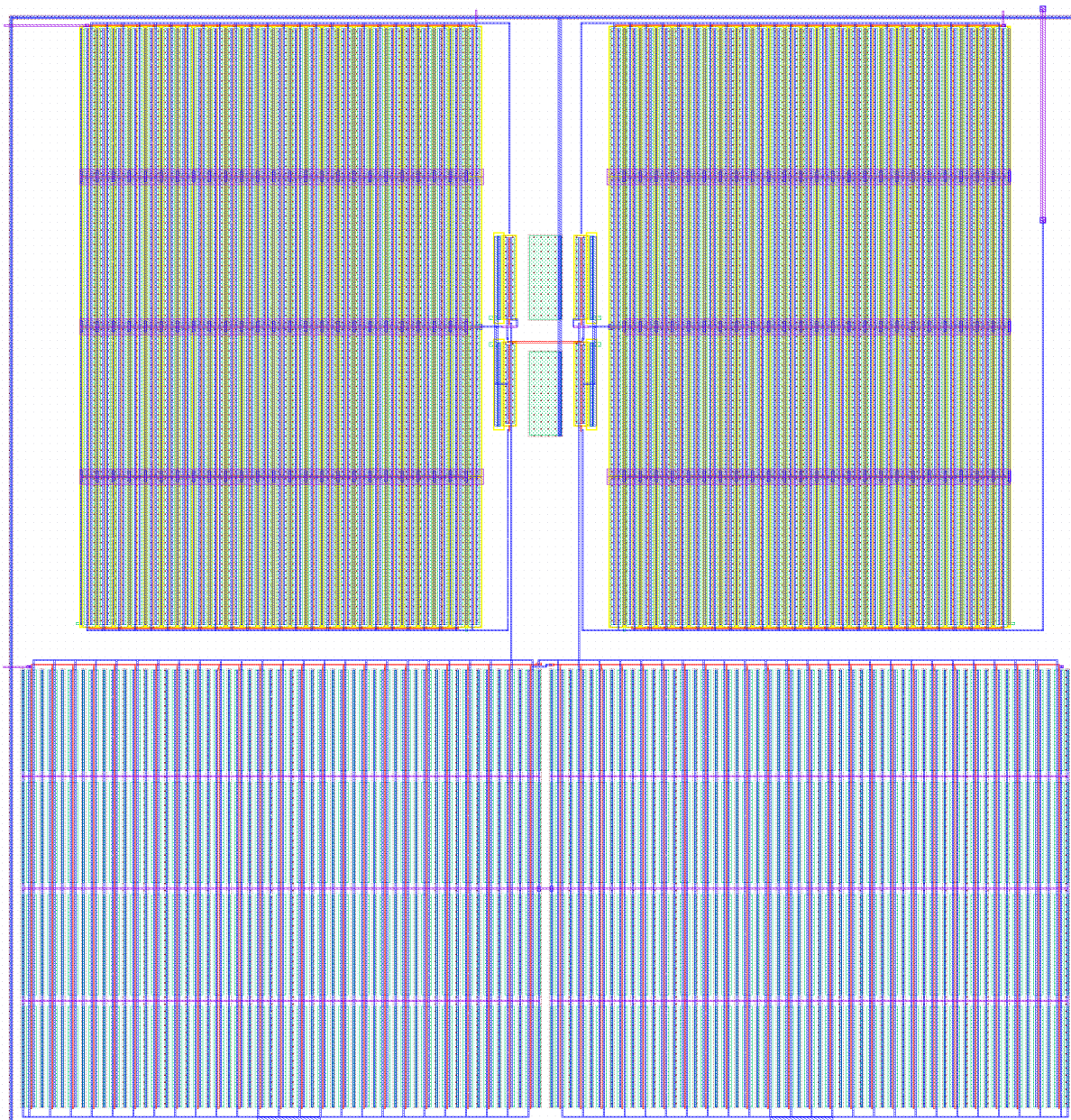


Figura 58 – Retificador.

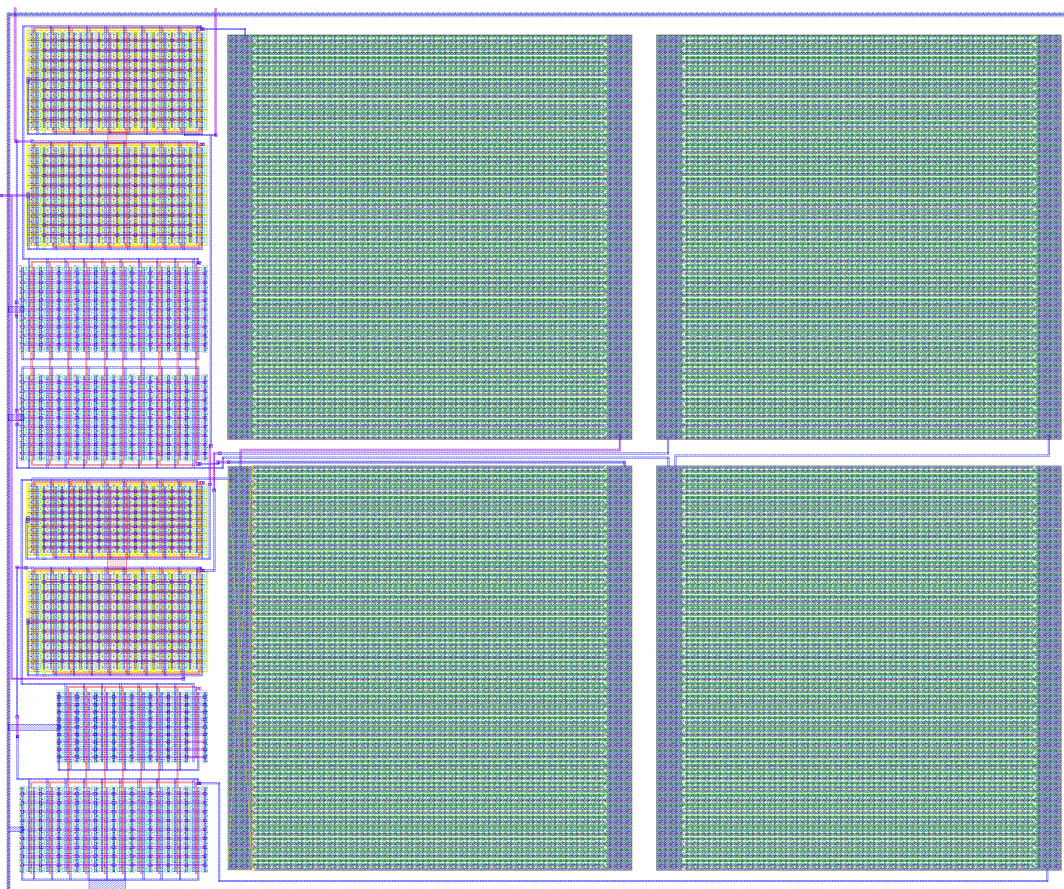


Figura 59 – Comparador acompanhado de comparador auxiliar.