

UNIVERSIDADE FEDERAL DE ITAJUBÁ

**PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA**

Um Amplificador Neural de Baixo Ruído e
Baixa Potência Utilizando uma Topologia
Folded Cascode OTA com Malha de
Realimentação PID e Ganho Ajustável para
EEG SoC Arrays

Odilon de Oliveira Dutra

Itajubá, Março de 2012

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Odilon de Oliveira Dutra

Um Amplificador Neural de Baixo Ruído e
Baixa Potência Utilizando uma Topologia
Folded Cascode OTA com Malha de
Realimentação PID e Ganho Ajustável para
EEG SoC Arrays

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Mestre em Ciências em Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Prof. Dr. Tales Cleber Pimenta

Março de 2012

Itajubá - MG

”Conhecimento real é saber a extensão da própria ignorância.

”(Confúcio).

Agradeço e dedico este trabalho primeiramente aos meus pais, Nélia e Odilon, por me apoiarem incondicionalmente durante minha vida.

Gostaria ainda de homenagear o meu pai, que mesmo após falecido sei que continua me apoiando e a cada dia me dando forças para continuar sempre em busca de conhecimento.

Também devo agradecer ao restante dos meus familiares e minha querida esposa, pela dedicação e paciência confiadas a mim durante todo este processo.

Em seguida, agradeço ao meu orientador, Prof. Tales Pimenta, pela paciência, confiança e crédito em mim depositado.

Agradeço também a todos os amigos de república, faculdade, mestrado e grupo de pesquisa pelo incentivo e colaboração.

Agradeço ao MEC que através do projeto Reuni viabilizou financeiramente este trabalho.

Agradeço ainda à CAPES, à FAPEMIG e ao CNPq.

Agradeço também a MOSIS que através de seu Programa Educacional MOSIS (MEP) viabilizou a difusão do amplificador descrito neste trabalho em pastilha de Silício.

E a quem mais ler este trabalho e sentir que contribuiu para o seu desenvolvimento, meus mais sinceros agradecimentos.

Resumo

Este presente trabalho descreve uma implementação CMOS em tecnologia ON 0.5 μm de um amplificador operacional de transcondutância (OTA) Folded Cascode projetado para gerar ruído referenciado à entrada (*Input Referred Noise*) mínimo para aplicações em *arrays* de sistemas integrados em chip (SoC) destinados a medições em eletroencefalogramas.

É também descrita uma rede de realimentação proporcional, integral e derivativa (PID), implementada em pequena área de Silício, utilizando-se de um pseudo-resistor pMOS de alta resistência e pequenas capacitâncias de integração para controle de ganho em malha fechada através de chaves nMOS insensíveis a parasitas.

Resultados de simulações pos layout mostram que o amplificador neural desenvolvido atinge em torno de 2.2 μV_{rms} de ruído referenciado à entrada para 6 μA de corrente drenada total para uma tensão de alimentação de $\pm 1.8\text{ V}$, obtendo assim um fator de eficiência à ruído (NEF) de 4.55 para uma largura de banda de 1.96 kHz e ganho central de 40.22 dB.

Palavras Chave: OTA; Eletroencefalograma; Rede de Realimentação PID; Baixo Ruído; Baixa Potência; EEG SoC Array.

Abstract

This work describes a 0.5 μm CMOS implementation of a Folded Cascode transconductance operational amplifier (OTA) designed for minimum input referred noise for non-implantable electroencephalogram SoC arrays.

It is also described a small area proportional, integral and derivative (PID) feedback network using a high resistive pMOS pseudo-resistor and small integration capacitances for programmable gain control throughout parasitic noise insensitive nMOS switches.

Post layout simulation results show that it achieves about 2.2 μV_{rms} of input referred noise for 6 μA of total current at $\pm 1.8\text{ V}$ supply voltage, thus obtaining a noise efficiency factor (NEF) of 4.55 within a 1.96 kHz bandwidth and midband gain of 40.22 dB.

Keywords: OTA; Electroencephalogram; PID Feedback Network; Low Noise; Low Power; EEG SoC Array.

Sumário

Lista de abreviaturas e siglas

Lista de símbolos

Lista de Figuras

Lista de Tabelas

1	Introdução	15
1.1	Considerações Gerais	15
1.2	Sistema EEG SoC Array Proposto	17
1.3	Organização do Trabalho	19
2	Características Neurológicas	20
2.1	Sistema Nervoso	20
2.1.1	Anatomia e Função do Sistema Nervoso Central (SNC)	20
2.1.2	Ondas e Ritmos Cerebrais	21
2.1.3	Eletroencefalograma	25
2.1.3.1	Eletroencefalógrafos	25
2.1.3.2	Eletrodos de EEG	26
2.1.3.3	Classificação dos Eletrodos	26
2.1.3.4	Interface Eletrodo-Gel-Pele	28
2.1.3.5	Principais Parâmetros de um Eletroencefalógrafo	29
2.1.3.6	Estimuladores	30

2.1.3.7	Aplicações Clínicas do EEG	31
2.1.3.8	Ruídos na Aquisição de Sinais Bioelétricos	32
3	Projeto Desenvolvido	33
3.1	OTA Folded Cascode	33
3.1.1	OTA - Revisão Bibliográfica	33
3.1.1.1	Amplificadores Operacionais	33
3.1.1.2	Ruído	34
3.1.1.3	Fator de Eficiência a Ruído - NEF	36
3.1.2	Projeto do OTA Folded Cascode	37
3.1.3	Cálculos dos Dispositivos do OTA	40
3.1.3.1	Cálculo da Tensão Térmica e Compilação de Parâmetros do Semicondutor	40
3.1.3.2	Compilação dos Parâmetros dos Transistores pMOS e nMOS de Acordo com Apêndice A	40
3.1.3.3	Dimensionamento dos Dispositivos - Cálculo de I_C , I_S , g_m e Definição da Região de Operação	41
3.1.3.4	Estabilidade e Resposta em Frequência	43
3.2	Malha de Realimentação PID	44
3.2.1	Chave nMOS de Baixa Sensibilidade à Parasitas	45
3.2.2	Pseudo-Resistor	47
3.2.3	Inversor	48
3.2.4	Capacitores de Integração	50
3.3	Controle de Ganho	53
3.4	Resposta em Frequência para Malha Fechada - Amplificador Neural	53
3.5	Test Benchs Para Obtenção das Figuras de Mérito	54
3.5.1	Taxa de Variação e Tempo de Acomodação	54
3.5.2	CMRR - Taxa de Rejeição em Modo Comum	57

3.5.3	PSRR - Razão de Rejeição da Fonte de Alimentação	59
3.5.4	Distorção Harmônica Total - THD e Ganhos em Malha Fechada . .	60
4	Comparações de Resultados e Conclusões	62
5	Trabalhos Futuros	64
	Referências	65
	Apêndice A - Extração de Parametros dos Dispositivos nMOS e pMOS	67
A.1	Parametrização de Transistores nMOS	67
A.2	Parametrização de Transistores pMOS	72
	Apêndice B - Layouts Propostos	76
	Apêndice C - Publicações	84

Lista de abreviaturas e siglas

A/D	Analógico / Digital
CMRR	Razão de Rejeição de Modo Comum
EEG	Eletroencefalograma
NEF	Fator de Eficiência à Ruído
OpAmp	Amplificador Operacional
OTA	Amplificador Operacional de Transcondutância
PE	Potenciais Evocados
PID	Proporcional, Integral e Derivativo
PSRR	Razão de Rejeição da Fonte de Alimentação
SCP	Potenciais Corticais Lentos
SNC	Sistema Nervoso Central
SoC	Sistema Totalmente Integrado em Chip
THD	Distorção Harmônica Total

Lista de símbolos

η	Recíproco da Mudança de Potencial de Superfície ψ_{sa} para Mudança na Tensão Entre gate e Bulk
κ	Coefficiente de Acoplamento Subthreshold
λ	Parâmetro de Modulação do Comprimento de Canal
μ_N	Mobilidade Elétrica dos Elétrons - Para o Silício = $1500[cm^2/V_s]$
μ_P	Mobilidade Elétrica das Lacunas - Para o Silício = $600[cm^2/V_s]$
μm	Micrometro
ϕ_t	Nível de Fermi Intrínseco do Semicondutor Não Dopado
ϕ_{FN}	Potencial de Fermi para Semicondutor Dopado com Elementos Doadores de Elétrons
ϕ_{FP}	Potencial de Fermi para Semicondutor Dopado com Elementos Receptores de Elétrons
A_M	Ganho em Malha Fechada
BW	Largura de Banda
C_L	Capacitância de Carga
C_n	Capacitância Referenciada pelo Índice n
C_{OX}	Capacitância do Óxido
g_m	Tranconsutância do Dispositivo
$g_{m,OTA}$	Trancondutância do Amplificador Operacional
I_C	Corrente de Dreno
I_S	Corrente Característica de Inversão Moderada
IC	Coefficiente de Inversão
K	Coefficiente Dependente das Características do Dispositivo
k	Constante de Boltzmann = $1,38 * 10^{-23}$ [J/K]
L	Comprimento de Canal
M_n	Dispositivo nMOS ou pMOS com Índice n
N_A	Constante de Difusão das Lacunas

N_D	Constante de Difusão dos Elétrons
n_i	Concentração de Portadores Intrínseca ao Material - Silício não Dopado - $1,45 * 10^{-10}$
q	Carga = $1,60218 * 10^{-19}$ [Coulomb]
T	Temperatura Absoluta
U_T	Tensão Térmica
V_A	Tensão Early
V_{TH}	Tensão Threshold
W	Largura de Canal
W_L	Frequência de Corte Baixa em rad/s

Lista de Figuras

1	Sistema EEG SoC Array Proposto.	18
2	Toca Suporte dos Sistema EEG.	18
3	Ondas Cerebrais. [1]	23
4	Ritmos em função da idade. [1]	24
5	EEG Analógico.	26
6	EEG Digital.	27
7	Eletrodo tipo disco de prata.	27
8	Eletrodo tipo agulha de platina.	28
9	Eletrodo tipo clipe de orelha.	28
10	Eletrodo tipo cortical	28
11	Modelo da interface gel-eletrodo-pele. [1]	29
12	Estimuladores.	31
13	Folded Cascode OTA Utilizado para Desenvolvimento do Amplificador Neural Proposto.	34
14	Modelagens dos Ruídos num Dispositivo MOS.	36
15	Resposta em Frequência do Folded Cascode OTA Utilizado.	44
16	Integrador Inversor com Capacitância Parasitas.	46
17	Integrador Inversor com Capacitância Parasitas.	46
18	Chave nMOS de Baixa Sensibilidade à Parasitas.	47
19	Pseudo-Resistor Composto de 6 Transistores nMOS.	47
20	Alto Valor de Resistência Obtida com Pseudo-Resistor.	48
21	Inversor para Atuação em Conjunto com Chave nMOS.	49

22	Função de Transferência do Inversor.	49
23	Arquitetura de Capacitores Casados.	51
24	Amplificador Neural Proposto.	52
25	Resposta em Frequência para Amplificador Neural Proposto.	54
26	Circuito para Test Bench - Taxa de Variação e Tempo de Acomodação. . .	55
27	Taxa de Variação de Subida.	56
28	Taxa de Variação de Descida.	57
29	Circuito para Test Bench - CMRR.	58
30	Test Bench - CMRR.	58
31	Circuito para Test Bench - PSRR.	59
32	Test Bench - PSRR.	60
33	Circuito para Test Bench - PSRR.	61
34	Circuito nMOS para Extração de Parâmetros.	67
35	$\sqrt{I_D} \times V_{GS}$ - Extração de k_n e V_{TH0}	68
36	$I_D \times V_{DS}$ para diferentes valores de V_{GS} - Caracterização de λ	70
37	$\ln I_D \times V_{GS}$	71
38	Circuito pMOS para Extração de Parâmetros.	72
39	$\sqrt{I_D} \times V_{SG}$ - Extração de k_n e V_{TH0}	73
40	$I_D \times V_{DS}$ para diferentes valores de V_{SG} - Caracterização de λ	74
41	$\ln I_D \times V_{SG}$	75
42	Layers e suas Respectivas Cores Representativas.	76
43	Layout da Chave nMOS Insensível a Parasitas Proposto.	77
44	Layout do Pseudo Resistor Proposto.	78
45	Layout do Inversor Proposto.	79
46	Layout para Malha de Realimentação Proposto.	80
47	Layout para Matriz de Capacitores Casados Proposto.	81

48	Layout para OTA Proposto.	82
49	Layout Amplificador Neural Proposto.	83

Lista de Tabelas

1	Comparação entre 3 aparelhos de EEG.	30
2	Correção de U_T	40
3	Parâmetros Dispositivos nMOS e pMOS.	41
4	Projeto de M1 e M2.	41
5	Projeto de M3, M4, M5 e M6.	41
6	Projeto de M7 e M8.	42
7	Projeto de M9 e M10.	42
8	Projeto de MCascN - Transistor nMOS Cascode.	42
9	Projeto de MCascP - Transistor pMOS Cascode.	42
10	Compilação de Valores Utilizados para Projeto do <i>Folded Cascode OTA</i> . . .	43
11	Dimensionamento do Inversor.	50
12	Capacitores de Integração.	50
13	Ganhos e Ruídos do Amplificador Neural para Ganho Programado.	53
14	Comparação de Resultados.	62
15	Pontos Tomados para Extração de k_n e V_{TH0}	68
16	Pontos Tomados para Extração de λ	69
17	Pontos para Interpolação Linear - Caracterização de U_T	72
18	Pontos Tomados para Extração de k_p e V_{TH0}	72
19	Pontos Tomados para Extração de λ	73
20	Pontos Tomados para Interpolação Linear - Extração de η e I_X	74

1 *Introdução*

Este trabalho propõe o desenvolvimento de um amplificador de baixo ruído e baixa potência para a aplicação em sistemas totalmente integrados em chip (SoC) voltados a medições neurológicas, mais especificamente eletroencefalogramas (EEG).

O interesse no desenvolvimento do tema se deu por não haver dispositivos comerciais semelhantes, não atendendo desta forma a uma demanda de dispositivos que sofram menor interferência de ruídos ambientes cada vez maiores nos dias de hoje devido às radiações eletromagnéticas emitidas por aparelhos eletro-eletrônicos e torres de transmissão de sinais de TV, rádio, celular e até mesmo ondas oriundas de satélites, e também os gerados pelo próprio circuito de medição, já que sinais neurológicos são de baixíssimas amplitudes e ruídos quaisquer podem influir nas medições.

Com a utilização de um SoC, o amplificador e conversor analógico digital (A/D) podem ser posicionados diretamente no eletrodo de medição, o que o torna muito mais robusto a ruídos já que a transmissão do sinal do eletrodo a um terminal computadorizado para monitoramento se dá na forma digital.

Uma outra demanda é prover neurologistas com um instrumento que faça medições num espectro maior de frequência que os aparelhos atuais, que geralmente atuam de algumas centenas de miliHertz a 100 Hz, permitindo a realização de pesquisas neurológicas em sinais que possam conter informações relevantes e que se encontram em frequências mais elevadas, dentro de um espectro de até 1,5 kHz, que é a banda proposta neste trabalho.

1.1 *Considerações Gerais*

O EEG foi estudado inicialmente por Hans Berger, tornando-se atualmente uma importante ferramenta de auxílio para os neurologistas na detecção de diversas condições neurológicas, como epilepsia, distúrbios convulsivos e morte cerebral [2][1].

A técnica consiste em disporem-se eletrodos sobre o escalpo e em uma referência para,

em seguida, registrar-se as atividades elétricas captadas pelos mesmos e representá-la de maneira conveniente [1].

Eletrodos de escalpo podem ser empregados usando técnicas de registro monopolar e bipolar. Com a técnica monopolar uma entrada de cada amplificador é conectada a um eletrodo de referência, normalmente localizado no lóbulo auricular. Já com a técnica bipolar os amplificadores são conectados entre pares de eletrodos de escalpo em uma ordem padrão [3].

As atividades elétricas podem ser monitoradas por equipamentos computadorizados, sendo que esses devem possuir capacidade de processar, analisar e apresentar grande quantidade de dados, de modo a detectar rapidamente mudanças de padrão e formato das ondas cerebrais. O monitoramento durante cirurgias auxilia no controle da oxigenação adequada do cérebro do paciente sob anestesia geral, sendo que isto reduz a ocorrência de problemas graves nesses pacientes.

Uma das maiores limitações no uso do EEG é sua vulnerabilidade a “artefatos”, que podem ser definidos como qualquer diferença de potencial originada por uma fonte extracerebral. Como exemplo, os movimentos oculares durante o sono, bem como os de origem eletrodermal, eletrovascular e respiratória. Mesmo outros equipamentos (como lâmpadas fluorescentes) podem causar interferências nas leituras. Além dos artefatos, outros problemas são:

- Os fios para transmissão do sinal podem restringir os movimentos do paciente (mesmo durante o sono), prejudicando as medidas;
- Os fios para transmissão de um sinal analógico até o conversor A/D geralmente distantes dos eletrodos funcionam como uma antena captando radiações eletromagnéticas do ambiente gerando medidas ruidosas;
- A técnica atual utiliza eletrodos relativamente grandes, reduzindo a precisão de localização, aumentando os problemas de contato devido à curvatura da cabeça, efeitos devido ao suor, e outros;
- O procedimento para preparação da pele toma muito tempo, além de poder causar irritação na pele do paciente [4].

Assim sendo, este trabalho propõe um amplificador de sinais neurológicos, mas comumente chamado na literatura por amplificador neural, que será parte de um sistema

para exames de EEG totalmente integrado em um chip de forma a se diminuir os efeitos externos descritos acima.

Dessa forma o sistema se torna mais robusto e confiável, além de permitir exames neurológicos que venham a se tornar estudos médicos mais avançados na área, já que o amplificador proposto opera em uma banda de frequência cerca de 15 vezes mais ampla que os dispositivos comerciais atuais (como será demonstrado no decorrer deste trabalho), permitindo aos neurologistas estudarem padrões de sinais que possam estar sendo perdidos com os instrumentos atuais.

A implementação de tal amplificador neural se dará na forma de um amplificador de transcondutância do tipo Folded Cascode OTA em tecnologia CMOS ON 0.5 [μm] para minimização de ruído referente à entrada para utilização em sistemas de captação de sinais de EEG, totalmente integrado em um único chip.

É também descrito uma rede de realimentação proporcional-integral-derivativa (PID) que permite ao amplificador OTA captar os sinais dentro de uma banda de frequência de interesse, projetada para ocupar de pequena área de Si através do uso de um pseudo-resistor.

As simulações pos-layout, utilizando a ferramenta *Cadence*[©] e *Spectre*[©] mostram que é possível obter em torno de $2,2 \mu V_{rms}$ de ruído referenciado à entrada para $9 \mu A$ de corrente drenada total para uma largura de banda de $1,5 kHz$ com tensão de alimentação de $1,8 V$.

1.2 Sistema EEG SoC Array Proposto

O sistema EEG SoC Array, o qual o amplificador neural proposto neste trabalho fará parte, pode ser modelado através de 3 blocos básicos como mostrado no pontilhado da Figura 1. A saída destes 3 blocos irá para um bloco central, que fará a multiplexação dos dados. O sistema será composto por 22 SOCs, ou seja, o *array* terá o tamanho de 22 SOCs que serão multiplexados e transmitidos ao computador. Este número corresponde à menor quantidade de elementos necessários para cobrir todos os pontos no escalpo do paciente e se realizar um correto exame de EEG.

A acomodação destes SOCs será feito na parte interna de uma toca que deverá ter um revestimento metálico aterrado para *shielding* contra ruídos ambientes.

Um esboço prévio da toca que suportará o sistema é visto na Figura 2. Com esta

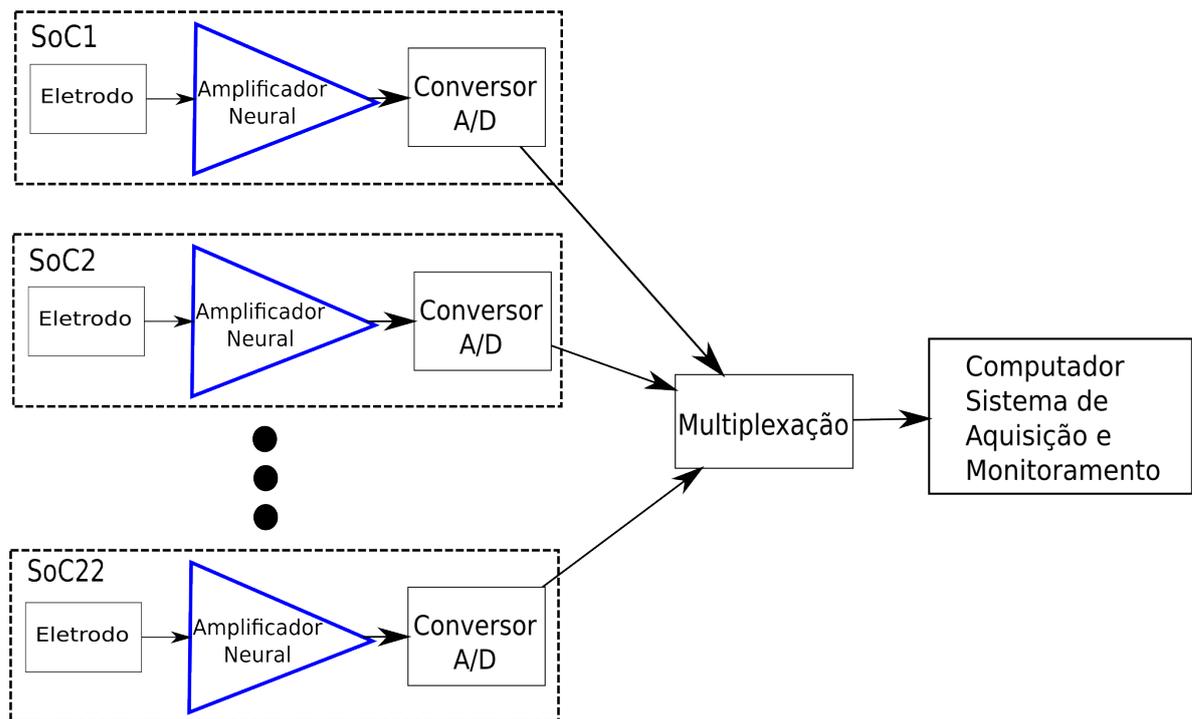


Figura 1: Sistema EEG SoC Array Proposto.

topologia, espera-se que os sinais medidos no escalpo do paciente sejam mais confiáveis pois estes serão então medidos e transformados em sinais digitais no próprio ponto de medição, sem receber influência de ruídos ambientes, que nos dias de hoje influem bastante em medições deste tipo, onde os sinais são bem fracos.



Figura 2: Toca Suporte dos Sistema EEG.

Neste trabalho será descrito o desenvolvimento apenas do bloco *Amplificador Neural*, destacado em azul na Figura 1.

1.3 Organização do Trabalho

Este trabalho está dividido em capítulos organizados de forma a fornecer uma sequência lógica e conceitual para cumprir com o objetivo traçado.

O Capítulo 2 apresenta as características básicas de um sinal de EEG, bem como dispositivos e métodos utilizados para sua obtenção.

O Capítulo 3 introduz o núcleo principal do trabalho, onde é desenvolvida a topologia OTA Folded Cascode utilizada neste trabalho [5] [6] e a malha de realimentação proporcional, integral e derivativa (PID) utilizada, que juntamente com o OTA constitui o amplificador neural proposto. Este capítulo ainda descreve todas as questões de ruído envolvidas em circuitos para este fim e as formas que se utilizou para diminuí-los [6].

O Capítulo 4 conclui o trabalho analisando e comparando os resultados obtidos com o trabalho de referência [6].

Por fim o Capítulo 5 apresenta algumas propostas de trabalhos futuros que podem vir a enriquecer a metodologia proposta.

Este trabalho apresenta ainda alguns apêndices:

O Apêndice A descreve uma metodologia para extração de alguns parâmetros de transistores MOS [7] necessários à modelagem e cálculos para o projeto não apenas do OTA como também para os circuitos periféricos para a implementação da malha PID de controle.

O apêndice B apresenta os layouts propostos dos quais os parasitas foram extraídos para a simulação *pos-layout*.

Finalmente, o Apêndice C apresenta as publicações resultantes do desenvolvimento deste trabalho.

2 *Características Neurológicas*

2.1 Sistema Nervoso

2.1.1 Anatomia e Função do Sistema Nervoso Central (SNC)

Macroscopicamente, o sistema nervoso central (SNC) divide-se em duas partes: a medula espinhal e seu prolongamento, o encéfalo.

O encéfalo consiste numa porção altamente modificada e ampliada do SNC, envolvido por três membranas (ou meninges) e protegido pelo crânio.

Analogamente, a medula espinhal é rodeada por prolongamentos das meninges e localiza-se no interior da coluna vertebral [8]. Ainda, divide-se o encéfalo em cérebro, tronco encefálico (ou cerebral) e cerebelo. A seguir, detalha-se brevemente cada uma destas partes:

- **Cérebro:** Formado pelos hemisférios cerebrais (telencéfalo) e pelo diencefalo.
 - *Hemisférios:* Direito e esquerdo (cada um relacionando-se ao lado oposto do corpo), responsáveis pelas funções conscientes/voluntárias do SNC. Encontram-se três estruturas diferenciadas: Córtex (responsável por, dentre outras, atividade motora e somato-sensorial), substância branca e núcleos de base;
 - *Diencefalo:* Dividido em hipotálamo, tálamo (centro e integração sensorial, envia informações ao córtex) e epitálamo.
- **Tronco encefálico:** Constituído por mesencéfalo, miencéfalo e metencéfalo. Conecta córtex, cerebelo e medula, integra várias funções viscerais (batimento cardíaco, frequência respiratória, etc.) e vários reflexos motores;
- **Cerebelo:** Coordena o sistema muscular voluntário, atuando em conjunto com o tronco cerebral e o córtex, além de controlar o tônus muscular [1].

As atividades elétricas podem ser monitoradas por equipamentos computadorizados, sendo que esses devem possuir capacidade de processar, analisar e apresentar grande quantidade de dados, de modo a detectar rapidamente mudanças de padrão e formato das ondas cerebrais. O monitoramento durante cirurgias auxilia no controle da oxigenação adequada do cérebro do paciente sob anestesia geral, sendo que isto reduz a ocorrência de problemas graves nesses pacientes.

A medição é realizada utilizando-se a diferença de potencial entre os eletrodos, sendo que existem dois tipos:

- *Potencial de ação*: Decorrente da transmissão dos impulsos elétricos pelos axônios;
- *Potencial pós-sináptico*: Conforme as entradas excitatórias e inibitórias que alcançam os dendritos de cada neurônio, flui corrente para os corpos celulares, definindo dipolos elétricos. Os dipolos mudam de intensidade e sentido, produzindo flutuações ondulares no potencial elétrico resultante no volume condutor.

Quando a atividade dendrítica é negativa (excitatória) em relação ao corpo celular, o neurônio está despolarizado e excitado. Quando é positiva (inibitória) o neurônio está hiperpolarizado e menos excitável [1].

2.1.2 Ondas e Ritmos Cerebrais

As ondas cerebrais analisadas pelo EEG variam na faixa de frequência de algumas centenas de miliHertz a 100 Hz e possuem amplitudes variando de 5 a 500 μV .

Justamente por essa variação de amplitude tão elevada, este trabalho propõe um amplificador neural com ajuste de ganho para adequar melhor o sinal, sem perdas drásticas de resolução, para o estágio de conversão A/D, possibilitando inclusive a simplificação do conversor A/D (menor número de bits de conversão).

A composição harmônica do EEG é complexa e apenas se aproxima da forma senoidal, mas na maior parte do tempo, os sinais são irregulares.

Em indivíduos normais, podem se distinguir cinco padrões, de acordo com a frequência das oscilações: Delta, Theta, Alfa, Beta1 e Beta2.

- *Ondas Beta*: Quando o cérebro está excitado ou executando qualquer tarefa mental, gera ondas beta que são ondas de amplitude relativamente baixa e frequência

bastante alta, entre 15 e 40 Hz. Por exemplo, uma pessoa numa conversa estaria num estado beta. Outros exemplos poderiam ser uma pessoa fazendo um discurso, um professor, um apresentador de televisão.

- *Ondas Alfa*: Um estado alfa corresponderá, por oposição ao beta, a um estado mais relaxado. As ondas alfa têm uma amplitude maior que as beta, mas uma frequência menor, da ordem de 9-14 Hz. Uma pessoa que acabou uma tarefa e se senta para descansar, uma pessoa que pausa um pouco para refletir ou meditar ou uma pessoa que faz uma pausa numa conferência e vai dar uma volta ao jardim, são exemplos de pessoas que estão num estado alfa. As ondas alfa ocorrem principalmente no córtex visual (localizado na zona anterior do cérebro). Pessoas extremamente criativas estão normalmente sempre num estado alfa, mesmo em períodos de intenso trabalho.
- *Ondas Theta*: As ondas theta são ainda de maior amplitude e menor frequência, de 5-8 Hz. Uma pessoa que “sonha acordada” ou que está começando a adormecer encontra-se num estado theta. Outro exemplo é uma pessoa conduzindo em uma estrada e repara que não se lembra dos últimos 8 quilômetros. Este estado corresponde a um relaxamento ainda maior do que em alfa, o que pode causar um fluxo de idéias. Ao realizar, por exemplo, tarefas habituais e automatizadas como tomar banho, correr ou fazer a barba, podemos ter idéias criativas sem sequer nos esforçarmos para isso.
- *Ondas Delta*: Estas ondas correspondem as maiores amplitudes e menores frequências (1,5-4 Hz). Este é o estado atingido no sono. As ondas delta podem surgir junto de zonas cerebrais com danos fisiológicos.

A Figura 3 compila o acima descrito.

Os registros de recém-nascidos caracterizam-se por ondas contínuas, irregulares e assimétricas em todas as áreas e não aparece um ritmo regular. Uma atividade mais rápida aparece intermitentemente durante as primeiras semanas e meses de vida, estabelecendo-se de forma persistente após o primeiro ano.

O desenvolvimento do ritmo adulto ocorre gradualmente, ao longo da infância e adolescência. Na Figura 4 pode ser visto o padrão de ritmos em função da idade.

Os padrões das ondas cerebrais podem ser afetados por eventos externos, pelo pensamento e também por eventos internos do organismo. Um exemplo é o bloqueio das ondas alfa quando uma pessoa tem os olhos abertos ou quando está pensando numa tarefa que envolve imaginação visual. Além da atividade cerebral normal que se traduz em

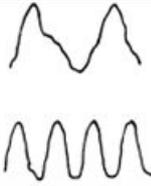
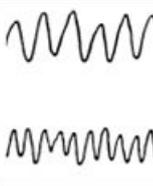
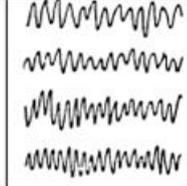
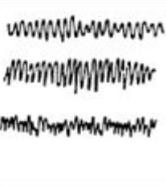
RITMO	DELTA	THETA	ALPHA	BETA
Componente em frequência	< 4 Hz	4 a 7 Hz	8 a 13 Hz	> 13 Hz
Amplitude	100 μ V	Criança: 20μV Adulto: 10 μ V	Bebê: 20 μ V Criança: 75μV Adulto: 50 μ V	10 a 20 μ V
Principal área do escalpo	Frontal	Temporal	Occipital Parietal	Frontal
Condição do Indivíduo	Sono profundo (adulto)	Sonolência	Repouso Olhos fechados	Repouso Olhos abertos
Forma de onda				

Figura 3: Ondas Cerebrais. [1]

alterações elétricas rítmicas, existem outros tipos de padrões que ocorrem no registro e avaliação da informação sensorial. Estas alterações são denominadas potenciais evocados (PE) e duram cerca de meio segundo.

Os PE são compostos por padrões consistentes de picos positivos e negativos que variam quando as propriedades do sinal que os evoca se alteram. A onda é dividida em componentes, que correspondem aproximadamente aos seus picos e vales, mas não exatamente, porque algumas componentes podem se sobrepor.

Cada uma das componentes tem o seu padrão de distribuição no cérebro. Esta sucessão de componentes de potenciais evocados é um bom indicador de vários aspectos do processamento de informação que ocorre no cérebro. Algumas das componentes dos potenciais evocados estão relacionadas com a atenção nas suas várias formas. Por exemplo, cerca de 100 milissegundos após a audição de um som não conhecido, é produzida uma forte componente negativa, que vai diminuindo se o som se tornar repetitivo.

Estímulos visuais e táteis produzem componentes semelhantes, embora defasadas. Em situações em que o indivíduo tem de tomar atenção a um sinal em particular, esta componente negativa aumenta.

Se, por outro lado, o indivíduo está, por exemplo, lendo um livro quando um som ocorre, a componente não é tão forte. Esta característica verifica-se para qualquer tipo de estímulo. Um estado atento ao estímulo produz sempre uma componente mais forte.

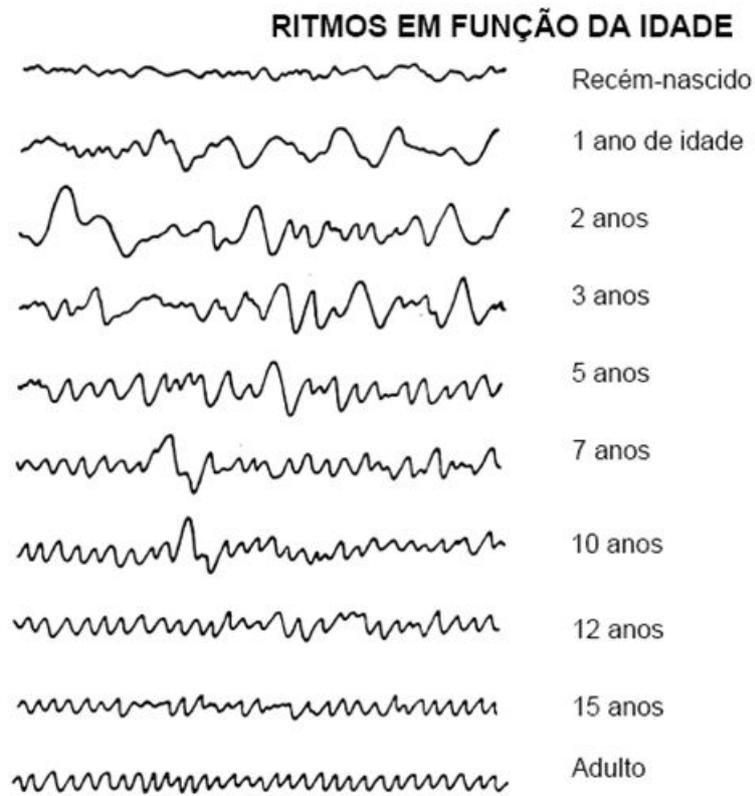


Figura 4: Ritmos em função da idade. [1]

Por exemplo, suponha que é solicitado a um indivíduo para estar atento a uma palavra em particular que vai ser dita por uma determinada pessoa. Mesmo que várias pessoas comecem a falar ao mesmo tempo, a voz da pessoa “indicada” evoca uma componente mais forte do que as outras pessoas. A palavra referida vai evocar uma componente que vai ocorrer 300 ms depois de ser proferida.

Estas experiências parecem comprovar a hipótese de que há uma filtragem inicial para todos os estímulos, seguida de outra filtragem mais específica. Existem ainda outras alterações elétricas mais longas quando se pretende dar uma resposta rápida a um estímulo em particular. Quando o estímulo é precedido por um aviso momentos antes, este sinal evoca uma componente negativa e que aumenta lentamente de intensidade, a que se dá o nome de potenciais corticais lentos - SCP (*Slow Cortical Potentials*). Essa componente atinge o máximo quando o estímulo esperado ocorre, e volta ao seu estado normal depois de ser dada a resposta ao estímulo [9][10].

2.1.3 Eletroencefalograma

Desde a década de 30, a evolução do EEG deu-se principalmente devido às inovações tecnológicas da eletrônica e da mecânica, que permitiram a elaboração de equipamentos mais compactos, precisos e sensíveis, e também à agregação da computação como ferramenta de análise de EEG.

A evolução da computação digital permitiu o armazenamento de grandes quantidades de dados e a realização de processamentos que incluem a desde a transformada de Fourier à compactação dados e à detecção e reconhecimento automático de padrões que podem ter algum significado patológico.

2.1.3.1 Eletroencefalógrafos

Os potenciais gerados pelas células localizadas na camada mais externa do encéfalo (córtex) são captados pelos eletrodos e, a seguir, registrados em monitores de vídeo ou em papel. Em virtude disso, pode-se distinguir entre dois tipos principais de eletroencefalógrafos:

- *Analógico*: As diferenças de potencial entre os 22 eletrodos são tratadas e registradas continuamente em papel, durante aproximadamente 20 minutos. Este procedimento pode gerar dezenas de metros de traçados em papel. A Figura 5 exemplifica uma exame EEG realizado de forma analógica;
- *Digital*: As diferenças de potencial são armazenadas em disco e exibidas em um monitor de vídeo, possibilitando a análise e impressão de trechos selecionados, além de processamento dos sinais, detecção e análise de eventos importantes e conexão em rede [1]. A Figura 6 exemplifica uma exame EEG realizado de forma digital.
- *Sistema SoC Array Proposto*: Neste trabalho é proposto um sistema de EEG digital diferenciado, no qual todo o sistema é integrado em chip posicionado junto ao eletrodo, evitando interferências do meio ambiente, como já mostrado na Figura 1. Desta forma espera-se obter um sistema mais robusto e confiável do que sistemas comerciais atuais.

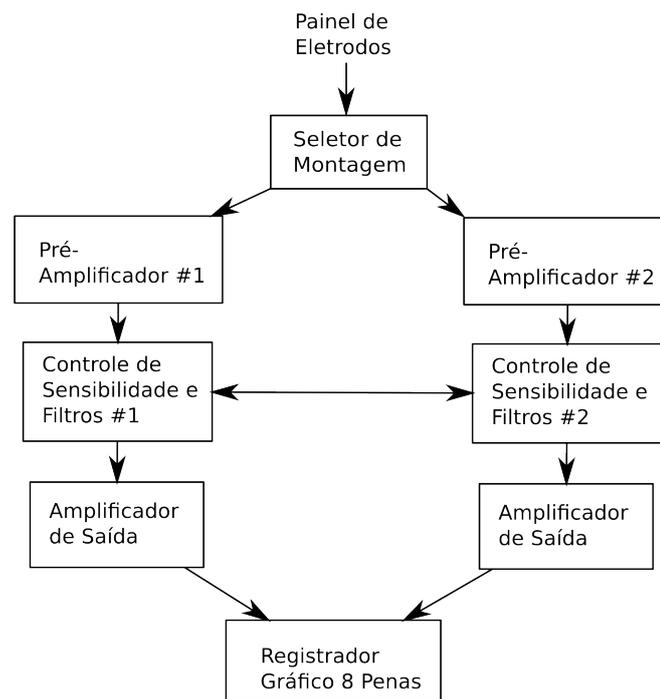


Figura 5: EEG Analógico.

2.1.3.2 Eletrodos de EEG

A fim de garantir a confiabilidade dos sinais obtidos no EEG, os eletrodos devem apresentar:

- Tamanho reduzido;
- Fácil fixação no escalpo;
- Não devem causar desconforto;
- Devem manter-se no local por períodos longos;
- Potenciais iguais e estáveis (flutuações de mV mascaram o EEG);
- Impedâncias de contato iguais e constantes (mantém o sistema balanceado).

2.1.3.3 Classificação dos Eletrodos

Em geral, os eletrodos dividem-se (não apenas os de EEG) em três grupos:

- *Não-invasivos*: aplicados na superfície da pele, como os eletrodos convencionais de EEG;

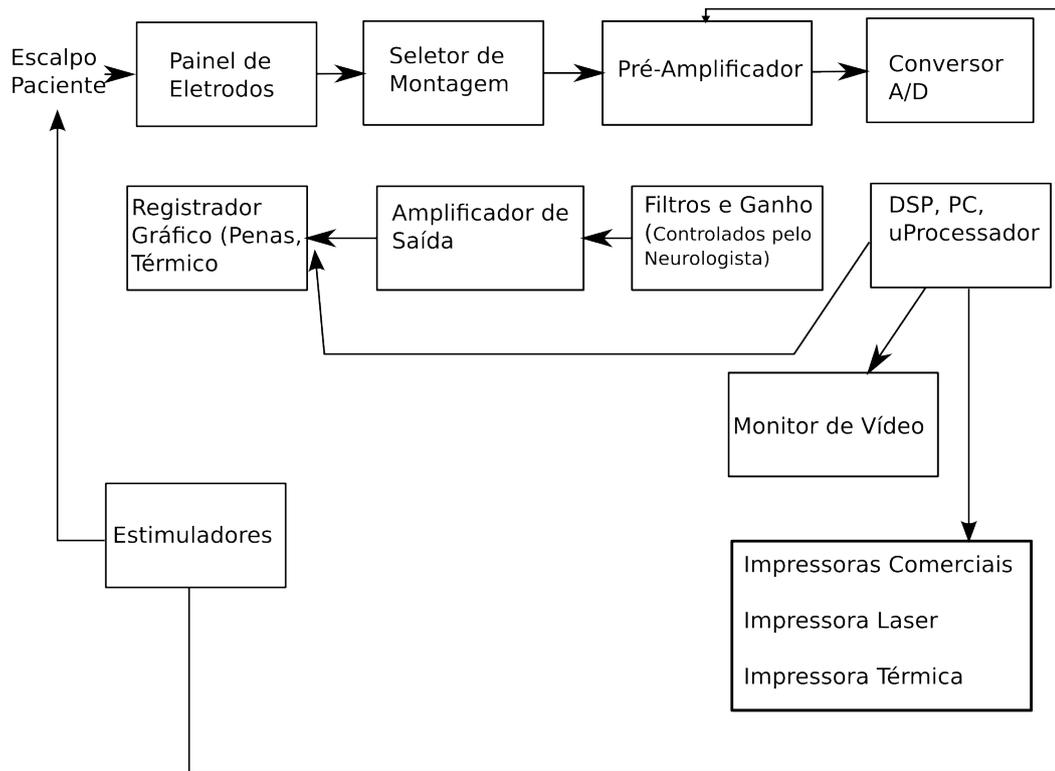


Figura 6: EEG Digital.

- *Semi-invasivos*: aqueles como o nasofaríngeo;
- *Invasivos*: aqueles como os utilizados para registro de eletrocorticograma.

Particularmente para o EEG, os principais tipos de eletrodos são:

- Eletrodos de disco de prata - Figura 7: Possuem um furo no centro para aplicação do gel condutivo;



Figura 7: Eletrodo tipo disco de prata.

- Eletrodos de agulha de platina - Figura 8: Utilizados em montagem monopolar e descartados após uso. Inseridos tangencialmente abaixo da pele. Apresentam riscos de quebra e sangramento;
- Eletrodo tipo clipe de orelha - Figura 9: Utiliza dois eletrodos tipo disco (de ouro ou prata), montados num suporte plástico;



Figura 8: Eletrodo tipo agulha de platina.



Figura 9: Eletrodo tipo clipe de orelha.

- Eletrodos corticais - Figura 10: Usados para registrar potenciais no córtex exposto [1].



Figura 10: Eletrodo tipo cortical

2.1.3.4 Interface Eletrodo-Gel-Pele

Ao se captar biopotenciais sobre a superfície da pele, deve-se considerar a interface eletrodo-gel-pele, cujos diagrama esquemático e modelamento são retratados na Figura 11 [1].

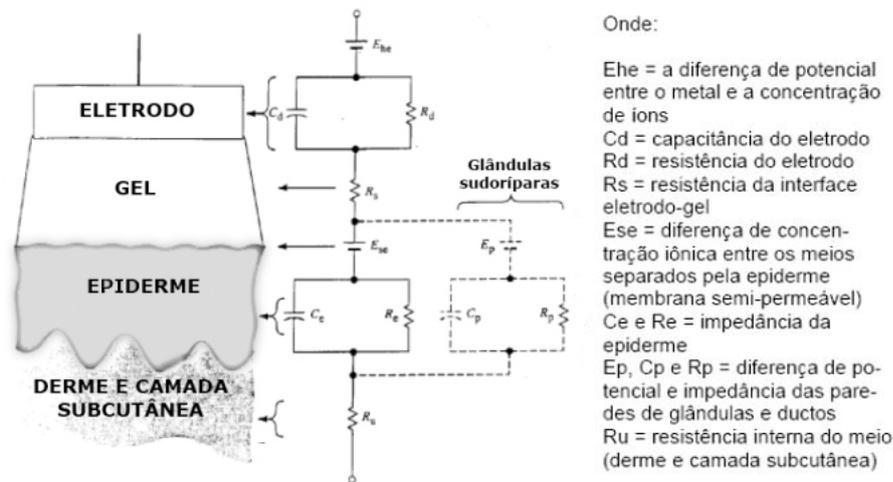


Figura 11: Modelo da interface gel-eletródo-pele. [1]

2.1.3.5 Principais Parâmetros de um Eletroencefalógrafo

Dentre os parâmetros na especificação de um Eletroencefalógrafo discreto, destacam-se [1]:

- Número de canais: A quantidade de diferenças de potencial que é medida simultaneamente.
- Amplificadores: Usualmente são utilizados amplificadores diferenciais de dois estágios com acoplamento AC, impedância de entrada maior que 1 M e rejeição de modo comum (CMMR) maior que 80 dB.
- Filtros: Eliminam ou atenuam interferências externas, como a da rede elétrica em 50 ou 60 Hz.
- Registro do sinal: Analógico (impressão contínua em papel) ou digital (mais flexível).
- Estimuladores: O mais comum é o foto-estimulador.
- Seleção de montagens: “Montagem” é o nome dado ao conjunto de eletrodos selecionado para terem os traçados registrados. Os 2 tipos básicos são monopolar e bipolar.

A Tabela 1 compara 3 tipos de aparelhos EEG disponíveis no mercado com relação aos parâmetros descritos acima.

Tabela 1: Comparação entre 3 aparelhos de EEG.

Configurações	Móvel	Portátil	Desktop
Pré-amplificação no head box	Somente <i>buffer</i>	Conversor <i>A/D</i>	Isolador Óptico
Número de canais	16, 21, 24, 32	64	24 a 32
Seleção de montagens	10	200	100
Sensibilidade [$\mu V/mm$]	1-200	1-20.000	1-100
Filtros de BF [<i>Hz</i>]	0,1-3	0,2-10	0,2-10
Filtros de AF [<i>Hz</i>]	15-100	15-20K	15-70
CMRR [<i>dB</i>]	>100 a 60Hz	>110 a 60Hz	100 a 50 ou 60Hz
Verificação de eletrodos	Manual	Automática	Automática
Impedância do pré-amplificador [<i>MΩ</i>]	20	100	20
Armazenamento de dados	Disco rígido	Disco óptico	Fitas DAT
Monitor de vídeo	Alfa-numérico com LED	21" colorido	15"
Impressão	Eletroencefalógrafo	Laser contínua	Laser, Laser contínua, analógico
Anotações no gráfico	Nenhuma	Montagem, escalas, filtros, sensibilidade, hora início-fim, comentários, estímulos	Montagem, escalas, filtros, sensibilidade, hora início-fim, comentários, estímulos
Foto-estimulador	Nenhum	Com controle por software	Programável por software
Peso [<i>Kg</i>]	41	7	12

Porém, no caso deste trabalho, está previsto a implementação de um amplificador neural para ser parte integrante de um sistema totalmente integrado em chip, e por essas razões o sistema é um pouco diferente.

O amplificador neural é composto de apenas um estágio com ajuste de ganho, como será descrito nos capítulos seguintes. O amplificador apresenta ainda uma faixa de operação em frequência bem mais ampla do que a encontrada em eletroencefalógrafos comerciais para permitir estudos neurológicos complementares.

2.1.3.6 Estimuladores

Para registrar sistematicamente o potencial elétrico de várias regiões da cabeça, diferentes montagens são usadas. Durante o exame, ativações diferentes, tais como hiperventilação, estimulação luminosa, privação do sono e administração de drogas podem ser

usadas.

A estimulação luminosa em geral é feita com uma lâmpada Xenon e os flashes podem ser apresentados em modo manual ou automático. A frequência de repetição do estímulo (0,5Hz a 33Hz com pausa de 0 a 30s), a duração (1 a 99s) e a intensidade dos mesmos em geral podem ser programadas.

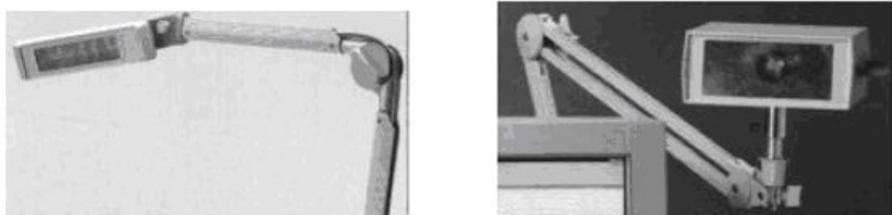


Figura 12: Estimuladores.

Durante a ativação por hiperventilação é indispensável a cooperação do paciente. A unidade de hiperventilação serve para emitir sinal sonoro para: “marcar o passo” da respiração do paciente; para determinar o movimento do peito do paciente (pelo princípio da pletismografia) como resultado de respiração profunda; e para o operador fornecer instruções verbais ao paciente.

2.1.3.7 Aplicações Clínicas do EEG

Um técnico em eletroencefalografia experiente consegue caracterizar a atividade cortical fenomenologicamente, considerando a frequência, as amplitudes presentes e a morfologia das ondas, junto com sua distribuição espacial e padrões contínuo ou intermitente de ocorrência. Algumas patologias e condições fisiológicas provocam padrões facilmente reconhecíveis. A seguir encontram-se descritas as principais indicações do uso do EEG.

- Esclarecimento de distúrbios da consciência, quando o quadro clínico por si só não é capaz de diagnosticar a epilepsia e outras desordens convulsivas. Porém evidência negativa de epilepsia no EEG não a descarta;
- Nos casos comprovados, pode-se distinguir algumas formas de epilepsia;
- Pode auxiliar no prognóstico de alguns casos de trauma craniano;
- Determinação de causa, profundidade e reversibilidade de estados comatosos;
- Estudos dos distúrbios do sono;

- Avaliação de morte cerebral;
- Monitoração de pacientes durante e após cirurgias.

2.1.3.8 Ruídos na Aquisição de Sinais Bioelétricos

Sinais bioelétricos, como eletro-encefalograma e eletro-cardiograma, são caracterizados por sua pequena voltagem (na ordem de 1-100 μV) e frequências muito baixas. Em ambos os casos, sinais bioelétricos contém uma componente DC na ordem de alguns mV causados pelos eletrodos [11].

Durante a captação dos sinais bioelétricos vários sinais indesejados podem estar associados a estes. Esses sinais indesejados são denominados ruídos ou artefatos. A seguir será feita uma descrição dos artefatos mais comuns.

- *Interferência da Rede Elétrica*: Consiste de um sinal senoidal com frequência em torno de 60Hz (ou 50Hz dependendo da rede geradora). Essa interferência pode ser causada por indução magnética ou por efeito eletrostático.
- *Artefatos de Movimento*: São mudanças transientes na linha de base do sinal bioelétrico de ECG, causadas por mudanças na interface eletrodo-pele devido ao movimento do eletrodo, resultante de movimentação do paciente ou vibração. A amplitude do artefato, assim como sua duração são variáveis.
- *Ruído Eletro-cirúrgico*: Causado por bisturi elétrico, é capaz de destruir completamente um sinal bioelétrico de ECG. Ele pode ser representado por uma senóide de grande amplitude com frequência entre 100kHz e 1MHz.
- *Ruído Eletromiográfico*: São ruídos causados pelas contrações musculares do paciente. Geralmente são artefatos da ordem de milivolts.
- *Ruído de Contato de Eletrodo*: É uma interferência transiente, causada pela perda de contato entre o eletrodo e a pele, desconectando o sistema de medição e sua fonte de sinais. A perda de contato pode ser permanente ou intermitente, como no caso de movimentos e vibrações. Esta ação de chaveamento na entrada do sistema de medição pode resultar em grandes artefatos, pois o sinal bioelétrico é, geralmente, acoplado capacitivamente ao sistema. Com a entrada do amplificador desconectada, a interferência de 60 Hz pode se tornar significativa.

3 *Projeto Desenvolvido*

3.1 OTA Folded Cascode

A Figura 13 mostra o circuito de um amplificador operacional utilizado no desenvolvimento do amplificador neural proposto para o *EEG SoC Array*. Esse circuito é amplamente descrito na literatura [5] [6], por se tratar de uma topologia amplamente utilizada no desenvolvimento de amplificadores para diversos fins, principalmente para a área médica.

No decorrer deste capítulo será feita primeiramente uma breve revisão bibliográfica desta topologia. A seguir uma discussão sobre ruído deverá ser feita por se tratar de um aspecto predominante para desenvolvimento desses amplificadores voltados a área neurológica. Em sequência mostrar-se-ão as diferentes regiões de operação de cada dispositivo. Por fim será mostrado as características de resposta em frequência e estabilidade obtidas nesse trabalho.

3.1.1 OTA - Revisão Bibliográfica

3.1.1.1 Amplificadores Operacionais

A razão para se usar um amplificador *Folded Cascode* para o desenvolvimento de amplificadores é, principalmente, sanar as inabilidades de amplificadores de dois estágios tais como: ganho insuficiente, largura de banda para ganho estável ser limitada e baixa razão de rejeição de fonte de alimentação (PSRR) devido à compensação Miller.

Os amplificadores operacionais *Folded Cascode* sanam tais limitações já que a transcondutância é aumentada bem como a impedância de saída. A arquitetura do amplificador utilizado neste trabalho utiliza a estrutura *Cascode* no estágio de saída, representado na Figura 13 pelos transistores MCascN e MCascP.

Com o correto layout dos dispositivos, como será mostrado nas sessões e capítulos seguintes, esta topologia apresenta ainda características interessantes com relação a ruído,

O ruído rosa ocorre em qualquer dispositivo eletrônico devido à combinação dos portadores (elétrons ou lacunas) dentro do dispositivo. Para dispositivos MOS pode ser entendido como a variação da corrente ao longo do canal devido à recombinação dos portadores majoritários atravessando o canal. A recombinação não é uniforme e segue uma distribuição totalmente aleatória, o que na realidade gera o ruído rosa. Este ruído apresenta efeitos muito grandes para circuitos que operam em baixa frequência já que o mesmo possui grande magnitude em frequências baixas. O ruído rosa em dispositivos pMOS é tipicamente de uma a duas ordens de grandeza menor do que em dispositivos nMOS [12], desde que a tensão V_{GS} não exceda muito a tensão V_{TH} [13] [14].

O ruído rosa é modelado como uma fonte de tensão em série com o *gate* do transistor MOS, na forma:

$$V_g^2(f) = \frac{K}{W.L.C_{OX}.f} \quad (3.1)$$

onde K é um coeficiente dependente das características do dispositivo e pode variar bastante para diferentes dispositivos difundidos num mesmo processo.

Pode-se observar que este ruído é inversamente proporcional a área do dispositivo. Essa característica será utilizada neste trabalho para o dimensionamento do par diferencial e consequente diminuição do ruído.

- Ruído Térmico

O ruído térmico também ocorre em quaisquer dispositivos eletrônicos, pois como não são dispositivos ideais, sempre apresentam características parasitas e neste caso em específico, a resistência do canal e dos contatos dos dispositivos MOS. Caso o transistor esteja na região de triodo, a corrente oriunda do ruído térmico no dreno devido à resistência do canal é dada por (3.2) [12]:

$$I_d^2(f) = \frac{4.k.T}{r_{ds}} \quad (3.2)$$

onde r_{ds} é a resistência do canal e k é a Constante de Boltzmann. Já para a região ativa, o canal não pode ser considerado uma região de resistência homogênea devido aos efeitos de estrangulamento do canal e desta forma o ruído térmico é encontrado fazendo-se a integral de pequenas porções do canal, resultando na equação (3.3).

$$I_d^2(f) = 4.k.T.\frac{2}{3}.g_m \quad (3.3)$$

Dessa forma, um transistor MOS pode ter seus ruídos modelados como mostrado na

Figura 14, em que o ruído térmico é modelado como uma fonte de corrente entre dreno e fonte do dispositivo e o ruído rosa é modelado como uma fonte de tensão na entrada do *gate*.

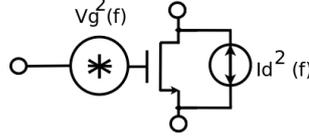


Figura 14: Modelagens dos Ruídos num Dispositivo MOS.

3.1.1.3 Fator de Eficiência a Ruído - NEF

A figura de mérito fator de eficiência a ruído (NEF) é amplamente utilizada em circuitos voltados à área médica (devido à baixa amplitude dos sinais e necessidade de baixo consumo de energia) pois relaciona o ruído que o próprio circuito produz e a potência dissipada pelo mesmo. O NEF [15], é equacionado por:

$$NEF = V_{ni,rms} \cdot \sqrt{\frac{2 \cdot I_{Total}}{\pi \cdot U_T \cdot 4kT \cdot BW}} \quad (3.4)$$

onde:

- $V_{ni,rms}$ é o ruído gerado pelo circuito, em tensão rms;
- I_{Total} é toda a corrente drenada pelo circuito;
- BW é a largura de banda em Hertz.

Para se entender melhor o NEF, é feita uma comparação com o transistor bipolar, o qual é considerado não ter ruído rosa. Para estes dispositivos, o NEF é dito ser igual a 1. Todos os circuitos reais, na verdade, possuem NEF maior que 1.

Uma análise mais profunda do NEF do circuito proposto, pode ser feita tomando-se o ruído térmico gerado pelo circuito, dado pela Equação 3.5 que será explicada com mais detalhes na sessão 3.1.2.

$$\overline{v_{ni,termico}^2} = \left[\frac{16 \cdot k \cdot T}{3 \cdot g_{m1}} \cdot \left(1 + 2 \cdot \frac{g_{m3}}{g_{m1}} + \frac{g_{m7}}{g_{m1}} \right) \right] \cdot \Delta f \quad (3.5)$$

Substituindo $V_{ni,rms}$ da Equação (3.4) pela Equação (3.5), integrada para toda largura de banda BW e assumindo g_{m3} e $g_{m7} \ll g_{m1}$ (o que é totalmente plausível pela Tabela 10, a Equação (3.4) se torna:

$$NEF = \sqrt{\frac{4 \cdot I_{Total}}{3 \cdot U_T \cdot g_{m1}}} = \sqrt{\frac{16}{3 \cdot U_T} \cdot \frac{I_{D1}}{g_{m1}}} \quad (3.6)$$

onde:

- I_{D1} é a corrente de dreno através de M_1 ou M_2 que, como pode ser observado pela Figura 13 é $\frac{1}{4}$ de I_{Total} ;

Desta forma, conclui-se que, para se minimizar o NEF, a transcondutância relativa $\frac{g_m}{I_D}$ dos transistores pMOS do par diferencial deve ser aumentada. Por essa razão, estes dispositivos são dimensionados de forma a se garantir sua operação em saturação - inversão fraca já que nesta região esta transcondutância relativa atinge o máximo valor de $\frac{\kappa}{U_T}$.

Utilizando um modelo mais apurado de ruído térmico válido para regiões de saturação - inversão fraca apresentado por [13], o NEF se torna:

$$NEF = \sqrt{\frac{4}{\kappa \cdot U_T} \cdot \frac{I_{D1}}{g_{m1}}} \quad (3.7)$$

E finalmente, assumindo um valor de κ de $\approx 0,7$ (calculado no Apêndice B, Tabela 3), para saturação - inversão fraca, o NEF pode ser reduzido à Equação (3.8).

$$NEF = \sqrt{\frac{4}{\kappa^2}} \approx 2,9 \quad (3.8)$$

Este valor de 2,9 pode ser considerado o limite teórico de NEF, para a arquitetura de OTA empregada neste trabalho, com a utilização de transistores MOS [6].

3.1.2 Projeto do OTA Folded Cascode

Para o projeto do amplificador mostrado na Figura 13, foram levadas em consideração, basicamente, 3 diretivas de projeto:

- Área
Quanto menor a área de implementação de cada amplificador, menor será a área total de cada elemento do *Array*, permitindo que mais elementos de *Array* seja implementado em um mesmo die, levando ao aumento de *yield*.
- Potência

De acordo com [16], um fluxo de 80 mW/cm² é capaz de necrosar o tecido muscular. Dessa forma, o amplificador deve dissipar a menor potência possível para que não contribua significativamente com a potência total dissipada pelo *Array*. Esse fator é crucial para que, no futuro, este sistema possa ser utilizado em sensores bio-implantáveis.

- Ruído

O ruído é o fator crucial neste tipo de amplificador já que os sinais a serem medidos possuem amplitudes da ordem de μV , como descrito na sessão 2.1.2. Assim sendo, a descrição do projeto do OTA a seguir será fundamentalmente feita em função do ruído.

O fator crucial levado em conta para o dimensionamento do OTA foi a diminuição do ruído gerado pelo próprio circuito, comumente referenciado para a entrada (*Input Referred Noise*). Assim sendo, da literatura [6] encontra-se que o ruído térmico de tal arquitetura *Folded Cascode OTA* utilizada pode ser expresso por

$$\overline{v_{ni,termico}^2} = \left[\frac{16 \cdot k \cdot T}{3 \cdot g_{m1}} \cdot \left(1 + 2 \cdot \frac{g_{m3}}{g_{m1}} + \frac{g_{m7}}{g_{m1}} \right) \right] \cdot \Delta f \quad (3.9)$$

Assim o ruído referenciado à entrada do amplificador neural pode ser relacionado apenas ao ruído do OTA por

$$\overline{v_{ni,amp}^2} = \left(\frac{C_1 + C_2 + C_{in}}{C_1} \right) \cdot \overline{v_{ni}^2} [V^2] \quad (3.10)$$

Torna-se necessário então o cálculo de g_m de cada dispositivo, através das Equações (3.11) ou (3.12), dependendo das regiões de operação em que cada dispositivo opera.

Este trabalho trata os dispositivos simétricos pelo número de referência do dispositivo de menor índice de cada subgrupo. Assim, por exemplo, os dispositivos M_3 , M_4 , M_5 e M_6 da Figura 13, nas equações são representados apenas pelo dispositivo de menor índice, ou seja, M_3 .

- g_m para região de operação em saturação - inversão forte:

$$g_m = \sqrt{2 \cdot I_D \cdot \mu \cdot C_{OX} \cdot \frac{W}{L}} \quad (3.11)$$

- g_m para região de operação em saturação - inversão fraca (Modelo EKV):

$$g_m = \frac{\kappa \cdot I_D}{U_T} \cdot \left(\frac{2}{1 + \sqrt{1 + 4 \cdot IC}} \right) \quad (3.12)$$

Para o cálculo de g_m do par diferencial, únicos transistores propostos a trabalhar em saturação - inversão fraca, é ainda necessário o cálculo de IC , que é o coeficiente de inversão sob o qual o dispositivo está trabalhando. O cálculo de IC é dado por

$$IC = \frac{I_D}{I_S} \quad (3.13)$$

onde I_D é a própria corrente de dreno do dispositivo e I_S é denominado de corrente característica de inversão moderada do dispositivo, dada por:

$$I_S = \frac{2 \cdot \mu \cdot C_{OX} \cdot U_T^2}{\kappa} \cdot \frac{W}{L} \quad (3.14)$$

onde U_T é a tensão *threshold* corrigida pela temperatura e κ é o coeficiente de acoplamento *subthreshold*.

De acordo com [6], um dispositivo com $IC > 10$ opera na região de saturação - inversão forte e tem sua transcondutância dada por (3.11). Um outro dispositivo com $0,1 < IC < 10$ opera na região de inversão moderada e finalmente, um dispositivo com $IC < 0,1$ opera na região de saturação - inversão fraca.

No caso deste trabalho, apenas os dispositivos pMOS do par diferencial operam em inversão fraca, para que se aumente a transcondutância do dispositivo, causando a diminuição do ruído térmico do OTA, o que é facilmente verificado pela expressão (3.9).

O projeto do par diferencial é feito de forma a se obter a largura W muito maior que o comprimento L , garantindo assim que estes dispositivos se mantenham em operação em saturação - inversão fraca, considerando que qualquer sinal de entrada do amplificador neural será desacoplado de qualquer parte DC através de capacitores de desacoplamento e que todo sinal AC é suficientemente pequeno para que ambos transistores se mantenham na região de operação correta.

Dessa forma, os dispositivos M_3 , M_4 , M_5 e M_6 , M_7 e M_8 são dimensionados de tal forma a se diminuir suas transcondutâncias g_m e, em contrapartida, os transistores do par diferencial M_1 e M_2 são dimensionados de forma a se aumentar suas transcondutâncias, diminuindo-se assim o ruído térmico definido na Equação (3.9).

Embora na literatura [6] é comum encontrar a utilização do modelo EKV para todas as regiões de operação, neste trabalho preferiu-se utilizá-lo apenas para a região de saturação - inversão fraca já que, a aplicação do mesmo para as outras regiões mostrou uma grande diferença se comparado a outros modelos mais adequados a regiões de operação específicas, como visto na sessão seguinte.

3.1.3 Cálculos dos Dispositivos do OTA

As tabelas a seguir compilam os parâmetros de projeto de cada transistor do OTA e a definição de suas respectivas regiões de operação através da obtenção de g_m .

3.1.3.1 Cálculo da Tensão Térmica e Compilação de Parâmetros do Semicondutor

A Tabela 2 compila informações pertinentes ao projeto do OTA com relação à correção para a temperatura ambiente sob a qual o amplificador neural irá operar, em torno de 36[°C], que é a temperatura do corpo humano.

Tabela 2: Correção de U_T .

Correção de U_T	
C_{OX}	3,619E-08
k [J/K]	1,38E-23
q [Coulomb]	1,60218E-19
Temperatura [°C]	36
Temperatura [K]	309
U_T @ 36[°C] em [V]	0,026627587
N_D [cm^2/s]	39,94137987
N_A [cm^2/s]	19,23124267
N_i [cm^{-3}]	1,45E-10

3.1.3.2 Compilação dos Parâmetros dos Transistores pMOS e nMOS de Acordo com Apêndice A

Para o projeto do OTA foram levantados parâmetros de processo como μC_{ox} , V_{TH0} , λ , V_a , n , I_X , concentração de dopantes N_D , N_A e N_i e o coeficiente de acomodamento subthreshold κ no Apêndice A.

A Tabela 3 compila essas informações.

Tabela 3: Parâmetros Dispositivos nMOS e pMOS.

Parâmetros	nMOS	pMOS
V_{TH_0} [V]	0,8591	0,8873
μC_{OX} [A/V^2]	5,429E-05	2,614E-05
λ [1/V]	0,06667	0,2
V_A [V]	-15	-5
η [V/V]	1,79639	1,70306
I_X [A]	3,676E-08	1,395E-08
N_D, N_A, N_i	3,994E+01	1,923E+01
κ	7,014E-01	6,820E-01

3.1.3.3 Dimensionamento dos Dispositivos - Cálculo de IC, IS, g_m e Definição da Região de Operação

As tabelas seguintes compilam os parâmetros para cálculo de g_m e da definição da região de operação para cada dispositivos. É mostrado ainda o valor de g_m para cada uma das 3 regiões de operação (inversão fraca, inversão moderada e inversão forte) para fins de comparação. Os cálculos de g_m , IS e IC são baseados nas equações de g_m para saturação forte 3.11 e saturação fraca 3.12, IC 3.13 e IS 3.14, dadas na sessão 3.1.2.

Tabela 4: Projeto de M1 e M2.

M1 e M2 [pMOS]			
Parâmetros de Projeto	W [um]	L [um]	ID [A]
	900	2	1,500E-06
IS [A]	2,841E-05	Região de Operação	
IC [A/A]	0,05280	Inversão Fraca	
	Fraca	Forte	Modelo EKV
gm [A/V]	1,292E-06	1,878E-04	3,149E-05
gm/ID [1/V]	0,861	125,233	20,996

Tabela 5: Projeto de M3, M4, M5 e M6.

M3, M4, M5 e M6 [nMOS]			
Parâmetros de Projeto	W [um]	L [um]	ID [A]
	10	40	1,500E-06
IS [A]	3,457E-08	Região Operação	
IC [A/A]	43,38660	Inversão Forte	
	Fraca	Forte	Modelo EKV
gm [A/V]	1,190E-06	6,381E-06	4,413E-06
gm/ID [1/V]	0,794	4,254	2,942

Por fim, a Tabela 10 compila os valores de projeto de cada dispositivo do OTA. Estes

Tabela 6: Projeto de M7 e M8.

M7 e M8 [pMOS]			
Parâmetros de Projeto	W [um]	L [um]	ID [A]
	6	25	1,500E-06
IS [A]	1,515E-08	Região Operação	
IC [A/A]	99,00812	Inversão Forte	
	Fraca	Forte	Modelo EKV
gm [A/V]	1,292E-06	4,338E-06	3,161E-06
gm/ID [1/V]	0,861	2,892	2,108

Tabela 7: Projeto de M9 e M10.

M9 e M10 [pMOS]			
Parâmetros de Projeto	W [um]	L [um]	ID [A]
	9	20	3,000E-06
IS [A]	2,841E-08	Região Operação	
IC [A/A]	105,60866	Inversão Forte	
	Fraca	Forte	Modelo EKV
gm [A/V]	2,583E-06	8,401E-06	6,132E-06
gm/ID [1/V]	0,861	2,800	2,044

Tabela 8: Projeto de MCascN - Transistor nMOS Cascode.

McascN [nMOS]			
Parâmetros de Projeto	W [um]	L [um]	ID [A]
	12	4	1,500E-06
IS [A]	4,149E-07	Região Operação	
IC [A/A]	3,61555	Inversão Moderada	
	Fraca	Forte	Modelo EKV
gm [A/V]	1,190E-06	2,210E-05	1,272E-05
gm/ID [1/V]	0,794	14,736	8,477

Tabela 9: Projeto de MCascP - Transistor pMOS Cascode.

McascP [pMOS]			
Parâmetros de Projeto	W [um]	L [um]	ID [A]
	4,5	6,5	1,500E-06
IS [A]	4,370E-08	Região Operação	
IC [A/A]	34,32282	Inversão Forte	
	Fraca	Forte	Modelo EKV
gm [A/V]	1,292E-06	7,368E-06	5,185E-06
gm/ID [1/V]	0,861	4,912	3,456

valores foram obtidos de acordo com parâmetros extraídos do Apêndice A [7] utilizados para aplicação nos dois modelos de g_m utilizados neste trabalho.

Tabela 10: Compilação de Valores Utilizados para Projeto do *Folded Cascode OTA*.

Dispositivos	V_{GS} [V]	$V_{overdrive}$ [V]	IC	W/L	I_D [uA]
M1, M2	0,9033	0,0160	0,053	900 / 2	1,500
M3,M4,M5,M6	1,3293	0,4702	43,387	10 / 40	1,500
M8, M7	1,5788	0,7197	99,008	6 / 25	1,500
M9, M10	1,6015	0,7142	105,609	9 / 20	3,000
McasCN	0,9948	0,1357	3,616	12 / 4	1,500
McasCP	1,2945	0,4072	34,323	4.5 / 6.5	1,500

3.1.3.4 Estabilidade e Resposta em Frequência

Como definido na Equação (3.9) para se diminuir o ruído térmico deve-se aumentar as transcondutâncias g_{m1} e g_{m2} e diminuir g_{m3} e g_{m7} .

No entanto, esse dimensionamento não pode ser feito indefinidamente sem a consequência de diminuição da margem de fase do OTA e consequentemente sua robustez com relação à estabilidade. Denotando a capacitância total vista pelo *gate* de M_3 e M_4 por C_3 , conclui-se que o OTA tem dois pólos em:

$$w_p = \frac{g_{m3}}{C_3} \quad (3.15)$$

e

$$w_p = \frac{g_{m7}}{C_7} \quad (3.16)$$

Para se assegurar estabilidade [6], a frequência destes polos devem ser algumas vezes (pelo menos três) maior que a frequência do polo dominante, dada pela Equação (3.17), sendo C_L a capacitância de carga, que neste trabalho vale 15[pF]:

$$w_{polodominante} = \frac{g_{m1}}{C_L} \quad (3.17)$$

Este critério para a estabilidade do circuito se torna mais fácil de atender quando C_L é feito suficientemente grande. No entanto, estimando uma capacitância vista pelo amplificador neural como sendo a de um *Sample and Hold* já vislumbrando a utilização

do mesmo em um *EEG SoC*, este valor de C_L foi fixado a $15[pF]$, o que impossibilitou o dimensionamento ainda mais otimizado dos transistores.

Assim, o dimensionamento feito nos dispositivos, o projeto do OTA aqui proposto atingiu a melhor relação possível entre margem de fase e ruído referenciado à entrada. A margem de fase atingida está em torno de 63° , como é visto na Figura 15.

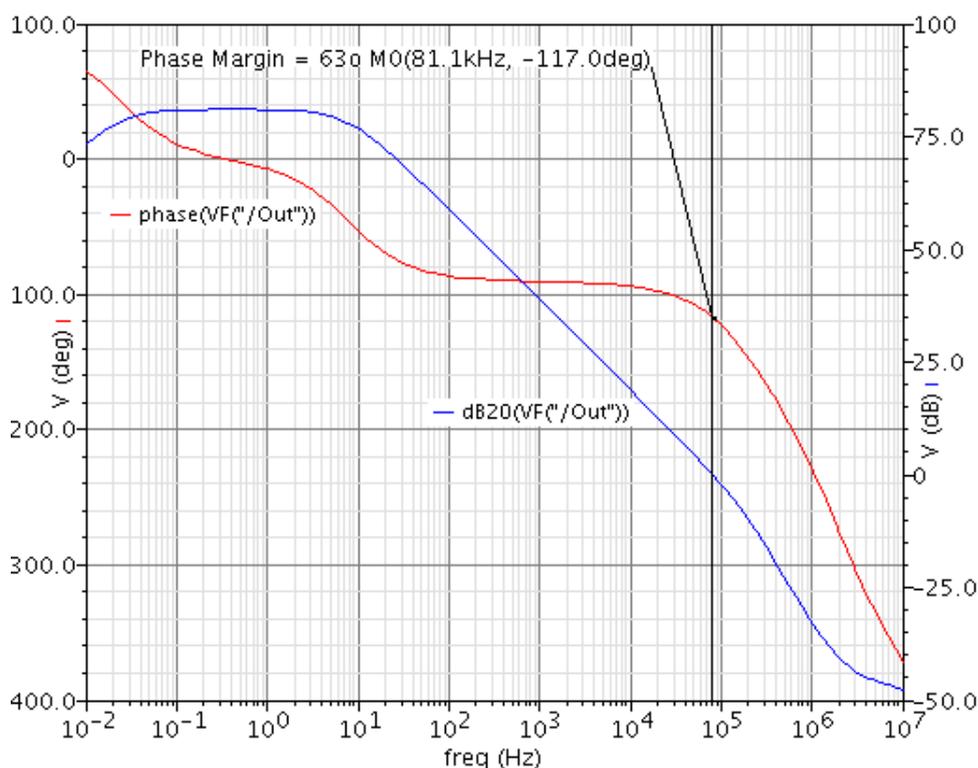


Figura 15: Resposta em Frequência do Folded Cascode OTA Utilizado.

O ruído referenciado à entrada atingido, considerando apenas o OTA, gira em torno de $2 [\mu V_{rms}]$ e basicamente todo este ruído provém do par diferencial.

O Apêndice B mostra o layout proposto para o amplificador operacional OTA. Foi tomado um cuidado especial com anéis de guarda para se evitar distorções por ruído oriundos de outras estruturas através do substrato, principalmente no par diferencial, que é a região do circuito mais susceptível a ruídos. Cada transistor M_1 e M_2 foi feito em poços N separados para se melhorar o PSRR.

3.2 Malha de Realimentação PID

A sessão anterior apresentou a implementação de um dos componentes principais do amplificador neural proposto: o OTA. No entanto, este componente sozinho não consegue

fornecer as características necessárias para a amplificação adequada do sinal de EEG.

O componente que, em conjunto com o OTA, forma o amplificador neural, é sua malha de realimentação. Neste trabalho, utilizou-se uma malha de realimentação PID (proporcional-integral-derivativa) para se obter a resposta em frequência adequada à medição do sinal EEG.

Este sinal, como descrito no Capítulo 2, varia de centenas de miliHertz a aproximadamente 100 [Hz]. No entanto, para este trabalho fez-se um amplificador neural capaz de amplificar sinais de frequências mais elevadas com o intuito de fornecer a neurologistas uma ferramenta capaz de fornecer dados extras sobre as ondas cerebrais e permitir a eles a realização de estudos com sinais complementares ao EEG.

O amplificador neural proposto ainda possui ajuste de ganho entre vários níveis de amplificação, variando entre 50 vezes a 150 vezes a amplificação do sinal para melhor adequação do sinal amplificado ao *Sample and Hold* e ao conversor A/D, evitando perda de resolução do sinal, já que se torna possível aplicar ganhos menores para sinais de maior magnitude e ganhos maiores para sinais mais fracos. Essa característica é de grande relevância por se tratar de um tipo de sinal que pode variar entre $5[\mu V]$ e $500[\mu V]$.

Este capítulo descreve os componentes dessa malha de realimentação, a saber:

- Chave nMOS de baixa sensibilidade à parasitas
- Capacitores de integração
- Pseudo-resistor

3.2.1 Chave nMOS de Baixa Sensibilidade à Parasitas

O integrador insensível a parasitas foi um desenvolvimento de grande relevância que permitiu o projeto de circuitos integrados de grande precisão. Os primeiros filtros baseados em integradores eram integradores inversores ilustrado na Figura 16, sensíveis aos parasitas [12] e os não inversores apresentado na Figura 17, insensíveis a parasitas. O desenvolvimento de um integrador inversor não susceptível à ação dos parasitas permitiu que o projeto dos filtros integradores fossem completamente insensíveis, o que reduziu drasticamente erros de segunda ordem.

Por esta razão, um circuito semelhante ao mostrado na Figura 17 foi implementado para se fazer o controle do ganho através do chaveamento de capacitores de integração,

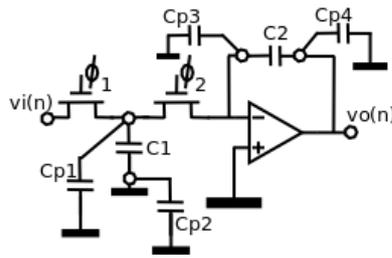


Figura 16: Integrador Inversor com Capacitância Parasitas.

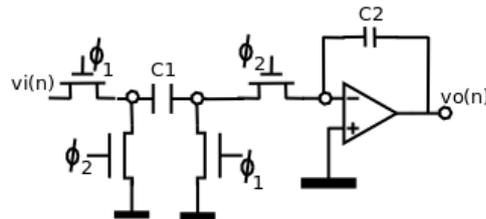


Figura 17: Integrador Inversor com Capacitância Parasitas.

como mostrado na Figura 18 pelos terminais Cap1 e Cap2. Com os capacitores de integração colocados entre estes terminais, é possível realizar seu chaveamento através dos transistores nMOS M_1 , M_2 , M_3 e M_4 . O funcionamento pode ser descrito como:

- Caso o registro de controle entregue nível lógico alto, M_1 e M_2 recebem uma tensão V_{GS} suficiente para polarizá-los diretamente, enquanto que M_3 e M_4 recebem uma tensão V_{GS} , devido a presença do inversor, menor do que a tensão de *overdrive*, permanecendo na região de corte;
- Com o registro de controle entregando nível lógico baixo, o processo inverso ocorre. M_1 e M_2 são mantidos na região de corte, o que isola o capacitor de integração entre os terminais Cap1 e Cap2 dos ramos de integração da malha de realimentação. Em contrapartida, os transistores M_3 e M_4 estando agora na região de saturação, aplicam o potencial *gnd* aos terminais do capacitor, o que garante que erros de segunda ordem devidos às capacitâncias parasitas dos dispositivos não influam neste ramo da realimentação do circuito.

Para o projeto dos dispositivos foram usadas as dimensões mínimas da tecnologia para a largura W e o comprimento L de canal. Os resultados das simulações foram totalmente satisfatórios para o amplificador neural. Efeitos de segunda ordem e distorções do sinal foram evitados.

O layout da chave proposta é apresentado no Apêndice B.

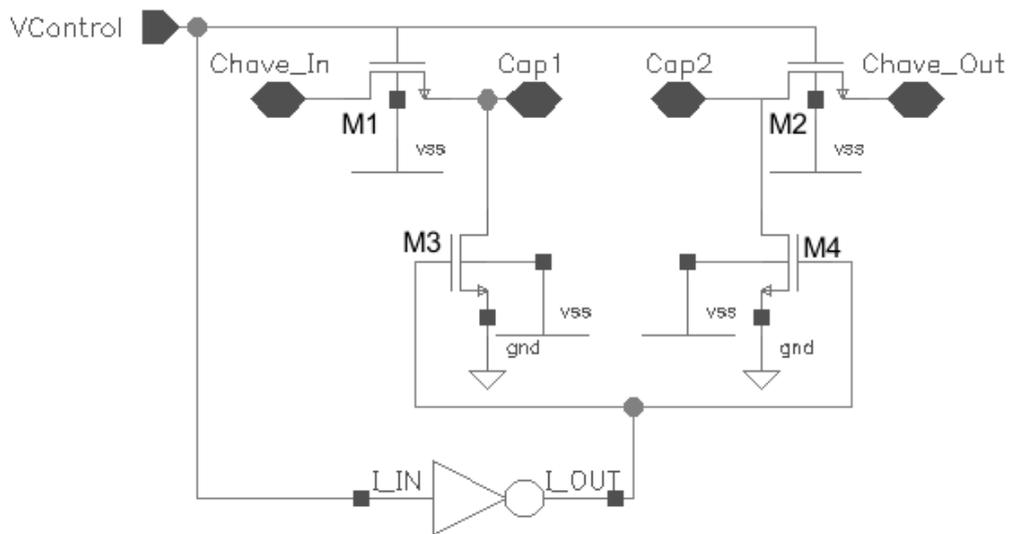


Figura 18: Chave nMOS de Baixa Sensibilidade à Parasitas.

3.2.2 Pseudo-Resistor

Devido à característica dos sinais de EEG começarem em frequências muito baixas, da ordem de dezenas de miliHertz, surge um fator muito crítico para a obtenção de um amplificador neural totalmente integrado, para a utilização em *EEG Soc Arrays*.

Para o desenvolvimento da malha PID, e conseqüentemente do filtro que adequará o amplificador à largura de banda proposta, a frequência de corte baixa requer a alocação de um polo em baixíssima frequência.

De acordo com a equação de um filtro RC básico, mostrada em (3.18),

$$f_c = \frac{1}{2.\pi.R.C} \quad (3.18)$$

percebe-se a necessidade de altos valores de resistência e de capacitâncias, o que inviabiliza a completa integração destes componentes.

Para resolver este problema, neste trabalho foi utilizada um arquitetura de resistor, feito através de uma série de transistores pMOS conectados em conexões diodo, como mostrado na Figura 19 [17].

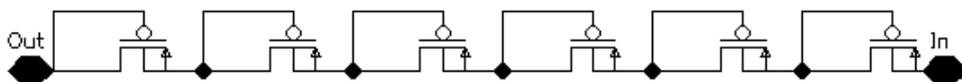


Figura 19: Pseudo-Resistor Composto de 6 Transistores nMOS.

Com V_{GS} negativo, cada transistor funciona como um transistor pMOS em conexão diodo. Com V_{GS} positivo, a junção bipolar parasita fonte-poço-dreno pnp (BJT) é ativada e o dispositivo funciona como um BJT em conexão diodo. Cada transistor tem dimensões $4[\mu m] \times 4[\mu m]$ para se evitar qualquer efeito de canal curto. Outros dimensionamentos foram testados em simulação porém sem quaisquer diferenças de resistências obtidas para a faixa de offset sistemático previsto na ordem de algumas dezenas de miliVolts.

Como pode ser visto na Figura 20, para V_{GS} muito próximo de zero, há uma descontinuidade na resistência obtida. Dessa forma, durante o dimensionamento do OTA, transistores $MCascN$ e $MCascP$ da Figura 13 também foram dimensionados para se gerar um offset sistemático grande o suficiente para que a resistência obtida com o Pseudo-Resistor atinga a ordem de TeraOhms, evitando a necessidade de grandes valores de capacitâncias $C1$ na Figura 1 e permitindo a integração de todos os componentes.

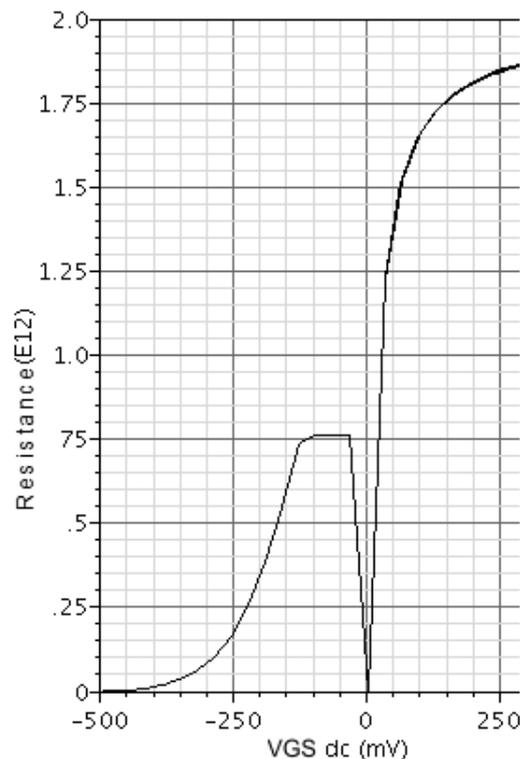


Figura 20: Alto Valor de Resistência Obtida com Pseudo-Resistor.

O layout do pseudo-resistor é mostrado no Apêndice B.

3.2.3 Inversor

Para o correto funcionamento da chave nMOS, fez-se necessária a utilização de um inversor, como explicado anteriormente na subseção 3.2.1. O seu dimensionamento foi

feito para se obter uma curva de transferência simétrica. O circuito inversor é visto na Figura 21 e a Figura 22 mostra sua curva de transferência.

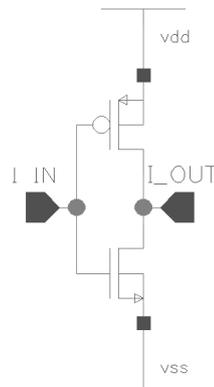


Figura 21: Inversor para Atuação em Conjunto com Chave nMOS.

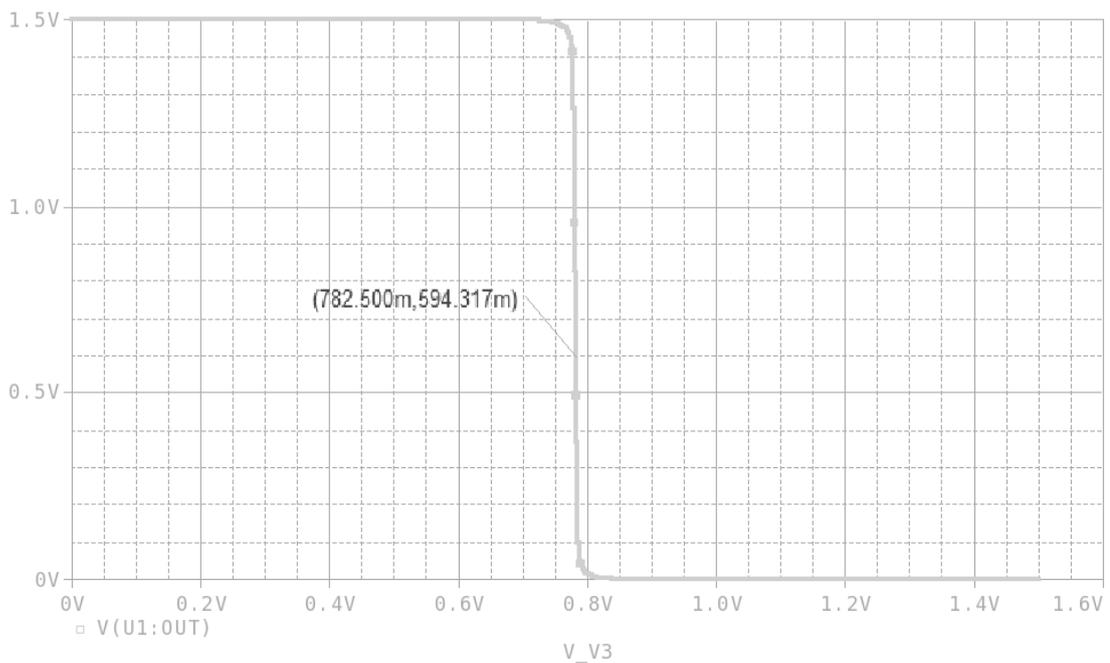


Figura 22: Função de Transferência do Inversor.

A Tabela 11 apresenta as dimensões dos transistores.

Como a chave nMOS chaveará o amplificador neural para ajuste do ganho de acordo com o operador, a resposta em frequência deste inversor não é relevante.

Tabela 11: Dimensionamento do Inversor.

Dimensão	pMOS	nMOS
W	$5 \mu m$	$1 \mu m$
L	$1 \mu m$	$1 \mu m$

3.2.4 Capacitores de Integração

Para o ajuste dos ganhos do amplificador neural, é necessário se evitar que variações no processo que possam gerar distorções na relação entre os capacitores de integração representados na Figura 1 por C_2 , C_{2a0} , C_{2a1} , C_{2a2} e C_{2a3} e os capacitores de desacoplamento DC C_1 , como será mostrado posteriormente no Capítulo 5.

Para se evitar tais distorções, foi utilizada a topologia de layout de casamento de capacitores, onde é definido um capacitor unitário, cujo valor de capacitância deve ser um mínimo múltiplo comum dos valores de capacitâncias necessários ao amplificador neural.

Para a tecnologia utilizada, o valor de capacitância por unidade de área é de aproximadamente $0,7970[fF]/[\mu m^2]$. Assim, definiu-se então um capacitor unitário de $6,6[\mu m] \times 6,6[\mu m]$, com uma capacitância unitária de $34,76[fF]$. Este valor já leva em consideração em torno de 15 a 20 % de capacitância parasitas que deterioram a capacitância projetada.

A Tabela 12 mostra os valores de capacitância obtidos e a Figura 23 ilustra o layout da matriz de capacitores implementadas em arquitetura de capacitores casados [18].

Tabela 12: Capacitores de Integração.

Capacitor	Valor [fF]
C_{2a0}	34,76
C_{2a1}	34,76
C_{2a2}	69,52
C_{2a3}	139,04
C_2	139,04

A matriz de capacitores casados utiliza ainda duas abordagens de construção:

- Para reduzir eventuais ruídos em direção à matriz de capacitores:
 - Anel de guarda de capacitores *dummy*

Estes capacitores *dummy* formam um anel de guarda para capacitores ao polarizar o campo elétrico no em torno dos capacitores casados e evitam que ruídos possam causar distúrbios nos sinais.
- Para diminuição de susceptibilidade a problemas de processo:

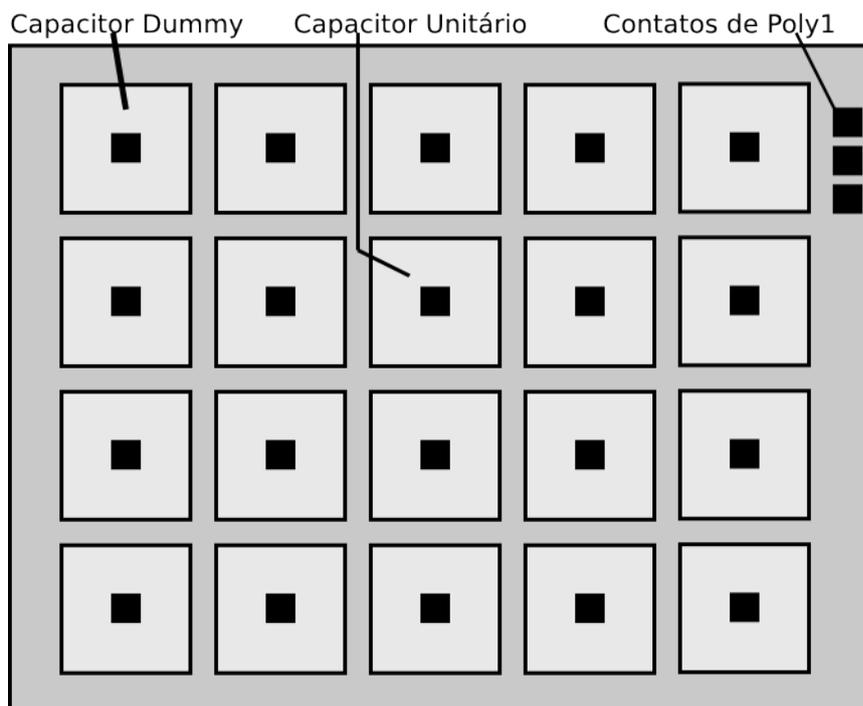


Figura 23: Arquitetura de Capacitores Casados.

- Ligação aleatória do *array* de capacitores.

O conjunto de capacitores formados pelas ligações de vários capacitores unitários é feito de forma aleatória, distribuindo estatisticamente eventuais erros de processo.

- Capacitor unitário com largura e altura iguais

Fazendo o capacitor unitário na forma de um quadrado, faz-se com que qualquer desvio de processo que aconteça numa dada direção mantenha a uniformidade e distorça todos os capacitores unitários na mesma forma, o que mantém a relação entre os capacitores de integração e de desacoplamento DC iguais.

O Apêndice B mostra o layout proposto da malha de realimentação com todos os componentes descritos.

A Figura 1 mostra o esquema elétrico do amplificador neural proposto neste trabalho. Apesar de apresentar uma arquitetura bastante comum na literatura [6] [5], o modelo aqui proposto agrega o controle de ganho através do chaveamento de capacitores de integração (exposto nos capítulos anteriores) e do ajuste do registro de controle de ganho, como será abordado neste capítulo.

O ganho do amplificador em frequência de banda central é dado por:

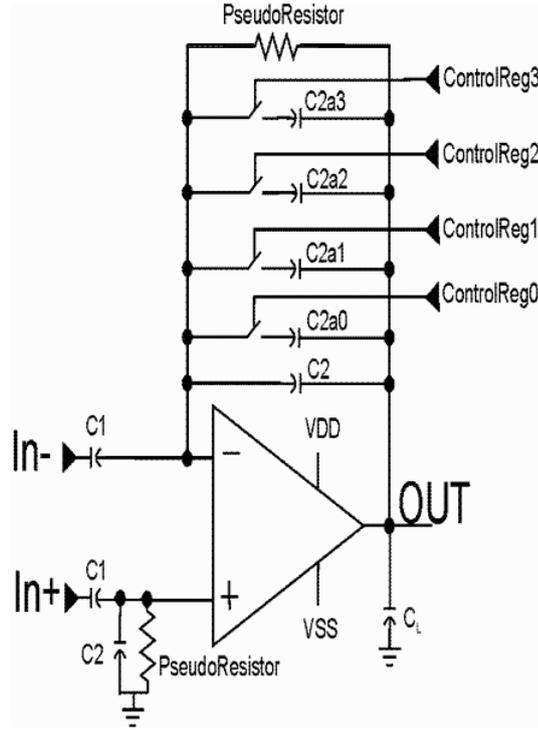


Figura 24: Amplificador Neural Proposto.

$$A_M = \frac{C_1}{C_2 + \sum C_{2aX}} \quad (3.19)$$

Onde:

- C_1 são os capacitores de desacoplamento do offset DC proveniente dos eletrodos;
- C_{2aX} representa cada capacitor de integração que estiver conectado ao circuito através de sua respectiva chave nMOS com o capacitor.

Já para a largura de banda BW, de acordo com [6], sendo C_1 e $C_L \gg C_2 + \sum C_{2aX}$, que é o caso deste trabalho, tem-se (em radianos):

$$BW = \frac{g_m}{A_M \cdot C_L} \quad (3.20)$$

onde:

- g_m é a transcondutância do OTA;
- A_M é o ganho para frequência de banda central;
- C_L é a capacitância de carga.

3.3 Controle de Ganho

Para o controle do ganho, foram utilizadas todas as estruturas previamente descritas neste trabalho em conjunto com um registro de 4 dígitos binários para o ajuste do ganho através do acionamento das chaves nMOS.

Este registro seria desenvolvido junto à parte digital do conversor A/D e, devido aos fatores descritos posteriormente, poderia ser na verdade um registro de 2 dígitos recebidos do terminal de monitoramento médico, de acordo com sua opção de ajuste de ganho através de um decodificador de 2 para 4 linhas.

A Tabela 13 mostra os principais ganhos projetados para o amplificador neural.

Tabela 13: Ganhos e Ruídos do Amplificador Neural para Ganho Programado.

Registro	Am (Projetado)		Am (Simulado)		Low-CutOff	High-CutOff	Noise @ 1,5[kHz]
	[dB]	Linear	[dB]	Linear	[mHz]	[kHz]	[μ Vrms]
0000	43,52	150	43,63	151,8798	175,6000	1,3350	2,4490
0001	41,94	125	41,75	122,3207	150,7000	1,6435	2,2977
0011	40,00	100	40,22	102,5652	116,9000	1,9600	2,1980
0111	37,50	75	37,80	77,6247	88,2000	2,5643	2,0080
1111	33,98	50	34,32	51,9996	55,5750	3,1000	1,9980

Cada dígito em 1 significa que a chave nMOS conecta o respectivo capacitor de integração a aquele ramo da malha de realimentação, somando-o a C_2 , aumentando assim a capacitância de integração associada e diminuindo o ganho em malha fechada.

Embora seja teoricamente possível se obter até 16 ganhos possíveis com um registro de 4 dígitos, essa possibilidade não foi utilizada neste trabalho devido a restrições na implementação do layout dos capacitores casados como descrito na subseção 3.2.4.

3.4 Resposta em Frequência para Malha Fechada - Amplificador Neural

Abaixo a Figura 25 mostra a resposta em frequência para o ganho [dB] em cada posição de ajuste principal, como explicado acima, e os respectivos ruídos referenciados à entrada em μV_{rms} para a banda de frequência proposta de operação dentro de 1,5 [kHz]. Para valores exatos extraídos referenciar à Tabela 13.

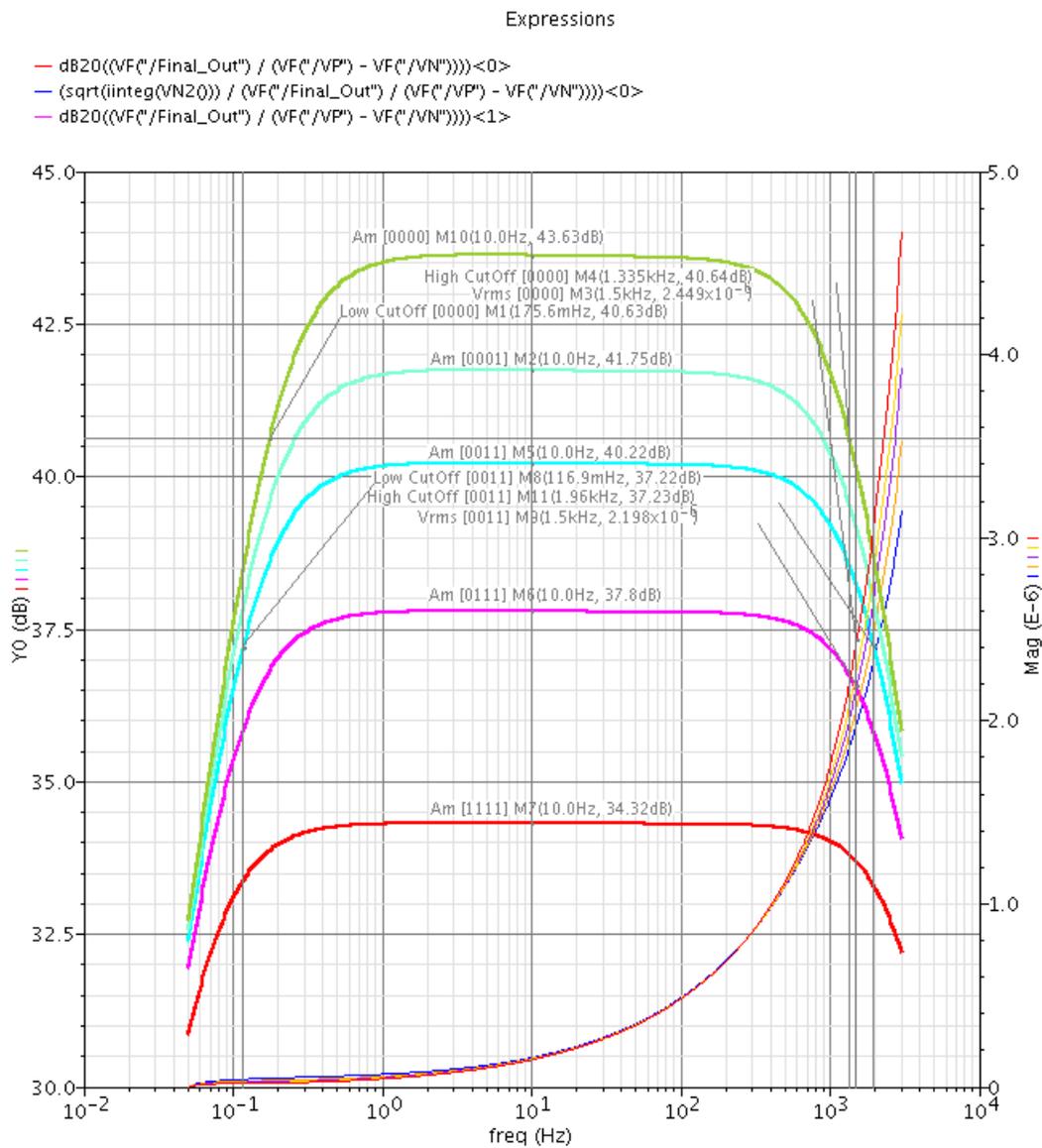


Figura 25: Resposta em Frequência para Amplificador Neural Proposto.

3.5 Test Benchs Para Obtenção das Figuras de Mérito

3.5.1 Taxa de Variação e Tempo de Acomodação

Para a caracterização da taxa de variação e tempo de acomodação do amplificador foi utilizada uma configuração de ganho unitário não inversor (buffer não inversor). A carga utilizada é de 15 [pF]. O circuito é visto na Figura 26.

Foi aplicada uma onda quadrada de ± 1 [V], com tempo de subida de 1 [ns]. O gráfico da Figura 27 mostra o resultado da simulação. A taxa de variação é medida na

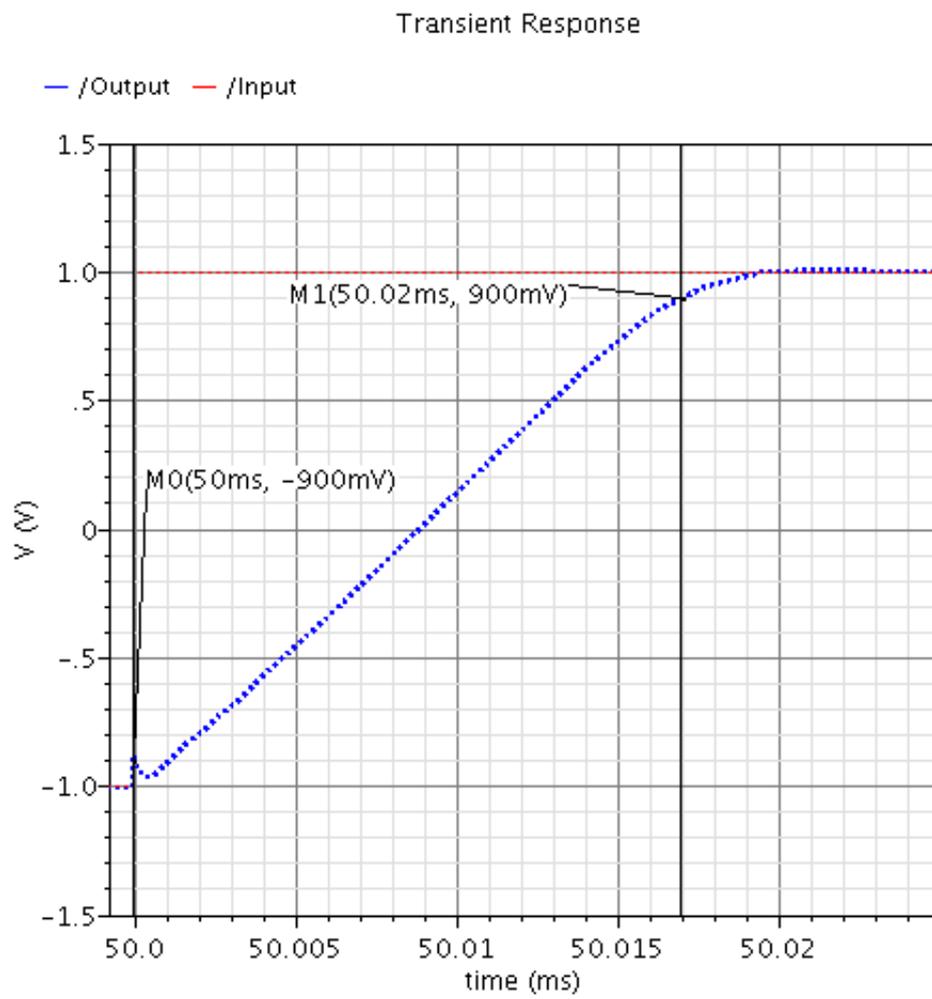


Figura 27: Taxa de Variação de Subida.

Tempo de acomodação de 0,015 [ms].

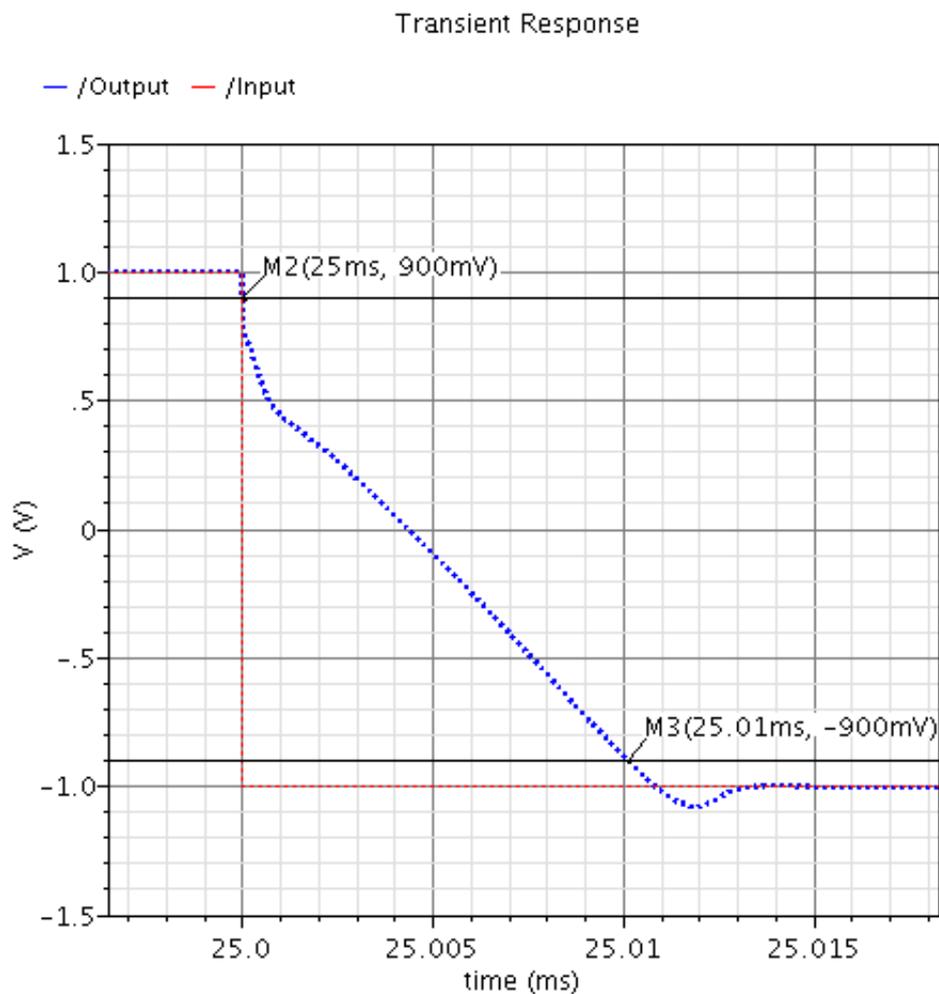


Figura 28: Taxa de Variação de Descida.

3.5.2 CMRR - Taxa de Rejeição em Modo Comum

Para a extração da taxa de rejeição em modo comum foi efetuada uma simulação utilizando o circuito da Figura 29.

O CMRR é definido como:

$$CMRR = \left| \frac{A_{diferencial}}{A_{MalhaFechada}} \right| = \left| \frac{\frac{V_{OUT}}{V_{In,Diferencial}}}{\frac{V_{OUT}}{V_{In}}} \right| \quad (3.23)$$

Como estes valores são geralmente muito grandes, costuma-se expressá-los em dB.

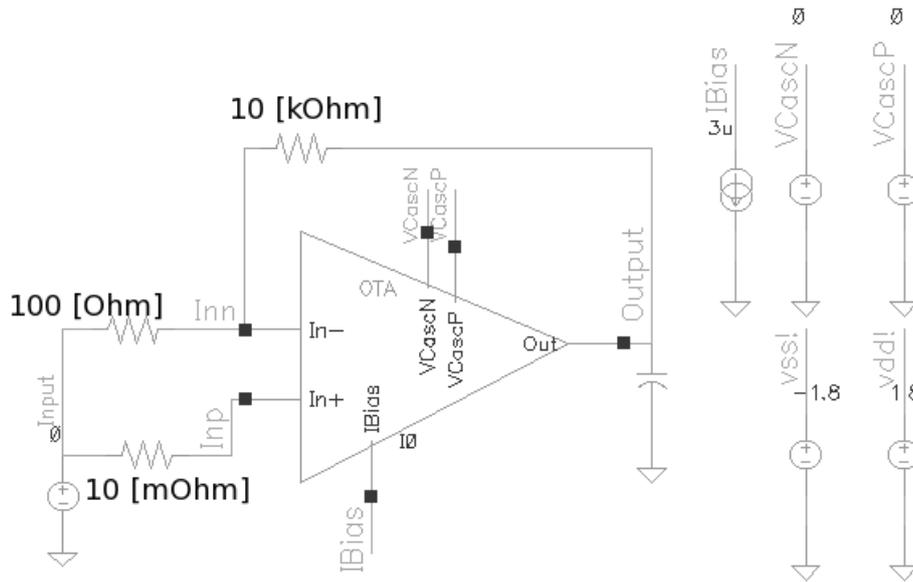


Figura 29: Circuito para Test Bench - CMRR.

$$CMRR = 20. \log \left| \frac{A_{diferencial}}{A_{MalhaFechada}} \right| = 20. \log \left| \frac{\frac{V_{OUT}}{V_{In,Diferencial}}}{\frac{V_{OUT}}{V_{In}}} \right| \quad (3.24)$$

A Figura 30 mostra o resultado obtido da simulação.

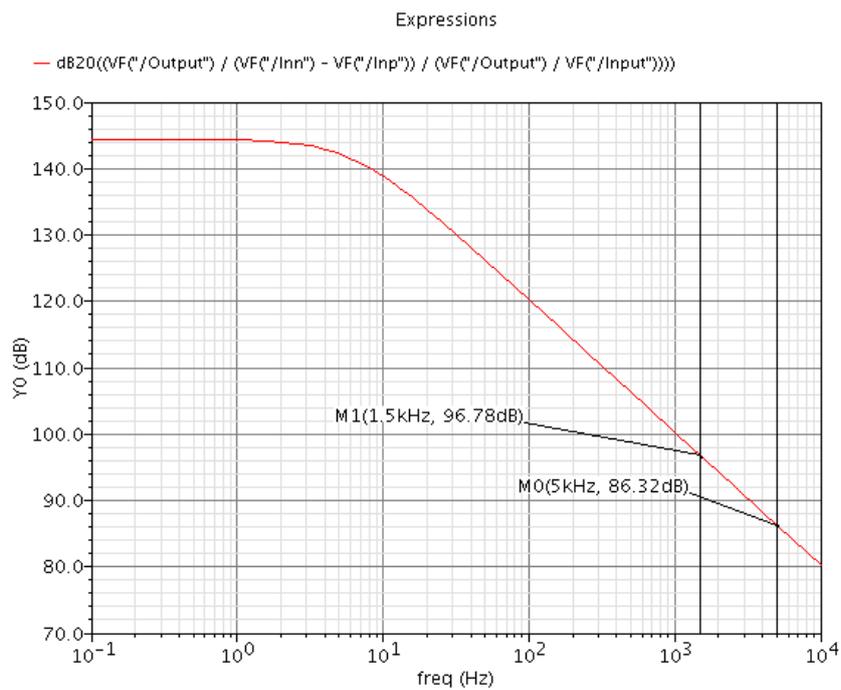


Figura 30: Test Bench - CMRR.

Obtendo então um CMRR \geq de 96,78 [dB] para frequências de até 1,5 [kHz] e CMRR \geq 86,32 [dB] para frequências de até 5 [kHz].

3.5.3 PSRR - Razão de Rejeição da Fonte de Alimentação

Para a extração do PSRR foi utilizado o circuito na configuração mostrada na Figura 31.

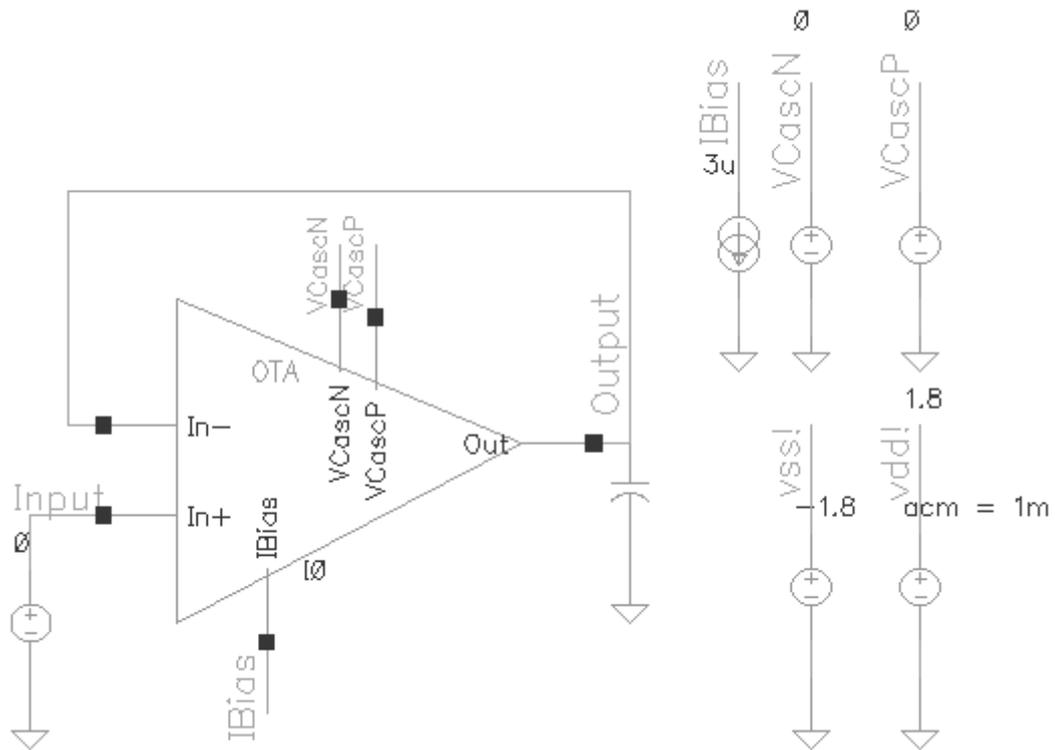


Figura 31: Circuito para Test Bench - PSRR.

O PSRR é definido pela Equação (3.25).

$$PSRR = 20 \log \left(\frac{V_{In}}{V_{Out}} \right) \quad (3.25)$$

Para obtê-lo faz-se uma simulação de varredura AC, mostrada na Figura 32, variando a fonte de alimentação para um pequeno sinal AC enquanto mantendo o valor DC normal de operação do circuito (neste caso 1.8 [V]).

Assim, o PSRR medido pela simulação é de PSRR \geq 75,12 [dB] para frequências de até 5 [kHz].

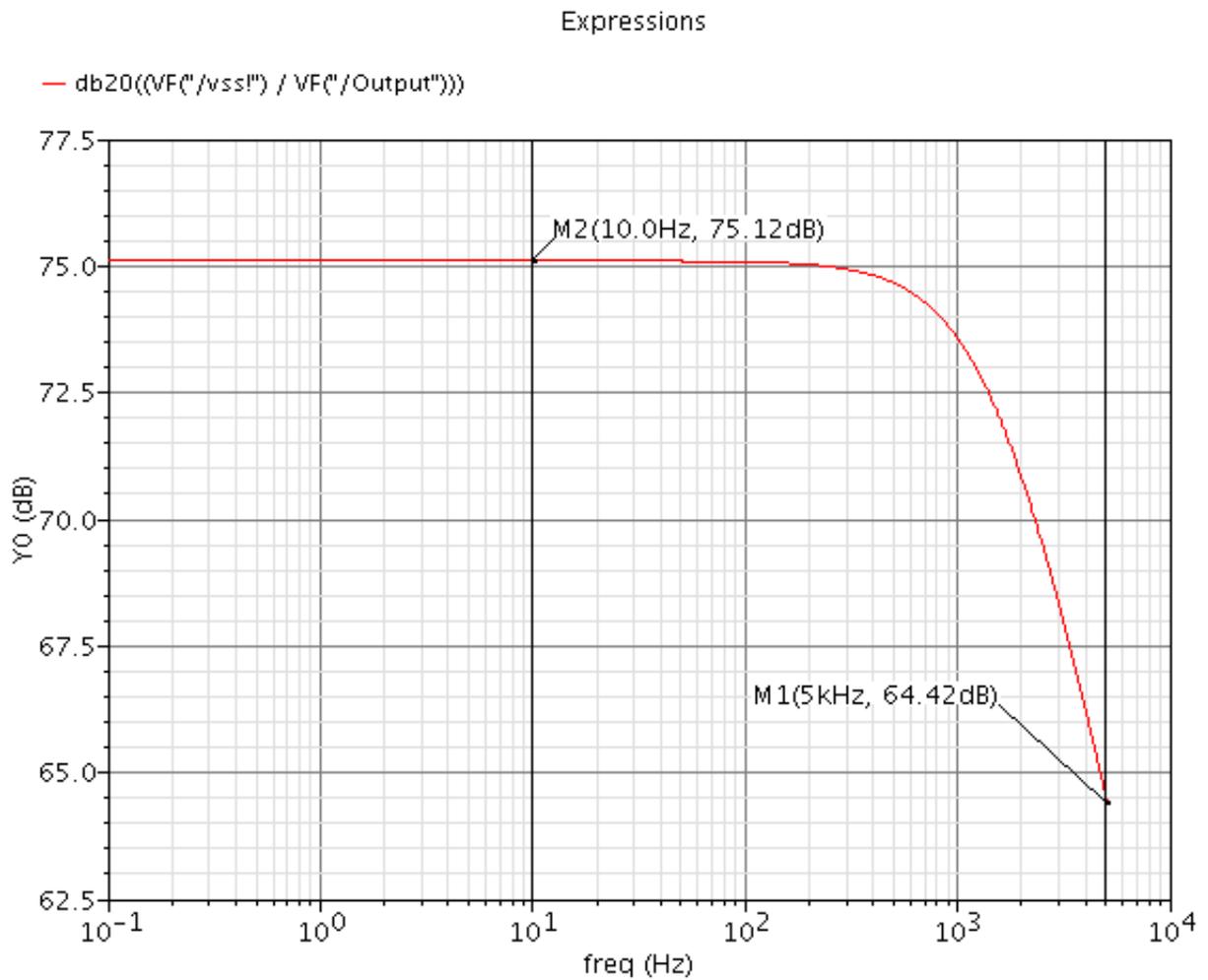


Figura 32: Test Bench - PSRR.

3.5.4 Distorção Harmônica Total - THD e Ganhos em Malha Fechada

Para obtenção dos ganhos em malha fechada relatados na Tabela 13 e na Figura 25 foi utilizado o circuito mostrado na Figura 33.

O THD também é obtido da simulação deste circuito com a aplicação de um sinal transiente de modo diferencial às entradas do amplificador neural e obtendo o THD através do próprio ADE[©] que é uma interface para simulação Spectre[©]. Para o amplificador neural proposto foi obtido um THD de menos de 1% para sinais de 12,8 mV_{pp} .

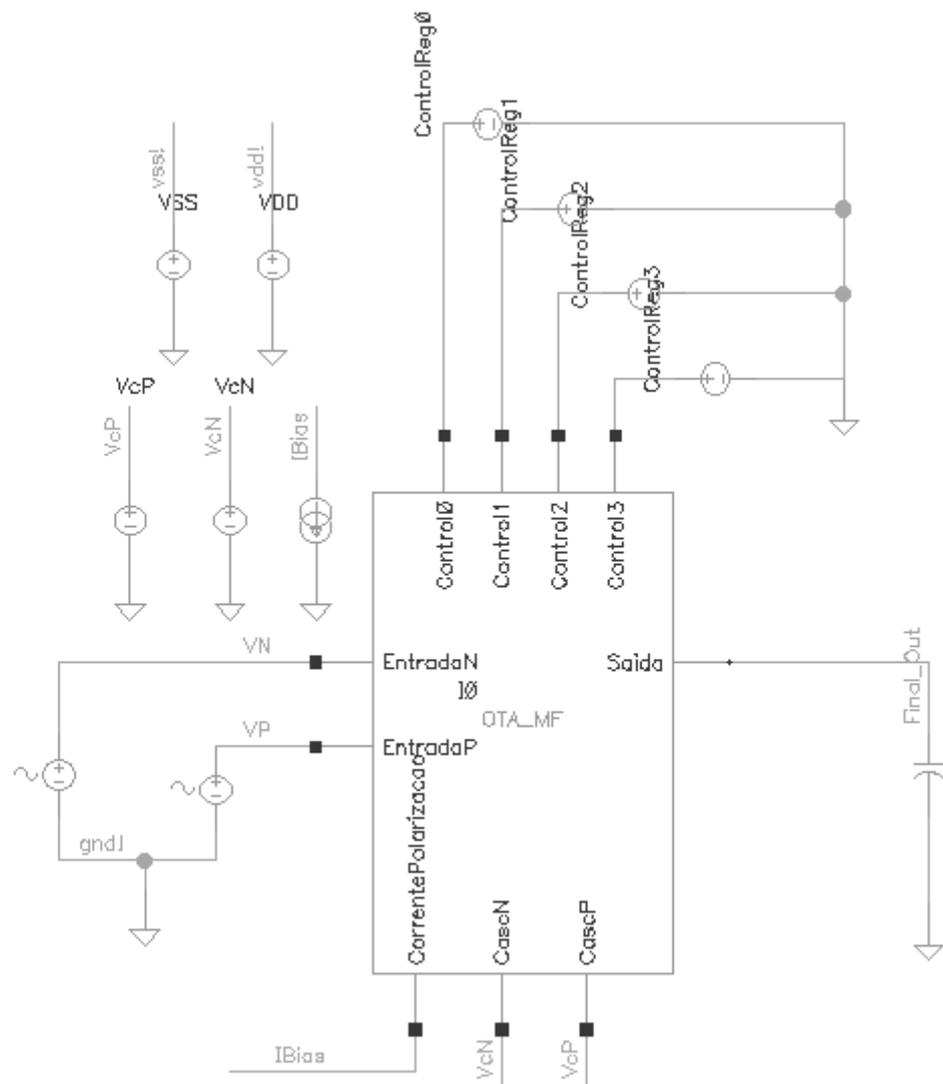


Figura 33: Circuito para Test Bench - PSRR.

4 *Comparações de Resultados e Conclusões*

A Tabela 14 apresenta todas as figuras de mérito relevantes para este tipo de circuito obtidas com os circuitos de *test benches* apresentados no capítulo anterior. Há também uma comparação com o artigo no qual este trabalho foi baseado [6].

Tabela 14: Comparação de Resultados.

		Este Trabalho	Artigo de Referência [6]	
	Unidade	Simulado	Simulado	Medido
Tensão de Alimentação	$\pm V$	1,8	2,5	2,5
Corrente de Polarização	μA	6	16	16
Ganho (Ajustável)	dB	40,22	40	39,5
Frequência de Corte Baixa (40 [dB])	mHz	116,9	130	25
Frequência de Corte Alta (40 [dB])	kHz	1,96	7,5	7,2
Ruído Referenciado à Entrada	μV_{rms}	2,1980	2,1	2,2
NEF	[]	4,55	3,8	4
THD (<12.8 mVpp)	%	<1	-	1
Faixa Dinâmica (1% THD)	dB	-	-	69
CMRR ≤ 5 [kHz] (> que)	dB	86,32	42	83
Taxa de Variação (Subida / Descida)	$\frac{V}{ms}$	100 / 200	-	-
Tempo de Acomodação (Subida / Descida)	μs	60 / 15	-	-
PSRR ≤ 5 [kHz] (> que)	dB	75,12	42	85
CrossTalk	dB	-	-	-64
Área	mm^2	0,134	0,16	0,16
Potência	μW	26	80	80
Margem de Fase	$^{\circ}$	63	52	-

Pelos resultados alcançados nas simulações pos-layout, pode-se concluir que os objetivos foram alcançados.

Como visto na Tabela 14, várias figuras de méritos apresentam melhores valores quando comparados ao artigo de referência utilizado neste trabalho [6], com destaques para a tensão de alimentação reduzida em 28% devido à redução da tecnologia utilizada de $1,5[\mu m]$ para $0,5[\mu m]$ e a corrente de polarização, reduzida em cerca de 260%.

Dessa forma reduziu-se drasticamente a potência dissipada pelo dispositivo, de $80[\mu W]$ para $26[\mu W]$, abrindo precedentes para trabalhos futuros em se adaptar este circuito a SoC Arrays implantáveis, ou mesmo em se aumentar o número de dispositivos do Array.

Com relação ao NEF e ao ruído referenciado à entrada, houve uma ligeira piora. Mesmo assim, ambas ainda se encontram em faixas totalmente aceitáveis.

A piora dessas grandezas são devidas principalmente à redução de corrente de polarização feita neste trabalho. De acordo com [14] é fácil perceber que, quanto menor a corrente no canal de um transistor MOS, maior o efeito do ruído e maior influência tem este ruído no circuito.

Esse é o fator principal para deteriorização do NEF em conjunto com a adição de mais componentes, como os capacitores de integração e as chaves MOS insensíveis a parasitas. Quanto maior o número de componentes, mais ruído se gera no circuito, implicando em maior ruído referenciado à entrada e conseqüentemente maior NEF.

Apesar de agregarem um maior ruído ao circuito, as chaves MOS em conjunto com os capacitores de integração, promovem uma característica bastante relevante a esta topologia adotada: o ajuste de ganho.

Por possuir a característica de ajuste de ganho, este circuito promove uma redução da complexidade, diga-se em número de bits/resolução e conseqüentemente frequência de operação do conversor A/D já que o sinal de saída do amplificador pode ser sempre ajustado para se encontrar dentro de uma faixa menor de amplitude, ou seja, o sinal de saída do amplificador neural aqui proposto requeriria uma menor número de bits do conversor A/D sem significar perda de resolução.

Com menor número de bits e mantendo relativamente a mesma resolução, o conversor A/D pode operar com frequências de amostragem mais baixas e conseqüentemente dissipar menor potência o que, novamente, simplificaria a integração do SoC Array, possibilitando inclusive o acréscimo de elementos no Array.

5 *Trabalhos Futuros*

Durante a realização desta dissertação foram identificadas algumas oportunidades de trabalhos futuros que complementam e/ou melhoram as características do amplificador aqui proposto. Entre elas, podem ser citadas:

- **Medições de Propriedades do Circuito**

Durante a escrita desta dissertação, o *chip* havia sido enviado para fabricação e por isso ainda é necessária a realização de ensaios para medições e comparações com resultados obtidos a nível de simulação.

- **Adequação do Circuito para Acoplamento ao Conversor A/D**

É necessário fazer a verificação do correto funcionamento do circuito amplificador junto ao *Sample and Hold* e conversor A/D para futuramente realizar a construção do EEG SoC Array.

- **Verificação de nível de ruído gerado para diferentes dopagens**

O ruído rosa e ruídos térmicos variam bastante com a tecnologia de fabricação e níveis de dopagem da pastilha.

Desta forma, um trabalho interessante seria a fabricação deste mesmo amplificador aqui proposto, em diversas tecnologias compatíveis com a fábrica MOSIS sub-micrométrica, e ainda testando diferentes dopagens.

Ao final, comparações das características do amplificador, principalmente o ruído gerado pelo circuito, para os diversos processos deveria ser feita.

Referências

- [1] BUTTON, V. L. S. N. *Instrumentação Biomédica*. Campinas: DEB/FEEC Unicamp, 2003.
- [2] DEUTSCH, S.; DEUTSCH, A. *Understanding the Nervous System - An Engineering Perspective*. 1^a. ed. São Paulo: IEEE Press, 1993.
- [3] GEDDES, L. A.; BAKER, L. E. *Principles of Applied Biomedical Instrumentation*. 3^a. ed. Texas: John Wiley & Sons Inc, 1989.
- [4] ANDERER, P. et al. Definition of type of physiological activity and pitfalls of current recording methods. *Information Society Technologies*, 2004.
- [5] ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. Second edition. [S.l.]: Oxford University Press, 2002.
- [6] HARRISON, R.; CHARLES, C. A low-power low-noise cmos amplifier for neural recording applications. *Solid-State Circuits, IEEE Journal of*, v. 38, n. 6, p. 958 – 965, june 2003. ISSN 0018-9200.
- [7] CREPALDI, P. C. *Um Regulador de Tensão CMOS Linear, Baseado na Topologia LDO, para Aplicação em um Bio-Implante*. Tese (Doutorado) — UniFEI - Universidade Federal de Itajubá, 2010.
- [8] WEBSTER, J. G. *Medical Instrumentation - Application and Design*. 3^a. ed. São Paulo: John Wiley & Sons Inc, 1998.
- [9] VÁRIOS. *Encyclopaedia Britannica*. 2002. Deluxe Edition CD-ROM. Seção sobre eletroencefalografia e relacionadas.
- [10] BRONZINO, J. *Biomedical Engineering Handbook*. First. EUA: IEEE Press, 1995.
- [11] SOCIETY, A. E. Guideline nine: Guidelines on evoked potentials. *Journal of Clinical Neurophysiology*, 1994.
- [12] JOHNS, D. A.; MARTIN, K. *Analog Integrated Circuit Design*. [S.l.]: John Wiley and Sons, Inc., 1997.
- [13] TSIVIDS, Y. *Operation and Modeling of the MOS Transistor*. Second edition. [S.l.]: McGraw-Hill, 1998.
- [14] JAKOBSON, C.; BLOOM, I.; NEMIROVSKY, Y. 1/f noise in cmos transistors for analog applications. In: *Electrical and Electronics Engineers in Israel, 1996., Nineteenth Convention of*. [S.l.: s.n.], 1996. p. 557 –560.
- [15] STEYAERT, M.; SANSEN, W. A micropower low-noise monolithic instrumentation amplifier for medical purposes. *Solid-State Circuits, IEEE Journal of*, v. 22, n. 6, p. 1163 – 1168, dec 1987. ISSN 0018-9200.
- [16] SEESE H. HARASAKI, G. M. S. T. M.; DAVIES, C. R. Characterization of tissue morphology, angiogenesis, and temperature in the adaptative response of muscle tissue to chronic heating. *Lab. Invest*, v. 78, n. 12, p. 1553 – 1562, 1998.

-
- [17] DELBRUCK, T.; MEAD, C. Adaptive photoreceptor with wide dynamic range. In: *Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on*. [S.l.: s.n.], 1994. v. 4, p. 339 –342 vol.4.
- [18] HASTINGS, A. *The Art of Analog Layout*. [S.l.]: Prentice Hall, 2001.

APÊNDICE A – Extração de Parametros dos Dispositivos nMOS e pMOS

Este apêndice fornece informações sobre como foram extraídos parâmetros pertinentes à modelagem de dispositivos MOS para os cálculos e projetos dos circuitos referidos neste trabalho.

A.1 Parametrização de Transistores nMOS

As análises feitas nesta sessão para o transistor nMOS utilizam-se do circuito da Figura 34 abaixo:

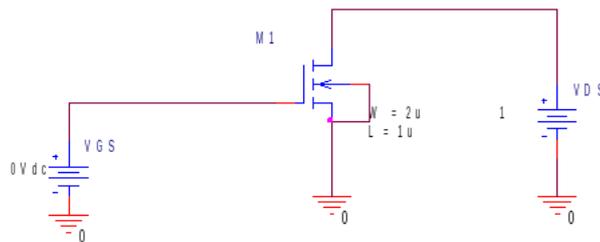


Figura 34: Circuito nMOS para Extração de Parâmetros.

- Extração de V_{TH}

A equação que descreve o comportamento da corrente de dreno de um transistor MOS operando na região de saturação é:

$$I_D = \frac{1}{2} \cdot \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot [(V_{GS} - V_{TH})^2] \cdot (\lambda \cdot V_{DS}) \quad (A.1)$$

Através da plotagem de uma varredura DC, variando a tensão V_{GS} de um transistor MOS operando na região de saturação e plotando $\sqrt{I_D}$ no eixo y,

pode-se achar um valor aproximado de $\sqrt{\frac{1}{2} \cdot \mu_n \cdot C_{OX} \cdot \frac{W}{L}}$ (sem considerar o termo $1 + \lambda \cdot V_{DS}$ que descreve a saturação do canal).

A inclinação da reta obtida pela plotagem é obtida da interpolação linear de pontos obtidos da Figura 35:

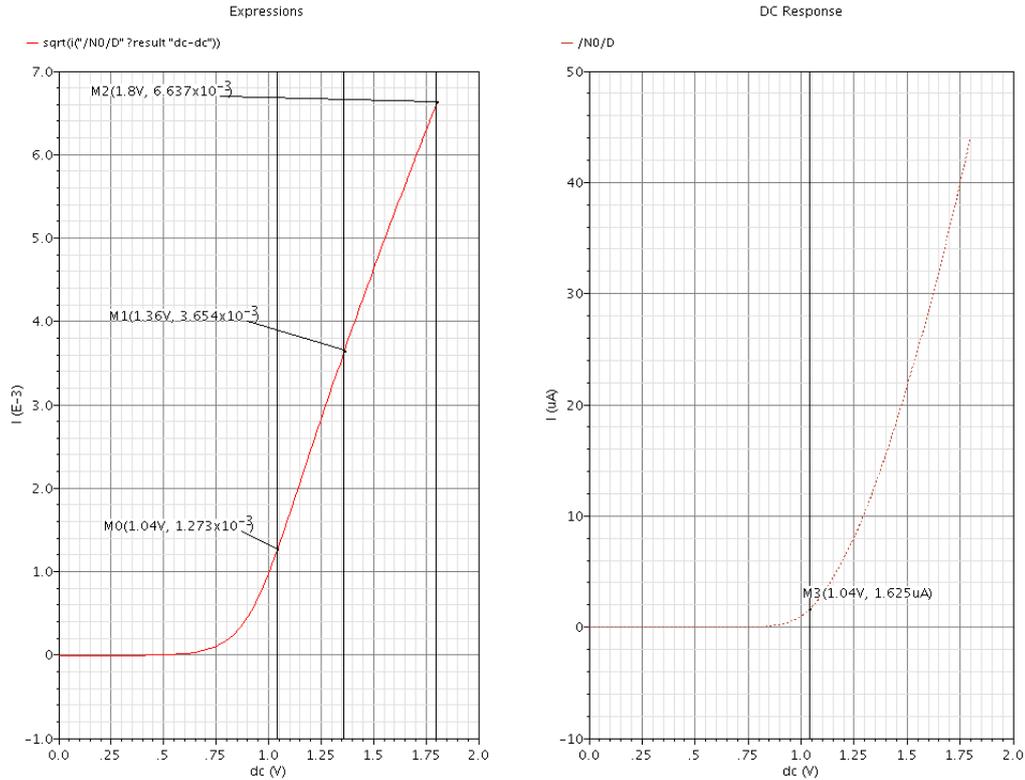


Figura 35: $\sqrt{I_D} \times V_{GS}$ - Extração de k_n e V_{TH0} .

Fazendo a regressão linear associada, tem-se tomando os pontos da Tabela 15:

Tabela 15: Pontos Tomados para Extração de k_n e V_{TH0} .

$V_{GS}[V]$	$\sqrt{I_D}[\sqrt{A}]$
1,0403	11,27 m
1,8	6,64 m

Assim, tem-se a seguinte equação da reta:

$$\sqrt{I_D} = 0,0071 \cdot V_{GS} - 0,0061 \tag{A.2}$$

Assim pode-se extrair dois parâmetros:

* V_{TH} - Ponto de Intersecção da Reta com o Eixo das Abscissas:

$$V_{TH0} = 0,8591 [V]$$

* $\mu_n \cdot C_{OX}$ - A partir do coeficiente angular e lembrando que a relação $\frac{W}{L} = 1,8571$, para o ponto $V_{GS} = 1,8 [V]$:

$$\sqrt{\frac{1}{2} \cdot \mu_n \cdot C_{OX} \cdot \frac{W}{L}} = 0,007057 \rightarrow \mu_n \cdot C_{OX} = 54,2877 \left[\frac{\mu A}{V^2} \right]$$

– Extração de λ

Para a extração do parâmetro λ o procedimento é semelhante. Para facilitar a visualização dessa extração, assim como determinar dois pontos de interesse para realizar a interpolação, será utilizado, na simulação, o mesmo circuito da Figura 35. Trata-se de uma análise DC ninhada em que duas variáveis, no caso V_{DS} e V_{GS} , são varridas com o intuito de se levantar a curva característica $I_D = f(V_{DS})$ para diferentes valores de V_{GS} . As curvas de I_D foram traçadas para os seguintes valores de V_{GS} : 0,5 [V], 0,6 [V], 0,7 [V], 0,8 [V], 0,9 [V], 1,0 [V] e 1,1 [V], sendo usada a mesma geometria $\left(\frac{W}{L} = 1,8571\right)$ anterior. Ao se fazer a linearização de uma destas curvas plotadas na Figura 36, o ponto de cruzamento com o eixo x (V_{DS}) corresponde ao valor $\frac{-1}{\lambda}$.

Assim, tem-se os pontos mostrados na Tabela 16:

Tabela 16: Pontos Tomados para Extração de λ .

$I_D [A]$	$V_{DS} [V]$
2,64 μ	0,5 μ
2,86 μ	1,5 μ

E fazendo a regressão linear para esses pontos (curva com $V_{GS} = 1,1 [V]$) tem-se:

$$I_D = 0,2 [\mu] \cdot V_{DS} + 3 [\mu] \quad (A.3)$$

Finalmente, igualando I_D a zero, encontra-se $\lambda = 0,0667 \left[\frac{1}{V} \right]$ e $V_A = -15 [V]$.

– Extração de η e I_X para Região de Operação Subthreshold

Existe ainda uma região de operação do transistor MOS, que será utilizada neste trabalho, devendo assim ser também caracterizada. Esta região é chamada de inversão fraca. Para esta situação, o comportamento da corrente de dreno do transistor MOS se assemelha ao comportamento da corrente de coletor do transistor bipolar. A equação para I_D (sem efeito de corpo) passa a ser:

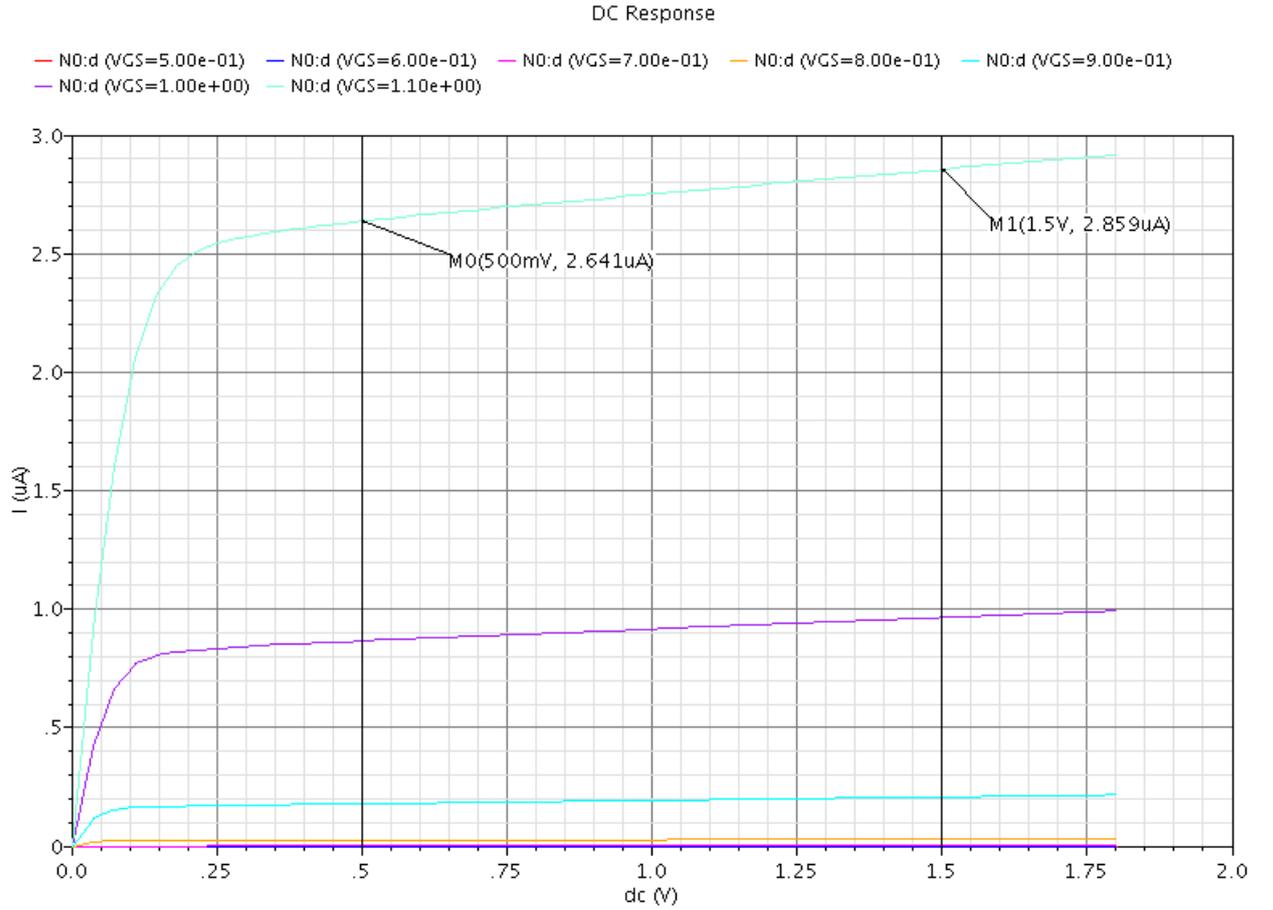


Figura 36: I_D x V_{DS} para diferentes valores de V_{GS} - Caracterização de λ .

$$I_D = I_X \cdot \frac{W}{L} \cdot e^{\frac{V_{GS} - V_{TH0}}{\eta \cdot U_T}} \cdot \left[1 - e^{\frac{-V_{DS}}{\eta \cdot U_T}} \right] \quad (A.4)$$

Onde:

- * $U_T \rightarrow$ tensão equivalente de temperatura (aproximadamente 26 [mV] para a temperatura do corpo humano de 36°C);
- * $I_X \rightarrow$ corrente característica.

A condição de operação na região de saturação em um transistor MOS ocorre quando a tensão V_{DS} for maior que $3 \cdot U_T$ (aproximadamente 78 [mV]) e, sendo maior que este valor, o termo exponencial que contém $\frac{-V_{DS}}{\eta \cdot U_T}$ se torna muito menor que 1 e pode ser desprezado. Assim a equação anterior (A.4) pode ser reescrita:

$$I_D = I_X \cdot \frac{W}{L} \cdot e^{\frac{V_{GS} - V_{TH0}}{\eta \cdot U_T}} \quad (A.5)$$

Tomando-se o logaritmo Neperiano para ambos os lados da equação acima simplificada, verifica-se uma relação linear:

$$\ln I_D = \ln I_X \cdot \frac{W}{L} \cdot e^{\frac{V_{GS} - V_{TH0}}{\eta \cdot U_T}} \cdot \left[1 - e^{\frac{-V_{DS}}{\eta \cdot U_T}} \right] = \ln I_X \cdot \frac{W}{L} + \frac{V_{GS} - V_{TH0}}{\eta \cdot U_T} \quad (\text{A.6})$$

Lançando mão de um processo de simulação, usando-se o mesmo circuito da Figura 34, é feita uma análise do tipo varredura DC (variando-se V_{GS} para 10 diferentes valores de V_{DS} (de 0,1 [V] a 1,0 [V], com passo de 0,1 [V]) cujo resultado é mostrado abaixo na Figura 37:

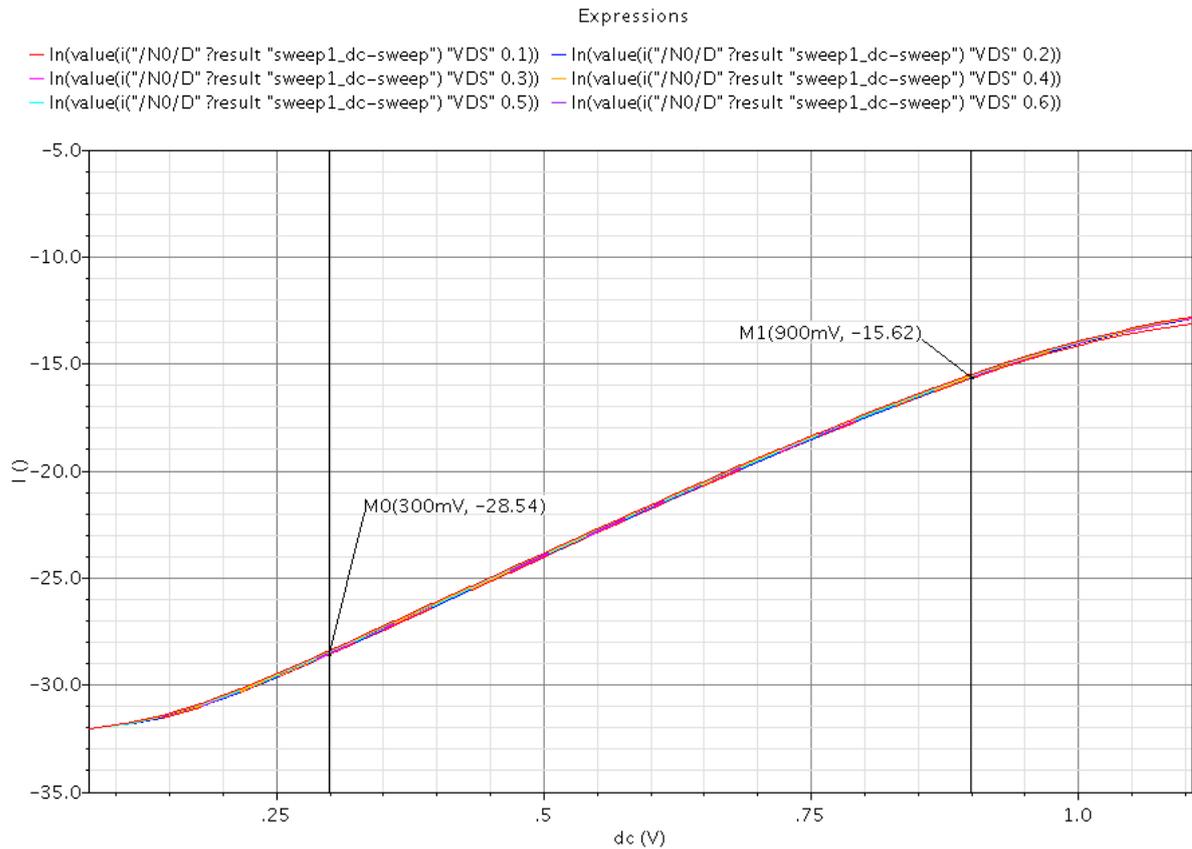


Figura 37: $\ln I_D$ X V_{GS} .

Percebe-se uma região linear entre aproximadamente 450 [mV] e 800 [mV], e tomando por base os pontos limites dessa região é possível estabelecer uma interpolação linear.

Dessa forma, tem-se como equação de interpolação: $\ln I_D = 21,533 \cdot V_{GS} - 35,0$.

Aplicando-se então a Equação (A.6) na interpolação obtida acima, extrai-se n:

Tabela 17: Pontos para Interpolação Linear - Caracterização de U_T .

V_{GS} [V]	$\ln I_D$ [ln(A)]
0,3	-28,50
0,9	-15,60

$$\frac{V_{GS}}{\eta \cdot U_T} = 21,533 V_{GS} \rightarrow \eta = 1,744 \left[\frac{V}{V} \right]$$

E por fim extrai-se também I_X :

$$e^{I_X \cdot \frac{W}{L}} = e^{-35,0 + \frac{V_{TH0}}{\eta \cdot U_T}} \rightarrow I_X = 36,76 [nA]$$

A.2 Parametrização de Transistores pMOS

As mesmas simulações e análises feitas para o transistor nMOS são feitas aqui para o transistor pMOS, com a diferença que o circuito utilizado na Figura 34 é agora substituído pelo circuito da Figura 38.

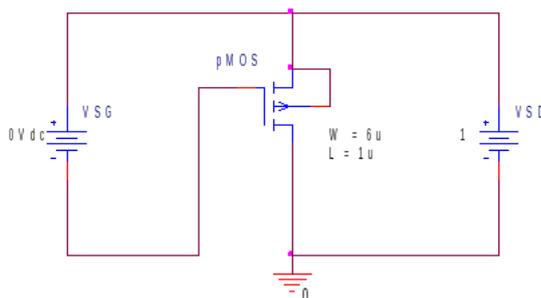


Figura 38: Circuito pMOS para Extração de Parâmetros.

– Extração de V_{TH}

Tomando os dois pontos listados na Tabela 18 extraídos do gráfico representado pela Figura 39, faz-se a regressão linear. O ponto de cruzamento do eixo x com a reta obtida é V_{TH0} . O parâmetro k_p pode ser calculado fazendo $\sqrt{\frac{1}{2} \cdot \mu_p \cdot C_{OX} \cdot \frac{W}{L}}$ = inclinação da reta obtida.

Tabela 18: Pontos Tomados para Extração de k_p e V_{TH0} .

V_{SG} [V]	$\sqrt{I_D}$	\sqrt{A}
1,0	0,788 m	
1,8	6,46 m	

Assim, tem-se a reta: $\sqrt{I_D} = 0,0071 V_{SG} + 0,0063$.

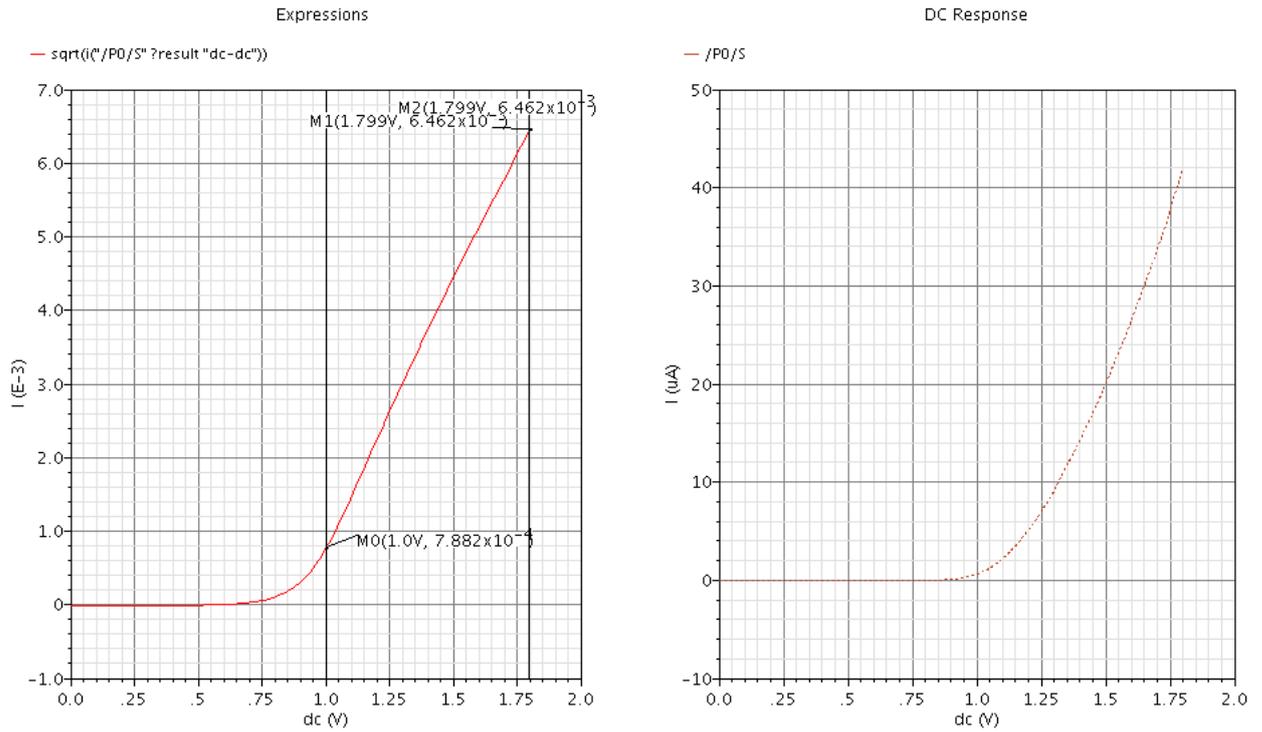


Figura 39: $\sqrt{I_D} \times V_{SG}$ - Extração de k_n e V_{TH0} .

Finalmente:

$$V_{TH0} = -0,8873[V] \text{ e } k_p = 26,1388\left[\frac{\mu A}{V^2}\right].$$

– Extração de λ

Para a extração do parâmetro λ , faz-se a mesma análise feita para o transistor nMOS.

Assim, tomando os pontos listados na Tabela 19 para a regressão linear, encontra-se finalmente $VA = -5[V]$ e $\lambda = 0,2\left[\frac{1}{V}\right]$.

Tabela 19: Pontos Tomados para Extração de λ

$I_D[A]$	$V_{SD}[V]$
$1,69 \mu$	0,3
$2,19 \mu$	1,7

– Extração de Parâmetros η e I_X

Para a extração dos parâmetros η e I_X far-se-ão os mesmos procedimentos executados para o transistor nMOS. Dois pontos são extraídos do gráfico representado pela Figura 41 e representados na Tabela 20.

A interpolação linear desses dois pontos resulta em:

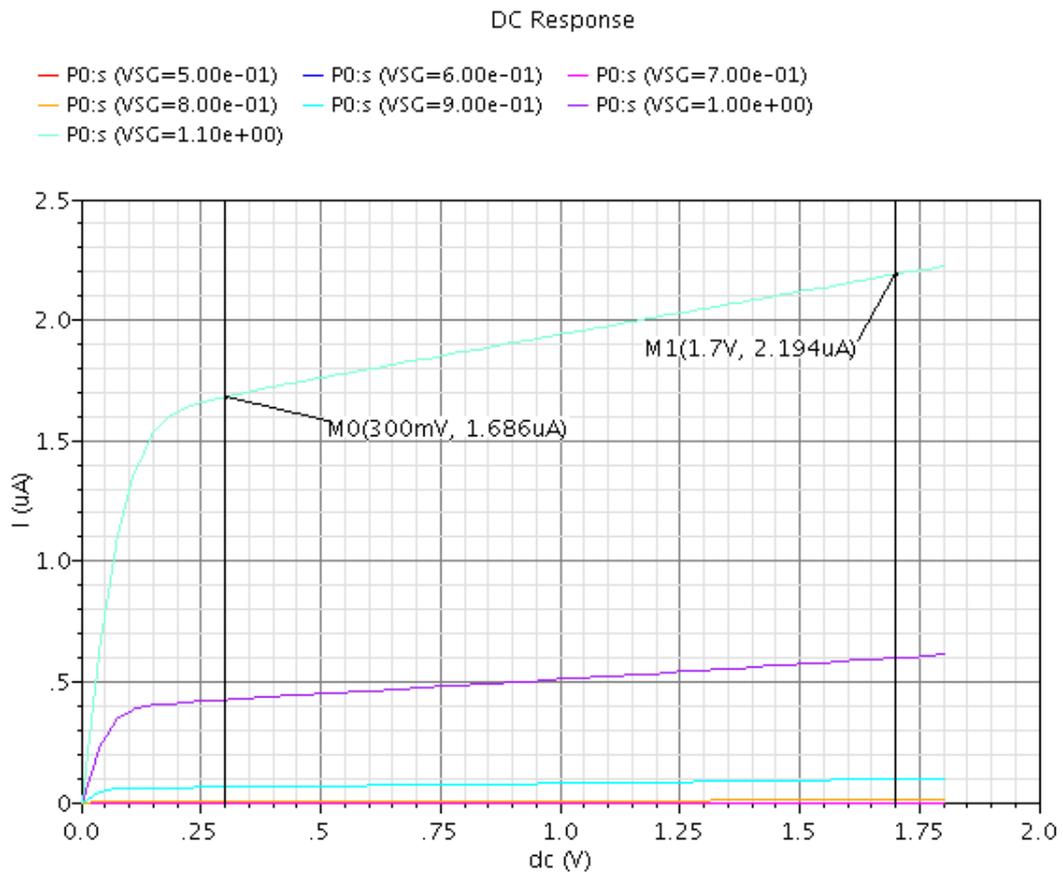


Figura 40: $I_D \times V_{DS}$ para diferentes valores de V_{SG} - Caracterização de λ .

Tabela 20: Pontos Tomados para Interpolação Linear - Extração de η e I_X .

$V_{SG}[V]$	$\ln I_D[\ln A]$
0,045	-35,90
0,900	-16,50

$$\ln I_D = 22,713V_{SG} - 36,892$$

Assim, substituindo novamente a Equação (A.6) na interpolação linear acima, encontra-se η e I_X :

$$\eta = 1,6534\left[\frac{V}{V}\right] \text{ e } I_X = 13,9453[nA].$$

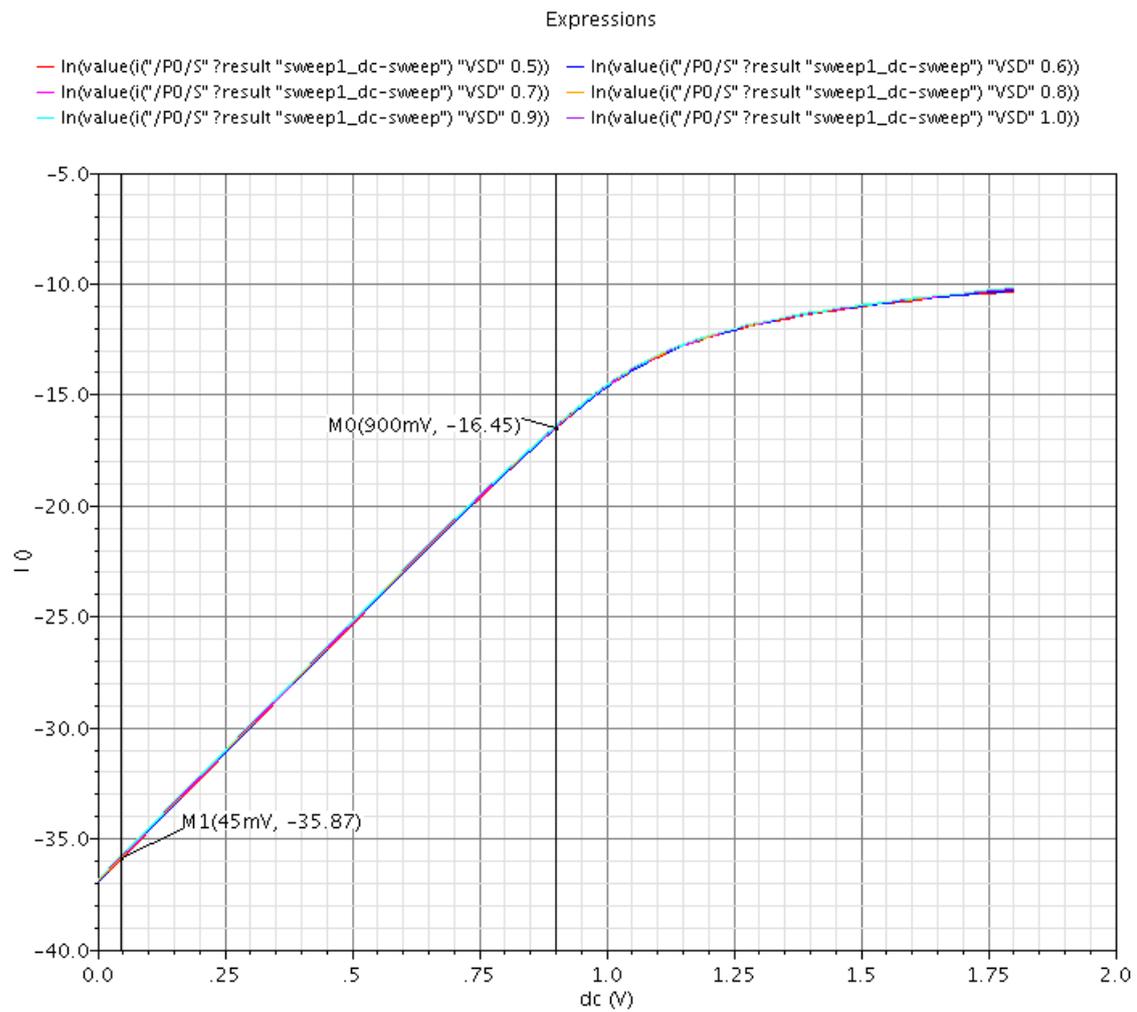


Figura 41: $\ln I_D \times V_{SG}$.

APÊNDICE B – Layouts Propostos

Neste apêndice são mostrados os layouts elaborados para cada componente do amplificador neural proposto neste trabalho. Pode ser visualizada ainda uma régua, em μm dando uma idéia das dimensões de cada componente.

Todos os layouts foram realizados utilizando-se o Software Virtuoso[©] em associação ao Design Kit NCSU1.6.0.beta.

A tecnologia utilizada para o circuito é a ON 0,5 [μm], com fabricação feita pela MOSIS com SCN3ME-SUBM que suporta *stacked vias* (vias sobrepostas).

Todos os layouts seguintes referem-se ao código de cores utilizado pelo Design KIT NCSU visto na Figura 42.

	pwell	drw
	nwell	drw
	active	drw
	nactive	drw
	pactive	drw
	nselect	drw
	pselect	drw
	poly	drw
	elec	drw
	metal1	drw
	metal2	drw
	metal3	drw
	cc	drw
	via	drw
	via2	drw

Figura 42: Layers e suas Respectivas Cores Representativas.

– Chave nMOS

A Figura 43 representa o layout da chave utilizada para o chaveamento dos capacitores de integração. O desenho foi realizado para consumo mínimo de área de Si, embora tenha se utilizado estruturas de proteção contra ruído e diminuição de possibilidade de *latchup*.

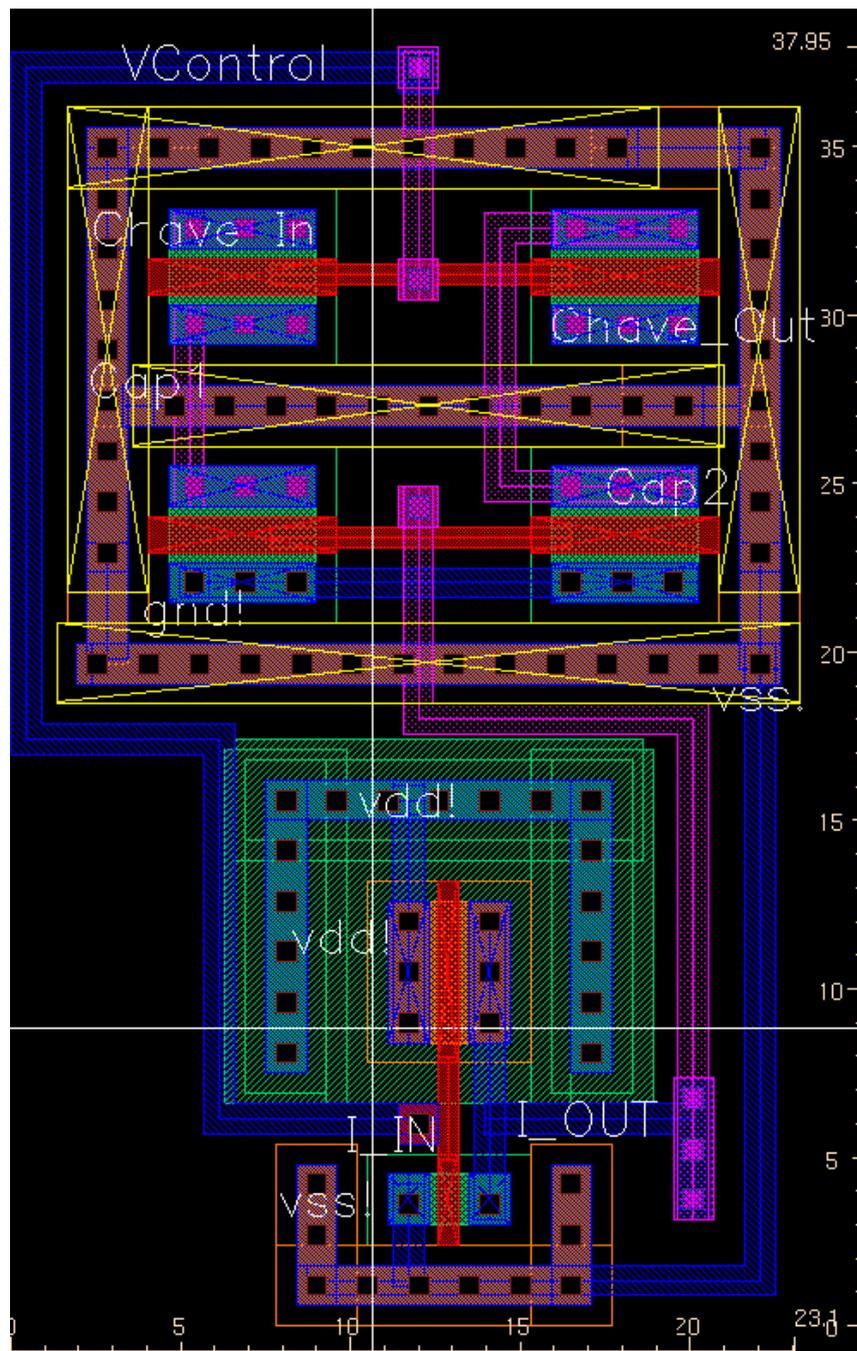


Figura 43: Layout da Chave nMOS Insensível a Parasitas Proposto.

– Pseudo Resistor

A Figura 44 representa o layout de um arranjo de seis dispositivos pMOS co-

nectados como junção PN que gera altos valores de resistência necessárias para a malha de realimentação do amplificador neural. Foram utilizados dispositivos pMOS para ser possível a ligação diodo de cada dispositivo sem curto-circuitar o contato de corpo de todos os transistores. O desenho foi realizado para consumo mínimo de área de Si, embora tenha se utilizado estruturas de proteção contra ruído e diminuição de possibilidade de *latchup*.

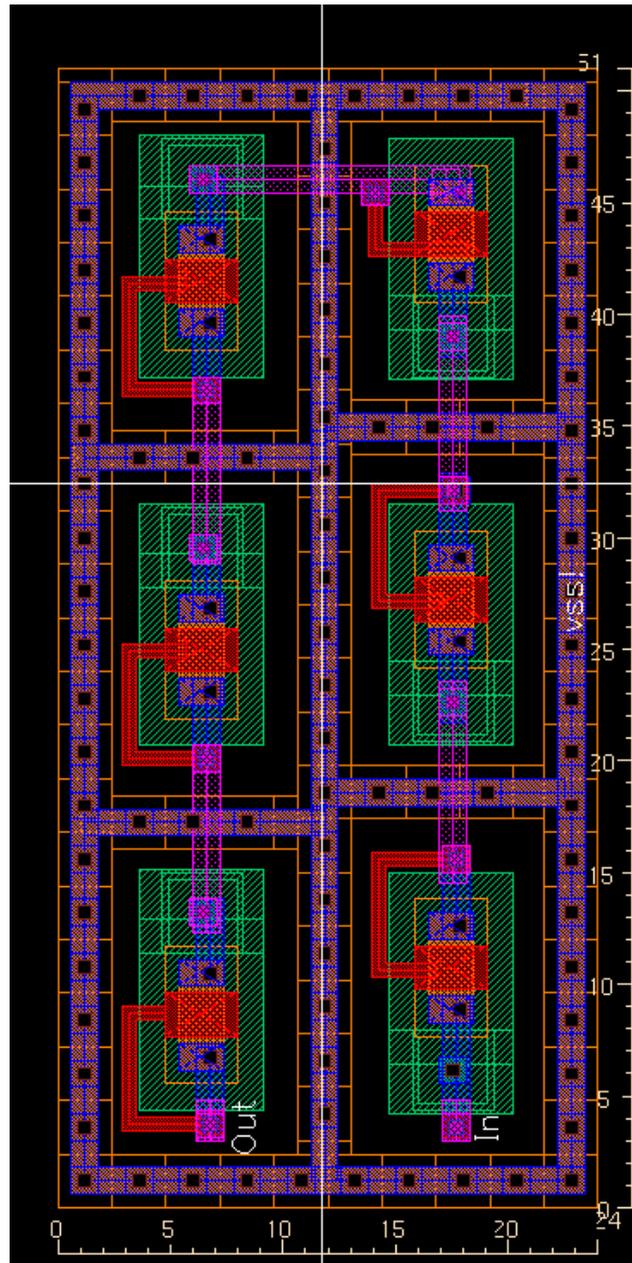


Figura 44: Layout do Pseudo Resistor Proposto.

– Inversor

A Figura 45 representa o layout de um inversor. Apesar de haver uma biblioteca de *standard cells* para a tecnologia utilizada no design kit, o inversor

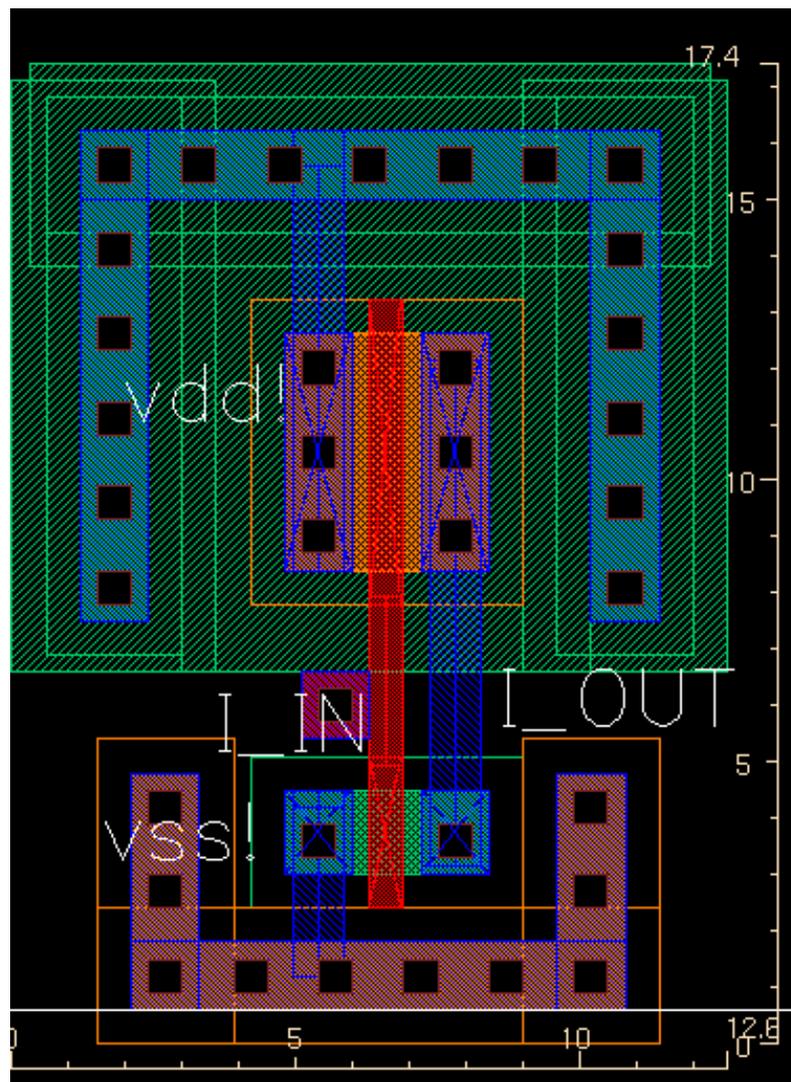


Figura 45: Layout do Inversor Proposto.

foi desenhado de forma customizada para consumo mínimo de área de Si, embora tenha se utilizado estruturas de proteção contra ruído e diminuição de possibilidade de *latchup*.

– Malha de Realimentação

A Figura 46 representa o layout da malha de realimentação contemplando quatro chaves de transmissão, dois pseudo resistores e a matriz de capacitores casados. O desenho contempla um anel de guarda para diminuição de ruídos que estejam fluindo pelo substrato de interferir na estrutura.

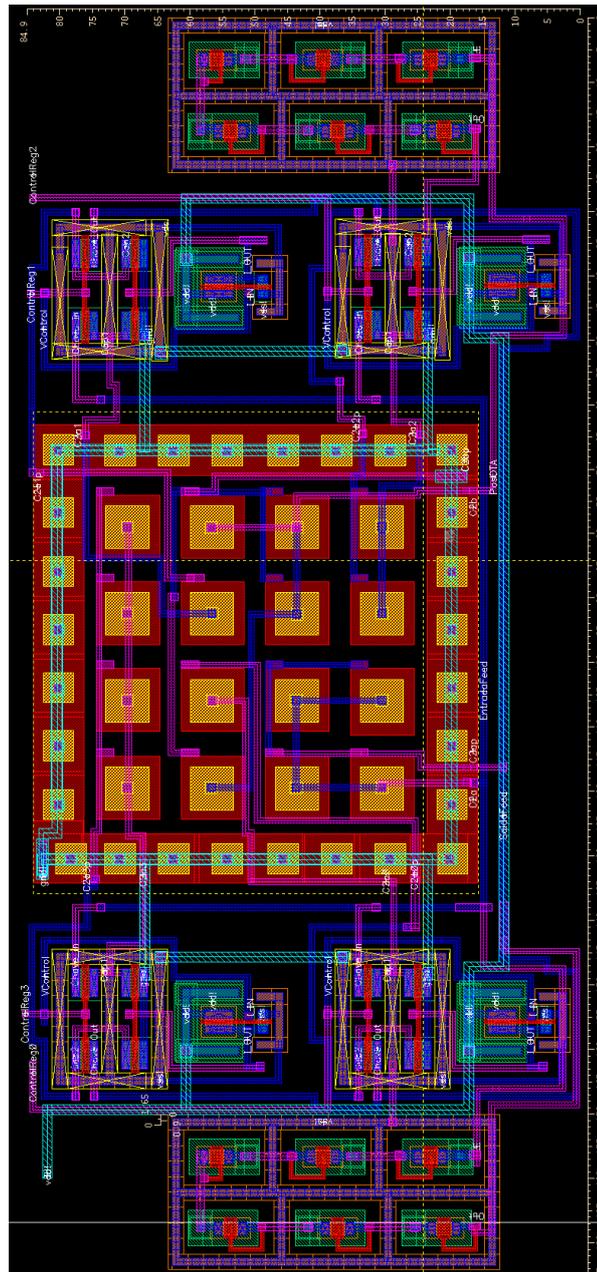


Figura 46: Layout para Malha de Realimentação Proposto.

– Matriz de Capacitores

A Figura 47 representa o layout da matriz de capacitores de integração da malha de realimentação. Essa topologia foi utilizada para se diminuir efeitos no funcionamento da malha de realimentação para possíveis variações de processo.

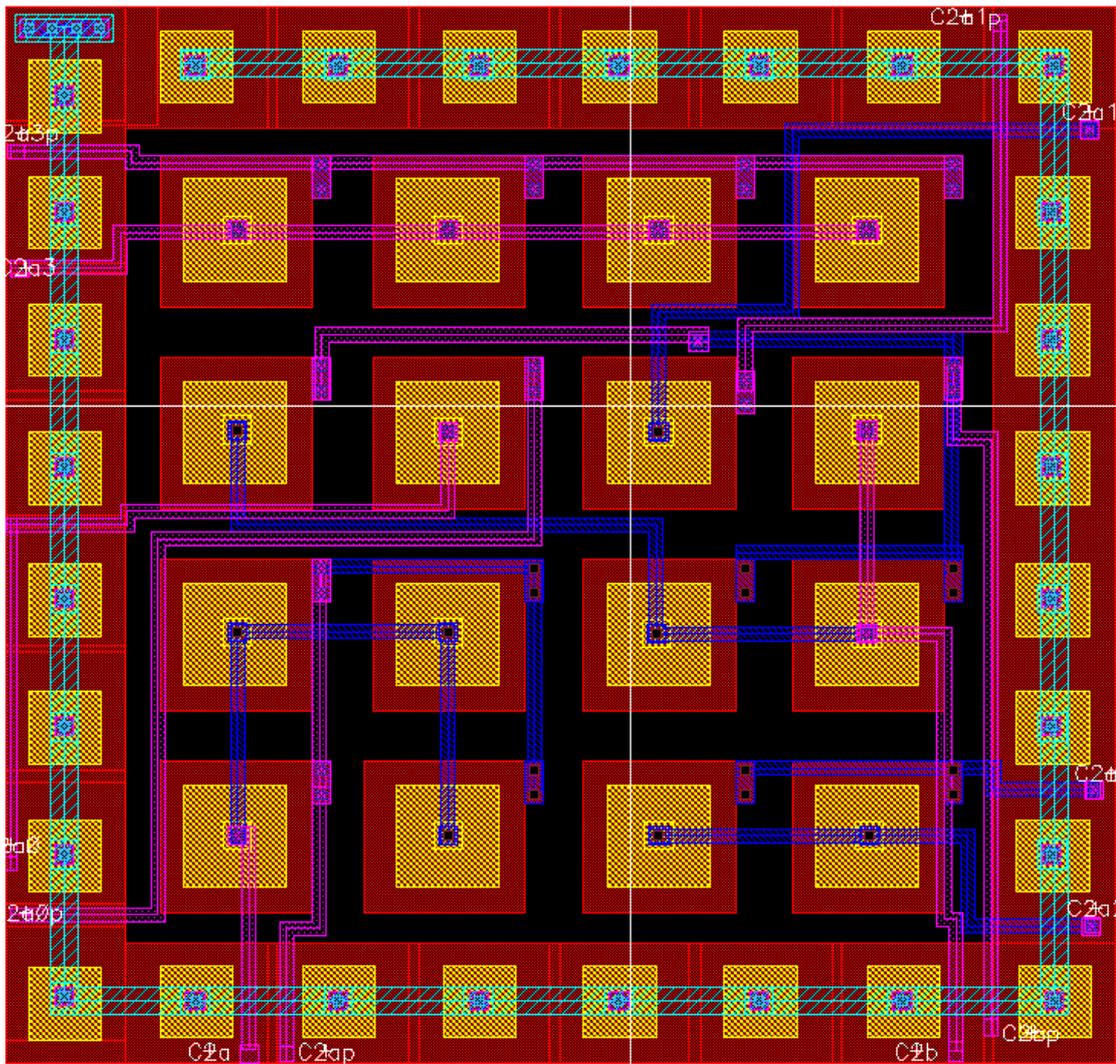


Figura 47: Layout para Matriz de Capacitores Casados Proposto.

– OTA

A Figura 48 representa o layout do OTA utilizado para o desenho do amplificador neural. O par diferencial apresenta um grande número de contatos de poço e um anel de guarda conectado a GND para funcionar como um escudo contra ruídos de substrato. Foi posicionada ainda uma camada de metal 3 conectada a GND para se proteger a estrutura de ruídos eletromagnéticos oriundos de fora do chip.

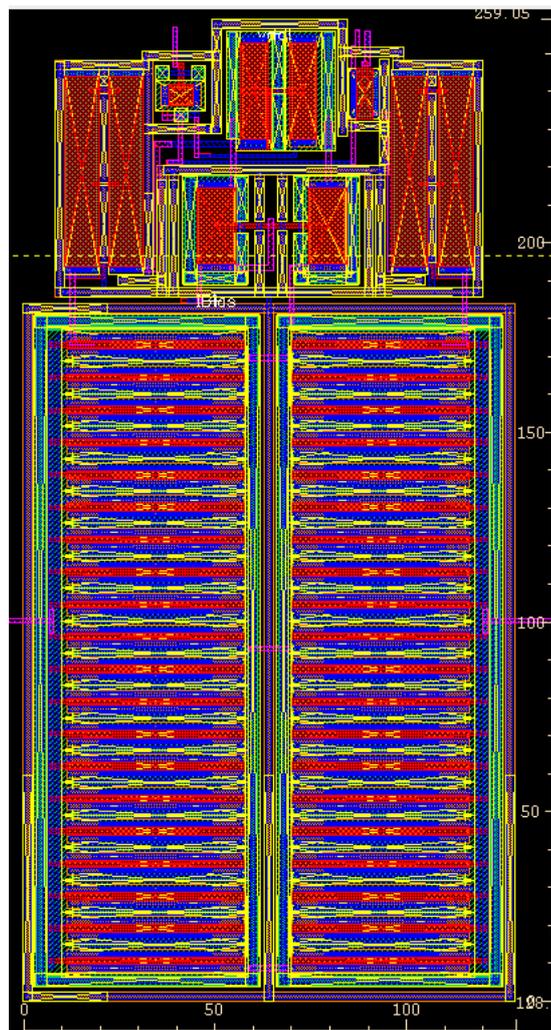


Figura 48: Layout para OTA Proposto.

– Amplificador Neural

A Figura 49 representa o layout do amplificador neural. Toda a estrutura apresenta um anel de guarda conectado a GND para funcionar como um escudo contra ruídos de substrato. Uma camada de metal 3 conectada a GND foi utilizada onde não havia metal 3 sendo utilizado para roteamento para se proteger a estrutura de ruídos eletromagnéticos oriundos de fora do chip.

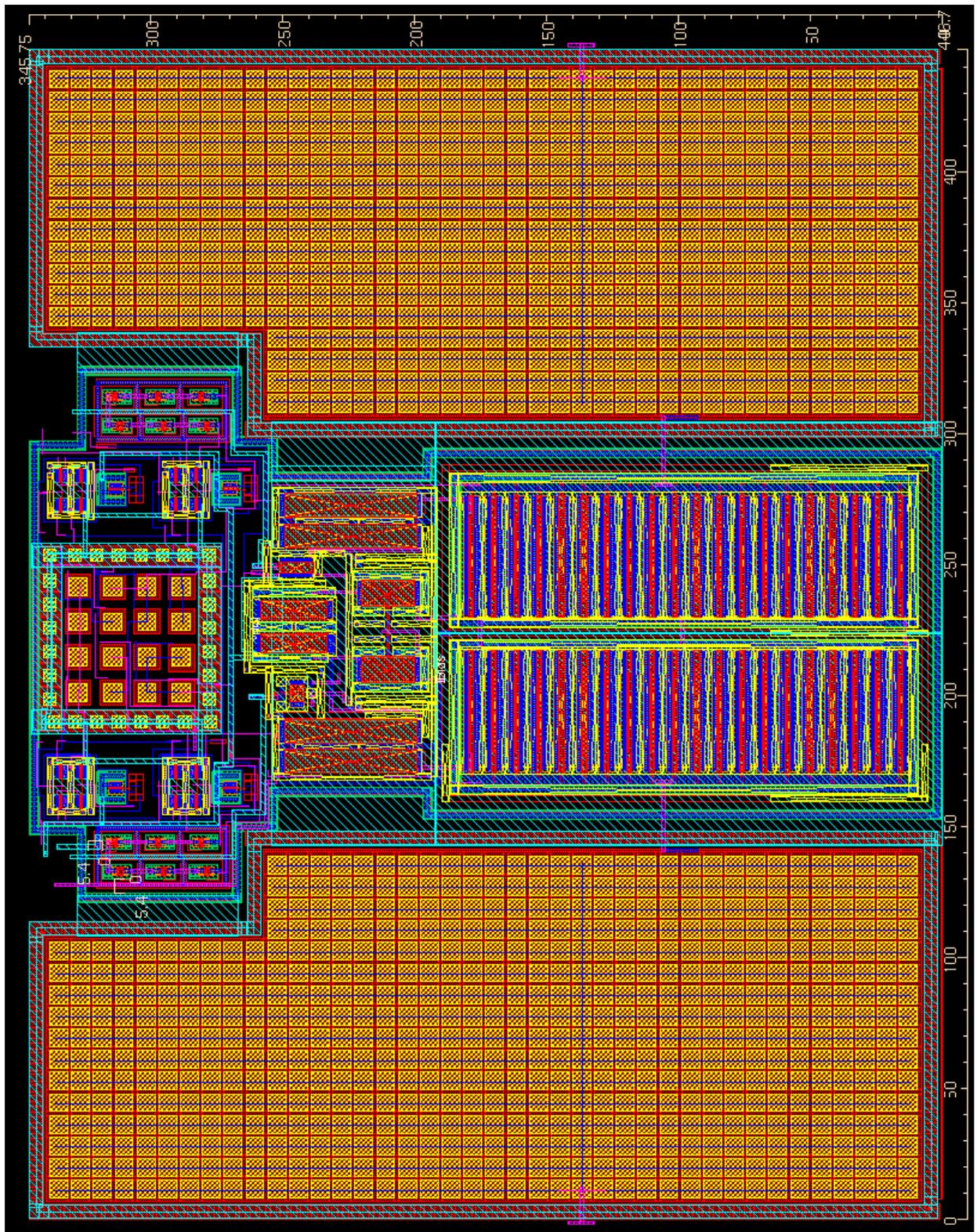


Figura 49: Layout Amplificador Neural Proposto.

APÊNDICE C – Publicações

Durante a realização deste trabalho, alguns artigos foram aceitos e/ou publicados.
A saber:

- ICCDCS 2012

Título: “Low Power Low Noise Neural Amplifier with Adjustable Gain”

- 28th ICM 2012

Título: “A Low Power Low Noise OTA with Adjustable Gain PID Feedback Network”

Ambos a serem publicados na base de dados IEEEXplorer.

- Latin Display 2011

Título: “A Low Power Low Noise OTA with Adjustable Gain PID Feedback Network for Non-Implantable EEG SoC Array”

Realizado na Universidade Federal de Itajubá e apresentado em forma de painel.

- Capítulo do Livro “Biomedical Engineering / Book 1, ISBN 979-953-307-829-7” da editora InTechopen:

Título: “A Low Power Low Noise OTA with Adjustable Gain PID Feedback Network for EEG SoC Arrays”