

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Evandro Daniel Calderaro Cotrim

**Um Amplificador de Transcondutância CMOS
em Ultra Baixa-Tensão e Ultra Baixa-Potência
Para Aplicações G_m -C em Baixa Frequência**

Tese submetida ao Programa de Pós-Graduação
em Engenharia Elétrica como parte dos requisitos
para obtenção do Título de Doutor em Ciências
em Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientadores: Dr. Tales Cleber Pimenta
Dr. Luís Henrique de Carvalho Ferreira

Junho de 2011

Itajubá – MG

Ficha catalográfica elaborada pela Biblioteca Mauá –
Bibliotecária Jacqueline Balducci - CRB_6/1698

C845a

Cotrim, Evandro Daniel Calderaro.

Um Amplificador de Transcondutância CMOS em Ultra Baixa-Tensão e Ultra Baixa-Potência para Aplicações Gm-C em Baixa Frequência. / Evandro Daniel Calderaro Cotrim. -- Itajubá, (MG) : [s.n.], 2011.

55 p. : il.

Orientador: Prof. Dr. Tales Cleber Pimenta.

Co-orientador: Prof. Dr. Luís Henrique de Carvalho Ferreira.

Tese (Doutorado) – Universidade Federal de Itajubá.

1. OTA simétrico. 2. Aplicações GM-C em baixa frequência.
3. Par diferencial acionado pelo substrato. 4. Ultra baixa-potência.
I. Pimenta, Tales Cleber, orient. II. Ferreira, Luís Henrique de
Carvalho, co-orient. III. Universidade Federal de Itajubá. IV. Título.

Dedico este trabalho aos meus pais, José Antonio e Clarice, e à minha família, Lucas, Melissa e Gracely.

*Mesmo as noites totalmente sem
estrelas podem anunciar a aurora
de uma grande realização.*

Martin Luther King

Agradecimentos

Agradeço a Deus por tornar possível o desenvolvimento deste trabalho, cercado-me de pessoas maravilhosas sem as quais eu nada seria.

Aos orientadores, Prof. Tales C. Pimenta e Prof. Luís Henrique de C. Ferreira, pela orientação no desenvolvimento deste trabalho e constante disposição em nos auxiliar.

Aos professores José F. Adami, Leonardo Mesquita, Leonardo B. Zoccal, Paulo C. Crepaldi, Robson Luiz Moreno e aos colegas do Grupo de Microeletrônica da UNIFEI pelas valiosas contribuições dadas a esse trabalho;

Ao Dr. João Batista M. Vianna pelas sugestões, à empresa Zilocchi Eletrônica pelo empréstimo de equipamentos e soldagem de componentes, sempre que necessário e à Sra Ilda de C. Andrade, pela amizade e constante disposição em auxiliar.

Aos meus familiares e amigos, pelo apoio incondicional e compreensão pelos momentos de ausência enquanto desenvolvia este trabalho.

À CAPES, pelo apoio financeiro através do programa Demanda Social.

Meus mais sinceros agradecimentos.

Resumo

Este trabalho descreve o desenvolvimento e a implementação de um amplificador operacional de transcondutância (OTA) simétrico modificado, baseado na topologia do OTA simétrico tradicional. Suas aplicações destinam-se a sistemas que operam em ultra baixa tensão, ultra baixa potência e, especialmente, filtros Gm-C, devido à sua baixa transcondutância. A arquitetura desenvolvida é baseada no uso de transistores MOS tradicionais e compostos polarizados para operar no modo de inversão fraca, o que permite a operação em ultra-baixa tensão e ultra-baixa potência, com correntes de polarização na faixa de dezenas de nanoampére [nA] e tensão de alimentação abaixo de 1 volt.

O par diferencial de entrada é acionado pelo substrato (*bulk-driven*), o que confere ao circuito menor transcondutância, maior linearidade e excursão pólo-a-pólo do sinal de entrada sem a necessidade de se utilizar configurações complexas, quando comparado aos OTAs tradicionais. Nesta configuração, a relação sinal-ruído (SNR) é a mesma que na configuração acionada pelo *gate*, uma vez que o aumento da linearidade do sinal de entrada dá-se na mesma proporção do aumento do ruído apresentado pelo par diferencial acionado pelo substrato.

A topologia simétrica do OTA resulta em ganhos de malha aberta na faixa de dezenas de decibéis com apenas um estágio e sem a necessidade de utilização de malhas de compensação RC do tipo *Miller*, que ocupam área adicional de silício. A reunião dessas

implementações em uma nova topologia, aqui denominada de “OTA simétrico modificado” permitiu a obtenção de um OTA com as características desejáveis para implementação de circuitos com grandes constantes de tempo, como filtros Gm-C e geradores de rampa para testes de conversores Analógico para Digital.

O circuito foi fabricado utilizando um processo CMOS 0,35 μm da empresa TSMC (*Taiwan Semiconductor Manufacturing Company*) e apresentou um ganho de malha aberta de 61 dB, frequência de ganho unitário de 195 Hz e um consumo de 40 nW para uma tensão de alimentação de 800 mV, ocupando uma área de 0,04 mm^2 .

Abstract

This work describes the development and implementation of a modified symmetrical Operational Transconductance Amplifier – OTA, based on the traditional symmetrical OTA topology. It is intended for ultra low-voltage ultra low-power system applications, and Gm-C filtering, due to its low transconductance. Its architecture is based on traditional and composite MOS transistors on weak inversion that allows ultra low-voltage ultra low-power operation. The circuit runs at few tens of nanoamp and below 1 volt.

The differential input pair is bulk-driven that allows smaller transconductance, large linearity and rail-to-rail input signal swing without the need of complex configurations, when compared to traditional OTAs. The signal to noise ratio (SNR) is the same as the gate driven configuration, since the linearity increase on the input signal is proportional to the noise increase given by the bulk-driven differential pair.

The symmetrical OTA topology offers open loop gain in the range of few tens of decibels on a single stage without the need of RC compensation loops, such as Miller, that requires additional silicon area. The combination of those features in a new topology, called modified symmetrical OTA, allows the implementation of an OTA suitable to the implementation of large time constant circuits, such as Gm-C filters and ramp generators for analog to digital converters.

The circuit was fabricated in a TSMC (*Taiwan Semiconductor Manufacturing Company*) 0.35 μm CMOS process and presented a 61 dB open loop gain, 195 Hz unity gain and 40nW power consumption for a 800mV power supply voltage, and takes just 0.04 mm^2 .

Sumário

Capítulo 1: <i>Introdução</i>	1
1.1. Considerações Gerais	1
1.2. Objetivos	4
1.3. Estrutura do Trabalho	4
Capítulo 2: <i>O Transistor MOS</i>	6
2.1. Operação em Inversão Fraca	6
2.2. Modelo de Ruído	8
2.3. O Transistor MOS Composto	11
Capítulo 3: <i>O Amplificador de Transcondutância Simétrico Modificado</i>	15
3.1. Topologia Proposta	15
3.2. Efeitos do Descasamento dos Transistores do Par Diferencial na Distorção Harmônica	22
3.3. Modelo AC	26
3.4. Modelo de Ruído	27
Capítulo 4: <i>Especificação, Projeto, Simulação e Medidas do OTA Simétrico Modificado</i>	29
4.1. Considerações Gerais	29
4.2. Especificação do OTA Simétrico Modificado	30

4.3. Projeto do OTA Simétrico Modificado	30
4.4. Simulação do OTA Simétrico Modificado.....	33
4.5. Teste e Medidas do OTA Simétrico Modificado	38
Capítulo 5: Conclusões e Trabalhos Futuros.....	48
Apêndice A: Artigo Publicado	50
Referências Bibliográficas	51

Lista de Figuras

Figura 2.1 – Modelo do ruído térmico de um transistor MOS	9
Figura 2.2 – Conceito de frequência de <i>corner</i> dos ruídos térmico e <i>flicker</i>	11
Figura 2.3 – Transistor Composto: (a) esquemático e (b) símbolo	11
Figura 3.1 – OTA simétrico modificado utilizando transistor MOS composto e.....	16
Figura 3.2 – Modelo AC do OTA simétrico modificado	26
Figura 4.1 – Microfotografia do circuito OTA simétrico modificado.....	33
Figura 4.2 – <i>Setup</i> para simulação da distorção harmônica	35
Figura 4.3 – Espectro de frequências da corrente de saída – par diferencial casado.....	36
Figura 4.4 – Espectro de frequências da corrente de saída – par diferencial descasado	37
Figura 4.5 – Histograma da variação da distorção harmônica total	37
Figura 4.6 – <i>Setup</i> para ajuste da corrente de referência do OTA.....	39
Figura 4.7 – Protótipo alojado na caixa de blindagem	39
Figura 4.8 – Valores de transcondutância	40
Figura 4.9 – Espectro de frequências da tensão de saída do OTA simétrico modificado	41
Figura 4.10 – Espectro de frequências do gerador de sinais associado ao <i>buffer</i> de ganho unitário.....	42
Figura 4.11 – Configuração para medição da distorção harmônica	43

Figura 4.12 – Resposta transiente distorcida do OTA modificado conectado como <i>buffer</i> de ganho unitário	43
Figura 4.13 – Resposta transiente do OTA modificado conectado como <i>buffer</i>	44
Figura 4.14 – Medição da resposta transiente de um integrador	44

Lista de Tabelas

Tabela 4.1 – Especificações do OTA simétrico modificado	30
Tabela 4.2 – Dimensões dos transistores do circuito	32
Tabela 4.3 – Simulações de pior caso com variações de processo.....	34
Tabela 4.4 – Conteúdo harmônico da corrente de saída - OTA com par diferencial casado ...	35
Tabela 4.5 – Conteúdo harmônico devido ao descasamento do par diferencial.....	36
Tabela 4.6 – Sumário da simulação de Monte Carlo.....	38
Tabela 4.7 – Relação de equipamentos utilizados nas medições do protótipo.....	40
Tabela 4.8 – Valores simulados x valores medidos.....	46
Tabela 4.9 – Indicadores de desempenho do OTA simétrico.....	46

Lista de Símbolos

A_O	Ganho do OTA em malha aberta.
A_{VT}	Coefficiente de variação da tensão <i>threshold</i> .
C	Capacitância.
C_B	Capacitância da região de depleção (por unidade de área).
C_C	Capacitor de carga no núcleo.
C_L	Capacitor de carga.
CLM	Modulação do comprimento de canal.
CMRR	Razão de rejeição de modo comum.
C_{OX}	Capacitância intrínseca do óxido (por unidade de área).
C_P	Capacitor parasita de partida.
exp	Exponencial (base neperiana).
f_a	Frequência no ponto “a”.
f_c	Frequência de <i>corner</i> do ruído.
f_d	Frequência do pólo dominante.
g_m	Transcondutância.
g_{mb}	Transcondutância de substrato.
G_m	Transcondutância de saída do OTA.
g_o	Condutância de saída.
HD_3	Distorção devida ao terceiro harmônico.
I_B	Corrente de polarização.

I_{DO}	Corrente característica normalizada em inversão fraca.
I_{DS}	Corrente de dreno.
I_{f1}	Amplitude de corrente da frequência fundamental.
I_{f2}	Amplitude de corrente da segunda harmônica.
I_{f3}	Amplitude de corrente da terceira harmônica.
I_n	Corrente do ruído saída.
I_o	Corrente de saída.
I_S	Corrente característica em inversão fraca.
k	Constante de Boltzmann.
K_F	Parâmetro de ruído <i>flicker</i> .
\ln	Logaritmo neperiano.
L	Largura do canal do transistor.
n	Fator de inclinação em inversão fraca.
N	Concentração média de dopantes na camada de depleção.
PSRR	Razão de rejeição da fonte de alimentação.
q	Carga elementar do elétron.
Q	Densidade de carga na camada de inversão.
SNR	Relação sinal-ruído.
SR	<i>Slew-rate</i> .
S_v	Densidade espectral de potência
T	Temperatura absoluta.
THD	Distorção harmônica total.
U_T	Tensão Térmica.
\tanh	Tangente hiperbólica.
V_{BG}	Tensão de banda proibida (tensão <i>bandgap</i>).
V_{BE}	Tensão base-emissor.
V_{BS}	Tensão de substrato-fonte.
V_{BSQ}	Tensão quiescente de substrato-fonte.
V_{cm}	Tensão de modo comum.
V_{DB}	Tensão de dreno-sustrato.
V_{DD}	Tensão de alimentação.
V_{dm}	Tensão de modo diferencial.
V_{DM}	Amplitude da tensão de modo diferencial.
V_{DS}	Tensão de dreno-fonte.

V_{GB}	Tensão de <i>gate</i> -substrato.
V_{GS}	Tensão de <i>gate</i> -fonte.
V_{OS}	Tensão de <i>offset</i> .
v_n	Tensão do ruído de saída
V_{TH}	Tensão de limiar (tensão <i>threshold</i>).
V_{TO}	Tensão <i>threshold</i> quando a tensão V_{SB} é nula.
W	Largura do canal do transistor MOS.
X_D	Largura da região de depleção.
X_i	Variável aleatória.
α	Coefficiente térmico da corrente característica em inversão fraca.
γ	Coefficiente de modulação de efeito de corpo.
θ	Coefficiente térmico da tensão <i>threshold</i> .
λ	Coefficiente de CLM (Modulação do comprimento de canal)).
μ	Mobilidade elétrica dos portadores.
φ	Coefficiente térmico do resistor de difusão.
Φ_S	Potencial de superfície.
Φ_F	Potencial de Fermi.

Capítulo 1

Introdução

1.1. Considerações Gerais

O rápido crescimento das aplicações portáteis, da confiabilidade dos dispositivos e a crescente densidade dos circuitos integrados demandam por projetos de circuitos CMOS (*Complementary Metal-Oxide-Semiconductor*) de baixa tensão e de baixa potência. Nos processos CMOS modernos, as dimensões dos dispositivos e as tensões máximas de alimentação são reduzidas de forma escalonada, mas isso não se aplica às tensões de limiar V_{TH} na mesma proporção. Os valores de tensão de limiar e de tensão de alimentação são direcionados principalmente pelos requisitos dos circuitos VLSI digitais (*Very Large Scale Integration* – Escala de Integração Muito Alta), como velocidade, correntes de fuga e margem de ruído. O valor relativamente alto da tensão de limiar em relação à tensão de alimentação é a principal limitação no projeto de circuitos CMOS em baixa tensão [1], o que gera a necessidade de desenvolvimento de técnicas de circuitos e de blocos construtivos que operem com baixas tensões de alimentação e com baixo consumo de potência [2], [3].

Na área de eletrônica analógica, um dos blocos construtivos largamente utilizados em uma vasta gama de aplicações é o amplificador operacional (AO) [1]. O amplificador operacional de transcondutância, em particular, foi introduzido comercialmente em 1969 pela empresa RCA (*Radio Corporation of America*), implementado com transistores bipolares. Com o surgimento da tecnologia CMOS estes dispositivos apresentaram uma

melhoria em muitas das suas características elétricas e tornaram-se vitais em projetos que envolvem circuitos eletrônicos em malha aberta e/ou fechada. Dentre as aplicações em malha aberta, incluem-se os filtros contínuos no tempo implementados com amplificadores de transcondutância e capacitores, conhecidos como filtros G_m-C ou OTA-C, os quais são muito populares em uma gama de aplicações, que incluem a eletrônica médica e a sísmica, onde a faixa de frequência está entre 0,1 Hz e 20 Hz [4].

O projeto de circuitos analógicos que trabalhem com frequências abaixo de 100 Hz não é trivial. Para constantes de tempo muito baixas, são necessários resistores de grande valor, na faixa de mega-ohm ou capacitores na faixa de nano-farad, resultando em componentes que ocupem grande área de silício. Com isso, surge a necessidade de se projetarem OTAs com baixos valores de transcondutância g_m para que os valores dos capacitores associados aos filtros sejam menores.

Os OTAs CMOS tradicionais, acionados pelo *gate*, são insuficientes para operação com tensões de alimentação reduzidas, devido à limitada faixa de tensão de modo comum de entrada. Muitas técnicas para operação sob condições de baixa tensão de alimentação e que expandem a faixa de modo comum dos amplificadores acionados pelo *gate* têm sido propostas. Uma das maiores utilizações consiste em conectar pares diferenciais *p*MOS e *n*MOS em paralelo, mas esta técnica requer circuitos de controles complexos para equalização da transcondutância, além de apresentarem uma zona morta na região central da faixa de entrada [1], [5]-[10]. A técnica baseada em deslocadores de nível DC dinâmicos oferece uma faixa de modo comum de entrada relativamente maior [11], [12].

A operação dos transistores na região de inversão fraca apresenta uma boa opção de projeto quando se consideram as tendências do mercado para aplicações em baixa tensão e em baixa potência. O OTA simétrico com baixa transcondutância, em especial, torna possível a implementação de filtros G_m-C, totalmente integrados, para aplicações em baixa frequência. Esses filtros consistem em importantes blocos para aplicações em aquisição de potenciais biológicos, onde a integração de circuitos com altas constantes de tempo é necessária [13].

Os OTAs tradicionais necessitam, em sua maioria, de dois estágios para que seja atingido um ganho de tensão em malha aberta acima da faixa de 70 dB [1], [14].

Entretanto, tais OTAs requerem a utilização de redes RC para que seja feita a compensação da margem de fase e os critérios de estabilidade sejam atendidos. A implementação de resistores e de capacitores integrados requer maior utilização de área de silício e a utilização de topologias com grande número de transistores implica em maior consumo de corrente, o que é indesejável principalmente em aplicações portáteis, que requerem baixos consumos de potência e utilização da menor área de silício possível. Neste sentido, a implementação de OTAs simétricos associados a transistores compostos vem ao encontro de tal necessidade, uma vez que essa configuração de amplificador não necessita de uma malha de compensação Miller e apresenta ganho próximo ao dos OTAs tradicionais de dois estágios.

Uma das limitações do OTA simétrico tradicional polarizado para operar em inversão fraca é sua pequena faixa de excursão linear da tensão diferencial de entrada, que ocorre devido ao fato de que a corrente de dreno nos transistores operando em inversão fraca depende exponencialmente das tensões aplicadas. Para cerca de 1% de variação na transcondutância, um OTA simétrico tradicional, implementado com par diferencial MOS acionado pelo *gate* e operando em inversão fraca, possui uma faixa de excursão linear de entrada, na faixa das dezenas de milivolts [15]. Vários OTAs simétricos modificados têm sido desenvolvidos com a finalidade de se obter transcondutâncias na ordem de dezenas ou unidades de nA/V e com uma faixa linear de entrada de cerca de 1V ou mais, onde as propriedades naturais de atenuação de transistores implementados com a técnica *gate* flutuante ou acionados pelo terminal de substrato têm permitido com sucesso a obtenção de tais parâmetros [13], [15], [16]. Uma das melhores abordagens para circuitos CMOS em baixa tensão consiste na implementação de pares diferenciais acionados pelo substrato, o que melhora a faixa de tensão de modo comum de entrada, uma vez que essa configuração permite uma larga excursão do sinal sem que o transistor entre na região de corte [14].

O desenvolvimento de OTAs simétricos com arquiteturas complexas, tendo por objetivo incrementar a excursão linear de entrada, apresenta algumas desvantagens, uma vez que tais arquiteturas podem implicar no aumento do ruído, descasamento no *offset* e área do transistor. Isto pode causar a diminuição na relação de compromisso do projeto, onde a busca de uma arquitetura para obtenção de uma maior faixa linear de entrada provocará a degradação de outras figuras de mérito do projeto. Adicionalmente, uma faixa de excursão pólo-a-pólo da tensão de modo comum de entrada pode ser desejável em muitas aplicações, sendo que uma faixa linear de entrada de poucas dezenas de milivolts pode ser suficiente para

aplicações biomédicas [17]. Em geral, filtros utilizados em sistemas biomédicos são empregados em sistemas de amostragem de potenciais biológicos cujas tensões estão tipicamente na faixa de 1 μ V a 100 mV e com frequências abaixo de 100 Hz [13], o que requer o desenvolvimento de circuitos que trabalhem com ultra-baixas tensões e baixas frequências.

1.2. Objetivos

Seguindo a tendência de desenvolvimento de projetos em ultra-baixa tensão e ultra-baixa potência para aplicações em baixa frequência e com ocupação de área mínima de silício, este trabalho apresenta o desenvolvimento de uma topologia de amplificador de transcondutância (OTA) simétrico modificada. O objetivo é validar implementação da topologia proposta e a tese de que transistores compostos polarizados em inversão fraca associados a estruturas de deslocamento DC e par diferencial acionado pelo substrato possibilitam melhorias na estrutura, comparativamente ao OTA simétrico tradicional. Esta configuração possibilitaria, ainda, a operação em ultra-baixa tensão e ultra-baixa potência do OTA para aplicações em filtros Gm-C em baixa frequência. A faixa de tensão de modo comum de entrada e a faixa de tensão linear de entrada do OTA podem ser aumentadas através da utilização de técnicas de deslocamento DC e da utilização da configuração par diferencial acionado pelo substrato, reduzindo-se a complexidade da topologia do circuito. A transcondutância de substrato é menor que a transcondutância de *gate*, dessa forma a faixa linear de entrada e o ruído referenciado à entrada são naturalmente maiores e a frequência de ganho unitário é menor considerando as mesmas condições [14]. Apesar disso, algumas outras relações de compromisso no projeto de OTAs simétricos de baixa transcondutância utilizando transistores MOS operando em inversão fraca foram consideradas.

1.3. Estrutura do Trabalho

Este trabalho está organizado em cinco capítulos, sendo um capítulo de introdução, um de conclusão e os demais de desenvolvimento.

O Capítulo 2 apresenta a modelagem e as características do transistor MOS de canal longo e uniformemente dopado, operando em inversão fraca. Neste capítulo também é

apresentado o conceito e a modelagem do transistor MOS composto de canal longo operando em inversão fraca. Através da utilização do transistor MOS composto, será possível aumentar o ganho do amplificador e melhorar o casamento do par diferencial através do emprego de uma estrutura simplificada

O Capítulo 3 apresenta uma proposta de implementação de um amplificador operacional de transcondutância (OTA) simétrico modificado, desenvolvido para operar em ultra-baixa tensão e em ultra-baixa potência em aplicações Gm-C em baixa frequência. São analisadas a distorção harmônica introduzida pelo circuito e a influência do descasamento dos transistores do par diferencial devido a variações da tensão de *threshold*, V_{TH} , na taxa de distorção harmônica do circuito. Os modelos AC e de ruído da topologia desenvolvida são apresentados neste capítulo.

O Capítulo 4 apresenta as especificações, os cálculos das dimensões, as simulações e as medidas de caracterização dos protótipos (fabricados pela TSMC via consórcio MOSIS [18]), onde se pode verificar a eficiência dos métodos apresentados e a funcionalidade do projeto, dentro do proposto nas especificações, sendo comprovada a tese proposta neste trabalho.

O Capítulo 5 apresenta as conclusões e as sugestões para trabalhos futuros que podem ser implementados a partir deste trabalho.

Capítulo 2

O Transistor MOS

2.1. Operação em Inversão Fraca

A corrente de dreno I_{DS} de um transistor MOS de canal longo (comprimento de canal maior ou igual a $2\ \mu\text{m}$) operando em inversão fraca é baseada na corrente de difusão do canal e pode ser dada pela equação (2.1), dada em [19]:

$$I_{DS} = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{GS} - V_{TH}}{nkT} \right)} \left(1 - e^{\left(-q \frac{V_{DS}}{kT} \right)} \right), \quad (2.1)$$

sendo I_S a corrente característica, T a temperatura absoluta, n correspondente ao fator de inclinação da curva em inversão fraca, k a constante de Boltzmann e q a carga do elétron ou da lacuna.

O fator de inclinação n , especificado na equação (2.2), é definido pela aproximação da razão entre a capacitância na região de depleção C_B e a capacitância

intrínseca do óxido C_{OX} (ambas expressas por unidade de área). Garantindo-se a operação em inversão fraca, o fator de inclinação pode ser considerado uma constante, o qual ainda pode ser modelado na expansão linear do efeito de corpo em torno do ponto de polarização quiescente do substrato [20].

$$n = 1 + \frac{C_B}{C_{OX}} \quad (2.2)$$

$$n = 1 + \frac{\gamma}{2\sqrt{2\Phi_F - V_{BSQ}}} \quad (2.3)$$

De acordo com a equação (2.1), o transistor MOS de canal longo estará saturado na inversão fraca quando $V_{DS} \geq 3kT / q$ [20], [21]. Nestas condições, a corrente de dreno do transistor é dada pela equação (2.4) [20]-[23]:

$$I_{DS} = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{GS} - V_{TH}}{nkT} \right)} \quad (2.4)$$

Através da equação (2.4) pode-se verificar que a tensão na qual o transistor satura independe da sua tensão V_{GS} , diferentemente quando operando em inversão forte. Este efeito tem grande importância no comportamento do transistor composto, a ser apresentado na seção 2.3.

Para verificar a influência do efeito de corpo no transistor MOS, a tensão de limiar V_{TH} é linearmente expandida:

$$V_{TH} = V_{TO} - (n-1)V_{BS} \quad (2.5)$$

A partir da equação (2.1) e da equação (2.5), é possível obter a equação (2.6), que define a relação de proporcionalidade entre a corrente de dreno-fonte do transistor MOS e as tensões V_{GS} e V_{BS} :

$$I_{DS} \propto e^{\left(q \frac{V_{GS}}{nkT} \right)} e^{\left(q \frac{(n-1)V_{BS}}{nkT} \right)} \quad (2.6)$$

O termo $(n-1)V_{BS}$ presente na equação (2.6) indica que é necessário um maior valor de tensão V_{BS} para realizar o mesmo efeito da tensão V_{GS} na corrente I_{DS} . Isto permite um incremento natural na faixa linear da tensão de entrada nas topologias OTA acionadas pelo substrato. A transcondutância g_m do *gate* é dada por:

$$g_m = q \frac{I_{DS}}{nkT}, \quad (2.7)$$

que é uma função apenas da corrente I_{DS} e do fator nkT/q , não dependendo da geometria do transistor.

A transcondutância do substrato g_{mb} é dada por [20]:

$$g_{mb} = (n-1)g_m = \frac{\gamma}{2\sqrt{2\Phi_F - V_{BSQ}}} g_m, \quad (2.8)$$

sendo γ o coeficiente de efeito de corpo e Φ_F o potencial de Fermi.

A transcondutância de substrato varia entre 20% a 30% do valor da transcondutância do *gate* para um mesmo transistor em um processo CMOS [20], [22]. Com isso, é possível obter as dimensões dos transistores operando em inversão fraca, conforme apresentado na seção 4.3.

2.2. Modelo de Ruído

As maiores fontes de ruído em um transistor MOS são o ruído térmico e o ruído *flicker*, que são independentes do terminal de entrada ao qual o ruído é referenciado. O ruído térmico ocorre devido ao movimento aleatório dos elétrons nos materiais condutores, provocando flutuações na diferença de potencial através do material mesmo quando a corrente é zero. Nos transistores MOS, a fonte mais significativa de ruído é o gerado no canal.

Para transistores MOS de canal longo, operando na saturação, o ruído gerado no canal pode ser modelado como uma fonte de corrente conectada entre o dreno e a fonte do

transistor, como indicado pela Figura 2.1, cuja densidade espectral é dada pela equação (2.9) [24]:

$$\overline{I_n^2} = 4kT\gamma g_m, \quad (2.9)$$

sendo o coeficiente γ , que não deve ser confundido com o coeficiente de efeito de corpo, igual a $2/3$ para transistores de canal longo. No caso de MOSFETs com dimensões de submícrons, o valor de γ deve ser substituído por valores maiores [25]. Através da associação da equação (2.9) com a equação da corrente de dreno em inversão fraca, conforme desenvolvido em [20], obtém-se a densidade espectral de potência do ruído térmico equivalente da tensão de entrada:

$$S_v = \frac{2nkT}{g_m}. \quad (2.10)$$

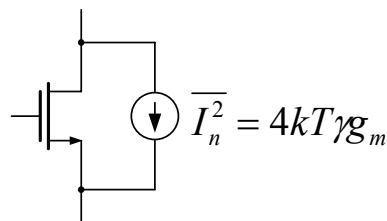


Figura 2.1 – Modelo do ruído térmico de um transistor MOS

Outro tipo de ruído a ser considerado no projeto de circuitos CMOS é o ruído *flicker*, que domina a faixa de baixa frequência e depende da construção dos dispositivos, geometria e polarização. Como existe uma crescente necessidade de se projetar com precisão circuitos analógicos de baixo ruído operando nestas faixas de frequências, este tipo de ruído tem sido extensivamente estudado, mas as teorias sobre sua origem são muitas e, por vezes, contraditórias [20].

Uma das teorias dominantes cita que a interface entre o óxido de *gate* e o substrato de silício em um transistor MOS produz um efeito de aprisionamento aleatório dos portadores de carga que circulam nesta interface. Posteriormente, estes portadores são liberados e ocasionam o ruído *flicker* na corrente de dreno. Em adição, existem outros mecanismos que se acreditam gerar o ruído *flicker*, conforme referenciado por Tsividis em [20].

O ruído *flicker* pode ser modelado como sendo uma fonte de tensão em série com o *gate* e é aproximadamente dado por [24]:

$$\overline{v_n^2} = \frac{K_F}{C_{OX}WL} \frac{1}{f}, \quad (2.11)$$

sendo K_F o parâmetro de ruído *flicker* (valor dependente do processo), da ordem de 10^{-25} [V²F].

Considerando-se a contribuição dos ruídos térmico e *flicker* em um transistor MOS, tem-se que a densidade de potência espectral desses ruídos $S_v(f)$ referenciados ao *gate*, em inversão fraca, é dada por:

$$S_v(f) = \frac{2nkT}{g_m} + \frac{K_F}{C_{OX}WL} \frac{1}{f}. \quad (2.12)$$

O impacto desses dois tipos de ruído são maiores quando referenciados ao substrato, pois a transcondutância do substrato é menor que a transcondutância do *gate*.

O ruído total em uma faixa de frequência $f_b - f_a$ resultante da contribuição de ambos os ruídos térmico e *flicker* pode ser calculado como sendo uma tensão *rms* equivalente de *gate*. Para um transistor saturado operando em inversão fraca, o ruído total referenciado ao *gate* é dado por:

$$\overline{v_n^2} = \frac{2nkT}{g_m} \left[(f_b - f_a) + f_c \ln \left(\frac{f_b}{f_a} \right) \right] \quad (2.13)$$

e a frequência de *corner* f_c , que consiste na frequência onde o ruído *flicker* é igual ao ruído térmico, é dada por:

$$f_c = \frac{K_F g_m}{2nkTC_{OX}WL}. \quad (2.14)$$

A Figura 2.2 ilustra o conceito de frequência de *corner*.

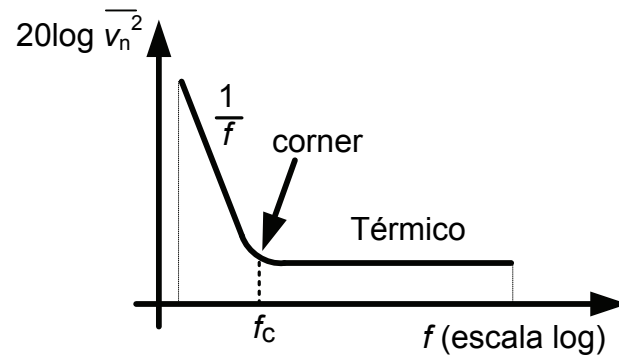


Figura 2.2 – Conceito de frequência de *corner* dos ruídos térmico e *flicker*

Este resultado é utilizado em cálculos manuais de ruído no transistor MOS [16] e será utilizado para demonstrar o ruído referenciado à entrada no OTA simétrico desenvolvido. Adicionalmente, o modelo de ruído BSIM3v3 exibe o comportamento esperado da relação entre a inversão fraca e a inversão forte [20].

2.3. O Transistor MOS Composto

Uma importante configuração na inversão fraca é o transistor MOS composto [14]. Considerando que os transistores são implementados no mesmo poço, pois no processo CMOS da TSMC o substrato é do tipo P permitindo que transistores *n*MOS o compartilhem, a estrutura de um transistor *n*MOS composto é mostrada na Figura 2.3.

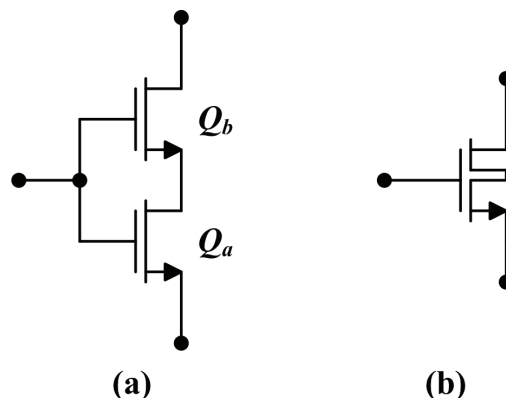


Figura 2.3 – Transistor Composto: (a) esquemático e (b) símbolo

As expressões de corrente e de tensão do transistor MOS composto podem ser obtidas diretamente da Figura 2.3(a) e são dadas por:

$$I_{DSa} = I_{DSb} \quad (2.15)$$

$$V_{DSa} = V_{GSa} - V_{GSb} \quad (2.16)$$

De acordo com a equação (2.1) e as conclusões dadas por [14], e considerando que os transistores estão construídos no mesmo poço (transistor Q_b apresentando efeito de corpo) e que a tensão dreno-fonte aplicada ao transistor MOS composto é suficiente para saturar o transistor Q_b , então a tensão V_{DSa} é dada por:

$$V_{DSa} = \frac{kT}{q} \ln \left[1 + \frac{\left(\frac{W}{L}\right)_b}{\left(\frac{W}{L}\right)_a} \right]. \quad (2.17)$$

Desenvolvendo-se a equação (2.17), após a substituição dos parâmetros do processo e considerando o transistor Q_a saturado ($V_{DS} \geq 3kT/q$), obtém-se a relação entre as dimensões dos transistores Q_b e Q_a :

$$\frac{\left(\frac{W}{L}\right)_b}{\left(\frac{W}{L}\right)_a} \geq e^3 - 1. \quad (2.18)$$

Considerando-se o caso em que os transistores Q_a e Q_b são construídos em poços separados, pode-se efetuar a conexão do terminal do substrato à fonte do transistor para que se elimine o efeito de corpo na estrutura. De forma análoga ao desenvolvimento para a obtenção da equação (2.17), obtém-se a relação geométrica entre os transistores Q_a e Q_b , dada pela equação (2.19):

$$V_{DSa} = \frac{kT}{q} \ln \left\{ 1 + \left[\frac{\left(\frac{W}{L}\right)_b}{\left(\frac{W}{L}\right)_a} \right]^n \right\}. \quad (2.19)$$

Através do desenvolvimento da equação (2.19), após a substituição dos parâmetros do processo e da tensão de saturação do transistor Q_a , obtém-se a relação geométrica entre os transistores Q_b e Q_a :

$$\frac{\left(\frac{W}{L}\right)_b}{\left(\frac{W}{L}\right)_a} \geq \sqrt[n]{e^3 - 1} \quad (2.20)$$

Comparando-se as equações (2.18) e (2.20), pode-se verificar que a relação geométrica entre os transistores Q_b e Q_a é menor quando os transistores são implementados em poços separados, devido à eliminação do efeito de corpo no transistor Q_b do transistor composto.

A tensão dreno-fonte para saturação do transistor Q_a é função das dimensões dos transistores e dos parâmetros físicos k , T e q e não depende da tensão *gate*-fonte [14]. Esta é uma das principais características que motivam a utilização do transistor MOS composto. Esta característica é válida apenas para operação em inversão fraca, não se aplicando para operação em inversão forte devido ao comportamento diferenciado da corrente de dreno nesta condição. Dessa forma, uma variação em V_{DSb} não afeta V_{DSa} , que é mantida constante devido ao efeito *cascode*. Assim, um modelo equivalente AC de pequenos sinais simplificado é dado por [14]:

$$g_m \approx g_{ma} \quad (2.21)$$

$$g_o \approx \frac{g_{oa}g_{ob}}{ng_{mb}}, \quad (2.22)$$

sendo g_m a transcondutância do transistor composto, g_{ma} a transcondutância do transistor a , g_o a condutância de saída do transistor composto, g_{oa} e g_{ob} , respectivamente, a condutância dos transistores a e b , g_{mb} a transcondutância de corpo do transistor b e n o fator de inclinação em inversão fraca.

Este modelo será importante para definir as figuras de mérito do OTA simétrico. A análise de ruído para o transistor composto MOS conduz à expressão da tensão do ruído *flicker* e do ruído térmico do canal referenciado ao *gate*, dado pela equação (2.23):

$$\overline{v_n^2} = \overline{v_{na}^2} + \left(\frac{g_{oa}}{ng_{ma}} \right)^2 \overline{v_{nb}^2} \approx \overline{v_{na}^2} \quad , \quad (2.23)$$

sendo v_{na} a tensão do ruído gerado pelo transistor Q_a presente no transistor composto e v_{nb} a tensão do ruído gerado pelo transistor Q_b . O segundo termo da equação foi desprezado devido à sua pequena ordem de grandeza, quando comparado com a ordem de grandeza do primeiro termo da equação.

Este resultado é utilizado em cálculos manuais de ruído do transistor MOS composto, pois seu ruído total pode ser calculado como no transistor simples.

Capítulo 3

O Amplificador de Transcondutância Simétrico Modificado

3.1. Topologia Proposta

O circuito do amplificador proposto, denominado OTA simétrico modificado, é mostrado na Figura 3.1 . O termo “modificado” é utilizado para ressaltar a otimização de algumas figuras de mérito quando comparadas ao OTA simétrico tradicional [22], decorrente das modificações implementadas na topologia proposta. O par diferencial acionado pelo substrato permite a operação do OTA simétrico em baixa tensão. Isto é válido devido ao fato de que um transistor polarizado pelo substrato e que possua uma tensão máxima de *gate* está sempre ativo. Para fins de análise, os sinais de entrada são decompostos em duas partes: a tensão de modo comum V_{cm} e a tensão de modo diferencial V_{dm} , ou seja:

$$V_{in} = V_{cm} \pm V_{dm} \quad (3.1)$$

Se o valor da tensão de modo comum está próximo ao valor do pólo positivo da fonte de alimentação, o circuito é altamente linear. Por outro lado, se o valor da tensão de

do circuito. A partir das equações do transistor MOS composto (equação (2.1)), pelas conclusões dadas em [14] e como a corrente de polarização em Q_{3a} é o dobro da corrente de polarização de Q_{3b} , é possível concluir que a tensão V_{DS} do transistor Q_{3a} (análogo para V_{DS4a}) é dada por:

$$V_{DS3a} = \frac{kT}{q} \ln \left(1 + 2 \frac{\left(\frac{W}{L}\right)_{3b}}{\left(\frac{W}{L}\right)_{3a}} \right) \quad (3.2)$$

Em termos de análise DC, as tensões V_{DS3a} e V_{DS4a} são iguais e constantes. Da mesma forma, as tensões V_{DS1} e V_{DS2} devem ser iguais e constantes, otimizando, assim, o casamento do par diferencial Q_1 e Q_2 , reduzindo, conseqüentemente, a tensão diferencial de *offset* [14].

Assumindo que todos os transistores dos espelhos de corrente e do par diferencial estão casados entre si, pode-se determinar a equação da corrente de saída I_o .

A partir da equação (2.1), pode-se obter a equação da corrente nos transistores Q_1 e Q_2 do par diferencial na saturação:

$$I_1 = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{cm} + V_{dm}}{n_p kT} \right)} \quad (3.3)$$

$$I_2 = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{cm} - V_{dm}}{n_p kT} \right)} \quad (3.4)$$

Como a relação de corrente entre os espelhos de corrente do OTA é igual a 1:1, a corrente de saída será dada por:

$$I_o = I_1 - I_2, \quad (3.5)$$

$$I_o = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{cm}}{n_p kT} \right)} \left(e^{\left(q \frac{V_{dm}}{n_p kT} \right)} - e^{\left(-q \frac{V_{dm}}{n_p kT} \right)} \right) \quad (3.6)$$

Da polarização do par diferencial, tem-se que:

$$2I_B = I_1 + I_2, \quad (3.7)$$

sendo I_B a corrente de cada ramo do par diferencial.

$$2I_B = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{cm}}{n_p kT} \right)} \left(e^{\left(q \frac{V_{dm}}{n_p kT} \right)} + e^{\left(-q \frac{V_{dm}}{n_p kT} \right)} \right), \quad (3.8)$$

$$\frac{I_o}{2I_B} = \frac{e^{\left(q \frac{V_{dm}}{n_p kT} \right)} - e^{\left(-q \frac{V_{dm}}{n_p kT} \right)}}{e^{\left(q \frac{V_{dm}}{n_p kT} \right)} + e^{\left(-q \frac{V_{dm}}{n_p kT} \right)}}. \quad (3.9)$$

Expandindo-se a tangente hiperbólica como:

$$\tanh(x) = \frac{e^x - e^{-x}}{e^x + e^{-x}}, \quad (3.10)$$

obtem-se:

$$\frac{I_o}{2I_B} = \tanh \left(q \frac{1}{n_p} \frac{V_{dm}}{kT} \right). \quad (3.11)$$

Considerando-se o efeito da tensão V_{BS} (tensão entre substrato e fonte) na corrente de dreno dos transistores conforme descrito na equação (2.6), determina-se a expressão da corrente de saída do OTA:

$$I_o = 2I_B \tanh \left(q \frac{n_p - 1}{n_p} \frac{V_{dm}}{kT} \right) \quad (3.12)$$

sendo I_B a corrente de polarização de cada ramo do par diferencial, n_p o fator de inclinação do transistor p MOS e \tanh a *tangente hiperbólica*, que também pode ser aproximada, através de séries de Taylor, pela equação (3.13).

$$\tanh(x) \approx x - \frac{1}{3}x^3 + \frac{2}{15}x^5 + \dots, \quad (3.13)$$

sendo os termos de ordem superior a x^3 desprezados devido às suas reduzidas ordens de grandeza.

Como a transcondutância G_m de um OTA é dada pela razão entre a corrente de saída e a tensão diferencial de entrada, obtém-se a transcondutância do OTA simétrico modificado a partir da equação (3.12):

$$G_m = 2q \frac{n_p - 1}{n_p} \frac{I_B}{kT} = 2g_{mb1}. \quad (3.14)$$

Na inversão fraca, conforme obtido na equação (3.14), a transcondutância G_m não depende de parâmetros geométricos ou tensões de polarização da estrutura proposta, e sua distorção ocorre basicamente devido à função *tangente hiperbólica* presente na equação da corrente de saída (3.12). Isto é útil nas aplicações de baixa tensão onde o valor mínimo da tensão de alimentação pode ser reduzido sem prejudicar outras características. Com isso, a distorção harmônica de terceira ordem (HD_3) como função do valor de pico V_{DM} do sinal senoidal de entrada pode ser obtida através do equacionamento abaixo. Os harmônicos de ordem superior são desprezados devido aos seus ínfimos valores perante o valor da amplitude do terceiro harmônico, que é predominante na distorção.

O termo x da equação (3.13) consiste no sinal cossenoidal de entrada:

$$\tanh(a \cdot \cos \theta) = a \cdot \cos \theta - \frac{a^3}{3} \cos^3 \theta. \quad (3.15)$$

Considerando-se a identidade trigonométrica:

$$\cos^3 \theta = \frac{3}{4} \cos \theta + \frac{1}{4} \cos 3\theta \quad (3.16)$$

E substituindo-se (3.16) em (3.15), obtém-se a equação (3.17):

$$\tanh(a \cdot \cos \theta) = a \cdot \cos \theta - \frac{a^3}{4} \cos \theta - \frac{a^3}{12} \cos 3\theta. \quad (3.17)$$

Evidenciando-se $\cos \theta$:

$$\tanh(a \cdot \cos \theta) = \left(a - \frac{a^3}{4} \right) \cos \theta - \frac{a^3}{12} \cos 3\theta. \quad (3.18)$$

Normalizando-se em função da primeira harmônica:

$$HD_3 = \frac{a^3}{12 \left(a - \frac{a^3}{4} \right)} = \left(\frac{a^2}{12 - 3a^2} \right). \quad (3.19)$$

Se $a \ll 1$, a componente da terceira harmônica será:

$$HD_3 \cong \frac{a^2}{12} \quad (3.20)$$

Assim, a distorção harmônica é dada por:

$$HD_3 \approx \frac{1}{12} \left(q \frac{n_p - 1}{n_p} \frac{V_{DM}}{kT} \right)^2 \quad (3.21)$$

A tensão senoidal de pico máxima de entrada V_{DM} para o valor de HD_3 especificado ($\leq 1\%$) é dada por:

$$V_{DM} \approx \frac{n_p}{n_p - 1} \frac{kT}{q} \sqrt{12 HD_3} \quad (3.22)$$

Efetuando-se o equacionamento de forma análoga, mas considerando-se apenas o par diferencial acionado pelo *gate*, obtém-se:

$$HD_3 \approx \frac{1}{12} \left(q \frac{1}{n_p} \frac{V_{DM}}{kT} \right)^2 \quad (3.23)$$

e

$$V_{DM} \approx n_p \frac{kT}{q} \sqrt{12HD_3}. \quad (3.24)$$

Assim, a faixa de entrada linear para o circuito acionado pelo substrato é g_{m1}/g_{mb1} vezes maior que quando acionado pelo *gate*, uma vez que $g_{mb} = (n-1)g_m$. Esta condição resulta em um incremento de 300% a 500% na faixa linear de entrada [20], [22]. Adicionalmente, assumindo-se que a tensão de limiar do transistor *p*MOS é maior que a tensão do transistor *n*MOS [18], a tensão de alimentação V_{DD} mínima é definida pelas tensões V_{GS7a} , V_{DS5a} e V_{DS5b} , conforme dado pela equação (3.25):

$$V_{DD,\min} \geq V_{GS7a} + V_{DS5a} + V_{DS5b} \quad (3.25)$$

Como um transistor MOS em inversão fraca opera com tensões abaixo da tensão de limiar, a tensão de alimentação pode ser menor que a tensão de limiar do transistor *p*MOS, mantendo a mesma linearidade de transcondutância.

Para a determinação do *slew-rate* do OTA, deve-se considerar que, como nenhum dos transistores do par diferencial entra em corte devido à presença constante de uma tensão de polarização no *gate*, a corrente de dreno nunca fluirá em apenas um deles. Dessa forma, o *slew-rate* SR é dado pela diferença das correntes nesses transistores após uma rápida transição na entrada [14].

$$SR = \frac{I_{DS1} - I_{DS2}}{C_L} \quad (3.26)$$

sendo I_{DS} a corrente de dreno-fonte de cada transistor do par diferencial e C_L a capacitância conectada na saída do OTA.

Estas correntes não são facilmente definidas no modelo simplificado, uma vez que elas levam em conta a tensão de substrato. Entretanto, elas podem ser obtidas a partir da análise do ponto de operação dado a partir das simulações. Uma desvantagem dos pares diferenciais acionados pelo substrato é a sua grande capacitância de entrada quando em comparação à técnica de acionamento pelo *gate*. Entretanto, uma vez que o objetivo principal é a operação em baixa tensão, baixa potência e baixa frequência, esta inconveniência não

consiste em um problema sério, sendo compensada pelas outras vantagens do projeto, tais como melhoria no ganho do OTA e aumento da linearidade da tensão de entrada [14].

3.2. Efeitos do Descasamento dos Transistores do Par Diferencial na Distorção Harmônica

O casamento dos transistores é um fator importante a ser considerado quando o circuito possui transistores operando em inversão fraca, uma vez que os efeitos do descasamento nesta condição são geralmente mais notáveis quando comparado à operação em inversão forte. A variação da tensão de *threshold* predominantemente acarretará efeitos sobre a corrente de dreno [27]:

$$I_D = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_G - V_{TO} \pm \Delta V_{TO}}{n_p k T} \right)} e^{\left(-q \frac{V_S}{k T} \right)}, \quad (3.27)$$

sendo que ΔV_{TO} representa as variações de V_{TO} (tensão de *threshold* do transistor) devido ao descasamento. Considerando que uma variável aleatória X_i represente ΔV_{TO} :

$$X_i \sim N \left(0, \left(\frac{A_i}{\sqrt{W_i L_i}} \right)^2 \right). \quad (3.28)$$

X_i possui uma distribuição normal com média 0 e uma distribuição padrão $A_i^2/W_i L_i$ para o transistor M_i [27], [28]. A_i representa uma constante, diferente para transistores *p*MOS e *n*MOS, dada pelo processo, W_i é a largura do transistor e L_i consiste no comprimento de canal do transistor.

A corrente de saída, dada pela equação (3.5), é composta pelas componentes:

$$I_1 = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{GS1} - V_{TH}}{n_p k T} \right)} e^{\left(-q \frac{\sqrt{2} X_1}{2 n_p k T} \right)} e^{\left(-q \frac{\sqrt{2} X_1}{2 n_p k T} \right)} \quad (3.29)$$

$$I_2 = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{GS2} - V_{TH}}{n_p kT} \right)} e^{\left(-q \frac{\sqrt{2} X_1}{2n_p kT} \right)} e^{\left(q \frac{\sqrt{2} X_1}{2n_p kT} \right)}. \quad (3.30)$$

Assim:

$$I_1 = I_S' e^{\left(q \frac{V_{DM}}{n_p kT} \right)} e^{\left(-q \frac{\sqrt{2} X_1}{2n_p kT} \right)} \quad (3.31)$$

e

$$I_2 = I_S' e^{\left(-q \frac{V_{DM}}{n_p kT} \right)} e^{\left(q \frac{\sqrt{2} X_1}{2n_p kT} \right)}. \quad (3.32)$$

sendo I_S' dada por:

$$I_S' = I_S \left(\frac{W}{L} \right) e^{\left(q \frac{V_{CM}}{n_p kT} \right)} e^{\left(-q \frac{\sqrt{2} X_1}{2n_p kT} \right)}. \quad (3.33)$$

De forma análoga ao desenvolvimento que conduz às equações (3.9) e (3.12):

$$I_O = 2I_B \tanh \left(q \frac{(n_p - 1) V_{DM}}{n_p kT} \cos \omega t - q \frac{\sqrt{2} X_1}{2n_p kT} \right). \quad (3.34)$$

Como

$$\tanh(x) = x - \frac{1}{3} x^3 + \frac{2}{15} x^5 + \dots \quad (3.35)$$

e

$$x = (a \cos \theta + b), \quad (3.36)$$

necessita-se determinar as potências de x para substituição na equação (3.35):

$$(a \cos \theta + b)^3 = a^3 \cos^3 \theta + 3a^2 b \cos^2 \theta + 3ab^2 \cos \theta + b^3 \quad (3.37)$$

Onde:

$$\cos^2 \theta = \frac{1}{2} + \frac{\cos 2\theta}{2} \quad (3.38)$$

e

$$\cos^3 \theta = \frac{3}{4} \cos \theta + \frac{1}{4} \cos 3\theta, \quad (3.39)$$

o que resulta em:

$$(a \cos \theta + b)^3 = \frac{3}{4} a^3 \cos \theta + \frac{1}{4} a^3 \cos 3\theta + \frac{3}{2} a^2 b + \frac{3}{2} a^2 b \cos 2\theta + 3ab^2 \cos \theta + b^3 \quad (3.40)$$

$$(a \cos \theta + b)^3 = \frac{3}{2} a^2 b + b^3 + \left(\frac{3}{4} a^3 + 3ab^2 \right) \cos \theta + \frac{3}{2} a^2 b \cos 2\theta + \frac{1}{4} a^3 \cos 3\theta \quad (3.41)$$

Aplicando-se esta amplitude em termos de tangente hiperbólica:

$$\tanh(a \cos \theta + b) \approx \left(b - \frac{a^2 b}{2} - \frac{b^3}{3} \right) + \left(a - \frac{a^3}{4} - ab^2 \right) \cos \theta - \frac{a^2 b}{2} \cos 2\theta - \frac{a^3}{12} \cos 3\theta \quad (3.42)$$

Portanto, obtém-se a amplitude dos harmônicos gerados pela distorção devido à tangente hiperbólica, considerando-se $a \ll 1$.

A amplitude da frequência fundamental é dada por:

$$f_1 = \left(a - \frac{a^3}{4} - ab^2 \right) \approx a \quad (3.43)$$

A amplitude da segunda harmônica é dada por:

$$f_2 = \frac{a^2 b}{2} \quad (3.44)$$

A amplitude da terceira harmônica é dada por:

$$f_3 = \frac{a^3}{12} \quad (3.45)$$

O *offset* devido ao descasamento dos transistores do par diferencial é dado por:

$$offset = \left(b - \frac{a^2 b}{2} - \frac{b^3}{3} \right) \approx b \quad (3.46)$$

A distorção harmônica é dada por [27]:

$$THD = \frac{\sqrt{f_2^2 + f_3^2}}{f_1} \quad (3.47)$$

$$THD = \sqrt{\frac{a^2 b^2}{4} + \frac{a^4}{144}} = \frac{a}{2} \sqrt{b^2 + \frac{a^2}{36}} \quad (3.48)$$

$$THD = \frac{q(n_p - 1)V_{DM}}{2n_p kT} \sqrt{\frac{q^2 X_1^2}{2n_p^2 k^2 T^2} + \frac{q^2 (n_p - 1)^2 V_{DM}^2}{36n_p^2 k^2 T^2}} \quad (3.49)$$

$$THD = \frac{q^2 (n_p - 1)V_{DM}}{2n_p^2 k^2 T^2} \sqrt{\frac{X_1^2}{2} + \frac{(n_p - 1)^2 V_{DM}^2}{36}} \quad (3.50)$$

Através da equação (3.50), pode-se verificar que a distorção harmônica total sofrerá um incremento decorrente do descasamento do par diferencial. Quando o par diferencial está totalmente casado, X_1 é igual a zero. Nesta condição, a equação (3.50) é reduzida à forma apresentada na equação (3.21).

O *offset* da corrente de saída do OTA, devido ao descasamento do par diferencial, é dado pela equação (3.51):

$$offset \approx b = q \frac{\sqrt{2} X_1}{2n_p kT} 2I_B \quad (3.51)$$

Assim como no caso da distorção HD_3 devida ao terceiro harmônico, a THD também independe de relações geométricas e de tensões de polarização dos transistores do par diferencial. O *offset* da corrente de saída, devido ao descasamento da tensão de *threshold* dos transistores do par diferencial, é dependente da corrente de polarização do par diferencial I_B e dos parâmetros de processo.

3.3. Modelo AC

Em termos de análise AC, o transistor composto configurado como diodo comporta-se como uma carga ativa e, uma vez que o transistor esteja saturado, ele apresenta um alto ganho que modifica a resposta em frequência. Considerando o modelo π -híbrido de pequenos sinais do transistor, o OTA simétrico modificado pode ser modelado conforme apresentado na Figura 3.2, onde C_1 representa as capacitâncias parasitas no ponto “A” do circuito (dreno do transistor Q_{6a}).

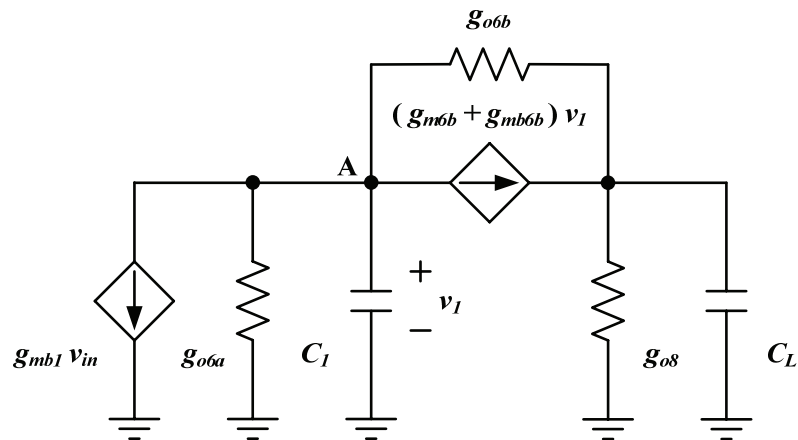


Figura 3.2 – Modelo AC do OTA simétrico modificado

Aplicando-se a transformada de *Laplace* e ignorando-se as capacitâncias parasitas dos outros nós devido ao seu pequeno valor (ordem de décimos de [fF]), o circuito apresenta um ganho e um pólo real. Como o ganho de malha aberta A_o é independente da frequência, o mesmo pode ser obtido diretamente a partir do equacionamento do circuito desconsiderando-se as capacitâncias, e é dado por:

$$A_o = \frac{g_{mb1}}{\frac{g_{o6b} + g_{o8}}{g_{m6b} + g_{mb6b} + g_{o6b}} g_{o6a} + g_{o8}} \approx \frac{g_{mb1}}{g_{o6} + g_{o8}} \quad (3.52)$$

Através do equacionamento dos nós presentes no circuito da Figura 3.2, é possível verificar que a frequência do pólo dominante f_d , que é dada pela equação (3.53), é

$$f_d = \frac{g_{mb1}}{2\pi A_o C_L \left(1 + \frac{g_{o6a}}{g_{m6b} + g_{mb6b} + g_{o6b}} \right)} \approx \frac{g_{mb1}}{2\pi A_o C_L} \quad (3.53)$$

As inclusões no modelo AC decorrentes da modificação da arquitetura não alteram a posição do pólo dominante quando comparado com o modelo do OTA simétrico tradicional [22]. Entretanto, o ganho de malha aberta é maior do que no OTA original, devido ao efeito *cascode* apresentado pela condutância de saída do transistor composto, conforme apresentado na equação (2.22).

3.4. Modelo de Ruído

A análise de ruído conduz à expressão do ruído referenciado à entrada pelo *gate* do OTA simétrico modificado, que é dada por [24]:

$$\overline{v_{in_gate}^2} \approx 2\overline{v_{n1}^2} + 2\left(\frac{gm_3}{gm_1}\right)^2 \overline{v_{n3}^2} + 2\left(\frac{gm_5}{gm_1}\right)^2 \overline{v_{n5}^2} + 2\left(\frac{gm_7}{gm_1}\right)^2 \overline{v_{n7}^2} + 2\left(\frac{gm_9}{gm_1}\right)^2 \overline{v_{n9}^2} \quad (3.54)$$

O ruído de substrato referenciado à entrada é dado por:

$$\overline{v_{in_bulk}^2} = \left(\frac{1}{n_p - 1} \right)^2 \overline{v_{in_gate}^2} \quad (3.55)$$

A partir da substituição das equações (3.22) e (3.55) na equação (3.56), é possível determinar a relação sinal/ruído (*SNR – Signal to Noise Ratio*) do sinal de entrada [16]:

$$SNR = 20 \log \left(\frac{V_{in_rms}}{V_{n_rms}} \right) \quad (3.56)$$

$$SNR = 20 \log \left(\frac{\frac{n_p}{n_p - 1} \frac{kT}{q} \sqrt{12HD_3} \frac{1}{\sqrt{2}}}{\frac{1}{n_p - 1} \sqrt{\overline{v_{in_gate}^2}}} \right), \quad (3.57)$$

Resultando em:

$$SNR = 20 \log \left(n_p \frac{kT}{q} \sqrt{\frac{6HD_3}{v_{ingate}^2}} \right), \quad (3.58)$$

sendo o termo HD_3 referente à distorção harmônica devido à presença do terceiro harmônico na forma de onda de saída, dado em termos percentuais.

O ruído referenciado ao substrato como entrada é maior que o referenciado ao *gate* como entrada, conforme definido pela equação (3.55). Entretanto, a relação sinal/ruído é a mesma em ambos os casos [16], uma vez que a tensão linear de entrada é maior. Adicionalmente, o ruído pode ser reduzido através de transistores com aspectos de geometria maiores, quer seja no comprimento ou na largura do canal, ou em ambos, conforme abordado na seção 2.2. Assim, o par diferencial acionado pelo substrato permite um aumento da faixa de tensão de modo comum de entrada e da faixa de tensão linear de entrada do OTA simétrico modificado, que são características desejáveis em aplicações G_m -C em baixa frequência.

Capítulo 4

Especificação, Projeto, Simulação e Medidas do OTA Simétrico Modificado

4.1. Considerações Gerais

No Capítulo 3 foi apresentada a topologia do OTA simétrico modificado, bem como o estudo de seu comportamento, através do equacionamento de suas características principais, tais como distorção, ruído, ganho e margem de fase, e relações de geometria, dentre outras. Através da utilização do transistor composto, pode-se obter maior resistência de saída das cargas ativas, o que resulta em maior ganho dos estágios e menor efeito de modulação de comprimento de canal, que assegura uma tensão constante de polarização, melhorando o casamento dos transistores do par diferencial. A polarização dos transistores MOS em inversão fraca permitiu a obtenção de um OTA que opera com baixa tensão de alimentação e em baixa potência, sendo aplicável em sistemas de baixa frequência, como filtros para sinais biológicos ou geradores de rampa para auto-teste de conversores A/D.

4.2. Especificação do OTA Simétrico Modificado

Através do estudo, na literatura, das características dos amplificadores desenvolvidos para aplicações em aquisição de potenciais biológicos [13]-[17], [29]-[33], foram definidas as especificações do OTA simétrico modificado desenvolvido neste trabalho, considerando-se a tecnologia de fabricação utilizada, as limitações da topologia proposta, tais como ganho de malha aberta e tensão mínima de alimentação, além dos requisitos das aplicações às quais este projeto se destina.

A Tabela 4.1 contém as especificações do OTA simétrico modificado desenvolvido:

Tabela 4.1 – Especificações do OTA simétrico modificado

Especificação	Valor
Tensão Mínima de Alimentação	0,8 V
Máxima Dissipação de Potência	$< 1 \mu\text{W}$
Excursão Linear de Entrada	$\geq 100 \text{ mV}_{PP}$
Ganho em Malha Aberta	$> 50 \text{ dB}$
Frequência de Ganho Unitário	$> 200 \text{ Hz}$
Ruído referenciado à entrada	$< 100 \mu\text{V}_{RMS}$

O ganho de malha aberta foi especificado levando-se em consideração o ganho do amplificador simétrico desenvolvido em [17] e a expectativa de aumento proporcionado pelos transistores compostos sobre a resistência de saída das cargas ativas baseado na equação (2.22). O valor da excursão linear do sinal de entrada e a frequência de ganho unitário foram definidos tomando-se por base a características dos sinais biológicos de eletroencefalograma (EEG) e de eletrocardiograma (ECG), conforme apresentado em [33].

4.3. Projeto do OTA Simétrico Modificado

Considerando-se as especificações do OTA simétrico modificado definidas na seção anterior, efetua-se o dimensionamento de seus elementos e verifica-se o seu correto funcionamento baseando-se em simulações computacionais do circuito. Caso a especificação não seja atingida, modificações nas características da estrutura são realizadas para que as especificações sejam alcançadas.

Para que seja possível utilizar o terminal substrato dos transistores do par diferencial, estes devem ser implementados com transistores MOS do tipo P, uma vez que a tecnologia de fabricação empregada (TSMC 0,35 μm poço N) apenas permite a implementação de poços N. Cada transistor do par diferencial deverá possuir seu próprio poço, que é isolado dos demais. Dessa forma, é possível acionar os transistores do par diferencial através do terminal substrato (conectado ao poço N).

O valor da corrente elétrica em cada ramo do circuito foi definida em 10 nA para que se obtenha a frequência de ganho unitário desejada, exceto nos transistores Q_9 , Q_{10} e Q_{12} , onde o valor de corrente quiescente é de 5 nA. Desta forma, o circuito apresentará um consumo de corrente quiescente no valor de 45 nA, excluindo-se a corrente requerida pelo circuito de geração de corrente de referência, implementado externamente ao chip.

O valor da tensão de limiar para o transistor $p\text{MOS}$ é de 738,3 mV e para o transistor $n\text{MOS}$ é de 524,7 mV. Estes valores são relativos a transistores que suportam tensões de até 3,3 V e que possuam canal longo, que são caracterizados por possuírem comprimento de canal L maior que três vezes o comprimento mínimo de canal da tecnologia [18].

O cálculo das dimensões dos transistores é efetuado tomando-se por base a corrente de polarização adotada, a tensão de saturação do transistor MOS em inversão fraca, que deve ser maior ou igual a três vezes o valor da tensão térmica U_T ($V_{DS} \geq 77,55$ mV) [21] e tensão entre *gate* e fonte igual a 2/3 de sua tensão de *threshold*. Adicionalmente, para que a saturação dos transistores compostos seja garantida, devem-se considerar as relações geométricas definidas pelas equações (2.18), (2.20) e (3.3). Os transistores compostos $p\text{MOS}$, construídos em poços separados, devem obedecer a relação definida em (2.20). Os transistores compostos $n\text{MOS}$, construídos no substrato comum a todos os outros transistores $n\text{MOS}$, apresentarão maior relação geométrica, conforme definido em (2.18). Os transistores compostos Q_3 e Q_4 , em particular, são dimensionados considerando a equação (3.3), uma vez que as respectivas correntes quiescentes de Q_{3a} e Q_{4a} são iguais à soma da corrente do ramo do par diferencial aos quais estão conectados e da corrente do transistor superior Q_{3b} e Q_{4b} , respectivamente.

A Tabela 4.2 contém as dimensões dos transistores do OTA simétrico modificado.

Tabela 4.2 – Dimensões dos transistores do circuito

Transistor	Dimensão W/L	Transistor	Dimensão W/L
$(W/L)_1$	500 $\mu\text{m}/2\mu\text{m}$	$(W/L)_{6b}$	160 $\mu\text{m}/10\mu\text{m}$
$(W/L)_2$	500 $\mu\text{m}/2\mu\text{m}$	$(W/L)_{7a}$	160 $\mu\text{m}/10\mu\text{m}$
$(W/L)_{3a}$	20 $\mu\text{m}/10\mu\text{m}$	$(W/L)_{7b}$	960 $\mu\text{m}/10\mu\text{m}$
$(W/L)_{3b}$	80 $\mu\text{m}/10\mu\text{m}$	$(W/L)_{8a}$	160 $\mu\text{m}/10\mu\text{m}$
$(W/L)_{4a}$	20 $\mu\text{m}/10\mu\text{m}$	$(W/L)_{8b}$	960 $\mu\text{m}/10\mu\text{m}$
$(W/L)_{4b}$	80 $\mu\text{m}/10\mu\text{m}$	$(W/L)_9$	80 $\mu\text{m}/10\mu\text{m}$
$(W/L)_{5a}$	20 $\mu\text{m}/10\mu\text{m}$	$(W/L)_{10}$	80 $\mu\text{m}/10\mu\text{m}$
$(W/L)_{5b}$	160 $\mu\text{m}/10\mu\text{m}$	$(W/L)_{11}$	160 $\mu\text{m}/10\mu\text{m}$
$(W/L)_{6a}$	20 $\mu\text{m}/10\mu\text{m}$	$(W/L)_{12}$	80 $\mu\text{m}/10\mu\text{m}$

O *layout* do circuito foi implementado através do *software Tanner L-edit*[®], utilizando um *design kit* fornecido pela empresa MOSIS. Na confecção do *layout* foram tomadas precauções de construção, principalmente com relação aos transistores casados [34], de forma que o descasamento previsto pelo modelo de Pelgrom [28] seja alcançado. Como as larguras de canal dos transistores são múltiplas de 20 μm , esta dimensão foi tomada como a de um transistor padrão e cada transistor foi montado como um arranjo paralelo do padrão. Outra preocupação foi com a simetria das tensões de alimentação entre os pontos do circuito, de forma que o fluxo da corrente pelos transistores casados esteja todo no mesmo sentido, evitando assim que haja aquecimento desigual destes dispositivos, o que introduziria outras incertezas no comportamento dos sinais. Anéis de guarda com poços N foram implementados em torno do par diferencial, dos conjuntos de transistores *pMOS* e *nMOS* e do circuito completo de forma a isolar um circuito do outro e assim minimizar os efeitos de ruídos que se propagam pelo substrato. Estruturas *dummies* foram implementadas próximo aos transistores periféricos do circuito, com o objetivo de se evitar variações nas características desses transistores devido à descontinuidade do material [23] e [34].

A microfotografia do circuito é mostrada na Figura 4.1, onde é possível observar os grupos para casamento dos transistores. A operação em inversão fraca implica em maiores dimensões dos transistores, mas por outro lado minimiza a influência do ruído,

principalmente o ruído *flicker*, que é dominante nos transistores MOS em baixa frequência [20].

Quanto à proteção eletrostática, os *pads* fornecidos pela MOSIS possuem uma proteção primária montada sobre dois transistores configurados como diodo e um resistor de $100\ \Omega$ em série com o sinal. Os *pads* são projetados para uma variação de $-0,3\ \text{V}$ a $+3,6\ \text{V}$ da tensão aplicada [18].

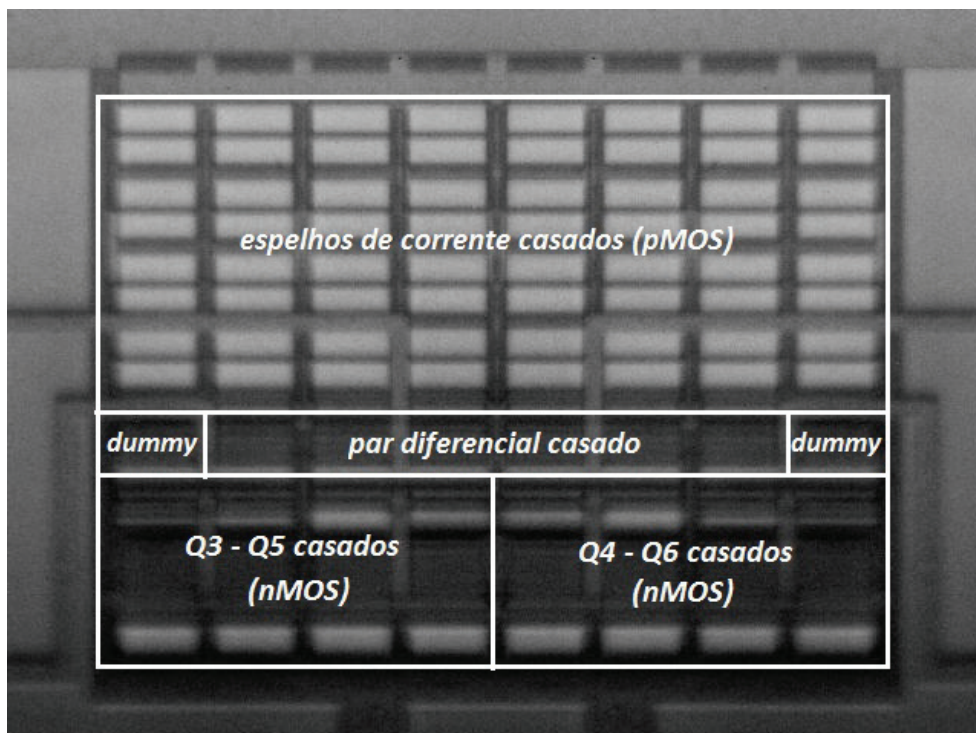


Figura 4.1 – Microfotografia do circuito OTA simétrico modificado.

Terminado o *layout*, o circuito é novamente simulado, porém, com a inclusão de parâmetros extraídos e efeitos parasitas de interação entre os dispositivos e trilhas, onde se busca uma maior proximidade dos resultados simulados com os que serão obtidos na prática com a prototipagem do circuito integrado.

4.4. Simulação do OTA Simétrico Modificado

O OTA simétrico modificado foi projetado e simulado com auxílio do *software* ORCAD[®], sendo utilizado um processo CMOS padrão $0,35\ \mu\text{m}$ poço N. Foram utilizados os modelos BSIM3v3 disponibilizados pela empresa TSMC, através do consórcio MOSIS [18].

Uma corrente de polarização de 5 nA, compatível com a operação em inversão fraca, e uma capacitância de carga de 25 pF, compatível com os equipamentos de medida, foram considerados no projeto. Os principais resultados para as simulações considerando os casos típico e de pior caso são mostrados na Tabela 4.3. O valor mínimo da tensão de alimentação para o circuito deste projeto é de 800 mV, valor próximo da tensão de limiar dos transistores *p*MOS disponíveis no processo utilizado [18].

Tabela 4.3 – Simulações de pior caso com variações de processo

	Típico	Melhor Caso	Pior Caso
Modelo MOS	típico	rápido	lento
Temperatura	27°C	0°C	80°C
Ganho em Malha Aberta	59 dB	59 dB	58 dB
Frequência de Ganho Unitário	210 Hz	220 Hz	190 Hz
Margem de Fase	83°	83°	82°
Corrente Máxima de Entrada	200 pA	50 pA	800 pA
Excursão máxima do sinal @ 10 Hz	700 mV _{pp}	710 mV _{pp}	670 mV _{pp}
Excursão linear do sinal @10 Hz	600 mV _{pp}	600 mV _{pp}	600 mV _{pp}
THD @ 600 mVpp	0,44%	0,18%	1,07%
Slew-rate	0,13 V/ms	0,14 V/ms	0,12 V/ms
Consumo de Potência	43 nW	43 nW	43 nW

As simulações do OTA considerando os cenários típico e melhor caso com variações do processo apresentaram resultados compatíveis com os especificados durante o projeto, não ocorrendo variações significativas das figuras de mérito. As simulações de pior caso com variações de processo mostram a capacidade do OTA modificado de operar em baixa tensão com uma excursão de tensão de modo comum praticamente pólo-a-pólo, devido ao seu deslocamento DC e à configuração do par diferencial acionado pelo substrato. A excursão máxima e a linear do sinal de entrada foram obtidas através da configuração do OTA como *buffer* com ganho unitário onde se aplicou um sinal senoidal de frequência igual a 10 Hz, 400 mV e 300 mV de amplitude, respectivamente, e 400 mV de nível DC. A distorção harmônica total (THD) foi calculada considerando-se o cenário de excursão linear do sinal.

Para simulação do circuito sob a perspectiva de distorção, empregou-se a configuração contida na Figura 4.2. Nesta configuração, o OTA opera em malha aberta e são aplicadas duas fontes senoidais, defasadas de 180°, uma em cada entrada do OTA, ambas com tensão de offset de 400 mV (metade da tensão de alimentação do OTA). Esta tensão de *offset*

é responsável pela polarização DC das estruturas de entrada do amplificador. A corrente de saída é medida através de análise de transientes do ORCAD, que inclui a função de cálculo da transformada rápida de *Fourier* (*FFT – Fast Fourier Transform*) na forma de onda resultante, fornecendo o conteúdo harmônico da corrente de saída. A Figura 4.3 apresenta o espectro de frequências resultante da simulação da corrente de saída para o caso ideal, onde os transistores do par diferencial estão perfeitamente casados. Nesta figura pode-se notar a presença da frequência fundamental em 55 Hz e a componente de terceira harmônica, de amplitude reduzida, em 165 Hz. A Tabela 4.4 contém o resumo dos valores calculados e simulados para a condição de par diferencial totalmente casado. Os valores simulados são bem próximos dos valores calculados, comprovando o comportamento adequado dos modelos e do equacionamento desenvolvido. O valor da amplitude máxima da tensão diferencial de entrada, obtido através da simulação do setup da figura Figura 4.2, é de 80 mV_{pp}.

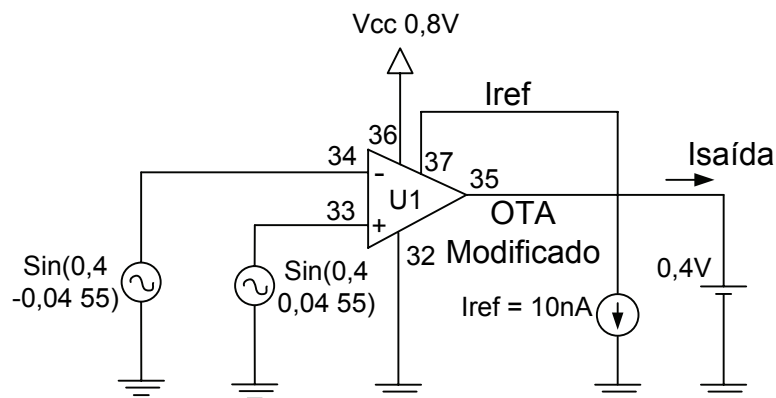


Figura 4.2 – *Setup* para simulação da distorção harmônica

Tabela 4.4 – Conteúdo harmônico da corrente de saída - OTA com par diferencial casado

	Calculado	Simulado
THD @ 80mV _{pp}	0,98%	0,96%
I _{F1}	3,32 nA	3,14 nA
I _{F2}	-	3,84 pA
I _{F3}	30,45 pA	30,00 pA
I _{offset}	-	0,30 pA

Quando ocorre desequilíbrio na tensão de *threshold* dos transistores do par diferencial (descasamento do par diferencial), ou uma diferença no valor do *offset* da tensão de entrada, ocorre o aumento da amplitude do harmônico de segunda ordem no espectro de frequências da corrente de saída. Adicionalmente, uma corrente de *offset* passa a existir na

saída do circuito, conforme resultados de simulação apresentados na Figura 4.4. A Tabela 4.5 contém os valores calculados e simulados de distorção harmônica e de amplitude das componentes da FFT da corrente de saída devido ao descasamento do par diferencial ($3\sigma_{VT}$ igual a 2,15 mV, conforme calculado a partir de [18]) e os valores calculados a partir das equações (3.43) a (3.47).

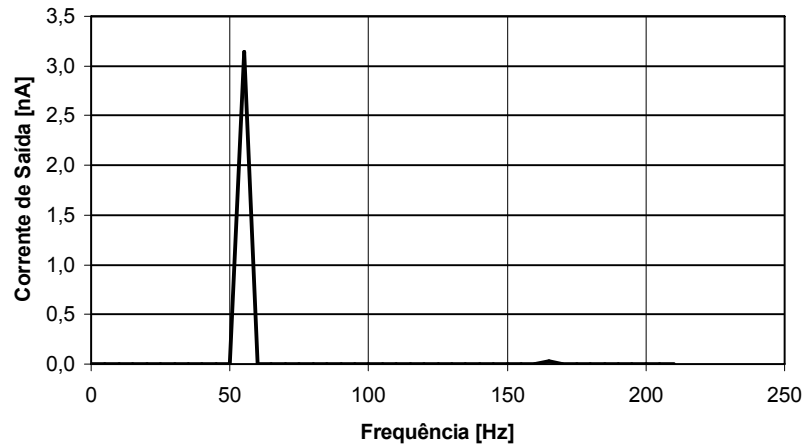


Figura 4.3 – Espectro de frequências da corrente de saída – par diferencial casado.

Tabela 4.5 – Conteúdo harmônico devido ao descasamento do par diferencial

	Calculado	Simulado
THD @ 80mV _{PP}	1,11%	1,1%
I_{F1}	3,43 nA	3,14 nA
I_{F2}	17,95 pA	17,4 pA
I_{F3}	33,63 pA	30,00 pA
I_{offset}	326,0 pA	302,13 pA

De forma análoga aos dados calculados e simulados para o par diferencial casado, os resultados obtidos para o par diferencial descasado possuem valores próximos, demonstrando coerência entre os valores calculados simulados para o cenário considerado. Em ambos os casos, a distorção obtida através de simulação é menor que a distorção obtida através do equacionamento.

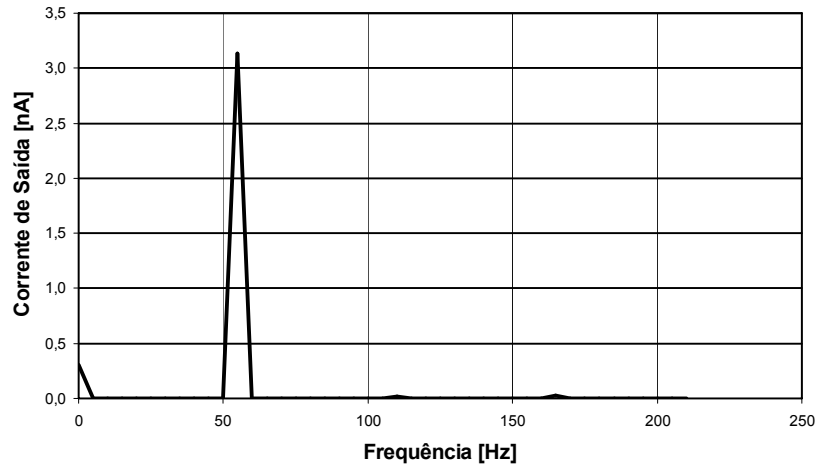


Figura 4.4 – Espectro de frequências da corrente de saída – par diferencial descasado

A simulação de Monte Carlo permitiu verificar o comportamento estatístico da distorção harmônica em função das variações da tensão de *threshold* decorrentes do processo de fabricação. Para os transistores *pMOS* do par diferencial, o desvio padrão σ_{VT} calculado é de 716,7 μV [18], [27], [28]. A Figura 4.5 apresenta o histograma da distorção harmônica total obtido através de mil rodadas de simulação de Monte Carlo.

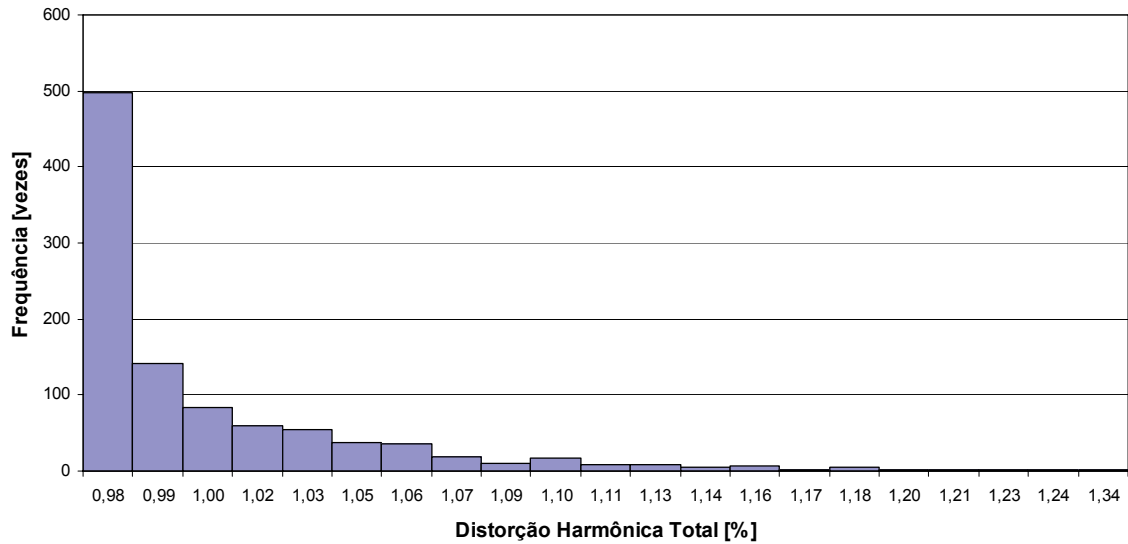


Figura 4.5 – Histograma da variação da distorção harmônica total

A Tabela 4.6 apresenta o sumário da simulação de Monte Carlo realizada para a distorção harmônica total.

Tabela 4.6 – Sumário da simulação de Monte Carlo

	Distorção Harmônica Total (THD)
Média	0,9976%
Desvio Padrão	0,0479%

A distorção harmônica total média obtida foi de 0,9976% com desvio padrão de 0,0479%, abaixo da THD de 1% especificada na análise teórica. Como a distorção harmônica total é uma grandeza positiva, seu histograma apresenta-se assimétrico.

4.5. Teste e Medidas do OTA Simétrico Modificado

De posse do protótipo do OTA implementado, foram efetuadas medições visando verificar suas características e seu correto funcionamento. A corrente de polarização dos transistores das fontes de corrente do OTA foi determinada através da conexão de um *trimpot* do tipo multivoltas ao pólo positivo da tensão de alimentação (V_{CC}) e ao terra do circuito, tendo seu terminal central conectado ao pino I_{ref} do OTA simétrico modificado.

A resistência do *trimpot* multivoltas deve ser ajustada até que se obtenha 10 nA de corrente pelo pino I_{ref} do OTA simétrico modificado, conforme especificação do projeto. Mediante a dificuldade em se medir correntes desta ordem de magnitude, o ajuste é feito medindo-se a tensão presente no pino I_{ref} do OTA modificado, que equivale à tensão no *gate* do transistor Q_{12} necessária à condução da corrente de referência de 10 nA. A resistência do *trimpot* multivoltas é ajustada até que a tensão no pino I_{ref} seja a desejada. O valor desta tensão de *gate*, obtido através da simulação do circuito, possui valor igual a 350 mV. O *setup* para ajuste da corrente de referência e medição da tensão no pino I_{ref} do OTA simétrico modificado é mostrado na Figura 4.6. Para evitar queda de tensão no pino I_{ref} devido à impedância de entrada do voltímetro DC, utilizou-se um amplificador operacional de baixo ruído e baixa distorção (CA3140) configurado como *buffer* com ganho unitário para isolar o ponto de medida da ponta de prova positiva do voltímetro DC.

Com o objetivo de minimizar a interferência de ruídos externos, o protótipo foi alojado dentro de uma caixa metálica e as conexões externas foram feitas através de cabos

coaxiais, conectados à caixa do protótipo através de conectores do tipo BNC. A foto do protótipo alojado na caixa de blindagem pode ser visualizada na Figura 4.7.

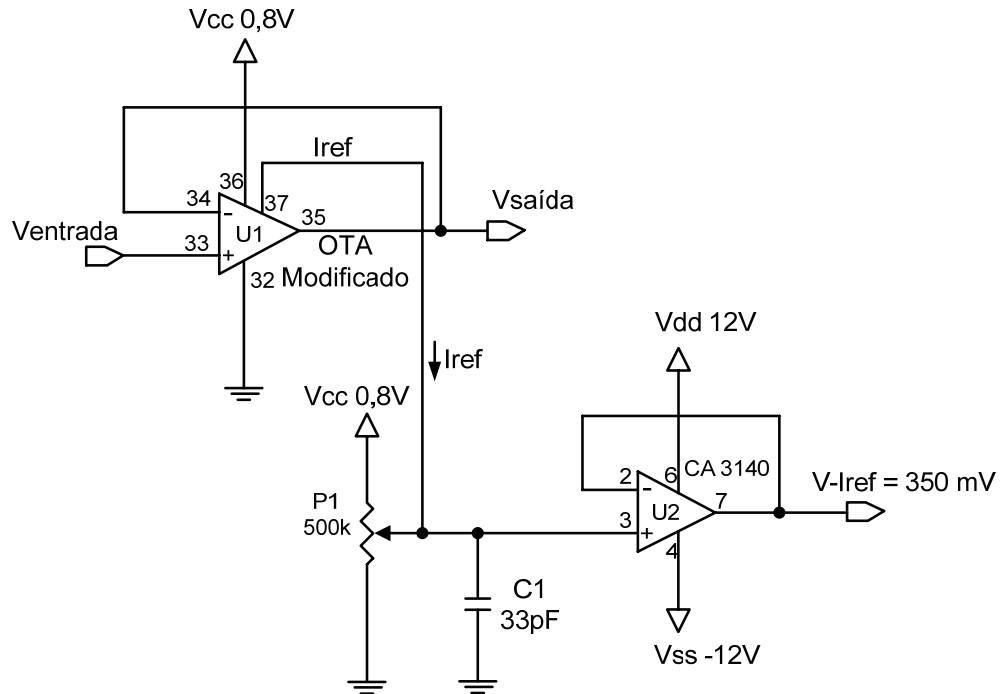


Figura 4.6 – Setup para ajuste da corrente de referência do OTA

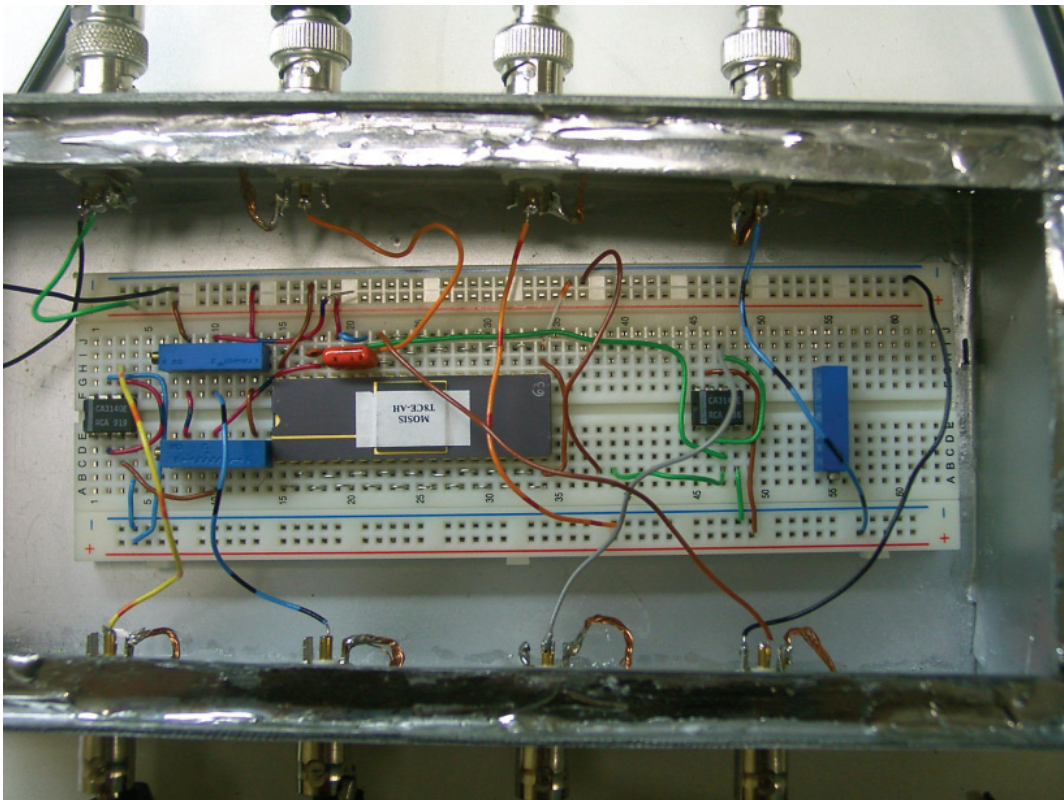


Figura 4.7 – Protótipo alojado na caixa de blindagem

As medidas de formas de onda foram obtidas através de um osciloscópio Tektronix MSO-4034, que possui 4 canais de entrada, largura de banda de 350 MHz e taxa de amostragem de 2,5 GS/s. Foram utilizadas pontas de prova modelo TEKP6139A, que possuem como característica resistência de entrada de 1 M Ω e capacitância de 8 pF. A Tabela 4.7 contém a relação dos equipamentos utilizados nas medições das características do protótipo.

Tabela 4.7 – Relação de equipamentos utilizados nas medições do protótipo

Equipamento	Marca	Modelo
Osciloscópio	Tektronix	MSO-4034
Ponta de provas	Tektronix	TEKP6139A
Gerador de funções	HP	33120A
Multímetro Digital <i>True</i> RMS	Fluke	233
Fonte ajustável de alimentação simétrica	HP	E3631A
Multímetro digital	HP	34401A

A Figura 4.8 contém a curva de transcondutância do OTA modificado quando acionado pelo substrato (pontilhado), obtida através das medidas da faixa de linearidade de entrada. Para efeito comparativo, os dados simulados de transcondutância para as configurações em que os transistores do par diferencial são acionados pelo *gate* (linha sólida) e pelo substrato (linha tracejada) são apresentadas no mesmo gráfico.

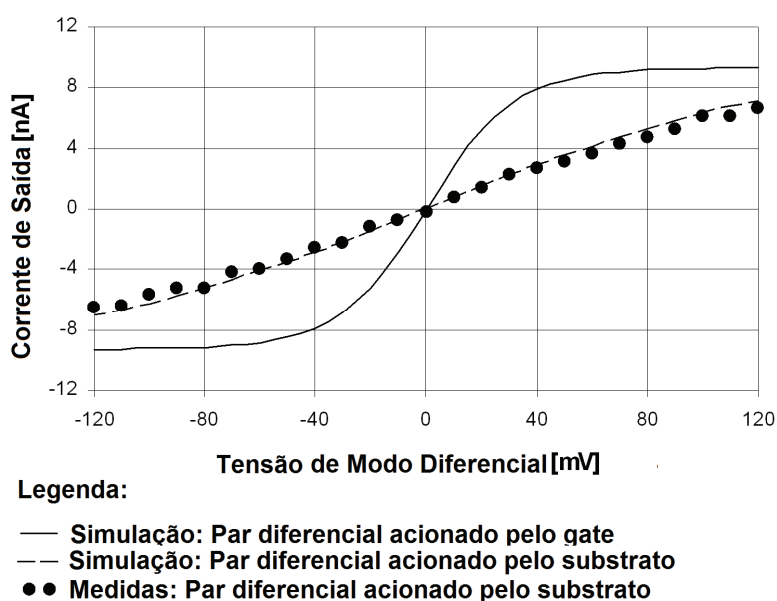


Figura 4.8 – Valores de transcondutância

Como previsto na análise teórica, os valores medidos indicados na Figura 4.8 mostram uma melhoria na linearidade da transcondutância do circuito acionado pelo substrato, quando comparado com o circuito acionado pelo *gate*. O valor da medida de transcondutância é de 66 nS, que é aplicável para projetos que requeiram G_m -C em baixa frequência [16]. A faixa linear de entrada medida ($HD_3 \leq 1\%$) é de 100 mV_{pp} para um sinal diferencial de entrada, o que é 400% maior que na configuração acionada pelo *gate*, sendo este valor satisfatório para aplicações biomédicas [13], [17]. Dessa forma, o par diferencial acionado pelo substrato permite um aumento na faixa de modo comum de entrada e na faixa linear de entrada do OTA simétrico modificado sem a utilização de topologias que requeiram grande número de transistores.

A forma de onda resultante da medida do espectro de frequências da tensão de saída do protótipo é apresentada na Figura 4.9, onde se pode visualizar o *offset* da tensão de saída na origem do eixo x (0 Hz), a presença da frequência fundamental em 55 Hz e dos harmônicos de segunda e de terceira ordem em 110 Hz e 165 Hz, respectivamente. Este espectro inclui, acumulativamente, os harmônicos produzidos pelo gerador de sinais e os introduzidos pelo *buffer* de ganho unitário utilizado para isolar a saída do OTA simétrico modificado.

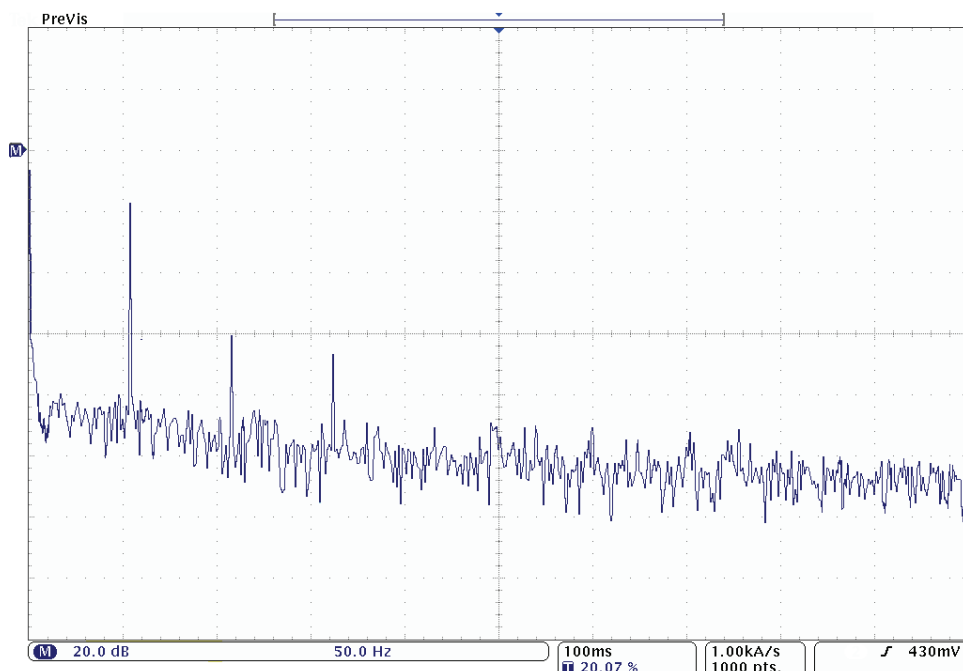


Figura 4.9 – Espectro de frequências da tensão de saída do OTA simétrico modificado

Para fins comparativos, verificou-se a resposta do sistema composto pelo gerador de sinais e pelo buffer de ganho unitário sem a presença do OTA simétrico

modificado. O espectro de frequências desta configuração é mostrado na. Figura 4.10. A configuração implementada para medição da distorção harmônica é apresentada na Figura 4.11. Nesta configuração aplicou-se uma tensão de polarização fixa à entrada inversora do OTA simétrico modificado e uma tensão senoidal de 80 mV_{PP} com *offset* de 400 mV à entrada não-inversora do OTA sob teste. Devido à impossibilidade de se gerar um sinal senoidal simétrico de entrada, a configuração assimétrica ocasionou o aumento da amplitude do harmônico de segunda ordem na saída do circuito.

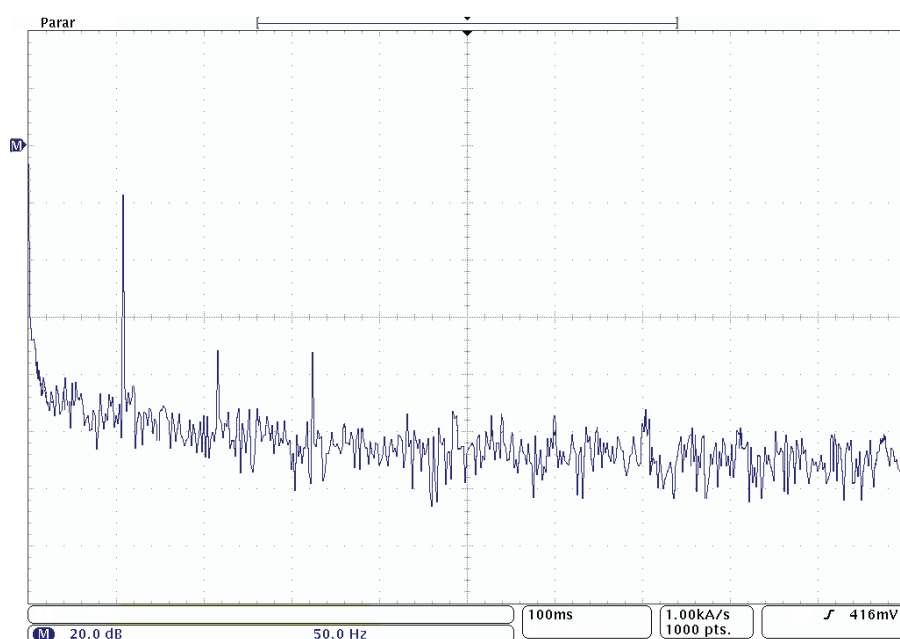


Figura 4.10 – Espectro de frequências do gerador de sinais associado ao *buffer* de ganho unitário

Através da análise das amplitudes dos sinais presentes na Figura 4.10, pode-se verificar a pré-existência dos harmônicos de segunda e de terceira ordem no espectro de frequências relativo ao *setup* de testes da figura Figura 4.11. Comparando-se estas amplitudes com as dos sinais presentes na Figura 4.9, pode-se verificar que as amplitudes sofrem discreto aumento quando da inclusão do OTA simétrico modificado no circuito.

Para verificação do comportamento dinâmico do circuito, o amplificador foi configurado como *buffer* de ganho unitário e verificou-se a forma de onda de sua tensão de saída, mediante a aplicação de um sinal senoidal em sua entrada. Na Figura 4.12 são apresentadas as formas de onda relativas à saída ($V_{saída}$) e à entrada ($V_{entrada}$) do circuito, com um sinal de entrada senoidal com frequência igual a 10 Hz e 400 mV_{PP} de amplitude e de nível DC.

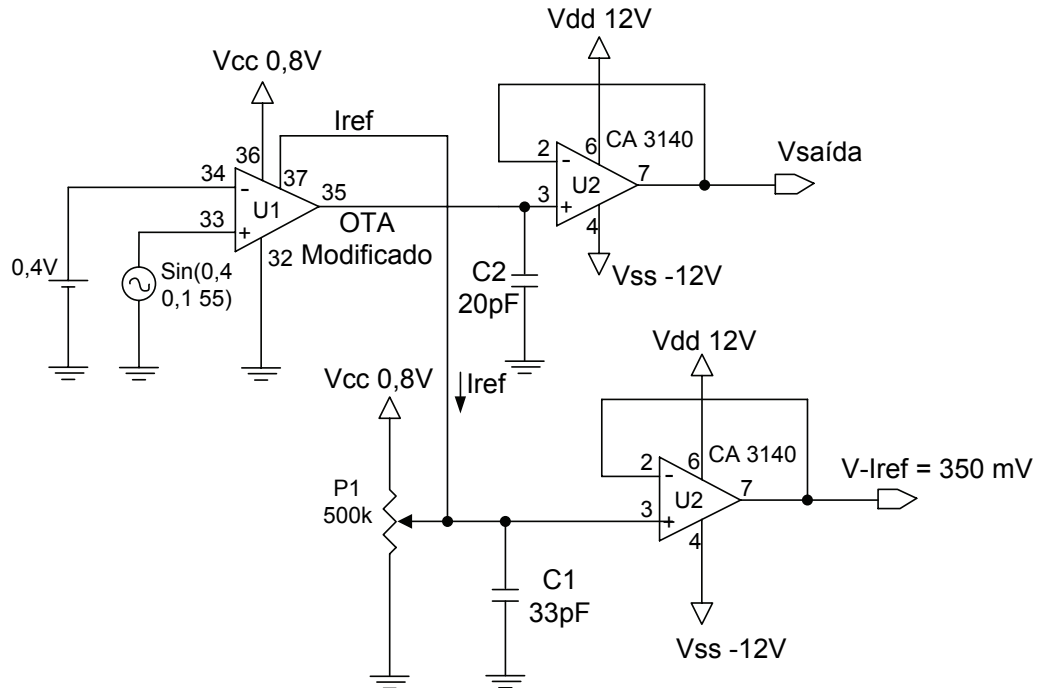


Figura 4.11 – Configuração para medição da distorção harmônica

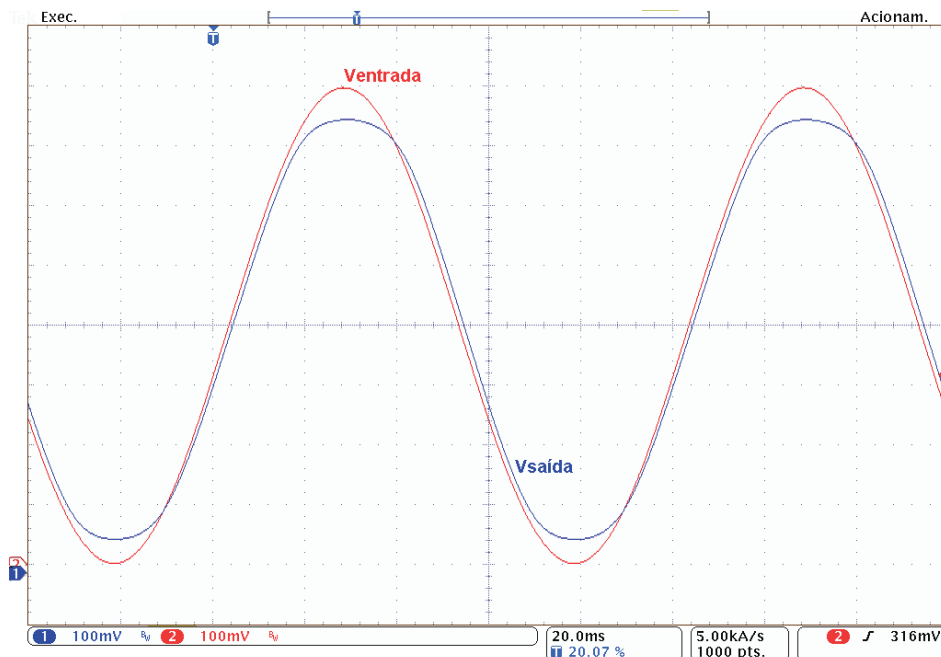


Figura 4.12 – Resposta transiente distorcida do OTA modificado conectado como *buffer* de ganho unitário

Na forma de onda da Figura 4.12, há ocorrência de distorção da onda de saída quando o sinal de entrada atinge os pólos positivo e negativo da tensão de alimentação. Reduzindo-se a amplitude do sinal de entrada para 600 mV_{pp}, não ocorre distorção visível na tensão de saída, conforme Figura 4.13.

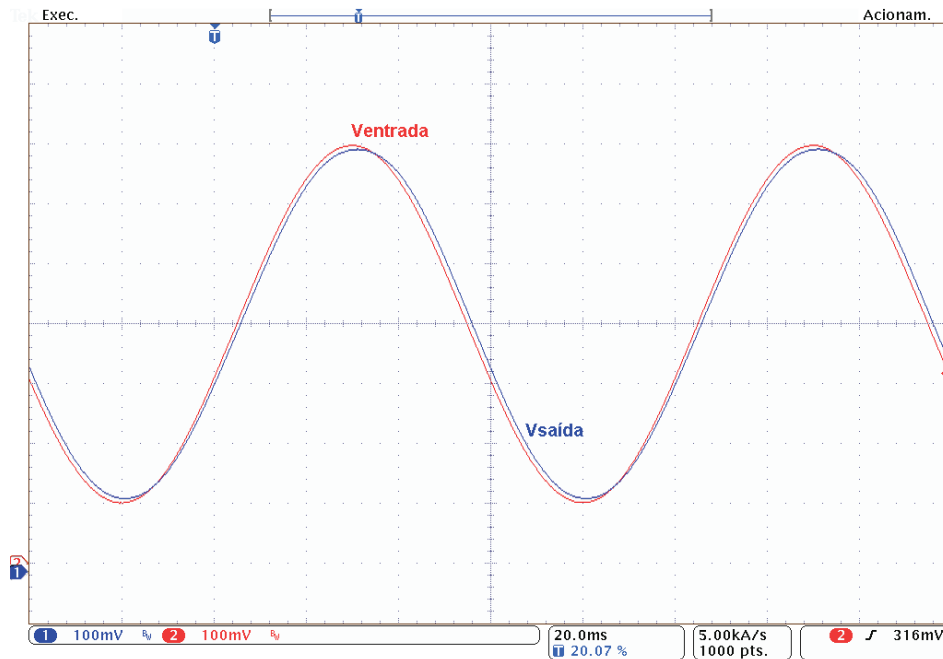


Figura 4.13 – Resposta transiente do OTA modificado conectado como *buffer*.

Como demonstração adicional da capacidade linear, o amplificador deve ser capaz de operar como um integrador G_m - C simples. Na Figura 4.14 é apresentada a medida da forma de onda de saída ($V_{saída}$) e da forma de onda de entrada ($V_{entrada}$) de um integrador com constante de tempo de 18,4 ms e uma forma de onda quadrada de entrada com amplitude de 100 mV_{pp}. O valor DC do sinal quadrado de entrada deve ser ajustado de forma que se elimine a polarização de *offset* DC. A forma de conexão do circuito integrador é a mesma contida na Figura 4.11, com exceção do gerador de sinais, que deve estar configurado para fornecer forma de onda quadrada em sua saída.

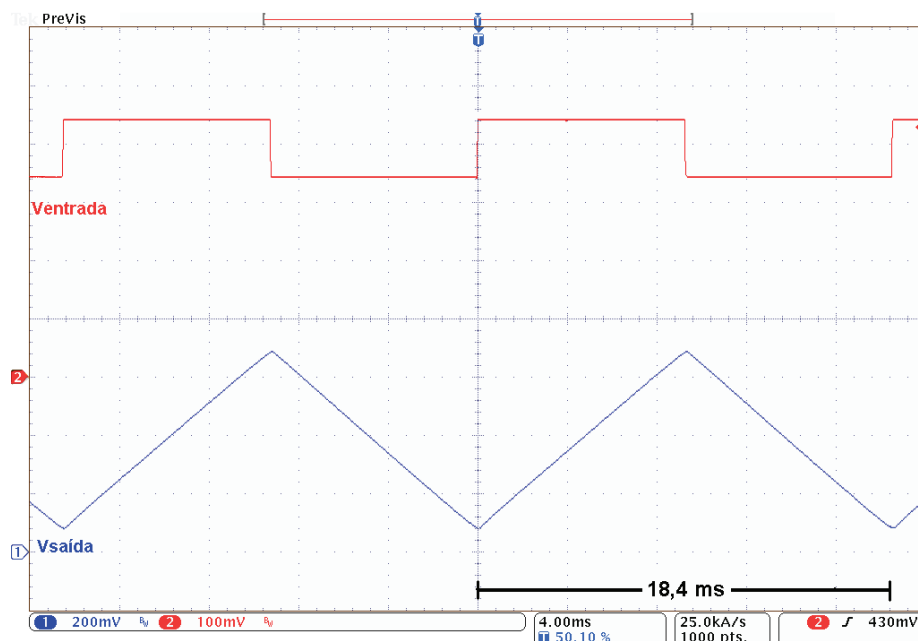


Figura 4.14 – Medição da resposta transiente de um integrador

A corrente de saída do transcondutor configurado como integrador G_m -C é dada por:

$$I_O = C \frac{\Delta V}{\Delta T}. \quad (3.14b)$$

Como $I_O = G_m * V_{dm}$, obtém-se:

$$G_m = C \frac{\Delta V}{\Delta T} \frac{1}{V_{dm}}. \quad (3.14b)$$

A taxa de subida ou descida da rampa de saída do integrador é dada por:

$$\frac{\Delta V}{\Delta T} = \frac{G_m V_{dm}}{C}. \quad (3.14b)$$

A Tabela 4.8 apresenta um resumo dos resultados de simulação e das medidas do protótipo. Os valores foram obtidos à temperatura ambiente, carga capacitiva de aproximadamente 25 pF, e tensão de alimentação mínima.

Os resultados das medidas assemelham-se aos resultados de simulação, o que mostra uma boa aproximação dada pelo modelo *BSIM3v3* (caso típico) mesmo para operação na região de inversão fraca. Isso demonstra a funcionalidade e a capacidade de faixa de entrada linear do circuito sem a utilização de técnicas avançadas. Esta topologia é capaz de operar com um ganho de malha aberta de 61 dB, uma frequência de ganho unitário de 195 Hz e um consumo de apenas 40 nW, o que mostra que o circuito se enquadra em aplicações em ultra-baixa tensão. A transcondutância é de 66 nS e a faixa linear de entrada ($HD_3 \leq 1\%$) é de 80 mV_{PP} (sinal diferencial de entrada), que são valores apropriados para aplicações G_m -C em baixa frequência. A figura de ruído corresponde à integração da tensão referenciada à entrada na largura de faixa de 0,2 a 200 Hz, que é compatível com a frequência de ganho unitário e aplicações biomédicas [13], [17], [26], [33].

A Tabela 4.9 contém uma lista de medidas dos parâmetros de amplificadores operacionais utilizados para efeito comparativo. As características do circuito (mostrado na Figura 3.1) são listadas na primeira coluna, juntamente com os valores obtidos em outros trabalhos, listados nas colunas adjacentes [15], [16].

Tabela 4.8 – Valores simulados x valores medidos

	Simulado	Medido
Tensão mínima de alimentação	800 mV	800 mV
Ganho em malha aberta	59 dB	61 dB
Frequência de ganho unitário	210 Hz	195 Hz
Margem de fase	83°	81°
Corrente máxima de entrada	200 pA	≤ 200 pA
Excursão máxima do sinal @ 10Hz	700 mVpp	730 mVpp
Excursão linear do sinal @ 10 Hz	600 mVpp	600 mVpp
THD @ 600 mVpp (tensão de modo comum)	0,44%	0,39%
Tensão de offset	-	± 3 mV
Slew-rate	0,13 V/ms	0,12 V/ms
Consumo de Potência	43 nW	40 nW
Faixa de entrada de modo comum	100 a 700 mV	100 a 700 mV
Transcondutância	70 nS	66 nS
Faixa linear de entrada (HD3 ≤ 1%)	80 mVpp	100 mVpp
Largura de faixa do ruído	0,2 a 200 Hz	0,2 a 200 Hz
Ruído referenciado à entrada	64 μVrms	<100 μVrms
Constante de tempo do integrador	17,4 ms	18,4 ms

Tabela 4.9 – Indicadores de desempenho do OTA simétrico

	Este Trabalho	Mourabit [15]	Veeravalli [16]
Tecnologia CMOS	0,35 μm	0,8 μm	1,2 μm
Configuração do par diferencial	Acionado pelo substrato	Gate flutuante	Acionado pelo substrato
Tensão de alimentação mínima	0,8 V	1,5 V	2,7 V
Consumo de potência	0,04 μW	1 μW	4 μW
Transcondutância	66 nS	82 nS	10 nS
Faixa linear de entrada (HD3≤1%)	0,1 V _{pp}	1,1 V _{pp}	0,9 V _{pp}
Largura de faixa do ruído	0,2 a 200 Hz	1 a 100 Hz	0,01 a 10 Hz
Ruído referenciado à entrada	80 μV _{rms}	110 μV _{rms}	105 μV _{rms}
Área ativa	0,04 mm ²	0,04mm ²	0,22 mm ²

A arquitetura simétrica modificada desenvolvida e a tecnologia de fabricação utilizada permitiram ao OTA simétrico modificado apresentar valor de tensão de alimentação

mínima e o baixo consumo de potência, o que é muito desejável em aplicações em baixa tensão e baixa potência. Sua faixa de tensão de modo comum de entrada e sua faixa de tensão linear de entrada são maiores ao se utilizar a configuração de deslocamento de nível DC e par diferencial acionado pelo substrato (sem a necessidade de se utilizarem abordagens complexas), mas ainda menor que a obtida nos trabalhos apresentados na Tabela 4.9. Seu ruído referenciado à entrada é compatível com o dos outros trabalhos aqui citados e, por apresentar uma faixa linear de entrada de 100 mV_{PP} , o OTA simétrico proposto é recomendado para aplicações G_m -C em baixa frequência e baixa tensão, sem o uso de arquiteturas complexas. Entretanto, para aplicações que requerem grande linearidade, um circuito de divisão de corrente pode ser implementado, o que proporciona um incremento a faixa de tensão linear de entrada nas topologias OTA [15], [16].

Capítulo 5

Conclusões e Trabalhos Futuros

Este trabalho de pesquisa teve por objetivo desenvolver um OTA simétrico modificado para aplicações Gm-C em baixa frequência. Através deste desenvolvimento, pôde-se comprovar a tese de que o emprego de transistores compostos polarizados em inversão fraca, associados a estruturas de deslocamento DC e par diferencial acionado pelo substrato permitem o aumento da faixa linear e a excursão do sinal de entrada, quando comparado com o OTA simétrico tradicional. Adicionalmente, a polarização em inversão fraca permite a operação do circuito em ultra baixa-tensão e em ultra baixa-potência, indicado para aplicações portáteis ou implantáveis.

Com a implementação de transistores CMOS compostos operando em inversão fraca, par diferencial acionado pelo substrato polarizado em inversão fraca e estruturas de deslocamento DC, obteve-se um circuito que fornece uma melhor faixa linear de entrada e capaz de operar com tensão de alimentação de 800 mV, apresentando consumo de potência de 40 nW em um processo CMOS 0,35 μm poço tipo N. Medições no protótipo implementado forneceram valores satisfatórios, condizentes com os obtidos através de simulações e equacionamentos. O OTA testado apresentou uma transcondutância de 66 nS, um ganho de malha aberta de 61dB e uma frequência de ganho unitário de 195 Hz. O circuito pode ser utilizado em aplicações Gm-C em baixa frequência e altas constantes de tempo, como

referências *bandgap*, transdutores físicos, controladores de processos e principalmente em pequenos dispositivos operados por bateria. Na configuração como integrador, para uma capacitância de carga de 25 pF e uma tensão de alimentação mínima de 800 mV, o circuito foi implementado com uma constante de tempo de 18,4 ms onde se aplicou uma forma de onda quadrada com amplitude de 80mV_{pp} em sua entrada, apresentando funcionamento satisfatório, comprovando que o OTA proposto serviu ao propósito inicial de utilização.

Estudos a respeito do descasamento na tensão de *offset* dos transistores do par diferencial mostraram que esta não-idealidade provoca o surgimento de um harmônico de segunda ordem na forma de onda da corrente de saída. O termo *tangente hiperbólico*, presente na equação da corrente de saída provoca o surgimento de um harmônico de terceira ordem na corrente de saída, mesmo para pares diferenciais totalmente casados. A presença do segundo harmônico vem a contribuir para a degradação da taxa de distorção harmônica do circuito,

Como trabalhos futuros, sugere-se que sejam efetuados estudos e implementação de técnicas que possibilitem aumento na excursão da faixa linear de entrada do circuito, através da implementação de estruturas auxiliares ou configurações apropriadas para o par diferencial.

Apêndice A

Artigo Publicado

Um artigo descrevendo a topologia desenvolvida neste trabalho e os resultados desta implementação foi publicado no periódico *Analog Integrated Circuits and Signal Processing*, da editora Springer. Este periódico é classificado no Qualis A2 da CAPES.

E. D. C. Cotrim and L. H. C. Ferreira. An ultra-low-power CMOS symmetrical OTA for low-frequency Gm-C applications. *Analog Integrated Circuits and Signal Processing*. Springer, 2011. DOI: 10.1007/s10470-011-9618-5. Disponível online desde Fevereiro de 2011.

Referências Bibliográficas

- [1] G. Raikos, S. Vlassis. 0.8 V Bulk-Driven Operational Amplifier. Analog Integrated Circuits and Signal Processing, Springer, 2009. (DOI 10.1007/s10470-009-9425-4).
- [2] K. Lasanen, E. Räisänen-Ruotsalainen and J. A Kostamovaara. A 1-V 5 μ W CMOS-Opamp with Bulk-Driven Input Transistors. Proc. 43rd IEEE Midwest Symp. on Circuits and Systems, Lansing MI, Aug 8-11, 2000.
- [3] J. M Carrillo, G. Torelli, and J. F. Duque-Carrillo. Transconductance enhancement in bulk-driven input stages and its applications. Analog Integrated Circuits and Signal Processing, Springer, 2011. (DOI 10.1007/s10470-011-9603-z).
- [4] E. Sánchez-Sinencio, Continuous-Time Filters from 0.1Hz to 2.0 GHz. Disponível em <http://amesp02.tamu.edu/~sanchez/Tutorial-Santander-2002.pdf>, acesso em Fevereiro/2011.
- [5] G. Ferri, and A. Baschiroto. (2001). Low-voltage Rail-to-rail Switched Buffer Topologies. International Journal of Circuit Theory and Applications, 29(4), 413-422.
- [6] R. Hogervorst, J. P. Tero and J. H. Huijising. (1996). Compact CMOS constant- g_m rail-to-rail input stage with g_m -control by an electronic zener diode. IEEE Journal of

Solid-State Circuits, 31(7), 1035-1040.

- [7] V. Ivanov, and S. Zhang. (2002). 250 MHz CMOS rail-to-rail IO OpAmp: Structural design approach. In Proceedings of the 28th solid-state circuits conference ESSIRC (pp. 183-186).
- [8] S. Sakurai, and M. Ismail (1996). Robust design of rail-to-rail CMOS operational amplifiers for a low power supply voltage. IEEE Journal of Solid-State Circuits, 31(2), 146-156.
- [9] W. Redman-White. (1997). A high bandwidth constant gm and slew-rate rail-to-rail CMOS input circuit and its application to analog cells for low voltage VLSI systems. IEEE Journal of Solid-State Circuits, 32(5), 701-712.
- [10] J. M. Carrillo, J. F. Duque-Carrillo, G. Torelli, and J. L. Ausín (2003). Constant-g_m constant-slew-rate high-bandwidth low-voltage rail-to-rail CMOS input stage for VLSI cell libraries. IEEE Journal of Solid-State Circuits, 38(8), 1364-1372.
- [11] J. L. Duque-Carrillo, J. L. Ausín, G. Torelli, J. M. Valverde, and M. A. Dominguez. (2000). 1-V rail-to-rail operational amplifiers in standard CMOS technology. IEEE Journal of Solid-State Circuits, 35(1), 33- 44.
- [12] T. W. Fischer, and A. I. Karsilayan, (2002). Rail-to-rail amplifier input stage with constant g_m and common-mode elimination. IEE Electron. Letters, 38(24), 1491-1492.
- [13] S. Solís-Bustos, J. Silva-Martínez, F. Maloberti, and E. Sánchez-Sinencio. A 60-dB dynamic-range CMOS sixth-order 2.4-Hz low-pass filter for medical applications. IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process, 47(12):1391–1398, Dec. 2000.
- [14] L. H. C. Ferreira, T. C. Pimenta, and R. L. Moreno. An ultra-low-voltage ultra-low-power CMOS miller OTA with rail-to-rail input/output swing. IEEE Trans. Circuits Syst. II, Expr. Briefs, 54(10):843–847, Oct. 2007.

- [15] A. El Mourabit, G. Lu, and P. Pittet. Wide-linear-range subthreshold OTA for low-power, low-voltage, and low-frequency applications. *IEEE Trans. Circuits Syst. I, Reg. Papers*, 52(8):1481–1488, Aug. 2005.
- [16] A. Veeravalli, E. Sánchez-Sinencio, and J. Silva-Martínez. Transconductance amplifier structures with very small transconductances: A comparative design approach. *IEEE J. Solid-State Circuits*, 37(6):770–775, Jun. 2002.
- [17] R. Harrison and C. Charles. A low-power low-noise CMOS amplifier for neural recording applications. *IEEE J. Solid-State Circuits*, 38(6):958–965, Jun. 2003.
- [18] MOSIS Technical Documents. The MOSIS Service, MOSIS, Marina Del Ray, CA, September 2007 [Online]. Disponível em: www.mosis.org.
- [19] Y. Cheng and C. Hu, *MOSFET Modeling & BSIM3 User's Guide*. Norwell, MA: Kluwer, 1999.
- [20] Y. P. Tsividis. *Operation and Modeling of the MOS Transistor*. New York, USA: Oxford, 2nd edition, 1999.
- [21] R. Hogervorst and J. H. Huijsing. *Design of Low-Voltage, Low-Power Operational Amplifier Cells*. The Netherlands: Kluwer, 1996.
- [22] P. E. Allen and D. R. Holberg. *CMOS Analog Circuits Design*. Oxford University Press, Inc., New York, USA, 2nd edition, 2002. CMOS Bandgap Reference Circuit with Sub-1-V Operation, *IEEE J. Solid-State Circuits*, vol. 34, pp. 670-674, May 1999.
- [23] L. H. C. Ferreira. *Uma Referência de Tensão CMOS Baseada na Tensão Threshold em Ultra-Baixa Tensão e Ultra-Baixa Potência*. Tese de Doutorado. Universidade Federal de Itajubá. Itajubá, Setembro de 2008.
- [24] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.

- [25] A. A. Abidi. High-Frequency Noise Measurements on FETs with Small Dimensions. *IEEE Trans. Electron Devices*, vol. 33, pp. 1801-1805, Nov. 1986.
- [26] B. J. Blalock, P. E. Allen, and G. A. Rincon-Mora. Designing 1-V op amps using standard digital CMOS technology. *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, 45(7):769–780, Jul. 1998.
- [27] P. Corbishley and E. Rodriguez-Villegas, Design Tradeoffs in low-power low-voltage transconductors in weak inversion, *Proc. 49th IEEE International Midwest Symposium on Circuits and Systems, MWSCAS*, vol.2, pp. 444-448, 2006.
- [28] M. J. M. Pelgrom, A. C. J. Duinmaijer and A. P. G. Welbers, Matching properties of MOS transistors, *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, 1989.
- [29] R. F. Yazicioglu, P. Merken, R. Puers, C. Van Hoofl. A 200uW Eight-Channel Acquisition ASIC for Ambulatory EEG Systems. *ISSCC 2008 – IEEE International Solid-State Circuits Conference*, pp. 164, 165, 603.
- [30] R. F. Yazicioglu, P. Merken, R. Puers, C. Van Hoofl "A 60 uW 60 nV/ Hz Readout Front-End for Portable Biopotential Acquisition Systems" *IEEE J. Sold-State Circuits*, pp. 1100 -1110, May 2007.
- [31] T. Denison, K. Consoer, A. Kelly et al., "A 2.2uW 94nV/VHz, Chopper-Stabilized Instrumentation Amplifier for EEG Detection in Chronic Implants". *ISSCC Dig. Tech. Papers*, pp. 162-163, 2007.
- [32] M. R. Nuwer, G. Comi, R. Emerson et al. IFCN Standards for Digital Recording of Clinical EEG - Electroerception and clinical Neurophysiology. vol. 106, no. 3, pp. 259-261, Mar. 1998.
- [33] R. R. Harrison. A Versatile Integrated Circuit for the Acquisition of Biopotentials. *IEEE 2007 Custom Integrated Circuits Conference (CICC)*, 115-122.

- [34] A. Hastings. *The Art of Analog Layout*. Upper Saddle River, New Jersey, USA. Prentice-Hall, 2001