

UNIVERSIDADE FEDERAL DE ITAJUBÁ  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**Filtro a capacitor chaveado para implantes  
cocleares utilizando a tecnologia CMOS 0,6  $\mu\text{m}$**

**Javier Ortiz González**

**Orientador: Prof. Tales Cleber Pimenta**

ITAJUBÁ, 14 DE JANEIRO DE 2011

UNIVERSIDADE FEDERAL DE ITAJUBÁ  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**Javier Ortiz González**

**Filtro a capacitor chaveado para implantes  
cocleares utilizando a tecnologia CMOS 0,6  $\mu\text{m}$**

Dissertação submetida ao Programa de Pós-  
Graduação em Engenharia Elétrica como parte dos  
requisitos para obtenção do Título de Mestre em  
Ciências em Engenharia Elétrica

**Área de Concentração: Microeletrônica**  
**Orientador: Prof. Dr. Tales Cleber Pimenta**  
**Co-orientador: Prof. Dr. Robson Luiz Moreno**

JANEIRO 2011

ITAJUBÁ – MG

*À minha família: Mario, Adriana,  
Humberto e Alejandra.*

# Agradecimentos

*A Deus por estar sempre comigo e ser minha luz nos momentos difíceis.*

*À minha esposa Ludmila por me escutar e me compreender  
com tanto amor e carinho.*

*À minha família que sempre esteve comigo, embora longe mas sempre presente.*

*Aos meus amigos que me apoiaram e me animaram durante  
todo esse processo de estudo e pesquisa.*

*Ao Prof. Tales e Robson pelo ensino e amizade e a todo  
o grupo de microeletrônica, em especial ao Prof. Crepaldi.*

*Aos Missionários do Sagrado Coração e ao Pe. Maristelo pelos incentivos e  
acolhimento durante minha caminhada.*

# Resumo

Nos últimos anos a área biomédica tem-se desenvolvido muito, desafiando os profissionais correlatos à área a desenvolver equipamentos e dispositivos que otimizem figuras de mérito como, por exemplo, dissipação de potência, tensão de alimentação, densidade de integração e, especialmente, implantabilidade.

Os implantes cocleares têm dado uma grande contribuição à vida de muitas pessoas, devolvendo parcialmente a audição aos indivíduos com perdas severas ou profundas e assim possibilitando uma melhor qualidade de vida. Os circuitos analógicos têm demonstrado ser parte importante de qualquer dispositivo, pois os sinais contínuos têm que ser convertidos em sinais digitais para seu posterior processamento.

Neste projeto de pesquisa é apresentado um filtro passa-baixas, implementado com a técnica de capacitores chaveados e que será aplicado a um implante coclear. A implementação da técnica de capacitores chaveados contribui para um menor consumo de potência, assim como, uma redução de área de silício. Esta técnica proporciona a implementação de resistores emulados mais lineares e precisos que os resistores integrados convencionais.

# Abstract

In the last years, the biomedical area has developed, defying the related professionals to develop equipments and devices that enhance figures of merit, for example, power consumption, power supply, integration density and, especially, implantability.

Coclear implants have provided a huge contribution to the life of many people, giving back partial audition to individuals with severe or profound loss and bringing them a better quality life. Analog circuits have shown to be an important part of any device, because the continuous signals have to be converted to digital signals for their later processing.

This research project presents a low-pass filter, implemented with switched-capacitor techniques for coclear implants applications. The switched-capacitor technique helps to reduce power consumption, also reducing the silicon area. This technique provides the implementation of emulated resistors more linear and precise than the conventional resistors.

# Sumário

<b>Agradecimentos</b>	<b>ii</b>
<b>Resumo</b>	<b>iii</b>
<b>1 Introdução</b>	<b>9</b>
1.1 Justificativa . . . . .	9
1.2 Considerações Gerais . . . . .	10
1.2.1 Organização da dissertação . . . . .	12
<b>2 A Audição</b>	<b>13</b>
2.1 O sistema auditivo . . . . .	13
2.1.1 O mecanismo da audição . . . . .	15
2.2 Perda Auditiva . . . . .	15
2.2.1 Audiometria . . . . .	17
<b>3 Implantes Cocleares</b>	<b>20</b>
3.1 História . . . . .	20
3.2 Partes do implante coclear . . . . .	22
<b>4 Filtros</b>	<b>25</b>
4.1 Introdução . . . . .	25
4.2 Técnica de capacitores chaveados (SC) . . . . .	27
4.2.1 Blocos funcionais . . . . .	28

<i>SUMÁRIO</i>	2
4.2.2 Princípio de funcionamento . . . . .	28
4.2.3 Porta de transmissão . . . . .	32
<b>5 Projeto do filtro a capacitor chaveado</b>	<b>35</b>
5.1 Amplificador operacional . . . . .	35
5.1.1 Projeto do par diferencial . . . . .	36
5.1.2 Correntes de polarização e slew rate . . . . .	40
5.2 Projeto dos espelhos cascodes e carga ativa . . . . .	43
5.2.1 Espelho de corrente . . . . .	43
5.2.2 Carga Ativa . . . . .	45
5.3 Chaves Analógicas . . . . .	45
5.3.1 Chave NMOS . . . . .	46
5.3.2 Chave PMOS . . . . .	46
5.3.3 Porta de transmissão . . . . .	47
5.3.4 Análise AC e DC da porta de transmissão . . . . .	47
5.4 Frequência máxima de operação . . . . .	49
5.5 Características do filtro projetado . . . . .	50
5.6 Circuito Final . . . . .	51
<b>6 Conclusões</b>	<b>56</b>
<b>Apêndice</b>	<b>57</b>
<b>A Parâmetros do processo</b>	<b>57</b>
A.1 Parâmetros de casamento do Transistor MOS . . . . .	57
A.2 Parâmetros de casamento do capacitor . . . . .	58
<b>Referências bibliográficas</b>	<b>60</b>

# Lista de Figuras

1.1	Diagrama de blocos de um implante coclear. . . . .	11
2.1	Partes do ouvido. . . . .	14
2.2	Audiograma de ouvido normal. . . . .	18
2.3	Audiograma de ouvido com perdas. . . . .	18
3.1	Implante coclear. . . . .	22
3.2	Unidade interna. . . . .	23
3.3	Unidade externa. . . . .	24
4.1	Resistor a capacitor chaveado. . . . .	29
4.2	Sinais de clock. . . . .	29
4.3	Implementação das chaves com transistores. . . . .	30
4.4	Forma clássica do integrador. . . . .	31
4.5	Integrador implementado com capacitor chaveado. . . . .	31
4.6	Integrador com capacitor chaveado insensível às capacitâncias parasitas. . . . .	32
4.7	Porta de transmissão MOS. . . . .	33
4.8	Resistência Ron do transistor a) NMOS e b) PMOS. . . . .	34
5.1	Amplificador básico. . . . .	36
5.2	Esquemático do amplificador folded cascode. . . . .	37
5.3	Par diferencial. . . . .	38
5.4	Exemplo de matriz bidimensional em centróide comum. . . . .	39

5.5	Par diferencial PMOS. . . . .	40
5.6	Análise DC do amplificador operacional. . . . .	41
5.7	Análise AC do amplificador operacional. . . . .	41
5.8	Análise do slew rate do amplificador operacional. . . . .	42
5.9	Espelho de corrente. . . . .	44
5.10	Espelho de corrente cascode. . . . .	44
5.11	Espelho de corrente PMOS. . . . .	45
5.12	Chave NMOS. . . . .	46
5.13	Análise DC da chave NMOS. . . . .	47
5.14	Chave PMOS. . . . .	47
5.15	Análise DC da chave PMOS. . . . .	48
5.16	Chave analógica implementada com porta de transmissão. . . . .	48
5.17	Análise AC da porta de transmissão. . . . .	49
5.18	Análise DC da porta de transmissão. . . . .	50
5.19	Circuito final. . . . .	51
5.20	Sinal de entrada com frequência de 200Hz. . . . .	52
5.21	Sinal de entrada com frequência de 2kHz. . . . .	53
5.22	Sinal de entrada com frequência de 20kHz. . . . .	53
5.23	Sinal de entrada com frequência de 40kHz. . . . .	55
5.24	Sinal de entrada com frequência de 80kHz. . . . .	55

# Lista de Tabelas

5.1	Parâmetros do amplificador operacional. . . . .	43
5.2	Dimensão dos transistores . . . . .	54
A.1	$\Delta W$ e $\Delta L$ para cálculos . . . . .	57
A.2	Parâmetros de casamento. . . . .	58
A.3	Parâmetros de casamento . . . . .	59
A.4	Parâmetros de processo da Tecnologia xFAB CMOS $0,6\mu m$ . . . . .	59

# Lista de Abreviaturas

$\Delta q$ : Diferencia de carga.

$\tau$ : Constante de tempo.

$A_O$ : Ganho DC em malha aberta.

$A_v$ : Ganho do amplificador.

$AIDx$ : Corrente de dreno de casamento.

$AVTO$ : Tensão de threshold de casamento.

$BP$ : Passa Banda (Band Pass)

$CMOS$ : (Complementary Metal Oxide Semiconductor).

$f_{BW}$ : Frequência de ganho unitário.

$f_c$ : Frequência de chaveamento.

$g_m$ : Transcondutância.

$HP$ : Passo Altas (High Pass)

$i_{av}$ : Corrente média.

$I_{b(TOT)}$ : Consumo de corrente total.

$I_{DS}$ : Corrente dreno-fonte.

$KP$ : Ganho de transcondutância.

$L$ : Comprimento de canal.

$L_{eff}$ : Comprimento de canal efetivo.

$L_{min}$ : Comprimento mínimo de canal.

$LP$ : Passo Baixas (Low Pass)

$MF$ : Margem de fase.

$MG$ : Margem de ganho.

$r_{DS}$ : Resistência dreno-fonte.

$R_n$ : Resistência 'ON' do transistor NMOS.

$R_p$ : Resistência 'ON' do transistor PMOS.

$SC$ : Capacitor Chaveado (Switched Capacitor).

$SR$ : *Slew rate*.

$T_c$ : Período de chaveamento.

$TC$ : Coeficiente térmico.

$V_{DD}$ : Tensão de alimentação.

$V_{GS}$ : Tensão de porta-fonte.

$V_{OS}$ : Erro linear.

$V_{SB}$ : Tensão de fonte-base.

$V_{Tn}$ : Tensão de limiar (tensão threshold) para transistor NMOS.

$V_{Tp}$ : Tensão de limiar (tensão threshold) para transistor PMOS.

$V_G$ : Tensão de modo comum.

$V_S$ : Tensão de saída.

$VLSI$ : Integração de grande escala (Very Large Scale of Integration).

$W$ : Largura de canal.

$W_{eff}$ : Largura de canal efetiva.

# Capítulo 1

## Introdução

A audição tem sido objeto de muitas pesquisas por representar um importante sentido fisiológico que faz parte da interação comunicativa entre as pessoas.

Atualmente a técnica de capacitor chaveado está sendo utilizada em diversas aplicações biomédicas, desde implantes cocleares[1],[2] até no uso de circuitos para implantes ortopédicos. Embora a técnica de capacitores chaveados tenha sua origem na década de 1970, sua aplicação continua aportando muitas vantagens. Dentro dessas vantagens se encontram o baixo consumo de potência e redução de área no circuito integrado, variáveis que estão diretamente relacionadas com o custo final.

### 1.1 Justificativa

Aproximadamente 10% da população mundial têm alguma parcela de perda auditiva, sendo que na maioria das vezes ocorre de forma gradual e indolor. Pode originar-se de vários fatores, tais como idade avançada, longa exposição a sons em alto volume, hereditariedade, doenças, reação a medicações, etc [3].

Os aparelhos de auxílio auditivo existentes são normalmente simples e baratos, ou então são sofisticados, porém onerosos. Em sua maioria os aparelhos simples (e baratos) oferecem uma amplificação linear em todas as frequências. Assim, mesmo que o usuário

tenha deficiência em uma parte do espectro de frequência, o aparelho fornecerá uma amplificação em todas as frequências, podendo causar desconforto naquela faixa de frequências em que a audição é boa.

Os aparelhos de auxílio auditivo programáveis existentes no mercado são ainda muito onerosos para os pacientes e em sua grande maioria, são implementados através de processamento digital de sinais. Dessa forma, os circuitos são, em geral, maiores e muito complexos. Adicionalmente esse processamento digital de sinais demanda um consumo elevado de energia, o que por sua vez causa uma vida útil muito curta para as baterias. Assim existe também o custo e a inconveniência para a reposição periódica das baterias.

O Grupo de Microeletrônica da Universidade Federal de Itajubá que está focado no desenvolvimento na área biomédica propõe o desenvolvimento de um filtro analógico programável passa-baixas para aplicações na faixa de áudio de baixo custo, que fará parte da arquitetura da Figura 1.1. Nessa figura podemos observar o diagrama de blocos do processador de fala, o principal componente do implante coclear. Ele é o encarregado de converter os sinais de áudio em impulsos elétricos que são interpretados pelo cérebro como som.

O som depois de ser captado pelo microfone, é passado por uma série de filtros os quais irão filtrar o sinal de áudio em diferentes componentes de frequência dependendo da quantidade de eletrodos que o implante possui. Cada frequência filtrada será, então, retificada pelo envelope de banda, comprimida e convertida em pulsos digitais que serão entregues ao transmissor para continuar o processo.

## 1.2 Considerações Gerais

Os avanços da microeletrônica especificamente em integração de circuitos em escala muito grande (VLSI - "*Very Large Scale of Integration*") tornaram possível a integração de vários milhões de transistores numa única pastilha. Isto deu um grande impulso ao

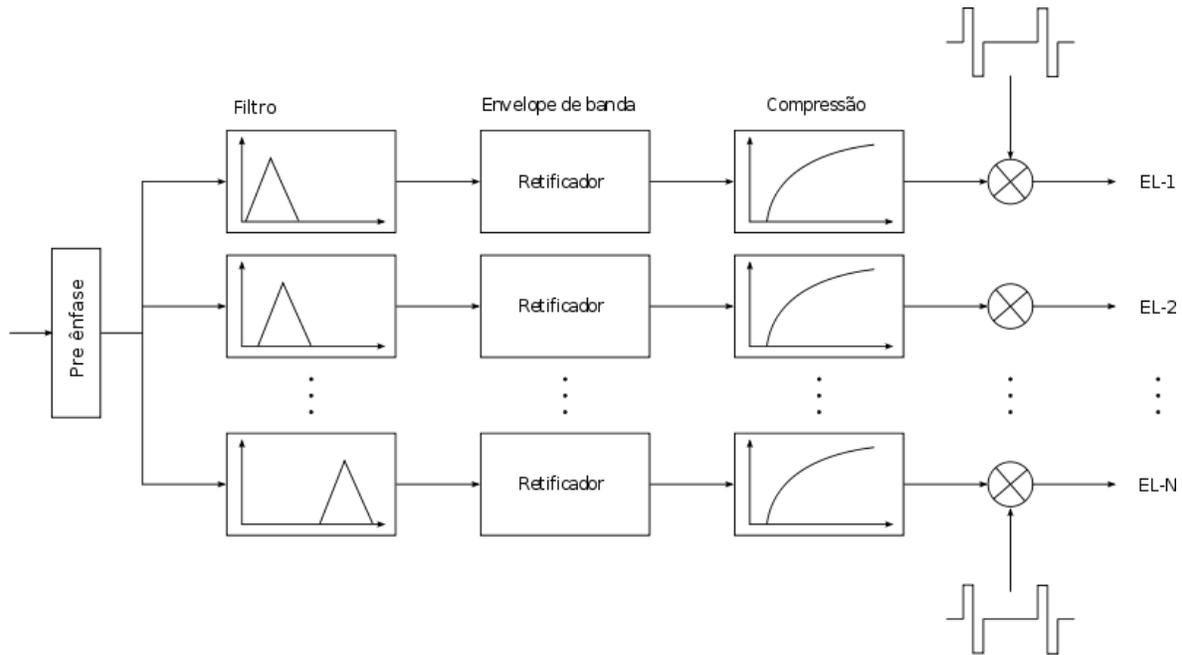


Figura 1.1: Diagrama de blocos de um implante coclear.

processamento digital de sinais. O processamento digital oferece algumas vantagens quando comparado com o processamento analógico: fácil programação, flexibilidade, boa imunidade ao ruído, entre outras. Porém a demanda de circuitos analógicos permanece, devido a que vivemos num mundo onde a grande maioria de sinais são analógicos, fazendo-se preciso ter um condicionamento de sinais, assim como conversão de sinais analógicos para digitais para sua posterior manipulação [4].

Chamam-se de circuitos mistos aqueles que numa mesma pastilha tem-se circuitos digitais e circuitos analógicos. A tecnologia de processo dominante para realizar-se circuitos VLSI é a tecnologia CMOS (*"Complementary Metal Oxide Semiconductor"*).

A técnica de capacitor chaveados tem dominado o projeto de filtros integrados desde 1980, já que esta técnica permite a realização de processamento analógico de sinais lineares e precisos na tecnologia de integração CMOS. A adaptabilidade tecnológica mostrada pelos circuitos a capacitor chaveado tem feito deles o candidato apropriado para vários tipos de aplicações tais como: instrumentação, áudio digital,

telecomunicações sem fio, gerenciamento de potência, e sensores [5].

### 1.2.1 Organização da dissertação

Esta dissertação está organizada da seguinte forma. O Capítulo 2 oferece informações sobre a audição, o Capítulo 3 fornece alguns dados sobre os implantes cocleares, sua função na ajuda da perda auditiva assim como o seu desenvolvimento ao longo dos anos. O Capítulo 4 fala-se dos tipos de filtros assim como os conceitos básicos da técnica de capacitor chaveado. O Capítulo 5 desenvolve o projeto elétrico e projeta cada um dos componentes do filtro passa-baixas e o Capítulo 6 mostra as conclusões. Finalmente o apêndice contém anexos relativos ao projeto.

# Capítulo 2

## A Audição

A audição é um sentido fundamental à vida e desempenha um papel importante no desenvolvimento da comunicação do ser humano. A perda auditiva implica mudanças físicas, psicológicas e sociais na vida das pessoas, acarretando prejuízo na comunicação e, conseqüentemente, nas relações interpessoais. Este tipo de perda associada ao envelhecimento denomina-se presbiacusia [6]. Quando esta deficiência auditiva não é tratada, sérias repercussões são apresentadas nos aspectos sensoriais, sociais, emocionais, econômicos, na saúde mental e na qualidade de vida de um indivíduo [7].

O ouvido humano pode perceber frequências na faixa de aproximadamente 20Hz a 20kHz (faixa de áudio), mas o ouvido não é igualmente sensível a todas elas. A sensibilidade auditiva é maior na faixa de frequências entre 1kHz e 4kHz. Um ouvido normal pode diferenciar tons tão próximos quanto uma diferença de 5Hz em torno de 1kHz, generalizando-se portanto um índice de discriminação de aproximadamente 0,5%.

Sabendo isto, o filtro foi projetado para trabalhar na faixa de áudio.

### 2.1 O sistema auditivo

Na Figura 2.1 ilustra-se o ouvido com suas diferentes partes.

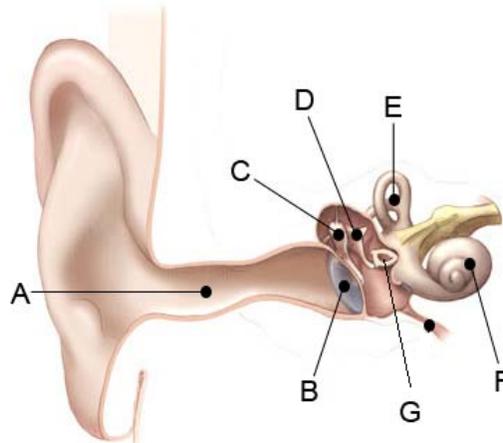


Figura 2.1: Partes do ouvido.

O ouvido é constituído de várias partes, cada uma com uma função específica:

- Ouvido externo (A): é a parte visível do ouvido e compreende a aurícula e o canal auditivo externo. O ouvido externo é separado do ouvido médio pela membrana timpânica.
  1. Aurícula: coleta as ondas sonoras e direciona as vibrações para dentro do canal auditivo.
- Ouvido médio: é composto pela membrana timpânica e por 3 pequenos ossos (ossículos).
  1. Membrana timpânica (B): protege o ouvido médio e conduz as vibrações sonoras desde o canal externo até os ossículos. A pressão é ampliada 22 vezes em consequência da transmissão de uma área maior para uma menor [8].
  2. Ossículos: São os três menores ossos do corpo, chamados martelo(D), bigorna (C) e estribo (G). Todos estes auxiliam na transmissão do som. A base

do estribo transmite o som para o ouvido interno.

- Ouvido interno: formada pela cóclea (F), que contém as células com pequenos pêlos (cílios) que transformam a vibração em sinais elétricos sensoriais da audição (células ciliadas).
- Nervo auditivo: os impulsos elétricos são transmitidos ao nervo auditivo, e daí conduzidos até o cérebro, onde serão interpretados [9].

### 2.1.1 O mecanismo da audição

O ouvido transforma os sons em sinais elétricos que o cérebro é capaz de entender, através do seguinte mecanismo: uma vez que os sons alcançam o ouvido externo, eles passam pelo canal do ouvido e atingem a membrana timpânica, que vibra. As vibrações da membrana timpânica chegam até os ossículos do ouvido médio (martelo, bigorna e estribo), que vibram e amplificam o som. As vibrações amplificadas são conduzidas aos líquidos da cóclea. Em seguida, atingem as células receptoras, que transformam as vibrações em impulsos elétricos. Estes impulsos caminham através do nervo auditivo até o cérebro, que os percebe como sons.

## 2.2 Perda Auditiva

A perda auditiva divide-se em duas categorias: perda auditiva condutiva e perda auditiva neurossensorial, dependendo do lugar onde ocorre.

A perda auditiva condutiva é o resultado de problemas no ouvido externo ou médio que bloqueiam ou degradam a transmissão do som a partir do ouvido externo ao interno [3]. A transmissão sonora pode ser impedida por diversos fatores, como pouca vibração dos tímpanos devido a variações de pressão no ouvido médio, pouca flexibilidade dos ossículos devido à calcificação, inflamações auditivas e até mesmo obstrução do canal. Alguns casos podem ser tratados, outros são permanentes, mas, em algumas situações,

o uso de aparelhos auditivos pode minimizar estas degradações da audição [10].

A perda auditiva neurossensorial envolve alterações no ouvido interno que causam mudanças na sensibilidade sonora. A perda de células ciliadas na cóclea devido à exposição de sons altos ou medicações fortes é a causa mais comum de perda neurossensorial. O dano às células ciliadas resulta também em conseqüente degeneração dos neurônios auditivos adjacentes. Se o dano das células ciliadas e dos nervos auditivos é excessivo, a conexão entre o sistema nervoso central e o mundo externo é perdido e a pessoa com tal nível de perda é considerada profundamente surda. Todavia, alguns neurônios auditivos podem ainda existir na cóclea, ainda com perda excessiva de células ciliadas. Direta estimulação elétrica destes neurônios pode criar sensação sonora em pessoas profundamente surdas. Estes sistemas eletrônicos de estimulação neural são chamados de próteses cocleares.

Existem casos onde há combinação desses dois tipos de perda auditiva, denominada perda auditiva combinada. A mais comum entre todas as deficiências auditivas é denominada presbiacusia, que é do tipo neurossensorial e atribuída ao avanço da idade. Na verdade, a audição começa a deteriorar-se a partir dos 18 anos, mas na maioria dos casos, não se percebe seus efeitos até por volta de 60 a 65 anos, quando a capacidade de ouvir sons corriqueiros e a compreensão de diálogos são afetadas.

Finalmente, outra grande causa de perda auditiva é a denominada Perda Auditiva Induzida por Ruído, para a qual já existe uma portaria do INSS tratando de termos ocupacionais [11]. Trata-se de uma diminuição gradual da acuidade auditiva decorrente da exposição contínua a níveis elevados de pressão sonora. Sendo sempre neurossensorial, irreversível e geralmente bilateral, muito raramente provoca perdas profundas, situando-se no máximo entre 40 e 75 dB(A) (decibéis nível auditivo). Como regra geral, é tolerada a exposição de, no máximo, 8 horas diárias a ruído com média ponderada no

tempo de 85 dB(A), ou dose equivalente. Mesmo que instantaneamente, não deve-se ultrapassar 130 dB(A) nos casos de níveis elevados de pressão sonora de impacto. Existem outros fatores que podem influenciar no desenvolvimento deste tipo de perda, entre eles vibrações, radiação, calor, agentes químicos (toluenos, fumos metálicos, monóxido de carbono) e até mesmo agentes biológicos como vírus e bactérias.

A perda auditiva não ocorre de forma homogênea quando se trata das diferentes frequências percebidas pelo ouvido. Isso ocorre porque o ouvido interior contém células capilares que reagem a diferentes tons (alta, média e baixa frequência), cuja vibração é responsável pela criação do impulso nervoso que será transmitido ao cérebro. Quando o quesito é perda auditiva induzida pela idade, os sons de alta frequência são geralmente os primeiros a serem atenuados, seguidos pelos de média e baixa frequência.

### 2.2.1 Audiometria

O primeiro passo para a minimização do problema constitui-se dos testes auditivos, para que se qualifique e quantifique a perda. Esse procedimento é conhecido como audiometria, e deve ser realizado após uma meotoscopia (exame visual do ouvido), de modo a identificar possíveis corpos estranhos. Além disso, deve-se realizar o exame após um repouso acústico de 14 horas no mínimo, de maneira a minimizar os efeitos de uma possível mudança temporária de limiar auditivo. Geralmente, a audiometria compõe-se de vários testes como:

- Limiar auditivo: teste de audição para determinação do mais fraco som possível de se ouvir. Realizado em uma sala isolada dos sons externos, são aplicados ao ouvido tons puros conhecidos de diferentes intensidades e frequências, fazendo-se conhecer, portanto, o limite de audição do paciente em cada tom na menor intensidade possível. A representação gráfica do resultado desse teste é conhecida como

audiograma, e geralmente os valores indicados são de frequências iguais a 250Hz, 500Hz, 1kHz, 2kHz, 4kHz e 8kHz. As Figuras 2.2 e 2.3 mostram os audiogramas de um ouvido normal e o de um ouvido que apresenta perdas, respectivamente.

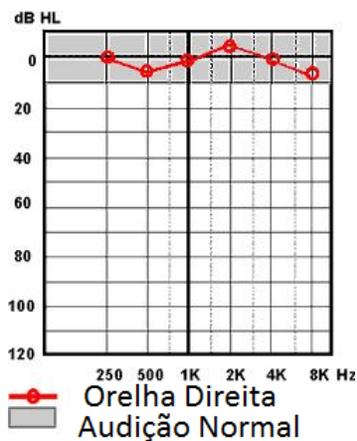


Figura 2.2: Audiograma de ouvido normal.

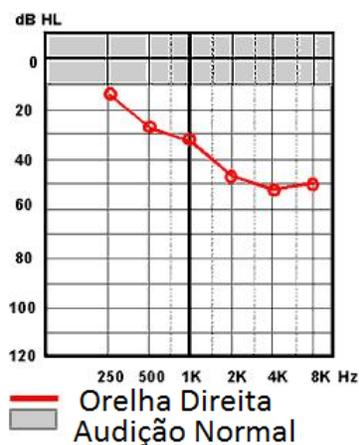


Figura 2.3: Audiograma de ouvido com perdas.

- Teste de reconhecimento de fala: trata-se de um teste para determinar a habilidade de se diferenciar os sons que constituem as palavras. É necessário que se repita as palavras ditas pelo fonoaudiólogo, que podem ser constituídas por monossílabos, dissílabos, sentenças curtas ou diálogo contínuo. O resultado é

dado pela taxa de acerto das palavras ditas a uma determinada intensidade (geralmente 40 dB).

- Impedância audiométrica: é um método para checagem da condição em que se encontra o ouvido médio. Um instrumento de medida montado num "plug" de borracha é inserido no canal auditivo, e faz-se ouvir um tom de baixa frequência. É possível determinar desse modo se há líquido ou diferença de pressão no ouvido médio.

No presente capítulo abordou-se o tema da audição, descrevendo tipo de perdas, partes que compõem o sistema auditivo, assim como testes realizados para a detecção de perdas auditivas. O próximo capítulo fornece informações sobre os implantes cocleares, dispositivos utilizados para pessoas que sofrem de perdas profundas ou severas.

# Capítulo 3

## Implantes Cocleares

O implante coclear tem sido utilizado nos últimos anos para restaurar a função da audição nos pacientes portadores de surdez profunda que não se beneficiam do uso de próteses auditivas convencionais. Trata-se de um equipamento que estimula diretamente o nervo auditivo através de pequenos eletrodos que são colocados dentro da cóclea e o nervo leva estes sinais para o cérebro. Já existe há alguns anos e hoje mais de 140.000 pessoas no mundo já o estão usando[12].

### 3.1 História

Apesar de todo o desenvolvimento e conhecimento científico na Otorrinolaringologia, o processo degenerativo natural da vida humana ainda é corrente. Zumbidos, vertigens e perda auditiva (hipoacusia) continuam sendo fatores importantes na diminuição de qualidade de vida. Estas queixas se tornam ainda mais importantes em crianças antes mesmo de terem vivenciado experiências auditivas. Isto impulsionou o desenvolvimento das próteses auditivas implantáveis e dos implantes cocleares[13].

O conceito de estimulação elétrica da cóclea com conseqüente percepção auditiva não é tão recente. O italiano Alessandro Volta, conhecido por desenvolver a pilha elétrica, já havia realizado experimentos colocando placas de metal em seus ouvidos e

estimulando-as com pilhas de 50V no ano 1800. A experiência não foi agradável, porém ele relatou ter escutado barulhos como “água fervente” antes de desmaiar.

Cinquenta anos depois, o francês Duchenne de Boulogne tentou repetir o experimento de Volta usando uma corrente alternada para estimular sua audição. Descreveu o som como a de um “inseto encurralado entre uma vidraça e uma cortina”.

O primeiro implante de um dispositivo para estimulação elétrica do nervo auditivo foi desenvolvido por Djourno e Eyriès em Paris em 1957. Logo após implantá-lo num paciente ele foi capaz de sentir a presença de sons no ambiente mas não conseguiu entender fala ou distinguir entre diferentes sons.

Outros cientistas interessados pelas descrições de Volta passaram a investigar os efeitos da estimulação do aparelho auditivo. Tentativas na mudança da fonte de estimulação e da fórmula do estímulo provocaram diferentes sensações. Brenner, em 1868, alternando a polaridade, a taxa e a intensidade do estímulo, publicou que a sensação auditiva não era tão desconfortável como em outras ocasiões [13].

Sobre os estímulos elétricos aplicados à cóclea, Stevens e Jones propuseram que ocorria um estímulo eletrofônico, ou seja, a corrente elétrica desencadearia ondas de vibração sonora que poderiam estimular o aparato auditivo.

O estímulo a partir de uma corrente elétrica desencadeia a audição de três formas:

- O ouvido médio atuaria como um transdutor, que converte a energia do campo elétrico criado na orelha média em vibrações mecânicas capazes de produzir sons.
- Um efeito mecânico da energia elétrica sobre a membrana basilar e subsequente estímulo nas células ciliadas externas.
- Estimulação direta da corrente elétrica sobre o nervo auditivo.

Na Figura 3.1 ilustram-se os principais componentes de um implante coclear.

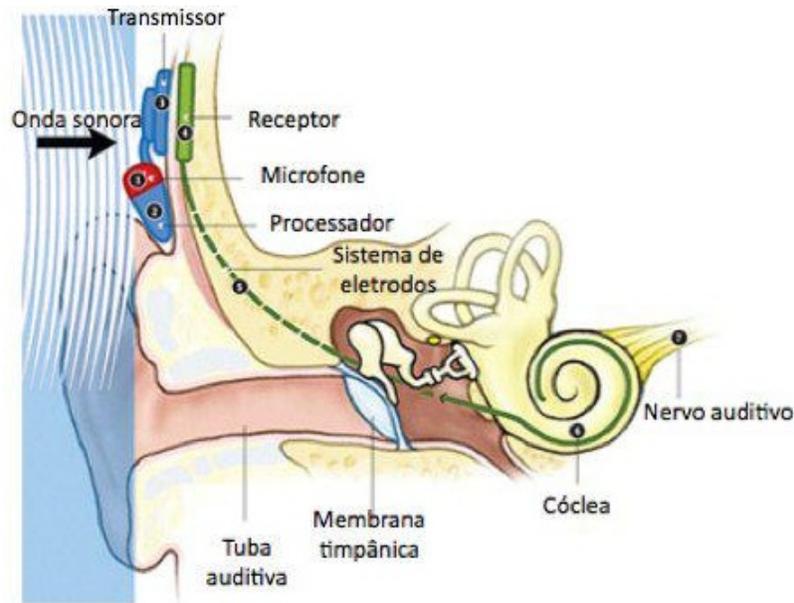


Figura 3.1: Implante coclear.

## 3.2 Partes do implante coclear

O implante coclear é composto por duas partes: uma unidade interna e outra externa.

1. **A unidade interna** (Figura 3.2) é implantada cirurgicamente dentro do ouvido do paciente. Esta unidade possui um feixe de eletrodos posicionado dentro da cóclea. Este feixe de eletrodos se conecta a um receptor (decodificador) localizado na região atrás da orelha, implantado por baixo da pele. Junto ao receptor fica a antena e o ímã que servem para fixar a unidade externa e captar os sinais elétricos.
2. **A unidade externa** (Figura 3.3) é constituída por um processador, uma antena transmissora e um microfone. A unidade externa é a parte do implante que fica aparente e pode ser de dois tipos: retroauricular ou tipo caixa. A antena transmissora possui um ímã que serve para fixá-lo magneticamente junto a antena da unidade interna (que também possui um ímã). O microfone capta o som do meio



Figura 3.2: Unidade interna.

ambiente e o transmite ao processador. O processador seleciona e analisa os elementos sonoros, principalmente os elementos da fala, e os codifica em impulsos elétricos que serão transmitidos através de um cabo até a antena transmissora. A partir da antena transmissora o sinal é transmitido através da pele por meio de radiofrequência e chega até a unidade interna. Na unidade interna há um receptor estimulador que contém um circuito integrado que converte os códigos em sinais eletrônicos e libera os impulsos elétricos para os eletrodos intracocleares estimulando diretamente as fibras no nervo auditivo. Esta estimulação é percebida pelo cérebro como som.

Neste capítulo apresentou-se um pouco da história dos implantes cocleares, assim como o funcionamento e partes que o compõem. No próximo capítulo, será discutido os tipos de filtros analógicos, assim como da técnica a capacitor chaveado utilizada para integrar filtros analógicos.



Figura 3.3: Unidade externa.

# Capítulo 4

## Filtros

### 4.1 Introdução

Os filtros são parte importante de qualquer circuito eletrônico. Um filtro é uma rede elétrica seletiva em frequência, que atua sobre a amplitude e/ou fase do sinal de entrada, dentro de um dado intervalo de frequências, não influenciando sinais cujas frequências se encontrem fora desse intervalo.

Os filtros podem ser classificados de acordo com os seguintes tipos:

1. Filtro Passa Baixo (LP- "*Low pass*"): passa baixas frequências. Isto é, permite passar frequências desde DC até o ponto conhecido como frequência de corte com um mínimo de perda na amplitude.
2. Filtro Passa Alto (HP- "*High pass*"): passa altas frequências. Funciona de maneira oposta ao filtro passa baixo no sentido que ele permite passar todas as frequências posteriores à frequência de corte. Não deixa passar DC.
3. Filtro Passa Banda (BP- "*Band pass*"): permite passar uma banda de frequências. A frequência de corte inferior e a frequência de corte superior delimitam a banda de passagem.

4. Filtro Rejeita Banda (*"Notch"*): evita a passagem de frequências de uma banda específica. Permite a passagem desde DC até a frequência de corte inferior e todas as outras frequências após a frequência de corte superior.

No projeto de circuitos integrados de frequência seletiva, a dificuldade de implementar indutores é uma desvantagem. Em muitas aplicações, essa limitação pode ser resolvida utilizando técnicas convencionais de filtros RC. No projeto de filtros RC, usa-se a combinação de resistores, capacitores, e blocos de ganho para obter a seletividade de frequência desejada sem a necessidade de indutores. Embora esses filtros sejam implementados em tecnologia MOS, sofrem de algumas limitações inerentes à tecnologia tais como:

1. Tamanho limitado de capacitores monolíticos.
2. Baixa tolerância de valor absoluto do resistor e capacitor.
3. Fraca estabilidade térmica dos resistores monolíticos.

Na maioria dos casos, o desempenho dos filtros RC depende fortemente do valor absoluto dos componentes do circuito e parâmetros do ganho, portanto a implementação prática de filtros RC frequentemente requer tecnologia híbrida, onde os resistores e capacitores se encontram fora do circuito integrado.

A técnica de capacitores chaveados surgiu de modo a otimizar a síntese de filtros RC em circuitos integrados, já que se reduz área ao implementar resistores usando duas chaves e um capacitor.

Os filtros analógicos podem ser implementados tanto com circuitos de tempo contínuo como com técnicas de dados amostrados (*"sampled-data techniques"*). Tradicionalmente implementações de dados amostrados utilizando a técnica de capacitor chaveado são usadas para aplicações de baixa frequência e alta precisão, enquanto que soluções de tempo contínuo (especialmente  $g_m - C$ ) são usadas para circuitos de alta frequência e de precisão média ou baixa [14].

O processamento de sinais elétricos é dividido em duas grandes categorias:

**Analógico** : Quando se trabalha com sinais contínuos tais como tensões, correntes e cargas onde esses sinais tem um valor para cada instante do tempo.

**Digital** : Neste tipo de processamento o sinal é composto por uma série de amostras tiradas de um sinal contínuo, se tendo valores discretos.

Os filtros a capacitor chaveado pertencem a uma classe de circuitos conhecidos como sistemas de dados amostrados, onde a informação é processada de forma não contínua em intervalos de tempo discretos por meio de chaves operadas periodicamente. Esses filtros são compostos por arranjos de capacitores, chaves analógicas e amplificadores operacionais. Os chaves analógicas são operadas por sinais de clock periódicos. Estes amostram a carga armazenada nos capacitores, sendo depois integrada por amplificadores operacionais integradores.

Como apresentado no Capítulo 2, a frequência máxima audível é de 20kHz, razão pela qual se escolheu um filtro passa baixa. Dessa forma se filtrará o sinal para somente trabalhar até essa frequência do espectro de áudio.

## 4.2 Técnica de capacitores chaveados (SC)

A técnica de capacitor chaveado (SC) surgiu pela necessidade de reduzir a área do "chip" assim como de integrar circuitos analógicos e circuitos digitais. Esta técnica apresenta as seguintes vantagens:

- Redução de área do circuito integrado.
- A resposta em frequência pode ser controlada mudando a relação de capacitâncias da rede.
- Pode ser implementada utilizando o processo CMOS padrão de baixo custo.
- Alta precisão ( $\sim 0,1\%$ ) já que a constante do tempo é implementada por relação de capacitâncias. Amplamente utilizado em aplicações na faixa de áudio [15].

### 4.2.1 Blocos funcionais

São classificados em duas categorias: passivos e ativos. Os passivos são aqueles compostos somente por capacitores e chaves. Já os blocos ativos levam em conta a utilização de amplificadores operacionais. Estritamente falando, uma chave MOS é um dispositivo ativo, já que este é composto por um ou mais transistores, o qual deve ser controlado por um sinal de clock. Mas neste trabalho a chave MOS é considerada passiva e somente os amplificadores operacionais são considerados ativos.

A maior vantagem da utilização de elementos SC passivos é a emulação de um resistor físico em uma configuração monolítica. Com a utilização de redes de capacitores e chaves é possível a emulação de resistores.

A grande vantagem dessa técnica é a grande redução de área, comparado com a implementação por resistores. Outra vantagem é que a resposta em frequência pode ser controlada mudando a relação de capacitâncias do filtro.

### 4.2.2 Princípio de funcionamento

A Figura 4.1 ilustra o princípio de operação de um resistor implementado usando capacitor chaveado. O capacitor  $C$  é alternadamente carregado para  $V_1$  e  $V_2$ .

De acordo com as fases  $\phi_1$  e  $\phi_2$ . A cada vez, uma carga  $\Delta q = C(V_1 - V_2)$  flui na forma de pulsos com a polaridade indicada na figura. Portanto pode-se definir uma corrente média ( $i_{av}$ ) como sendo o fluxo de carga  $\Delta q$  em cada periodo de *clock*  $T_c$ :

$$i_{av} = \frac{\Delta q}{T_c} = \frac{V_1 - V_2}{\frac{T_c}{C}} \quad (4.1)$$

Então o circuito se comporta, na média, como um resistor de valor:

$$R = \frac{T_c}{C} = \frac{1}{Cf_c} \quad (4.2)$$

conectado entre os nós ① e ②. Do ponto de vista funcional, as chaves transformam o capacitor  $C$ , em um elemento de memória não-dissipativo, em um elemento dissipativo e sem capacidade de memorização (resistor).

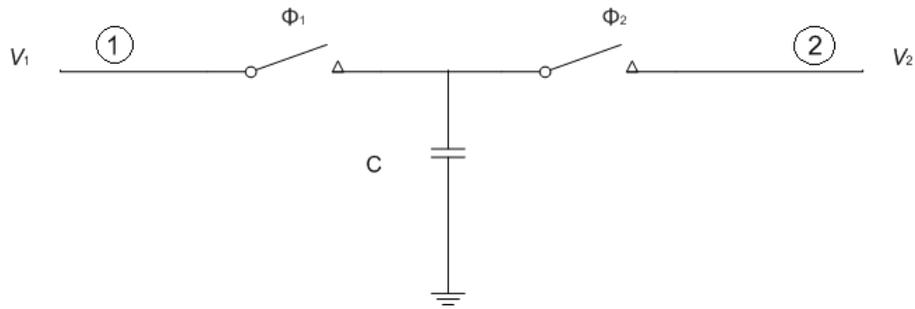


Figura 4.1: Resistor a capacitor chaveado.

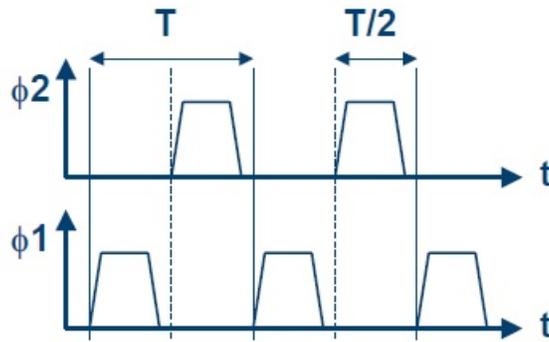


Figura 4.2: Sinais de clock.

O circuito da Figura 4.1 pode ser implementado na tecnologia MOS usando duas chaves MOS e um capacitor. Se um capacitor  $C_2$  é associado ao resistor a capacitor chaveado  $R_1$ , resulta na constante de tempo  $C_2 R_1$  dada por:

$$\tau = C_2 R_1 = \left( \frac{C_2}{C_1} \right) T \quad (4.3)$$

Então esta constante de tempo depende agora da frequência de clock  $f_c = 1/T_c$  que pode ser controlada de forma precisa por um oscilador de cristal, e da relação  $C_2/C_1$ . Assim, enquanto o valor absoluto de um capacitor MOS pode ser controlado

com uma precisão de 5% a 10%, a relação de duas capacitâncias pode ser precisa dentro de uma faixa de 1% [16]. Isso ocorre porque a maioria das fontes de erro afetam os capacitores do mesmo circuito integrado (especialmente aqueles localizados próximos uns aos outros) da mesma maneira. Esse tipo de comportamento também ocorre com as variações devido à temperatura e ao envelhecimento. A área ocupada também se reduz significativamente, uma vez que o resistor foi substituído por um capacitor e chaves, normalmente implementadas com o tamanho mínimo permitido pela tecnologia.

Na equação 4.3 pode-se observar que a constante de tempo  $\tau$  é determinada pela relação dos capacitores e não do valor absoluto de ambas, minimizando variações do processo.

As chaves do circuito da Figura 4.1 são implementadas com transistores como mostrado na Figura 4.3.

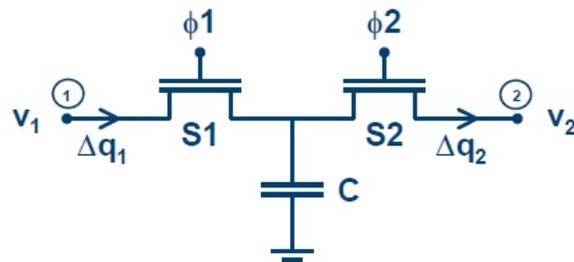


Figura 4.3: Implementação das chaves com transistores.

Dentro dos blocos funcionais, estão os integradores. Na Figura 4.4 é mostrada a forma clássica de implementação um integrador.

A faixa dinâmica é limitada principalmente pela fonte de tensão, a tensão threshold da chave e a potência de ruído de entrada[16].

Substituindo  $R_1$  pelo resistor simulado da Figura 4.3, tem-se o integrador com capacitor chaveado da Figura 4.5

Este integrador sofre de uma deficiência: ele é sensível ao efeito das capacitâncias parasitas entre os vários nós e linhas ao terra. No circuito da Figura 4.5, o nó que liga o capacitor  $C_1$  com as chaves é conectado às difusões fonte/dreno dos transistores,

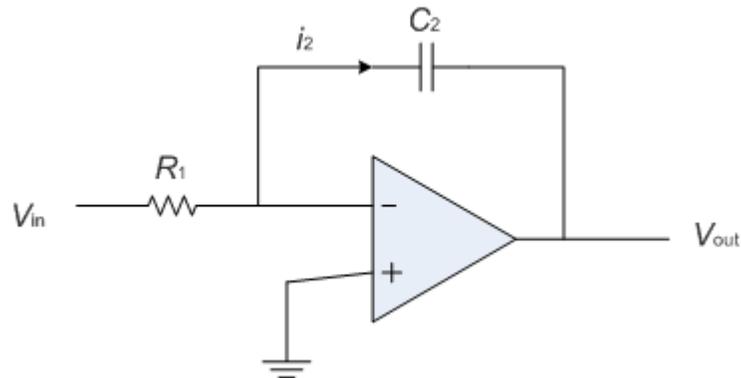


Figura 4.4: Forma clássica do integrador.

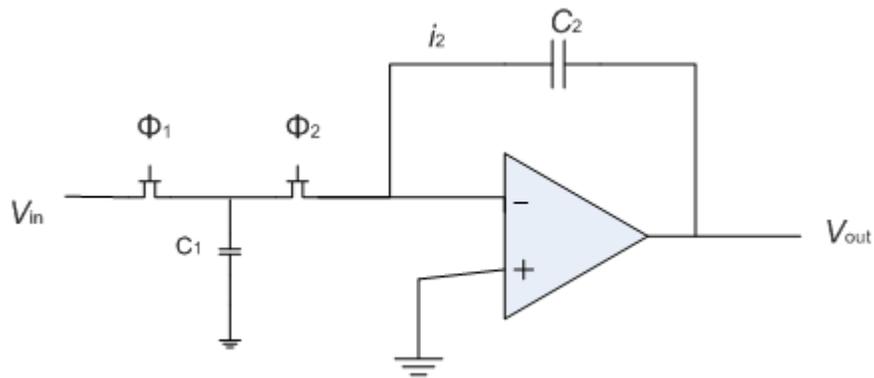


Figura 4.5: Integrador implementado com capacitor chaveado.

que possuem uma capacitância considerável para o substrato. Além disso, os terminais dos transistores e o capacitor  $C_1$  possuem uma capacitância parasita para o substrato. Esse valor de capacitância pode ser tão grande quanto  $0,05 \text{ pF}$  e esse valor pode não ser totalmente controlado e torna o valor real de  $C_1$  impreciso. Se uma precisão de  $1\%$  é necessária para  $C_1$ , deve-se então, escolher  $C_1 \geq 5 \text{ pF}$  [17]. Normalmente,  $C_2 \gg C_1$  e, portanto, uma grande quantidade de área é necessária para implementar o integrador.

Os efeitos das capacitâncias parasitas podem ser quase totalmente eliminados utilizando um tipo de integrador chamado de integrador insensível às capacitâncias parasitas mostrado na Figura 4.6. Neste circuito  $C_1$  é periodicamente carregado pela fonte de entrada  $V_{in}$ , que por sua vez libera uma carga  $C_1 \cdot V_{in}$  para o capacitor  $C_2$ . A análise

das capacitâncias parasitas  $C_A, C_B, C_C$  e  $C_D$  nos nós A, B, C e D, respectivamente, mostra que, para um ganho infinito do amplificador operacional, nenhuma delas contribui para a carga  $q_2$  em  $C_2$  [16]. A razão para essa insensibilidade é que o terminal de todo capacitor é chaveado entre nós de baixa impedância (terra e saída do operacional) ou é chaveado entre o terra e terra virtual (que possuem o mesmo potencial). Logo, nenhum delas afeta  $V_{out} = q_2/C_2$ .

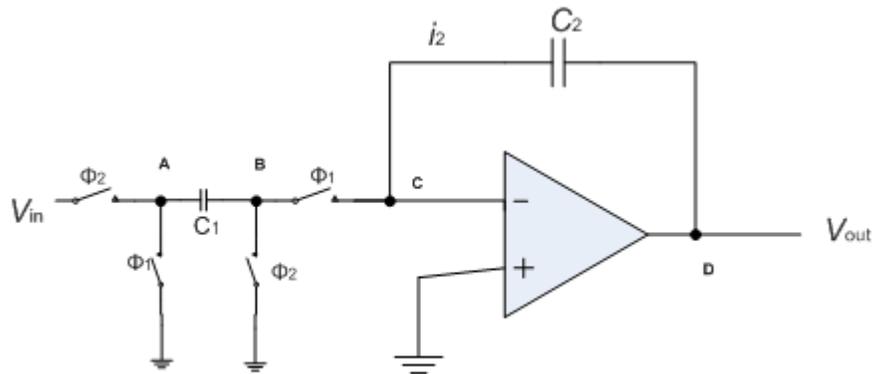


Figura 4.6: Integrador com capacitor chaveado insensível às capacitâncias parasitas.

### 4.2.3 Porta de transmissão

A porta de transmissão CMOS constitui uma chave analógica de condução bidirecional, implementada em geral com dois transistores MOSFET “flutuantes” (ou seja, o terminal fonte não é conectado nem a terra nem à alimentação) associados em paralelo, conforme a Figura 4.7a. Quando a porta de transmissão é habilitada, através da ativação do sinal de controle, a entrada é conectada à saída pelos transistores  $T_{p1}$  (PMOS) e  $T_{n1}$  (NMOS). Nesse estado, o terminal de porta do transistor canal P está ligado ao terra e o terminal de porta do transistor N, à fonte de alimentação. Em geral a carga de saída é dimensionada de forma que, quando a porta de transmissão está habilitada, os transistores operem, no regime, na região triodo, comportando-se como resistências.

Há duas razões para se utilizar dois transistores complementares em paralelo para

a implementação da chave. A primeira é compensar as variações de resistência fonte-dreno provocadas pelas variações das tensões  $V_{GS}$  e  $V_{SB}$  dos transistores. Uma variação de  $V_{SB}$  tem como consequência a variação da tensão de limiar do transistor MOS. Assim ao se alterar a tensão da entrada de zero a  $V_{DD}$ , a resistência do transistor NMOS ( $R_n$ ) vai aumentando, podendo atingir valores apreciáveis. Por outro lado, a resistência do PMOS ( $R_p$ ) tem comportamento complementar, fazendo com que a resistência equivalente da chave ( $R_n // R_p$ ) fique dentro de determinados limites.

Na Figura 4.7b ilustra-se as curvas de resistência de ambos os transistores e da resistência equivalente da chave em função da tensão de entrada. Estas curvas ilustram bem a operação dos dois transistores. Note que a resistência equivalente da associação tem seu valor máximo próximo da metade da excursão da entrada.

A segunda razão para o uso de dois transistores é permitir que tensões com valores próximos tanto de zero como de  $V_{DD}$  possam ser transmitidas pela chave. Considere uma porta de transmissão implementada apenas com um transistor NMOS. Nesse caso a fonte e o dreno servirão como entrada e saída (indiferente da ordem) da porta de transmissão e a porta do transistor, como entrada de controle. Quando a porta de transmissão estiver habilitada, sinal de controle com valor  $V_{DD}$ , apenas tensões de entrada com valores inferiores a  $(V_{DD} - V_{Tn})$  poderão ser transmitidas como ilustrado

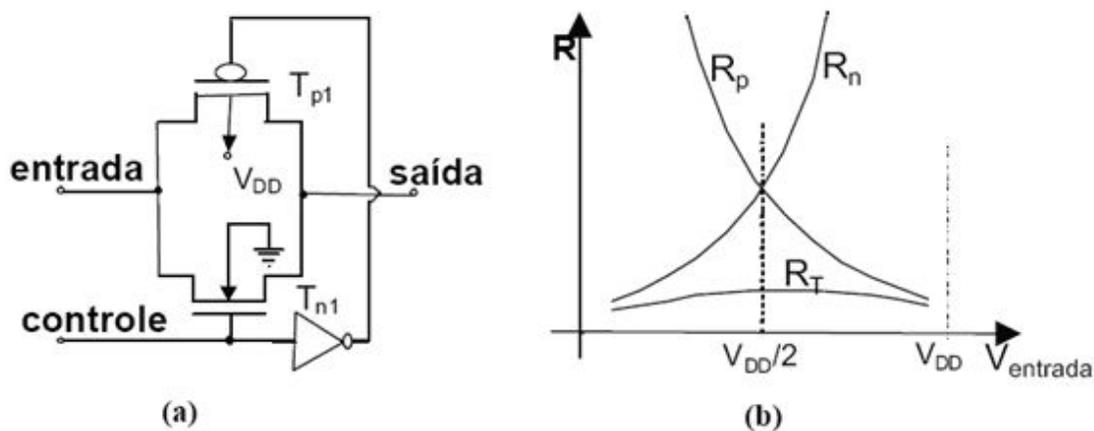


Figura 4.7: Porta de transmissão MOS.

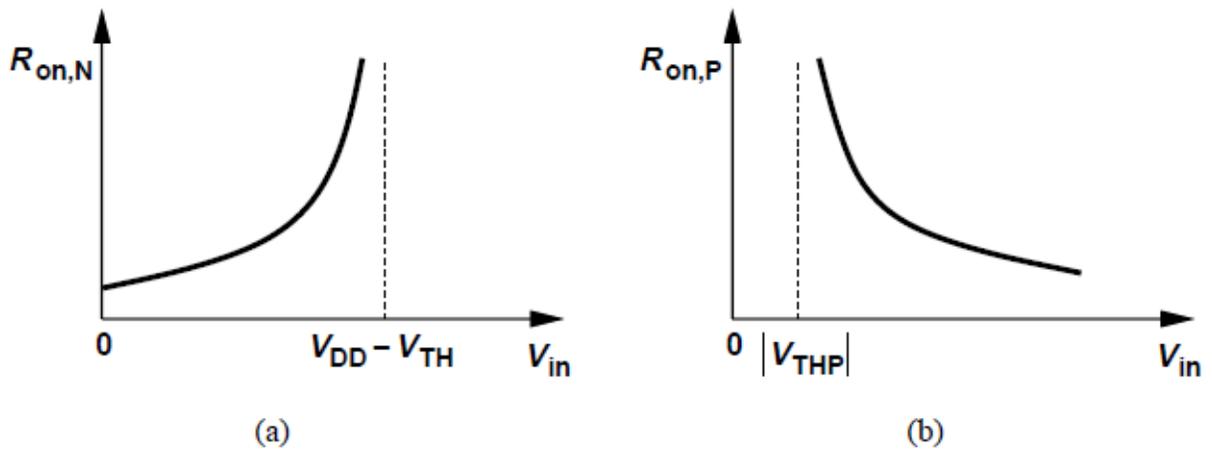


Figura 4.8: Resistência  $R_{on}$  do transistor a) NMOS e b) PMOS.

na Figura 4.8a. Tensões superiores a este valor forçarão à saída sempre ao mesmo valor ( $V_{DD} - V_{Tn}$ ).

No caso de se usar um transistor PMOS, o problema aparece com tensões com valores inferiores a  $|V_{Tp}|$  (Figura 4.8b). Tais dificuldades são especialmente graves quando estas portas de transmissão são usadas para implementar lógica digital. Para contornar esse problema portas com transistores complementares são empregadas; uma outra alternativa é utilizar no controle tensões diferentes de  $V_{DD}$  ou terra (por exemplo, uma porta com transistor NMOS e o valor da tensão de controle indo de zero a  $(V_{DD} + V_{Tn})$ ).

Neste capítulo apresentaram-se conceitos básicos sobre a técnica a capacitor chaveado, no seguinte capítulo será abordado o projeto elétrico.

# Capítulo 5

## Projeto do filtro a capacitor chaveado

### 5.1 Amplificador operacional

A Figura 5.1 ilustra o amplificador básico e seu circuito equivalente para pequenos sinais. O ganho desse circuito obtém-se pela seguinte expressão:

$$A_v = g_m r_{DS} = \frac{2I_{DS}}{V_{GS} - V_T} \frac{V_E L}{I_{DS}} = \frac{2V_E L}{V_{GS} - V_T} \quad (5.1)$$

Então pode-se observar que para ter-se um ganho alto tem-se como base a escolha de dois parâmetros fundamentais, esses parâmetros são  $V_{GS} - V_T$  e o comprimento de canal  $L$ . Deve-se escolher o menor valor possível para  $V_{GS} - V_T$  e o maior valor possível para o comprimento de canal. Por causa disso nunca é usado o valor mínimo do comprimento do canal  $L_{min}$  para o projeto de amplificadores analógicos. Comumente é utilizado um valor entre 4-5 vezes o valor mínimo de comprimento de canal. Para  $V_{GS} - V_T$  é geralmente utilizado um valor entre 0,15 e 0,2V [14].

Para este projeto foi adotado um valor de  $V_{GS} - V_T = 0,2V$  e um valor do canal de 5 vezes o valor de  $L_{min}$  ( $3\mu m$ ).

O amplificador operacional usado para o projeto de filtro passa-baixas a capacitor

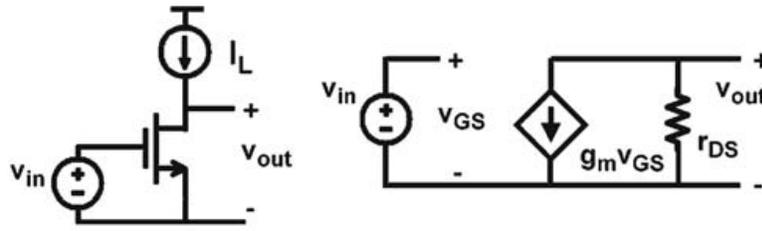


Figura 5.1: Amplificador básico.

chaveado está ilustrado na Figura 5.2 e pode ser dividido em dois estágios. O primeiro é um amplificador *"folded-cascode"*, que possui a propriedade de alto ganho de entrada, condição que lhe proporciona um baixo erro linear da tensão de saída. O segundo é um estágio de saída em fonte comum usado, basicamente para aumentar o ganho de malha aberta do amplificador *"folded-cascode"*.

### 5.1.1 Projeto do par diferencial

O par diferencial consiste dos transistores P11, P12, P21 e P22, como ilustrado na Figura 5.3.

Para o projeto do par diferencial será usada como referência a documentação do processo de fabricação  $0.6\mu\text{m}$  da XFAB. (Vide apêndice A). A corrente de dreno de casamento é descrita por :

$$\sigma \left( \frac{\Delta ID}{ID} \right) = \frac{AID_x}{\sqrt{W_{eff}L_{eff}}} \quad (5.2)$$

onde  $AID_x$  é o parâmetro de processo utilizado para calcular a corrente de dreno devido ao descasamento,  $W_{eff}$  é a largura efetiva do transistor,  $L_{eff}$  é o comprimento efetivo do canal do transistor e  $x$  é o valor de  $(VG - VTO)$ .

Ao adotar-se um  $VG - VTO = 200\text{mV}$  obtém-se um  $AID(0.2)_{PMOS4} = 10,8$ . (Valor obtido da tabela A.2 de apêndice A).

Substituindo esse valor na Eq.5.2 tem-se:

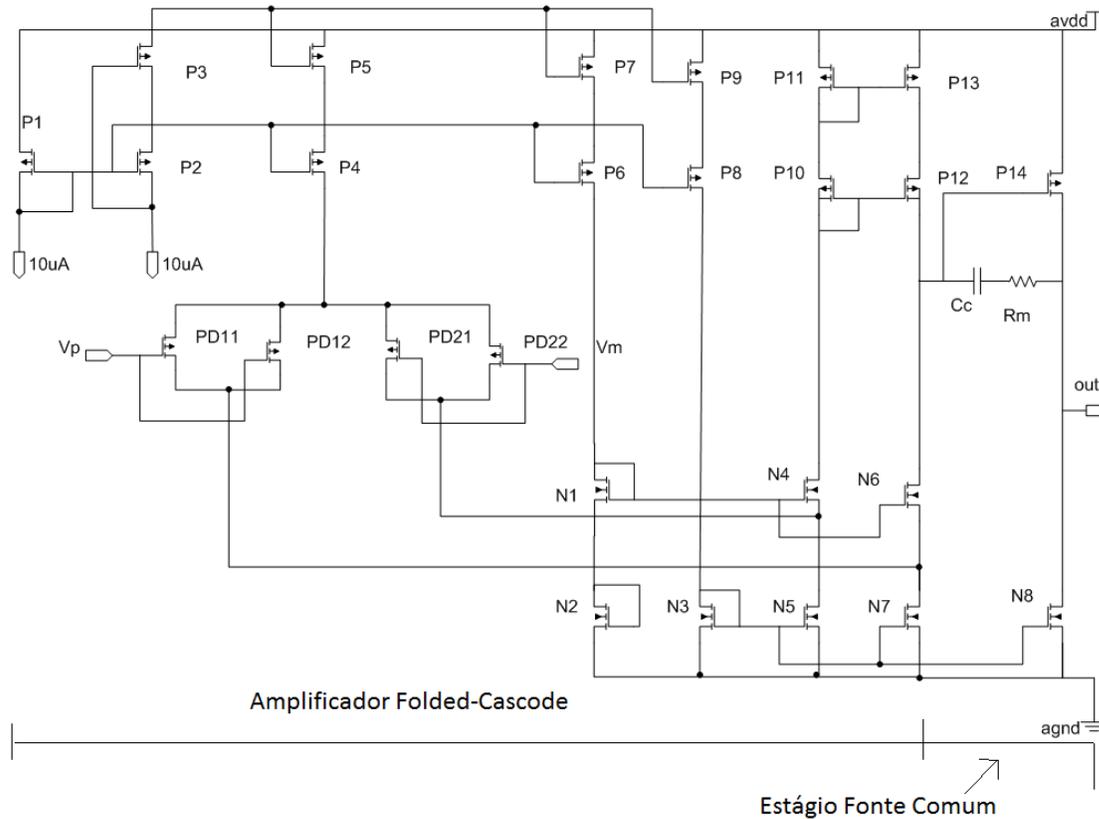


Figura 5.2: Esquemático do amplificador folded cascode.

$$\text{Para } \sigma \frac{\Delta ID}{ID} = 1 \quad \text{tem-se} \quad \frac{10,8}{\sqrt{W_{eff} L_{eff}}} = 1 \quad (5.3)$$

Então,

$$W_{eff} L_{eff} = \left( \frac{10,8}{1} \right)^2 = 116,64 \mu m^2 \quad (5.4)$$

Para minimizar os efeitos de canal curto adota-se  $L_{eff} = 5L_{min}$ , então  $L_{eff} = 5(0.6 \mu m) = 3 \mu m$ .

Desta forma, obtém-se:

$$W_{eff} = \left( \frac{116,64 \mu m^2}{3 \mu m} \right) = 38,88 \mu m \quad (5.5)$$

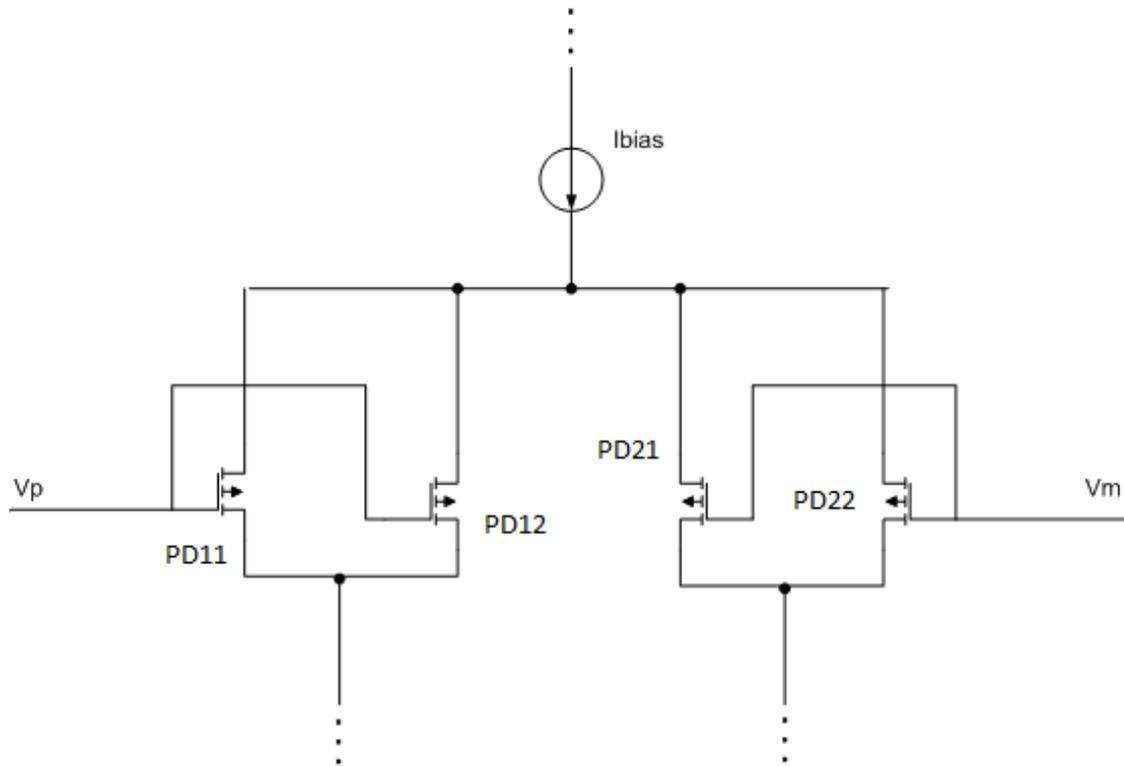


Figura 5.3: Par diferencial.

A Figura 5.4 ilustra um exemplo de dois componentes dispostos em acoplamento cruzado ("cross-coupled"), comumente realizado para casamento dos transistores do par diferencial de amplificadores operacionais.

Para obter-se um melhor casamento dos transistores do par-diferencial, neste projeto utilizou-se o *layout* de centróide comum, este tipo de *layout* é essencial para reduzir as fontes de descasamento.

Como par-diferencial *cross-coupled*, adotou-se:

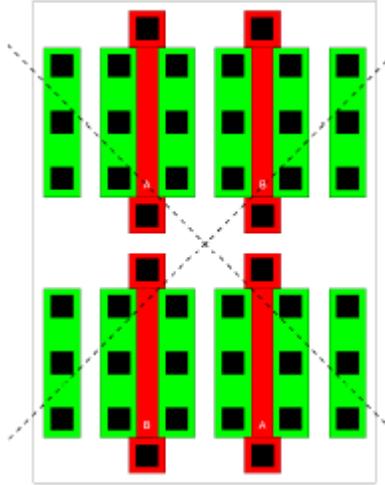


Figura 5.4: Exemplo de matriz bidimensional em centróide comum.

$$\left(\frac{W}{L}\right)_{PD11,PD12,PD21,PD22} = \frac{30\mu m}{3\mu m} \quad (5.6)$$

A Figura 5.5 mostra o layout do par diferencial PMOS.

Para a análise DC, o amplificador operacional foi configurado como *buffer*, com o objetivo de verificar-se a faixa de excursão linear da tensão de modo comum  $V_G$  e erro linear  $V_{OS}$ , como apresentado na Figura 5.6. Para isto, mede-se a diferença entre a tensão de saída  $V_S$  e  $V_G$ , que deve ser igual a  $V_{OS}$  até que o par diferencial, formado pelos transistores  $PD11, PD12, PD21, PD22$  saia da região de saturação e opere na região de triodo. Nota-se que o pior caso da faixa de excursão linear de  $V_G$  é igual a 2,49V.

Nas Figuras 5.6 e 5.7 tem-se as análises DC e AC, respectivamente, do amplificador operacional. Observa-se que de 0,2V até 4,2V o amplificador comporta-se de maneira linear. Também, identificou-se o seu polo em aproximadamente 7Hz.

Na análise AC, para a máxima carga de saída  $C_L$ , foi analisado o ganho de malha, com o objetivo de verificar o ganho de malha aberta  $A_O$ , frequência de ganho unitário  $f_{BW}$ , margem de fase  $MF$  e margem de ganho  $MG$ , como ilustrado na Figura 5.7.

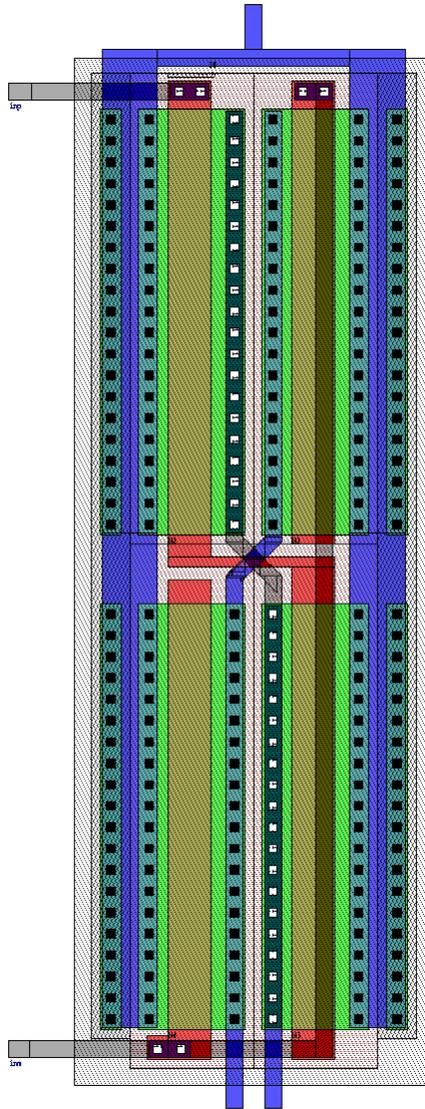


Figura 5.5: Par diferencial PMOS.

### 5.1.2 Correntes de polarização e slew rate

Para o projeto foi adotado um "slew rate" de  $SR = 10V/\mu s$  [18].

Para o capacitor de compensação Miller foi atribuído o valor de  $C_c = 1pF$ . A partir desses dois dados, tem-se a corrente de polarização que é dada por [18],

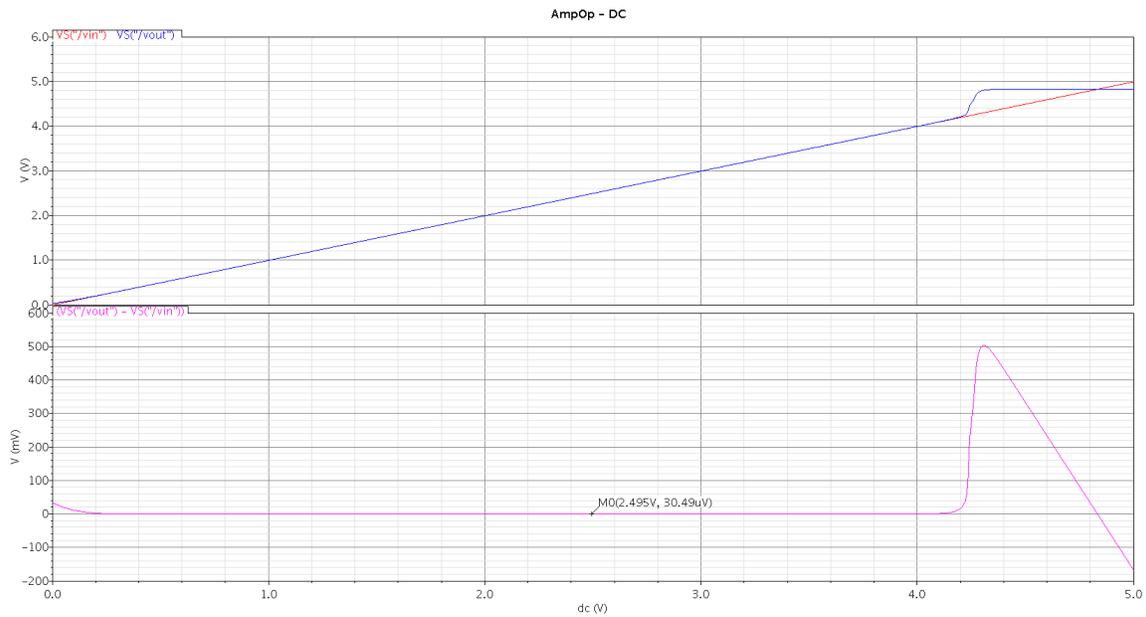


Figura 5.6: Análise DC do amplificador operacional.

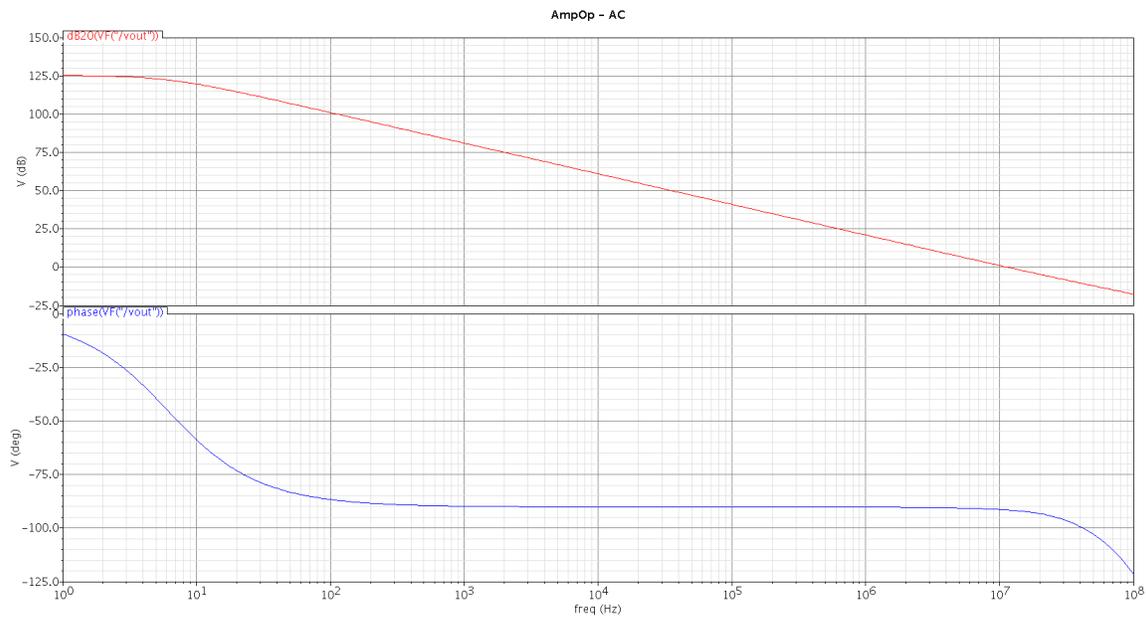


Figura 5.7: Análise AC do amplificador operacional.

$$Slewrates = \frac{I}{C} \quad I = 10 \frac{V}{\mu s} \cdot 1pF \quad I = 10\mu A \quad (5.7)$$

A Figura 5.8 mostra o análise do slew rate do amplificador. Como o slew rate é a variação de tensão por unidade de tempo, no gráfico pode-se observar

$$Slewrates = \frac{dV}{dt} = \frac{4V}{0,5\mu s} \simeq \frac{4V}{0,4\mu s} = 10V/\mu s \quad (5.8)$$

Dessa forma verificou-se o valor de  $10V/\mu s$  como especificado no projeto.

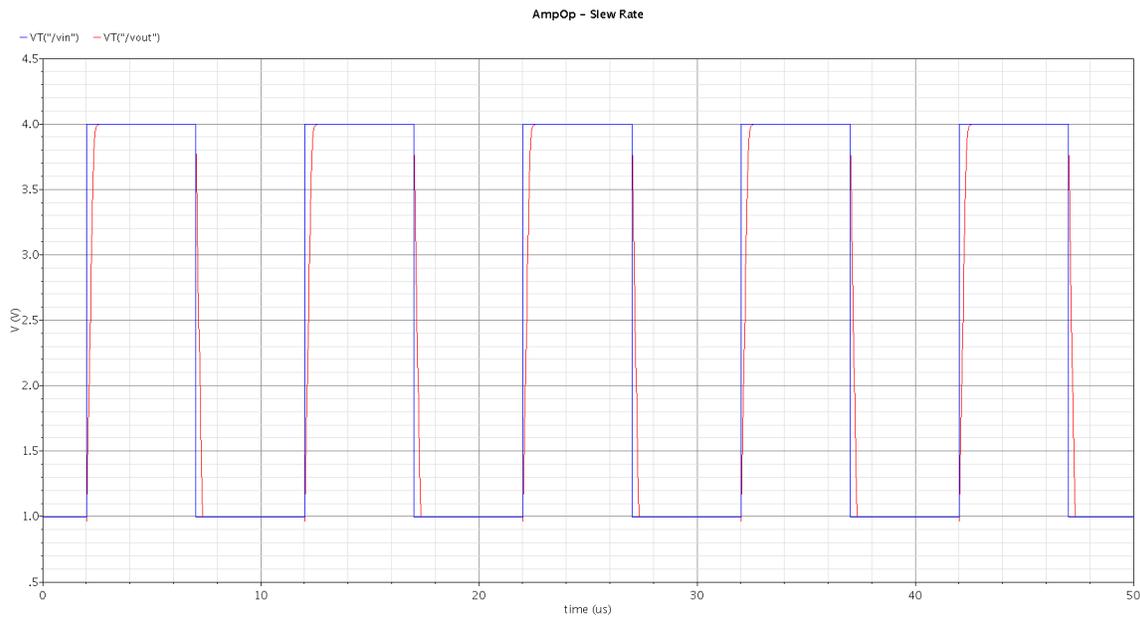


Figura 5.8: Análise do slew rate do amplificador operacional.

A Tabela 5.1 mostra os principais parâmetros do amplificador operacional e respectivos valores obtidos das simulações, onde:

1. Configurado como buffer, medido até máximo offset sistemático de 20 [mV].
2.  $V_G = 2,5[V]$ ,  $V_{AC} = 1 [V]$  e  $CL = 100 [fF]$ .
3.  $V_G = 1V \rightarrow 3V$ ,  $t_f = t_r = 1 [ns]$ ,  $T = 10 [s]$ ,  $D = 0,5$  e  $CL = 100 [fF]$ .
4.  $V_G = 2,5[V]$ , 100 casos de análise Monte Carlo e 3 sigmas.

Tabela 5.1: Parâmetros do amplificador operacional.

Parâmetro	Símbolo	Valor			Unidade
		Min	Tip	Max	
<i>Tensão de alimentação</i>	$V_{DD}$	4,5	5,0	5,0	V
<i>Consumo de corrente total (DC)</i>	$I_{b(TOT)}$			160	$\mu m$
<i>Mínima tensão de modo comum</i> <sup>1</sup>	$V_{G(mín)}$		50		mV
<i>Máxima tensão de modo comum</i> <sup>1</sup>	$V_{G(máx)}$		4,2		mV
<i>Ganho DC</i> <sup>2</sup>	$A_{DC}$		125		dB
<i>Frequência de ganho unitário</i> <sup>2</sup>	$f_{BW}$		11,6		MHz
<i>Margem de fase</i> <sup>2</sup>	MF		87,4		°
<i>Margem de ganho</i> <sup>2</sup>	MG		24		dB
<i>Slew Rate</i> <sup>1,3</sup>	SR		10		V/ $\mu s$
<i>Offset</i> <sup>1,4</sup>	$V_{OS}$	-18,5		18,5	mV

## 5.2 Projeto dos espelhos cascodes e carga ativa

### 5.2.1 Espelho de corrente

A Figura 5.9 ilustra a configuração básica de um espelho de corrente. Este circuito é formado por um transistor conectado como diodo ligado a um transistor que atua como amplificador. O primeiro transistor converte a corrente de entrada em tensão enquanto o segundo converte tensão em corrente. Se a razão  $W/L$  entre os transistores é  $B$ , então a razão de corrente será também igual a  $B$ . Esta razão é o ganho de corrente. De fato os dois transistores tem o mesmo  $V_{GS}$  e portanto o mesmo  $V_{GS} - V_T$ . Na prática a razão de corrente não é precisa, já que os transistores não operam com a mesma tensão  $V_{DS}$ , dando como resultado uma diferença na corrente do espelho. Para conseguir fazer essa diferença aproximada a zero, adicionam-se ao circuito mais dois transistores (M3 e M4) como ilustrado na Figura 5.10, os quais têm o objetivo de fazer as tensões  $V_{DS}$  através do espelho de corrente formado por M1 e M2 iguais. Essa estrutura é chamada

espelho cascode.

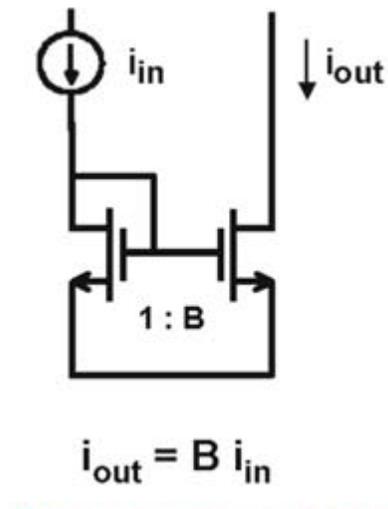


Figura 5.9: Espelho de corrente.

Neste projeto fez-se uso da configuração cascode para minimizar a diferença de corrente do espelho e para a polarização do amplificador operacional.

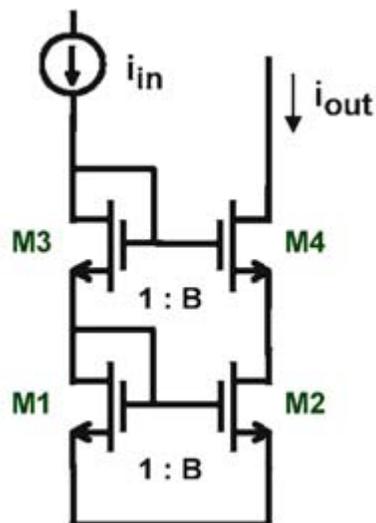


Figura 5.10: Espelho de corrente cascode.

A Figura 5.11 mostra o espelho de corrente PMOS utilizado para fornecer corrente

ao amplificador.

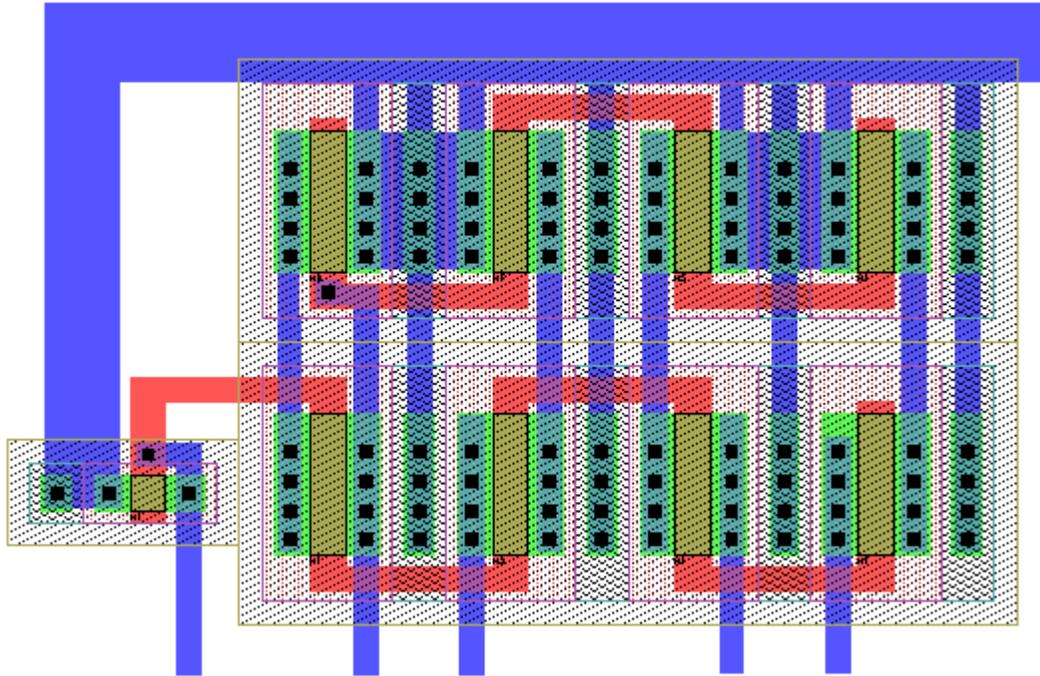


Figura 5.11: Espelho de corrente PMOS.

### 5.2.2 Carga Ativa

Para o amplificador diferencial *folded-cascode* utilizou-se como carga ativa um espelho de corrente cascode como o mostrado na Figura 5.10.

## 5.3 Chaves Analógicas

As chaves analógicas foram implementadas com transistores NMOS e PMOS compondo uma porta de transmissão, como apresentado no Capítulo 4. A porta de transmissão permite uma excursão de saída maior do que um único transistor NMOS ou PMOS.

Nesta seção apresenta-se o modelamento das chaves NMOS e PMOS para serem aplicadas no circuito de filtro a capacitor chaveado.

### 5.3.1 Chave NMOS

A Figura 5.12 ilustra o esquemático da chave NMOS.

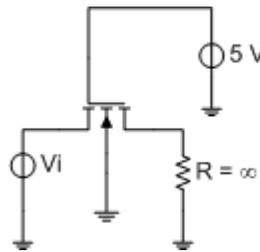


Figura 5.12: Chave NMOS.

Dimensiona-se a chave NMOS para que  $V_o = V_i$  e que possa excursionar entre  $0$  e  $(V_{DD} - 1,5V_{tn})$  ou seja  $0 \leq V_i \leq 3,5V$

Por meio de simulação paramétrica verifica-se que as dimensões do transistor NMOS são  $\frac{W}{L} = \frac{7\mu m}{0,6\mu m}$ . Na Figura 5.13 tem-se a análise DC da chave NMOS, onde observa-se como ao atingir o valor  $V_{DD} - V_{tn}$ , o transistor deixa de conduzir, limitando a saída ao mesmo valor  $(V_{DD} - V_{tn})$ .

### 5.3.2 Chave PMOS

Para a simulação da chave PMOS utilizou-se o esquemático mostrado na Figura 5.14. No caso do cálculo das dimensões do transistor PMOS, tem-se por objetivo que  $V_o = V_i$  esteja entre  $1,5|V_{tp}|$  e  $(V_{DD})$ , ou seja  $1,5V \leq V_i \leq 5V$ .

Do mesmo modo como foi feito para o dimensionamento de transistor NMOS (simulação paramétrica) obtém-se  $\frac{W}{L} = \frac{7\mu m}{0,6\mu m}$  para o transistor PMOS.

A Figura 5.15 mostra a simulação DC da chave PMOS, de maneira similar à análise da chave NMOS. Observa-se que para tensões menores a  $|V_{tp}|$  a chave não conduz.

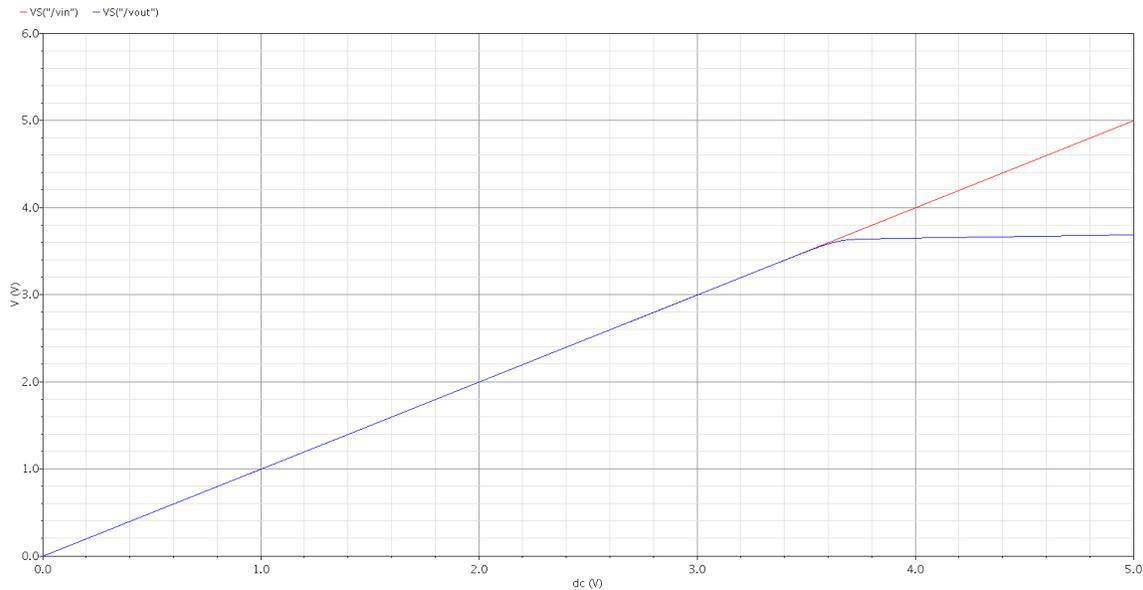


Figura 5.13: Análise DC da chave NMOS.

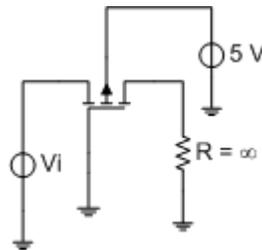


Figura 5.14: Chave PMOS.

### 5.3.3 Porta de transmissão

Tendo-se as dimensões dos transistores NMOS e PMOS, forma-se uma porta de transmissão por superposição dos efeitos dos dois itens anteriores, portanto a excursão do sinal será de  $0 \leq V_i \leq V_{DD}$ .

### 5.3.4 Análise AC e DC da porta de transmissão

Por meio da análise AC determinou-se a  $R_{eq}$  da chave analógica projetada. Para isso foi utilizado um capacitor de 1pF, e como entrada  $v_{dc} = 2,5V$  e  $v_{ac} = 1V$ , como mostrado

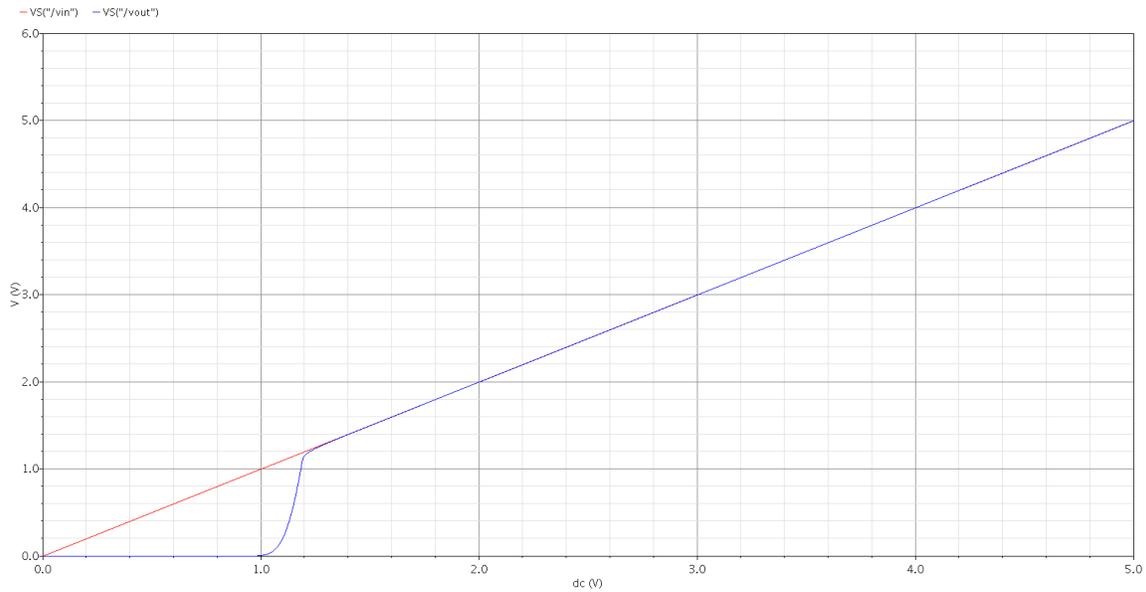


Figura 5.15: Análise DC da chave PMOS.

na Figura 5.16.

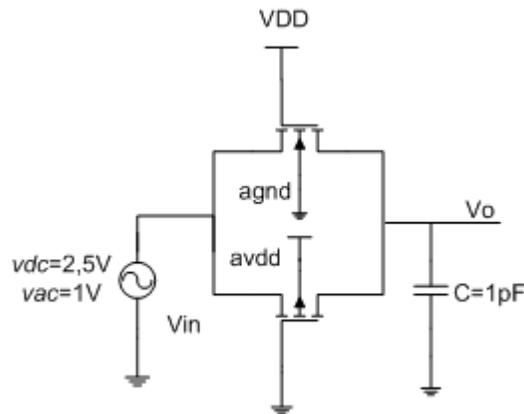


Figura 5.16: Chave analógica implementada com porta de transmissão.

As Figuras 5.17 e 5.18 mostram as simulações AC e DC respectivamente da porta de transmissão projetada. Observa-se na simulação AC, que o pólo está na frequência de 253,9 MHz. Tendo-se a fórmula  $\omega_0 = \frac{1}{\tau} = \frac{1}{RC}$  pode-se calcular a  $R_{eq}$  da porta de

transmissão, para um capacitor de 1pF. Assim tem-se que:

$$R_{eq} = \frac{1}{\omega_0 C} = \frac{1}{2\pi f C} = \frac{1}{2\pi(253,9MHz)(1pF)} = 626\Omega \quad (5.9)$$

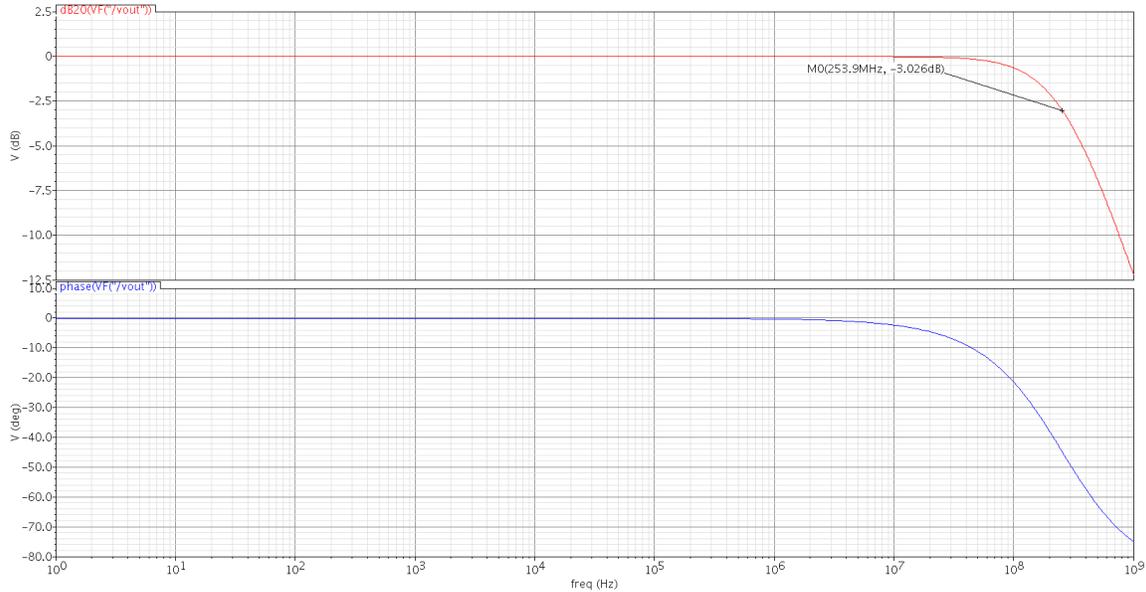


Figura 5.17: Análise AC da porta de transmissão.

## 5.4 Frequência máxima de operação

Para a determinação da frequência máxima de operação tem-se que [18]

$$t_s = RC \ln\left(\frac{1}{\varepsilon}\right); \quad \text{para um erro} \quad \varepsilon = 0,1\% \quad (5.10)$$

Para  $t_s \approx 7RC$ , substituindo-se os valores de resistência e capacitância na Eq. 5.10 tem-se:

$$t_s = 7(626\Omega)1pF = 4,38ns \rightarrow T_c = 8,77ns \quad (5.11)$$

$$f_{max} = \frac{1}{T_c} = 114MHz \quad (5.12)$$

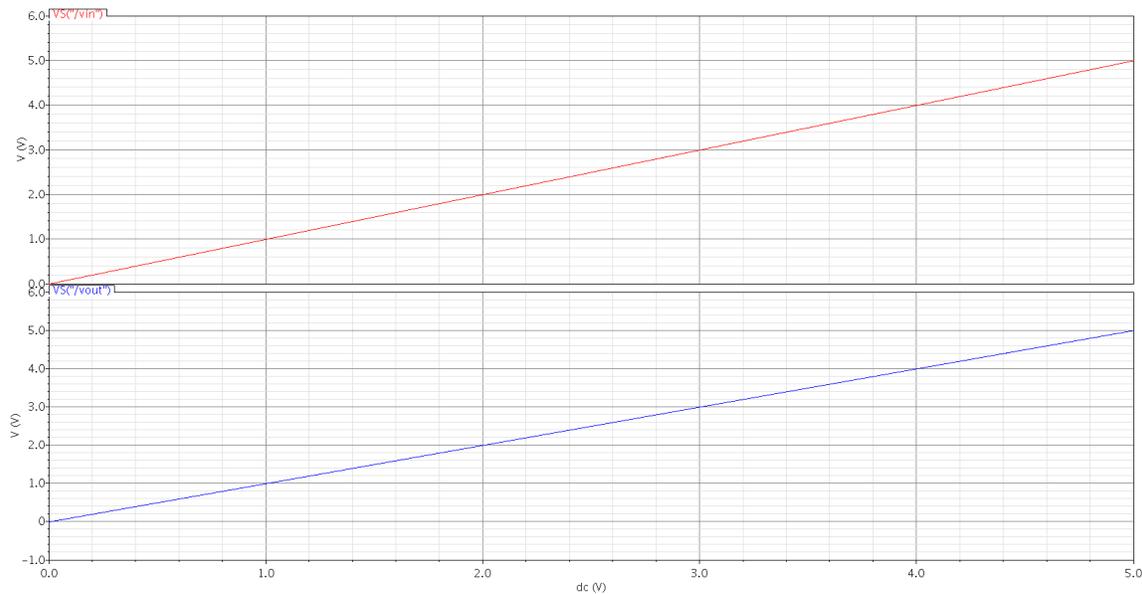


Figura 5.18: Análise DC da porta de transmissão.

Considerando variações de processo dos transistores e parasitas, adota-se uma  $f_{max} = 12MHz$ .

## 5.5 Características do filtro projetado

O filtro a capacitor chaveado foi implementado pela simples substituição direta, isto é, os resistores do filtro foram substituídos pela circuito equivalente a capacitor chaveado.

Na primeira parte do filtro há um estágio onde pode-se ajustar o ganho. Pela técnica de capacitor chaveado pode-se mudar a frequência de corte variando a frequência de chaveamento,

$$BW = f_{chaveamento} \cdot \frac{C_3}{C_2} \quad (5.13)$$

Como a frequência de chaveamento é igual a 1MHz e sendo  $C_2 = 4pF$  e  $C_3 = 1pF$ , obtém-se:

$$BW = 1MHz \cdot \frac{1pF}{4pF} = 250kHz \quad (5.14)$$

Tendo-se a frequência de chaveamento (1MHz) e os valores das capacitâncias utilizadas a Eq. 4.2.2 para obter o valor das resistências emuladas pelas chaves e capacitores.

$$R_{eq} = \frac{1}{1MHz \cdot 1pF} = 1M\Omega \quad (5.15)$$

## 5.6 Circuito Final

A Figura 5.19 mostra o diagrama do circuito final.

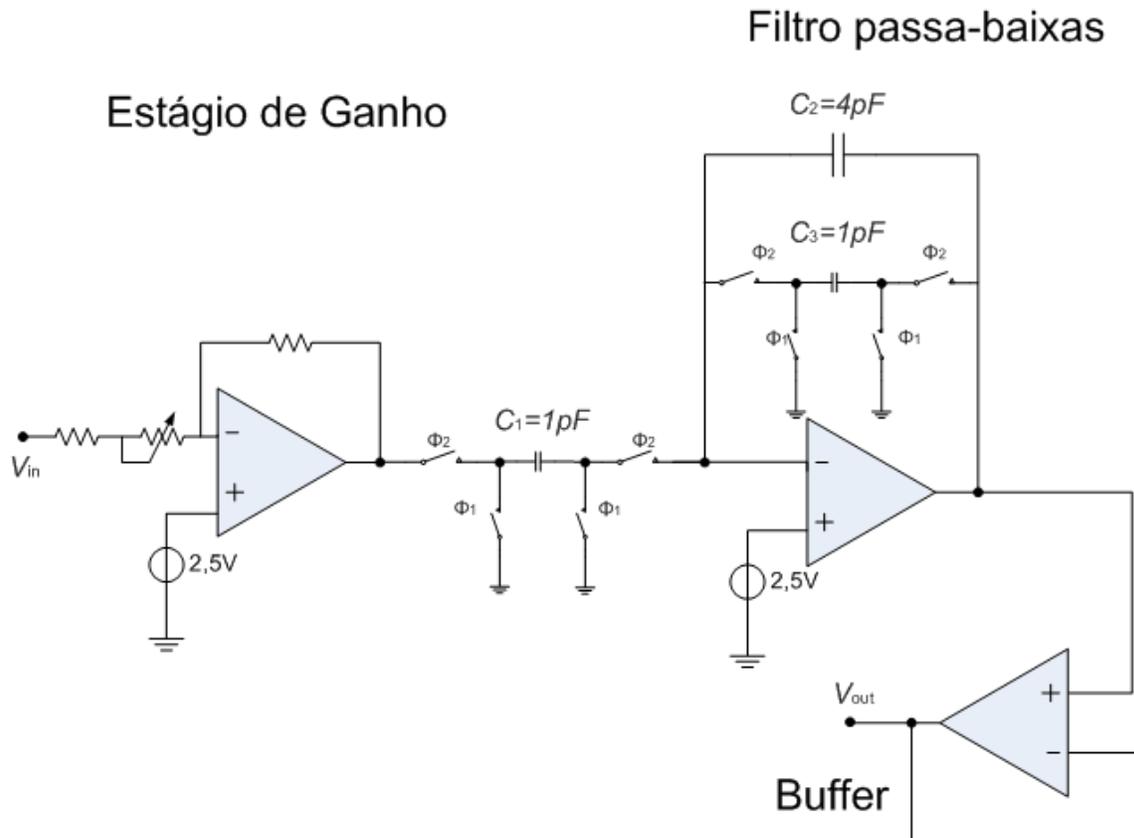


Figura 5.19: Circuito final.

Como os circuitos a capacitor chaveados são discretos, a análise AC não pode ser efetuada diretamente no SPICE. Para a simulação AC deste tipo de circuitos utilizam-se simuladores tais como Switcap. Utilizou-se o simulador Spectre da empresa CADENCE, para simplificar a análise somente efetuou-se simulação transiente com diferentes frequências para mostrar o correto funcionamento do filtro, para isto colocaram-se entradas com diferentes frequências e observou-se que a partir de 20kHz (frequência de corte) o sinal começa atenuar.

Para as simulações testou-se um sinal senoidal de entrada de 200mVpp com várias frequências para analisar atenuação e fase. As Figuras 5.20, 5.21, 5.22, 5.23 e 5.24 mostram o resultado das simulações para 200 Hz, 2kHz, 20kHz, 40kHz e 80kHz respectivamente.

Observa-se que a filtro amplifica 10 vezes o sinal de entrada (até a frequência de 20kHz), obtendo na saída do filtro 2Vpp, já acima de 20kHz começa atenuar o sinal e observa-se igualmente que o sinal sofre desfasamento.

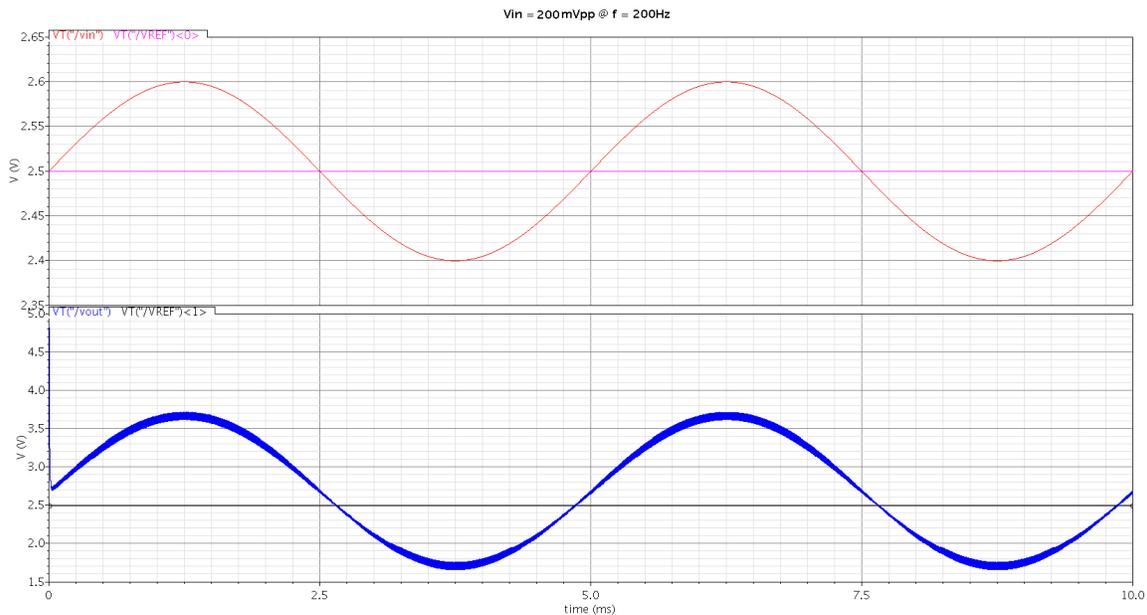


Figura 5.20: Sinal de entrada com frequência de 200Hz.

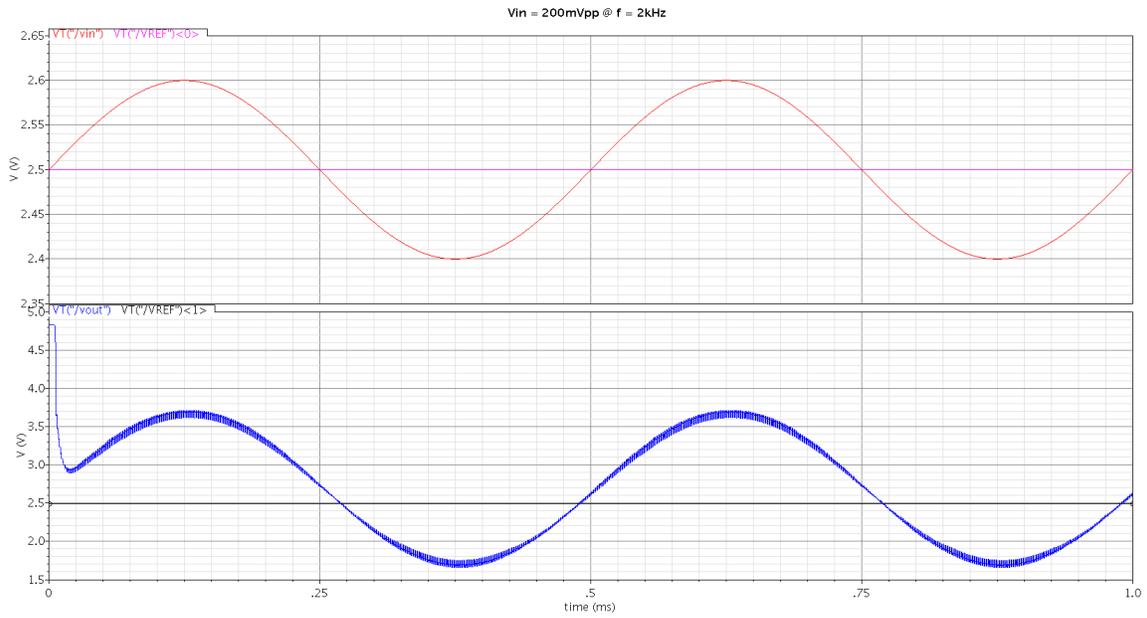


Figura 5.21: Sinal de entrada com frequência de 2kHz.

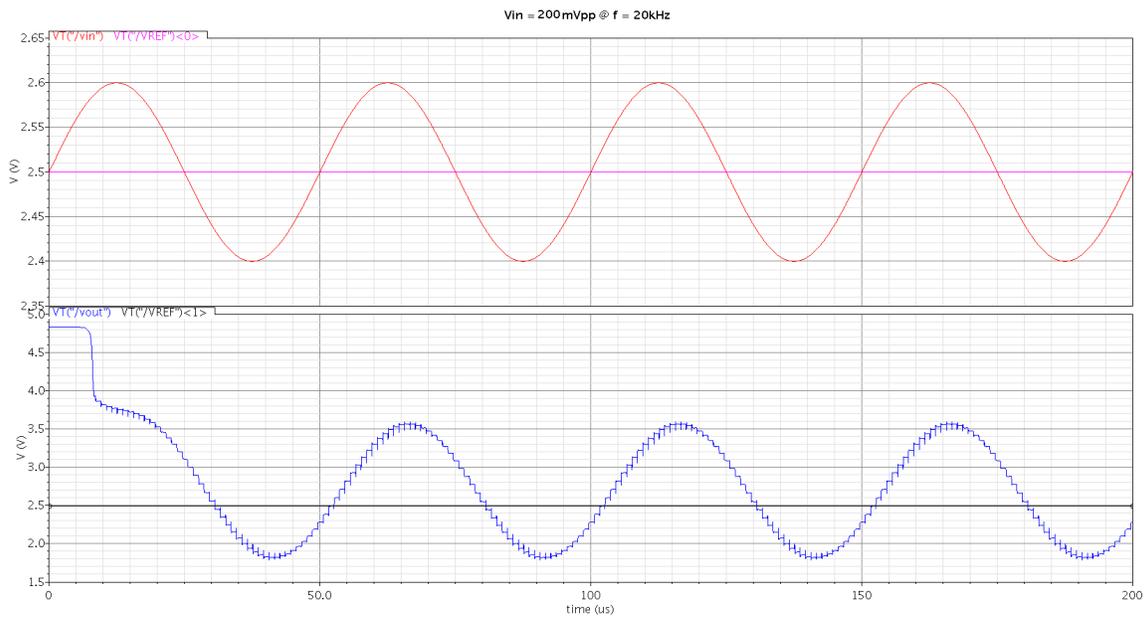


Figura 5.22: Sinal de entrada com frequência de 20kHz.

Tabela 5.2: Dimensão dos transistores

Dimensão dos transistores	
Transistor	Dimensão
P1	1,8/1,8
P2	7,2/1,8
P3	7,2/1,8
P4	7,2/1,8
P5	7,2/1,8
P6	7,2/1,8
P7	7,2/1,8
P8	7,2/1,8
P9	7,2/1,8
P10	5,4/1,8
P11	5,4/1,8
P12	5,4/1,8
P13	5,4/1,8
P14	21,6/1,8
PD11	30/3
PD12	30/3
PD21	30/3
PD22	30/3
N1	1,8/1,8
N2	1,8/1,8
N3	3,6/1,8
N4	1,8/1,8
N5	3,6/1,8
N6	1,8/1,8
N7	3,6/1,8
N8	36/1,8
Unidade	$\mu m/\mu m$

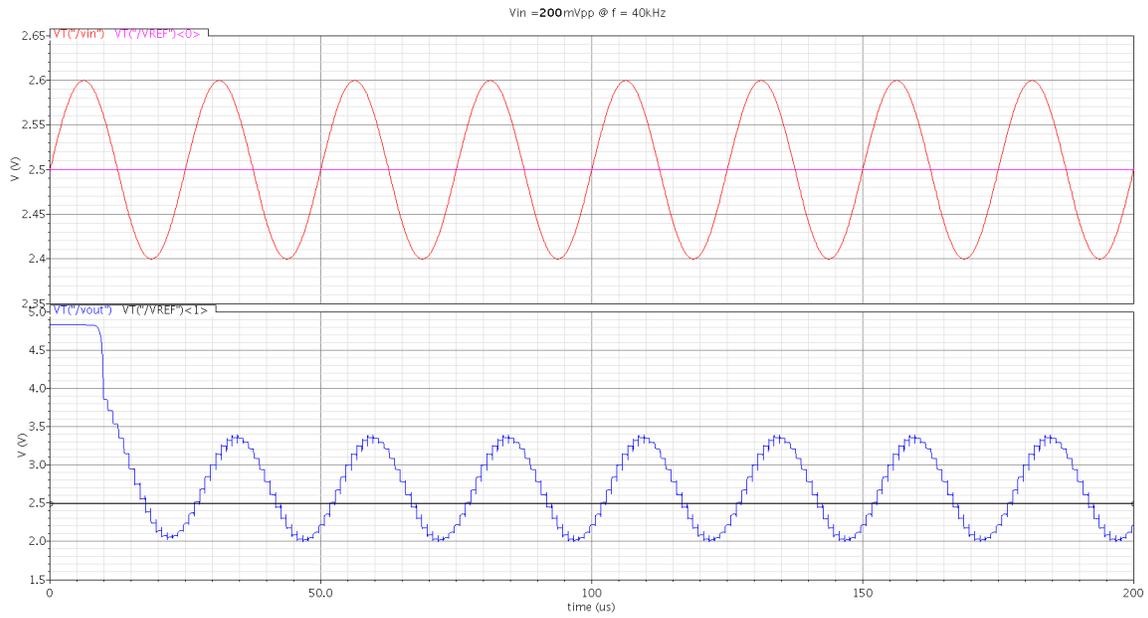


Figura 5.23: Sinal de entrada com frequência de 40kHz.

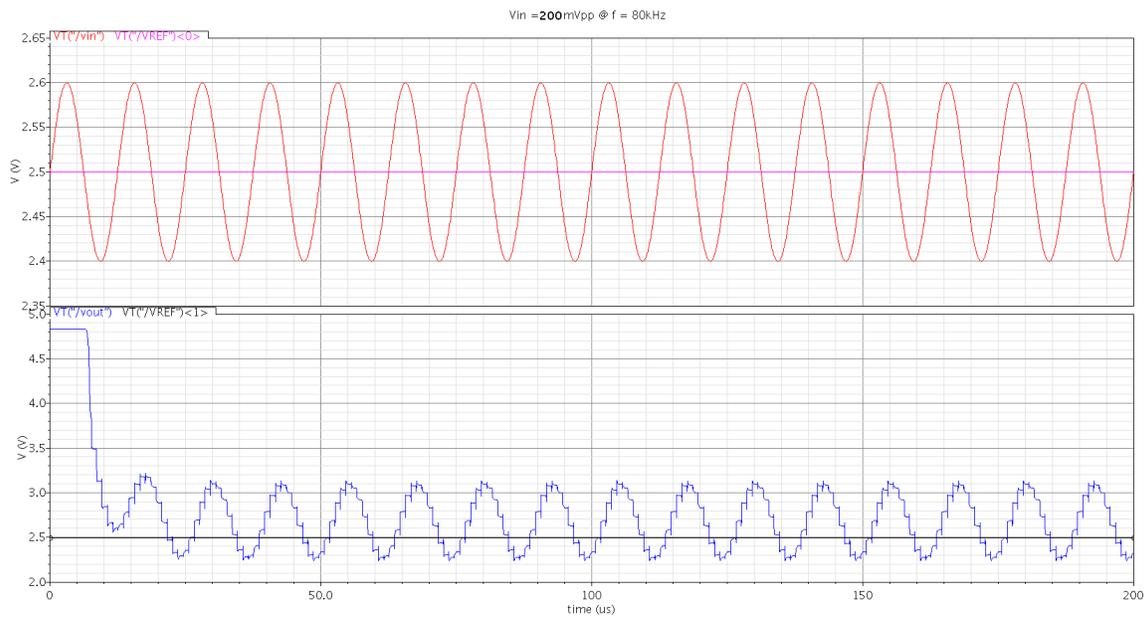


Figura 5.24: Sinal de entrada com frequência de 80kHz.

# Capítulo 6

## Conclusões

No presente trabalho implementou-se um filtro passa-baixas para aplicações de áudio. Já que a técnica a capacitor chaveado é utilizada em aplicações de filtros analógicos principalmente na faixa de áudio e mostrando uma alta precisão se descreveram os conceitos básicos dessa técnica ilustrando suas principais vantagens.

Observando os resultados vimos que o filtro funciona corretamente, além de poder variar o ganho e a frequência de corte, apenas mudado a relação de capacitâncias do filtro.

Para trabalhos futuros, existe o desafio da implementação de circuitos a capacitor chaveado para baixa tensão e baixa potência, o problema surge quando as chaves analógicas deixam de conduzir por causa da baixa tensão de alimentação, precisando a inclusão de multiplicadores de tensão ou a utilização da técnica *switched op-amp*.

# Apêndice A

## Parâmetros do processo

### A.1 Parâmetros de casamento do Transistor MOS

Para o cálculo dos parâmetros de casamento usa-se a largura efetiva ( $W_{eff}$ ) e o comprimento de canal efetivo ( $L_{eff}$ ) dos transistores:

$$W_{eff} = W + \Delta W \qquad L_{eff} = L + \Delta L \qquad (A.1)$$

Os valores de  $W_{eff}$  e  $L_{eff}$  obtêm-se dos valores  $\Delta W$  e  $\Delta L$  da Tabela A.1.

Tabela A.1:  $\Delta W$  e  $\Delta L$  para cálculos

Componente	$\Delta W$	$\Delta L$	Unidade
nmos4	-0.16	-0.05	$\mu m$
pmos4	-0.16	0.12	$\mu m$

A tensão threshold de casamento é descrita por:

$$\sigma(\Delta V_{TO}) = \frac{AV_{TO}}{\sqrt{W_{eff} \cdot L_{eff}}} \qquad (A.2)$$

A corrente de dreno de casamento é descrita por:

$$\sigma \left( \frac{\Delta ID}{ID} \right) = \frac{AIDx}{\sqrt{W_{eff} \cdot L_{eff}}} \quad (A.3)$$

onde x é (VG -VTO) a tensão de overdrive para o projeto.

Lembrar que o casamento da corrente de dreno depende fortemente da tensão efetiva do gate (VG - VTO).

Para o projeto do par diferencial optou-se por um valor de VG-VTO = 200mV

Tabela A.2: Parâmetros de casamento.

Informação de Parâmetros			
Parâmetro	AVTO	ABETA	AID0.2
nmos4	12.9	1.84	9.11
pmos4	13.5	1.61	10.8
Unidade	$mV\mu m$	$\% \mu m$	$\% \mu m$

## A.2 Parâmetros de casamento do capacitor

O casamento de capacitor é descrito por :

$$\sigma \left( \frac{\Delta C}{C} \right) = \frac{AC}{\sqrt{W \cdot L}} \quad (A.4)$$

Tabela A.3: Parâmetros de casamento

Informação de Parâmetros	
Parâmetro	AC
cpoly	1.86
cpolylin	1.28
Unidade	$\% \mu m$

Tabela A.4: Parâmetros de processo da Tecnologia xFAB CMOS 0,6 $\mu m$

Parâmetro	Símbolo	Valor			Unidade
		Min	Tip	Max	
Ganho de Transcondutância (NMOS)	KPN	-	117	-	$\mu A/V^2$
Tensão de Threshold (NMOS)	$V_{t_n}$	-	1	-	V
Coefficiente Térmico - Tensão Threshold (NMOS)	$TCV_{t_n}$	-	-1.4	-	$mV/K$
Ganho de Transcondutância (PMOS)	KPP	-	40	-	$\mu A/V^2$
Tensão de Threshold (PMOS)	$V_{t_p}$	-	-1,05	-	V
Coefficiente Térmico - Tensão Threshold (PMOS)	$TCV_{t_p}$	-	1,6	-	$mV/K$
Área de capacitância (poly-0/poly-1)	CPOX	1,68	1,87	2,10	$fF/\mu m^2$

# Referências Bibliográficas

- [1] Fan-Gang Zeng, S. Rebscher, W. Harrison, X. Sun, and H. Feng. Cochlear Implants: System Design, Integration and Evaluation. IEEE Reviews in Biomedical Engineering, Vol.1, 2008.
- [2] W. Germanovix and C. Toumazou, “Design of a micropower current-mode log-domain analog cochlear implants, ” *IEEE Trans. Circuits Syst. II: Analog Digit. Signal Process.*, vol. 47, no. 10, pp. 1023–1046, Oct. 2000.
- [3] Jader Alves de Lima Filho, ”Projeto de Circuitos Integrados CMOS de Baixa Tensão para Aplicações em Dispositivos de Auxílio Auditivo”, Relatório de Projeto de Iniciação Científica - UNESP, Universidade Estadual Paulista.
- [4] Luís Cléber Carneiro Marques, Técnica de MOSFET chaveado para Filtros programáveis operando à baixa tensão de alimentação, Universidade Federal de Santa Catarina, Novembro 2002, Florianópolis.
- [5] Mingliang Liu, Demystifying Switched-Capacitor Circuits, Elsevier, 2006.
- [6] Miranda EC, Calais LL, Vieira EP, Carvalho LMA, Borges ACLC, Iorio MCM “Dificuldades e benefícios com o uso de prótese auditiva: percepção do idoso e sua família”, *Rev Soc Bras Fonoaudiol.* 2008;13(2):166-72.
- [7] Bastos BG, Amorim RB, Ferrari DV. “Atitudes frente às próteses auditivas ”, *Rev CEFAC*, São Paulo, 2008.

- [8] Guyton “Fisiologia Humana” 6a Edição, Editora Guanabara Koogan, 1988
- [9] [www.implantecoclear.org.br](http://www.implantecoclear.org.br) (Acessado em janeiro 2010).
- [10] Trabalho UNESP 'Projeto de Circuitos Integrados CMOS de Baixa Tensão para Aplicações em Dispositivos de Auxílio Auditivo'.
- [11] “Portaria do INSS com Respeito à Perda Auditiva por Ruído Ocupacional”, Diário Oficial no. 131, 11 de julho de 1997, seção 3, pg. 14244 à 14249.
- [12] Daniel Bustamante da Rosa, Prespectivas e avanços do implante coclear, INATEL, 2009.
- [13] [www.centrodeorl.com.br](http://www.centrodeorl.com.br)
- [14] R. Castello, F. Montecchi, F. Rezzi, and A Baschiroto, "Low-voltage analog filters,"IEEE Trans. on Circuits and Systems I, vol. 42, pp. 827-840, November 1995.
- [15] Microelectronic switched capacitor filters - IEEE Circuits and Devices Magazine 1991.
- [16] Carlos Renato Trevisan de Mori, Projeto de um Modulador Sigma-Delta de segunda ordem em Low Voltage, utilizando a técnica de capacitores chaveados, Escola Federal de Engenharia de Itajubá, Julho 1999.
- [17] Gregorian, R. Marin, K. W. Temes, G. C., Switched-Capacitor Circuit Design, Proceedings of the IEEE, vol. 71, no. 78, August 1983.
- [18] Willy M.C. Sansen, Analog Design Essentials, Springer, 2006.  
pp. 18–23, 1997.