



Universidade Federal de Itajubá

Programa de Pós-Graduação em Engenharia Elétrica

Paulo César Crepaldi

UM REGULADOR DE TENSÃO LINEAR CMOS, BASEADO NA TOPOLOGIA LDO, PARA APLICAÇÃO EM UM BIO-IMPLANTE

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos necessários para a obtenção do título de Doutor em Ciências em Engenharia Elétrica

Área de concentração: Automação e Sistemas Elétricos Industriais

Orientadores: Prof. Dr. Robson Luiz Moreno – UNIFEI
Prof. Dr. Edgar Charry Rodrigues – USP

Abril de 2010
Itajubá – Minas Gerais

RESUMO

Os sistemas de monitoramento dos sinais vitais de pacientes têm encontrado uma aplicação muito difundida em hospitais, como, por exemplo, nas Unidades de Terapia Intensiva (UTIs). Quando os equipamentos estão conectados a uma rede de comunicação, formam um sistema de telemedição em que estes pacientes podem ser monitorados de forma remota, o que indica uma tendência a sua portabilidade.

Existe, portanto, a necessidade do uso de sensores e condicionadores de sinal que possam ser acoplados diretamente ao paciente ou mesmo implantados e, assim, formar um sistema de aquisição de dados biológicos (biotelemetria) como, por exemplo, a pressão arterial, os batimentos cardíacos, o nível de glicose no sangue, etc.

Os sistemas implantados precisam ter algumas condições de contorno importantes como: dimensões reduzidas, possibilidade de ativação através de um enlace de Rádio Frequência, imunidade a ruídos, estabilidade a longo termo e baixo consumo de potência.

Este projeto tem por objetivo o desenvolvimento e a implementação de um circuito responsável pela alimentação de um dispositivo implantado, ou seja, um regulador linear de tensão capaz de fornecer, com qualidade e eficiência, a tensão de operação dos outros subsistemas.

O projeto procura atender, ainda, a um quesito de baixo custo de prototipagem e produção para que os resultados possam ser facilmente reproduzidos.

ABSTRACT

Patient monitoring systems can be found in a wide range of application on hospitals like in the Intensive Unit Care. When the equipments are connected to a communication network they form a telemedicine system by which the patients can be monitored remotely way. That is an indication of the portability of these instruments.

Therefore, there is a demand for sensors and signal conditioners that can be placed directly to the patient or, even, implanted. The implanted device forms a biological data acquisition system (biotelemetry) of biological data like heart beats and blood pressure among others.

The implanted devices must meet important constrains such as: reduced size, noise immunities, long term stability and low power consumption and the possibility of be powered by a RF link.

This work aims the development and implementation of a power supply circuit for implanted systems, specifically, a Linear Voltage Regulator that can supply the nominal voltage for all subsystems with quality and efficiency.

This project also targets other important requirements such as low cost of prototyping and production so that it can be easily reproduced.

REFLEXÃO

“Não há ventos favoráveis para aqueles que não sabem para onde vão”

Lucius Annaeus Seneca

AGRADECIMENTOS

Aos meus Pais, Mário e June, pelo legado transmitido, através de seus atos, de dignidade, honestidade e, acima de tudo, de amor;

À minha esposa, Yvelise, e às minhas filhas, Thamires e Geovanna, que souberam compreender os momentos em que lhes fui distante;

Aos meus Orientadores, Dr. Robson Moreno e Dr. Edgard Charry, pela oportunidade do desenvolvimento do trabalho e pela grande amizade;

Ao Diretor do Instituto de Engenharia de Sistemas e Tecnologias da Informação (IEST), Dr. Carlos Ayres, por sua ética profissional e apoio irrestrito quando do meu afastamento;

Ao Coordenador do Grupo de Microeletrônica, Dr. Tales Pimenta, pelo apoio diário em nossas atividades e pela ajuda com a língua inglesa na submissão dos artigos;

Aos colegas do Grupo de Microeletrônica, Luis Ferreira, Evandro Cotrim, Evaldo Cintra e Otávio Gomes, pela amizade e pela troca de informações técnicas;

Ao Coordenador do Laboratório de Testes de Equipamentos de Telecomunicações (LTET), Prof. José Rodrigues, pela utilização da câmara térmica;

Enfim, agradeço a todos aqueles que, de alguma forma, contribuíram para a realização deste projeto.

ÍNDICE DE FIGURAS

Capítulo 1

Figura 1.1 – Diagrama de Blocos Simplificado do Sistema de Biotelemetria	1
--	---

Capítulo 2

Figura 2.1 - Diagrama de Blocos de um Sistema RFID	18
Figura 2.2 – Circuito Regulador de Tensão - Diagrama em Blocos	23

Capítulo 3

Figura 3.1 – Diagrama em Blocos de uma Fonte de Alimentação Linear	29
Figura 3.2 – Circuito Retificador com Topologia de 4 Transistores NMOS	31
Figura 3.3 - Layout Desenvolvido para o Circuito Retificador	32
Figura 3.4 – Valores de Tensão para o Cálculo do Capacitor	33
Figura 3.5 – Circuito para a Obtenção do Valor de W dos Transistores do Retificador.	35
Figura 3.6 – Resultado da Simulação para o Valor de W @ T = 37[°C].	35
Figura 3.7 - Simulação (Retificador e Filtro) @ $I_L=0,55[\text{mA}]$ e T = 37[°C]	37
Figura 3.8 – Resultado da Simulação para V_{RPP} e para V_{DC} @ T = 37[°C].	37
Figura 3.9 – Resultado da Simulação para a Corrente de Surto (I_{SURTO}) @ $T_{NOM} = 37[°C]$	38
Figura 3.10 – Layout do Capacitor de Filtro (PIP – “Poly-Insulator-Poly”)	38
Figura 3.11 – Diagrama de Blocos de um Regulador de Tensão Típico	39
Figura 3.12 – Transistores Bipolares como Elementos de Passagem	40
Figura 3.13 - Regulador LDO com Transistor PMOS no Elemento de Passagem	41

Capítulo 4

Figura 4.1 – Resposta ao Degrau e o Impacto das Diferentes Margens de Fase.	45
Figura 4.2 - Componentes Necessários para a Análise da Estabilidade do LDO.	45
Figura 4.3 – Modelo em Pequenos Sinais para o Transistor de Passagem PMOS.	46
Figura 4.4 – Avaliação da Impedância de Saída Z_0	47
Figura 4.5 – Alocação dos Pólos e Zero do LDO.	48
Figura 4.6 – Exemplo de Faixa de Valores Estáveis para R_{ESR}	49
Figura 4.7 – LDO com “Buffer”.	50
Figura 4.8 (a) – Compensação “Single Miller”	51
Figura 4.8 (b) – Compensação “Nested Miller”	52

Figura 4.9 – LDO com Geração Interna de um “Zero”	53
Figura 4.10 – Estrutura do LDO para Avaliar Z_0 sem o Capacitor de Compensação.....	53
Figura 4.11 – Inserção do Estágio Seguidor de Fonte para Garantir R_{DS} Constante.	55

Capítulo 5

Figura 5.1 – Espelho de Corrente Clássico	58
Figura 5.2 – Espelho de Corrente Proposto.	59
Figura 5.3 – Resultado da Simulação (“ <i>Bias Point</i> ”) para o Ponto de Operação do Espelho.....	60
Figura 5.4 – Correntes do Espelho Destacando-se os Valores Nominais a 2,2V e $T = 37[^\circ\text{C}]$	62
Figura 5.5 – Correntes do Espelho na Faixa de Interesse @ $T = 37[^\circ\text{C}]$	62
Figura 5.6 – Impacto da Temperatura nas Correntes do Espelho @ $V_{IN} = 2,2[\text{V}]$	63
Figura 5.7 – Circuito para a Geração da Tensão de Referência V_G	64
Figura 5.8 – Variação de V_G para uma Flutuação de 10% em V_{IN} @ $T = 37[^\circ\text{C}]$	65
Figura 5.9 – Simulação para a Variação de V_G em Função da Temperatura @ $V_{IN} = 2,2[\text{V}]$	68
Figura 5.10(a) – Circuito para a Geração de V_{REF}	69
Figura 5.10(b) - Detalhe da Topologia com Os Transistores NMOS Empilhados.	69
Figura 5.11 – Ajuste da Geometria de MN_{REF1} com $V_{IN} = 2,2\text{V}$ @ $T = 37[^\circ\text{C}]$	71
Figura 5.12– Variação da Tensão de Referência V_{REF} em função de V_{IN} @ $T = 37[^\circ\text{C}]$	73
Figura 5.13 – Simulação para o Impacto da Temperatura em V_{REF} @ $V_{IN} = 2,2[\text{V}]$	76
Figura 5.14 – Espelho de Corrente e Circuitos para a Geração de V_{REF} e V_G	77
Figura 5.15 – Resultado da Simulação para a PSRR das Referências V_{REF} e V_G , $T = 37[^\circ\text{C}]$	77
Figura 5.16 – Proposta para o Circuito de “ <i>Start-Up</i> ”	78
Figura 5.17 – Resposta ao Degrau para a Corrente de M_{START} e para a Carga de C_{START} , $T = 37[^\circ\text{C}]$. .	79
Figura 5.18 – Dissipação de Potência para o Circuito das Tensões de Referências @ $T = 37[^\circ\text{C}]$	80
Figura 5.19 – Análise de Monte Carlo para a Tensão V_G @ $V_{IN} = 2,2\text{V}$ e $T = 37[^\circ\text{C}]$	81
Figura 5.20 – Análise de Monte Carlo para a Tensão V_{REF} @ $T = 37[^\circ\text{C}]$	81
Figura 5.21 – Detalhes do Layout do Espelho de Corrente.	82
Figura 5.22 – Detalhes do Layout do Circuito de V_G e V_{REF}	82
Figura 5.23 – Transistores MOS Emulando um Resistor Aterrado.	83
Figura 5.24 – Circuito para a Obtenção de $W_{(PMOS)}$ através de Simulação.	84
Figura 5.25 – Resultado da Simulação Paramétrica de $W_{(PMOS)}$	85
Figura 5.26 – Ajuste, pela Simulação, do Melhor Valor para $W_{(PMOS)}$	85
Figura 5.27 – Resistor MOS e o Seguidor de Fonte que o Polariza.	87
Figura 5.28 – Ajuste de W de MN_{2RES} para que V_{OUT} seja = 1[V] @ $37[^\circ\text{C}]$	88
Figura 5.29 – -- Simulação para o ajuste de W de MN_{2RES} @ $370[^\circ\text{C}]$	88
Figura 5.29 – Layout do Circuito Resistor MOS.	89
Figura 5.30 – Detalhe dos Transistores de Passagem e do Estágio Seguidor de Fonte.	90
Figura 5.31 – Circuito para a Simulação e Obtenção do Valor de W	91

Figura 5.32 – Resultado da Simulação do Valor de W	92
Figura 5.33 – Layout para os Transistores PMOS (Passagem) e NMOS (Seguidor de Fonte)	94
Figura 5.34 – Amplificador de Erro – Amplificador Operacional “ <i>Folded-Cascode Self-Biased</i> ”	97
Figura 5.35 - Divisão Equalitária da Tensão de Saída (“ <i>Bias Point</i> ”).	98
Figura 5.36 – Tensões para os pares Diferenciais de Entrada.	99
Figura 5.37 – Simulação para Ajuste de $W_{(PMOS)}$ ótimo	100
Figura 5.38 – “ <i>Bias Point</i> ” e Tensão e Corrente do Amplificador Operacional @ $T=37 [^{\circ}C]$	101
Figura 5.39 – Simulação da CMR para $V_{IN(AO)}=2,2[V]$ e $T=37 [^{\circ}C]$	101
Figura 5.40– Simulação para Avaliação do Offset Sistemático @ $V_{IN(AO)}=2,2[V]$ e $T=37[^{\circ}C]$	102
Figura 5.41 – Configuração para a Simulação do Amplificador Operacional em Malha Aberta	103
Figura 5.42 – Simulação em Malha Aberta Destacando a f_{UG} e Φ_M @ $V_{IN(AO)}=2,2[V]$ e $T=37[^{\circ}C]$...	103
Figura 5.43 – Simulação em Malha Aberta Destacando A_{OL} e f_{3dB} @ $V_{IN(AO)}=2,2[V]$ e $T=37[^{\circ}C]$.	104
Figura 5.44 – Simulação da PSRR @ $V_{IN(AO)}=2,2[V]$ e $T=37[^{\circ}C]$	105
Figura 5.45 – Simulação Destacando os $SR+$ e $SR-$ e o t_{SET} @, $V_{IN(AO)}=2,2[V]$ e $T=37[^{\circ}C]$	106
Figura 5.46 – Layout do Amplificador Operacional.....	107
Figura 5.47 – Simulação do Regulador para Entrada Senoidal @ $T=37[^{\circ}C]$	108
Figura 5.48 – Simulação do Regulador para Entrada Senoidal @ $T=37[^{\circ}C]$	109
Figura 5.49 – Simulação do Regulador para Entrada Senoidal @ $V_{IN}=2,2[V]$	110
Figura 5.50 – Simulação do Regulador para Entrada Senoidal @ $T=37[^{\circ}C]$	111
Figura 5.51 – Simulação para Avaliação da Eficiência de Correntes	112
Figura 5.52 – Simulação para Avaliação das Referências @ $T=37[^{\circ}C]$	113
Figura 5.53 – Simulação para Avaliação das Referências @ $V_{IN}=2,2[V]$	113
Figura 5.54 – Simulação do Regulador com Degrau de Corrente na Saída @ $T=37[^{\circ}C]$	114
Figura 5.55 – Simulação do Regulador para Entrada Quadrada de $10[KHz]$ @ $T=37[^{\circ}C]$	116
Figura 5.56 – Detalhe da Resposta do Regulador ao Degrau de Tensão	116
Figura 5.57 – Tensão V_{DS} sobre o Transistor MP_{PASS}	117
Figura 5.58 – Detalhe da Resposta do Regulador ao Degrau de Tensão	119
Figura 5.59 – Layout Final do Protótipo Recebido da Foundry TSMC	121

Capítulo 6

Figura 6.1 – Circuito para a Avaliação do Retificador e Filtro @ $T=37[^{\circ}C]$	123
Figura 6.2 – Saída do Retificador e Filtro Destacando-se V_{RPP} @ $I_L = 0,53 [mA]$ e $T=37[^{\circ}C]$	123
Figura 6.3 – Circuito para as Medidas no Circuito Gerador de Referências	124
Figura 6.4 – Circuito para a Medida da tensão de “ <i>offset</i> ” do Amplificador Operacional	126
Figura 6.5 – Circuito para a Medida de Grandezas Dinâmicas do Amplificador Operacional.....	127
Figura 6.5 – Excursão “ <i>Rail-to-Rail</i> ” do Amplificador Operacional @ $V_{IN}=2,2[V]$ e $T=37[^{\circ}C]$	128
Figura 6.7 – Resposta para uma Onda Quadrada ($50[kHz]$) @ $V_{IN}=2,2[V]$ e $T=37[^{\circ}C]$	128
Figura 6.8 – Detalhe do Tempo de Subida da Figura Anterior.....	129

Figura 6.9 – Tensão de Saída a -3dB da Tensão de Entrada @ $V_{\text{IN}}=2,2[\text{V}]$ e $T=37[^\circ\text{C}]$	129
Figura 6.10 – Avaliação da Frequência Unitária	130
Figura 6.11 – Avaliação da Margem de Fase	130
Figura 6.12 – Esquema para Realizar as Medidas no Regulador de Tensão	132
Figura 6.13 – Modificação do “ <i>Buffer</i> ” para medida em Frequência mais Elevada	134
Figura 6.14 – Tensão de Saída do Regulador com Carga Nominal @ $V_{\text{IN}} = 2,2[\text{V}]$ e $T=[37^\circ]$	134
Figura 6.15 – Tensão de Saída do Regulador, porém Destacando o Tempo de Acomodação	135
Figura 6.16 – Detalhe da Componente AC da Tensão de Saída @ $T=37[^\circ\text{C}]$	135

ÍNDICE DE TABELAS

Capítulo 2

Tabela 2.1 - Valores Alvos Pretendidos para o Projeto do Regulador.	27
--	----

Capítulo 3

Tabela 3.1 – Dimensionamento dos Transistores do Circuito Retificador.	31
Tabela 3.2 – Quadro Comparativo para o Retificador e o para o Filtro Capacitivo @ $T = 37[^\circ\text{C}]$	38

Capítulo 5

Tabela 5.1 - Características de Algumas Referências de Tensão.	57
Tabela 5.2 – Processo Iterativo para se Obter os Valores de I_D e V_{EB}	60
Tabela 5.3 – Comparação entre os Valores Calculados e Simulados @ $T = 37[^\circ\text{C}]$	60
Tabela 5.4 – Quadro Comparativo entre Valores Calculados e Simulados.	64
Tabela 5.5 – Resumo das Características Elétricas do Circuito de Referência Projetado.	80
Tabela 5.6 – Resumo Estatístico para as Tensões V_G e V_{REF} @ $T = 37[^\circ\text{C}]$	81
Tabela 5.7 – Valores Alvo para o Projeto do Amplificador Operacional	96
Tabela 5.8 – Resumo das Características Simuladas para o Amplificador Operacional	106
Tabela 5.9 – Ajuste do W que Emula o Resistor R_2 do Amostrador	108
Tabela 5.10 – Resumo Estatístico para as Tensões V_G e V_{REF} @ $T = 37[^\circ\text{C}]$	119
Tabela 5.11 – Quadro Comparativo dos Resultados Simulados e Medidos para o Regulador	120

Capítulo 6

Tabela 6.1 – Valores Simulados e Medidos para o Retificador e Filtro Capacitivo	124
Tabela 6.2 – Valores Medidos para o Circuito Gerador de Referências	125
Tabela 6.3 – Valores Comparativos para a Referência V_G	126
Tabela 6.4 – Valores Comparativos para a Referência V_G	126
Tabela 6.5 – Medida do “offset” do Amplificador Operacional @ $V_{IN} = 2,2\text{V}$ e $T = 37[^\circ\text{C}]$	127
Tabela 6.6 – Comparação entre Valores Medidos e Simulados para o Amplificador Operacional	131
Tabela 6.7 – Tensão de Saída para Diferentes Correntes de Saída @ $V_{IN} = 2,2\text{V}$ e $T = 37[^\circ\text{C}]$	132
Tabela 6.8 – Tensão de Saída para Diferentes Tensões de Entrada @ $I_L = 0,5[\text{mA}]$	133
Tabela 6.9 – Resumo das Principais Características do Regulador de Tensão Projetado	136

Capítulo 7

Tabela 7.1 – Quadro Comparativo do Projeto com outros Reguladores Reportados	139
--	-----

SUMÁRIO

Resumo	1
Abstract	2
Índice de Figuras.....	5
Índice de Tabelas.....	9
 Capítulo 1 - Introdução	
1.1 Considerações Iniciais	13
1.2 O Tema Proposto e a Motivação.....	14
1.3 Objetivos e Contribuições.....	15
1.4 Metodologia e Plano de Tese.....	16
 Capítulo 2 – Sistema de Biotelemetria Implantado	
2.1 Introdução	17
2.2 Tags Passivos e Ativos	18
2.3 Considerações sobre a Segurança ao Paciente.....	20
2.4 Frequência de Operação do Sistema	22
2.5 Propostas para as Características Elétricas do Regulador de Tensão	22
2.5.1 Eficiência (E_{FF}).....	23
2.5.2 Temperatura de Operação (T_{OP})	24
2.5.3 Dependência da Temperatura ($\Delta V_{OUT}/\Delta T$).....	24
2.5.4 Topologia	24
2.5.5 Tensão de Saída Nominal (V_{OUT}).....	24
2.5.6 Tensão de “Dropout” (V_{DROP})	25
2.5.7 Resposta em Frequência e Estabilidade	25
2.5.8 Resposta a Transientes ($\Delta V_{TR, max}$)	25
2.5.9 Regulação de Linha ($\Delta V_{OUT}/\Delta V_{IN}$).....	25
2.5.10 Regulação de Carga ($\Delta V_{OUT}/\Delta I_L$)	26
2.5.11 Corrente de Carga Nominal (I_L)	26
2.5.12 Corrente Quiescente (I_Q)	26

2.5.13 Rejeição da Fonte (PSRR).....	26
2.6 Potência Dissipada no Regulador.....	27
Capítulo 3 – Regulador de Tensão LDO	
3.1 Introdução	28
3.2 O Circuito Retificador	29
3.3 O Circuito de Filtro.....	32
3.4 Considerações sobre a Topologia LDO	39
3.4.1 Arquitetura Básica e o Elemento de Passagem	39
3.4.2 Ajuste do Valor da Tensão de Saída	41
3.4.3 Exigências para o Elemento Amostrador, Elemento de Passagem, Tensão de Referência e para o Amplificador Operacional	42
Capítulo 4 – Topologia Proposta para a Estabilidade do LDO	
4.1 Análise da Estabilidade do Regulador LDO	44
4.2 Revisão das Contribuições à Estabilidade do LDO	49
4.2.1 LDO's que Utilizam Elemento de Passagem NMOS.....	49
4.2.2 LDO's que Utilizam Capacitores de Compensação (C_{COMP}).....	50
4.2.3 LDO's que Utilizam Geração Interna de um “Zero”.....	52
4.3 Proposta de uma Topologia Alternativa à Estabilidade do LDO.....	53
Capítulo 5 – Projetos dos Circuitos do LDO	
5.1 Introdução	56
5.2 Projeto do Gerador de Referências (V_{REF} e V_G).....	56
5.2.1 Projeto do Espelho de Corrente.....	57
5.2.2 Avaliação da Sensibilidade e do Coeficiente Térmico do Espelho	60
5.2.3 Avaliação da Sensibilidade e do Coeficiente Térmico da Tensão V_G	66
5.2.4 Inserção do Circuito para Gerar V_{REF}	68
5.2.5 Valor Nominal da Tensão V_{REF}	70
5.2.6 Avaliação da Sensibilidade e do Coeficiente Térmico de V_{REF}	72
5.2.7 Avaliação do PSRR das Tensões de Referência V_G e V_{REF}	76
5.2.8 Circuito de “Start-Up”.....	78
5.2.9 Análise de Monte Carlo.....	80
5.3 Projeto do Circuito Amostrador.....	82
5.4 Ajuste das Geometrias dos Transistores de Passagem e do Estágio Seguidor de Fonte.....	89
5.4.1 Considerações sobre as Tensões e Correntes Envolvidas	89
5.4.2 Potência Dissipada em MN_{SEG} e em MP_{PASS}	92
5.4.3 Capacitâncias de Gate dos Transistores MN_{SEG} e MP_{PASS}	93

5.5 Projeto do Amplificador de Erro.....	94
5.5.1 Considerações sobre a Topologia Adotada	94
5.5.2 Ajuste das Geometrias dos Transistores.....	96
5.5.3 Caracterização do AO por Simulação	100
5.6 Simulação Global do Regulador de Tensão.....	107
5.7 Simulação do Regulador co Tensão Senoidal na Entrada.....	108
5.8 Simulação do Regulador com Tensão Quadrada de Entrada	115
5.9 Avaliação dos Pólos do regulador.....	117
5.10 Tabela Comparativa	119
5.11 Layout Final do Protótipo Difundido pela TSMC	119
 Capítulo 6 – Resultados Experimentais	
6.1 Resultados Experimentais.....	122
6.2 Resultados Experimentais – Retificador e Filtro Capacitivo	123
6.3 Resultados Experimentais - Gerador de Referências.....	124
6.4 Resultados Experimentais – Amplificador Operacional	126
6.5 Resultados Experimentais – Regulador Final	131
 Capítulo 7 – Considerações Finais	
7.1 Considerações sobre o Projeto Desenvolvido.....	137
7.2 Quadro Comparativo com outros Trabalhos Reportados na Literatura	139
7.3 Trabalhos Futuros	140
 Apêndice A	141
 Apêndice B	149
 Apêndice C	153
 Apêndice D	155
 Apêndice E	160
 Bibliografia Consultada	161

1.1 CONSIDERAÇÕES INICIAIS

A humanidade tem se deparado, ao longo dos últimos anos, com uma evolução tecnológica fantástica. Aparentemente, não existem limites para a indústria “*High-Tech*” enquanto houver esforços coordenados de investimentos materiais e humanos ao longo de toda a sua cadeia produtiva.

Observa-se uma grande penetração de uma série de dispositivos, miniaturizados e cada vez mais dotados de “inteligência”, em praticamente todos os aspectos da atividade humana. Existe, portanto, uma tendência em se produzir o que se denomina de SOC (“*System-on-Chip*”), ou seja, um sistema completo de processamento de sinais e de dados encapsulados em uma única embalagem. Aplicações em Educação, Comunicação, Entretenimento, Saúde e Segurança são alguns exemplos.

Dentro deste contexto, aparece com destaque uma poderosa “ferramenta” que é a microeletrônica. É através dela que, dia após dia, os mais diversificados dispositivos semicondutores são cada vez mais otimizados e inovados, produzindo um círculo virtuoso que envolve uma série de profissionais como Engenheiros, Físicos, Matemáticos, Médicos, etc. além de Indústrias de Base, Hospitais, Universidades e Centros de Pesquisa.

Não só aspectos tecnológicos estão em jogo, mas, também, aspectos econômicos e estratégicos que podem determinar a “saúde” financeira de uma nação assim como o seu índice de desenvolvimento humano e social (IDH). Em termos financeiros, a indústria de semicondutores e correlatas movimenta, anualmente, um montante que chega a centenas de bilhões de dólares, sem indícios de qualquer tipo de refreamento ou diminuição no seu crescimento [1-3].

Na área da saúde, ou seja, nas aplicações biomédicas, destaca-se o monitoramento de sinais vitais ou parâmetros fisiológicos do ser humano como, por exemplo, os batimentos cardíacos, os níveis de glicose no sangue e a pressão arterial.

Mais do que simplesmente a existência de tais facilidades, existe a necessidade fundamental de que todos estes sinais possam ser monitorados à distância e em tempo real (biotelemetria) e, até, através da Internet (e-Health).

Portanto, existe uma demanda por equipamentos que possam ser acoplados aos pacientes e, com a miniaturização imposta pela evolução da microeletrônica, que dispositivos contendo um sistema complexo de sensores, atuadores (em alguns casos), condicionadores e processadores de sinais, possam ser diretamente implantados (bio-implantes) no ser humano [4-6].

1.2 O TEMA PROPOSTO E A MOTIVAÇÃO

A Universidade Federal de Itajubá (UNIFEI), através do seu Grupo de Microeletrônica, vem mantendo um contínuo contato com outras Instituições de Ensino Superior, Centros de Pesquisa e, também, com o setor produtivo no sentido de estar atualizado com as tendências tecnológicas e, paralelamente, buscando meios de aperfeiçoamento de seus profissionais.

Em um destes contatos, foi possível engajar um trabalho conjunto com o Grupo de Sensores do Laboratório de Sistema Integráveis (LSI) da Escola Politécnica da Universidade de São Paulo (USP) em que uma tese de Doutorado foi defendida em 2002 [7].

O projeto do LSI envolve o desenvolvimento de um sistema de monitoramento de sinais fisiológicos (em particular a pressão arterial) provenientes de sensores e outros circuitos que estão implantados no usuário ou paciente [8-11]. A *Figura 1.1* ilustra através de um diagrama de blocos o referido sistema de biotelemetria.

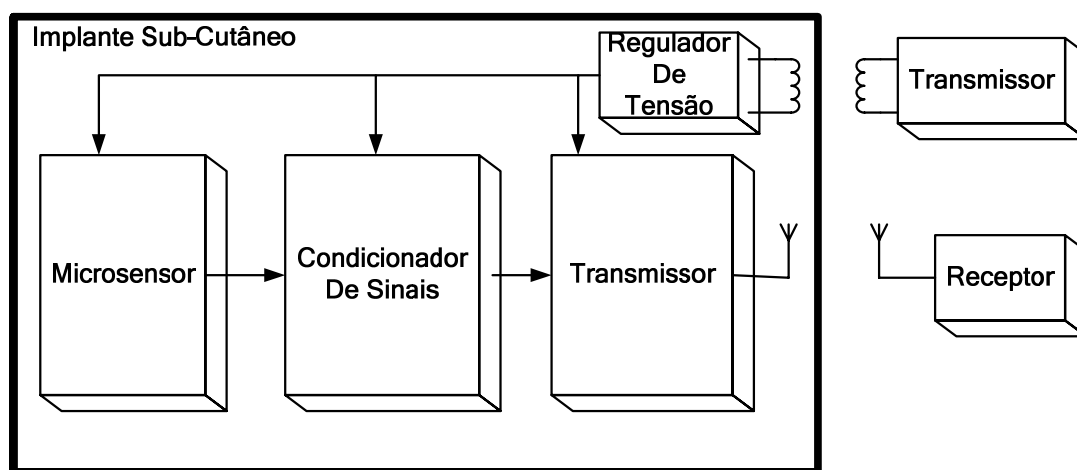


Figura 1.1 – Diagrama de Blocos Simplificado do Sistema de Biotelemetria [7].

Este sistema já apresenta alguns de seus blocos projetados e em fase de projeto (Transmissor, Condicionador de Sinais e Microsensor) ficando como proposta, em comum acordo com Grupo de Sensores, o desenvolvimento do Regulador de Tensão.

Observa-se que a proposta é para que o Regulador de Tensão opere através de um enlace de Rádio Frequência (RF) e forneça, com eficiência, uma tensão estável para todos os outros subsistemas que compõe o implante.

Então, tem-se como processo investigativo, para o trabalho a ser desenvolvido no Grupo de Microeletrônica da UNIFEI, a análise, o desenvolvimento e a implementação deste Regulador de Tensão de forma a atender as condições de contorno inerentes ao projeto.

Ainda cabe ressaltar que uma preocupação do Grupo de Sensores é que este Sistema de Biotelemetria apresente um baixo custo de produção de forma que o seu uso possa ser difundido.

1.3 OBJETIVOS E CONTRIBUIÇÕES

Em face do exposto nos itens anteriores, podemos inferir alguns pontos que deverão nortear o desenvolvimento deste Projeto:

- ✓ O Regulador de Tensão precisa ser implementado em uma tecnologia que ofereça um baixo custo de prototipagem e fabricação;
- ✓ Esta tecnologia de fabricação precisa ser compatível com os processos CMOS digitais, aos quais o Grupo de Microeletrônica tem acesso, para se alcançar a miniaturização necessária ao implante;
- ✓ Uma vez que se trata de um implante no ser humano, o impacto da variação de temperatura sobre o Regulador de Tensão é minimizada;
- ✓ A ausência de uma bateria, uma vez que o implante é energizado através de um enlace de RF, pode flexibilizar os níveis de tensão de operação, podendo, inclusive, operar na faixa em que se considera o circuito como sendo “*Low Voltage*”;
- ✓ O Regulador de Tensão precisa ser eficiente no que diz respeito ao gerenciamento de potência. A dissipação de potência no Regulador pode estar inserida, então, no contexto de “*Low Power*”;
- ✓ É necessário avaliar outros aspectos que possam estar envolvidos com relação à segurança do uso do implante para o paciente;

Coloca-se, desta forma, como principal objetivo deste trabalho o projeto de um Regulador de Tensão, em tecnologia CMOS, com um grau de eficiência adequado à sua aplicação e operando dentro de um regime que caminhe para as condições de baixa tensão e baixa potência.

A tecnologia CMOS escolhida foi a TSMC 0.35 μ m que é disponibilizada para o Grupo de Microeletrônica da UNIFEI através de uma parceria com o consórcio MOSIS em que se oferece uma rodada (em data escolhida de comum acordo dentre todos os pesquisadores lotados no Grupo) de difusão por ano.

Outros objetivos, além do projeto específico do Regulador de Tensão, podem ser colocados, também, como algumas contribuições:

- ✓ A busca por topologias de circuitos que possam operar em baixa tensão e baixa potência de forma eficiente e, preferencialmente, com topologias simples;
- ✓ A portabilidade do projeto no sentido de que possa ser reproduzido em outras tecnologias como, por exemplo, as de 0.25 μ m e 0.13 μ m;
- ✓ A busca por soluções simples e economicamente viáveis para que o projeto possa ser reproduzido por outros pesquisadores e/ou Instituições;

- ✓ Incrementar a cooperação técnica-científica entre a UNIFEI e a USP através de seus respectivos grupos de pesquisa;
- ✓ O apoio para delinear novas propostas de projetos e áreas de atuação específicas ao Grupo de Microeletrônica a partir da visão adquirida na área de implantes biomédicos.

1.4 METODOLOGIA E PLANO DE TESE

A metodologia fundamental para a realização deste projeto baseia-se na pesquisa bibliográfica para o levantamento do estado da arte. De posse deste material de apoio, passa-se a fase de criação em que os circuitos propostos são equacionados e validados através de simulações. Uma fase de prototipagem será realizada através do já mencionado convênio com a MOSIS e, recebidos os protótipos, tem-se uma fase de testes em bancada.

A análise dos resultados obtidos permitirá uma avaliação do desempenho do projeto sob o foco dos objetivos e valores alvos que foram definidos e estabelecidos ao longo de seu desenvolvimento.

Visando relatar o andamento dos passos pertinentes a esta metodologia de trabalho, um plano de tese foi elaborado em forma de Capítulos para a sua descrição. Segue um breve resumo de cada um destes Capítulos.

O Capítulo 2 apresenta algumas considerações sobre dispositivos implantados que fazem parte de um Sistema de Biotelemetria e, a partir delas, serão tomadas algumas decisões que irão balizar o projeto específico proposto neste trabalho, que é o Regulador de Tensão.

O Capítulo 3 foca o Regulador de Tensão propriamente dito, em especial o Regulador “*Low Dropout*” (LDO), com seus sub-circuitos e suas respectivas demandas para se alcançar uma eficiência adequada. São analisados os circuitos do Retificador e do Filtro que fornecem a tensão de entrada (dita não regulada) para o Regulador.

No Capítulo 4 será abordada uma proposta para a estabilidade do Regulador de Tensão que seja compatível com a aplicação biomédica de um implante. Soluções que envolvem o uso de dispositivos discretos são proibitivas em aplicações desta natureza.

O Capítulo 5 traz os projetos de todos os sub-circuitos que compõem o Regulador de Tensão. Os projetos são acompanhados de simulações elétricas cujos resultados serão confrontados com os testes realizados em bancada. Os resultados destas medidas serão apresentados no Capítulo 6 devidamente acompanhados de uma análise do desempenho pretendido.

O Capítulo 7 apresenta as considerações finais e conclusões.

CAPÍTULO 2

SISTEMA DE BIOTELEMETRIA IMPLANTADO

PARA ESTE CAPÍTULO, A PROPOSTA É DISCUTIR ALGUNS ASPECTOS RELACIONADOS AO SISTEMA DE BIOTELEMETRIA IMPLANTADO QUE ESTÁ EM CURSO FINAL DE DESENVOLVIMENTO PELO GRUPO DE SENSORES DO LSI (USP). ALGUMAS DEFINIÇÕES ENVOLVENDO ESTES TIPOS DE SISTEMAS SERÃO ABORDADAS, ASSIM COMO, UMA PRIMEIRA VISÃO A RESPEITO DOS REGULADORES DE TENSÃO E SUAS PRINCIPAIS CARACTERÍSTICAS ELÉTRICAS.

2.1 INTRODUÇÃO

O Sistema de Biotelemetria Implantado, como já descrito de forma sucinta no Capítulo 1, é um projeto que visa à aquisição de dados fisiológicos de um paciente, sendo o primeiro tipo de sensoriamento desenvolvido pelo Grupo de Sensores do Laboratório de Subsistemas Integráveis (LSI) da Universidade de São Paulo (USP), um que busca uma avaliação da pressão arterial.

A interface deste sistema com o mundo exterior é realizada através de um enlace de Radio Frequência (RF). O enlace não só serve para realizar um protocolo de comunicação para a troca de dados inerentes ao processo de aquisição das grandezas fisiológicas como também para a obtenção da energia de ativação dos sub-circuitos que constituem o Implante.

Por este motivo, o sistema pode ser inserido dentro de uma classe de circuitos denominada de Identificadores por RF ou, simplesmente, RFID.

O termo RFID foi cunhado para descrever uma tecnologia de rádio frequência utilizada para comunicar uma informação (tipicamente digital) entre uma estação fixa e objetos móveis ou entre objetos móveis. O RFID é considerado uma forma altamente confiável para controlar, detectar, e acompanhar uma série de itens usando diferentes esquemas de modulação e formatos de transmissão. Os procedimentos de identificação, considerados automáticos quando se envolve o RFID, são aplicados a pessoas (como o Sistema de Biotelemetria Implantado), animais, bens e produtos [12].

Um sistema típico de RFID é ilustrado na *Figura 2.1* na forma de um diagrama de blocos. Observa-se que pode ser dividido em duas partes principais: O “*Transponder*” e o “*Reader*” ou Estação Base. O “*Transponder*” faz a aquisição dos dados e os condiciona para serem enviados ao “*Reader*”. Este, por sua vez, os recebe e os processa. Apesar de receber o nome de “*Reader*” (ou ainda, “*Interrogation Unit*”), ele também pode iniciar o processo de comunicação com o “*Transponder*” enviando uma solicitação para o início das aquisições.

O fluxo de sinal entre o “Reader” e o “Transponder” é bidirecional no que diz respeito à troca de informações e unidirecional para a energia.

O enlace de RF se realiza pela presença de duas antenas que deverão estar com seu acoplamento eletromagnético otimizado, assim como os seus casamentos de impedância com os seus respectivos circuitos de interfaceamento.

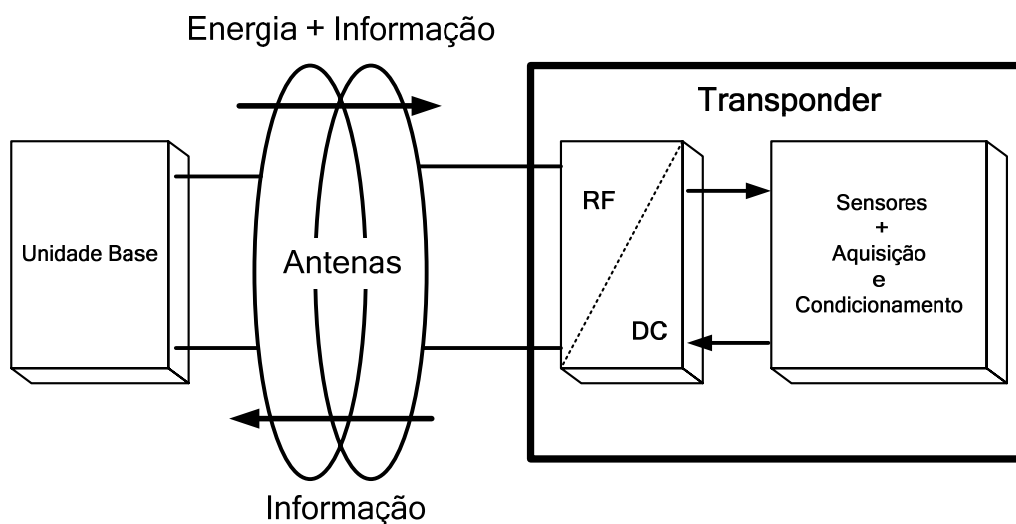


Figura 2.1 - Diagrama de Blocos de um Sistema RFID [12].

Normalmente, o “Transponder” (ou simplesmente Tag) caracteriza-se por apresentar uma topologia mais simples, tendo como condições de contorno essenciais para o seu projeto: ser economicamente viável, ser produzido em grandes quantidades, ser miniaturizado (condição fundamental para aplicações biológicas, ou seja, implantes) e operar com confiabilidade e repetibilidade [13]. Pode-se acrescentar, ainda, uma característica muito importante para os Tags que estarão implantados, que é o fato de serem inócuos, ou seja, não representarem para os pacientes nenhum risco a sua saúde quer seja por contaminação de algum elemento químico ou por algum tipo de radiação.

Por outro lado, a Estação Base, ou “Readers”, são circuitos de maior complexidade, estando geralmente conectados a um computador ou a uma rede para fazer a interface com os usuários ou com os profissionais envolvidos nas leituras e interpretações dos dados.

O sistema RFID pode, também, ser inserido dentro da grande classe de circuitos “Wireless” por razões óbvias.

2.2 TAGS PASSIVOS E ATIVOS

Os Tags são classificados em Ativos ou Passivos dependendo da presença, ou não, de uma bateria para a sua alimentação. Para ambos os tipos, existem vantagens e desvantagens [14], sendo interessante que sejam listadas para que se possa tomar algum tipo de decisão sobre o tipo mais adequado ao projeto em questão.

Para os Tags Ativos podem-se listar as seguintes vantagens:

- ✓ A alimentação contínua, pela presença da bateria, permite a extensão do uso como um atuador, ou seja, o “*Transponder*” pode enviar sinais elétricos para um determinado órgão do paciente (através de um atuador) e provocar a sua ação adequada;
- ✓ A presença da bateria permite que o Tag possa ser lido a uma distância maior (chegando a 100 metros) uma vez que não se exige do enlace de RF a energia de ativação dos seus sub-circuitos;
- ✓ A presença da bateria também permite o que se denomina de “*multi-tag reading*”, ou seja, que vários “*Transponders*” possam ser lidos simultaneamente;
- ✓ Uma vez que a distância da Estação Base pode ser aumentada, existe a possibilidade de se trabalhar com outras faixas de frequências e tipos de modulação e, desta forma, alcançar maiores larguras de faixa de operação.

Como desvantagens para os Tags Ativos têm-se:

- ✓ O alto custo imposto pela presença da bateria. Não só o custo inicial de implantação, mas o custo de manutenção com as eventuais trocas. Se o dispositivo for implantado deve-se contabilizar o custo hospitalar uma vez que serão envolvidos recursos e profissionais desta área;
- ✓ O tamanho físico da bateria pode ser muito maior que os circuitos do “*Transponder*” que estão integrados em uma única pastilha, podendo tornar o implante impraticável dependendo da região do corpo a que se destina;
- ✓ O envelhecimento da bateria, com a sua natural perda de carga, pode ocasionar um mau funcionamento dos circuitos alimentados, levando, inclusive, a leituras e interpretações errôneas;
- ✓ Apesar de toda tecnologia atual de fabricação das baterias, sempre existe a possibilidade de contaminação por vazamento de seus elementos químicos. Esta situação seria agravada se o Tag for um implante.

Com relação aos Tags Passivos existem as seguintes vantagens:

- ✓ Baixo custo, uma vez que se elimina a bateria e a sua respectiva manutenção;
- ✓ Uma vida útil mais prolongada, pois estaria dependente apenas da confiabilidade inerente aos dispositivos que compõem o sistema eletrônico (tipicamente coloca-se uma vida útil de 20 anos para um Tag Passivo);

- ✓ O tamanho bastante reduzido por depender apenas do tamanho dos circuitos que foram integrados. Com a tecnologia atual de fabricação esta miniaturização é, com certeza, alcançada.

As desvantagens seriam:

- ✓ A leitura do Tag deve ser feita a pequenas distâncias, uma vez que parte da energia do enlace de RF será usada para alimentar os circuitos. Tipicamente, a faixa de leitura de um Tag passivo chega a um máximo de 3 metros;
- ✓ Se o Tag for implantado, existe um risco para o paciente que é o aquecimento induzido pela Radio Frequência. Esta condição limita as faixas de frequências a serem utilizadas;
- ✓ Uma menor largura de faixa, uma vez que existe uma limitação na Frequência.

O Sistema de Biotelemetria Implantado, que está sendo desenvolvido pelo Grupo de Sensores da USP, apresenta como alvos primordiais a serem atingidos o baixo custo e a simplicidade dos circuitos, de forma a se obter um alto grau de miniaturização, sem perder de vista, naturalmente, a sua eficiência e confiabilidade.

Diante das vantagens e desvantagens citadas anteriormente para os dois tipos de Tags, sobressaiu-se para a realização do implante a opção por um Tag passivo.

Assim, fica o projeto do Regulador de Tensão proposto neste trabalho condicionado a esta situação, ou seja, que a energia necessária para a ativação dos sub-circuitos que compõem o “*Transponder*”, seja acoplada via um enlace de RF transcutâneo. Economiza-se, portanto, a presença da bateria.

Deve-se considerar que o projeto de um Tag passivo apresenta um grande potencial de utilização no mercado e não somente nas aplicações biomédicas. Fatores como o baixo custo e o alto grau de integração mencionados nas suas vantagens são os seus pontos fortes.

2.3 CONSIDERAÇÕES SOBRE A SEGURANÇA AO PACIENTE

Pelo fato do sistema de biotelemetria ser implantado, torna-se necessário observar alguns procedimentos no que diz respeito à segurança do seu uso. Deve-se levar em consideração que o paciente que o estiver utilizando estará sujeito a uma exposição de rádio frequência, principalmente quando se trata do Tag Passivo em que a distância do elemento emissor desta radiação pode ser bem pequena em relação à superfície da pele ou tecido.

Os bio-efeitos e os riscos decorrentes desta exposição à energia eletromagnética são predominantemente de natureza térmica, existindo padrões que incorporam fatores de segurança tanto para a exposição propriamente dita quanto para o desempenho dos produtos envolvidos [15].

Entidades como o IEEE (*Institute of Electrical and Electronics Engineers*), ANSI (*American National Standards Institute*), USASI (*United States Army Standards Institute*), NCRP (*National Council on Radiation Protection & Measurements*) e ICNIRP (*International Commission on Non-Ionizing Radiation Protection*) estão engajados em estabelecer um consenso, de abrangência internacional, para a harmonização e padronização dos aspectos de segurança em se tratando de energia eletromagnética.

Basicamente, os bio-efeitos causados pela exposição ao RF são decorrentes da distribuição dos campos elétricos e magnéticos dentro dos tecidos biológicos. Uma série de fatores como a geometria destes tecidos e as suas propriedades dielétricas é que serão responsáveis pelo modo como estes campos vão se distribuir. Também é necessário contabilizar a potência de incidência desta energia dependendo do quão afastada está a sua fonte [15-17].

“Softwares” específicos estão sendo desenvolvidos para modelar todo este sistema e suas condições de contorno e, utilizando soluções numéricas, tentam mapear este problema.

Outro fator a se considerar é a profundidade de penetração desta radiação incidente. Quanto maior a frequência de RF, menor a penetração. Para uma frequência de 10[MHz], por exemplo, a penetração atinge a ordem de 10[cm] [15].

Não é escopo deste trabalho um aprofundamento neste tópico, contudo existe uma formulação chave que é bastante útil para balizar o projeto do circuito responsável pela geração do sinal de RF no Tag.

Trata-se da SAR, “*Specific Absorption Rate*” (Taxa de Absorção Específica), que nada mais é do que uma medida direta do campo elétrico (e indireta do campo magnético) e da densidade de corrente no ponto do tecido sobre investigação. A SAR é contabilizada por unidade de massa. Matematicamente, tem-se a equação [16]:

$$SAR = \frac{\sigma |E|^2}{\rho} \quad \left[\frac{W}{Kg} \right] \quad (2.1)$$

Em (2.1), σ representa a condutividade do tecido em que se incide a radiação eletromagnética, sendo expressa em [S/m]; ρ é a densidade de massa deste tecido expressa em [Kg/m³] e E é a intensidade do campo elétrico (valor RMS) expressa em [V/m].

A partir da SAR é inferida outra grandeza importante que é o aquecimento local provocado pela incidência da radiação eletromagnética. Basta fazer uma diferenciação da temperatura em relação ao tempo como indicado a seguir:

$$\frac{dT}{dt} = \frac{SAR}{c} \quad \left[\frac{^\circ C}{s} \right] \quad (2.2)$$

Na eq. (2.2), c representa a capacidade de calor específico do tecido expresso em [J/Kg].

Para se ter uma ordem de grandeza, uma SAR de $1[\text{W/Kg}]$ está associada a uma taxa de transferência de calor de $0,0003[^\circ\text{C/s}]$ em um tecido muscular. É uma taxa muito pequena, pois mesmo na ausência do sistema circulatório (sangue) ou outro meio biológico de resfriamento, seria preciso mais de 1 hora para aumentar a temperatura local de $1[^\circ\text{C}]$. Em [18], coloca-se como um valor seguro para a potência transmitida pela estação base, algo em torno de $10[\text{mW/cm}^2]$

Deve-se considerar em adição ao que já foi exposto [17]:

- ✓ O Tag passivo estará operando apenas quando na presença do campo eletromagnético o que se traduz em uma vantagem uma vez que a leitura dos dados não se caracteriza por um processo contínuo de longa duração;
- ✓ Sempre haverá uma dissipação de potência nos circuitos que compõem o Tag. Esta dissipação eleva a temperatura local do implante, devendo ser mantida a mais baixa possível e sinalizando para projetos que incorporem soluções como, por exemplo, baixa tensão de alimentação e baixo consumo.

No aspecto de segurança ao paciente, não somente as questões envolvendo critérios técnicos devem ser abordadas. Questões que incluem a segurança dos dados no que diz respeito a sua privacidade, assim como a ética profissional de todas as pessoas envolvidas devem ser também rigorosamente observadas [19-20].

2.4 FREQÜÊNCIA DE OPERAÇÃO DO SISTEMA

A escolha para a frequência de operação do enlace de RF deve levar em conta tanto o aspecto da profundidade de penetração quanto a limitação imposta pela SAR.

Em [21] existe uma recomendação para que se opere o enlace de RF com uma frequência de 1 a $10[\text{MHz}]$ inclusive por ser esta faixa a que apresenta uma perda mínima ao penetrar os tecidos humanos.

Para este projeto, a opção será para o limite superior, ou seja, $10[\text{MHz}]$, pois outros ganhos podem ser advindos desta escolha. Por exemplo, a diminuição do valor do capacitor de filtro que está inserido no processo de retificação do sinal AC proveniente da antena.

2.5 PROPOSTA PARA AS CARACTERÍSTICAS ELÉTRICAS DO REGULADOR DE TENSÃO A SER PROJETADO

Com as informações disponíveis até o momento e através de outras considerações, é possível fazer uma relação das características elétricas desejáveis para o Regulador de Tensão a ser desenvolvido e implementado.

Algumas delas são inerentemente implícitas para a especificação de qualquer regulador enquanto outras são decorrentes das condições a que o regulador em questão estará sujeito por fazer parte de um

sistema implantado. A *Figura 2.2* ilustra, de maneira bastante simplificada, o Regulador de Tensão como um bloco do sistema. Serve, também, para indicar a simbologia específica que será usada para este circuito ao longo de todo trabalho.

Por hora, o regulador será encarado como um todo ficando para o próximo capítulo a responsabilidade de detalhar a sua estrutura interna com as suas particularidades e condições de contorno.

Trata-se, então, de um dispositivo de 3 terminais em que a tensão de saída V_{OUT} (dita ser regulada) permanece idealmente constante a despeito de variações que possam estar presentes na tensão de entrada V_{IN} (dita ser não regulada), na carga (I_L) e na Temperatura Ambiente. Idealmente, também, a corrente de consumo do Regulador (I_Q) deve ser próxima de zero para não comprometer a sua eficiência.

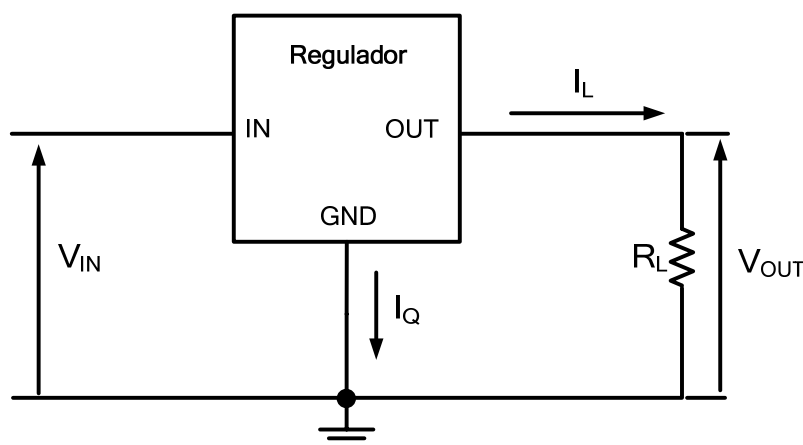


Figura 2.2 – Circuito Regulador de Tensão - Diagrama em Blocos.

A seguir, estão descritas, com um maior formalismo, as características elétricas desejáveis [22-23], ressaltando que não existe nenhuma ordem de prioridade entre elas, ou seja, o que realmente faz sentido é o conjunto de todas quando associadas a uma determinada aplicação.

Paralelamente, alguns valores alvos poderão ser propostos em função de considerações que já foram feitas anteriormente. Por se tratar de uma primeira tentativa de especificação, estes valores poderão ser revistos, se necessário, quando dos projetos dos circuitos específicos do regulador.

2.5.1 Eficiência (E_{FF})

A eficiência do regulador está diretamente relacionada com a diferença de tensão entre a entrada e a saída denominada “Dropout Voltage” (V_{DROP}) e com a corrente quiescente I_Q . Quanto menores estes valores, menor será a perda de potência no regulador e, por conseguinte, maior disponibilidade de potência para a carga. Será estabelecido como um valor alvo uma eficiência maior que 80%.

Matematicamente, tem-se a equação:

$$E_{FF} = 100 \frac{I_L V_{OUT}}{(I_L + I_Q) V_{IN}} \quad [\%] \quad (2.3)$$

2.5.2 Temperatura de Operação (T_{OP})

Por se tratar de um dispositivo implantado, a temperatura de operação nominal corresponde à temperatura do corpo humano, ou seja, algo em torno de $37[^\circ\text{C}]$ [24].

Contudo, se faz necessário levar em consideração situações a que o corpo humano possa estar submetido e que modifiquem este valor padrão tanto para cima como para baixo.

A prática de exercícios físicos pesados assim como algumas doenças (víroses) podem elevar a temperatura do corpo até um valor limite de $42[^\circ\text{C}]$, enquanto que alguns procedimentos cirúrgicos (cirurgia de medula) podem demandar uma situação de hipotermia, levando a temperatura mínima até um limite de $32[^\circ\text{C}]$ [25-27].

Portanto, o projeto do regulador deverá levar em conta um impacto de variação na temperatura que atenda aos dois limites citados, ou seja, $32[^\circ\text{C}] < T_{OP} < 42[^\circ\text{C}]$.

2.5.3 Dependência da Temperatura ($\Delta V_{OUT}/\Delta T$)

Este parâmetro, para este projeto específico, fica desensibilizado pela pequena variação de temperatura que foi estabelecida no item anterior ($10[^\circ\text{C}]$). Os principais fatores que levam a esta dependência são o coeficiente de temperatura da tensão de referência e a deriva da tensão de “offset” do Amplificador de Erro (estes são circuitos que compõem o Regulador como será visto posteriormente).

Uma forma alternativa é denominar esta dependência de Coeficiente Térmico Fracional (TC_F) que normalmente é expresso em $[\text{ppm}/^\circ\text{C}]$ ou em $[\text{mV}/^\circ\text{C}]$. Como a variação de temperatura não é um fator de alto impacto para o desempenho do Regulador, este valor alvo será especificado em $50[\text{mV}/^\circ\text{C}]$.

2.5.4 Topologia

Para manter a eficiência da regulação no valor alvo proposto, a topologia mais adequada para o regulador (entendido como sendo um regulador linear) é a LDO, ou seja, “*Low Drop-out*”. Nesta topologia, a tensão V_{DROP} é mantida nos níveis mais baixos possíveis. Outros aspectos importantes que tornam esta topologia indicada para o uso em sistemas implantados são abordados no Capítulo 3.

Uma topologia alternativa seria a dos Reguladores Chaveados. Contudo, estes reguladores apresentam uma maior complexidade no nível de seus circuitos e no seu sistema de controle. Apresentam um maior custo e, pela própria natureza de seu funcionamento que é o chaveamento, apresentam um aumento na quantidade de ruído presente na tensão de saída [28].

2.5.5 Tensão de Saída Nominal (V_{OUT})

As tecnologias de fabricação de circuitos integrados têm evoluído para que se obtenham tensões de limiar dos transistores MOS cada vez menores. Como consequência, as tensões de alimentação dos CIs

também têm diminuído de forma proporcional. Como proposta, para este projeto, o valor alvo de 1[V] para a tensão de saída está sendo adotado.

2.5.6 Tensão de “Drop-out” (V_{DROP})

Esta tensão representa a mínima diferença de tensão entre a entrada e a saída para a qual o circuito cessa a regulação. Respeitando a escolha anterior por uma topologia LDO, cuja grande característica é um baixo valor de V_{DROP} , será estabelecido para esta grandeza um valor alvo de 50[mV].

2.5.7 Resposta em Frequência e Estabilidade

Assim como todo regulador de tensão, o regulador LDO é um sistema que apresenta um elo de realimentação para manter a tensão de saída estável. Portanto, deverão ser apreciadas com cuidado as suas condições de operação em regime senoidal permanente e, especialmente, em condições transitórias (tanto com relação ao sinal de entrada quanto para a corrente de carga) para que a estabilidade seja sempre alcançada.

O fato de pertencer a um sistema que faz a aquisição de dados fisiológicos indica que as constantes de tempo envolvidas não vão pressionar este projeto para que se tenha um regulador com respostas extremamente rápidas. Um tempo de acomodação em torno de 50[μS] será uma proposta inicial.

2.5.8 Resposta a Transientes ($\Delta V_{\text{TR, max}}$)

A resposta a transientes especifica uma máxima variação da tensão de saída quando o regulador for impactado por um degrau de corrente na saída. O pior caso acontece quando a corrente de carga passa de zero (regulador operando a vazio) para o seu valor nominal. Para este parâmetro, será fixado um valor alvo de 500[mV].

2.5.9 Regulação de Linha ($\Delta V_{\text{OUT}}/\Delta V_{\text{IN}}$)

A regulação de linha é uma figura de mérito que mostra o quão o regulador é insensível às mudanças na sua tensão de entrada. No caso de um Tag Passivo, a energia provém de um sinal eletromagnético que será retificada e entregue ao regulador. As flutuações no nível deste sinal serão causadas, principalmente, pela variação da distância do transmissor em relação ao paciente.

A regulação de linha pode ser expressa percentualmente [%], em [mV/V], em [ppm/V] ou em [%/V] e é avaliada para um valor fixo de corrente de carga. Para o projeto em curso está se propondo um valor alvo inicial menor que 50[mV/V].

2.5.10 Regulação de Carga ($\Delta V_{OUT}/\Delta I_L$)

Semelhante à regulação de linha, a regulação de carga é uma figura de mérito que mede a habilidade do regulador de manter a tensão de saída estável mesmo com variações impostas por mudanças na carga. A regulação de carga, em outras palavras, representa a resistência de saída do Regulador (R_{OUT}).

No caso de um dispositivo implantado, estas mudanças estarão mais restritas uma vez que os sub-circuitos que compõe o sistema implantado estão projetados e estão caracterizados com respeito as suas demandas de corrente. Da mesma forma que a regulação de linha, pode ser expressa em [%], em [mV/A], em [ppm/A] ou em [%/A].

Também, neste caso, será proposto um valor alvo inicial a ser atingido de uma regulação de carga menor que 50[mV/mA], ou seja, uma resistência de saída menor que 50[Ω].

2.5.11 Corrente de Carga Nominal (I_L)

Em consonância com o Grupo de Sensores do LSI, chegou-se a um valor de 0,5[mA] para a corrente de carga do regulador. Este valor leva em consideração o consumo de todos os sub-circuitos que estarão sendo alimentados e representa um valor limite superior.

2.5.12 Corrente Quiescente (I_Q)

Para que se tenha uma eficiência otimizada é necessário que o regulador não consuma uma corrente quiescente excessiva principalmente em comparação com a corrente de carga. A corrente quiescente contabiliza todo o consumo de corrente do regulador a partir da alimentação não regulada (tensão de entrada) com a corrente de carga zerada.

Uma figura de mérito que auxilia a mensurar esta situação é a Eficiência de Corrente (I_{EFF}) dada por:

$$I_{EFF} = 100 \frac{I_L}{(I_L + I_Q)} \quad [\%] \quad (2.4)$$

Um valor aceitável seria manter esta eficiência acima de 90%. Para se alcançar este objetivo será necessário manter a corrente quiescente abaixo de 50 [μA]. Observar a correlação direta que este parâmetro tem com a Eficiência (E_{FF}) que foi o primeiro item abordado nesta descrição de características.

2.5.13 Rejeição da Fonte (PSRR)

É muito importante que o regulador rejeite qualquer ruído que esteja presente no sinal de entrada não o transferindo para a saída. Trata-se de uma figura de mérito semelhante à regulação de linha, porém

todo o espectro de frequências, ou pelo menos, a faixa de frequências mais crítica é considerada. É um parâmetro AC e pode ser encarado como sendo um “ganho” entre estas duas tensões.

Também referenciado como “*Ripple Rejection*” é expresso por:

$$PSRR = 20\log\left[\frac{V_{OUT(ripple)}}{V_{IN(ripple)}}\right] \quad [dB] \quad (2.5)$$

Como um valor alvo a ser alcançado, a proposta é que o sinal de saída rejeite o ruído da entrada (nas frequências mais críticas) com uma relação de pelo menos 100 vezes, ou seja, uma PSRR menor (em valor relativo) que -40 [dB].

A *Tabela 2.1*, apresentada a seguir, traz de forma resumida os principais valores alvos aqui propostos para as características do Regulador de Tensão.

Características Elétricas ($I_L=0,5[mA]$ $T=37[^{\circ}C]$)	Valores Alvo	Características Elétricas ($I_L=0,5[mA]$ $T=37[^{\circ}C]$)	Valores Alvo
V_{OUT} [V]	1	PSRR [dB]	-40
V_{DROP} [mV]	50	I_Q [μA]	50
E_{FF} [%]	80	$\Delta V_{TR, Max}$ [mV]	500
$\Delta V_{OUT}/\Delta V_{IN}$ [mV/V]	50	$\Delta V_{OUT}/\Delta I_L$ [mV/mA]	50

Tabela 2.1 – Valores Alvos Pretendidos para o Projeto do Regulador.

As figuras de mérito V_{DROP} e E_{FF} têm sentido para um regulador LDO clássico. Entretanto, neste projeto, o regulador linear é baseado na estrutura LDO e, conseqüentemente, estes valores estarão degradados. A topologia do regulador proposto é discutida em mais detalhes nos próximos capítulos e ficará mais claro a opção custo-benefício adotada em função das condições de contorno.

2.6 POTÊNCIA DISSIPADA NO REGULADOR

Os sub-circuitos do implante estão com seus valores alvo de tensão fixados em 1[V] e um consumo de corrente total de 0,5[mA] representando uma potência de 0,5[mW]. Então, o regulador será projetado para uma potência de 1[mW] que representa o dobro da necessária. Deve-se levar em consideração que existe uma dissipação adicional nos circuitos que serão responsáveis pela captação do sinal da fonte emissora de RF e a sua retificação e, como será visto no Capítulo 4, haverá a inserção de um componente adicional para garantir a estabilidade do Regulador.

Ainda assim, 1[mW] representa 10[%] do valor idealizado de 10[mW/cm²] citado no item 2.3.

CAPÍTULO 3

REGULADOR DE TENSÃO LDO

O PRESENTE CAPÍTULO TEM POR OBJETIVO DETALHAR ALGUMAS CARACTERÍSTICAS DOS TIPOS DE REGULADOR DE TENSÃO LDO MAIS COMUNS. COMO O SISTEMA DE BIOTELEMETRIA OPERA A PARTIR DE UM ENLACE DE RF, É NECESSÁRIO AVALIAR E PROPOR TAMBÉM UMA TOPOLOGIA PARA O CIRCUITO RESPONSÁVEL PELA CONVERSÃO DA POTÊNCIA AC INCIDENTE EM UMA POTÊNCIA DC QUE SERÁ O SINAL DE ENTRADA A SER REGULADO.

3.1 INTRODUÇÃO

Todo circuito de aplicação linear, que apresenta em sua topologia dispositivos semicondutores, requer uma tensão de alimentação estável para a sua operação adequada. Flutuações significativas nesta alimentação podem acarretar, por exemplo, a perda do ponto de operação ótimo e, conseqüentemente, a linearidade de todo o sistema. Em casos mais graves, pode levar o circuito a um desvio total de sua função projetada, podendo até mesmo torná-lo inoperante.

Assim, o circuito de alimentação para estes sistemas, normalmente chamado de Fonte de Alimentação, deve prover dentre os seus sub-circuitos uma topologia que seja responsável por assegurar uma tensão estável independente das variações da linha (sinal de entrada) e da carga.

Outro grande “inimigo” de qualquer sistema baseado em dispositivos semicondutores é a temperatura. Seria ideal que a Fonte de Alimentação provesse um valor constante de tensão independente das variações térmicas a que estivesse sujeita.

Para os sistemas implantados, este impacto fica minimizado por uma condição essencial, através da qual o corpo humano precisa manter o seu equilíbrio térmico mantendo a temperatura corporal constante em aproximadamente 37[°C].

Para alcançar esta condição de estabilidade desejável (elétrica e térmica), existem os Reguladores de Tensão que, para este projeto, conforme já abordado no Capítulo 2, será implementado dentro do contexto de uma Fonte de Alimentação Linear e não, chaveada.

A *Figura 3.1*, na seqüência, ilustra um diagrama de blocos típico para este tipo de Fonte de Alimentação, ou seja, Linear.

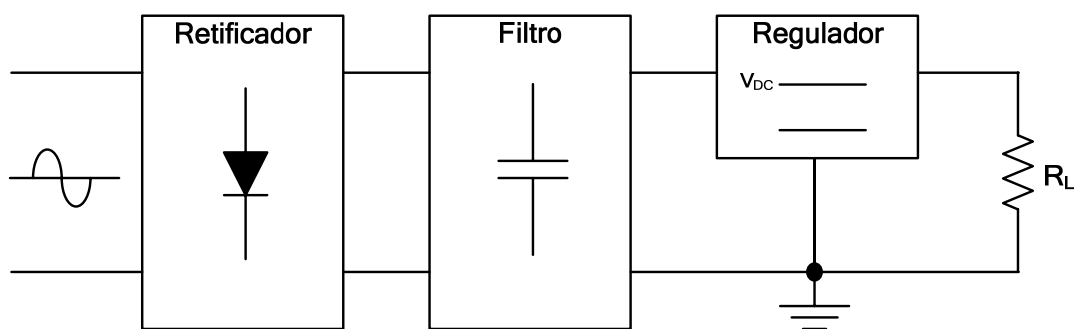


Figura 3.1 – Diagrama em Blocos de uma Fonte de Alimentação Linear.

Basicamente, são reconhecidas três estruturas fundamentais:

- ✓ O circuito Retificador, responsável por converter a potência AC do sinal de entrada em uma potência DC ainda que pulsante. Existem algumas topologias para a implementação destes retificadores que serão discutidas em seguida;
- ✓ O circuito de Filtragem, ou simplesmente Filtro, responsável por tornar o sinal mais próximo de um valor DC puro. Geralmente, por simplicidade, os circuitos de Filtro são realizados através de um Capacitor;
- ✓ O Regulador de Tensão, cuja função é tornar o sinal DC proveniente do Filtro mais isento de flutuações (“*Ripple*”) além de conferir à tensão de saída a desejada estabilidade mesmo para impactos de variação na carga, no sinal de entrada e na temperatura.

Neste Capítulo está se abordando o projeto do Regulador de Tensão. Porém é necessário investigar e propor também soluções de projeto tanto para o Retificador quanto para o Filtro. Assim, serão discutidas, inicialmente, as considerações de projeto para estes dois sub-circuitos.

3.2 O CIRCUITO RETIFICADOR

Ao se projetar um circuito retificador para um dispositivo implantado, especialmente se a energia de alimentação é fornecida por um enlace de RF, a primeira restrição a ser observada diz respeito à frequência deste sinal.

Por se tratar de RF, o que implica em frequências muito mais elevadas que as frequências industriais (neste projeto em particular tem-se 10[MHz]), não é possível a utilização de diodos semicondutores do tipo retificadores que são fabricados para um desempenho ótimo em frequências mais baixas.

Deve-se, buscar, então, soluções que envolvam o uso de outros dispositivos semicondutores, de resposta mais rápida, e que tenham a sua fabricação compatível com o processo CMOS escolhido, ou seja, o processo TSMC 0.35μm. Sendo uma tecnologia digital, os dispositivos semicondutores de fabricação imediata e que não requerem nenhuma máscara adicional são os transistores NMOS e PMOS, razão pela qual a topologia do retificador será escolhida em função destes elementos.

No circuito Retificador, quando utilizado em Tags Passivos, outras características se revestem de importância. Este circuito interfaceia com a antena que recebe a potência eletromagnética do sinal de RF, tornando essencial este casamento para que haja a maior eficiência na transferência. Além disto, o retificador em si, deve satisfazer da melhor forma possível a uma figura de mérito que é a PCE “*Power Conversion Efficiency*”, ou seja, a Eficiência da Conversão de Potência [29].

A PCE é expressa por:

$$P_{CE} = \frac{P_{AVG}(Carga)}{P_{AVG}(Total)} \quad [-] \quad (3.1)$$

Mais detalhadamente, observa-se que a PCE é uma relação entre a potência média consumida ou dissipada na carga e a potência média consumida ou dissipada em todo o circuito retificador. Quanto maior a PCE, fica evidente que maior será a porção da potência que efetivamente será disponibilizada para a carga.

Para aplicações em que o sinal de RF chega com níveis não muito elevados (o valor pico a pico da tensão deste sinal é menor ou da ordem de grandeza da tensão de limiar dos transistores MOS) aconselha-se o uso de retificadores baseados em células do tipo “*Charge Pump*” ou baseados em multiplicadores de tensão (retificador Greinacher [30]). Este tipo de retificador é aconselhado para sistemas que possuam memórias E²PROM em que tensões diferenciadas são necessárias para os ciclos de apagamento [29], [31]. Contudo, este tipo de retificador sofre de uma desvantagem muito severa que é a sua baixa eficiência, tornando-o, na maioria das vezes, inaplicável ao projeto de um Tag passivo [29].

Existem, ainda, soluções que usam dispositivos parasitas que estão presentes ao se formar um transistor MOS em uma tecnologia CMOS padrão. Particularmente, tratam-se dos transistores bipolares parasitas, porém sofrem de uma desvantagem expressiva quando usados em circuitos retificadores. Estes parasitas representam uma perda de eficiência (PCE) pelo consumo de correntes parasitas no substrato do Circuito Integrado, além de representar um enorme risco de “*latch-up*” [32-33].

Para este projeto, está se considerando a possibilidade de aproximar a fonte de RF ao paciente, respeitando-se os limites impostos pela SAR. Portanto, não seria problema aqui o fato do enlace de RF não poder prover a amplitude de tensão necessária para os outros tipos de retificadores.

Dentre as estruturas que são baseadas em transistores MOS, destaca-se, por apresentar um bom desempenho global, a topologia de 4 transistores ilustrada na *Figura 3.2* (também denominada de Ponte Retificadora com Gates Cruzados). Esta estrutura pode ser composta tanto por 4 transistores NMOS quanto por 4 transistores PMOS. A PCE, dependendo do nível de tensão de saída, pode chegar a 45[%] para cargas mais pesadas. A sua compatibilidade de fabricação com os processos CMOS padrão é ressaltado como uma de suas grandes vantagens [32].

A estrutura do Retificador com Gates Cruzados elimina uma queda de tensão de limiar (V_{TH}), no caso as dos transistores MN1 e MN2, uma vez que eles operam como chaves e a tensão que aparece somada à saída corresponde a um V_{DS} de saturação (esta tensão é minimizada pelo uso de uma geometria adequada). Resta, no entanto, a queda dos transistores MN3 e MN4 que não estão conectados como chave e sim, como diodos.

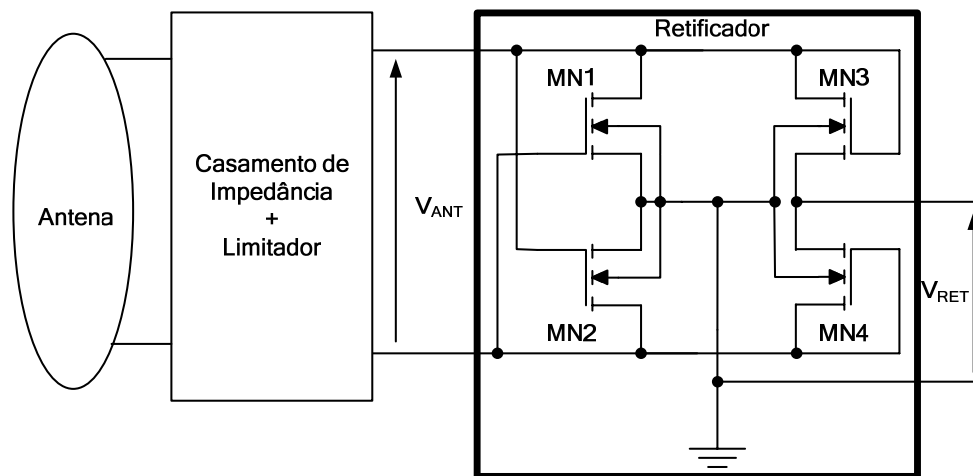


Figura 3.2 – Circuito Retificador com Topologia de 4 Transistores NMOS [29].

Existe uma vantagem do transistor NMOS em relação ao PMOS, pois, na tecnologia utilizada, a tensão de limiar do NMOS (algo em torno de 500[mV] desconsiderando-se o efeito de corpo) é cerca de 200 a 250[mV] menor que a do PMOS. Esta tensão de limiar inferior reduz a queda de tensão no dispositivo conectado como diodo o que representa um ganho na eficiência do circuito [34].

A Tabela 3.1 apresenta as geometrias adotadas para os transistores MN1 ~ MN4. A justificativa para tal dimensionamento está descrita no próximo item em que se trata da inserção do circuito de Filtro.

Transistor	W [μm]	L [μm]
MN1	500	1
MN2	500	1
MN3	500	1
MN4	500	1

Tabela 3.1 – Dimensionamento dos Transistores do Circuito Retificador.

Entre o Retificador e a Antena (que na prática é um indutor) é aconselhável a presença de dois circuitos adicionais que estão representados pelo bloco Casamento de Impedância e Limitador. O casamento se faz necessário para maximizar a transferência de potência, podendo ser realizado através de uma combinação de indutores e capacitores formando um circuito ressonante. Figuras de mérito como a Faixa de Leitura do Tag (que avalia o desempenho do Tag em relação à distância do transmissor de RF) e o Coeficiente de Transmissão de Potência (que avalia a frequência de operação ideal do enlace de RF) estão diretamente ligadas a este casamento [35].

O limitador também é necessário, pois a fonte de sinal de RF pode estar sendo manipulada manualmente e, se aproximada demasiadamente do paciente, eleva a tensão pico a pico induzida na antena receptora [36-38]. A tecnologia TSMC 0.35 permite uma tensão limite de operação de 3,3[V] $\pm$ 10[%], ou seja, o circuito limitador deve assegurar que o Retificador não receba uma tensão superior a aproximadamente 3,6[V].

Uma vez caracterizado eletricamente o circuito retificador, pode-se propor uma confecção para o seu “layout”. É o que ilustra a Figura 3.3.

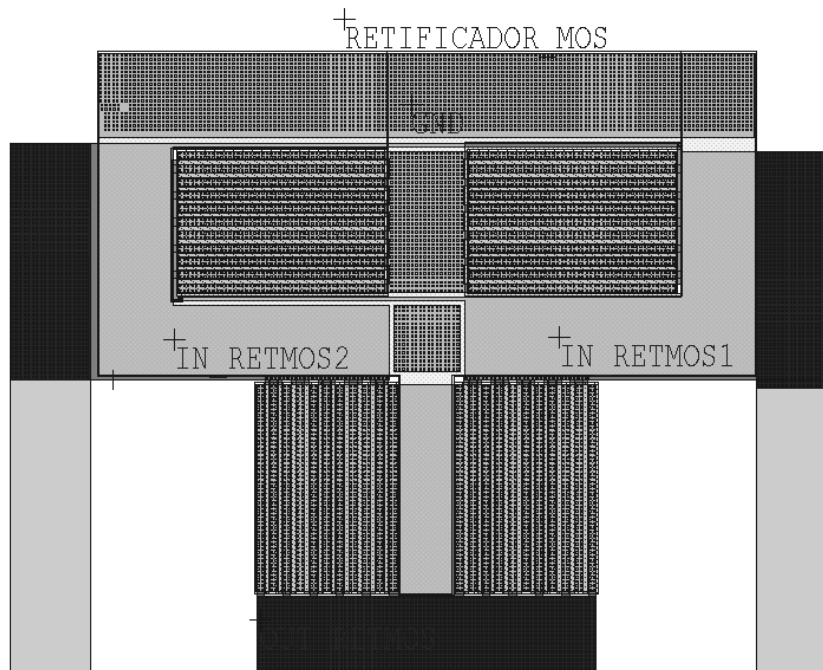


Figura 3.3 Layout Desenvolvido para o Circuito Retificador.

Para se otimizar a estrutura, pelo fato dos transistores NMOS serem de uma geometria relativamente grande (500/1), o layout foi construído usando-se a técnica de “multi-finger”.

3.3 O CIRCUITO DE FILTRO

Como já comentado, o circuito de Filtro é simplesmente um capacitor que será posicionado em paralelo com o sinal de saída do Retificador. Algumas considerações devem ser apontadas para a escolha deste capacitor:

- ✓ O capacitor é um dispositivo que, em circuitos integrados, consome muita área de silício na medida em que seu valor absoluto vai aumentando. Normalmente, a ordem de grandeza para estes capacitores situa-se na faixa de algumas unidades a algumas dezenas de [pF]. Existirá sempre uma solução de compromisso envolvendo a disponibilidade ou não de área no circuito integrado a ser difundido;
- ✓ Deve-se considerar que em um estado desenergizado, o capacitor comporta-se como um curto circuito (carga zero) e esta situação trará o impacto da chamada corrente de surto ao se energizar o sistema. Os transistores que compõem o circuito retificador deverão ser projetados, no que diz respeito às suas geometrias (dimensões W e L), para suportar tal surto de corrente.

Para avaliar o Capacitor de Filtro, o melhor equacionamento é o que o relaciona com a tensão média que se deseja obter na saída do Retificador. A eq. (3.2) (Apêndice C) foi deduzida para uma condição em que se espera uma tensão de “Ripple” (V_{RPP}) de aproximadamente 20[%] do valor de pico (V_P) do sinal retificado

sob a demanda de carga máxima ($I_L=0,55$ [mA]) que corresponde ao valor da corrente de carga nominal acrescida de 10[%] para prover, também, a corrente quiescente do Regulador de Tensão. A princípio, um “Ripple” de 20[%] pode ser interpretado como um valor exagerado. Contudo, a presença do circuito Regulador consegue absorver esta flutuação, principalmente, se apresentar uma boa regulação de linha.

Está se considerando que o sinal induzido na antena atinja o seu valor máximo permitido que é de 3,6[V] e que o valor médio de tensão na saída do retificador com Filtro seja de 2,2[V]. A justificativa para este valor médio será apresentada no Capítulo 5, que trata do projeto dos circuitos que compõem o regulador.

A Figura 3.4 ilustra as condições de contorno aqui descritas para estas tensões.

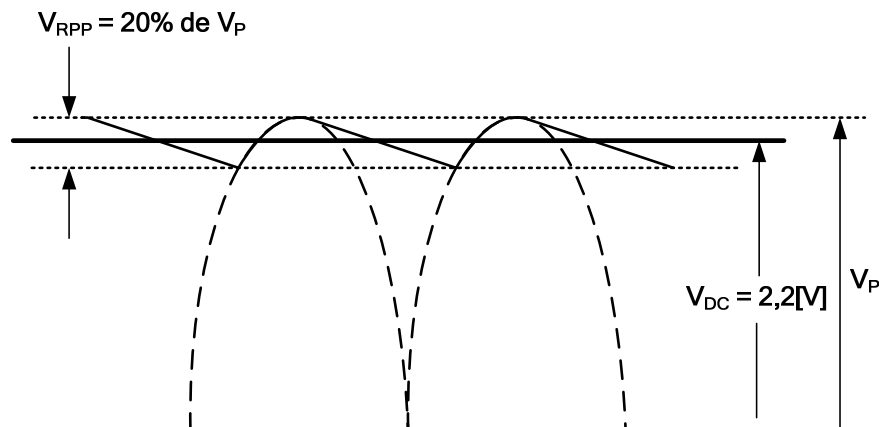


Figura 3.4 – Valores de Tensão para o Cálculo do Capacitor.

Com a ajuda das equações apresentadas no Apêndice C, tem-se:

$$V_{DC} = V_P - \frac{V_{RPP}}{2} = V_P - \frac{0,2V_P}{2} \Rightarrow V_P = \frac{V_{DC}}{0,9} \approx 2,44 \quad [V] \quad (3.2)$$

e

$$V_{RPP} = \frac{I_L}{2fC_{FILT}} \Rightarrow 0,2V_P = 488.10^{-3} = \frac{0,55.10^{-3}}{2010^6 C_{FILT}} \Rightarrow C_{FILT} \approx 56,3.10^{-12} \quad [F] \quad (3.3)$$

Adotou-se um valor de 50[pF] para este capacitor. Esta escolha está baseada no fato de que, na medida em que os transistores MOS aumentam de tamanho, as suas capacitâncias parasitas tornam-se maiores e mais significativas também. Contudo, estas capacitâncias estarão em paralelo tanto com o Capacitor de Filtro quanto com o capacitor que faz parte do circuito de casamento de impedância da antena receptora [39]. Para a antena, deve-se levar em consideração a presença do parasita no projeto do circuito ressonante.

Sendo o Capacitor de Filtro menor que o calculado, mesmo somando-se o efeito de capacitância parasita, o “Ripple” tende a ser ligeiramente maior, porém sua influência será minimizada pela ação do Regulador de Tensão.

As geometrias dos transistores que compõem o retificador precisam ser estabelecidas. A equação (3.4) [32] seria um ponto de partida para se avaliar estas grandezas para os transistores MN3 e MN4, mas pelo fato

destes apresentarem efeito de corpo (observar que eles não estão com o Substrato conectado à Fonte), uma avaliação manual requer a extração de parâmetros adicionais como, por exemplo, o parâmetro GAMMA.

$$V_{DS} = V_{GS} = V_{TH} + \sqrt{\frac{2(1+\delta)I_D}{KP\left(\frac{W}{L}\right)}} \quad [V] \quad (3.4)$$

Fica evidente, pela equação acima, que a queda de tensão nos transistores conectados como diodos pode ser ajustada pelas suas relações (W/L). Deve-se estar atento para dois aspectos importantes: o consumo de área e as capacitâncias parasitas que serão introduzidas se o transistor ficar demasiadamente grande [23].

A simulação de um circuito simples como o indicado na *Figura 3.5* pode indicar um valor idealizado para as relações W/L de MN1 e MN2. Através de uma análise paramétrica em relação ao valor de W do transistor (mantendo o L na sua largura mínima adotada de 1[μm]) é possível estabelecer um valor otimizado considerando-se a situação de plena carga, discutida anteriormente, que é de 0,55[mA].

A simulação corresponde a uma análise paramétrica em relação ao W do transistor NMOS de forma a se encontrar para a tensão retificada (sob condição de carga plena) o valor alvo de 2,44[V] (valor de pico). A *Figura 3.6* ilustra o resultado desta análise indicando que o valor otimizado para a largura de canal destes transistores é algo em torno de 440[μm]. Na prática, foi adotado o valor inteiro mais próximo, ou seja, 500[μm] para a largura de canal.

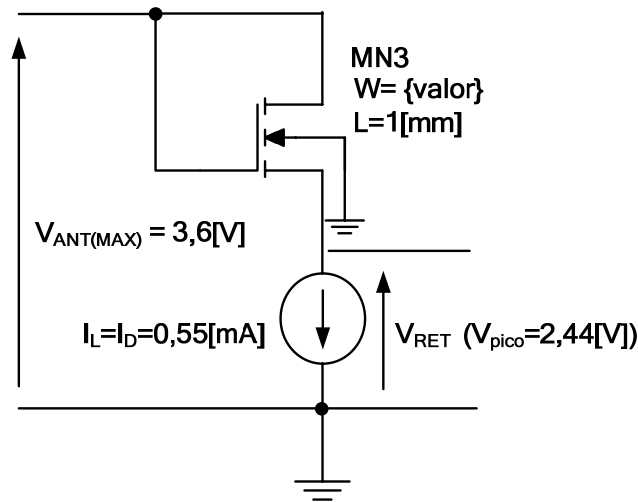


Figura 3.5 – Circuito para a Obtenção do Valor de W dos Transistores do Retificador.

Ao se estabelecer esta geometria, é preciso avaliar se ela é suficiente para suportar também a condição de corrente de surto. Usando a eq. (3.5) (Apêndice C) tem-se:

$$I_{SURTO} = V_P C_{FILT} 2\pi f = 2,44 \times 50 \cdot 10^{-12} \times 6,28 \cdot 10 \cdot 10^6 \approx 7,66 \cdot 10^{-3} \quad [A] \quad (3.5)$$

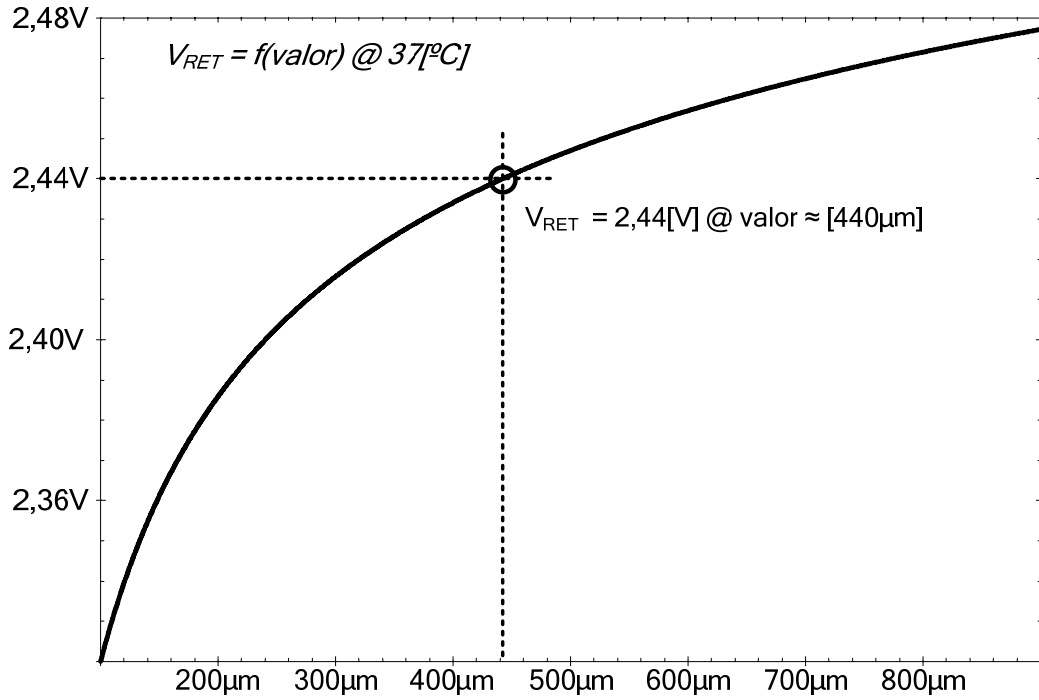


Figura 3.6 – Resultado da Simulação para o Valor de W , $T_{NOM} = 37^\circ C$.

Na condição de surto, em que a tensão de saída vai à zero pelo fato do capacitor estar descarregado, a tensão V_{GS} atinge o seu valor máximo de 3,6 [V]. Usando apenas a equação de corrente de Dreno do transistor, é obvio que, com uma tensão de “*overdrive*” maior, maior será o valor desta corrente e, a princípio, a geometria estaria “aprovada” para o surto.

Deve-se levar em consideração outro fator que é o aquecimento provocado no silício pela passagem desta corrente e que esta dissipação não vai causar a degeneração, ou até a queima do dispositivo.

O silício apresenta uma dissipação de potência, por unidade de área, de $0,085[mW/\mu m^2]$. Considerando a situação de pior caso que seria a queda de tensão máxima para $V_{DS} = V_{GS} = 3,6[V]$ e com a passagem da corrente de surto de $7,66[mA]$, tem-se uma potência dissipada de:

$$P_{D(MAX)} = V_{DS(MAX)} I_{SURTO} = 3,6 \times 7,66 \cdot 10^{-3} \approx 27,58 \cdot 10^{-3} \quad [W] \quad (3.6)$$

Ou seja, aproximadamente 28[mW]. Como os transistores já têm a sua geometria determinada ($W=500[\mu m]$ e $L=1[\mu m]$), é possível fazer uma verificação direta com o valor de $0,085[mW/\mu m^2]$:

$$\frac{P_{D(MAX)}}{WL} = \frac{27,58 \cdot 10^{-3}}{500 \cdot 10^{-6} \times 1 \cdot 10^{-6}} \approx 55,15 \cdot 10^{-6} \left[\frac{W}{\mu m^2} \right] < 85 \cdot 10^{-6} \left[\frac{W}{\mu m^2} \right] \quad (3.7)$$

A conclusão é positiva no sentido em que os transistores, com a geometria adotada, permitem manipular uma dissipação de potência que representa aproximadamente 65 [%] do valor limite do silício.

A princípio, para os transistores do circuito retificador que estão atuando como chaves, seria interessante atribuir uma relação W/L grande para minimizar a tensão de saturação V_{DS} . Porém, um fator limitante são as suas correntes de fuga (diretamente proporcionais a relação W/L) que podem deteriorar a PCE. Por esta razão, as suas geometrias ficaram limitadas à avaliação de dissipação de potência feita anteriormente. E, por uma questão de simetria, ficam estes transistores com a mesma geometria, ou seja, 500/1.

A Figura 3.7 mostra o circuito do Retificador e Filtro que será usado em algumas simulações adicionais. Na Figura 3.8 tem-se o resultado para a tensão de saída do Retificador avaliando-se o “Ripple”. Para o valor médio da tensão V_{RET} foi expandido o tempo de simulação com o intuito de se obter um valor mais preciso. O resultado da simulação está na Figura 3.8. E, finalmente, uma avaliação da corrente de surto está ilustrada pela Figura 3.9.

Os dados obtidos pelas simulações são confrontados com os valores alvos sugeridos através da Tabela 3.2 para maior facilidade de visualização.

Apesar da corrente de surto simulada ser 10[%] maior que a calculada, a dissipação de potência nos transistores ainda permanece aquém do limite de dissipação do silício. Para o “layout” do Capacitor de Filtro confeccionou-se uma estrutura PIP (“Poly-Insulator-Poly”). O documento TSMC T-035-MM-SP-002 reporta uma capacitância 864,3[aF] por unidade de área[μm^2].

Então, para 50[pF] é necessário uma área que está sendo avaliada pela eq. (3.8).

$$50 \cdot 10^{-12} = 864,3 \cdot 10^{-18} A_p \Rightarrow A_p \approx 57,85 \cdot 10^3 \quad [\mu\text{m}^2] \quad (3.8)$$

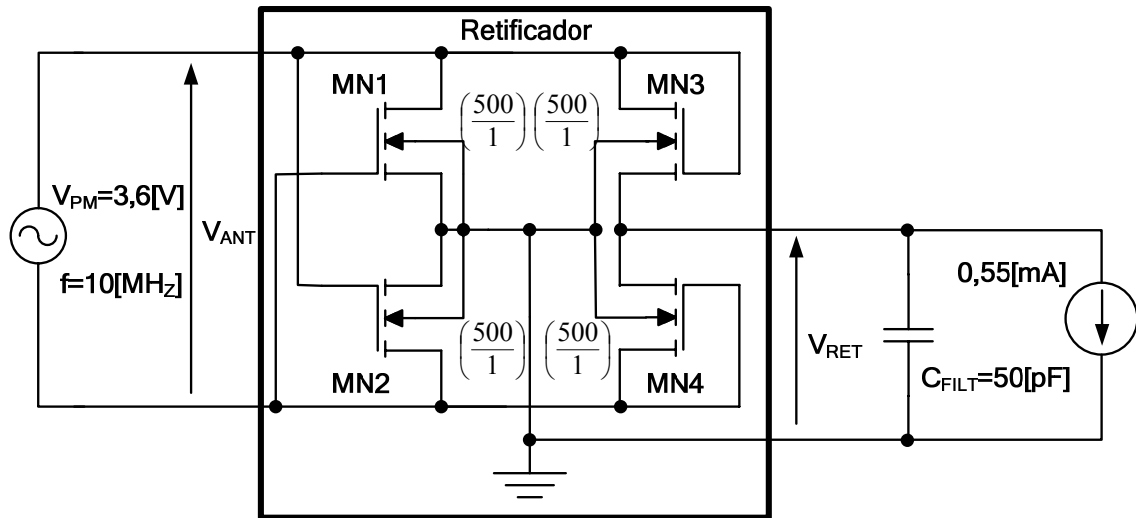


Figura 3.7 Simulação (Retificador e Filtro) @ $I_L=0,55[\text{mA}]$ e $T = 37[^\circ\text{C}]$.

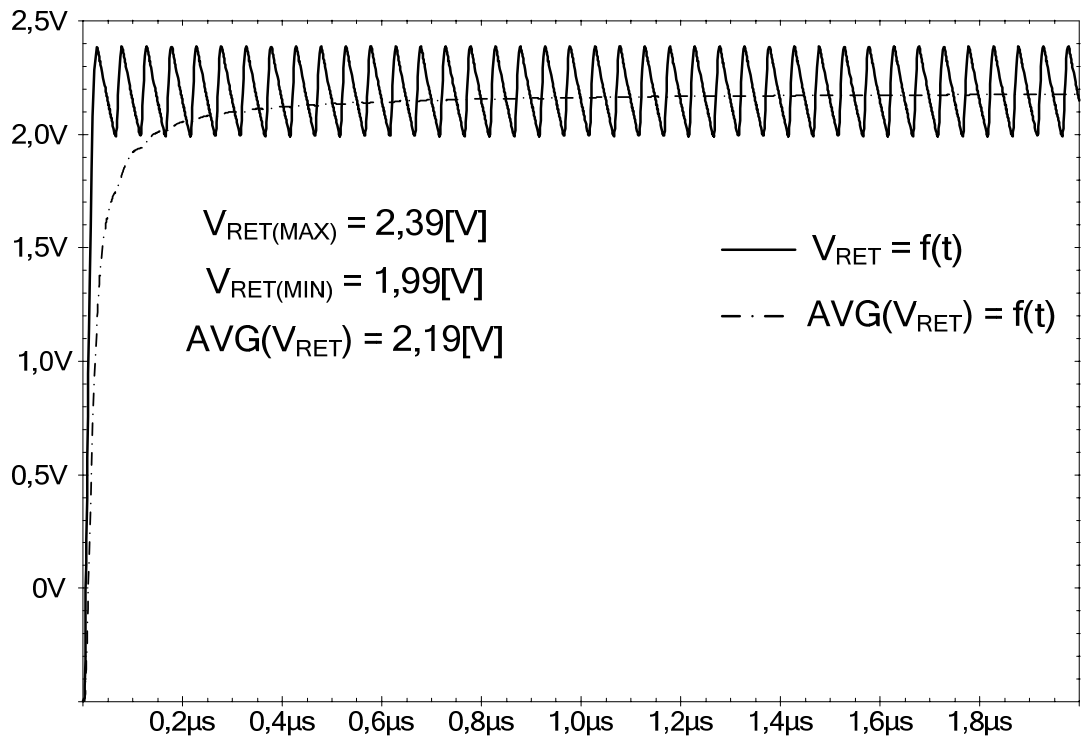


Figura 3.8 – Resultado da Simulação para V_{RPP} e para V_{DC} @ $T = 37[^\circ C]$.

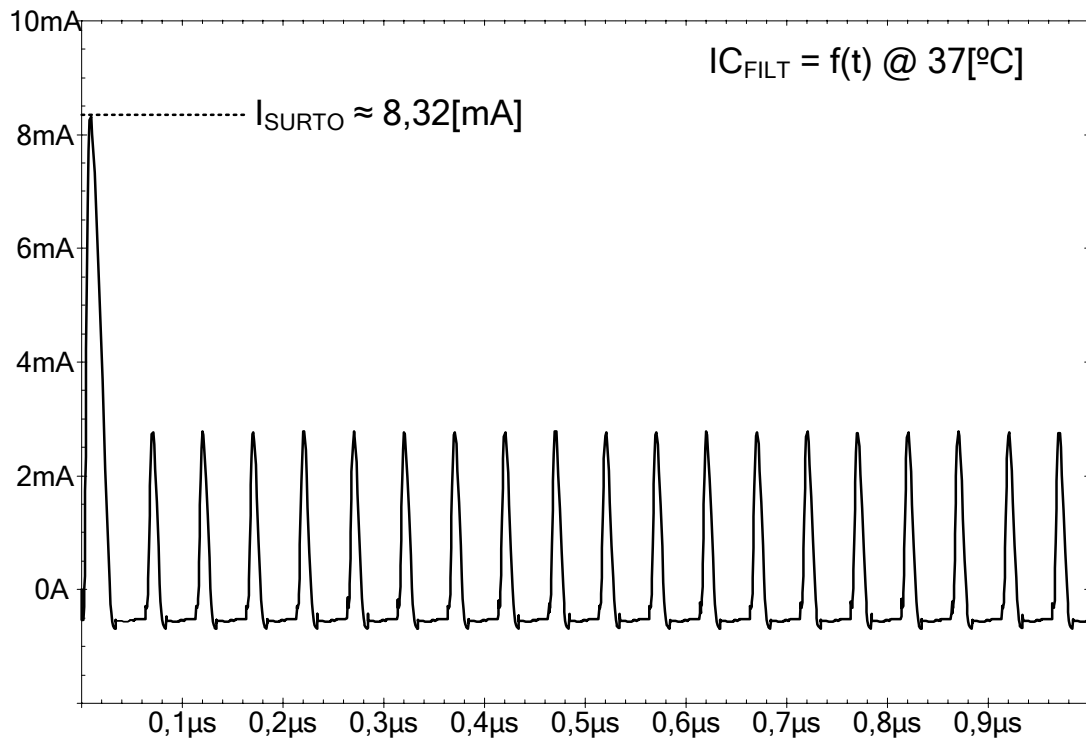


Figura 3.9 – Resultado da Simulação para a Corrente de Surto (I_{SURTO}), $T_{NOM} = 37[^\circ C]$.

A Figura 3.10 ilustra o layout do Capacitor de Filtro em uma estrutura quadrada com 240[μm] de lado (240x240 = 57600[μm^2]) que aproxima o valor de A_p calculado.

Valores Alvos	Resultados de Simulação
$V_{RPP} = 448[mV]$	$V_{RPP} = 400[mV]$
$V_{DC} = 2,2[V]$	$V_{DC} = 2,19[V]$
$I_{SUR} = 7,66[mA]$	$I_{SUR} = 8,32[mA]$

Tabela 3.2 – Quadro Comparativo para o Retificador e para o Filtro Capacitivo @ $T = 37[^\circ C]$.

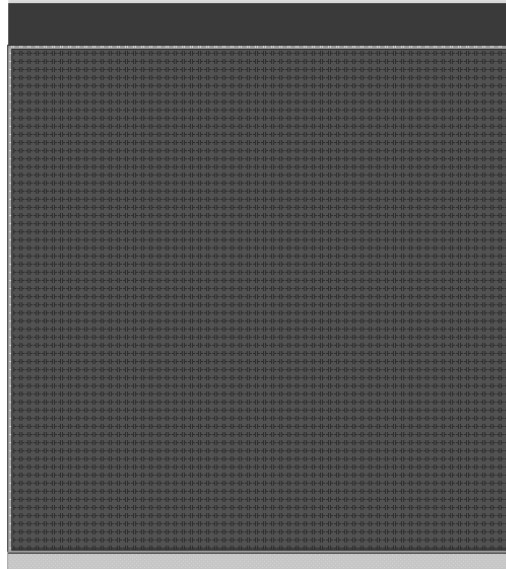


Figura 3.10 – Layout do Capacitor de Filtro (PIP – “Poly-Insulator-Poly”).

3.4 CONSIDERAÇÕES SOBRE A TOPOLOGIA LDO

3.4.1 Arquitetura Básica e o Elemento de Passagem

Um regulador de tensão típico é apresentado, na forma de diagrama de blocos, na *Figura 3.11* a seguir. Trata-se de um sistema realimentado negativamente em que a tensão de saída (V_{OUT}) é amostrada e comparada com um valor de tensão de referência (V_{REF}) por meio de um Amplificador de Erro (genericamente um Amplificador Operacional - AO).

Sob uma condição dinâmica, tanto a tensão de entrada quanto a carga podem sofrer flutuações o que acarretaria em mudanças no valor da tensão de saída e, por consequência, no valor de tensão da amostra (V_2). Dependendo do resultado da comparação, ou seja, se a tensão amostrada é maior ou menor que V_{REF} , o amplificador de erro atua no elemento de passagem de forma a restabelecer o valor original da tensão de saída.

O elemento de passagem pode ser interpretado como sendo um resistor variável de maneira a permitir que a diferença de tensão entre seus terminais ($V_{DROP} = V_{IN} - V_{OUT}$) se ajuste de tal forma a realizar a estabilização da tensão de saída citada no parágrafo anterior.

Na prática, o elemento de passagem é implementado através de um dispositivo semiconductor que pode ser um transistor bipolar ou um transistor MOS. Existem entre eles, comparativamente, vantagens e desvantagens e, dependendo do arranjo empregado para estes transistores, será dado um nome diferente para o regulador de tensão.

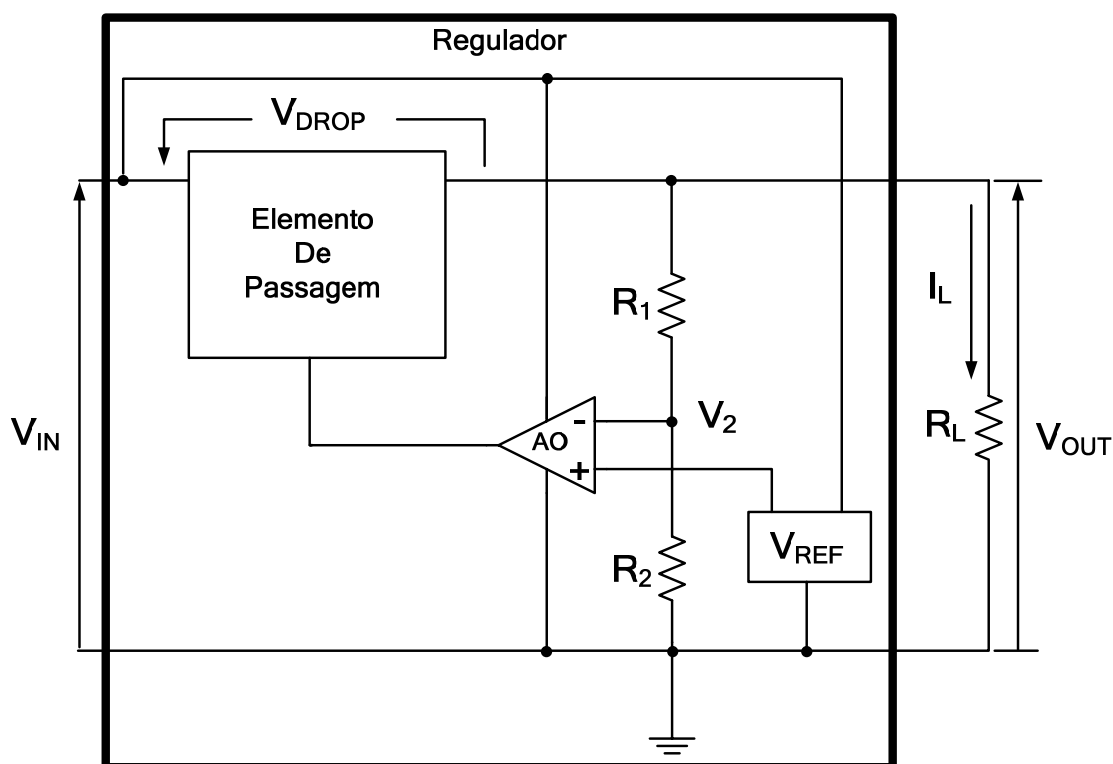


Figura 3.11 – Diagrama de Blocos de um Regulador de Tensão Típico.

Inicialmente, com o uso de transistores bipolares para o elemento de passagem, será conceituado o termo “*Low Drop-out*”. A Figura 3.12 auxilia o entendimento desta conceituação [40].

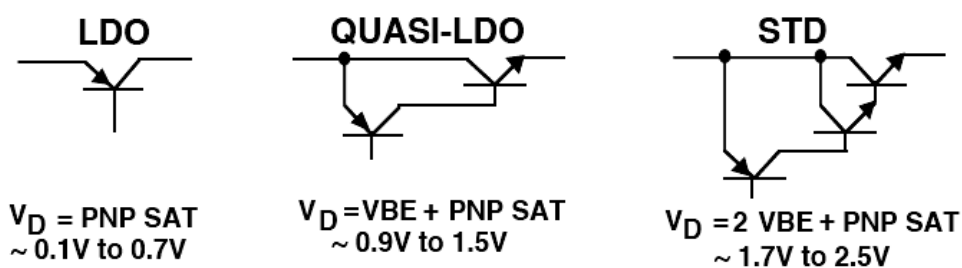


Figura 3.12 – Transistores Bipolares como Elementos de Passagem.

Para os três elementos de passagem apresentados, fica claro que o uso de um único transistor, no caso um Bipolar PNP, faz com que a tensão V_{DROP} , ou seja, a diferença entre as tensões de entrada e saída do regulador atinja os menores valores. Por este motivo, os reguladores que apresentam esta configuração são denominados de “*Low Drop-out*” (de forma simplificada LDO) e são a solução mais otimizada quando se quer aumentar a eficiência na transferência de potência para a carga. A topologia “*Standard*” (STD) com três transistores bipolares foi a utilizada pelos primeiros reguladores e, com a demanda crescente por eficiências maiores migrou-se para a solução LDO. Uma situação que pode ser considerada intermediária é a realizada com dois transistores bipolares, recebendo a denominação Quasi-LDO.

Faz-se necessário, neste ponto em que já se tem o conceito do LDO, proceder a uma comparação desta mesma estrutura, porém com a utilização de transistores MOS como elemento de passagem.

A primeira diferença de destaque é o fato dos transistores MOS serem considerados dispositivos controlados por tensão enquanto que os bipolares são controlados por corrente. Em termos de eficiência do regulador, seria interessante que o elemento de passagem não consumisse corrente de controle uma vez que ela deve ser entregue pelo amplificador de erro. Tem-se, então, a primeira vantagem para o transistor MOS.

Tanto transistores bipolares quanto transistores MOS são fabricados em dois tipos distintos, ou seja, tipo N (NPN ou NMOS) e tipo P (PNP ou PMOS). Analisando-se a estrutura do LDO, verifica-se que os dispositivos do tipo N necessitam de um sinal de controle positivo (quer seja na Base quer seja no “*Gate*”). Portanto, a saída do amplificador de erro precisa produzir um sinal de tensão mais positivo que a tensão de saída.

Diferentemente, os dispositivos do tipo P são acionados quando a saída do amplificador de erro produz uma tensão mais negativa do que a tensão de saída. Em se tratando de aplicações que envolvem baixas tensões, a escolha pelos elementos de passagem do tipo P é a melhor opção [41-42].

Então, combinando as duas situações, o elemento de passagem ideal seria o implementado através de um dispositivo do tipo P e, particularmente, um transistor PMOS. Existe, ainda, uma vantagem adicional para o PMOS. Ela está relacionada com o valor da tensão V_{DROD} .

Nos transistores bipolares, a tensão V_{DROD} corresponde à tensão V_{CE} e, para se alcançar menores valores, são feitas mudanças no projeto físico do transistor de forma a se diminuir o ganho de corrente.

Embora um ganho de corrente menor diminua V_{CE} , existirá um aumento da corrente de base, o que prejudica a eficiência do regulador (maiores correntes quiescentes) [42].

Para os transistores MOS, a tensão V_{DS} representa a tensão V_{DROD} . Para este dispositivo, o controle do valor absoluto desta tensão é mais simples uma vez que ela depende da geometria do transistor, ou seja, dos parâmetros W e L , que são totalmente acessíveis para o projetista.

Pelo fato do transistor MOS apresentar entre Fonte e Dreno uma região de canal sem junções PN (como no caso do Bipolar entre Coletor e Emissor), o comportamento tensão versus corrente será mais linear [41].

A estrutura do Regulador LDO fica, então, como ilustrada na *Figura 3.13*. Destacam-se, o fato da tensão V_{SG} do transistor PMOS requerer que V_{IN} seja maior que V_{OUT} e a corrente I_G que é essencialmente igual a zero.

3.4.2 Ajuste do Valor da Tensão de Saída

Tomando por base a *Figura 3.11*, será analisado como é composta a tensão de saída do Regulador em função do Amostrador composto pelos resistores R_1 e R_2 .

Sendo o amplificador de erro um Amplificador Operacional, duas características idealizadas de seu comportamento seriam a alta impedância de entrada (principalmente se implementado em tecnologia CMOS) e o seu alto ganho em malha aberta. A partir destas características fundamentais, têm-se como conseqüências um consumo de corrente desprezível nas suas entradas inversora e não inversora e o aparecimento do curto circuito virtual entre elas, uma vez que o amplificador está inserido em um elo de realimentação negativa.

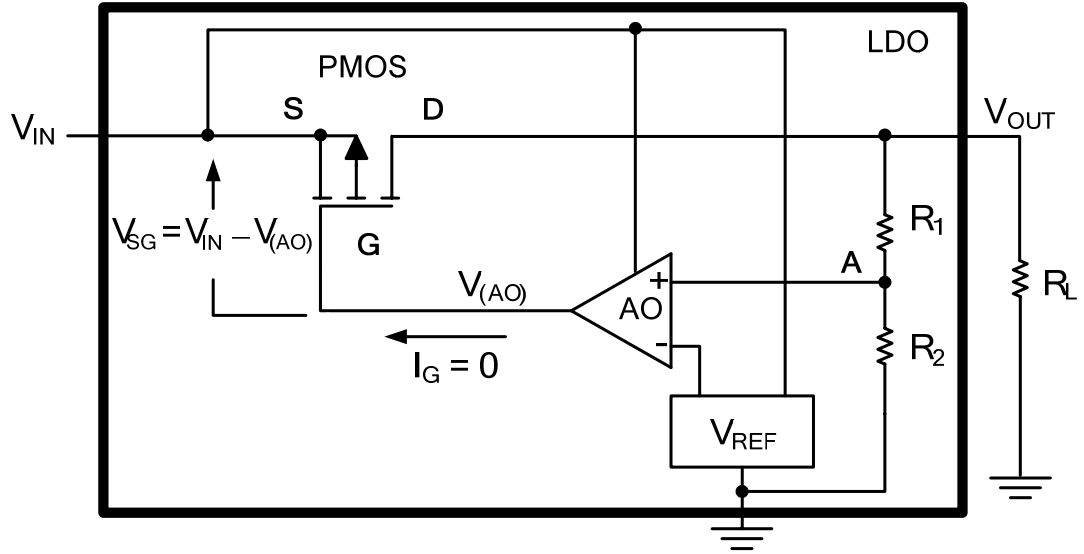


Figura 3.13 - Regulador LDO com Transistor PMOS no Elemento de Passagem.

Deve ser ressaltado que o transistor de passagem PMOS atua em uma configuração Fonte Comum com o sinal de saída retirado do Dreno o que significa uma inversão de fase (ganho de tensão negativo) em relação ao sinal de entrada. Para que a realimentação seja negativa é necessário que o sinal amostrado seja conectado à entrada não inversora do Amplificador de Erro.

Assim, a tensão de referência V_{REF} aparece, através do conceito do curto circuito virtual, no nó A. Uma vez que não se consome corrente em direção a entrada não inversora, a relação entre V_{OUT} e potencial do nó A é simplesmente ditada pela regra de um divisor de tensão [41]:

$$V_A = \frac{V_{OUT} R_2}{R_1 + R_2}$$

$$V_{OUT} = \left(1 + \frac{R_1}{R_2}\right) V_{REF} \quad [V] \quad (3.9)$$

A eq. (3.9) reporta um resultado importante, pois, estando o sistema projetado corretamente, ou seja, com desempenho ótimo, a tensão de saída depende apenas de uma relação entre os dois componentes do Amostrador.

3.4.3 Exigências para o Elemento Amostrador, Elemento de Passagem, Tensão de Referência e para o Amplificador de Erro

Para se alcançar o desempenho ótimo do Regulador, os sub-circuitos que o compõem (Amplificador de Erro, Amostrador, Elemento de Passagem e Tensão de Referência) necessitam de alguns cuidados especiais nas suas especificações.

Analisando a Fonte de Referência, inicialmente, verifica-se que três propriedades são fundamentais. São elas [40]:

- ✓ A Referência, por ser alimentada pela tensão não regulada, precisa rejeitar as flutuações de tensão que existem nesta linha de sinal. Em outras palavras, precisa apresentar um alto PSRR (*Power Supply Rejection Ratio*);
- ✓ Com relação à temperatura, a Referência não pode sofrer flutuações significativas ao longo da faixa especificada. Normalmente, são usadas referências do tipo “*Bandgap*” que podem oferecer um grau de independência da ordem de algumas unidades a dezenas de ppm por [°C];
- ✓ Para aplicações que envolvem “*low voltage*”, são necessárias referências que produzam tensões menores que 1,2 [V], que é o valor típico da tensão de uma “*Bandgap*”.

Estando a Referência de Tensão projetada para desempenho ótimo, assim como, o elemento Amostrador, o Amplificador de Erro que, em essência, é um Amplificador Operacional, torna-se o principal fator de desempenho do Regulador. As principais exigências para este circuito são:

- ✓ Uma baixa tensão de offset (V_{IO}) uma vez que ela afeta diretamente o valor da tensão de saída por uma participação na malha que tem o nó A da *Figura 3.11*. Como esta tensão é modelada em série com uma das entradas do Operacional, o nó A passa ser $V_{REF} \pm V_{IO}$. A eq. (3.9) passa a ser:

$$V_{OUT} = \left(1 + \frac{R_1}{R_2}\right)(V_{REF} \pm V_{IO}) \quad [V] \quad (3.10)$$

- ✓ A tensão de offset precisa apresentar uma baixa deriva térmica. Se o circuito do Amplificador Operacional for projetado para um valor reduzido de “*offset*”, a deriva térmica pode ser desprezada em uma primeira aproximação;
- ✓ A rejeição de fonte (PSRR) e a rejeição de modo comum (CMRR) precisam ser altas para não transportar à saída as flutuações de tensão que chegam pela linha de alimentação não regulada e pelo fato do operacional amplificar sinais de modo comum ainda que com ganho muito pequeno;
- ✓ O ganho em malha aberta do operacional (A_{OL}) precisa ser alto o suficiente para que todas as considerações decorrentes de uma conexão em malha aberta sejam válidas.

Com relação ao circuito que faz a amostragem do sinal de saída, a sua implementação clássica é através de um divisor resistivo. São importantes as seguintes considerações:

- ✓ A precisão do sinal amostrado depende da relação entre dois resistores (o que é uma vantagem se comparado com o fato de depender do valor absoluto destes resistores), portanto o “*layout*”

deverá ser elaborado com técnicas que minimizem a dispersão decorrente do processo de fabricação;

- ✓ Deverão ser projetados respeitando-se um compromisso entre dissipação de potência e área de silício. Precisam ser de um valor relativamente alto para minimizar a corrente consumida (melhorar a eficiência do Regulador), contudo, valor este limitado pela disponibilidade de área.

O Elemento de Passagem, implementado com um transistor PMOS conforme já justificado anteriormente, deverá apresentar as características:

- ✓ A sua geometria deverá ser projetada para que suporte a corrente de carga nominal em regime permanente e a corrente de surto em uma situação transitória;
- ✓ Normalmente, por se tratar de um transistor de grande porte, devem-se utilizar técnicas otimizadas de layout para a sua fabricação.

TOPOLOGIA PROPOSTA PARA A ESTABILIDADE DO LDO

UMA VEZ ESCOLHIDA A TOPOLOGIA DO REGULADOR, NO CASO A LDO, EXISTE UM PONTO DE FUNDAMENTAL IMPORTÂNCIA QUE É A AVALIAÇÃO DA ESTABILIDADE DESTA ESTRUTURA. NESTE CAPÍTULO SERÁ FEITO UMA REVISÃO DAS CONTRIBUIÇÕES RELATIVAS A ESTE TÓPICO E AO FINAL ESTARÁ SENDO PROPOSTA UMA ABORDAGEM ALTERNATIVA.

4.1 ANÁLISE DA ESTABILIDADE DO REGULADOR LDO

O Regulador de Tensão necessita, para a sua operação fundamental, da presença de um elo de realimentação negativa. Todo circuito que contém um esquema de realimentação, como este, requer uma investigação no sentido de verificar a sua estabilidade em função da faixa de frequências a serem processadas. A resposta transiente do LDO é afetada diretamente pelos parâmetros associados a esta análise em frequência.

Um regulador estável irá responder de forma suave e controlada a qualquer transitório provocado por variações na linha e, principalmente, como será visto, no caso do LDO para transientes ocasionados pela carga [43-45]. De outra forma, um regulador quase estável ou instável irá produzir uma resposta oscilatória sob certas circunstâncias.

Para que o circuito seja estável, a quantidade de deslocamento de fase que sofre o sinal realimentado ao longo do elo de realimentação deve ficar sempre abaixo de -180° no ponto de frequência que corresponde ao ganho unitário (0[dB]). Esta frequência recebe a denominação de frequência unitária (f_{UG}). Caso contrário, um descolamento de -180° caracteriza uma realimentação regenerativa ou positiva e causará a oscilação do sistema. Um parâmetro importante relacionado com a resposta no tempo do Regulador (sob uma condição de excitação do tipo degrau) é a margem de fase (indicada por ϕ_M) e que representa a diferença de fase, em módulo, para se alcançar os -180° . Normalmente, valores indicados para este parâmetro situam-se entre 45° e 70° .

A *Figura 4.1* ilustra um exemplo desta resposta para uma excitação degrau. O sistema pode variar de sub-amortecido, quando a margem de fase se aproxima de 70° , a um sistema com “overshoot”, quando a margem de fase se aproxima de 45° . Valores da margem de fase entre 50° e 60° são, normalmente, considerados valores alvos a serem atingidos. [42], [46]. Ao proceder a esta análise de estabilidade será tomado por base o circuito ilustrado na *Figura 4.2* que apresenta um LDO clássico com os componentes necessários, devidamente modelados para se garantir uma precisão suficiente [45].

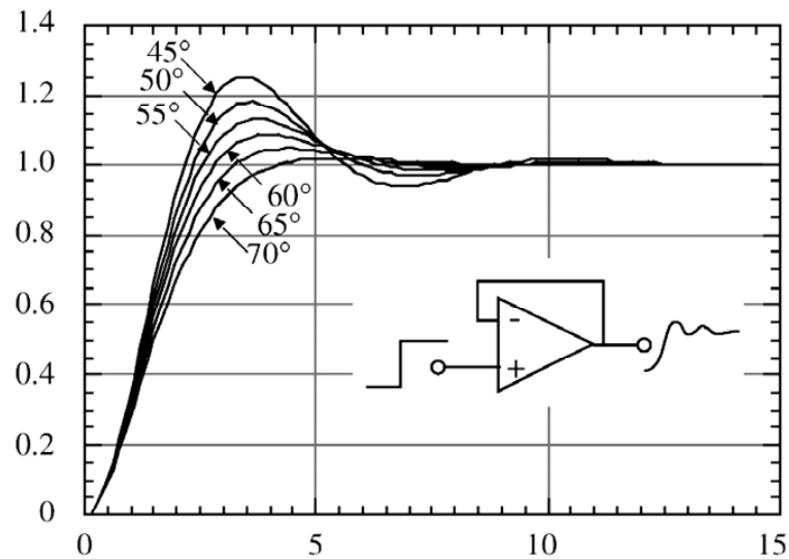


Figura 4.1 – Resposta ao Degrau e o Impacto das Diferentes Margens de Fase [46]

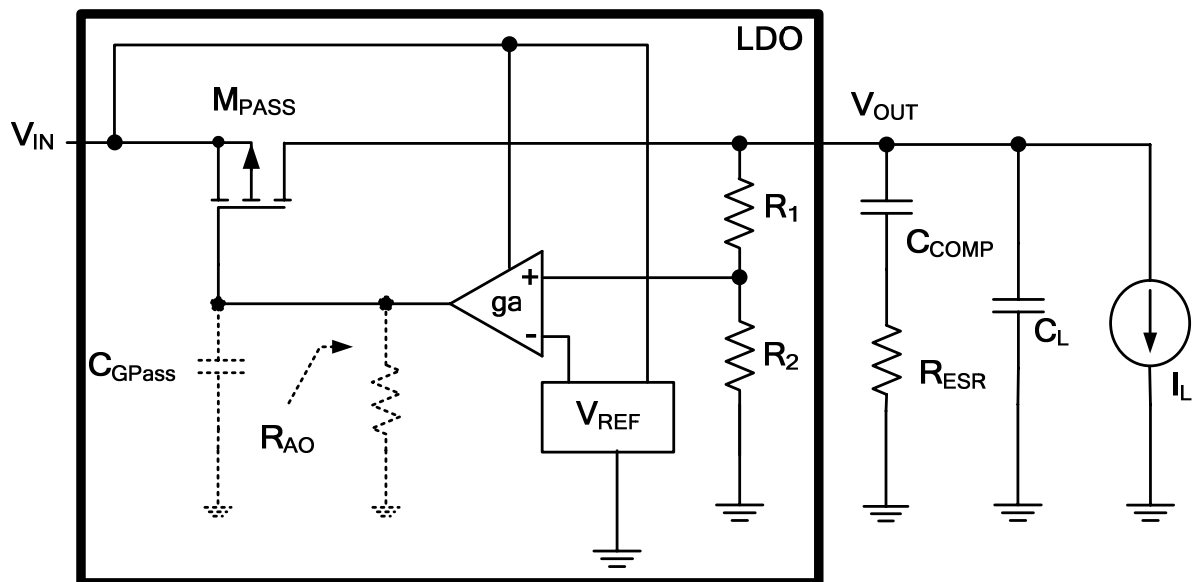


Figura 4.2 - Componentes Necessários para a Análise da Estabilidade do LDO.

Como se observa pela *Figura 4.2*, o LDO clássico exige a presença de um capacitor externo para se alcançar a estabilidade desejada. Ele está representado por C_{COMP} juntamente com a sua resistência série equivalente (R_{ESR}) que, como será visto, desempenha um papel crucial na alocação de um zero na resposta em frequência do sistema [45].

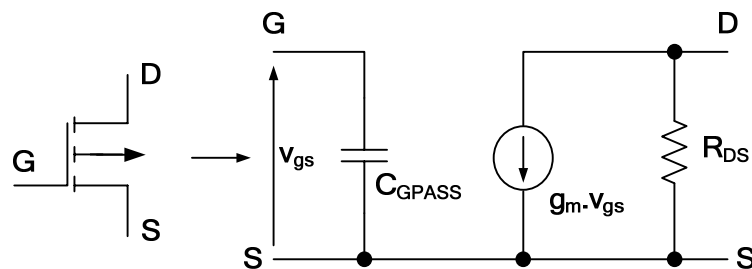


Figura 4.3 – Modelo em Pequenos Sinais para o Transistor de Passagem PMOS.

O transistor PMOS de passagem está sendo modelado em pequenos sinais como ilustrado na *Figura 4.3*. A capacitância C_{GPASS} representa, então, a capacitância existente entre os terminais de “Gate” e Fonte.

Na prática, o capacitor de compensação C_{COMP} tem um valor relativamente elevado (podendo atingir unidades e até dezenas de $[\mu F]$) sendo necessário o uso dos tipos eletrolíticos ou de tântalo. Então, uma primeira aproximação pode ser considerada para simplificar a análise:

$$C_L \ll C_{COMP} \quad (4.1)$$

O amplificador de erro é modelado como uma transcondutância (g_a) e o parâmetro mais importante é a sua impedância de saída que aparece modelada como sendo R_{AO} . Na realidade, o amplificador de erro é, na prática, um Amplificador Operacional de Transcondutância (OTA – “Operational Transconductance Amplifier”), pois não precisa alimentar cargas resistivas. O seu carregamento é capacitivo (representado pela capacitância de “Gate” do transistor de passagem – C_{GPASS}) e, para o seu projeto, uma condição de contorno importante é a corrente transitória de carga e descarga desta capacitância que vai afetar diretamente a resposta do LDO no domínio do tempo. Por ser um amplificador de transcondutância, teoricamente o OTA deve apresentar uma alta impedância de saída.

O ponto de partida para a análise da estabilidade é tomar por base uma expressão que avalie a impedância de saída (Z_0), calculada no domínio da frequência, tomada entre os pontos indicados na *Figura 4.4*.

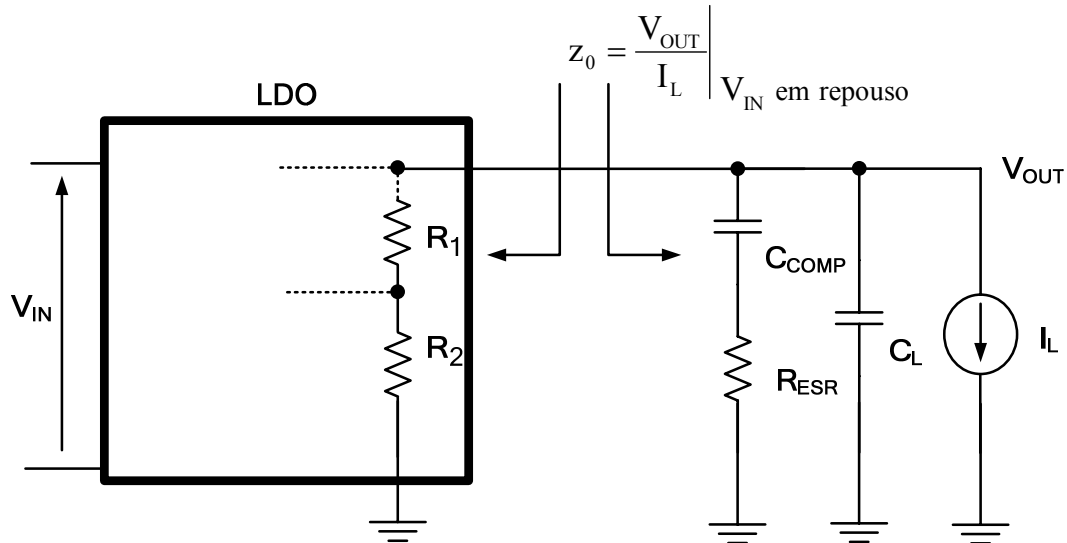


Figura 4.4 – Avaliação da Impedância de Saída Z_0

Tem-se que [45]:

$$Z_0 = [R_{DS} // (R_1 + R_2)] // \left(R_{ESR} + \frac{1}{sC_{COMP}} \right) // \frac{1}{sC_L} \quad [\Omega] \quad (4.2)$$

Antes de expandir a eq. (4.2), outra simplificação é possível. A resistência de canal do elemento de passagem (R_{DS}) é de valor inferior à soma dos resistores ($R_1 + R_2$) que fazem parte do circuito amostrador. Portanto, o valor resultante da conexão paralela destes dois resistores será aproximadamente R_{DS} .

Então, a impedância de saída é dada por:

$$Z_0 = \frac{R_{DS}(1 + sR_{ESR}C_L)}{[1 + s(R_{DS} + R_{ESR})C_{COMP}][1 + s(R_{DS}/R_{ESR})C_L]} \quad [\Omega] \quad (4.3)$$

Pela eq. (4.3) dois pólos e um zero podem ser reconhecidos e as suas frequências (f_{P0} , f_{P1} e f_{Z0}) são apresentadas na sequência. A frequência do primeiro pólo (P_0) é [43], [45]:

$$f_{P0} = \frac{-1}{2\pi(R_{DS} + R_{ESR})C_{COMP}} \approx \frac{-1}{2\pi R_{DS}C_{COMP}} \quad [H_z] \quad (4.4)$$

A frequência do segundo pólo (P_1) é dada por [43], [45]:

$$f_{P1} = \frac{-1}{2\pi(R_{DS}/R_{ESR})C_L} \approx \frac{-1}{2\pi R_{ESR}C_L} \quad [H_z] \quad (4.5)$$

As aproximações são perfeitamente aceitáveis uma vez que a resistência série do capacitor de compensação situa na faixa de frações a unidades de Ohm.

E a frequência do zero (Z_0) é [43], [45]:

$$f_{Z0} = \frac{-1}{2\pi R_{ESR}C_{COMP}} \quad [H_z] \quad (4.6)$$

Existe mais um pólo (P_2) dado pela capacitância do elemento de passagem e pela impedância de saída do amplificador de erro, cuja frequência é [43], [45]:

$$f_{P2} = \frac{-1}{2\pi R_{AO}C_{GPASS}} \quad [H_z] \quad (4.7)$$

As condições de estabilidade do sistema são mais bem compreendidas se estes pólos e zero forem alocados em diagramas de Bode de ganho e fase. É o que ilustra a *Figura 4.5*.

Pelos valores típicos envolvidos, observa-se que o pólo dominante corresponde ao pólo P_0 . Os pólos P_1 e P_2 apresentam frequências maiores ficando o zero inserido entre estes dois últimos. Este posicionamento do zero é fundamental para a estabilidade do LDO, pois o sistema apresenta dois pólos com frequências menores, o que faz a fase girar até -180° (cada pólo contribui com -90° de deslocamento de fase) caracterizando uma situação de oscilação indesejada.

A alocação do ponto específico do zero é controlada pela resistência série do capacitor de compensação. Esta resistência apresentará uma faixa de valores ótimos que fazem com que a margem de fase se situe dentro do limite já mencionado de 45° a 70° . Por este motivo, alguns LDO trazem em seu conjunto de características elétricas uma informação como a apresentada na *Figura 4.6* em que é sugerida uma faixa de valores estáveis para o R_{ESR} .

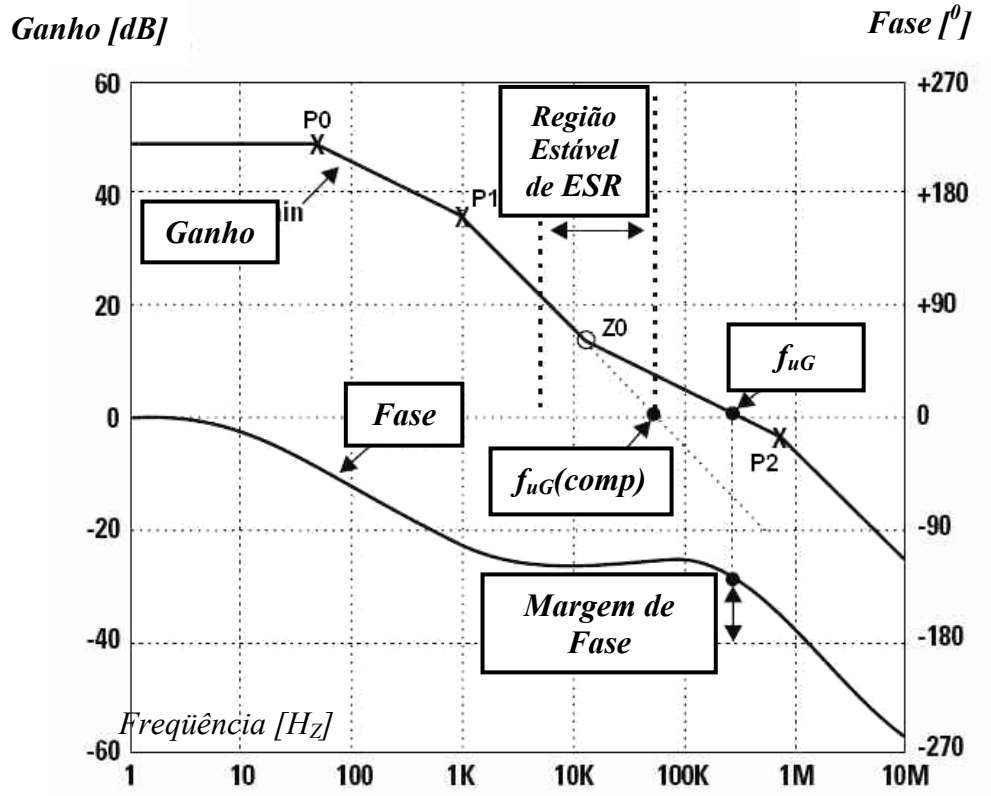


Figura 4.5 – Alocação dos Pólos e Zero do LDO [45].

Deve-se observar uma informação relevante que a *Figura 4.6* revela. A faixa de valores estáveis para a resistência série do capacitor de compensação está em função da corrente de carga I_L . O motivo é que o pólo P_0 inclui em seu equacionamento de frequência o valor da resistência de canal do transistor de passagem R_{DS} e ela é uma função direta da corrente de carga que circula pelo transistor de passagem, ou seja [46]:

$$R_{DS} = \frac{1}{\lambda I_L} \quad (4.8)$$

Sendo λ o parâmetro que indica a modulação de canal do transistor. Este valor de R_{DS} levado à eq. (4.4) modifica-a para a eq. (4.9) e justifica a dependência da corrente de carga uma vez que se observa o nó de saída do sistema:

$$f_{P0} = \frac{-I_L \lambda}{2\pi C_{COMP}} \quad [H_z] \quad (4.9)$$

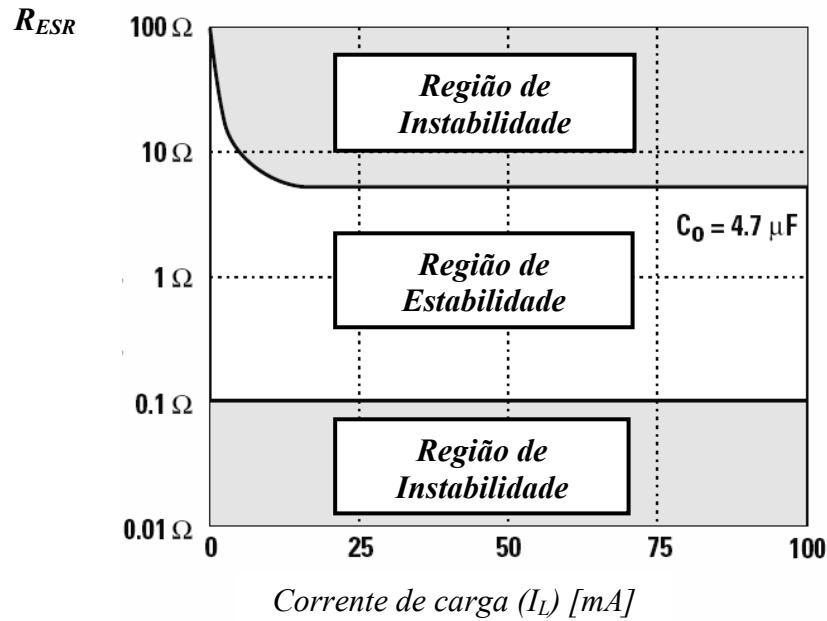


Figura 4.6 – Exemplo de Faixa de Valores Estáveis para R_{ESR} [45].

A frequência do pólo P_o deve ser especificada para uma condição de pior caso, ou seja, a corrente I_L é máxima. Normalmente, para se alcançar uma resposta satisfatória, os valores de C_{COMP} são elevados ([μF]) fazendo com que a frequência unitária diminua e se tenha uma resposta mais lenta no tempo.

4.2 REVISÃO DAS CONTRIBUIÇÕES À ESTABILIDADE DO LDO

O item anterior abordou o conceito geral de estabilidade para o LDO. Neste item, será realizada uma revisão da literatura sobre as contribuições nas topologias de compensação para estes reguladores.

4.2.1 LDO's que utilizam Elemento de Passagem NMOS

Algumas contribuições encontradas na literatura fazem a opção por utilizar um elemento de passagem NMOS ao invés de PMOS. A grande vantagem desta topologia reside na conexão do transistor NMOS como um seguidor de fonte que pode levar a melhores regulações de linha e de carga além de necessitar uma relação W/L menor [47]. Também apresentam melhores resultados quando existe uma demanda por maiores correntes de carga [48].

Uma vez que LDO com transistor NMOS de passagem age como um sistema de pólo único, é considerado como sendo incondicionalmente estável [42], [49].

Porém, como comentado no item 3.4.1, aplicações que envolvem a manipulação de baixas tensões vão exigir a presença de um circuito adicional (normalmente um “Charge PUMP”) para elevar o nível de tensão fornecido pelo Amplificador de Erro. Isto implica em consumo de área de silício e traz consigo as desvantagens inerentes de um circuito chaveado para esta aplicação.

4.2.2 LDO's que utilizam Capacitores de Compensação (C_{COMP})

Para estes Reguladores, uma vez que utilizam o Capacitor de Compensação, as contribuições focam-se no elo de realimentação interno propriamente dito. Para estes reguladores, as aplicações em sistemas implantados ficam quase que totalmente inviáveis. Embora a tecnologia de fabricação de capacitores tenha evoluído no sentido de produzir estes componentes de forma miniaturizada, um exemplo seriam as aplicações em Montagens de Superfície, ainda assim, serão muito maiores que os circuitos fabricados em tecnologias MOS sem mencionar o custo adicional a ser pago.

LDO's com “Buffer”

Para esta topologia de compensação, um estágio adicional é inserido entre o Amplificador de Erro e o transistor de passagem PMOS como mostra a Figura 4.7.

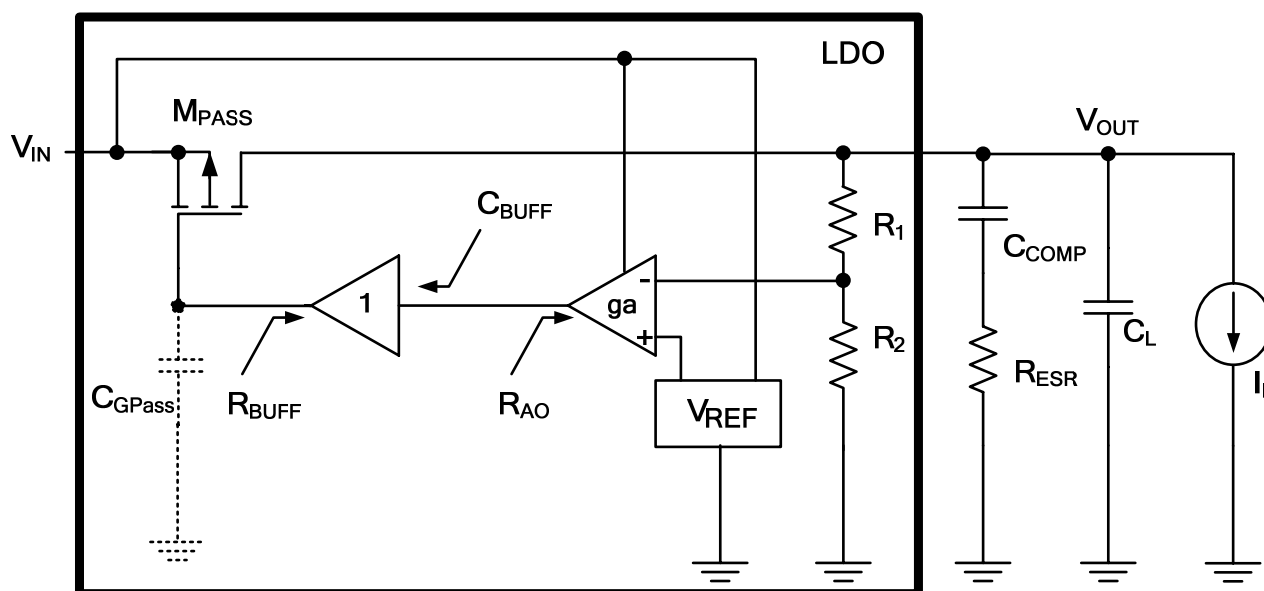


Figura 4.7 – LDO com “Buffer” [53].

A ação básica desta solução consiste em inserir dois novos componentes no elo de realimentação. São eles a impedância de saída do “Buffer” (R_{BUFF}) e a sua capacitância de entrada (C_{BUFF}). Como consequência, o pólo P_2 é separado em dois pólos P_2' e P_2'' com frequências maiores que o original. A maior frequência é consequência direta dos novos valores de impedância e capacitância que são numericamente muito menores que R_{AO} e C_{GPASS} . O circuito “Buffer” é projetado para apresentar uma baixa impedância de saída e, como irá acionar uma carga capacitiva, não existe a necessidade de se utilizar transistores de grande geometria, o que justifica a sua também pequena capacitância de entrada.

Este procedimento aumenta a frequência de ganho unitário do LDO, apresentando outra vantagem que é a possibilidade de se alcançar a estabilidade para valores menores de C_{COMP} e R_{ESR} .

A forma mais simples de se implementar o “Buffer” é através do uso de transistores NMOS ou PMOS operando em uma configuração de seguidor de Fonte.

Contudo, implica uma desvantagem que é a inserção de mais uma queda de tensão V_{TH} no sistema. Esta queda adicional é proibitiva se a aplicação requer a condição “*low voltage*” [50, 51].

Outras contribuições implementam o “*Buffer*” a partir de circuitos com topologias baseadas em amplificadores operacionais [52-55], incluindo, como em [56] recursos adicionais de aumento da taxa de “*Slew-Rate*” e em [57] uma técnica de atenuação de impedância que dispensa o uso da Resistência Série Equivalente, mas continua usando um capacitor eletrolítico de carga.

LDO's com Capacitores “*Miller*”

Um método clássico de compensação de frequência para amplificadores em geral, que é o uso de capacitores de realimentação entre os estágios (Capacitores Miller), pode ter o seu uso estendido para os Reguladores LDO.

No caso dos LDO's, o Amplificador de Erro é projetado para ser composto por dois ou mais estágios e, através do uso dos Capacitores “*Miller*”, ajustar a resposta de frequência desejada.

Para amplificadores de dois estágios, a chamada compensação “*Miller*”, ou “*Single Miller*” é a mais adequada, enquanto que para amplificadores de 3 ou mais estágios a compensação “*Nested Miller*” é recomendada [58]. A *Figura 4.8* mostra exemplos, de forma simplificada, de amplificadores com compensação “*Single Miller*” (a) e “*Nested Miller*” (b).

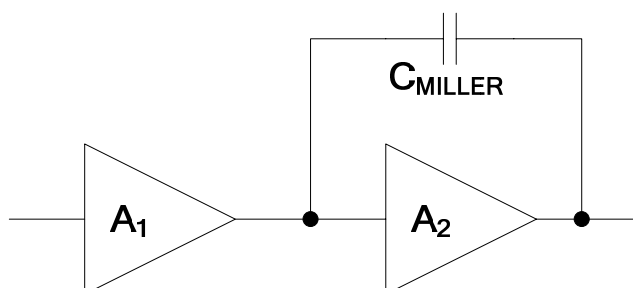


Figura 4.8 (a) – Compensação “Single Miller”.

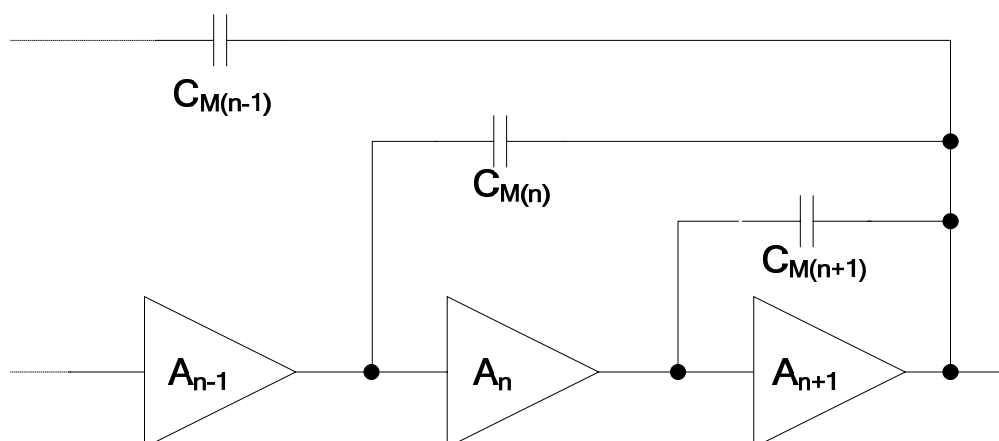


Figura 4.8 (b) – Compensação “Nested Miller”.

As grandes vantagens da compensação por capacitores “Miller” são um aumento da frequência de ganho unitário, o que tem um impacto direto na resposta transiente do regulador tornando-o mais rápido, e a possibilidade de se usar capacitores de Compensação (C_{COMP}) de menor valor, uma vez que se dispõe de maior flexibilidade para a alocação dos pólos e zeros na resposta em frequência. As desvantagens desta técnica se traduzem na maior complexidade inerente aos circuitos dos amplificadores multi-estágios e, principalmente, para a solução “Nested Miller”, pelo fato dos capacitores apresentarem um escalonamento em seus valores podendo chegar a casa de algumas dezenas de [pF] [58-64].

Dependendo da conformação da resposta em frequência, em [65] e [66] são relatados LDO's que não dependem da resistência série (R_{ESR}) e, portanto, podem operar, inclusive, com uma capacitância de compensação se aproximando de zero.

4.2.3 LDO's que utilizam Geração Interna de um “Zero”

A Figura 4.9 ilustra a idéia básica para este tipo de topologia. Um circuito interno é responsável pela geração e alocação de um zero na resposta em frequência do Regulador.

A fonte de corrente controlada por tensão (VCCS – “Voltage Controlled Current Source”) SCV_{OUT} é responsável por introduzir um zero na resposta em frequência, abolindo, assim, o Capacitor de Compensação.

Esta abordagem apresenta como vantagens um menor ruído da tensão de saída (principalmente pela ausência da resistência série do capacitor de compensação) e, pela maior flexibilidade na alocação do zero, uma maior largura de faixa e resposta transiente.

A principal desvantagem acontece em aplicações de baixa tensão em que existe o risco de não haver excursão de sinal suficiente para a alimentação do circuito que realiza a VCCS. Outro fator de projeto importante é que esta fonte não pode consumir uma corrente excessiva, pois estaria, agindo assim, contribuindo para aumentar a corrente quiescente do LDO com a conseqüente perda da sua eficiência [67-69].

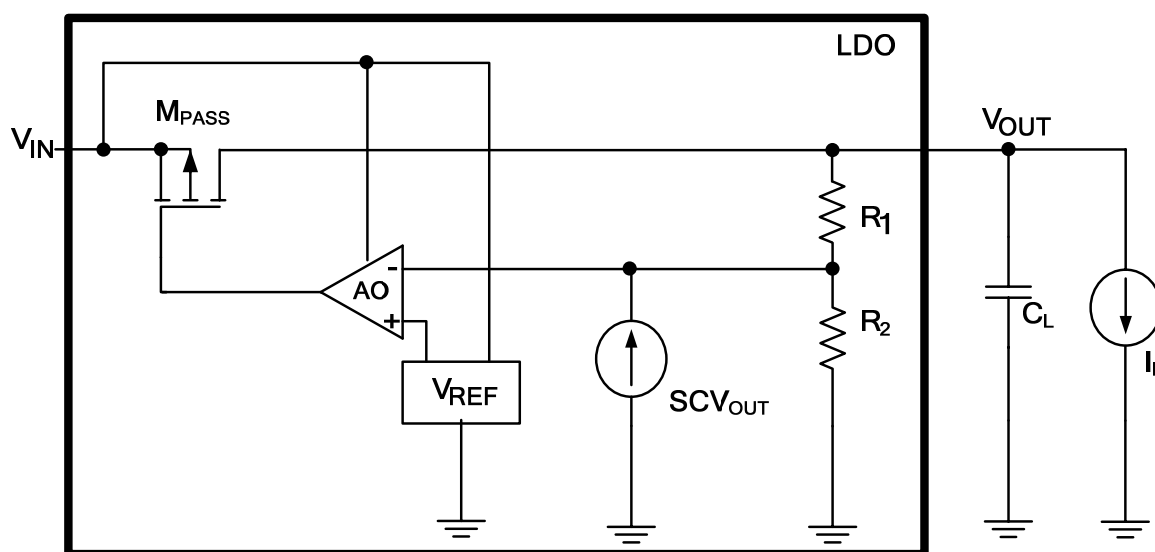


Figura 4.9 – LDO com Geração Interna de um “Zero”[54].

4.3 Proposta de uma Topologia Alternativa à Estabilidade do LDO

O Regulador que será usado neste trabalho não pode depender de um capacitor de compensação externo uma vez que será parte de um sistema de biotelemetria que é implantado. Com esta restrição em mente, está sendo sugerida uma topologia alternativa de compensação em frequência que não dependa da presença do zero alocado por este elemento.

A Figura 4.10 mostra o esquema do regulador do LDO sem a presença do C_{COMP} e, de maneira similar ao que foi deduzido no item 4.1, será avaliada a impedância de saída.

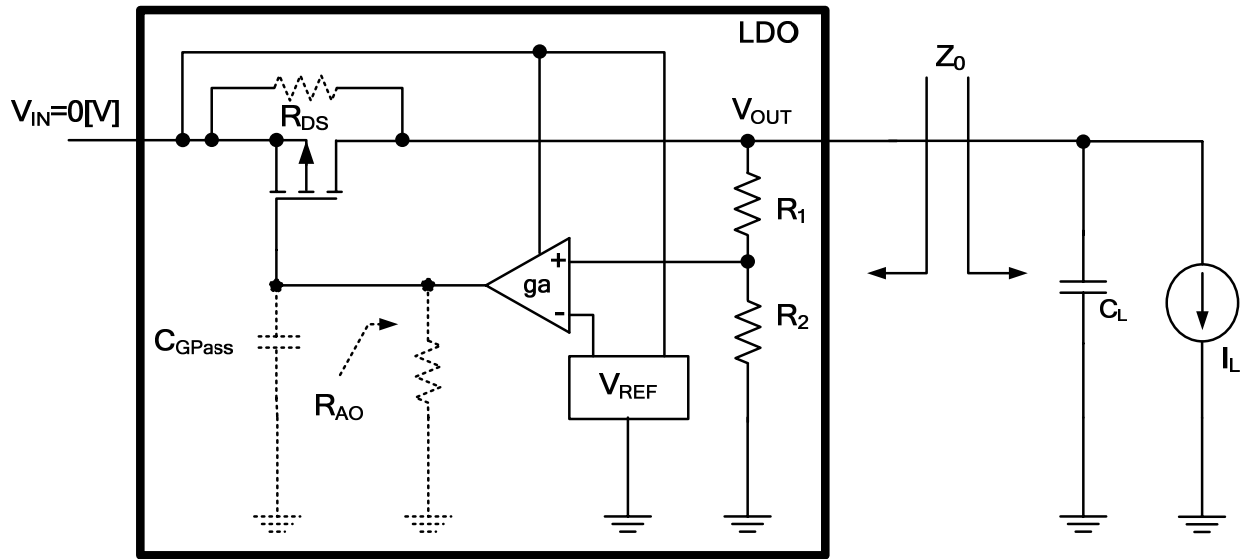


Figura 4.10 – Estrutura do LDO para Avaliar Z_0 sem o Capacitor de Compensação.

Por inspeção direta do circuito acima se chega a:

$$Z_0 = R_{DS} // (R_1 + R_2) // \frac{1}{sC_L} \Rightarrow Z_0 = \frac{R_{DS} // (R_1 + R_2)}{1 + s[R_{DS} // (R_1 + R_2)]C_L} \quad [\Omega] \quad (4.10)$$

Então, temos dois pólos no sistema, um extraído diretamente da eq. (4.10) e outro como consequência dos parâmetros R_{AO} e C_{GPASS} . As suas frequências serão, respectivamente, dadas por:

$$f_{PO} = \frac{-1}{2\pi[R_{DS} // (R_1 + R_2)]C_L} \quad [Hz] \quad (4.11)$$

$$f_{PI} = \frac{-1}{2\pi R_{AO} C_{GPASS}} \quad [Hz] \quad (4.12)$$

Se for possível forçar uma situação em que o transistor de passagem atue sempre na região triodo, o valor da resistência R_{DS} pode ser muito menor que $R_1 + R_2$ o que simplificaria a eq. (4.11) para:

$$f_{PO} = \frac{-1}{2\pi R_{DS} C_L} [H_Z] \quad (4.13)$$

O pólo P_0 pode ser alocado, então, a uma frequência muito maior que o pólo P_1 ($R_{DS} \ll R_{AO}$ e $C_L \ll C_{GPASS}$) caracterizando um sistema de pólo único, uma vez que o dominante seria P_1 . Desta forma, o estabelecimento da frequência unitária ficaria como uma consequência direta do transistor de passagem e do amplificador operacional.

Existe uma característica importante relacionada à resistência R_{DS} quando o transistor está operando na região triodo. O seu equacionamento, para esta região de operação é dado por [70]:

$$R_{DS} \approx \frac{1}{\left[\frac{KP}{2(1+\delta)} \left(\frac{W}{L} \right) \right] (V_{GS} - V_{TH} - V_{DS})} [\Omega] \quad (4.14)$$

Em uma primeira aproximação, observa-se a não dependência com a corrente de carga I_L , ou seja, com a corrente de Dreno do transistor de passagem PMOS. E, além disto, se o valor de V_{DS} for mantido constante, o valor de R_{DS} também seria mantido constante.

Para se garantir que o transistor de passagem PMOS atue na região triodo e justificar o fato de se ter um valor de R_{DS} constante e de baixo valor, está se sugerindo a inserção de um estágio seguidor de fonte como o ilustrado na *Figura 4.11*. O estágio é implementado, por simplicidade, por um transistor NMOS.

Equacionando-se a tensão V_{DS} para o transistor PMOS, tem-se:

$$V_{DS} = V_D - V_S = V_G - V_{GS(N)} - V_{OUT} [V] \quad (4.15)$$

Pela eq. (4.15) verifica-se que o valor de V_{DS} pode ser mantido constante, uma vez que $V_{GS(N)}$, e V_{OUT} são, a princípio, constantes. Esta condição será idealizada nos projetos dos circuitos que compõem esta topologia buscando a maior insensibilidade possível em relação aos impactos da variação da alimentação não regulada V_{IN} e da temperatura.

Visualiza-se uma vantagem adicional para esta topologia proposta o fato do estágio seguidor “isolar” a tensão não regulada V_{IN} contribuindo para um maior PSRR do regulador.

O estágio adicional também não introduz nenhum pólo significativo (baixa frequência) para a resposta do sistema, uma vez que em relação ao LDO está se “enxergando” a baixa impedância vista pela Fonte do transistor MN_{SEG} . O projeto da geometria deste transistor deve ser tal que contemple a capacidade de manipulação de corrente máxima do LDO e ao mesmo tempo permita uma baixa queda de tensão V_{DS} para não provocar uma dissipação de potência excessiva.

Os aspectos de projeto desta posposta serão detalhados no próximo capítulo.

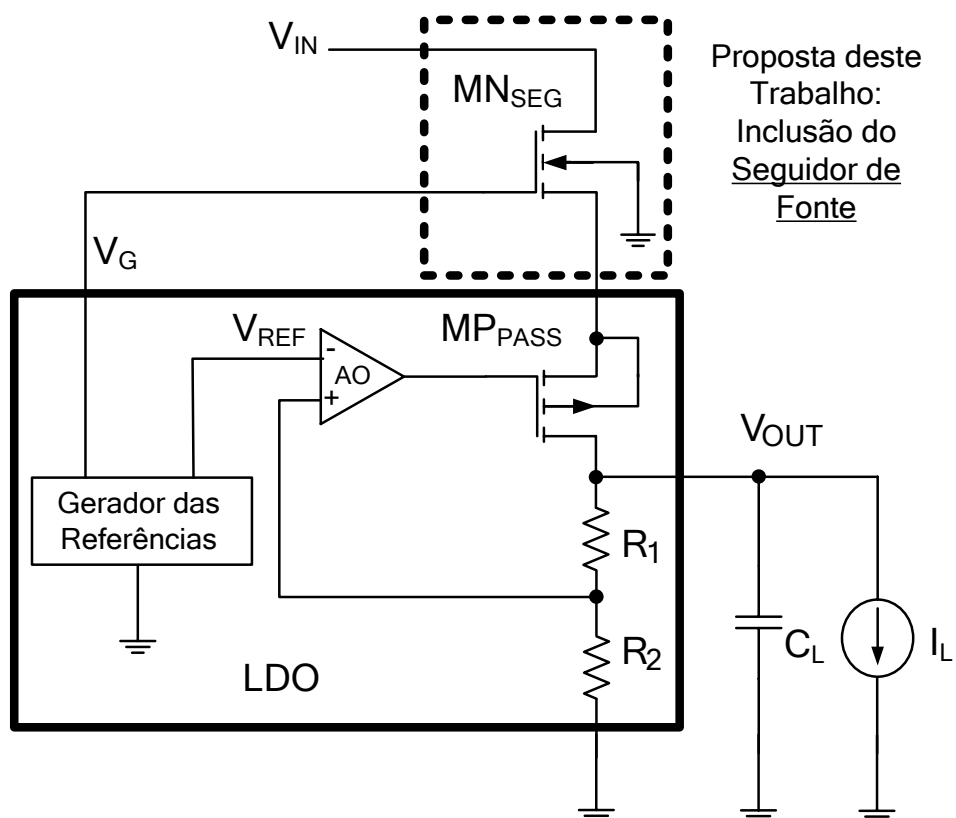


Figura 4.11 – Inserção do Estágio Seguidor de Fonte para Garantir R_{DS} Constante

NO CAPÍTULO ANTERIOR, APÓS UMA REVISÃO DAS CONTRIBUIÇÕES PARA A ESTABILIDADE DO LDO, FOI PROPOSTA UMA TOPOLOGIA ALTERNATIVA QUE USA UM ESTÁGIO SEGUIDOR DE FONTE. NESTE CAPÍTULO, SERÁ ABORDADO O PROJETO DESTE SEGUIDOR, ASSIM COMO OS DEMAIS CIRCUITOS QUE COMPÕEM O LDO, OU SEJA, O GERADOR DE REFERÊNCIAS, O AMPLIFICADOR DE ERRO (AMPLIFICADOR OPERACIONAL) E O CIRCUITO AMOSTRADOR. OS PROJETOS SERÃO ACOMPANHADOS DAS RESPECTIVAS SIMULAÇÕES.

5.1 INTRODUÇÃO

Como já comentado, a Temperatura não representa, neste trabalho, um impacto muito significativo, uma vez que o sistema estará operando em um regime constante de aproximadamente 37[° C]. Então, como objetivo principal, o projeto dos circuitos aqui propostos irá buscar uma independência das flutuações provocadas pela tensão não regulada V_{IN} (que corresponde à tensão de saída do retificador com filtro V_{RET}).

Apesar da constância indicada para a Temperatura, não serão descartadas análises do comportamento destes circuitos para este parâmetro.

Os projetos deverão ser desenvolvidos com o intuito de se alcançar os valores alvos estabelecidos para o Regulador e mencionados no Capítulo 2.

Neste Capítulo, os resultados esperados serão comprovados por simulação. Estabelece-se, então, uma série de características elétricas que serão depois confrontadas com os resultados dos testes em bancada.

5.2 PROJETO DO GERADOR DE REFERÊNCIAS (V_{REF} E V_G)

Ao se projetar qualquer sistema que gere uma tensão de referência, existe a preocupação com a sensibilidade em relação às variações da tensão de alimentação, da temperatura e até mesmo variações de processo.

As referências clássicas baseiam-se no princípio “*Bandgap*”, em que duas tensões com coeficientes térmicos opostos (PTAT e CTAT) são somadas para se obter um coeficiente global próximo de zero. Além disto, os seus sub-circuitos (fontes e espelhos de corrente, por exemplo) são robustos no sentido de oferecer uma baixa sensibilidade às flutuações da tensão de alimentação. O nome “*Bandgap*” advém do fato da tensão resultante ser uma função do material semiconductor utilizado, no caso o silício, e situa-se em torno de 1,12[V] para a temperatura ambiente (300⁰ [K] = 27[°C]) [71].

Com a evolução dos processos de fabricação em que as tensões de alimentação vêm diminuindo (por exemplo, 1,2[V] para a CMOS 0.13 μ m [72]), surgiu a demanda por circuitos de referência que gerem tensões inferiores ao valor clássico da “*Bandgap*”.

Uma revisão nas publicações mais recentes indica a preocupação em se projetar circuitos de referência que, mesmo baseados no princípio “*Bandgap*”, possam gerar tensões inferiores ou mesmo novas topologias baseadas em transistores MOS que possam produzir um efeito semelhante.

Apresentam, entretanto, uma ou mais das seguintes características: altos graus de complexidade em termos de topologia dos seus circuitos, a necessidade de dispositivos diferenciados (não comuns na sequência de máscaras das tecnologias CMOS digitais padrão), a necessidade de procedimentos de ajuste (“*trimming*”), uso de componentes externos como, por exemplo, capacitores e uso dos transistores MOS com modos de operação não clássicos (inversão fraca, por exemplo) [73-87].

A *Tabela 5.1* resume alguns trabalhos ressaltando principalmente os valores da tensão de referência, PSRR, Potência Dissipada (ou corrente consumida), tensão de alimentação e coeficiente térmico. Por estes exemplos, pode-se ter uma ordem de grandeza de algumas características importantes no projeto de um circuito de referência.

Lembrando que as tensões V_G e V_{REF} são, respectivamente, a tensão de polarização do “*Gate*” do transistor NMOS que constitui o estágio Seguidor de Fonte e a tensão que é utilizada na comparação com o valor decorrente do circuito amostrador.

	[88]	[89]	[90]	[91]	[92]
V_{DD} [V]	5	2	1,5	1	1
V_{REF} [V]	1,25	1	0,891	0,225	0,047
TC_F [ppm/ $^{\circ}$ C]	<1	3,68	12	66,7	30
P_D ou I_Q	500[nA]	50[μ W]	300[nW]	4[μ A]	30[μ W]
PSRR[dB]	-90 @ 1[MHz]	-59,2 @ 100[MHz]	-52 @ 10[MHz]	-	-50 @ 100[Hz]
Tecnologia	CMOS .35 “Floating gate”	CMOS .35 “Bipolar Parasita”	CMOS .35	CMOS .5	CMOS .35 “Bipolar Parasita”

Tabela 5.1 - Características de Algumas Referências de Tensão.

5.2.1 Projeto do Espelho de Corrente

O ponto de partida para o projeto do circuito responsável pela geração dos valores de V_{REF} e V_G é o ilustrado na *Figura 5.1*. Trata-se de um espelho de corrente clássico (com a característica de fornecer uma boa independência da tensão de alimentação) e que tem o seu funcionamento baseado em uma queda de tensão V_{BE} [46]. Esta tensão é responsável por gerar uma corrente através do resistor R, que será espelhada pelos transistores MP_1 e MP_2 . A corrente espelhada garante o posicionamento do transistor bipolar no seu ponto de operação, que por sua vez confirma a corrente gerada em R. Tem-se um esquema de realimentação, portanto, que faz com que as correntes, gerada e espelhada, fiquem constantes dentro de uma visão idealizada a princípio.

O transistor Bipolar PNP vertical aparece como um elemento parasita na tecnologia CMOS com substrato P que é o caso da TSMC 0.35 μ m. Este transistor, em particular, tem a sua caracterização elétrica discutida no Apêndice B.

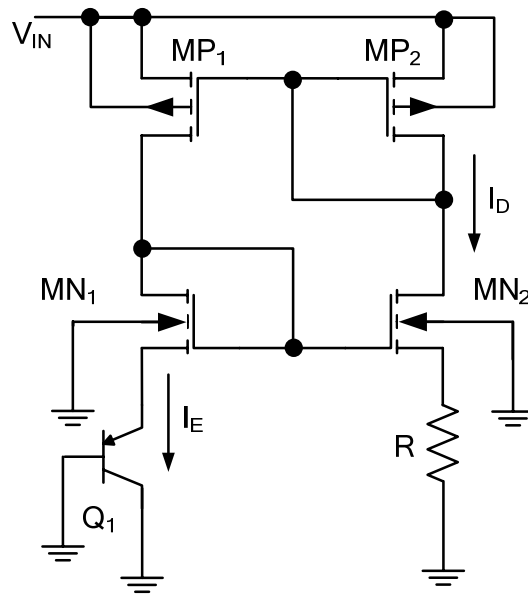


Figura 5.1 – Espelho de Corrente Clássico.

A tensão de alimentação não regulada V_{IN} , tem o seu valor médio fixado em aproximadamente 2,2[V] (este valor será justificado ainda neste Capítulo). Por este motivo, está sendo proposta uma modificação no circuito da *Figura 5.1* para que se tenha um número menor de transistores empilhados diminuindo desta forma a demanda por um valor mais elevado da tensão de alimentação.

Além disto, deve ser projetado para que se tenha um consumo mínimo de corrente contribuindo para uma pequena corrente quiescente do Regulador LDO. O espelho original tem a sua corrente fixada por uma relação entre V_{BE} e o resistor R. Para se produzir estas correntes na faixa de unidades de [μ A], seriam necessários resistores na faixa de centenas de [K Ω]. Assim, procurou-se eliminar também o resistor R com o intuito de se economizar área de silício.

O circuito proposto é o da *Figura 5.2*. Por inspeção direta desta observa-se que $V_{GS}(MN_1) = V_{EB}(Q_1)$. Então para se estabelecer o valor da corrente I_D é necessário lançar mão de equações que correlacionem estes dois dispositivos. Os Apêndices A e B fornecem a eq. (5.1) e a eq. (5.2):

$$I_D = 95,3 \cdot 10^{-6} \left(\frac{W}{L} \right) \left(V_{GS} - 516 \cdot 10^{-3} \right)^2 \quad [A] \quad (5.1)$$

$$\log(I_E) = 15,6 V_{BE} - 15,9 \quad (5.2)$$

Usando o transistor MN_1 com $W=2[\mu m]$ e $L=1[\mu m]$ e adotando para os transistores PMOS uma geometria com $W=6[\mu m]$ e $L=2[\mu m]$ (o valor de L foi dobrado para que se tenha um melhor casamento no espelho e o valor de W foi aumentado com o intuito de oferecer uma relação W/L maior que a do NMOS, pois

neste transistor os portadores são lacunas), as duas equações anteriores podem ser resolvidas de forma iterativa para as duas incógnitas que são V_{BE} ($=V_{GS}$) e I_D ($=I_E$) pelo espelhamento considerado, aqui, ideal.

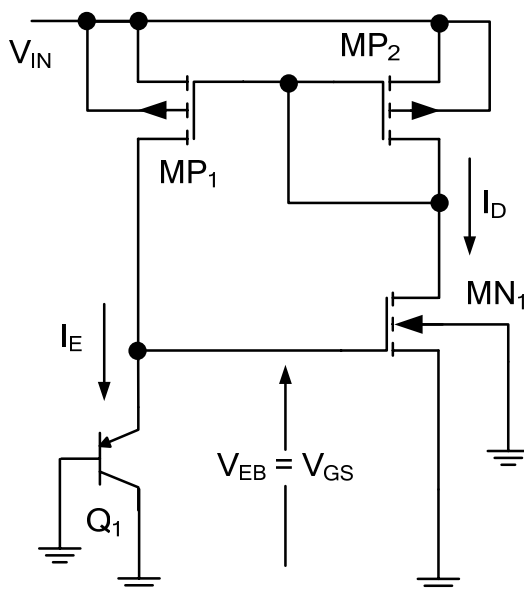


Figura 5.2 – Espelho de Corrente Proposto.

A Tabela 5.2 mostra que, partindo de um valor clássico de 700[mV] para V_{EB} e com 9 iterações, alcança-se um resultado com uma precisão razoável para a corrente I_D (5,135[μ A]) e para a tensão V_{BE} (0,680[V]).

Para comprovação dos valores calculados de I_D e V_{EB} , o circuito aqui proposto foi submetido a uma simulação do tipo “Bias Point”. Os resultados estão ilustrados na Figura 5.3. Para a alimentação, considerou-se o valor nominal de 2,2[V] e a temperatura, também nominal, de 37[$^{\circ}$ C]. A Tabela 5.3 traz um resumo entre estes valores e, doravante, serão usados para I_D e V_{EB} os resultados advindos da simulação, ou seja, 4,402[μ A] e 675,9[mV].

I_D [A]	V_{EB} [V]	V_{EB} (intermediário)
6,453E-06	0,686	0,700
5,540E-06	0,682	0,686
5,268E-06	0,681	0,682
5,179E-06	0,680	0,681
5,150E-06	0,680	0,680
5,140E-06	0,680	0,680
5,136E-06	0,680	0,680
5,135E-06	0,680	0,680
5,135E-06	0,680	0,680

Tabela 5.2 – Processo Iterativo para se Obter os Valores de I_D e V_{EB} .

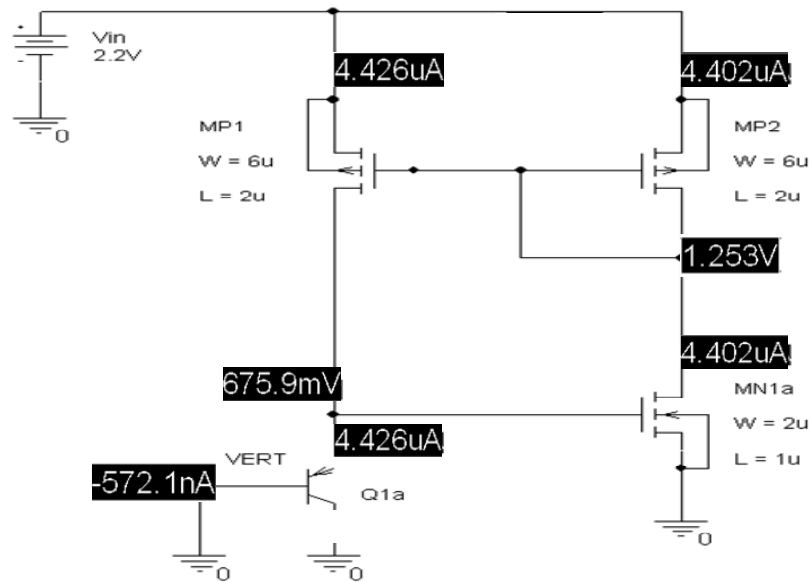


Figura 5.3 – Resultado da Simulação (“Bias Point”) para o Ponto de Operação do Espelho.

	Calculado	Simulado
I_D [μA]	5,135	4,402
V_{EB} [mV]	680	675,9

Tabela 5.3 – Comparação entre os Valores Calculados e Simulados @ $T = 37[^\circ C]$.

Pelo resultado da análise do ponto de operação, também é possível verificar o casamento do espelho. Tomando por base a corrente no transistor bipolar (I_E), o erro percentual cometido é:

$$E_{RR}(\%) = \frac{I_{EQ} - I_{DQ}}{I_{EQ}} 100 = \frac{4,426 \cdot 10^{-6} - 4,402 \cdot 10^{-6}}{4,426 \cdot 10^{-6}} 100 \approx 0,54 \quad [\%] \quad (5.3)$$

5.2.2 Avaliação da Sensibilidade e do Coeficiente Térmico do Espelho

Um parâmetro bastante útil para descrever a dependência da corrente I_D em função da tensão de alimentação é a Sensibilidade. Esta Figura de Mérito é expressa pela eq. (5.4) [93]:

$$S_{V_{IN}}^{I_D} = \frac{V_{IN}}{I_D} \left| \frac{\partial I_D}{\partial V_{IN}} \right|_Q \quad [-] \quad (5.4)$$

A avaliação da derivada está detalhada no Apêndice D e, aplicando-a na eq. (5.4), tem-se:

$$S_{V_{IN}}^{I_D} = \frac{V_{INQ}}{I_{DQ}} \frac{\lambda_N I_{DQ}}{\left(1 - \frac{2U_T}{V_{EB} - V_{TH0(N)}}\right)} = \frac{\lambda_N V_{INQ}}{\left(1 - \frac{2U_T}{V_{EB} - V_{TH0(N)}}\right)} \quad [-] \quad (5.5)$$

Substituindo-se os valores que já estão disponíveis na eq. (5.4), chega-se ao seguinte resultado para a sensibilidade:

$$S_{V_{IN}}^{I_D} = \frac{0,096 \times 2,2}{\left(1 - \frac{2,26 \cdot 10^{-3}}{0,6759 - 0,516}\right)} \approx 0,327 \quad [-] \quad (5.6)$$

Significando que, para uma variação de $\pm 10\%$ na tensão de alimentação não regulada, teremos uma variação de $\pm 3,27\%$ no valor da corrente I_D .

Na *Figura 5.4* tem-se o resultado de uma simulação do tipo “DC SWEEP” para o circuito do espelho. Nesta simulação, o valor de V_{IN} foi varrido entre os seus extremos (de 0[V] a 3,6[V]) e na *Figura 5.5* extraiu-se a região de interesse que representa uma variação de $\pm 10\%$ no entorno do valor nominal de 2,2[V] (1,98[V] a 2,42[V]).

Estes resultados de simulação indicam que existe um valor mínimo de V_{IN} para que os transistores comecem a atuar na região de saturação (algo em torno de 1,2[V]) e, a título de comparação com a sensibilidade calculada (eq. 5.6), pode-se fazer:

$$S_{V_{IN}}^{I_D} \approx \frac{V_{INQ}}{I_{DQ}} \frac{\Delta I_D}{\Delta V_{IN}} = \frac{2,2}{4,402 \cdot 10^{-6}} \frac{291,5 \cdot 10^{-9}}{440 \cdot 10^{-3}} = 0,331 \quad [-] \quad (5.7)$$

Outra Figura de Mérito a ser avaliada é o Coeficiente Térmico Fracional (TC_F) do espelho, ou seja:

$$TC_F(I_D) = \frac{1}{I_D} \left| \frac{\partial I_D}{\partial T} \right|_Q \quad [^{\circ}C^{-1}] \quad (5.8)$$

Lançando mão, novamente, do Apêndice D em que esta derivada foi avaliada, tem-se:

$$TC_F(I_D) = \frac{1}{I_{DQ}} \frac{2I_{DQ}}{(V_{EB} - V_{THO})} (\gamma + \theta) = \frac{2(\gamma + \theta)}{(V_{EB} - V_{THO})} \quad [^{\circ}C^{-1}] \quad (5.9)$$

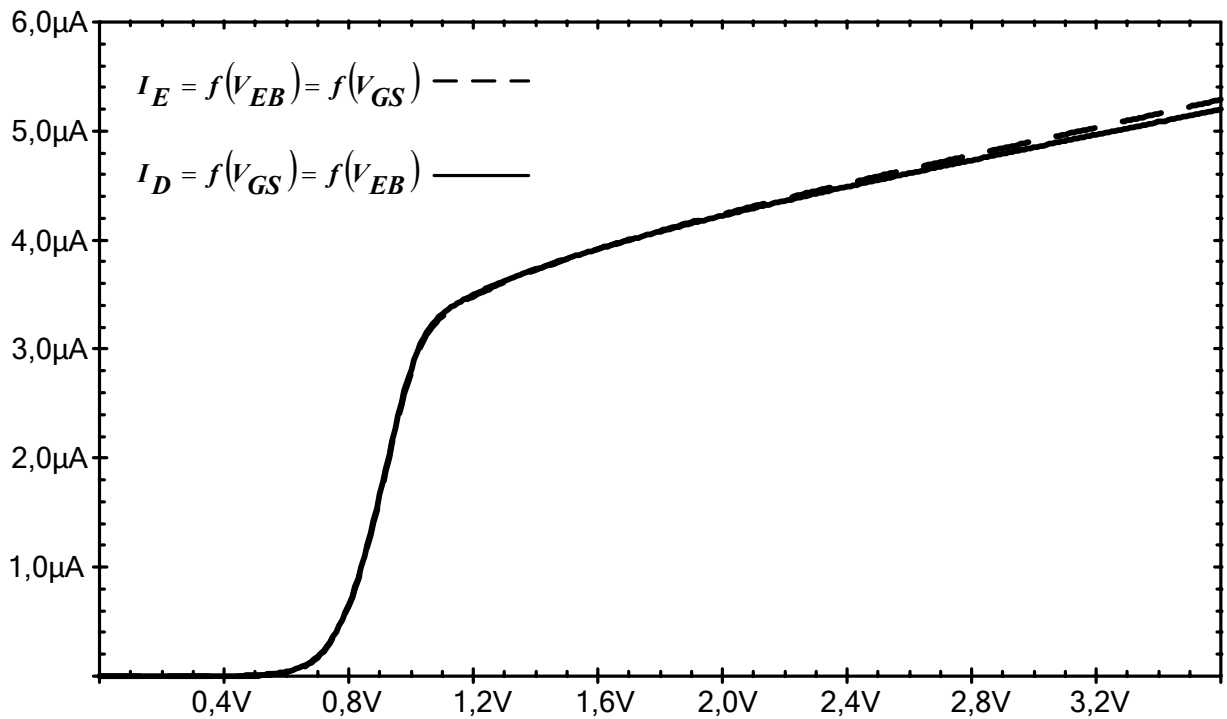


Figura 5.4 – Correntes do Espelho Destacando-se os Valores Nominais a 2,2[V] e $T=37[^\circ\text{C}]$.

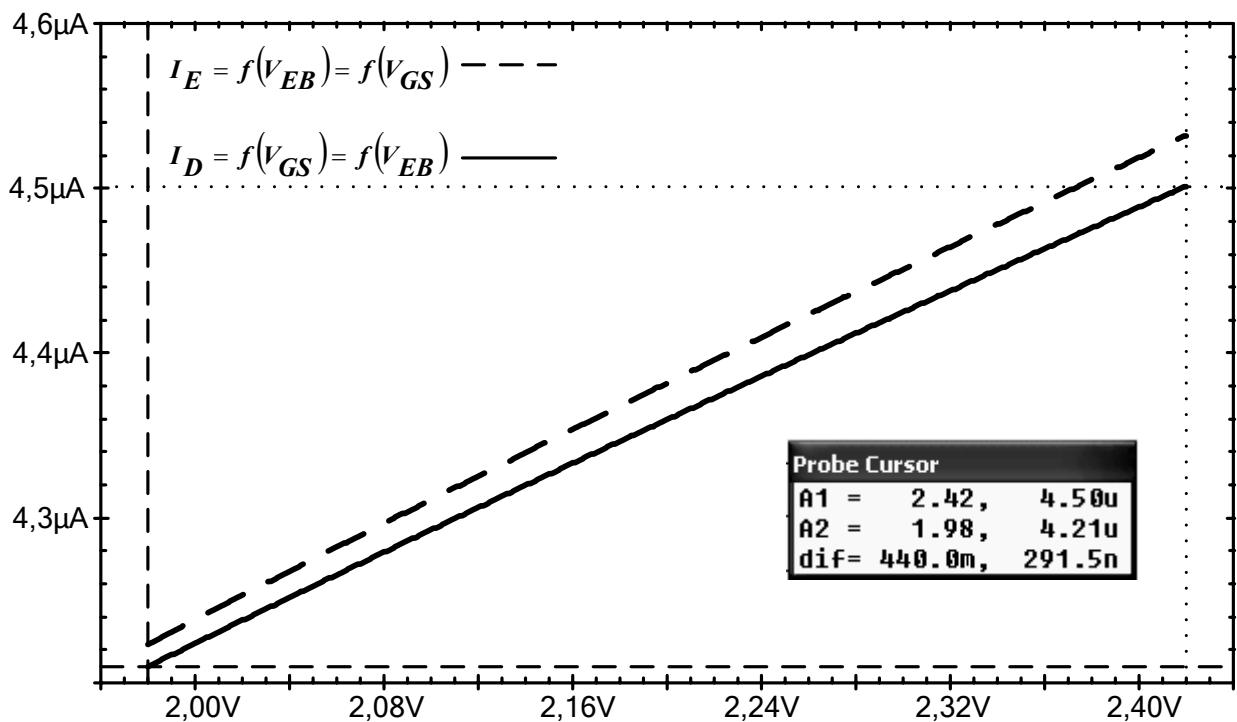


Figura 5.5 – Correntes do Espelho na Faixa de Interesse @ $T=37[^\circ\text{C}]$.

Para se chegar a um valor numérico da eq. (5.9), é necessário ter-se uma ordem de grandeza do coeficiente térmico θ . Em [94] existe uma avaliação muito boa para este coeficiente em particular, para ao processo TSMS 0.35 μm que está se utilizando. O valor é aproximadamente de $-1,2[\text{mV}/^\circ\text{C}]$. Usando para o coeficiente térmico do V_{EB} do transistor PNP Vertical o valor clássico de $-3[\text{mV}/^\circ\text{C}]$ e substituindo na eq. (5.9) chega-se ao seguinte TC_F indicado pela eq. (5.10):

$$TC_F(I_D) = \frac{2(-3.10^{-3} - 1,2.10^{-3})}{(675,9.10^{-3} - 516.10^{-3})} \approx -52,5.10^{-3} [^{\circ}C^{-1}] \quad (5.10)$$

O circuito do espelho pode ser simulado através de uma DC SWEEP para a temperatura, obtendo-se um resultado para a comparação com (5.10). É o que se ilustra na *Figura 5.6*. Para esta simulação, o valor nominal da tensão de alimentação foi mantido constante em 2.2[V] para a varredura de temperatura que foi de 32[°C] a 42[°C].

Também, a título de comparação, pode ser feita uma avaliação do TC_F a partir do resultado de simulação:

$$TC_F(I_D) = \frac{1}{4,402.10^{-6}} \frac{-2,26.10^{-6}}{10} \approx -51,3.10^{-3} [^{\circ}C^{-1}] \quad (5.11)$$

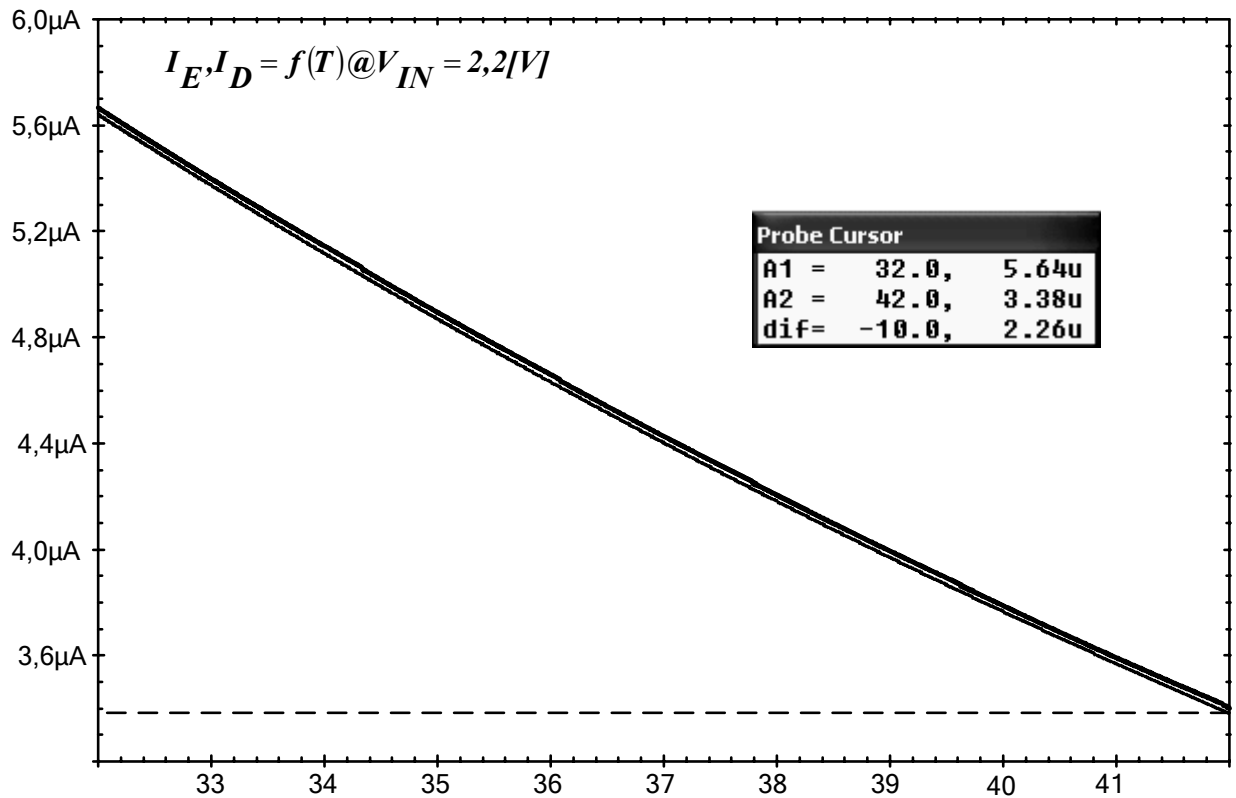


Figura 5.6 – Impacto da Temperatura nas Correntes do Espelho @ $V_{IN}=2,2[V]$.

A *Tabela 5.4* mostra um quadro comparativo entre os principais valores que foram calculados com os seus respectivos resultados simulados.

Uma vez caracterizado o espelho de corrente, é possível usá-lo para gerar, inicialmente, a tensão V_G que irá polarizar o “Gate” do transistor NMOS que compõe o Seguidor de Fonte adotado no Capítulo anterior.

* Em relação à corrente I_D

V_G atinja o seguinte valor dado pela eq. (5.12). Para o valor nominal de 675,9[mV] em $V_{EB}(Q_1)$ chega-se a aproximadamente 2[V] para o valor de V_G .

$$V_G = V_{EB}(Q_2) + V_{EB}(Q_3) + V_{EB}(Q_4) = 3V_{EB}(Q_1) = 3 \cdot 0,6759 \approx 2[V] \quad (5.12)$$

Neste ponto será feita a justificativa para se trabalhar com uma tensão nominal média de 2,2[V] para a tensão não regulada V_{IN} . Tomando por base o transistor MP_5 , verifica-se que a diferença de tensão entre Dreno e Fonte é dada por:

$$V_{SD(PMOS)} = V_{IN} - V_G \quad [V] \quad (5.13)$$

Para que o transistor MP_5 atue como fonte de corrente, é necessário operá-lo na região de saturação, o que requer o estabelecimento de um valor mínimo na tensão da eq. (5.13). Adotando-se um valor de 200[mV] para este valor mínimo de $V_{SD(PMOS)}$, chega-se a uma tensão V_{IN} nominal de 2,2[V]. Considerando que a tensão de entrada sofre flutuações, seria interessante verificar, através de uma simulação, até que ponto estas flutuações poderiam comprometer a operação do transistor MP_5 como uma fonte de corrente.

A *Figura 5.8* mostra uma simulação do tipo DC SWEEP em que o valor de V_{IN} foi varrido entre os extremos já estabelecidos quando da análise do circuito retificador, ou seja, entre 1,98V e 2,44V. O resultado está plotado para a tensão V_G .

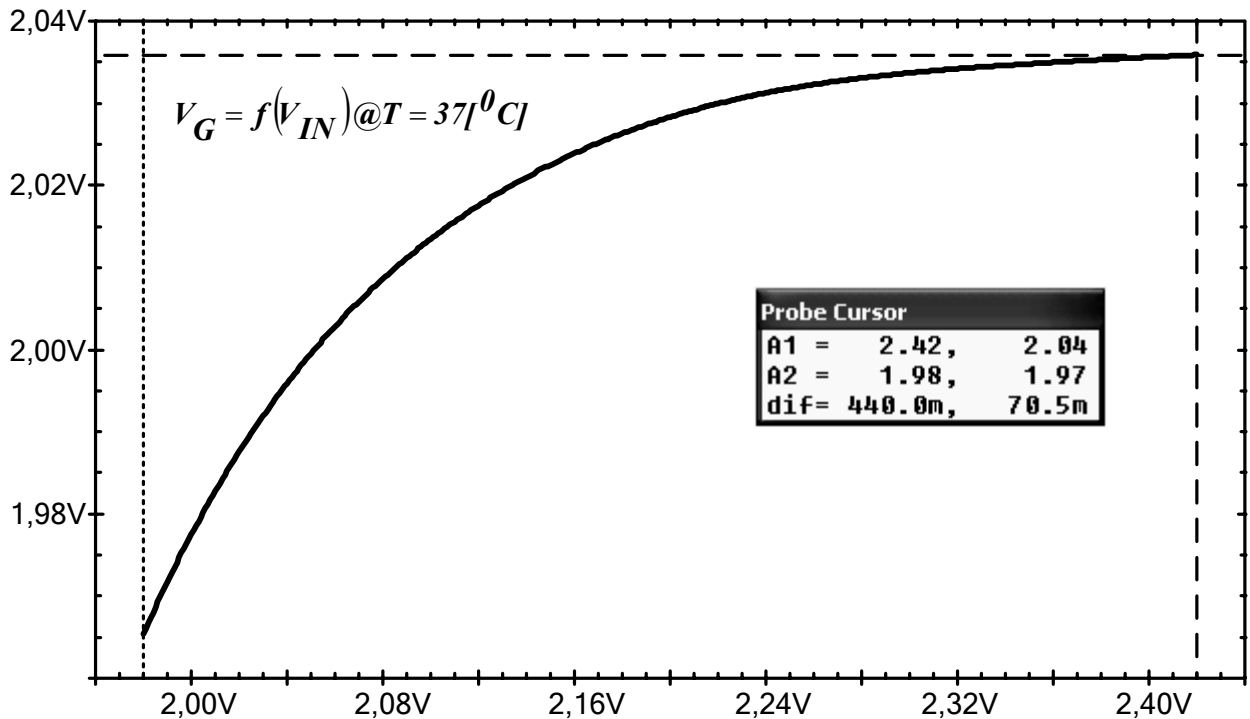


Figura 5.8 – Variação de V_G para uma Flutuação de 10[%] em V_{IN} @ $T = 37[^\circ C]$.

Observando-se a tensão V_G , verifica-se que o transistor MP_5 atua dentro da região de saturação para valores de V_{IN} acima de 2,2[V]. Embora saia desta região entrando em uma condição limiar para valores abaixo de 2,2[V], é possível aceitar tal condição, principalmente para não impactar o valor médio da tensão de alimentação não regulada no sentido de aumentar o seu valor. Tal procedimento iria requerer um capacitor de filtro mais elevado ou uma tensão induzida na antena mais elevada. Estas soluções estariam agindo diretamente no consumo de potência do regulador e seus circuitos auxiliares piorando a eficiência global do projeto. Em situações de cargas mais leves, este problema será minimizado pela redução natural da tensão de “Ripple” e conseqüente aumento da tensão média.

5.2.3 Avaliação da Sensibilidade e do Coeficiente Térmico da Tensão V_G

Usando as eq. (5.4) e (5.8) é possível estender o conceito da sensibilidade e do Coeficiente Térmico Fracional para a tensão de referência V_G . Começando pela Sensibilidade, tem-se:

$$S_{V_{IN}}^{V_G} = \frac{V_{IN}}{V_G} \left| \frac{\partial V_G}{\partial V_{IN}} \right|_Q [-] \quad (5.14)$$

A eq. (5.14) pode ser reescrita da seguinte forma, recorrendo ao uso de derivadas que já foram calculadas:

$$S_{V_{IN}}^{V_G} = \frac{V_{IN}}{V_G} \frac{\partial V_G}{\partial I_D} \frac{\partial I_D}{\partial V_{IN}} = \frac{V_{IN}}{V_G} \frac{\partial(3V_{EB})}{\partial I_D} \frac{\partial I_D}{\partial V_{IN}} [-] \quad (5.15)$$

Substituindo-se as derivadas já avaliadas:

$$S_{V_{IN}}^{V_G} = \frac{V_{IN}}{V_G} 3 \frac{U_T}{I_{DQ}} \frac{I_{DQ} \lambda_N}{1 - \frac{2U_T}{V_{EB} - V_{THO(N)}}} = \frac{V_{IN}}{V_G} \frac{3U_T \lambda_N}{1 - \frac{2U_T}{V_{EB} - V_{THO(N)}}} [-] \quad (5.16)$$

Usando os valores numéricos disponíveis:

$$S_{V_{IN}}^{V_G} = \frac{2,2}{2} \frac{3 \cdot 26 \cdot 10^{-3} \cdot 0,096}{1 - \frac{2 \cdot 26 \cdot 10^{-3}}{675,9 \cdot 10^{-3} - 516 \cdot 10^{-3}}} \approx 12 \cdot 10^{-3} [-] \quad (5.17)$$

Antes de comparar o valor da sensibilidade obtido na eq. (5.17) com o resultado de simulação, deve-se lembrar que foi aceita a operação do transistor MP_5 um pouco abaixo da saturação. Portanto, os resultados de

simulação deverão ser considerados mais realistas em relação ao resultado calculado e, com certeza, trarão uma degeneração para a Sensibilidade.

A *Figura 5.8* traz os valores necessários para o levantamento da Sensibilidade pela simulação, pois se tem:

$$S_{V_{IN}}^{V_G} = \frac{V_{IN}}{V_G} \frac{\Delta V_G}{\Delta V_{IN}} = \frac{2,2}{2} \frac{70,5 \cdot 10^{-3}}{440 \cdot 10^{-3}} \approx 160 \cdot 10^{-3} [-] \quad (5.18)$$

Comprova-se a degeneração da sensibilidade, contudo volta-se afirmar que se trata de um “risco” aceito no projeto conforme já comentado.

Procedimento semelhante é aplicado na obtenção do coeficiente térmico para a tensão V_G . Partindo da equação básica:

$$TC_F(V_G) = \frac{1}{V_G} \left| \frac{\partial V_G}{\partial T} \right|_Q \quad [^{\circ}C^{-1}] \quad (5.19)$$

Transformando a eq. (5.19) para incluir resultados já conhecidos, vem:

$$TC_F(V_G) = \frac{1}{V_G} \frac{\partial V_G}{\partial I_D} \frac{\partial I_D}{\partial T} = \frac{1}{V_G} \frac{\partial(3V_{EB})}{\partial I_D} \frac{\partial I_D}{\partial T} \quad [^{\circ}C^{-1}] \quad (5.20)$$

Substituindo-se as derivadas, tem-se:

$$TC_F(V_G) = \frac{1}{V_G} 3 \frac{U_T}{I_{DQ}} \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} (\gamma + \theta) = \frac{6U_T}{V_G} \frac{(\gamma + \theta)}{(V_{EB} - V_{TH0(N)})} \quad (5.21)$$

Com os valores numéricos pertinentes:

$$TC_F(V_G) = \frac{1}{2} \left(\frac{6 \cdot 26 \cdot 10^{-3}}{675,9 \cdot 10^{-3} - 516 \cdot 10^{-3}} \right) (-3 \cdot 10^{-3} - 1,2 \cdot 10^{-3}) \approx -2,05 \cdot 10^{-3} [^{\circ}C^{-1}] \quad (5.22)$$

Para efeito de comparação, a *Figura 5.9* mostra o resultado da simulação da tensão V_G para uma varredura da temperatura 10[°C]. Calculando-se a partir desta simulação o coeficiente térmico tem-se:

$$TC_F(V_G) = \frac{1}{V_G} \frac{\Delta V_G}{\Delta T} = \frac{1}{2} \frac{(-87,2 \cdot 10^{-3})}{10} \approx -4,36 \cdot 10^{-3} [^{\circ}C^{-1}] \quad (5.23)$$

Também aqui se verifica uma discrepância entre os valores calculados e simulados pelo fato das equações serem derivadas considerando-se que os transistores estão sempre atuando na região de saturação.

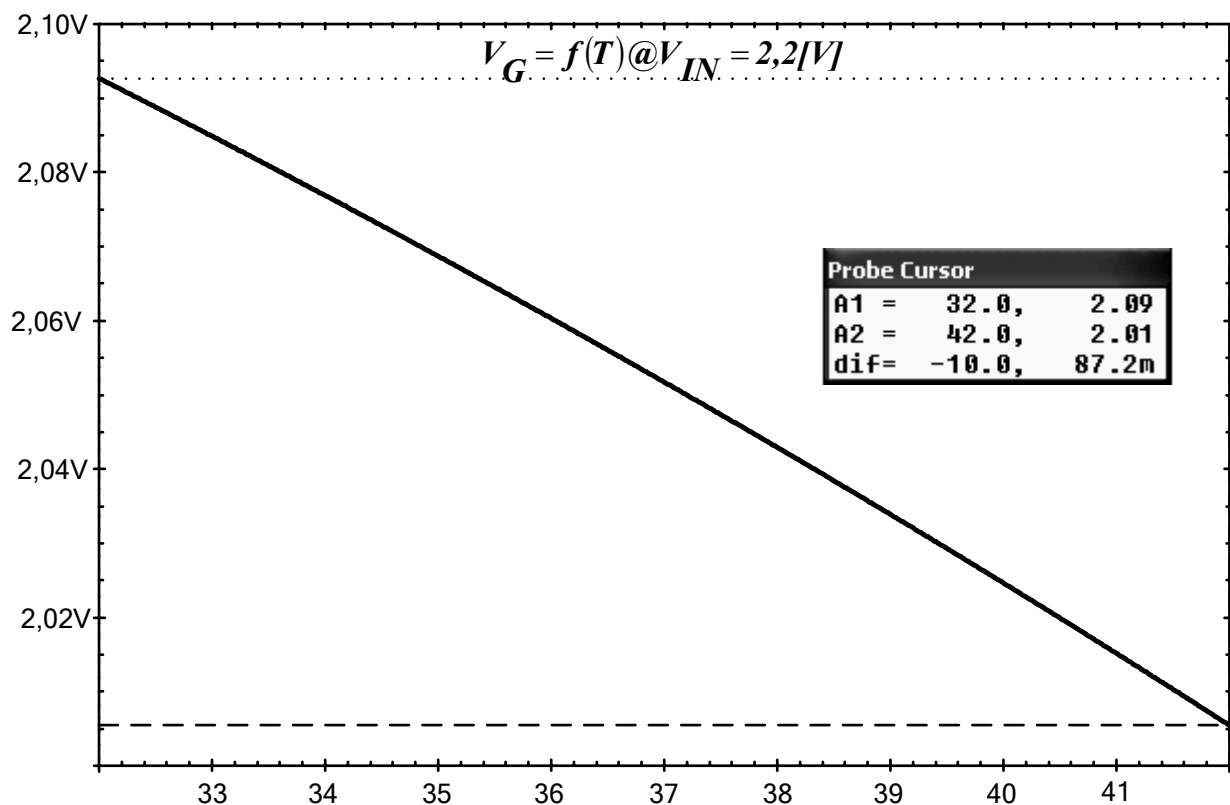


Figura 5.9 – Simulação para a Variação da Tensão de Referência V_G em Função da Temperatura @ $V_{IN} = 2,2[V]$.

5.2.4 Inserção do Circuito para Gerar V_{REF}

Para a geração da tensão V_{REF} , está sendo proposta a topologia indicada na *Figura 5.10(a)*. Também, a partir da corrente nominal gerada no espelho, uma estrutura com dois transistores NMOS “empilhados” (transistor composto [95]) atua como se fosse um “divisor de tensão”.

O valor da tensão de referência deve ser menor que 1[V] uma vez que esta é a tensão nominal de saída do regulador. Não será estabelecido um valor alvo para esta tensão, contudo, acredita-se que algo em torno de 200[mV] seja adequado para não impactar, por exemplo, o projeto do circuito amostrador que irá fazer a multiplicação deste valor para se chegar ao valor nominal de tensão na saída.

Como se pode observar pela *Figura 5.10(b)*, a tensão de polarização para os “*Gates*” dos transistores MN_{REF1} e MN_{REF2} é tomada do primeiro transistor PNP (Q_2) que faz parte da geração da tensão V_G . Pelo fato de se tratar de terminais que não consomem corrente em regime permanente, este ponto sofrerá apenas um carregamento capacitivo.

Observando-se a *Figura 5.10(b)*, verifica-se que a tensão de referência V_{REF} é a própria tensão V_{DS} do transistor MN_{REF2} . No apêndice A, a *Figura A.5* mostra que um dispositivo, com aspecto de geometria de 2/1, necessita de uma tensão Dreno-Fonte em torno de 200[mV] para garantir a sua operação na região de

saturação (para a corrente de interesse que é de $4,402[\mu A]$). Mais uma justificativa para estabelecer este valor para V_{REF} como sendo o seu valor nominal.

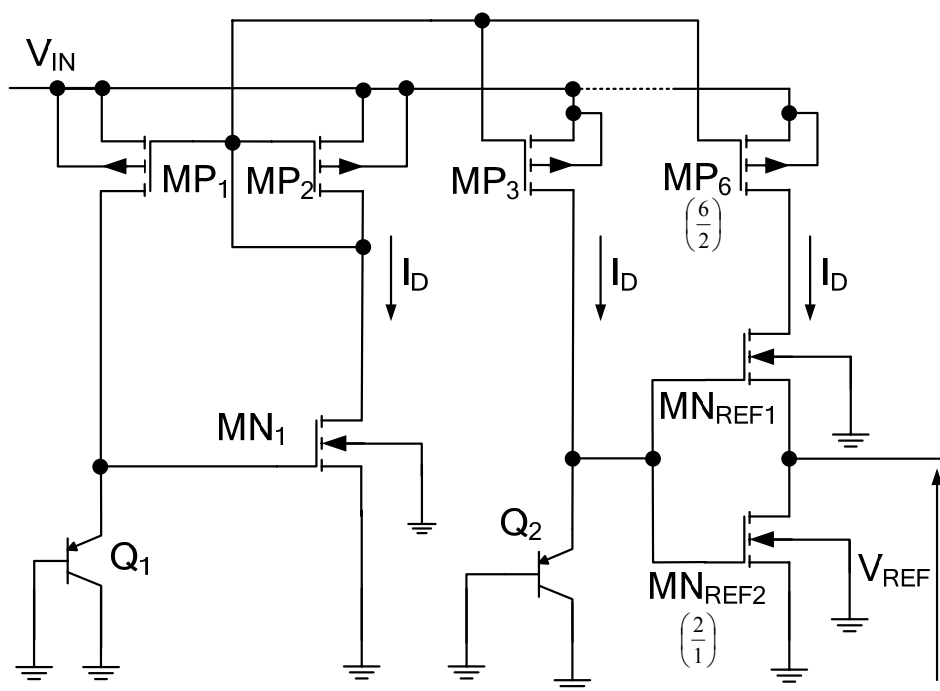


Figura 5.10(a) – Circuito para a Geração de V_{REF}

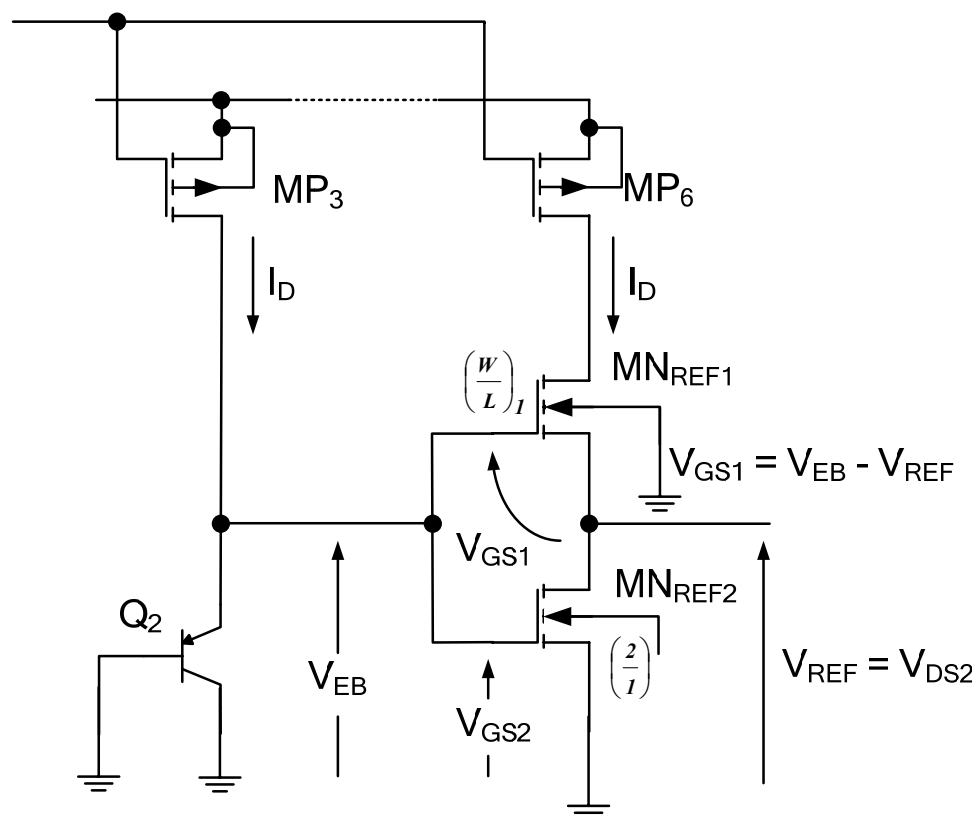


Figura 5.10(b) - Detalhe da Topologia com Os Transistores NMOS Empilhados.

5.2.5 Ajuste do Aspecto de Geometria de MN_{REF1} para o Valor Nominal de V_{REF}

Antes de se avaliar o valor nominal da tensão de referência V_{REF} , é necessário observar que o transistor MN_{REF2} atua no modo de inversão forte, ou seja, a sua tensão V_{GS} (675,6[mV]) é maior que $V_{TH0(N)}$ (516[mV]), enquanto que o transistor MN_{REF1} atua no modo de inversão fraca, pois o seu V_{GS} com certeza será menor que 516[mV] se assumirmos uma tensão V_{REF} em torno de 200[mV]. Deve-se levar em conta, ainda, que este transistor sofre o efeito de corpo uma vez que a sua Fonte está em um potencial acima de zero (o próprio V_{REF}).

É necessário, portanto, um equacionamento da corrente de Dreno que leve em consideração a condição de operação em inversão fraca. No Apêndice A é apresentada esta equação assim como a extração dos parâmetros pertinentes.

Voltando a *Figura 5.10(b)*, para se avaliar V_{REF} pode-se afirmar que:

$$I_D(MN_{REF1}) = I_D(MN_{REF2}) \quad (5.24)$$

Substituindo-se os equacionamentos pertinentes aos seus respectivos modos de operação de cada transistor, ou seja, inversão fraca e inversão forte têm-se:

$$I_X \left(\frac{W}{L} \right)_1 \exp \left[\frac{V_{EB} - V_{REF} - V_{TH0(N)}}{nU_T} \right] = \beta_N (V_{EB} - V_{TH0(N)})^2 (1 + \lambda_N V_{REF}) \quad (5.25)$$

Desprezando o termo $\lambda_N V_{REF}$ perante 1 e rearranjando:

$$\exp \left[\frac{V_{EB} - V_{REF} - V_{TH0(N)}}{nU_T} \right] = \frac{\beta_N (V_{EB} - V_{TH0(N)})^2}{I_X \left(\frac{W}{L} \right)_1} \quad (5.26)$$

$$\frac{V_{EB} - V_{REF} - V_{TH0(N)}}{nU_T} = \ln \left[\frac{\beta_N (V_{EB} - V_{TH0(N)})^2}{I_X \left(\frac{W}{L} \right)_1} \right]$$

Resolvendo para V_{REF} chega-se a: eq. (5.27).

$$V_{REF} = V_{EB} - V_{TH0(N)} - nU_T \ln \left[\frac{\beta_N (V_{EB} - V_{TH0(N)})^2}{I_X \left(\frac{W}{L} \right)_1} \right] \quad [V] \quad (5.27)$$

Substituindo-se os valores numéricos na eq. (5.27), tem-se:

$$V_{REF} = 0,6759 - 0,516 - 45.10^{-3} \ln \left[\frac{2,95,3.10^{-6} (675,9.10^{-3} - 516.10^{-3})^2}{206.10^{-9}} \right] \approx 17,5.10^{-3} [V] \quad (5.28)$$

O que se observa pelo resultado da eq. (5.28) é uma incoerência em relação ao valor alvo de 200[mV]. Tal fato se deve pela utilização, no transistor MN_{REF1} , do aspecto de geometria adotado no Apêndice A, ou seja, 2/1. Como este transistor está operando em inversão fraca é necessário aumentar, de forma significativa, o seu aspecto de geometria para que possa manipular a corrente de 4,402 μA . Para tanto será efetuada uma simulação paramétrica para o seu valor de W de modo que a tensão de referência de 200mV seja alcançada. Além disto, para melhorar o PSRR desta referência em relação à V_{IN} , será utilizado um L de 2 μm .

A Figura 5.11 ilustra o resultado da simulação para V_{IN} de 2,2[V] e temperatura de 37[°C].

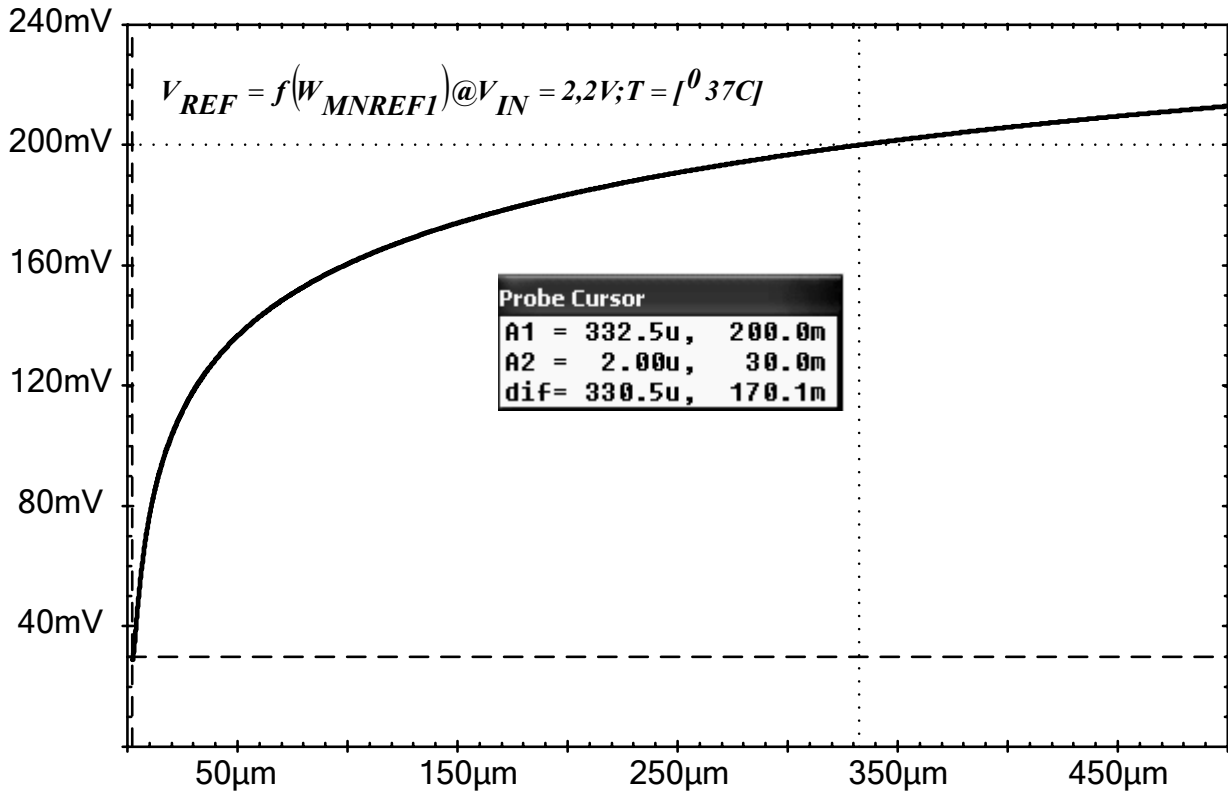


Figura 5.11 – Ajuste da Geometria de MN_{REF1} com $V_{IN} = 2,2V @ T = 37[^{\circ}C]$.

Portanto, a relação idealizada para MN_{REF1} é 332,5/2 e será utilizada na confecção do “layout”.

5.2.6 Avaliação da Sensibilidade e do Coeficiente Térmico de V_{REF}

A avaliação destas duas Figuras de Mérito fica facilitada porque nos itens anteriores já foram calculadas diversas derivadas parciais que relacionam as principais correntes e tensões nestes circuitos.

Iniciando pela Sensibilidade de V_{REF} em relação à tensão de entrada não regulada, tem-se:

$$S_{V_{IN}}^{V_{REF}} = \frac{V_{IN}}{V_{REF}} \left|_Q \frac{\partial V_{REF}}{\partial V_{IN}} \right|_Q \quad [-] \quad (5.29)$$

A derivada parcial pode ser escrita como:

$$\frac{\partial V_{REF}}{\partial V_{IN}} = \frac{\partial V_{REF}}{\partial I_D} \frac{\partial I_D}{\partial V_{EB}} \frac{\partial V_{EB}}{\partial V_{IN}} \quad [-] \quad (5.30)$$

Tomando por base o transistor MN_{REF2} , verifica-se que a sua tensão V_{DS} corresponde exatamente ao valor da tensão de referência V_{REF} . Lembrando que este dispositivo opera em inversão forte, a sua corrente de Dreno será:

$$I_D = \beta_N (V_{EB} - V_{TH0(N)})^2 (1 + \lambda_N V_{REF}) \quad [A] \quad (5.31)$$

Derivando I_D em relação à V_{EB} e observando que $V_{EB} = V_{REF} + V_{GS2}$, tem-se:

$$\frac{\partial I_D}{\partial V_{EB}} = 2\beta_N (V_{EB} - V_{TH0(N)}) (1 + \lambda_N V_{REF}) = \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} \left[\frac{A}{V} \right] \quad (5.32)$$

e:

$$\begin{aligned} \frac{\partial I_D}{\partial V_{REF}} &= 2\beta_N (V_{REF} + V_{GS2} - V_{TH0(N)}) (1 + \lambda_N V_{REF}) + \\ &\quad + \beta_N (V_{REF} + V_{GS2} - V_{TH0(N)})^2 \lambda_N \\ \frac{\partial I_D}{\partial V_{REF}} &\approx \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} + I_{DQ} \lambda_N \approx \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} \end{aligned} \quad (5.33)$$

Levando para a eq. (5.32) e recorrendo ao Apêndice D que tem o resultado para a outra derivada, fica:

$$\frac{\partial V_{REF}}{\partial V_{IN}} = \frac{1}{\frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})}} \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} \frac{U_T \lambda_N}{1 - \frac{2U_T}{(V_{EB} - V_{TH0(N)})}} \quad [-] \quad (5.34)$$

Procedendo a substituição pelos valores numéricos:

$$\frac{\partial V_{REF}}{\partial V_{IN}} = \frac{U_T \lambda_N}{1 - \frac{2U_T}{(V_{EB} - V_{TH0(N)})}} = \frac{0,096 \times 26 \cdot 10^{-3}}{1 - \frac{52 \cdot 10^{-3}}{159,9 \cdot 10^{-3}}} \approx 3,7 \cdot 10^{-3} \quad [-] \quad (5.35)$$

Para a sensibilidade, retorna-se à eq. (5.29). Como os valores são calculados, será usado o valor de 200[mV] para a tensão V_{REF} .

$$S_{V_{IN}}^{V_{REF}} = \frac{2,2}{200 \cdot 10^{-3}} 3,7 \cdot 10^{-3} = 40,7 \cdot 10^{-3} \quad [-] \quad (5.36)$$

A Figura 5.12 é o resultado da simulação para uma variação de 10[%] na tensão não regulada V_{IN} . Será tomada por base para se avaliar a sensibilidade de V_{REF} .

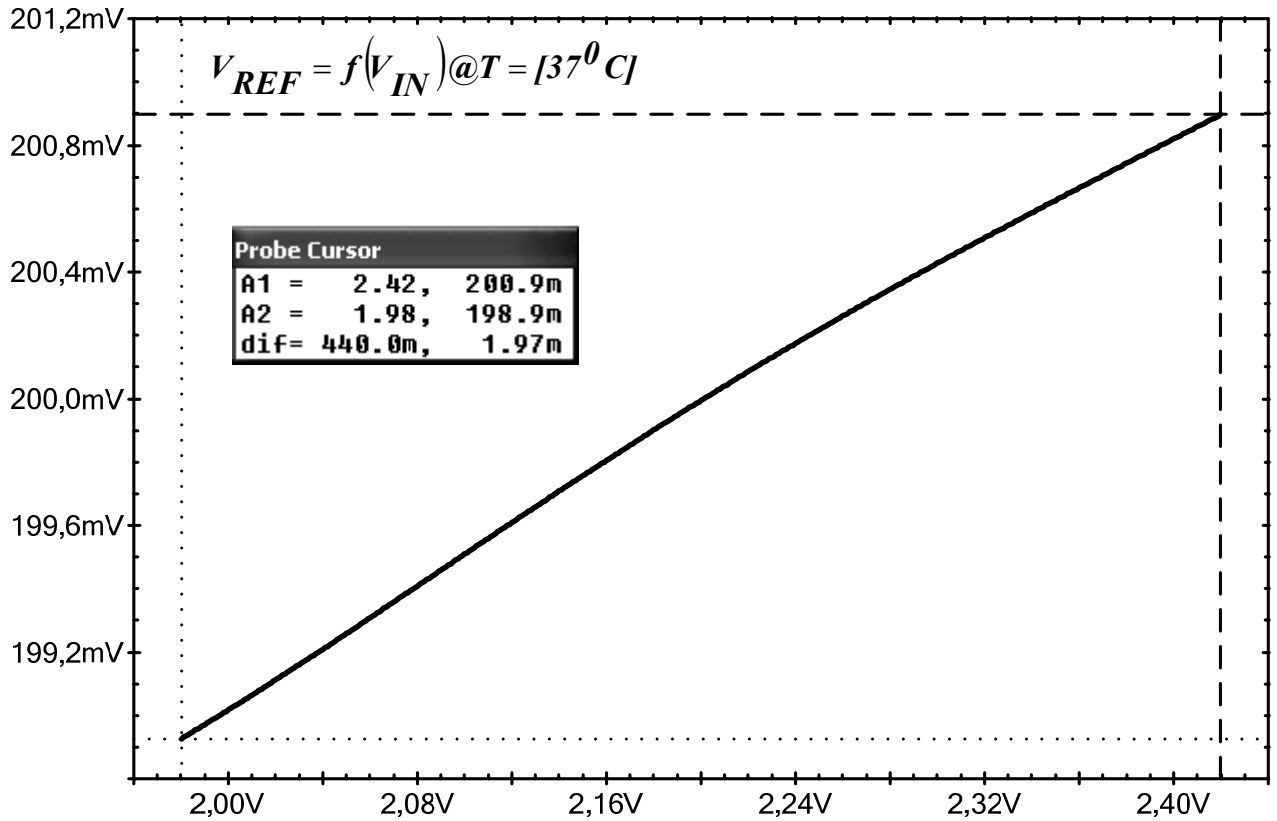


Figura 5.12– Variação da Tensão de Referência V_{REF} em função de V_{IN} @ $T = 37[^{\circ}C]$.

Aplicando-se o conceito da eq. (5.36) para este resultado de simulação, tem-se:

$$S_{V_{IN}}^{V_{REF}} = \frac{2,2}{200 \cdot 10^{-3}} \frac{\Delta V_{REF}}{\Delta V_{IN}} = 11 \frac{1,97 \cdot 10^{-3}}{440 \cdot 10^{-3}} \approx 49,2 \cdot 10^{-3} \quad [-] \quad (5.37)$$

O circuito composto pelos transistores MN_{REF1} e MN_{REF2} apresenta uma particularidade importante. Pelo fato de se ter dois transistores empilhados, a impedância vista pelo Dreno do transistor MN_{REF1} é maior do que a impedância vista de um transistor sozinho por um fenômeno de reflexão de impedâncias. Matematicamente, a expressão que mostra esta reflexão é dada por [93]:

$$r_0 = r_{01}(1 + g_{m1}r_{01}) + r_{02} \quad [\Omega] \quad (5.38)$$

Isto significa que a corrente de Dreno para estes transistores é menos sensível para as variações da tensão de alimentação do que um único transistor como no espelho de corrente (MN_1). Portanto, as flutuações desta corrente estão praticamente ligadas às flutuações da tensão V_{EB} que alimenta diretamente os Gates destes transistores. Tem-se aqui outra diferença em relação ao circuito do espelho. Enquanto neste circuito o transistor PNP vertical Q_1 está carregado pelo “Gate” de MN_1 , para os transistores empilhados, o transistor PNP vertical Q_2 está carregado pela base do transistor Q_3 . Portanto, a sensibilidade de Q_2 em relação à tensão de entrada V_{IN} está sendo prejudicada pela injeção de uma corrente que traz consigo uma flutuação em função desta tensão.

Esta diferença de comportamentos apareceu no cálculo e na simulação da sensibilidade de V_{REF} (o valor simulado é maior que o calculado), pois no equacionamento utilizado as derivadas que envolvem V_{EB} foram avaliadas para Q_1 e não para Q_2 .

Tomando por base o resultado da simulação que relata melhor a realidade, uma variação de $\pm 10\%$ na tensão de alimentação não regulada V_{IN} causa uma variação de $\pm 0,53\%$ na tensão de referência V_{REF} .

Com relação ao Coeficiente Térmico Fracional, parte-se da seguinte relação fundamental:

$$TC_F(V_{REF}) = \frac{1}{V_{REF}} \left| \frac{\partial V_{REF}}{\partial T} \right|_Q \quad [^\circ C^{-1}] \quad (5.39)$$

Entretanto, a tensão V_{REF} é expressa por:

$$V_{EB} = V_{GS1} + V_{REF} \quad \Rightarrow \quad V_{REF} = V_{EB} - V_{GS1} \quad (5.40)$$

Derivando a eq. (5.40) em relação à temperatura:

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{EB}}{\partial T} - \frac{\partial V_{GS1}}{\partial T} \quad \left[\frac{V}{^\circ C} \right] \quad (5.41)$$

A eq. (5.41) aponta para um resultado interessante, pois em [96] comprova-se que um transistor MOS operando em inversão fraca apresenta para a tensão V_{GS} um coeficiente térmico negativo, ou seja, semelhante ao comportamento de um transistor Bipolar. Então, a subtração apontada em (5.41) vai levar a um coeficiente térmico para V_{REF} menor que os coeficientes individuais dos transistores MOS e Bipolar.

A derivada para a tensão V_{GS} é avaliada a partir da equação [96]:

$$V_{GS}(T) \approx (V_{THN}(T_0) + \theta T_0) \left(1 - \frac{T}{T_0}\right) + V_{GS}(T_0) \left(\frac{T}{T_0}\right) \quad [V] \quad (5.42)$$

Em que T_0 é uma temperatura de referência inicial (neste projeto, 37°C) e θ o coeficiente térmico para a tensão de limiar V_{TH} . Derivando-se, então, a eq. (5.42):

$$\frac{\partial V_{GS}(T)}{\partial T} = \frac{-[V_{THN}(T_0) + \theta T_0]}{T_0} + \frac{V_{GS}(T_0)}{T_0} = \frac{1}{T_0} [-V_{THN}(T_0) - \theta T_0 + V_{GS}(T_0)] \quad \left[\frac{V}{^\circ C}\right] \quad (5.43)$$

Retornando à eq. (5.39) e levando os resultados das derivadas:

$$TC_F(V_{REF}) = \frac{1}{V_{REF}} \left[\frac{\partial V_{EB}}{\partial T} - \frac{1}{T_0} (-V_{THN}(T_0) - \theta T_0 + V_{GS}(T_0)) \right] \quad [^\circ C^{-1}] \quad (5.44)$$

Para os valores numéricos disponíveis (em que $V_{GS}(T_0) = V_{EB} - V_{REF} = 0,476V$) chega-se a:

$$TC_F(V_{REF}) = \frac{1}{0,2} \left[-3 \cdot 10^{-3} - \frac{1}{37} (-0,516 - 1,2 \cdot 10^{-3} \cdot 37 + 0,476) \right] \approx -3,6 \cdot 10^{-3} \quad [^\circ C^{-1}] \quad (5.45)$$

Fazendo-se uma simulação com uma varredura de temperatura, tem-se o resultado ilustrado na *Figura 5.13* na seqüência.

Avaliando-se o Coeficiente Térmico Fracional pela simulação:

$$TC_F(V_{REF}) = \frac{1}{V_{REF}} \frac{\Delta V_{REF}}{\Delta T} = \frac{1}{0,2} \frac{-2,157 \cdot 10^{-3}}{10} \approx -1,08 \cdot 10^{-3} \quad [^\circ C^{-1}] \quad (5.46)$$

O resultado da simulação reforça o que foi mencionado anteriormente, ou seja, que o comportamento do transistor MOS em inversão fraca se aproxima do comportamento do transistor Bipolar em relação à temperatura. Em outras palavras, pode-se dizer o coeficiente θ se aproxima, em valor absoluto, do coeficiente γ . O mais importante é ressaltar que a tensão V_{REF} tem a sua variação com a temperatura minimizada justamente por esta característica do transistor MOS em inversão fraca.

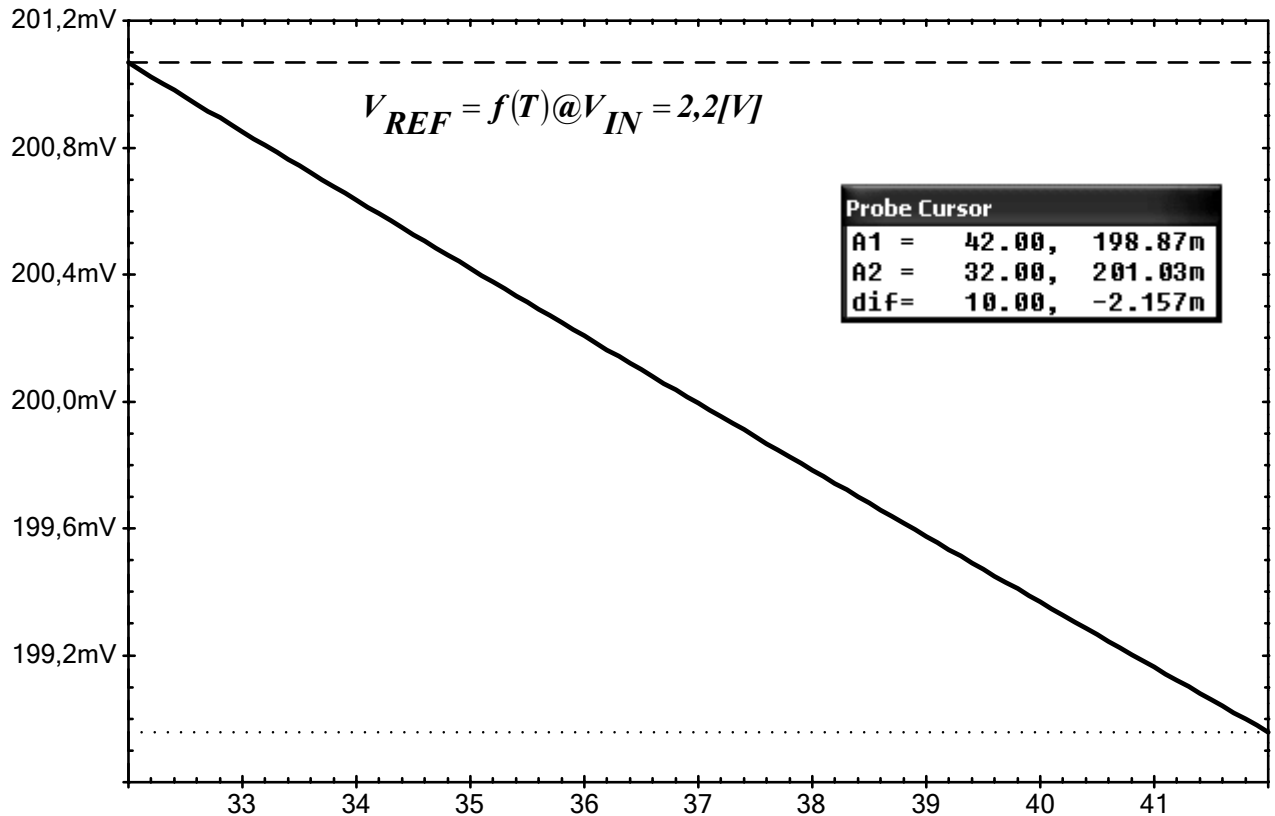


Figura 5.13 – Simulação para o Impacto da Temperatura em V_{REF} @ $V_{IN}=2,2[V]$.

5.2.7 Avaliação do PSRR das Tensões de Referência V_G e V_{REF}

Antes de efetivamente proceder a uma análise da rejeição de fonte para as tensões de referência, a *Figura 5.14* reproduz o conjunto total do espelho de corrente e os respectivos circuitos de geração das referências de tensão. Em alguns pontos foram adicionados capacitores (0,5[pF] do tipo PIP) para desacoplar quaisquer ruídos indesejáveis e contribuir para um possível aumento da rejeição de fonte.

A *Figura 5.15* mostra os resultados de simulação para o PSRR das referências. Para V_G tem-se uma rejeição da fonte de aproximadamente -16,5[dB] e para V_{REF} uma rejeição de -38,5[dB] na frequência de interesse que são os 10 [MHz] do enlace de RF. Cabe ressaltar que a PSRR para estas tensões será, na prática, maior que o aqui calculado, pois o capacitor C_3 que foi adicionado no nó V_G terá seu valor acrescido da capacitância de “Gate” do transistor NMOS que constitui o estágio Seguidor de Fonte. Como este transistor deverá apresentar uma grande geometria, a capacitância adicional será comparativamente maior que C_3 , fazendo com que a tensão deste nó fique menos susceptível às flutuações impostas pela tensão de entrada não regulada.

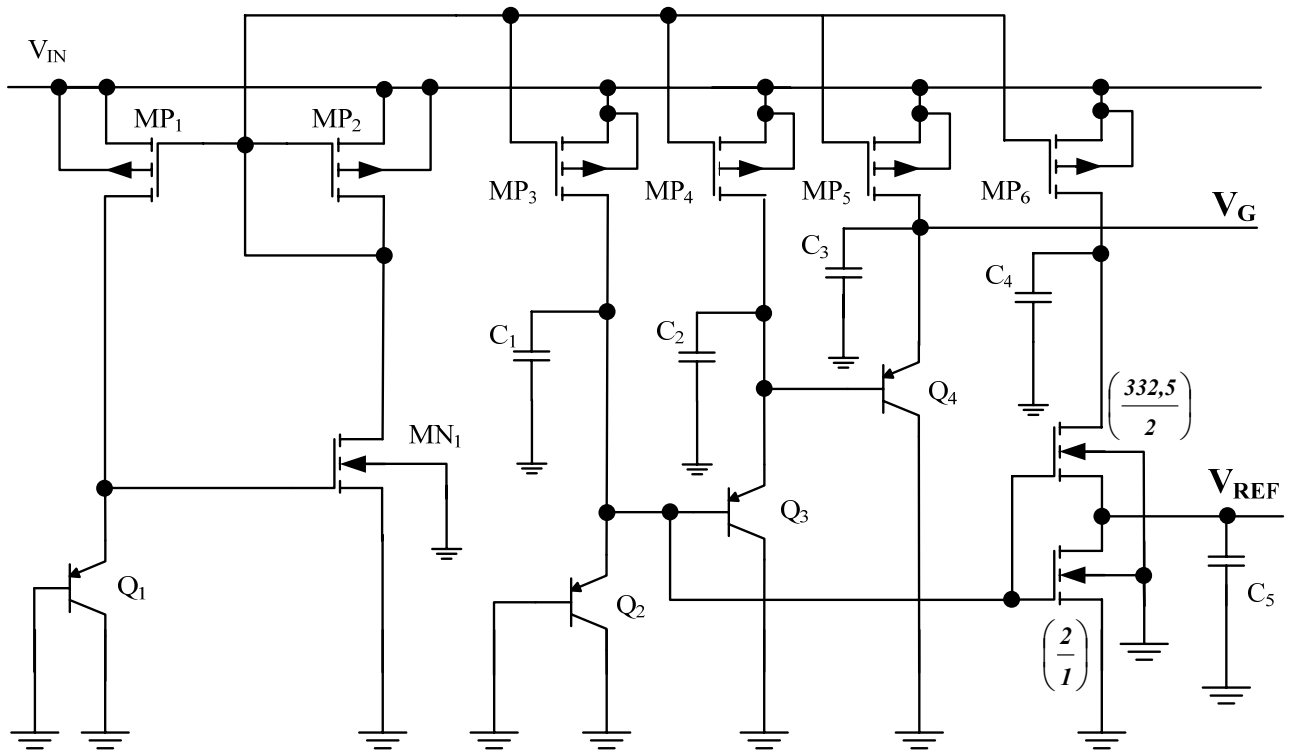


Figura 5.14 – Espelho de Corrente e Circuitos para a Geração de V_{REF} e V_G

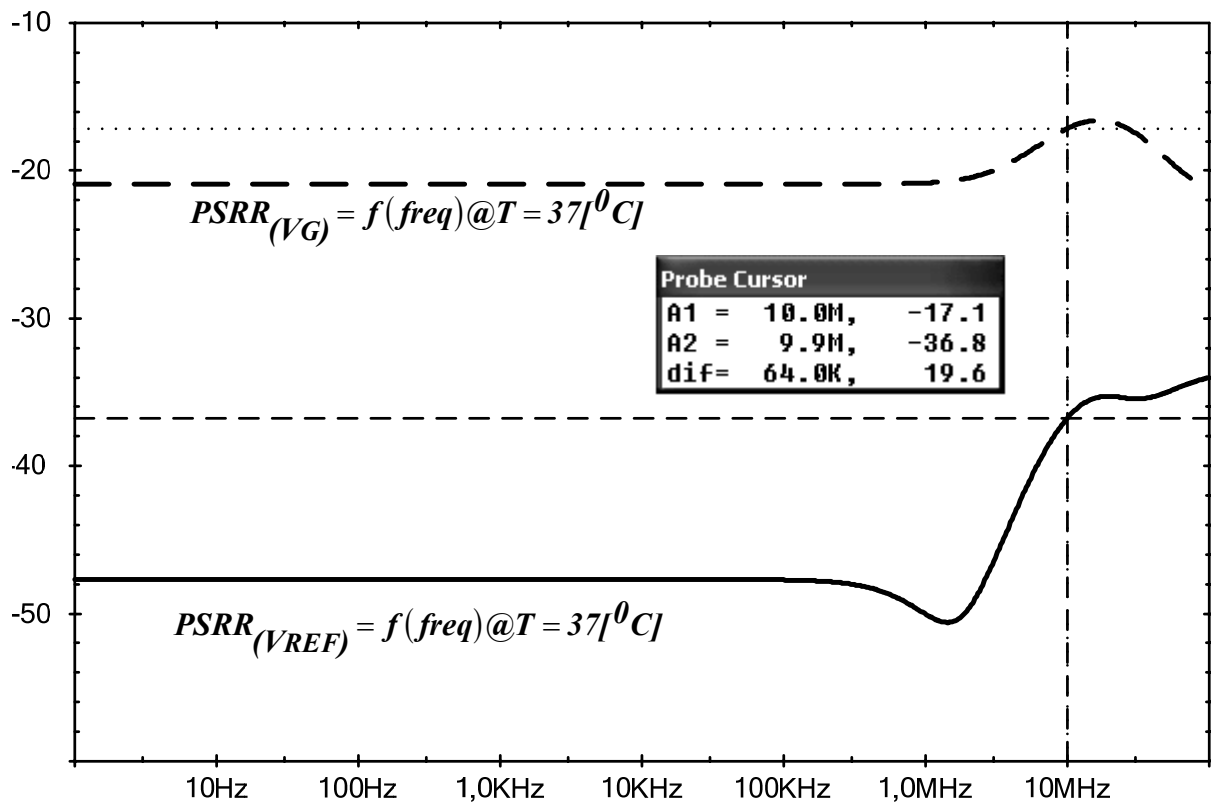
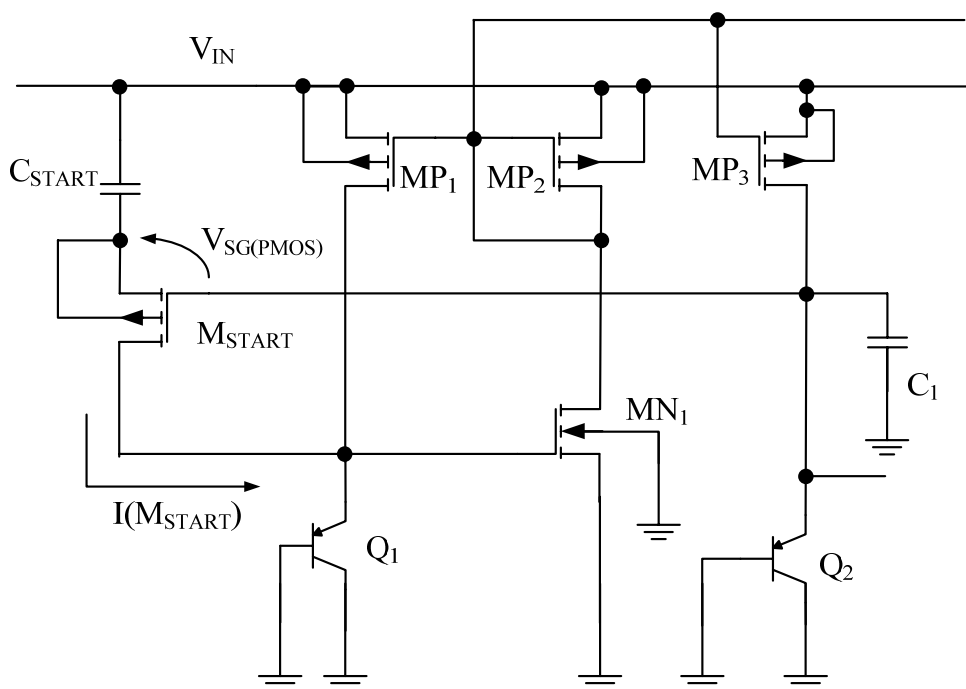


Figura 5.15 – Resultado da Simulação para a PSRR da Referência V_{REF} e $V_G @ T = 37[^\circ C]$.

5.2.8 Circuito de Start-Up

O espelho de corrente a partir do qual foram desenvolvidos os circuitos das tensões de referência, apresenta dois estados estáveis de corrente. Um deles é o calculado, simulado e utilizado nos itens anteriores. Entretanto, existe a possibilidade de mais um estado estável que corresponde ao valor de corrente zero. Para se garantir que, ao se energizar o circuito, a corrente se encaminhe para o seu estado útil, é preciso prover o espelho de um circuito adicional com o intuito de se forçar esta condição. Tal circuito é denominado de “Start-Up” e a proposta de sua implementação está ilustrada na *Figura 5.16*.

O transistor M_{START} é inserido de tal maneira que para ligá-lo é necessário carregar o capacitor C_{START} . Durante o processo de carga deste capacitor, o transistor M_{START} injeta corrente no transistor bipolar cuja queda de tensão V_{EB} é responsável por ligar o transistor MN_1 e, assim, estabelecer a corrente do espelho. Considera-se que, para a partida do “Start-Up”, todos os capacitores envolvidos estejam descarregados. É fundamental considerar que C_1 e C_{START} estando descarregados forcem a presença de um $V_{SG(PMOS)}$ para M_{START} maior que a sua respectiva tensão de limiar.

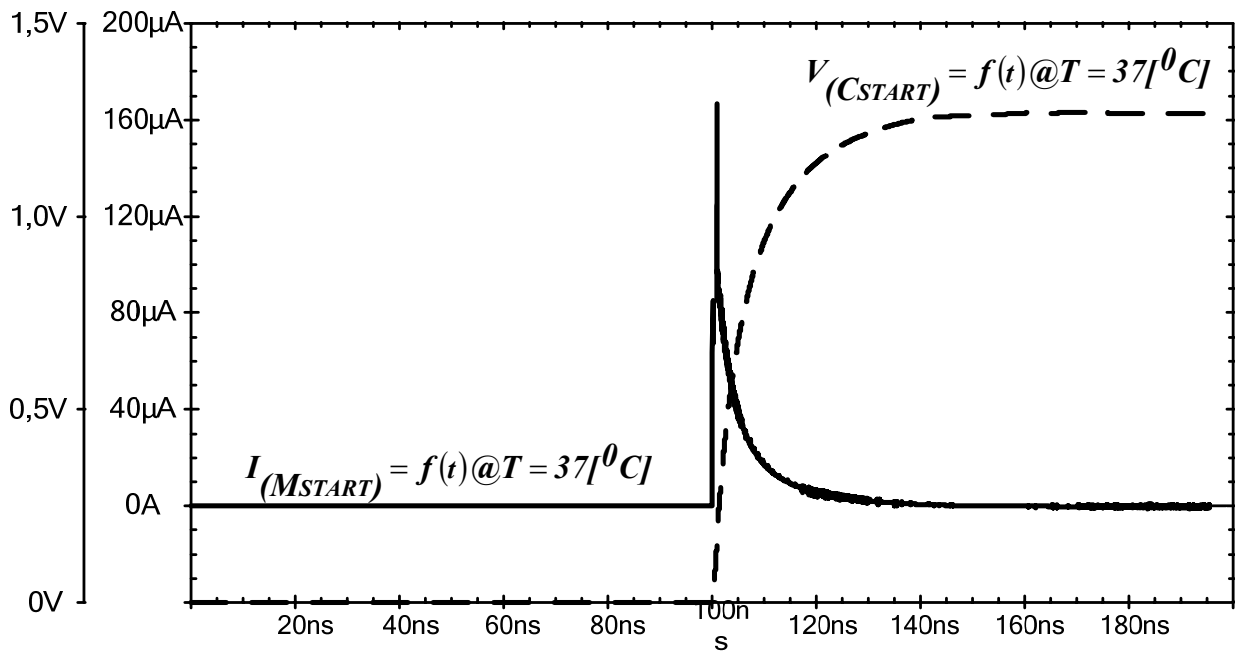


5.16 – Proposta para o Circuito de Start-Up

Através de uma simulação, em que se aplica um degrau de tensão na entrada não regulada, é possível verificar a ação do circuito de “Start-Up”. Este degrau de tensão varia de zero até a tensão nominal de V_{in} (2,2[V]), devendo-se observar a corrente do transistor M_{START} . Ela deve responder com um transitório do tipo impulso e, à medida que C_{START} vai se carregando, seu valor deve decair para zero.

A *Figura 5.17* ilustra o resultado desta simulação em que estão plotados a corrente através de M_{START} e a carga do capacitor C_{START} , comprovando a ação proposta para este circuito. Por uma questão de simplicidade, usou-se para a geometria do transistor M_{START} a mesma geometria dos transistores PMOS que

constituem o espelho. O Valor de pico da corrente está por volta de 160μA, não constituindo um problema de dissipação de potência para este transistor.



Fig

ura 5.17 – Resposta ao Degrau para a Corrente de M_{START} e para a Carga de C_{START} , $T=37[^\circ C]$.

Antes de resumir as características elétricas deste circuito, uma simulação para se observar o consumo de potência será realizada. A partir da varredura da tensão V_{IN} entre os seus limites de variação de 10[%], a *Figura 5.18* ilustra a respectiva potência dissipada. Como se observa, o pior caso ocorre para V_{IN} máximo com uma dissipação de aproximadamente 64[μW] e, nas condições nominais de operação, o circuito dissipa aproximadamente 55[μW].

O valor negativo nas leituras das potências é devido a uma convenção do simulador, uma vez que o elemento tomado como referência para a avaliação foi a fonte DC de alimentação (potência fornecida é atribuída como sendo negativa).

A título de comparação, a partir da *Figura 5.13*, verifica-se que existem 6 correntes, a princípio iguais, que são drenadas da tensão V_{IN} pelos transistores MP_1 a MP_6 . O valor simulado para a corrente a ser espelhada é de aproximadamente 4,4[μA] e, se for atribuído o valor nominal de 2,2[V] para V_{IN} , tem-se:

$$P_D = 6I_{D(NOMINAL)}V_{IN(NOMINAL)} = 6 \times 4,4 \cdot 10^{-6} \times 2,2 \approx 58 \quad [mW] \quad (5.47)$$

A *Tabela 5.5* resume as características elétricas deste circuito de referência e que foram discutidas até então.

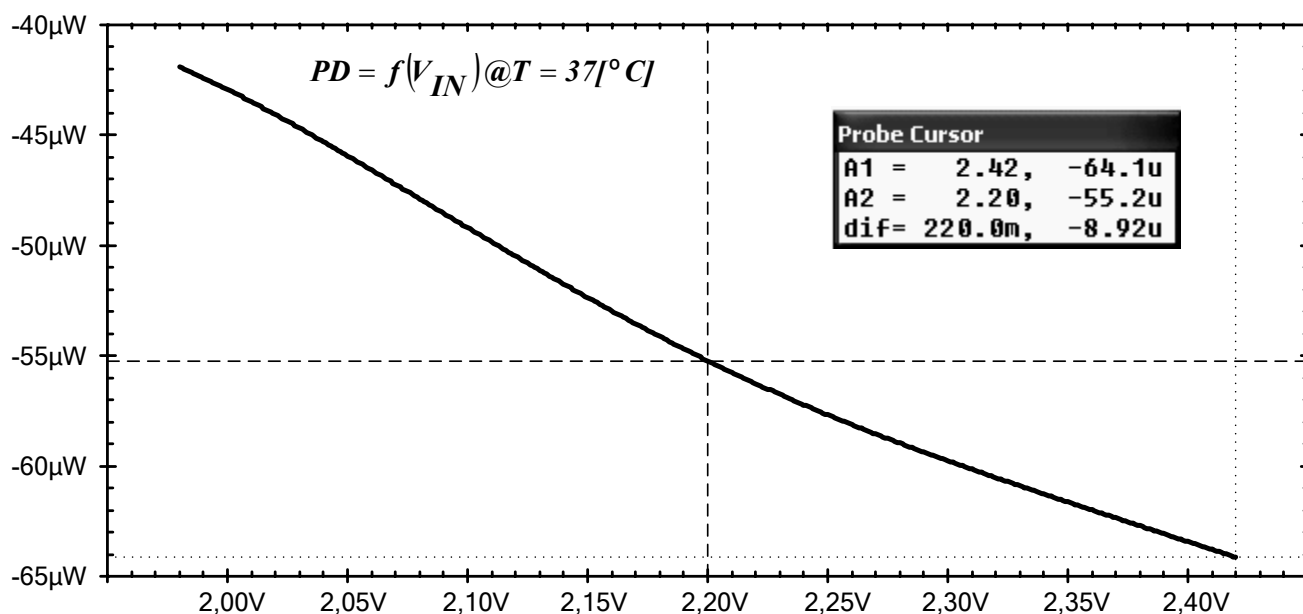


Figura 5.18 – Dissipação de Potência para o Circuito as Tensões de Referência @ $T=37[^\circ C]$.

Características @ $V_{IN}=2,2V$	Calculado	Simulado
V_G [V]	2	2,029
V_{REF} [mV]	200	199,93
Sensibilidade de V_G	$12 \cdot 10^{-3}$	$160 \cdot 10^{-3}$
Sensibilidade de V_{REF}	$40,7 \cdot 10^{-3}$	$49,2 \cdot 10^{-3}$
TC_F de V_G [$^\circ C^{-1}$]	$-2,05 \cdot 10^{-3}$	$-4,36 \cdot 10^{-3}$
TC_F de V_{REF} [$^\circ C^{-1}$]	$-3,6 \cdot 10^{-3}$	$-0,985 \cdot 10^{-3}$
P_D [μW]	58	55,2
PSRR de V_G [dB] @ 10 [MHz]	-	-17,1
PSRR de V_{REF} [dB] @ [10MHz]	-	-36,8
T_{NOM} [$^\circ C$]	37	37

Tabela 5.5 – Resumo das Características Elétricas do Circuito de Referência Projetado.

5.2.9 Análise de Monte Carlo

Para verificar o impacto da variação de processo nas tensões de referência, procedeu-se a uma análise de Monte Carlo com 5000 rodadas. Os parâmetros elétricos pertinentes dos transistores foram substituídos por outros parâmetros que incluem a dispersão de lote. As Figuras 5.19 e 5.20 ilustram os resultados destas simulações. A Tabela 5.6 traz um resumo estatístico destes resultados.

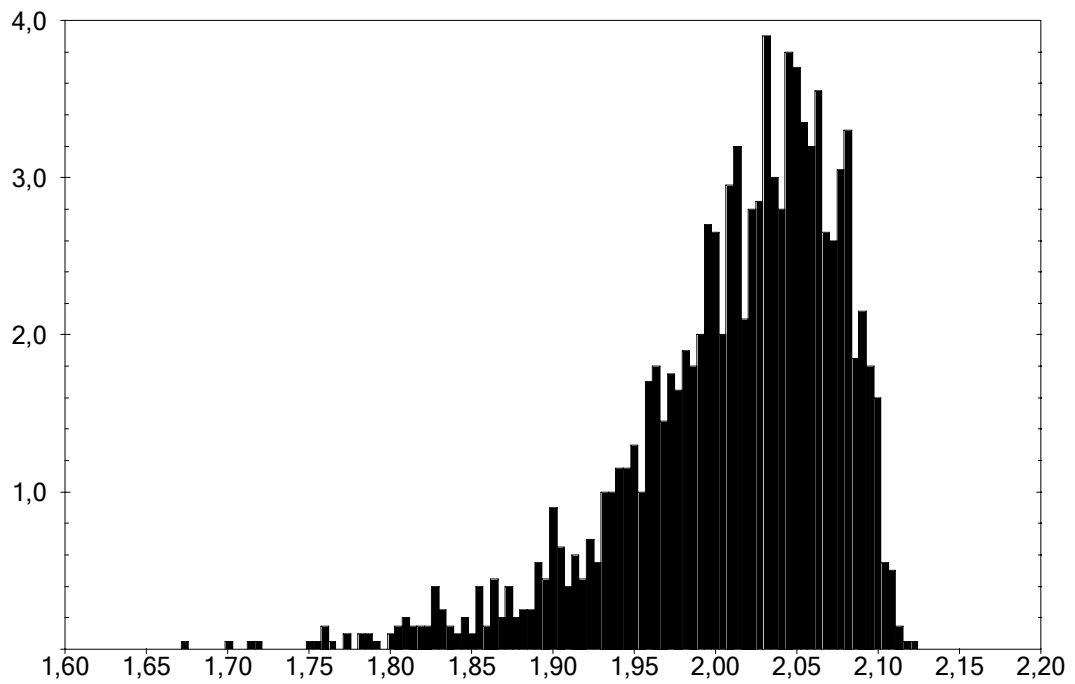


Figura 5.19 – Análise de Monte Carlo para a Tensão V_G @ $V_{IN}=2,2V$ e $T=37[^\circ C]$.

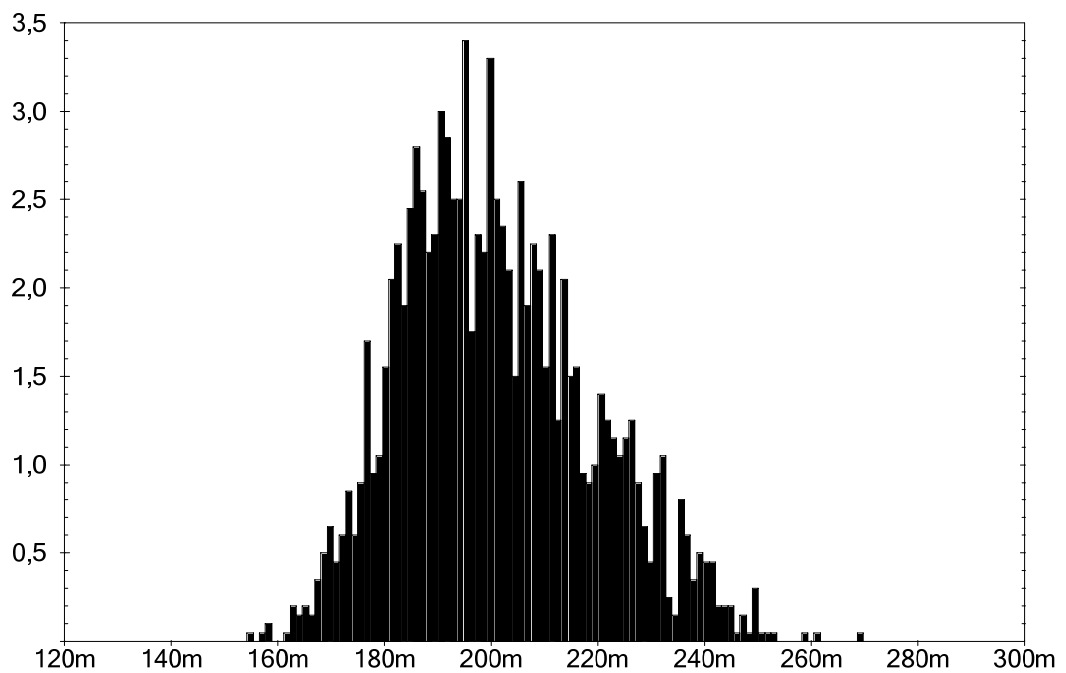


Figura 5.20 – Análise de Monte Carlo para a Tensão V_{REF} @ $T=37[^\circ C]$.

	V_G	V_{REF}
Valor Nominal [mV]	2011	200,97
Desvio Padrão (σ) [mV]	65,6	17,8

Tabela 5.6 – Resumo Estatístico para as Tensões V_G e V_{REF} @ $T=37[^\circ C]$.

Finaliza-se a descrição deste gerador de referências, ilustrando nas *Figuras 5.21 e 5.22*, detalhes do layout dos circuitos do espelho de corrente, V_G e V_{REF} .

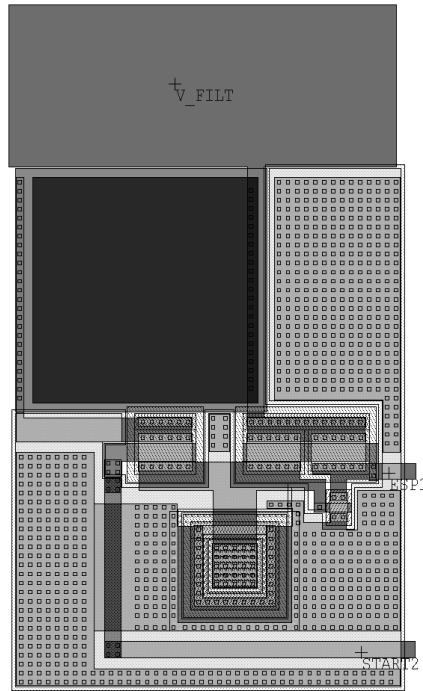


Figura 5.21 – Detalhes do Layout do Espelho de Corrente

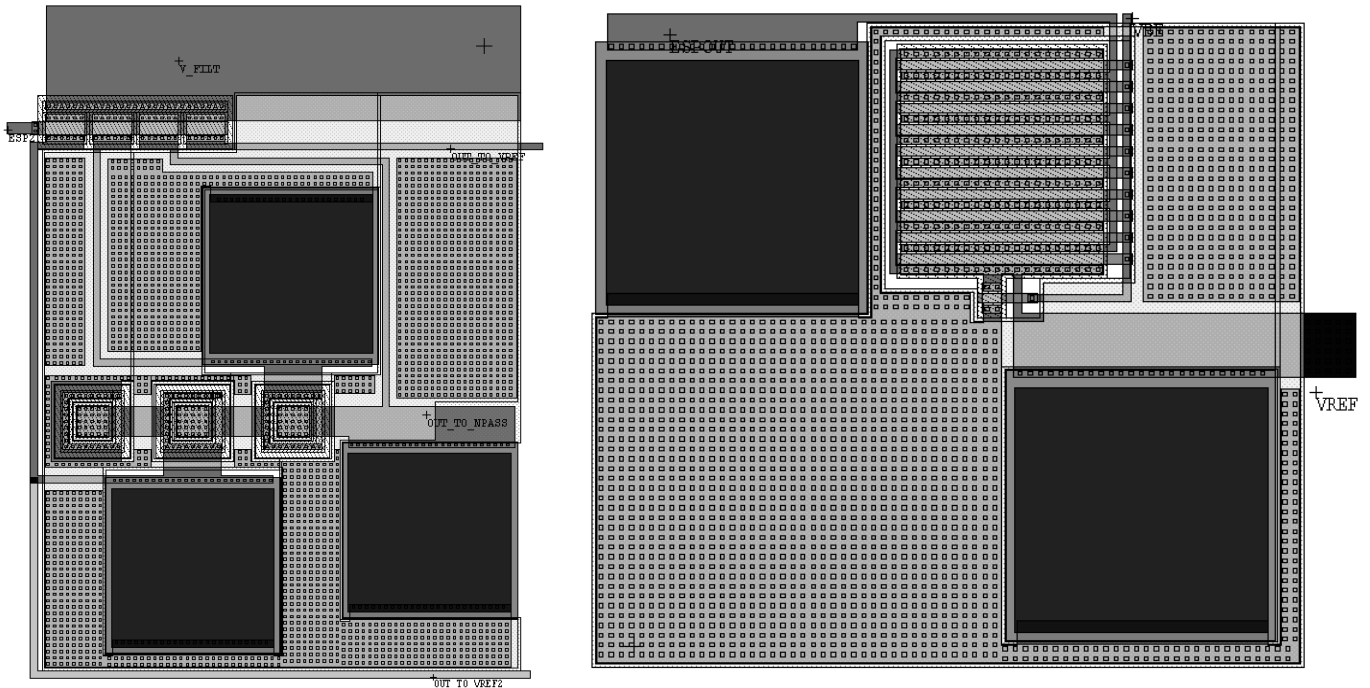


Figura 5.22 – Detalhes do Layout dos Circuitos de V_G e V_{REF}

5.3 PROJETO DO CIRCUITO AMOSTRADOR

A função do circuito amostrador, como indica o seu nome, é prover uma amostra do sinal de saída para ser comparado com V_{REF} através do Amplificador de Erro. Na grande maioria das aplicações, verifica-se o uso de um divisor resistivo para se alcançar este objetivo da amostragem. Neste projeto, entretanto, optou-se por usar uma solução alternativa em que os resistores (que ocupam muita área de silício quanto maiores forem) serão substituídos por transistores MOS.

O principal motivo para esta escolha é o fato de se poder controlar a corrente do circuito amostrador através da adoção de uma geometria adequada para os transistores MOS envolvidos na topologia. Outro ponto a ser observado é que resistores implementados em tecnologia CMOS tendem a ocupar uma área de silício comparativamente maior em relação aos transistores. Em alguns casos, existe a necessidade de se providenciar alguma forma de ajuste (“*trimming*”) externo para se alcançar os seus valores ótimos.

Em [97] tem-se uma idéia bastante interessante que é a utilização de transistores MOS para formar um resistor (controlado por tensão) aterrado (denominado aqui de Resistor MOS). A *Figura 5.23* mostra este circuito original.

Neste regulador, entretanto, não será utilizada a tensão de entrada não regulada para alimentar o Resistor MOS diretamente. Será incluído um estágio seguidor de fonte (semelhante ao que foi utilizado na solução da resposta em frequência), porém sem a preocupação com a dissipação de potência. Este procedimento de “isolação” de V_{IN} diminui a transferência das flutuações da tensão não regulada para a saída do regulador.

Deve ser observado, também, que a corrente I_{RES} precisa ser pequena quando comparada com a corrente nominal do regulador para não prejudicar a sua eficiência. Um valor alvo adotado neste projeto será de 1[%] de $I_{L(NOMINAL)}$, ou seja, aproximadamente 5[μA].

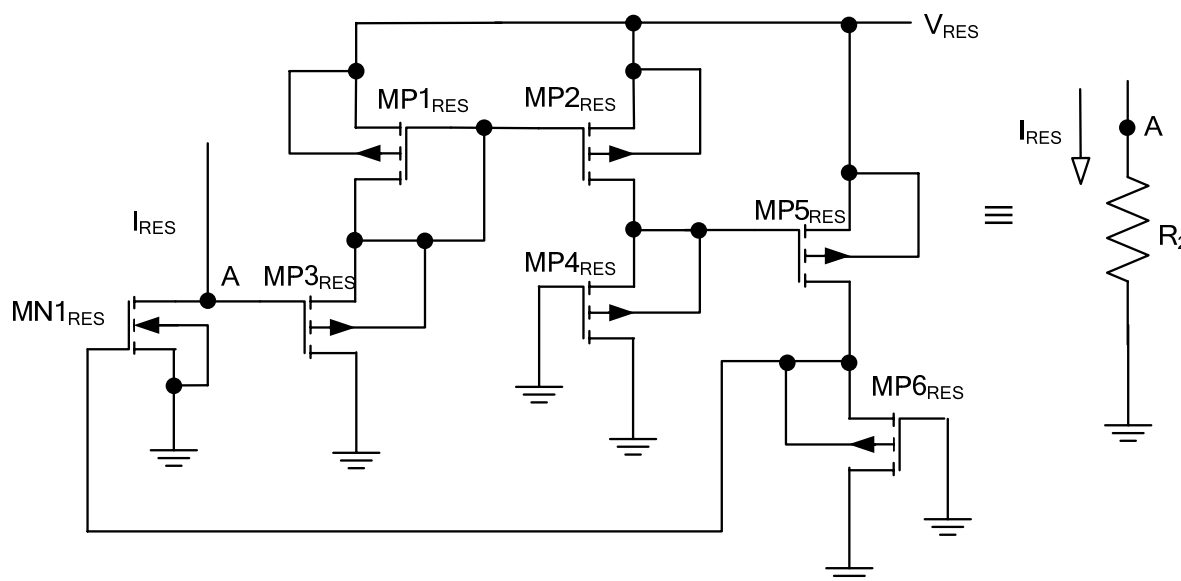


Figura 5.23 – Transistores MOS Emulando um Resistor Aterrado [97].

Usando-se a eq. (3.10) (Capítulo 3) e desprezando, em uma primeira aproximação, o valor da tensão de “offset” do operacional, pode-se avaliar a ordem de grandeza da relação entre os resistores R_1 e R_2 :

$$1 = \left(1 + \frac{R_1}{R_2}\right) 0,2 \Rightarrow \frac{R_1}{R_2} = 4 \quad (5.48)$$

Como a corrente I_{RES} foi fixada em $5[\mu A]$, outra relação envolvendo os resistores R_1 e R_2 pode ser expressa como:

$$1 = 5 \cdot 10^{-6} (R_1 + R_2) \Rightarrow R_1 + R_2 = 200 \quad [K\Omega] \quad (5.49)$$

Resolvendo, simultaneamente, as eqs. (5.48) e (5.49) chega-se aos valores de $160[K\Omega]$ e $40[K\Omega]$ para R_1 e R_2 respectivamente.

O aspecto de geometria para o transistor $MN1_{RES}$ pode ser 2/1 uma vez que ele transporta uma corrente semelhante ao transistor NMOS do espelho ($\approx 4,4[\mu A]$). É necessário, entretanto, avaliar os aspectos de geometria dos transistores PMOS ($MP1_{RES} \dots MP6_{RES}$) do arranjo. Para tanto, será executada uma simulação paramétrica dos valores de W destes transistores mantendo-se o $L=1[\mu m]$. A figura 5.24 representa o circuito que será simulado.

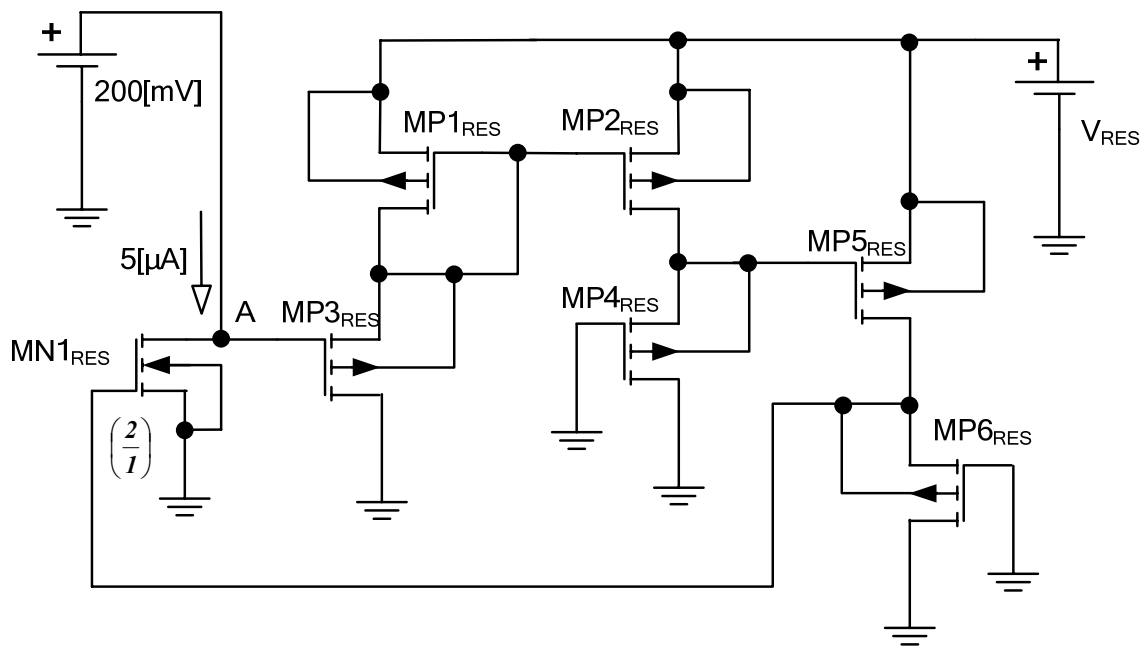


Figura 5.24 – Circuito para a Obtenção de $W_{(PMOS)}$ através de Simulação.

Observa-se que o nó A apresenta, desconsiderando o “offset” do Amplificador Operacional, o valor de V_{REF} ($200[mV]$) uma vez que este se encontra em um esquema de realimentação negativa e tem-se o conceito do curto circuito virtual. Também é necessário parametrizar a fonte V_{RES} para que se obtenha o melhor valor de $W_{(PMOS)}$ de forma que I_{RES} seja de $5[\mu A]$.

A simulação será feita então com duas análises DC SWEEP, uma para a varredura de W e outra (“secondary sweep”) para 3 diferentes valores de V_{RES} , a saber: 1[V], 1,2[V], 1,5[V].

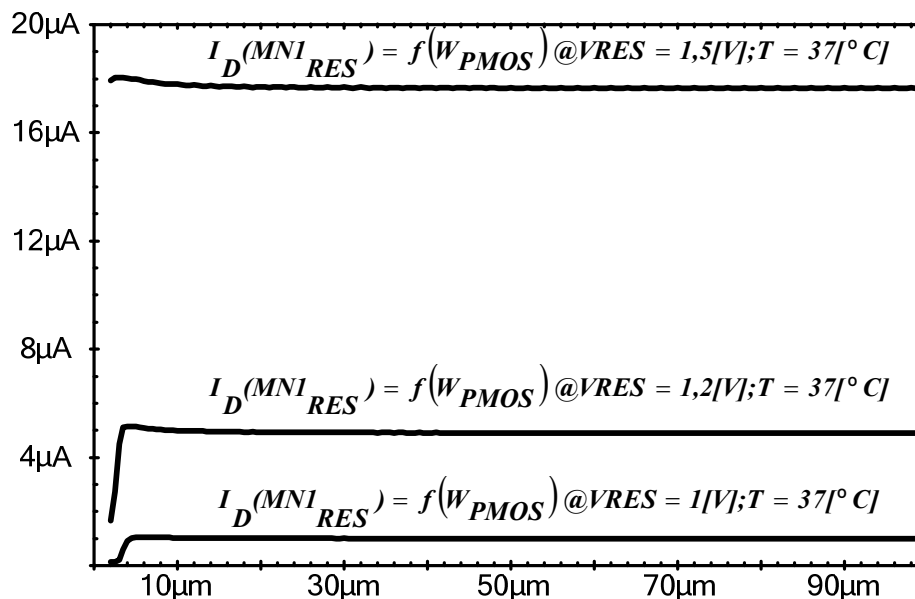


Figura 5.25 – Resultado da Simulação Paramétrica de $W_{(PMOS)}$.

O resultado da Figura 5.25 indica o valor de 1,2[V] para V_{RES} como o que mais se aproxima da corrente I_{RES} . Contudo, ainda existe uma ambigüidade a ser resolvida. Existem diversos valores de $W_{(PMOS)}$ que são solução. Para resolver para um único valor será adotada uma corrente de 1[μA] para cada ramo do arranjo PMOS. Assim, a fonte V_{RES} deverá ter um consumo de 3[μA]. Este procedimento visa diminuir o impacto do consumo de corrente da topologia Resistor MOS e não afetar, de forma significativa, a eficiência global do regulador.

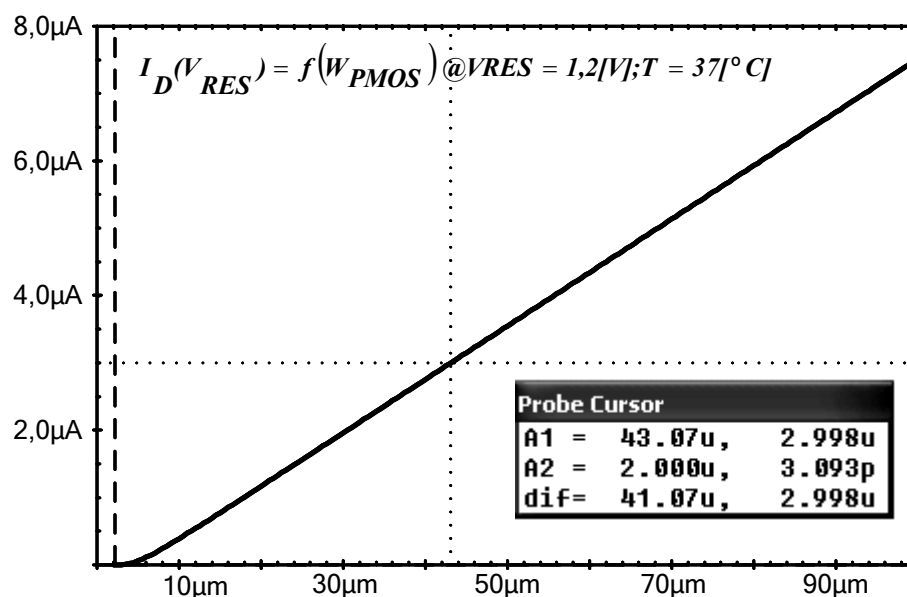


Figura 5.26 – Ajuste, pela Simulação, do Melhor Valor para $W_{(PMOS)}$.

A *Figura 5.26* traz o resultado da simulação do valor paramétrico de $W_{(PMOS)}$, porém com V_{RES} fixo em 1,2[V]. O valor de 43[μm] foi adotado, então, para os valores de $W_{(PMOS)}$.

A *Figura 5.27* mostra o posicionamento do seguidor de fonte em relação ao circuito do Resistor MOS sendo necessário, também, avaliar o seu aspecto de geometria.

Este transistor NMOS apresenta o fenômeno de efeito de corpo uma vez que a sua tensão V_{BS} é diferente de zero. Por inspeção desta figura verifica-se que V_{BS} é, em módulo, igual a V_{RES} , ou seja, 1,2 V. A sua tensão V_{GS} é $V_G - V_{RES}$ que resulta em 2[V]-1,2[V]=0,8[V] e a sua tensão V_{DS} é $V_{IN} - V_{RES}$, sendo igual a 2,2[V]-1,2[V] = 1[V].

Antes, será feita uma avaliação da sua tensão de limiar levando-se em conta o efeito de corpo. Para esta avaliação será considerado que o parâmetro γ tem um valor típico de 0,4[V⁻¹] e que o parâmetro $2\phi_F$ apresenta um valor típico de 600[mV]. A correção de V_{TH} é dada por:

$$V_{TH(N)} = V_{TH0(N)} + \gamma \left[\sqrt{2\phi_F + |V_{BS}|} - \sqrt{2\phi_F} \right] \quad [V] \quad (5.50)$$

Substituindo-se os valores disponíveis:

$$V_{TH(N)} = 0,516 + 0,4 \left[\sqrt{0,6 + 1,2} - \sqrt{0,6} \right] \approx 743 \quad [mV] \quad (5.51)$$

Aplicando-se a equação para a corrente I_D tem-se como única incógnita o aspecto de geometria W/L . Mais precisamente o valor de W uma vez que será adotado para L o valor de 2[μm] (para ajudar na rejeição das flutuações presentes na tensão não regulada V_{IN}). Lembrando que o arranjo PMOS consome 3[μA], tem-se:

$$I_D = \frac{KP}{2(1+\delta)} \left(\frac{W}{L} \right) (V_{GS} - |V_{TH0}|)^2 (1 + \lambda V_{DS}) \quad [A] \quad (5.52)$$

Com os valores:

$$\begin{aligned} 3 \cdot 10^{-6} &= 95,3 \cdot 10^{-6} \left(\frac{W}{2 \cdot 10^{-6}} \right) (0,8 - 0,743)^2 (1 + 0,096,1) \\ \left(\frac{W}{2 \cdot 10^{-6}} \right) &\approx 8,84 \Rightarrow W = 17,7 \quad [\mu m] \end{aligned} \quad (5.53)$$

Adotou-se um valor de 18[μm] para o W deste transistor.

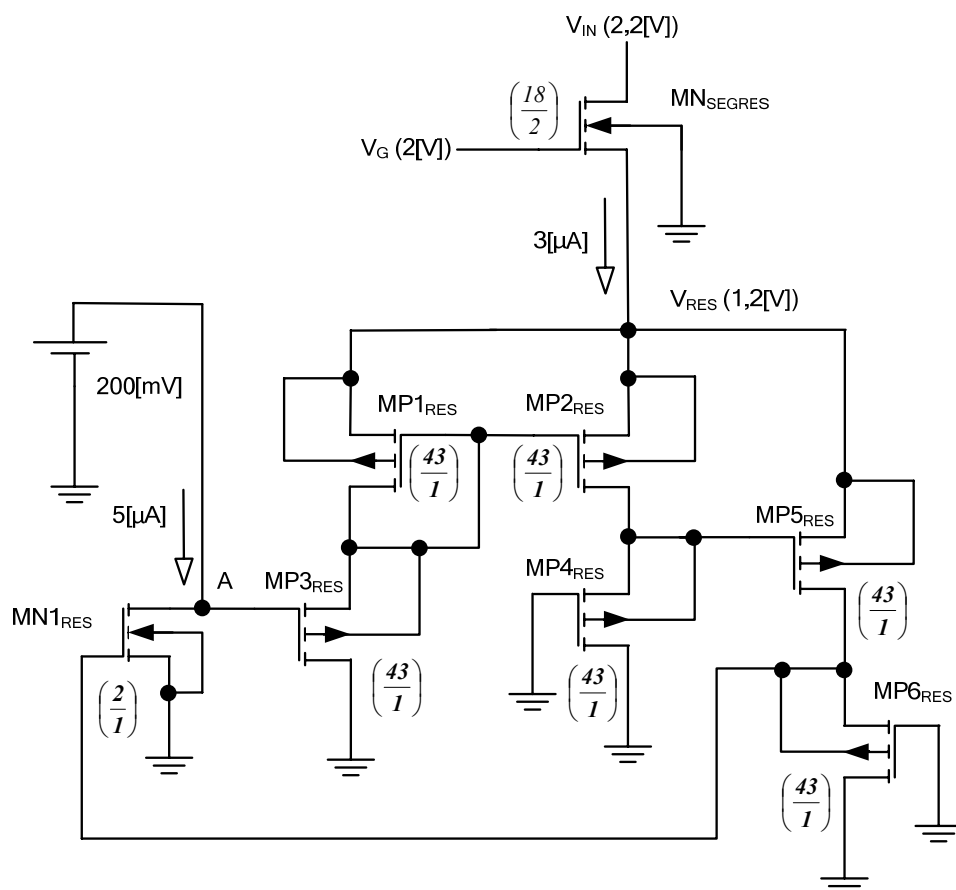


Figura 5.27 – Resistor MOS e o Seguidor de Fonte que o Polariza.

Para completar o circuito amostrador, é preciso outro resistor entre o nó A e o nó que corresponde à saída do Regulador LDO (V_{OUT}). Também aqui se optou pelo uso de um transistor ($MN2_{RES}$) emulando a presença de um resistor. Para evitar a presença de mais uma tensão de polarização, este transistor está em uma configuração do tipo “diodo”. O ajuste de seu aspecto de geometria é feito de forma que o nó correspondente a tensão de saída assuma o potencial de 1[V] (valor alvo). Usou-se a configuração da *Figura 5.28* em que o valor de W do transistor $MN2_{RES}$ foi varrido através de uma análise paramétrica (O valor de L foi alterado para 2[μm], pois este “resistor” é de maior valor).

Na simulação utilizou-se uma fonte de corrente DC de 5[μA] para representar a corrente I_{RES} . O valor de W idealizado é aquele para o qual a saída (OUT) atinge 1[V]. O resultado da simulação é apresentado na *Figura 5.29*.

Portanto, para um W de aproximadamente 3,15μm ajusta-se a relação do amostrador de tal forma que a tensão de saída seja de 1[V]. A *Figura 5.30* traz o “layout” do circuito Resistor MOS. Entretanto, quando de posse de todos os circuitos que compõem o Regulador de tensão, este valor de W será reavaliado para verificar alguma necessidade de ajuste com relação à tensão de saída.

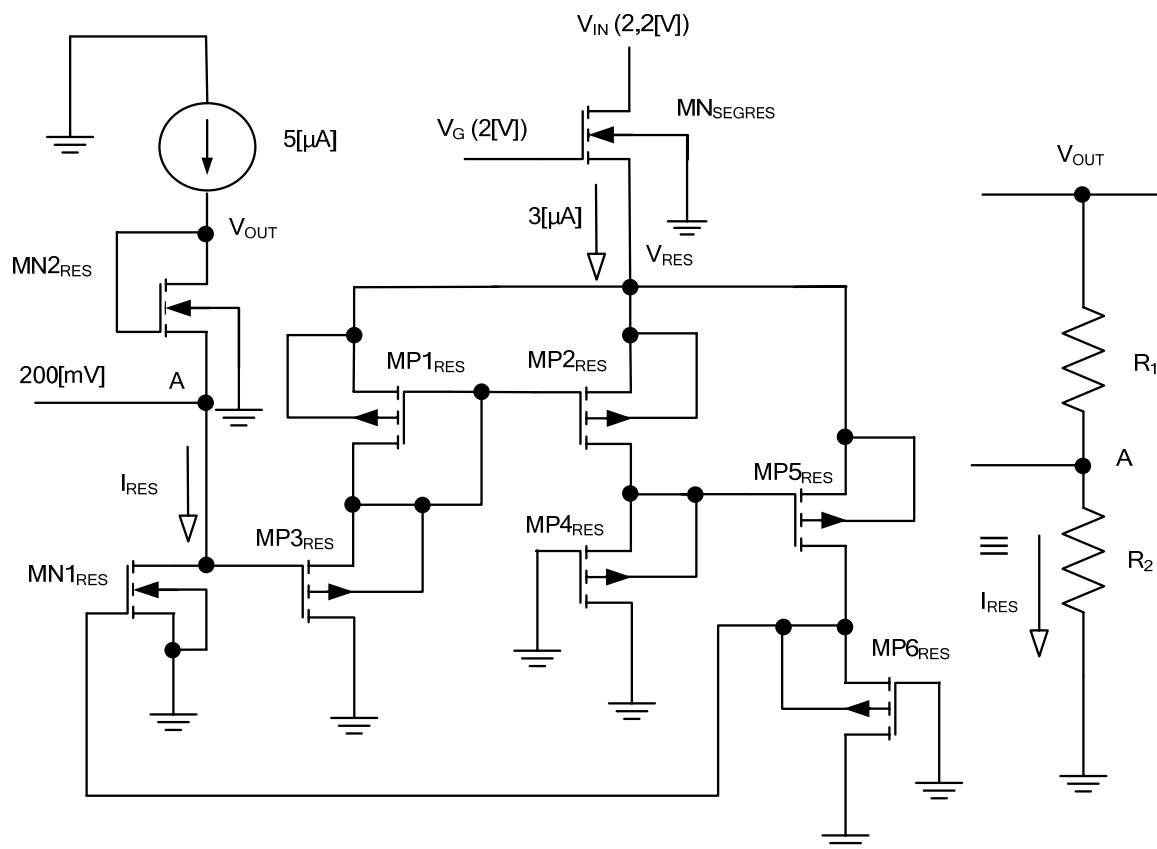


Figura 5.28 – Ajuste de W de $MN2_{RES}$ para que V_{OUT} seja $1[V]$ @ $37^{\circ}C$.

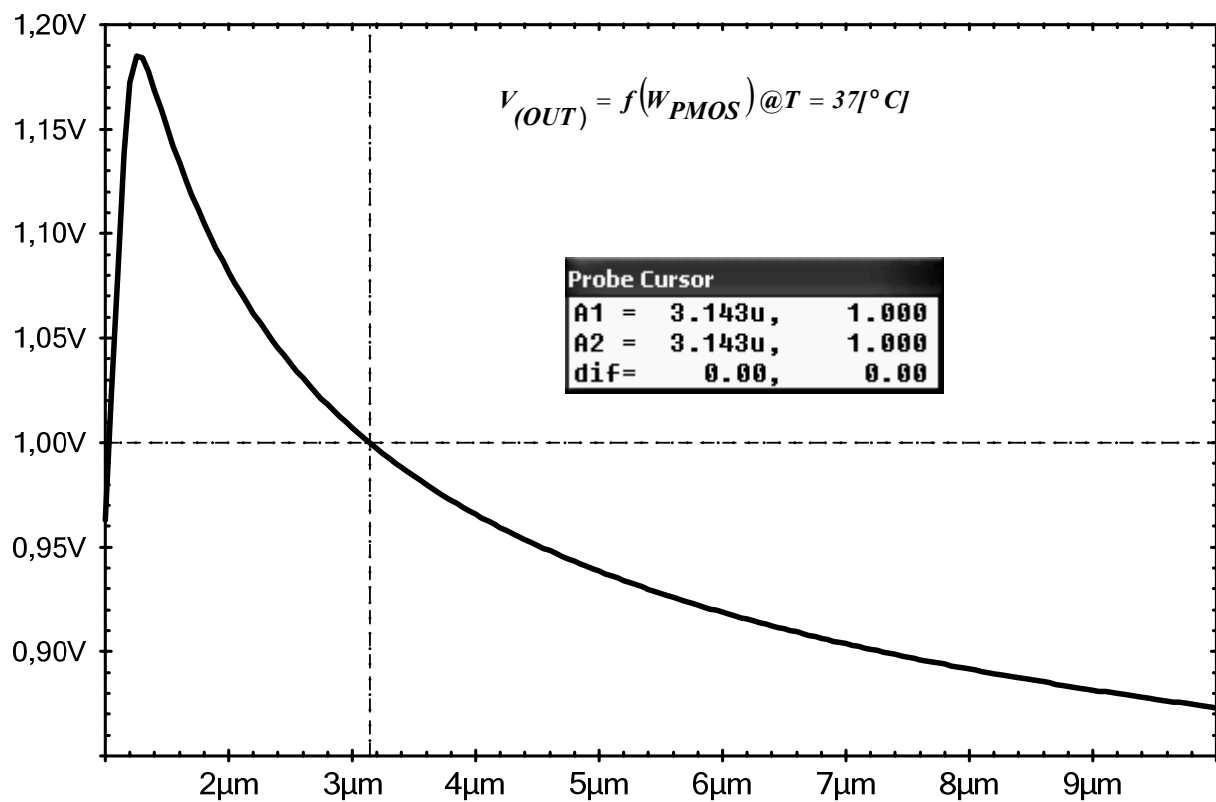


Figura 5.29 – Simulação para o ajuste de W de $MN2_{RES}$ @ $37^{\circ}C$.

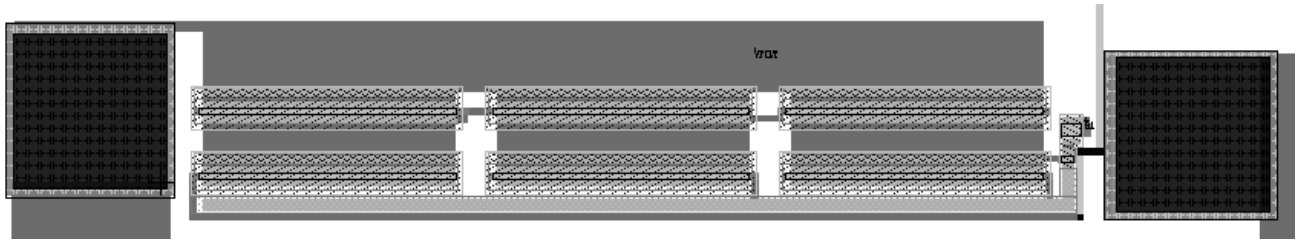


Figura 5.30 – Layout do Circuito Resistor MOS.

5.4 AJUSTE DAS GEOMETRIAS DOS TRANSISTORES DE PASSAGEM E DO ESTÁGIO SEGUIDOR DE FONTE

Neste item, serão apresentados os procedimentos que levaram à avaliação das geometrias dos transistores de Passagem (MP_{PASS}) e do estágio Seguidor de Fonte (MN_{SEG}). Também serão avaliadas as respectivas dissipações de potência, uma vez que representam parâmetros importantes tanto na eficiência do estágio quanto na segurança do usuário que estiver utilizando o implante. Em termos de potência, estes dispositivos são os que representam o maior consumo dentro da topologia do regulador proposto.

5.4.1 Considerações sobre as Tensões e Correntes Envolvidas

A *Figura 5.31* ilustra o posicionamento dos transistores de Passagem e do estágio Seguidor de Fonte ressaltando os principais sinais de corrente e tensão que os envolvem (valores já calculados anteriormente estão listados). O circuito amostrador está representado de forma simplificada através de dois resistores.

Para estabelecer a geometria do transistor de Passagem, duas considerações são importantes. Primeiro, a sua geometria deve suportar a corrente nominal da carga e a corrente a ser consumida pelo circuito amostrador e, em segundo lugar, por estar operando na região triodo, esta geometria também deve prover uma baixa resistência R_{DS} .

Para um transistor operando na região triodo, o equacionamento da resistência R_{DS} , que representa uma relação linear entre V_{DS} e I_D , é dada por [46]:

$$R_{DS} = \frac{1}{\beta_P (V_{GS} - V_{TH0(P)} - V_{DS})} \quad [\Omega] \quad (5.54)$$

Lembrando que o termo β na eq. (5.49) traz embutida a relação W/L , fica claro que uma forma de se diminuir o valor de R_{DS} é fazendo a opção por uma geometria grande. A princípio, será mantido o valor do comprimento do canal (L) em $1\mu m$, deixando como um parâmetro de ajuste o valor da largura (W). Tomando por base a *Figura 5.32* é possível, através de uma simulação paramétrica, ajustar o melhor valor de W para as condições listadas.

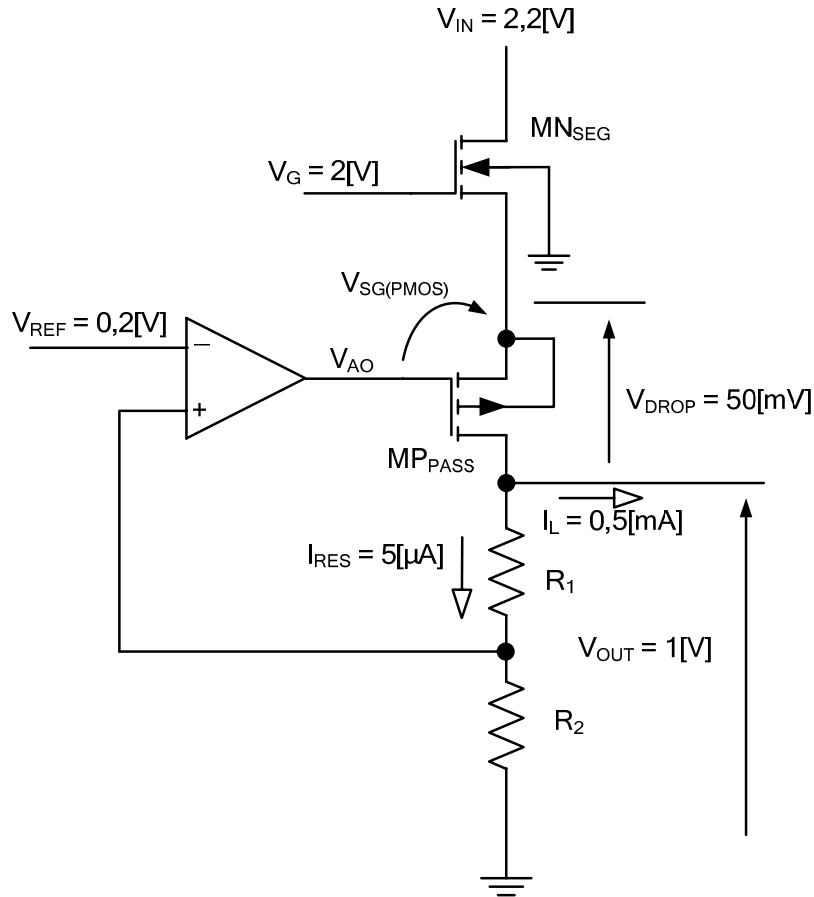


Figura 5.31 – Detalhe dos Transistores de Passagem e do Estágio Seguidor de Fonte.

Observar que a fonte de corrente I_L faz o papel do transistor NMOS do estágio Seguidor de Fonte, a fonte V_{OUT} coloca a tensão nominal do nó de saída (1[V]) e a fonte V_{AO} representa a tensão de saída do amplificador operacional.

Antes de se efetuar a simulação, é preciso estimar o valor de V_{AO} . Para tanto será considerado que a tensão de limiar do transistor PMOS é algo em torno de 250[mV] acima da tensão de limiar do NMOS, ou seja, aproximadamente 766[mV] (516[mV]+250[mV]) e, por inspeção do circuito, verifica-se que a tensão V_{AO} é:

$$V_{AO} = V_{OUT} + V_{DROP} - V_{SG} \quad [V] \quad (5.55)$$

Na eq. (5.55), existe mais um valor que precisa ser avaliado. É a tensão V_{SG} do transistor de passagem. A equação clássica que define o limite das regiões triodo e de saturação é dada, para um transistor PMOS, por:

$$|V_{SD}| \leq |V_{SG}| - |V_{TH0(P)}| \Rightarrow V_{SD} = V_{SG} - |V_{TH0(P)}| \quad [V] \quad (5.56)$$

Aplicando os valores apontados na *Figura 5.29*, e tomando o valor limite superior para a tensão V_{SD} , pode-se retornar a eq 5.55 e estabelecer o valor de V_{AO} . Com todos os valores de tensão em mãos, procede-se a simulação mencionada cujo resultado é ilustrado na *Figura 5.33*.

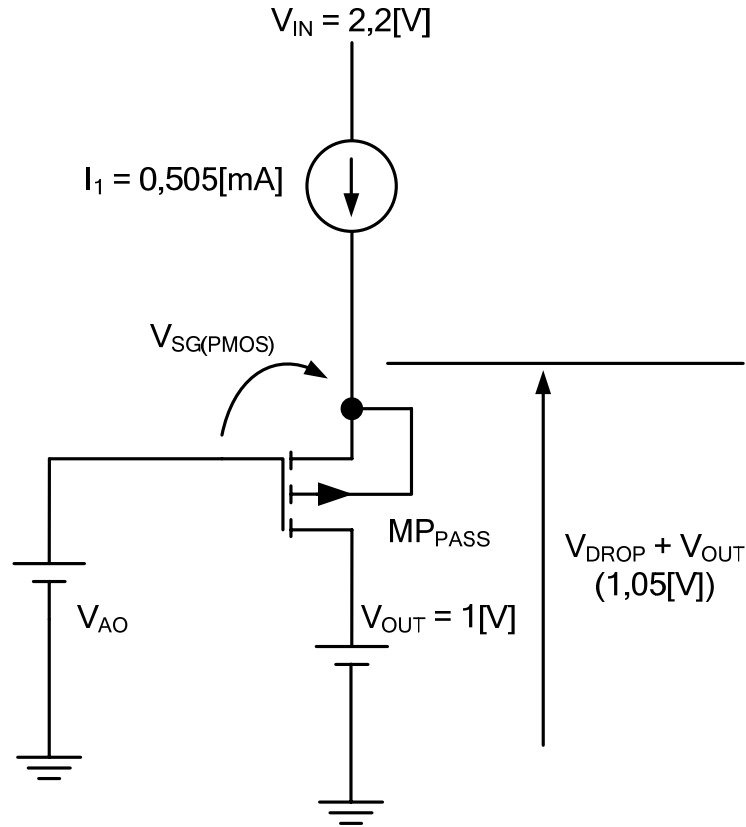


Figura 5.32 – Circuito para a Simulação e Obtenção do Valor de W .

Tem-se, então:

$$\begin{aligned} 50 \cdot 10^{-3} &= V_{SG} - 766 \cdot 10^{-3} \Rightarrow V_{SG} = 816 \quad [\text{mV}] \\ V_{AO} &= 1,05 - 0,816 = 234 \quad [\text{mV}] \end{aligned} \quad (5.57)$$

Portanto, a geometria recomendada para o transistor PMOS de Passagem é 2422/1. Por uma questão de facilidade de “layout” este valor será adotado em 2500/1. Deve-se levar em consideração que o sistema é realimentado e que quaisquer pequenas flutuações que possam ocorrer nas tensões que foram adotadas, a saída do Amplificador Operacional irá buscar um novo valor de ajuste de forma a conduzir a tensão de saída para a condição nominal.

Quanto ao transistor NMOS MN_{SEG} , o primeiro passo é verificar se ele opera realmente na região de saturação. Confirmada esta situação, basta aplicar a equação pertinente para este modo de operação e extrair a relação W/L . As informações de tensão e corrente estão todas disponíveis. Observar também que este transistor sofre o efeito de corpo uma vez que a sua Fonte se encontra em um potencial que vale $V_{OUT} + V_{DROP}$. A Figura 5.33 mostra a variação desta soma de tensões em função de W_{PMOS} . Para um valor de W de 2500[μm], a tensão V_{DROP} será inferior a ao valor alvo de 50[mV].

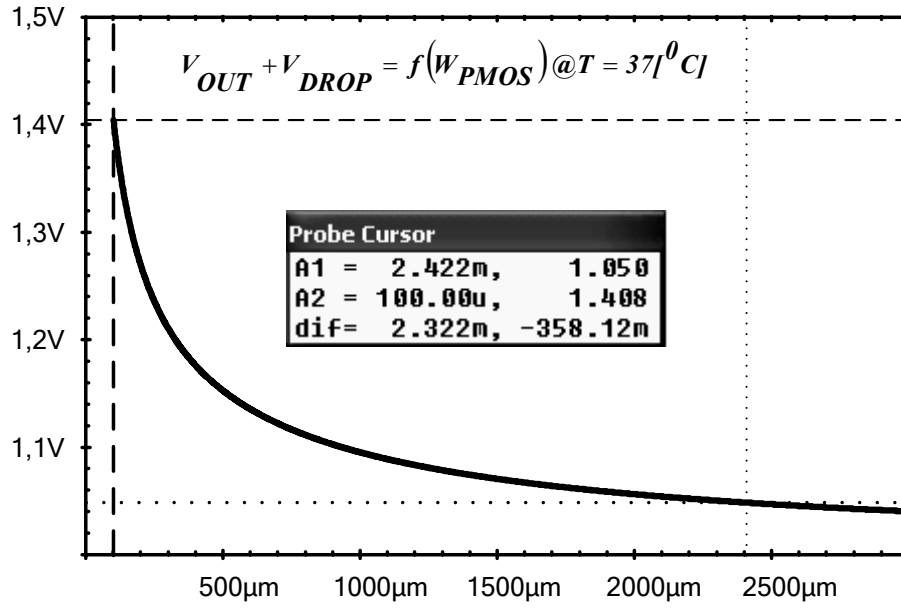


Figura 5.33 – Resultado da Simulação do Valor de W_{PMOS} .

Primeiramente, será calculado o valor de $V_{TH(N)}$ em decorrência do efeito de corpo:

$$V_{TH(N)} = V_{TH0(N)} + \gamma(\sqrt{2\phi_F + V_{BS}} - \sqrt{2\phi_F}) = 0,516 + 0,4(\sqrt{0,6 + 1,05} - \sqrt{0,6}) \approx 720 \text{ [mV]} \quad (5.58)$$

Para este transistor a tensão V_{GS} ($2,2[V] - 1,05[V] = 1,15[V]$) é maior que $V_{TH(N)}$ o que representa estar este elemento atuando em sua região de saturação. Usando-se a equação fundamental pode-se obter o valor do seu aspecto de geometria.

$$I_D = \beta_N (V_{GS} - V_{TH(N)})^2 \Rightarrow 0,505 \cdot 10^{-3} = 95,3 \cdot 10^{-6} \left(\frac{W}{L} \right) [(2 - 1,05) - 0,720]^2 \Rightarrow \left(\frac{W}{L} \right) \approx 100 \quad (5.59)$$

Para se obter uma melhor rejeição das ondulações presentes no sinal V_{IN} , o valor de L será aumentado para $10[\mu m]$. Assim, a largura do canal W é $1000[\mu m]$.

5.4.2 Potência Dissipada em MN_{SEG} e em MP_{PASS}

Como se tratam de dispositivos controlados por tensão (não existe consumo em regime permanente nos seus terminais de controle que são os “Gates” apenas um consumo transitório de carga e descarga das respectivas capacitâncias) basta fazer o produto $I_D \times V_{DS}$. Tem-se, portanto:

$$\begin{aligned} P_{D_{NMOS}} &= 0,505 \cdot 10^{-3} (2,2 - 1,05) \approx 580 \text{ } [\mu W] \\ P_{D_{PMOS}} &= 0,505 \cdot 10^{-3} \cdot 50 \cdot 10^{-3} \approx 25 \text{ } [\mu W] \end{aligned} \quad (5.60)$$

Ao se avaliar as potências dissipadas, verifica-se que existe um “preço a ser pago” para que a estabilidade do LDO não dependa de um componente externo, no caso, o capacitor eletrolítico com a sua respectiva R_{ESR} ou de outras soluções que incorporem circuitos adicionais, mas que também consomem potência e área de silício.

5.4.3 Capacitâncias de “Gate” dos Transistores MN_{SEG} e em MP_{PASS}

Como estes transistores apresentam uma geometria grande, é interessante avaliar as suas capacitâncias de Gate. No caso do transistor de Passagem, esta capacitância se reveste de uma importância maior uma vez que ela irá desempenhar um papel fundamental na resposta em frequência do Amplificador Operacional cujo projeto será alvo do próximo item.

Nesta avaliação, o documento T-035-MM-SP-002 da TSMC fornece a espessura (parâmetro SPICE T_{OX}) do SiO_2 , para ambos os transistores, que são respectivamente $7,5 \cdot 10^{-9}[m]$ e $7,7 \cdot 10^{-9}[m]$ para o NMOS e o PMOS. De posse destas espessuras e usando a permissividade dielétrica do Dióxido de Silício que é $3,45 \cdot 10^{-13}[F/cm]$, calcula-se a capacitância por unidade de área relativa à região do Gate dos transistores (parâmetro SPICE C_{OX}). As capacitâncias de “Overlap” podem ser desconsideradas, pois serão muito menores. Chega-se, então, aos valores já convertidos para $F/\mu m^2$:

$$\begin{aligned} C_{OX_{NMOS}} &= \frac{\epsilon_{OX}}{T_{OX}} = \frac{3,45 \cdot 10^{-13}}{7,5 \cdot 10^{-9}} \frac{1}{10^6 \cdot 10^4} \approx 4,6 \cdot 10^{-15} \left[\frac{F}{\mu m^2} \right] \\ C_{OX_{PMOS}} &= \frac{\epsilon_{OX}}{T_{OX}} = \frac{3,45 \cdot 10^{-13}}{7,7 \cdot 10^{-9}} \frac{1}{10^6 \cdot 10^4} \approx 4,48 \cdot 10^{-15} \left[\frac{F}{\mu m^2} \right] \end{aligned} \quad (5.61)$$

Como o transistor de Passagem atua na região triodo, as suas capacitâncias de Gate tanto em relação ao Dreno (C_{GD}) quanto em relação à Fonte (C_{GS}) serão iguais e respeitam a seguinte formulação:

$$C_{GS} = C_{GD} = \frac{1}{2} WLC_{OX} = \frac{1}{2} 2500 \cdot 1,4,6 \cdot 10^{-15} \approx 5,75 \cdot 10^{-12} [F] \quad (5.62)$$

Para o transistor NMOS do estágio Seguidor de Fonte, por operar na região de saturação, tem-se:

$$C_{GS} = \frac{2}{3} WLC_{OX} = \frac{2}{3} 1000 \cdot 10,4,48 \cdot 10^{-15} \approx 29,8 \cdot 10^{-12} [F] \text{ e } C_{GD} = 0 \quad (5.63)$$

A Figura 5.34, na sequência, ilustra a confecção do layout para estes dois transistores. Os dois transistores foram elaborados em uma estrutura “*multifinger*” para otimização de área de silício.

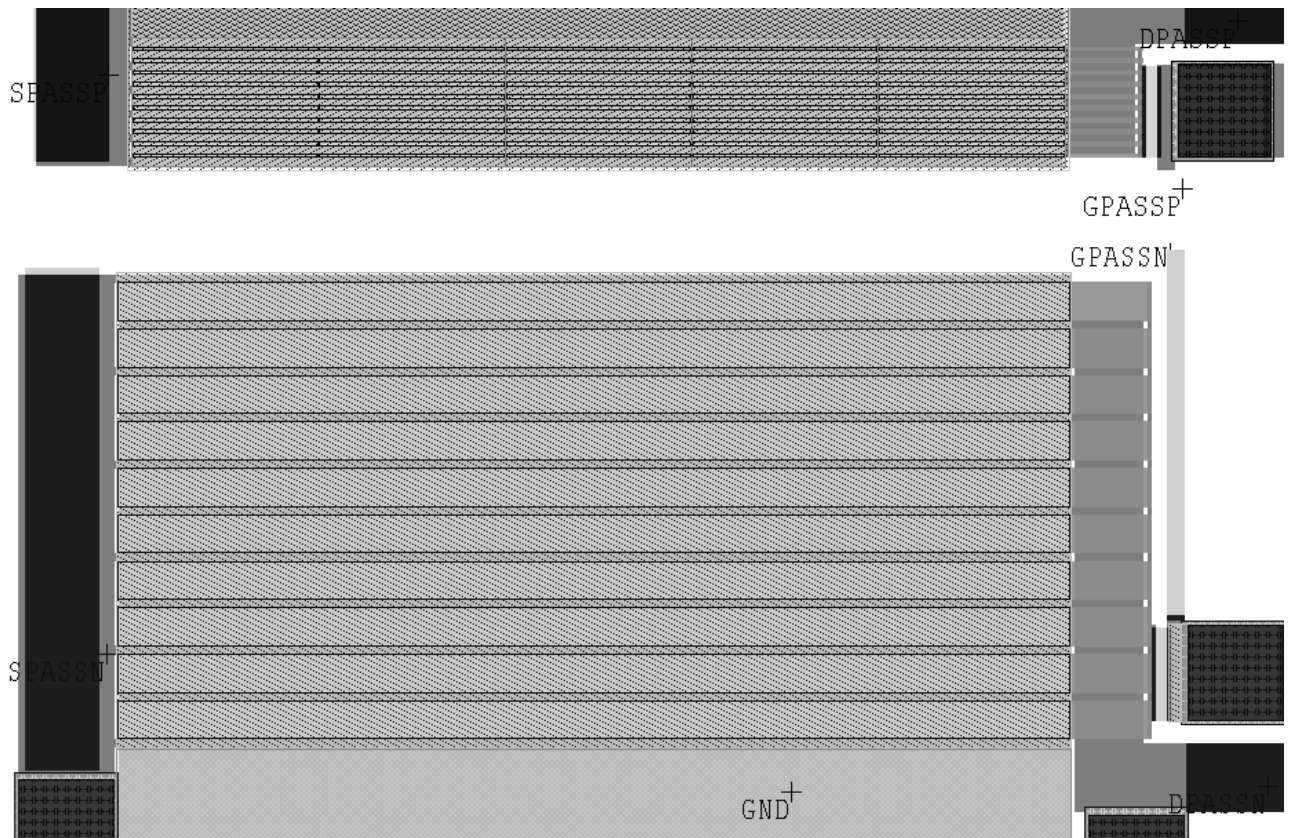


Figura 5.34 – Layout para os Transistores PMOS de Passagem e NMOS do Estágio Seguidor de Fonte

5.5 PROJETO DO AMPLIFICADOR DE ERRO

Neste item, será descrito o projeto do Amplificador de Erro e sua caracterização será feita através de um conjunto de simulações.

5.5.1 Considerações sobre a Topologia Adotada

O amplificador de erro nada mais é do que um Amplificador Operacional (AO). As principais características que deve apresentar quando dentro do contexto de um Regulador de Tensão são aquelas já apontadas no Capítulo 2. São revistas a seguir, incluindo-se alguns valores alvos a serem atingidos além de outras considerações pertinentes:

- ✓ Para que os efeitos da realimentação negativa do sistema que contém o AO sejam estabelecidos, é preciso um alto ganho em malha aberta (A_{OL}). Para o projeto deste AO está sendo proposto um ganho superior a 1000, ou seja, 60[dB];
- ✓ A sua rejeição com relação à tensão de alimentação não regulada V_{IN} (PSRR) deve ser alta também. A princípio uma rejeição maior que 100 vezes estará sendo o valor alvo. Isto representa uma PSRR melhor que -40[dB];

- ✓ Deve apresentar uma baixa tensão de “*offset*”. Para alcançar este objetivo são observados dois procedimentos. Primeiro, um bom casamento entre os estágios do AO para diminuir o “*offset*” sistemático e, em segundo lugar, uma confecção de “*layout*” usando topologias com centróide comum para minimizar o “*offset*” aleatório. Como um valor de partida considera-se algo em torno de 5mV;
- ✓ O AO deve ser projetado de forma a apresentar um baixo consumo de corrente quiescente, principalmente se comparado com o valor da corrente nominal de carga. Um valor alvo de 5 μ A (1[%] de I_L) está sendo proposto;
- ✓ Capacidade de operar a partir de uma tensão inferior à tensão nominal da tecnologia. Neste caso, operar a partir de uma alimentação nominal de 2,2[V];
- ✓ No que diz respeito à resposta em frequência, o pólo dominante do AO deve ser posicionado em uma frequência bem inferior aos outros pólos do LDO. Este aspecto será melhor abordado adiante neste item, assim como o posicionamento da sua frequência unitária. Valores alvos, a princípio, serão colocados em 100[Hz] para o pólo dominante e 500[KHz] para a frequência de ganho unitário. O sistema pode ser mais lento na sua resposta a um degrau de tensão de entrada, o que significa uma margem de fase por volta dos 70[°];
- ✓ Com relação a sua resposta transiente (“*Slew Rate*”, por exemplo), não é necessário um AO extremamente rápido. Tal fato se justifica pelo Regulador proposto ser pertencente a um sistema de biotelemetria em que as grandezas fisiológicas apresentam constantes de tempo muito mais lentas comparativamente às grandezas elétricas. Taxas de variação da tensão na ordem de 0,1[V/ μ S] são aceitáveis assim como tempos de acomodação na ordem de dezenas de [μ S].

A Tabela 5.7 resume os valores alvos descritos até então.

Uma das formas de se aumentar o ganho do Amplificador Operacional, além de melhorar o desempenho das Figuras de Mérito como PSRR e CMRR, é utilizando uma topologia do tipo “*folded-cascode*” [46], [98].

Outra característica interessante desta topologia é o fato da sua resposta em frequência, mais precisamente o seu pólo dominante, ser dependente do nó de saída (impedância de saída do estágio e capacitância de carga), não necessitando de circuitos e esquemas adicionais de compensação internos o que, certamente, aumentaria a complexidade, consumo de potência e área de silício.

Além disto, circuitos adicionais para fornecer as polarizações internas do AO poderiam ser caminhos de transporte para as flutuações da tensão de entrada não regulada V_{IN} .

Características	Valores Alvo
V_{DD} [V]	2,2
I_{DD} [μ A]	5
V_{OFF} [mV]	5
PSRR [dB] @10 [MHz]	30
Pólo Dominante [Hz]	100
f_{UG} [MHz]	500 [KHz]
ϕ_M	70°
SR [V/ μ S]	0,5
T_{SET} [μ S]	10

Tabela 5.7 – Valores Alvo para o Projeto do Amplificador Operacional.

Em [98-101] tem-se contribuições interessantes no sentido de se eliminar circuitos específicos para a geração dos níveis de polarização de uma estrutura “*folded-cascode*”. A configuração apresentada, denominada “*self-biased*” é bastante útil para o projeto em questão uma vez que se tem por objetivo a economia de consumo de corrente.

Portanto, optou-se por um projeto de um Amplificador Operacional do tipo “*self-biased folded-cascode*”. Para conferir mais flexibilidade ao seu uso e também aumentar a faixa de sinais em modo comum na entrada [102], [103] optou-se, também, para que ele operasse em uma condição “*rail-to-rail*” no estágio diferencial de entrada.

A *Figura 5.35*, na seqüência, traz a proposta topológica para o Amplificador Operacional pretendido. O AO proposto se inclui na categoria de Amplificadores denominados de OTA, ou seja, Amplificadores de Transcondutância, pois alimenta uma carga puramente capacitiva representada pela capacitância C_{GD} do transistor de passagem.

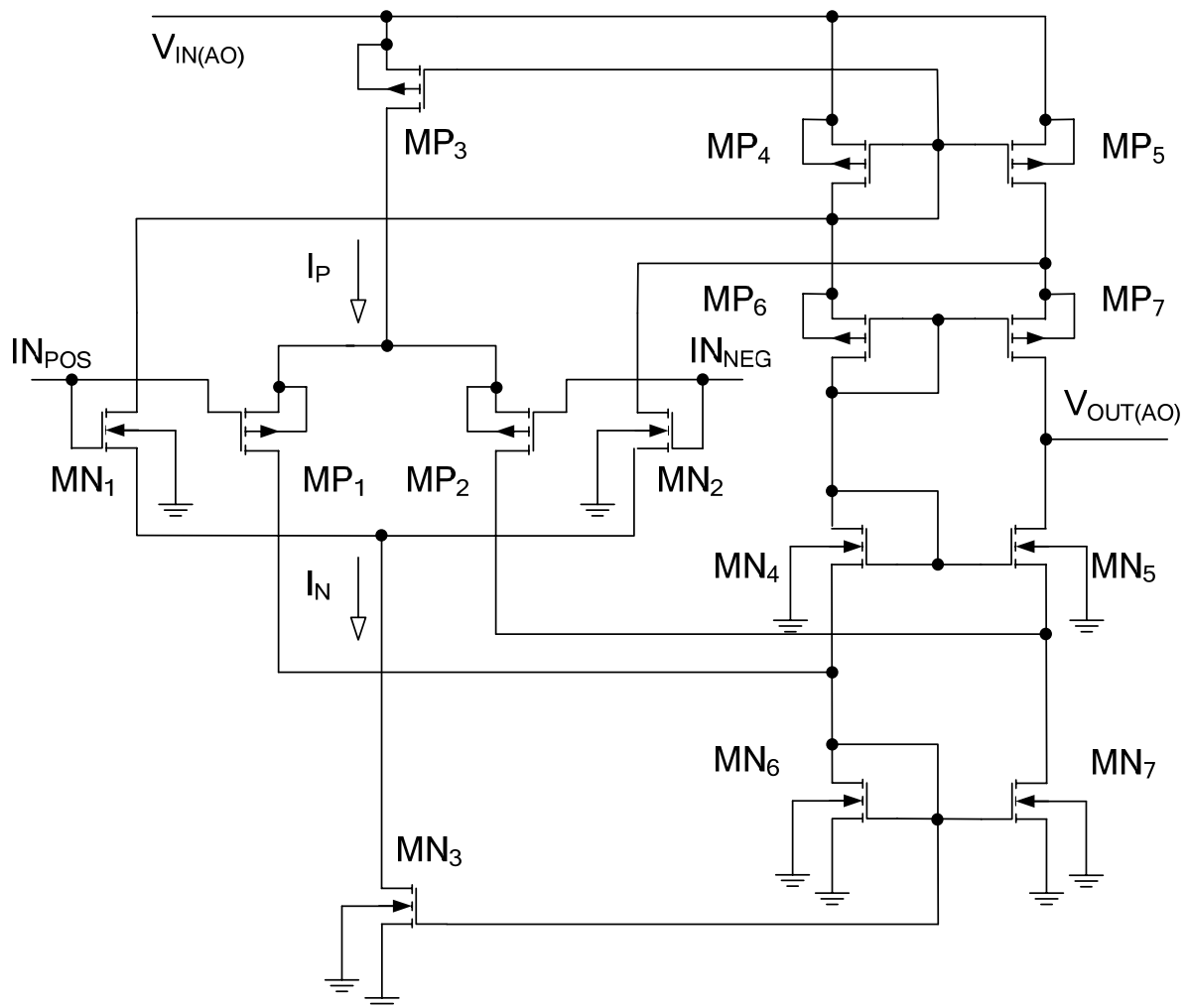
5.5.2 Ajuste das Geometrias dos Transistores

O primeiro ponto a se ressaltar para o desenvolvimento do AO, é observar que, pelo valor da tensão de alimentação (2,2 [V] nominal), existe a possibilidade de alguns transistores atuarem em regime de inversão fraca ou no limiar entre inversão fraca e inversão moderada. Isto significa aspectos de geometria com valores mais elevados.

A corrente de consumo do AO foi estipulada como sendo, no máximo, 1% do valor da corrente de carga, ou seja, menor que 5[μ A]. Analisando-se a *Figura 5.35*, observa-se que existem três ramos de corrente a partir da alimentação. Estas correntes, pela simetria do circuito, serão iguais e, por simplicidade, com um valor de aproximadamente 1[μ A].

Para iniciar a avaliação dos aspectos de geometria tomar-se-á por base a *Figura 5.36*. Nela está representado a porção inferior da configuração “*cascode*” composta pelos transistores NMOS. A proposta é

dividir igualmente a tensão de saída $V_{OUT(AO)}$ (tensão quiescente de 1,1[V] que também representa o terra analógico para este amplificador) para as tensões V_{GS} dos transistores MN_4 e MN_6 .



5.35 – Amplificador de Erro – Amplificador Operacional Folded-Cascode Self-Biased [94].

A tensão de 550[mV] será, também, o V_{GS} do transistor MN_3 que estabelece a corrente de cauda I_N . Como para estes transistores (MN_3 , MN_6 e MN_7) não existe o efeito de corpo pode-se utilizar a expressão clássica para determinar os seus aspectos de geometria:

$$I_D \approx \frac{KP}{2(1+\delta)} \left(\frac{W}{L} \right) (V_{GS} - |V_{TH0}|)^2 \quad [A] \quad (5.64)$$

E, substituindo-se os valores conhecidos chega-se a:

$$1.10^{-6} \approx 95.3.10^{-6} \left(\frac{W}{L} \right) (0.55 - 0.516)^2 \Rightarrow \left(\frac{W}{L} \right) \approx 9 \quad (5.65)$$

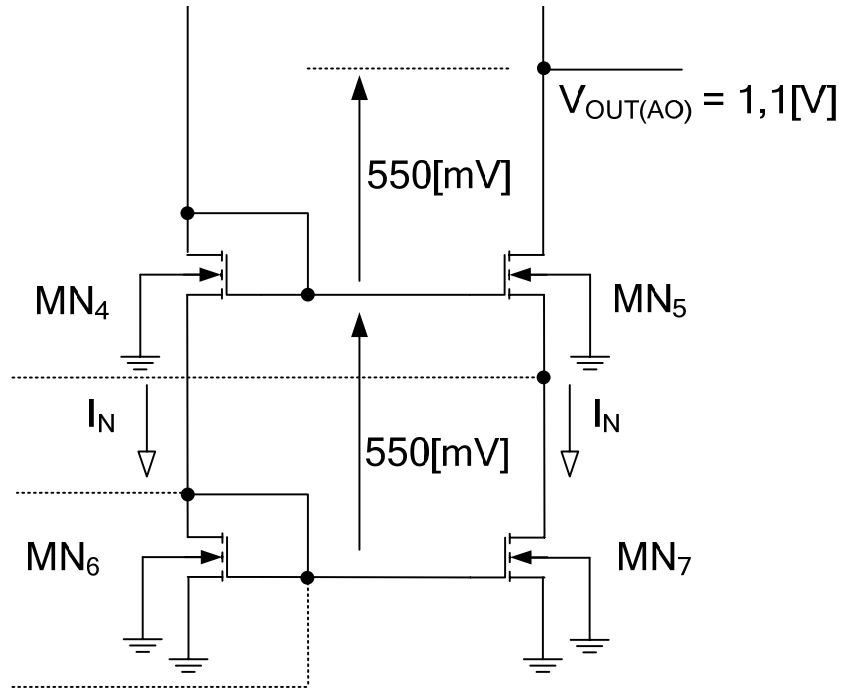


Figura 5.36 - Divisão Equalitária da Tensão de Saída (“Bias Point”).

Como L está sendo mantido em $1[\mu\text{m}]$, o valor de W para estes transistores será de $9[\mu\text{m}]$.

Para os transistores do par diferencial N , existe a necessidade de se avaliar o seu V_{TN} uma vez que eles estão com seus terminais de Fonte em potenciais acima de zero. Aqui será admitido que a tensão V_{DS} da fonte de corrente (transistor MN_3) é de $550[\text{mV}]$ (metade da tensão referente ao terra analógico) como ilustrado na Figura 5.37.

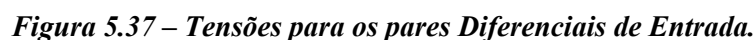
Equacionando primeiramente o efeito de corpo para os transistores MN_1 e MN_2 , tem-se:

$$V_{TH(N)} = 0,516 + 0,4 \left[\sqrt{0,6 + 0,55} - \sqrt{0,6} \right] \approx 635 \quad [\text{mV}] \quad (5.66)$$

Este valor de V_{TH} pode ser usado, agora, na equação clássica de corrente. Embora cada um dos transistores do par diferencial consuma, em seu ponto de polarização, metade da corrente de cauda, deve ser considerada a possibilidade de o amplificador trabalhar com toda a excursão do sinal da entrada (um dos transistores do par pode estar conduzindo plenamente e o outro cortado). Então, para efeito de cálculo de seu aspecto de geometria, será atribuído o valor de $1[\mu\text{A}]$ que é a própria corrente de cauda.

Na condição quiescente, os valores das entradas I_{NPOS} e I_{NNEG} são de $1,1[\text{V}]$ (terra analógico) o que significa que os transistores MN_1 e MN_2 têm um V_{GS} de $0,55[\text{V}]$. Portanto, atuando na região de inversão fraca. Avaliando-se I_D com o uso da equação pertinente:

$$I_D = I_x \left(\frac{W}{L} \right) \exp \left(\frac{V_{GS} - V_{TH}}{nU_T} \right) \quad [\text{A}] \quad (5.67)$$


$$1.10^{-6} \approx 103,1.10^{-9} \left(\frac{W}{L} \right) \exp \left(\frac{0,55 - 0,635}{45 \cdot 10^{-3}} \right) \Rightarrow \left(\frac{W}{L} \right) \approx 64 \quad (5.68)$$

Pela simetria do circuito, os transistores MN₄ e MN₅ atuam de forma semelhante, em termos de polarização, aos transistores do par diferencial. Nestes transistores, entretanto, a corrente será metade da corrente de cauda. Então, será atribuído a eles um valor de W de 32 [μm].

Resta estabelecer os aspectos de geometria para os transistores PMOS. Mantendo-se o L em 1 [μm] será realizada uma simulação paramétrica do valor de W para se obter o ponto ótimo que corresponde à tensão de 1,1[V] para $V_{OUT(AO)}$. A *Figura 5.38* mostra o resultado desta simulação.

Para reduzir o consumo de área de silício, na variação paramétrica de $W_{(PMOS)}$ considerou-se a metade deste valor no transistor MP₃ responsável pela corrente de cauda I_p .

99

quiescente é de aproximadamente 7,7[μW]. O valor otimizado de W adotado é de 272[μm] e 136[μm] nos transistores PMOS que utilizam metade como citado acima.

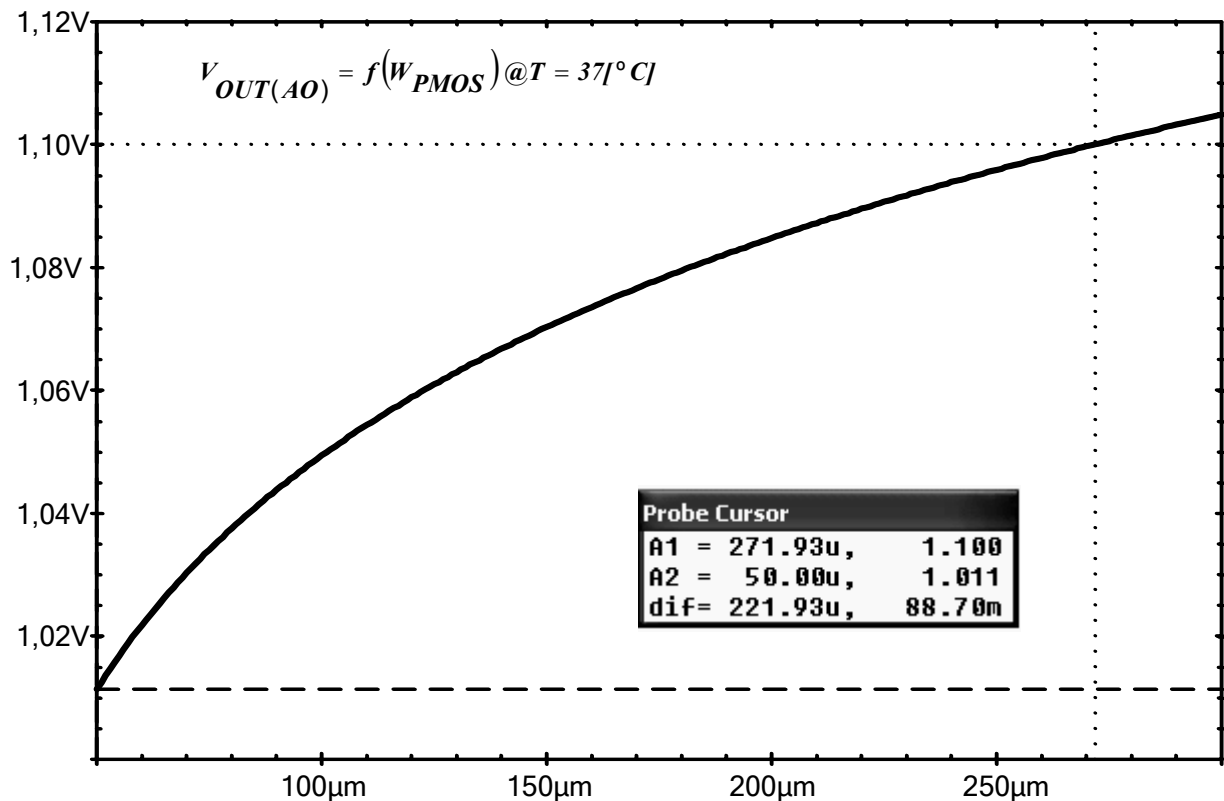


Figura 5.38 – Simulação para Ajuste de $W_{(PMOS)}$ ótimo.

5.5.3 Caracterização do Amplificador Operacional por Simulação

Estando a condição quiescente ajustada, pode-se passar a apresentar uma série de simulações que caracterizam o desempenho do Amplificador Operacional. As simulações serão voltadas para a extração de características DC e AC. Nas avaliações das características AC, a capacitância de carga (C_L) será representada pela capacitância de “Gate” do transistor de Passagem. Este valor já foi estimado no item 5.4.3 e vale aproximadamente 5,75[pF].

Avaliação do CMR (“Common-Mode Input Range”)

Esta Figura de Mérito é importante para AOs que trabalham com excursões “rail-to-rail”. Com o AO conectado como “Buffer”, varia-se a tensão na entrada não inversora dentro do limite imposto pela alimentação (no caso de 0 a 2,2V). A Figura 5.40 traz o resultado desta simulação.

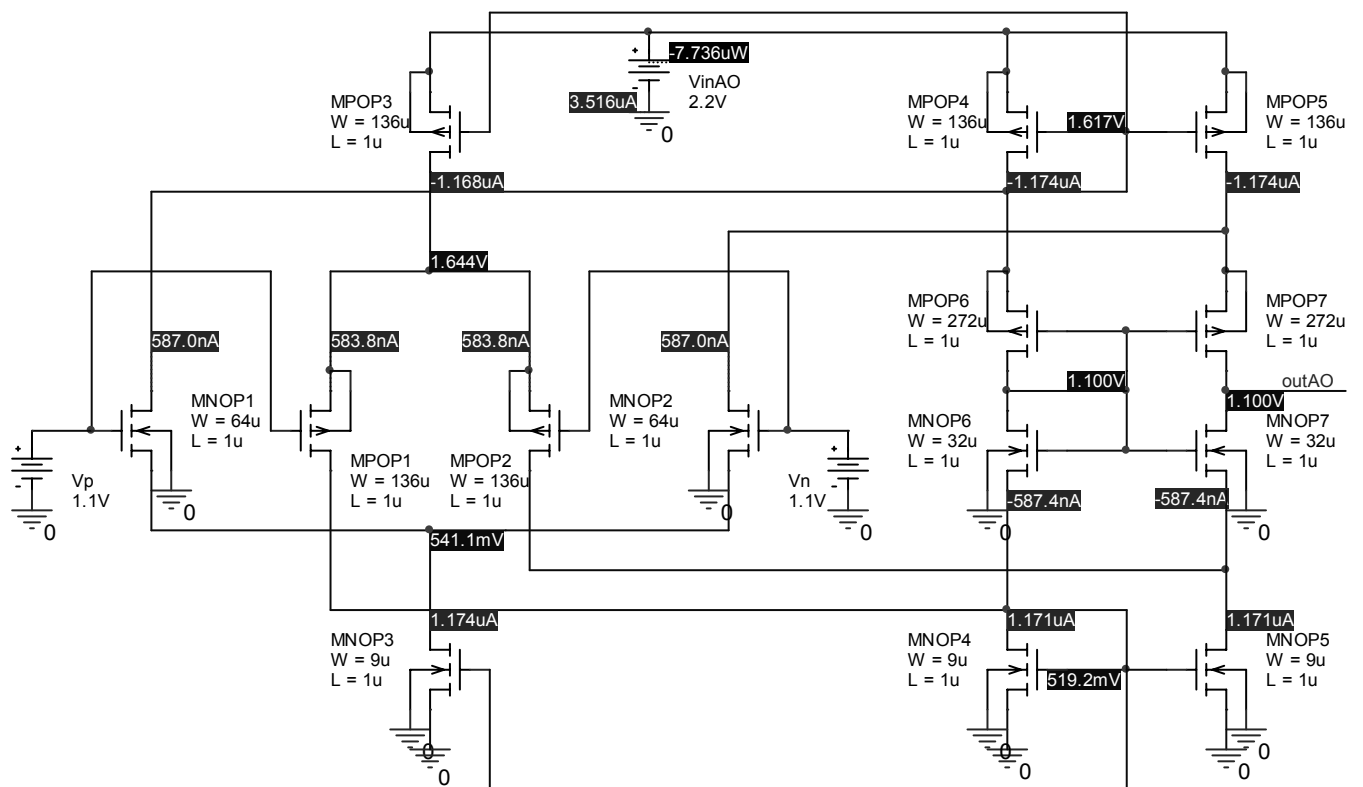


Figura 5.39 – Resultado dos Valores Quiescentes de Tensão e Corrente em alguns Pontos do Amplificador @ $T=37 [^{\circ}C]$.

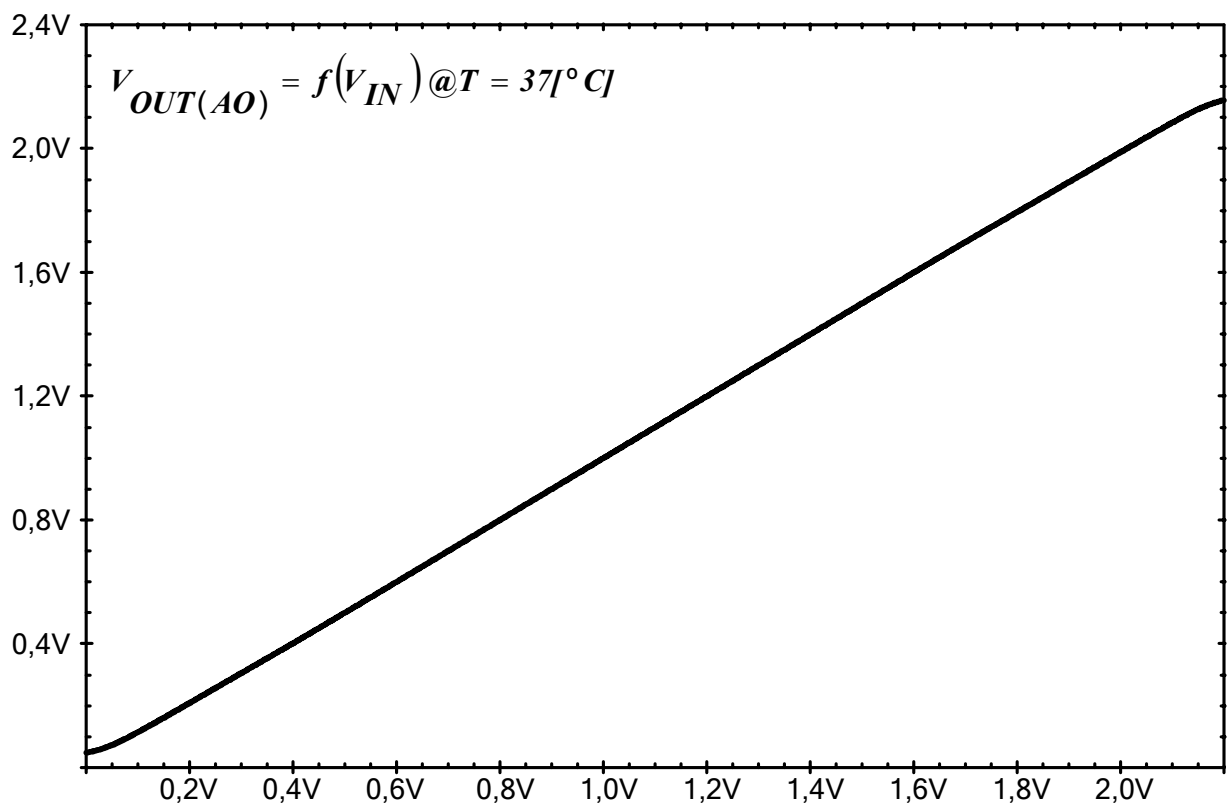


Figura 5.40 – Simulação da CMR para $V_{IN(AO)}=2,2[V]$ e $T=37 [^{\circ}C]$.

Na conexão de Ganho Unitário, a linearidade da curva de transferência é limitada pela CMR. Como se observa, a CMR está compreendida, aproximadamente, entre $V_{SS} + 100[\text{mV}]$ e $V_{DD} - 100[\text{mV}]$, ou seja, entre $100[\text{mV}]$ e $2,1[\text{V}]$.

Avaliação do “Offset” Sistemático

Usando ainda a configuração “Buffer”, aplica-se um sinal de terra analógico ($1,1[\text{V}]$) na entrada não inversora (IN_{POS}) verificando-se o valor da tensão de saída. Por se tratar de uma simulação que envolve somente ponto de operação, não será gerada uma curva de saída. A *Figura 5.41* a seguir reproduz o circuito com os dois pontos de interesse. Aumentou-se a precisão dos cursores indicativos para 10 casas decimais. Como se pode observar existe uma diferença de $6[\text{nV}]$ entre estas duas tensões dentro do grau de precisão estabelecido pelo simulador. Isto significa que existe um casamento otimizado entre os estágios.

Avaliação do Ganho em Malha Aberta (A_{OL}) e da Margem de Fase (ϕ_M)

Para esta simulação, é necessário utilizar a configuração ilustrada na *Figura 5.42*. Usa-se uma realimentação negativa com um indutor e um capacitor de altos valores (nesta simulação colocou-se $10^{12} [\text{F}]$ e $10^{12} [\text{H}]$ para o capacitor e indutor, respectivamente) de forma a não influenciar com a presença de pólos e zeros dentro da faixa de interesse. A *Figura 5.43* tem os resultados para módulo e fase.

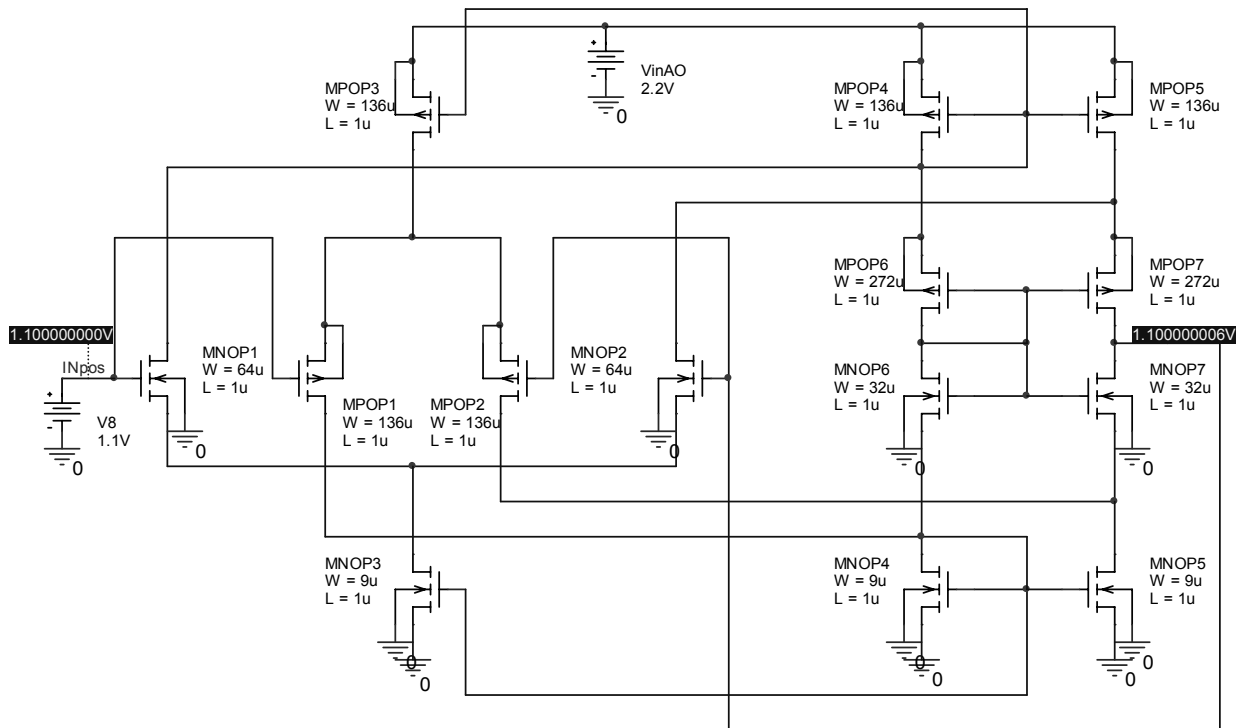


Figura 5.41 – Simulação para Avaliação do Offset Sistemático @ $V_{IN(AO)}=2,2[\text{V}]$ e $T=37[^\circ\text{C}]$.

Considerando-se o sinal DC, existe uma ligação através do indutor (curto circuito) que configura o AO em um “Buffer” fazendo com que todos os sinais quiescentes de polarização se auto-ajustem. Já para o sinal AC, o indutor se apresenta como um circuito aberto desfazendo o elo de realimentação. Ao mesmo tempo, o capacitor atua como um curto circuito aterrando a entrada inversora.

Ressalta-se, novamente, que carregamento capacitivo é representado pela capacitância de “Gate” do transistor de Passagem (mais especificamente C_{GS}). A simulação é feita com uma fonte do tipo AC (ajustada em 1 [V]) na entrada não inversora cujo valor DC deverá estar no terra analógico (1,1 [V])

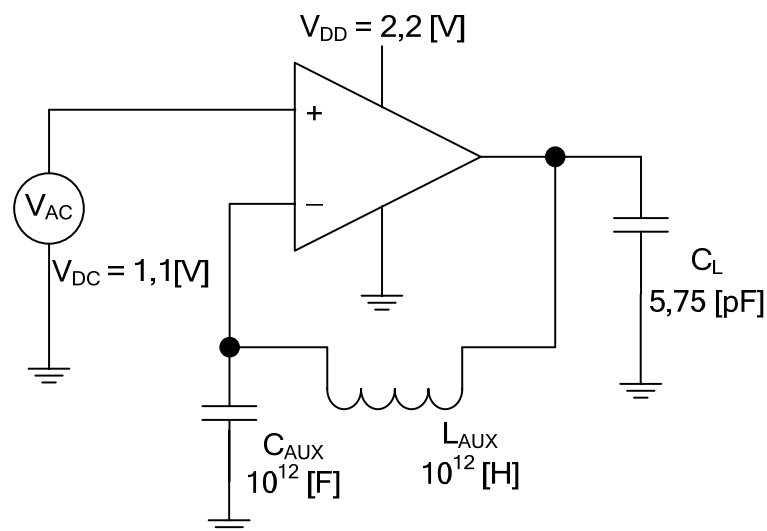


Figura 5.42 – Configuração para a Simulação do Amplificador Operacional em Malha Aberta.

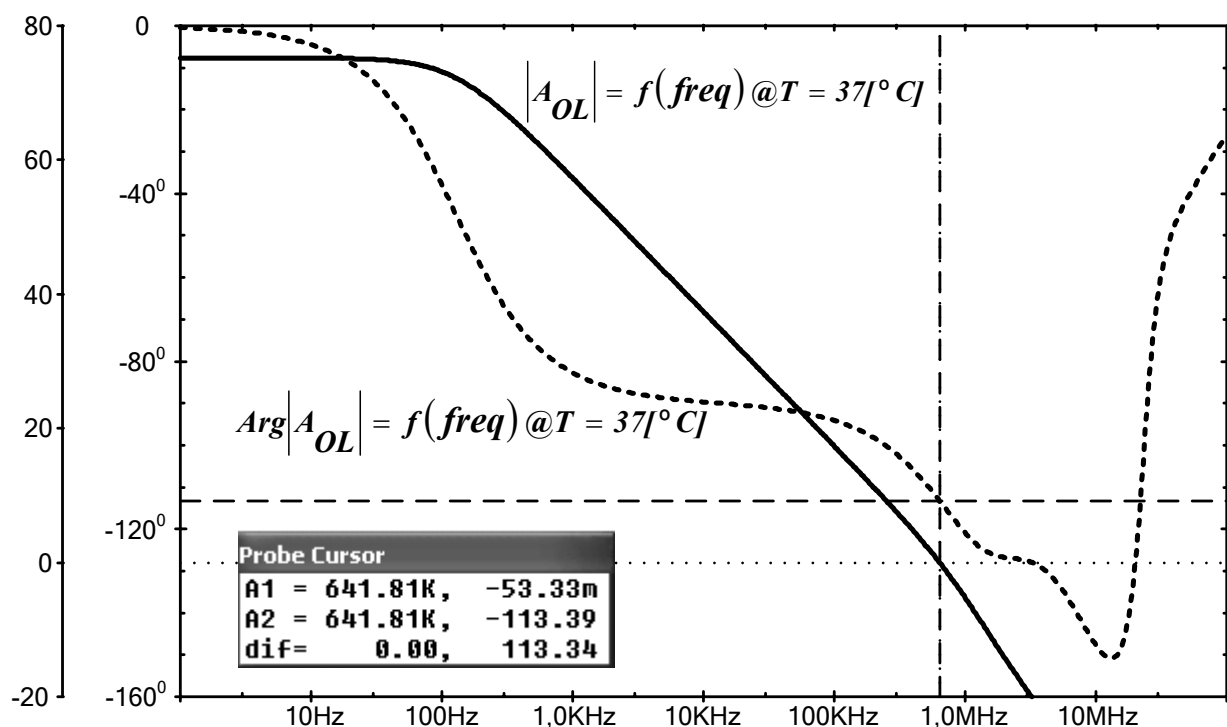


Figura 5.43 – Simulação em Malha Aberta Destacando a Frequência Unitária e a Margem de Fase para $V_{IN(AO)}=2,2[V]$ e $T=37[^\circ C]$.

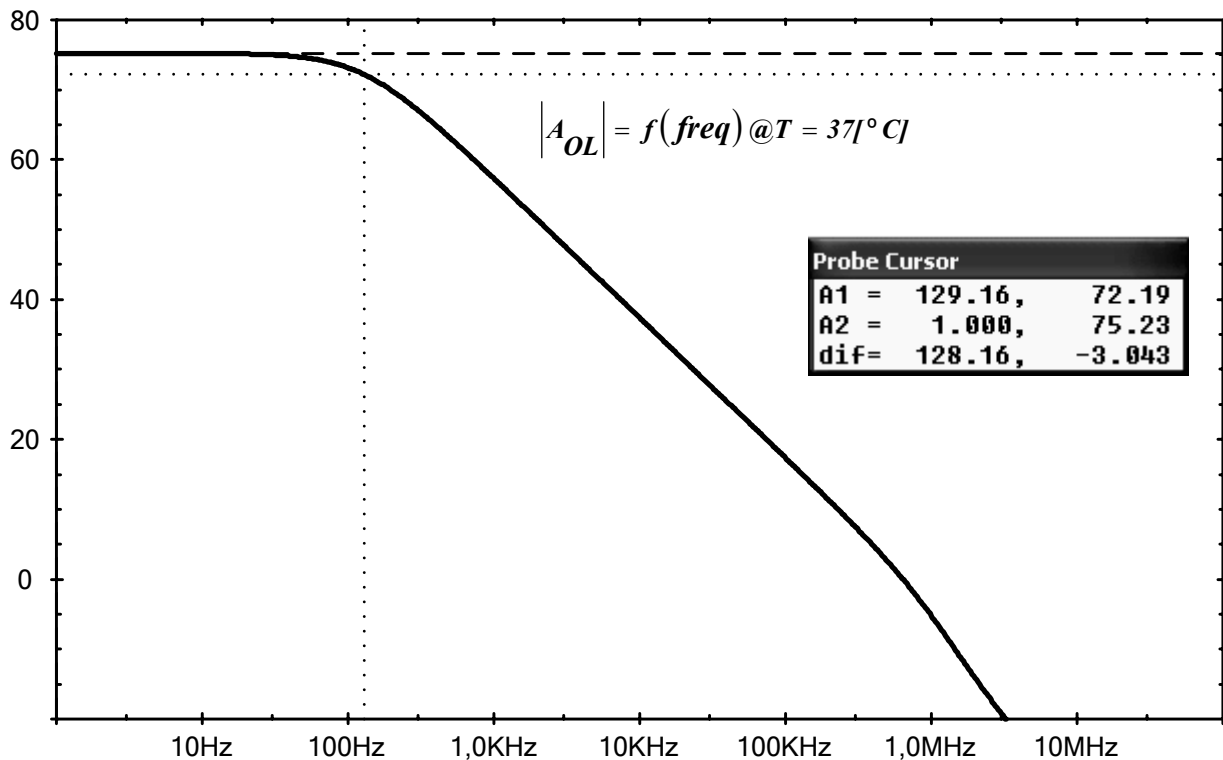


Figura 5.43 – Simulação em Malha Aberta Destacando o Ganho em Malha Aberta e o Pólo Dominante @ $V_{IN(AO)}=2,2[V]$ e $T= 37[^\circ C]$

Verifica-se que o ganho DC (A_{OL}) é de 75,23 [dB] (que corresponde a aproximadamente 5775 em valor absoluto) estando o pólo dominante posicionado em aproximadamente 130[Hz]. A margem de fase é calculada como a diferença, em módulo, que existe entre a fase do sinal de saída e -180° quando o ganho é unitário (0[dB]). Observa-se um valor aproximado de $|-180^\circ| - |-113,39^\circ| \approx 66,6[^\circ]$. A frequência de ganho unitário (f_{UG}) é de aproximadamente 642 [KHz].

Avaliação do PSRR

Nesta avaliação, o AO é conectado como “Buffer” e tem a sua entrada não inversora com o potencial do terra analógico. A fonte de alimentação V_{IN} passa a ser do tipo AC com um valor DC que representa o valor nominal de 2,2[V]. A Figura 5.44 mostra o resultado desta simulação. Está destacado um ponto de interesse que corresponde à frequência de operação do enlace de RF (10[MHz]). Mantém-se a capacitância de carga C_L . Para esta frequência de 10[MHz], encontra-se uma PSRR de -35,9[dB].

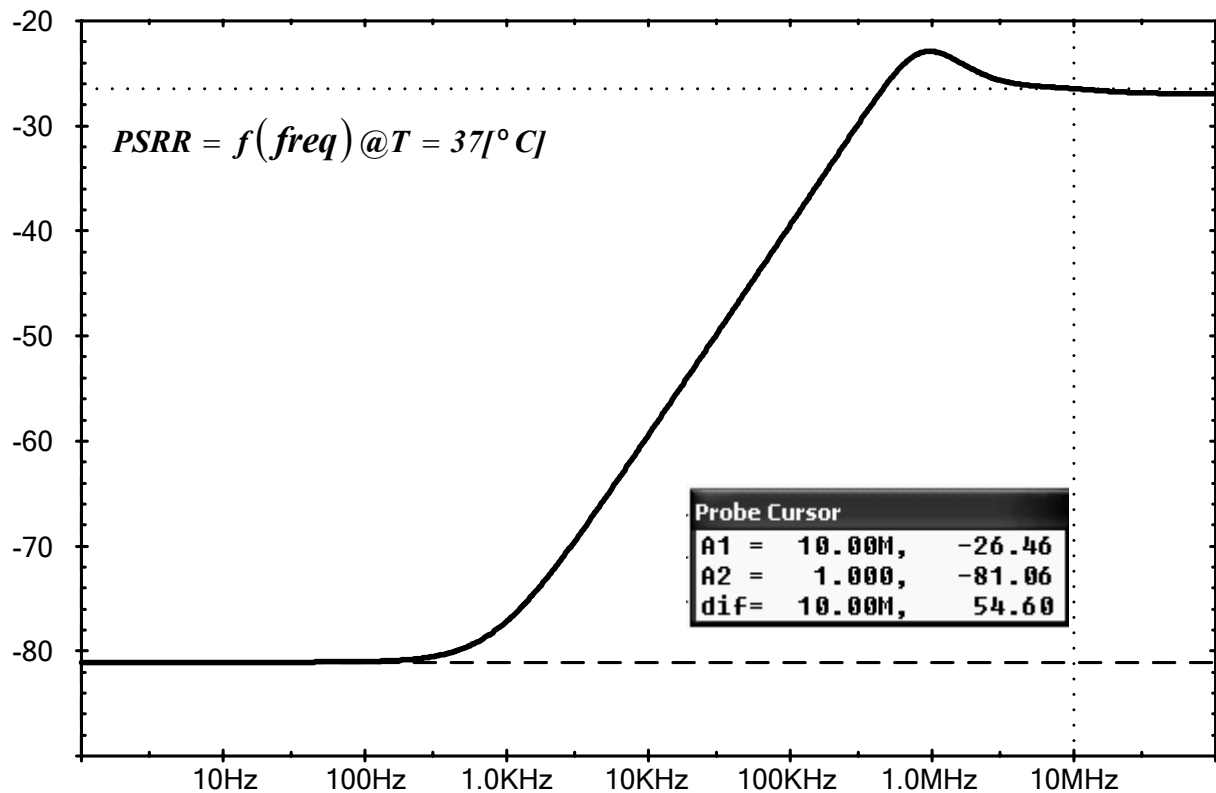


Figura 5.44 – Simulação da PSRR @ $V_{IN(AO)}=2,2[V]$ e $T= 37[^\circ C]$.

Avaliação das Grandezas Transientes – “Slew Rate” e “Settling Time”

As grandezas transientes continuam a usar a configuração de ganho unitário. É importante manter o carregamento capacitivo, pois é justamente a sua carga e descarga que afeta diretamente, por exemplo, o “Slew Rate” (SR).

A entrada será um degrau de tensão e, para que não haja uma interferência na medida do “Settling Time” (t_{SET}), a sua amplitude será reduzida a 200[mV] que deverá oscilar tendo como valor médio o terra analógico. Com uma excursão reduzida para o sinal de entrada, a saída não sofre da distorção por “Slew Rate”, fazendo com se tenha uma melhor avaliação desta grandeza. O “Slew Rate” corresponde à inclinação (dV/dt) tanto borda de subida (SR^+) quanto na borda de descida (SR^-) do sinal de saída.

Um dos pontos de medida para o “Settling Time” corresponde ao início da aplicação do degrau de tensão e o outro quando a tensão de saída atingir certo grau de precisão em relação ao seu valor final desejado. Normalmente, esta precisão é escolhida para que o sinal de saída fique dentro de 0,1[%] a 1[%] do valor ideal. Pelo resultado da simulação (Figura 5.45) pode-se avaliar, aproximadamente:

$$SR^+ \approx \frac{200 \cdot 10^{-3}}{1 \cdot 10^{-6}} = 0,2 \left[\frac{V}{\mu S} \right] \text{ e } SR^- \approx \frac{200 \cdot 10^{-3}}{1 \cdot 10^{-6}} = 0,2 \left[\frac{V}{\mu S} \right] \quad (5.69)$$

$$t_{SET}(\text{rise}) \approx t_{SET}(\text{fall}) = 3 [\mu S]$$

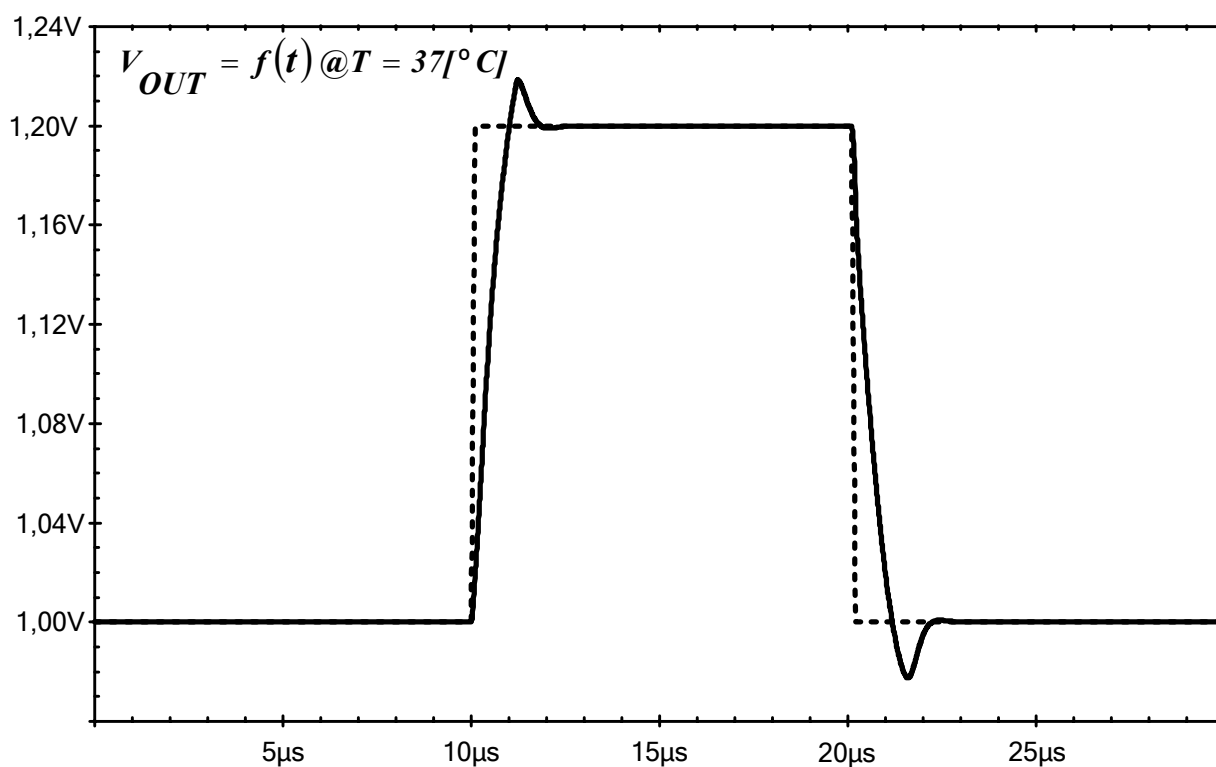


Figura 5.45 – Simulação Transiente Destacando o “Slew Rate” e o “Settling Time” @, $V_{IN(AO)}=2,2[V]$ e $T=37[^\circ C]$.

E, finalizando este item, a Tabela 5.8 traz um resumo das características simuladas do Amplificador Operacional e a Figura 5.46 o seu respectivo Layout.

Características @ $V_{IN(AO)}=2,2[V]$ e $T=37[^\circ C]$	Simulado	Valores Alvo
I_{DD} [μA]	3,5	5
P_D @ I_{DD} [μW]	7,7	11
CMR	$V_{SS}+100$ [mV] $V_{DD}-100$ [mV]	-
f_{UG} [MHz]	0,64	0,5
ϕ_M [$^\circ$]	66,6	70
T_{SET} @ 0,1% [μS] (“raise & fall”)	3[μS]	10[μS]
SR^+ e SR^- [V/μS]	0,2	0,2
PSRR @ 10MHz [dB]	-26,5	-30

Tabela 5.8 – Resumo das Características Simuladas para o Amplificador Operacional.

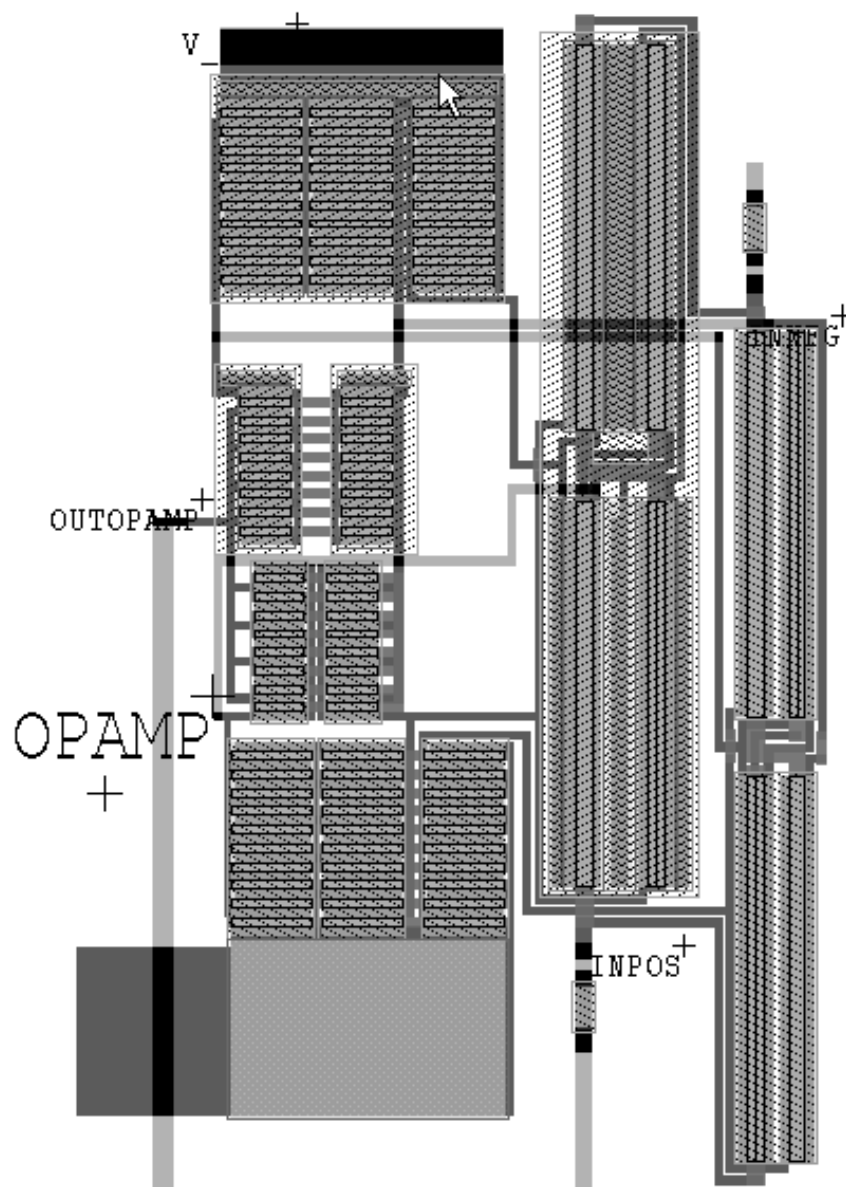


Figura 5.46 – Layout do Amplificador Operacional.

5.6 SIMULAÇÃO GLOBAL DO REGULADOR DE TENSÃO

Uma vez que já estão caracterizados todos os blocos que compõem o Regulador de Tensão, serão realizadas algumas simulações elétricas. Não só com o intuito de validar o projeto global mas, também, servir de base comparativa para os valores que serão medidos em bancada com o protótipo difundido.

A carga para o Regulador será um resistor de $2[K\Omega]$ que permite fixar a demanda de corrente de $0,5mA$ (I_{Lmax}). Existirá também uma capacitância em paralelo com este resistor que é representada por uma associação de elementos parasitas (por exemplo, as conexões do “*proto-board*”). Embora este item seja sobre simulação fica adiantado que esta capacitância foi medida na prática e revelou um valor de aproximadamente $30[pF]$.

5.7 SIMULAÇÃO DO REGULADOR DE TENSÃO COM TENSÃO SENOIDAL DE ENTRADA

Esta simulação representa o sinal de entrada senoidal do regulador proveniente da antena. Considera-se que este sinal já foi condicionado por circuitos anteriores que fazem o casamento de impedâncias e limitação de amplitude. A *Figura 5.47* ilustra esta primeira simulação.

Primeiramente, deve-se, como comentado no item 5.3 (Projeto do Resistor MOS) refinar o W do transistor que emula a presença do resistor R_1 . Como a tensão de saída está aquém de seu valor ideal de 1[V], o valor de $W(MNRES_2)$ precisa ser diminuído. A *Tabela 5.9* mostra o resultado da tensão média de saída do regulador para diferentes decréscimos de W .

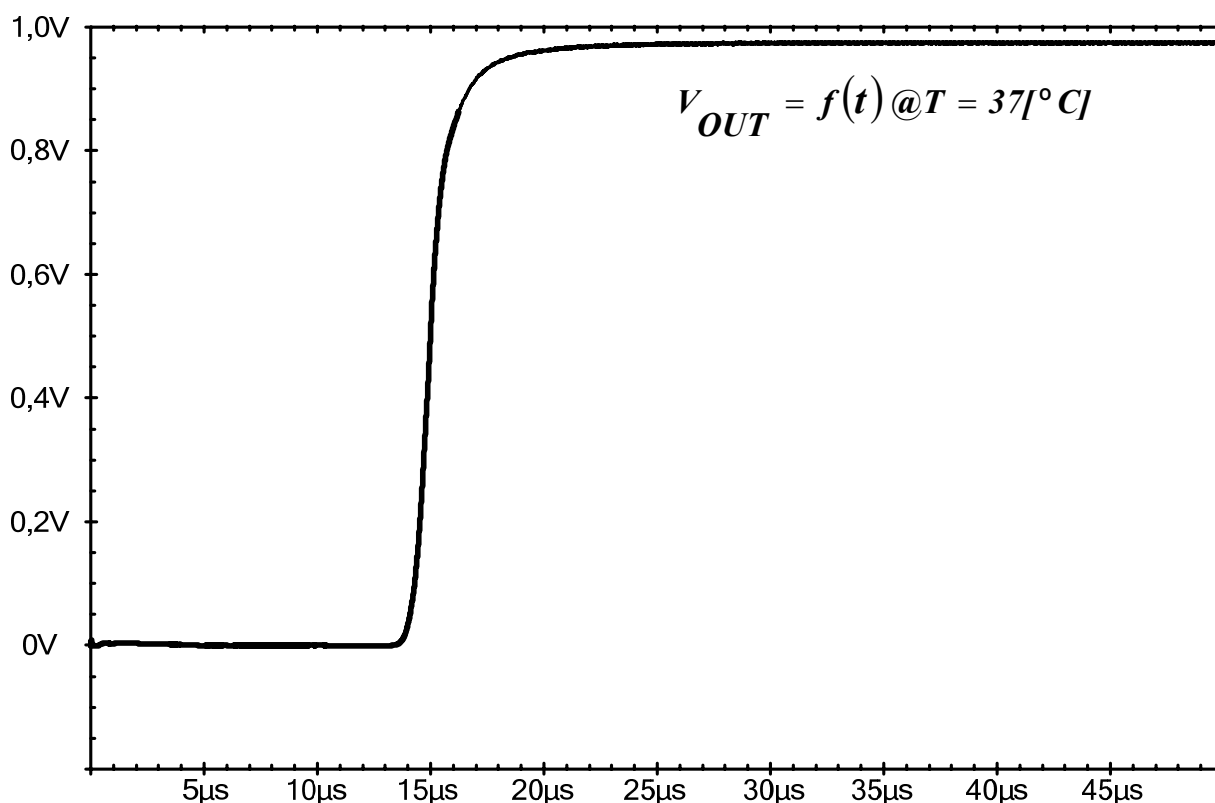


Figura 5.47 – Simulação do Regulador para Entrada Senoidal @ $T=37^{\circ}C$.

Decréscimo de W [μm]	V_{OUT} [V]
$W - 10$ [%] $\rightarrow 2,8$	0,991
$W - 20$ [%] $\rightarrow 2,5$	1,001
$W - 30$ [%] $\rightarrow 2,2$	1,009

Tabela 5.9 – Ajuste do W que Emula o Resistor R_2 do Amostrador.

Portanto, o novo valor de $W(MNRES_2)$ é de 2,5[μm]. De posse deste valor corrigido, tem-se a *Figura 5.48* que refaz a simulação anterior. Foi incluído neste resultado a tensão V_{IN} para que algumas Figuras de Mérito já possam ser avaliadas.

A sensibilidade da tensão de saída em relação à tensão de entrada não regulada é dada por:

$$S_{V_{IN}}^{V_{OUT}} = \frac{V_{IN(DC)}}{V_{OUT(DC)}} \frac{\Delta V_{OUT}}{\Delta V_{IN}} = \frac{2,2}{1} \frac{\Delta V_{OUT}}{\Delta V_{IN}} \approx 2,2 \frac{4,08 \cdot 10^{-3}}{364,8 \cdot 10^{-3}} \approx 24,6 \cdot 10^{-3} \quad [-] \quad (5.70)$$

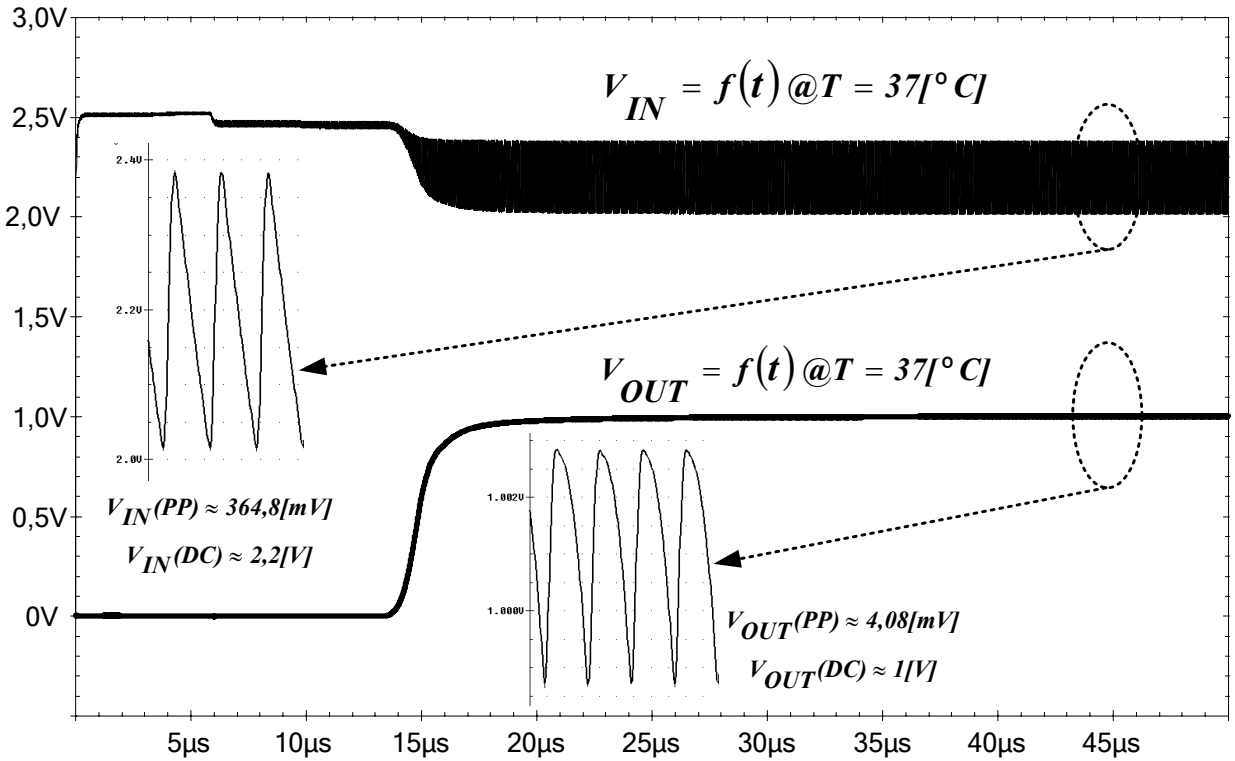


Figura 5.48 – Simulação do Regulador para Entrada Senoidal @ $T=37[^\circ C]$.

A PSSR do regulador para a frequência de interesse (10[MHz]) pode ser inferida por:

$$PSSR = 20\log \left[\frac{V_{OUT(ripple)}}{V_{IN(ripple0)}} \right] = 20\log \left(\frac{4,08 \cdot 10^{-3}}{364,8 \cdot 10^{-3}} \right) \approx -39[dB] \quad (5.71)$$

A próxima simulação avalia o impacto da temperatura (de 32[°C] a 42[°C]) sobre a tensão de saída. Será considerado que a tensão de entrada permanece constante em 2,2[V] que é o seu valor médio.

Tomando por base o resultado de simulação apresentado na *Figura 5.49*, o coeficiente térmico fracional da tensão de saída será:

$$TC_F(V_{OUT}) = \frac{1}{V_{OUT}} \frac{\Delta V_{OUT}}{\Delta T} = \frac{-60,11 \cdot 10^{-3}}{10} \approx -6 \cdot 10^{-3} [^\circ C^{-1}] \quad (5.72)$$

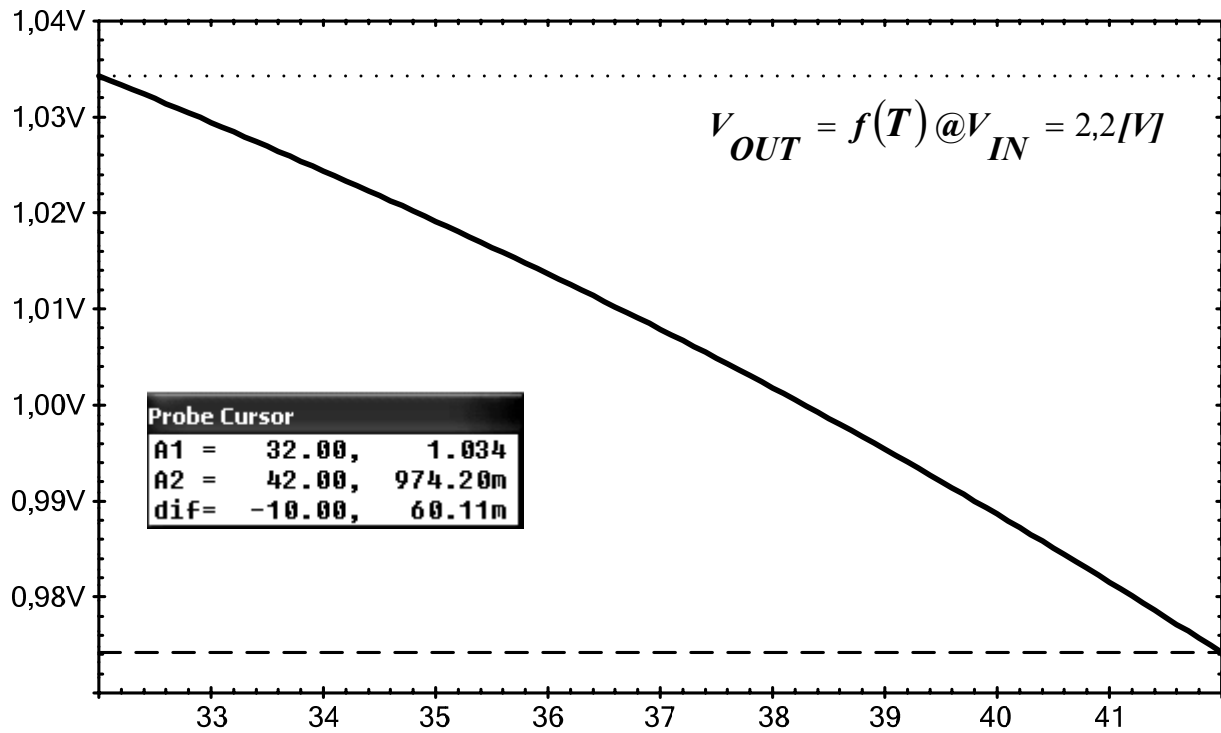


Figura 5.49 – Simulação do Regulador para Entrada Senoidal @ $V_{IN}=2,2[V]$.

Pelo fato do regulador estar em um dispositivo implantado que é ativado por um enlace de RF pode existir a possibilidade de uma variação no nível médio da tensão não regulada. É importante que durante o uso do sistema de biotelemetria o operador esteja consciente desta possibilidade de variação e mantenha o dispositivo leitor a uma distância que garanta não só o aspecto de segurança ao paciente como o valor médio da tensão de 2,2[V].

Deve-se recordar que um dos circuitos que fazem a interface entre a antena e o retificador é um limitador de tensão. Então, a aproximação demasiada do leitor em relação ao paciente fica restrita aos perigos dos efeitos térmicos que poderiam ser causados nos tecidos.

A Figura 5.50 mostra a simulação desta variação mantendo-se constante a temperatura em 37[°C]. Com base nesta figura, a avaliação da regulação de linha é:

$$\left. \frac{\Delta V_{OUT}}{\Delta V_{IN}} \right|_T \approx \frac{41,21 \cdot 10^{-3}}{400 \cdot 10^{-3}} \approx 103 \cdot 10^{-3} \quad \left[\frac{mV}{V} \right] \quad (5.73)$$

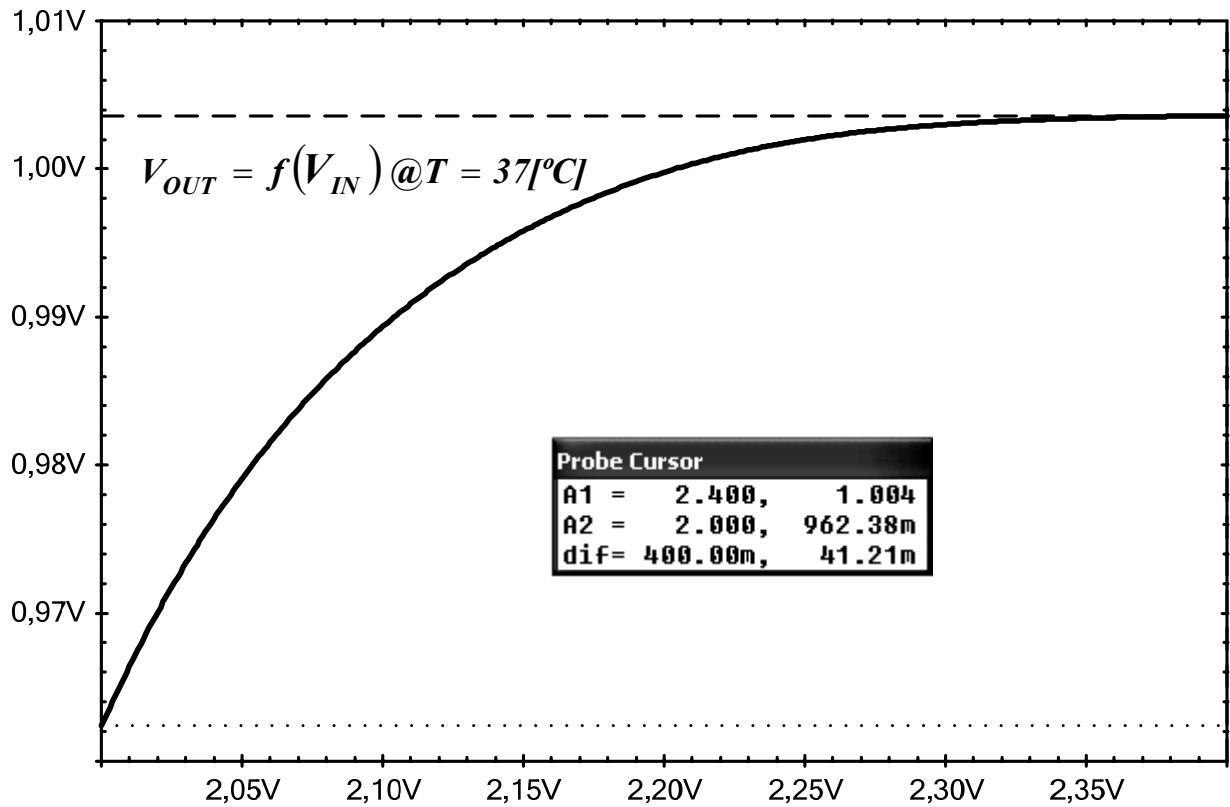


Figura 5.50 – Simulação do Regulador para Entrada Senoidal @ $T=37[^\circ C]$.

Para o cálculo das eficiências de corrente e de potência do Regulador será utilizada esta mesma simulação, porém, com um tempo estendido para que se possa ter uma maior precisão do valor médio da corrente de entrada do regulador (I_{IN}). A Figura 5.51 ilustra o resultado para estas correntes e usando a eq. (2.3) do Capítulo 2 (observar que I_Q é $I_{IN}-I_L$):

$$I_{EFF}(\%) = \frac{I_L}{(I_L + I_Q)} 100 = \frac{I_L}{I_{IN}} 100 = \frac{500,4 \cdot 10^{-6}}{527,3 \cdot 10^{-6}} 100 \approx 94,9 \quad [\%] \quad (5.74)$$

$e \ I_Q \approx 27,3 \quad [\mu A]^*$

$$E_{FF}(\%) = \frac{I_L V_{OUT}}{(I_L + I_Q) V_{IN}} 100 = \frac{I_L V_{OUT}}{I_{IN} V_{IN}} = \frac{500,4 \cdot 10^{-6} \times 1}{527,3 \cdot 10^{-6} \times 2,2} 100 \approx 43 \quad [\%]** \quad (5.75)$$

* O que se verifica é que existe uma tendência em que o valor médio da corrente de entrada continue a aumentar. Seria necessária uma simulação que estendesse o tempo final ainda mais. Entretanto, como esta tendência de crescimento é muito lenta e, certamente, irá convergir para um valor final, uma vez que I_L se mostra constante, será assumido um valor simulado de I_Q acrescido de mais 10[%], ou seja, 30[μA].

** Aqui está o “preço pago” pelo projeto. A eficiência global do sistema é reduzida praticamente à metade. Entretanto, existe uma solução de compromisso entre a inserção do estágio

seguidor de fonte (transistor MN_{SEG}) e o fato de alcançar uma estabilidade incondicional do sistema sem a presença de elementos externos. Ainda que este transistor seja grande, comparativamente aos outros do circuito, a área de silício poder ser otimizada a partir de um “layout” em que todos os blocos estejam internamente interligados.

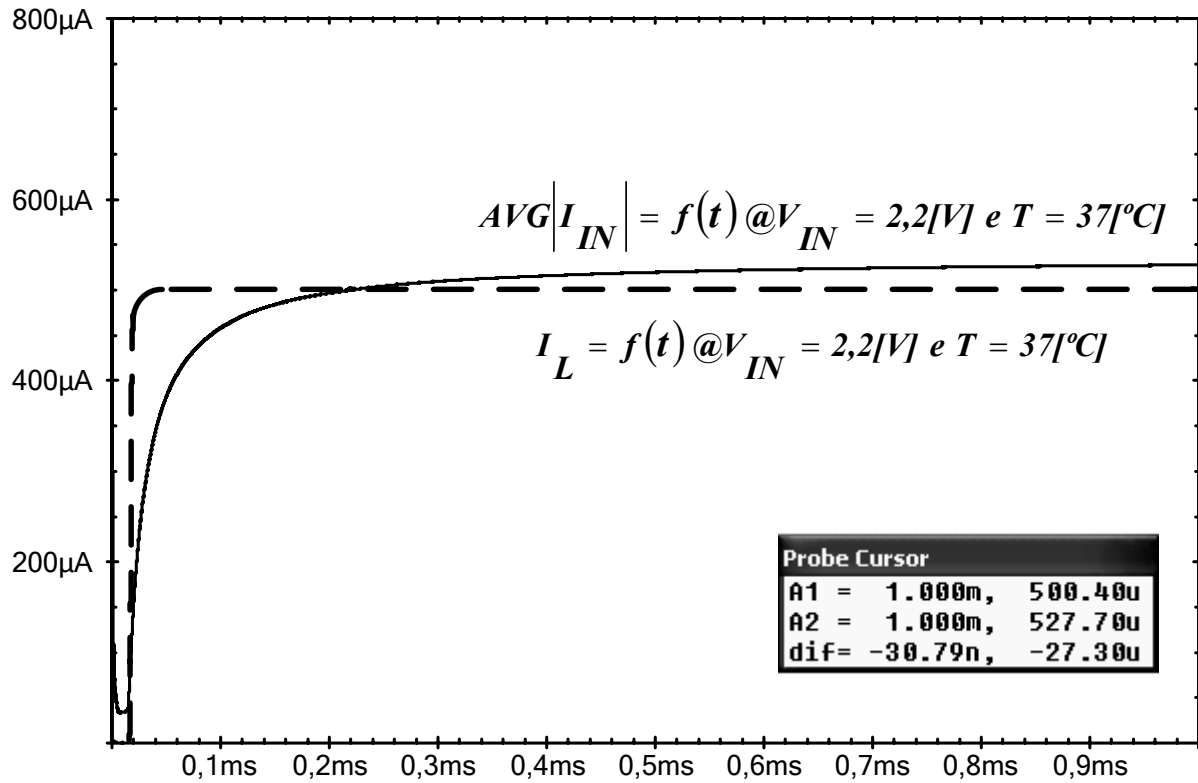


Figura 5.51 – Simulação para Avaliação da Eficiência de Correntes.

Aproveitando, ainda, a entrada senoidal, seria interessante mostrar o comportamento das tensões de referência V_G e V_{REF} que agora estão inseridas no contexto do regulador. Provavelmente o carregamento dos outros circuitos como o Amplificador Operacional, o Resistor MOS e os transistores de passagem e seguidor de fonte irão afetar o desempenho destas referências. Além do fato do regulador ser simulado a plena demanda de corrente o que significa maior “Ripple” na tensão de entrada V_{IN} . A Figura 5.52 mostra uma simulação com temperatura constante e a Figura 5.53 uma variação para V_{IN} constante. Pode-se extrair destas simulações os valores de sensibilidade e coeficiente térmico.

$$S_{V_{IN}}^{V_{REF}} = \frac{V_{IN}}{V_{REF}} \frac{\Delta V_{REF}}{\Delta V_{IN}} = \frac{2,2}{200,9 \cdot 10^{-3}} = 10,95 \frac{15,42 \cdot 10^{-3}}{364,8 \cdot 10^{-3}} \approx 462 \cdot 10^{-3} \quad [-] \quad (5.76)$$

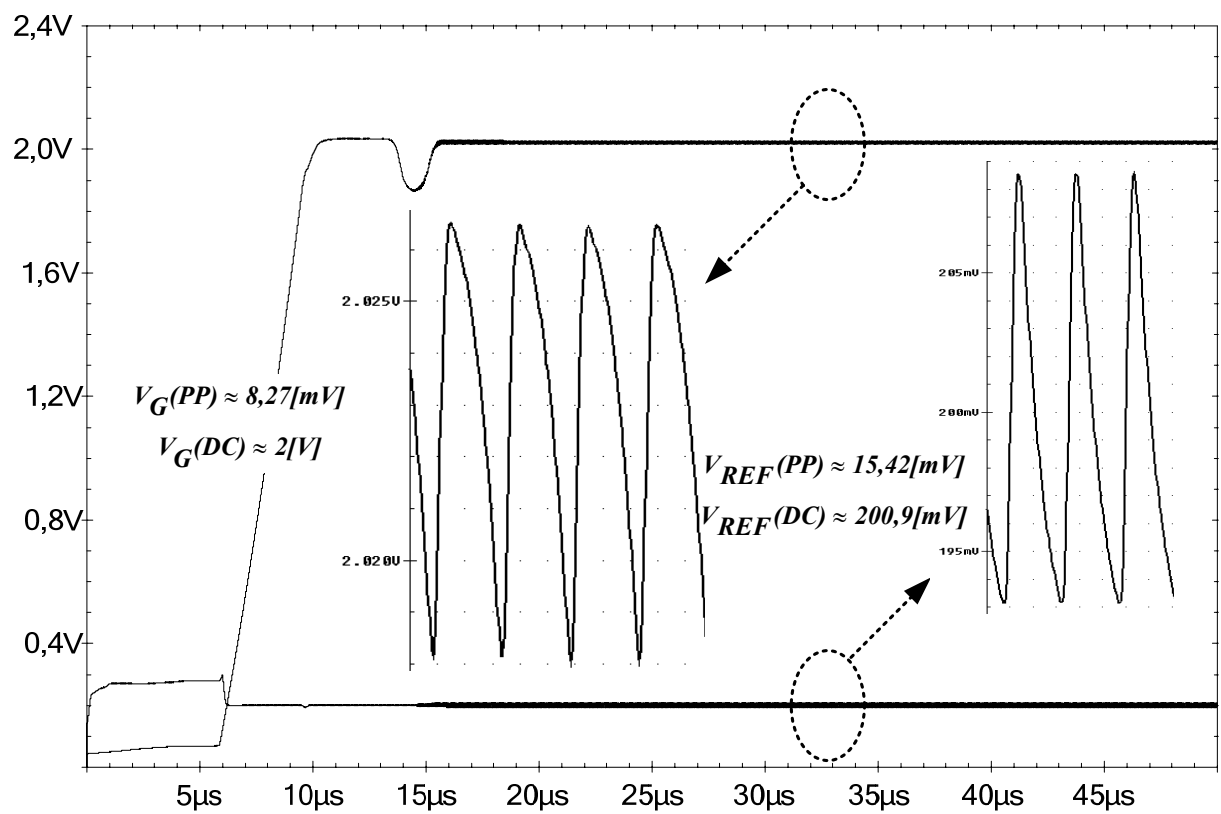


Figura 5.52 – Simulação para Avaliação das Referências @ $T=37[^\circ C]$.

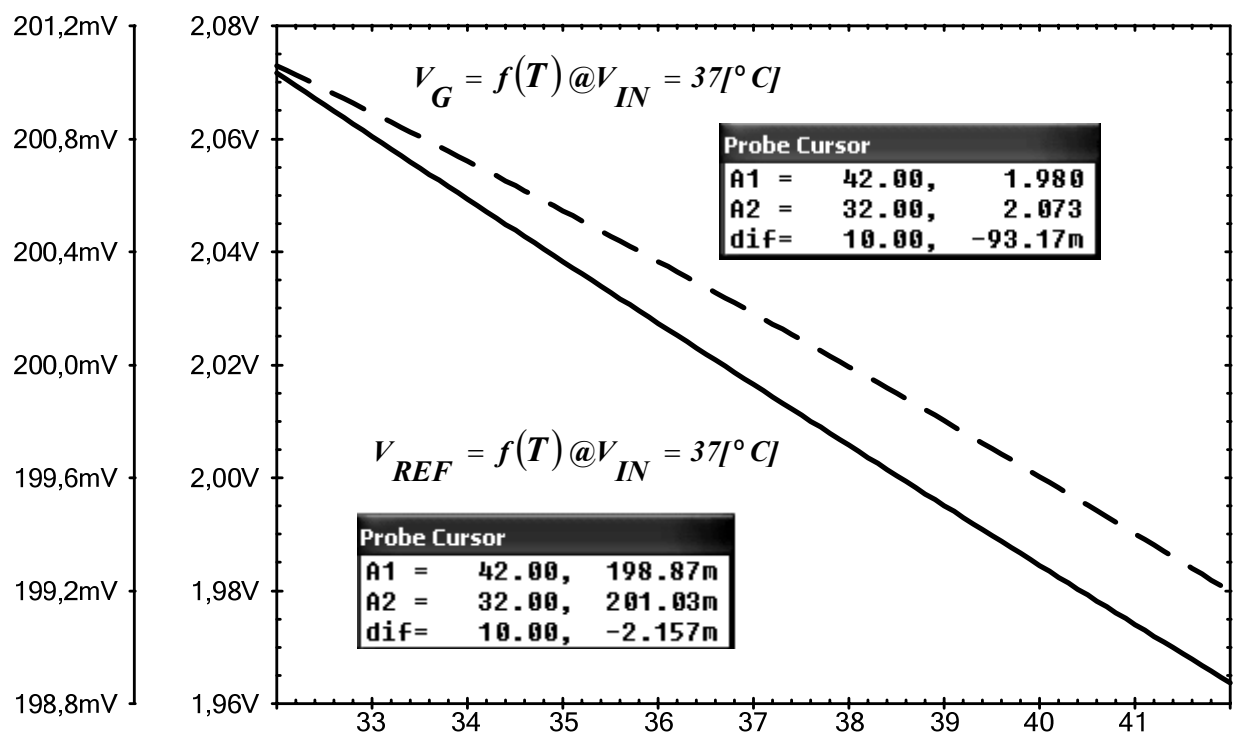


Figura 5.53 – Simulação para Avaliação das Referências @ $V_{IN}=2,2[V]$.

$$TC_F(V_{REF}) = \frac{1}{V_{REF}} \frac{\Delta V_{REF}}{\Delta T} = \frac{1}{200,9 \cdot 10^{-3}} \frac{(-2,157 \cdot 10^{-3})}{10} \approx -1,074 \cdot 10^{-3} \quad [^{\circ}C^{-1}] \quad (5.77)$$

$$S_{V_{IN}}^{V_G} = \frac{V_{IN}}{V_G} \frac{\Delta V_G}{\Delta V_{IN}} = \frac{2,2}{2} \frac{8,27 \cdot 10^{-3}}{364,8 \cdot 10^{-3}} \approx 25 \cdot 10^{-3} \quad [-] \quad (5.78)$$

$$TC_F(V_G) = \frac{1}{V_G} \frac{\Delta V_G}{\Delta T} = \frac{1}{2} \frac{(-93,17 \cdot 10^{-3})}{10} \approx -4,65 \cdot 10^{-3} \quad [^{\circ}C^{-1}] \quad (5.79)$$

Outra simulação com sinal senoidal de entrada realizada verifica a resposta do regulador para um degrau de corrente de carga (no caso, I_L varia de 0[A] a 0,5[mA]). O resultado é ilustrado na *Figura 5.54*. Para emular a presença deste degrau de corrente usou-se o circuito de carregamento também anexo a esta figura.

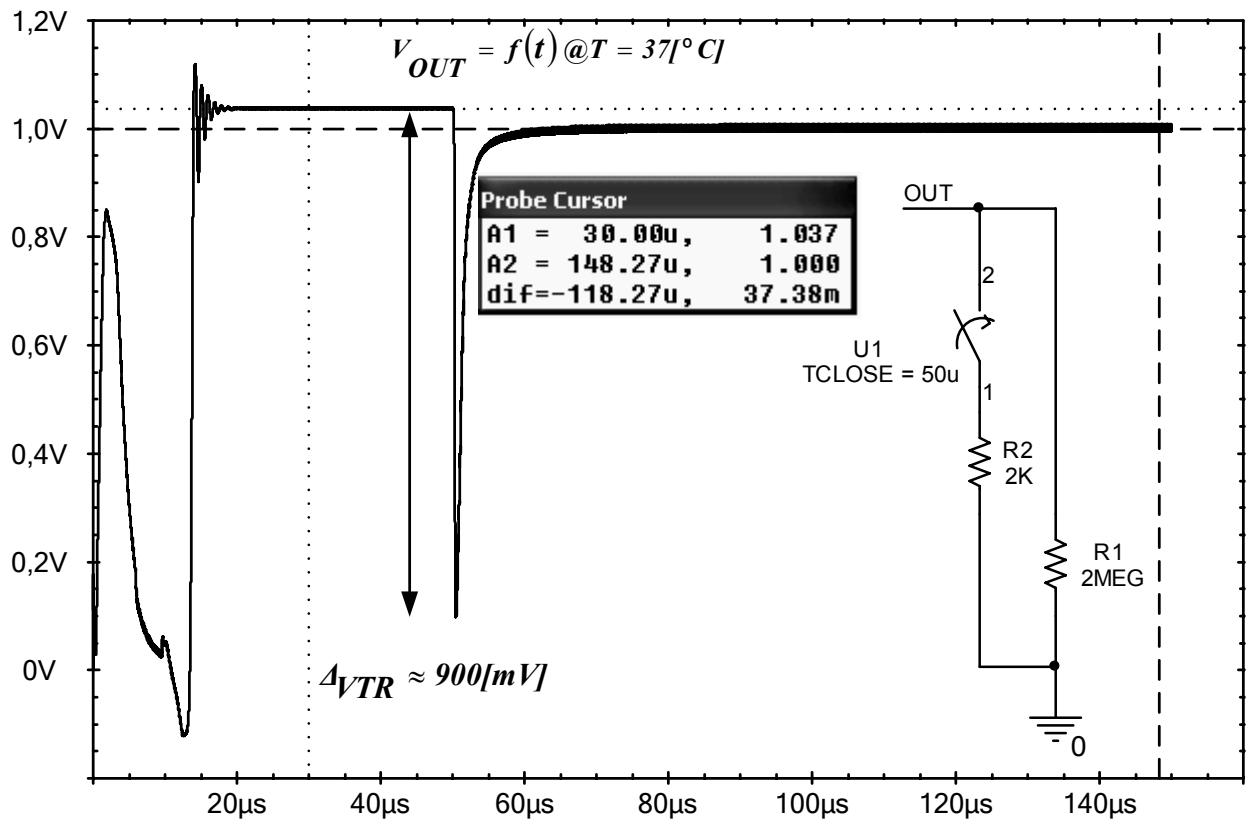


Figura 5.54 – Simulação do Regulador com. Degrau de Corrente na Saída @ $T=37[^{\circ}C]$.

O resultado de simulação acima mostra que existe uma oscilação na tensão de saída, porém amortecida, quando o Regulador está operando a vazio. Outro ponto importante é o valor de ΔV_{TR} que está elevado. No capítulo 7 (Conclusões) será abordada uma sugestão para uma tentativa de diminuição deste valor. A regulação de Linha pode ser inferida da mesma simulação:

$$\frac{\Delta V_{OUT}}{\Delta I_L} = \frac{37,38 \cdot 10^{-3}}{500 \cdot 10^{-6}} \approx 74,8 \left[\frac{\text{mV}}{\text{mA}} \right] \quad (5.80)$$

Entretanto, considera-se que a situação de degrau de corrente na carga não seja usual durante a utilização do sistema de biotelemetria, pois esta situação significaria que o paciente estaria sofrendo uma variação extremamente rápida em sua pressão arterial. Provavelmente, esta condição ocorre juntamente quando o Sistema é ativado pela primeira vez e, pelas simulações já apresentadas, verifica-se que não existem condições de oscilação na tensão de saída do Regulador. Também se deve ressaltar que o Regulador não é ligado a vazio, uma vez que os subsistemas (Sensor de Pressão, Condicionamento de Sinal e Transmissor) estão integrados conjuntamente representando uma corrente de carga inicial diferente de zero.

5.8 SIMULAÇÃO DO REGULADOR DE TENSÃO COM TENSÃO QUADRADA DE ENTRADA

Este conjunto de simulações permite verificar a resposta do regulador a uma excitação do tipo degrau e outras Figuras de Mérito poderão ser avaliadas. A *Figura 5.55* traz a resposta do regulador a uma onda quadrada de 10[kHz].

A *Figura 5.55* representa um resultado importante. O sistema Regulador pode ser considerado como sendo um sistema do tipo BIBO (“*Bounded-Input Bounded-Output*”) que significa a sua condição de estabilidade. A *Figura 5.56* mostra mais detalhadamente a condição do degrau de tensão inicial e é possível extrair o “*Settling Time*” do Regulador assim como o “*Slew Rate*”. Para o “*Settling Time*”, considerou-se uma precisão de 0,1[%] (0,999[V]) em relação ao valor final de 1[V]. A avaliação destas grandezas está representada na eq. (5.81).

$$T_{SET}(0,1\%) \approx 14,87[\mu\text{S}] \quad \text{e} \quad SR = \frac{\Delta V_{OUT}}{\Delta t} \approx \frac{1}{2 \cdot 10^{-6}} \approx 0,5 \left[\frac{\text{V}}{\mu\text{S}} \right] \quad (5.81)$$

Uma última simulação, usando a entrada senoidal, é ilustrada na *Figura 5.57*. Nela tem-se o valor da tensão V_{DS} do transistor de passagem. Este resultado será utilizado para se avaliar a resistência R_{DS} deste transistor que, como já discutido anteriormente, vai fixar um dos pólos do sistema.

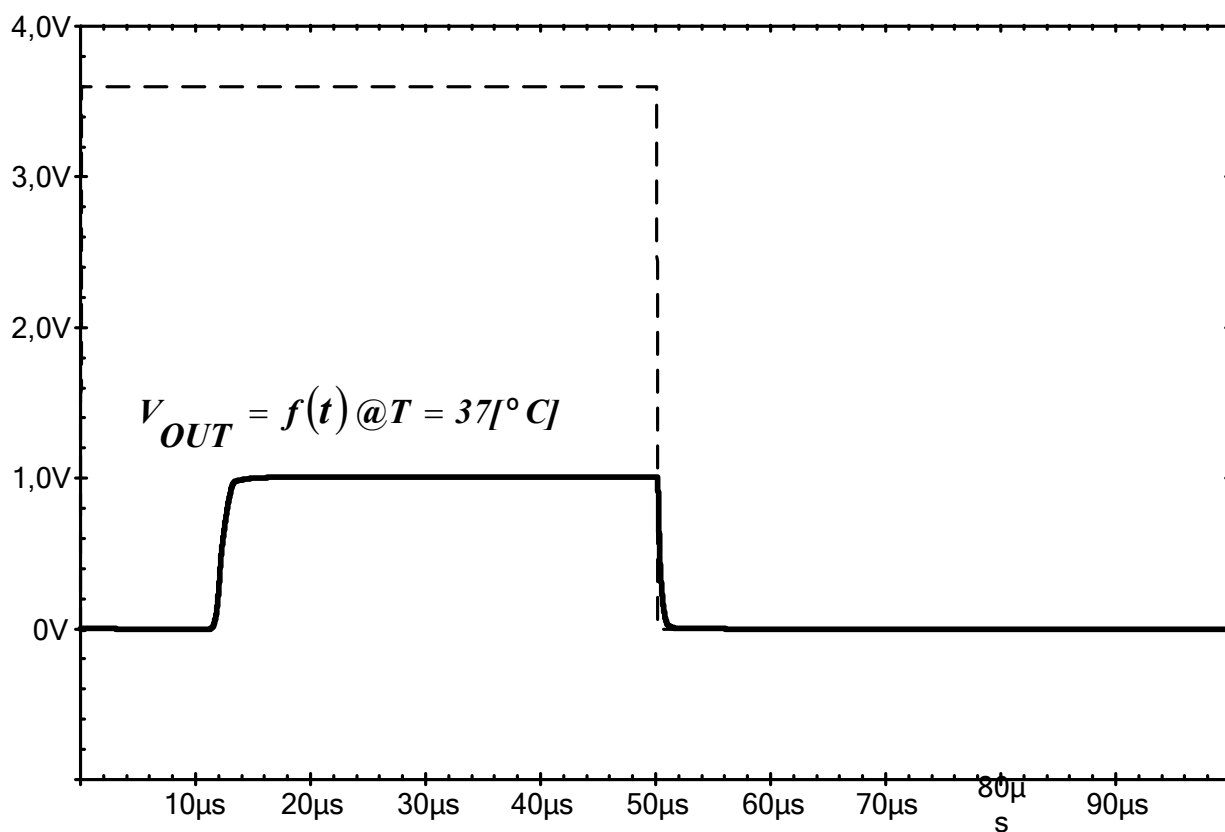


Figura 5.55 – Simulação do Regulador para Entrada Quadrada de 10 kHz @ $T=37[^\circ C]$.

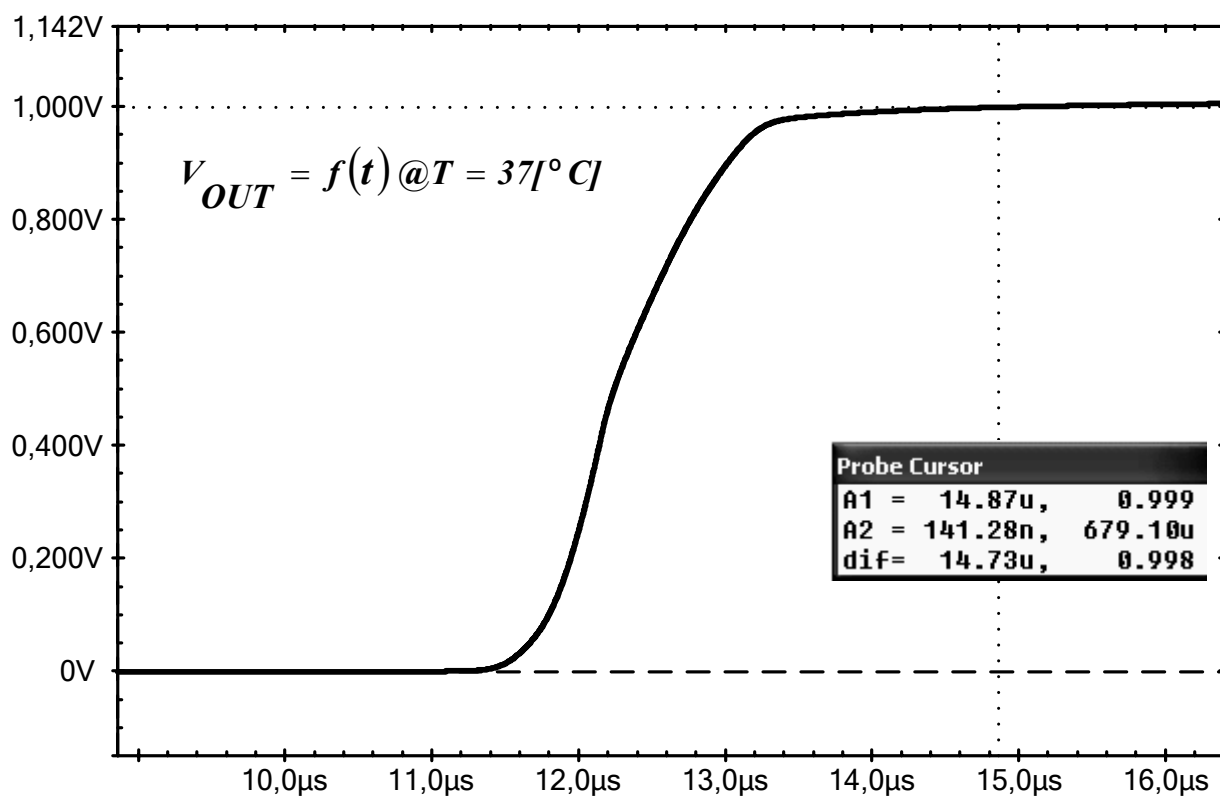


Figura 5.56 – Detalhe da Resposta do Regulador ao Degrau de Tensão.

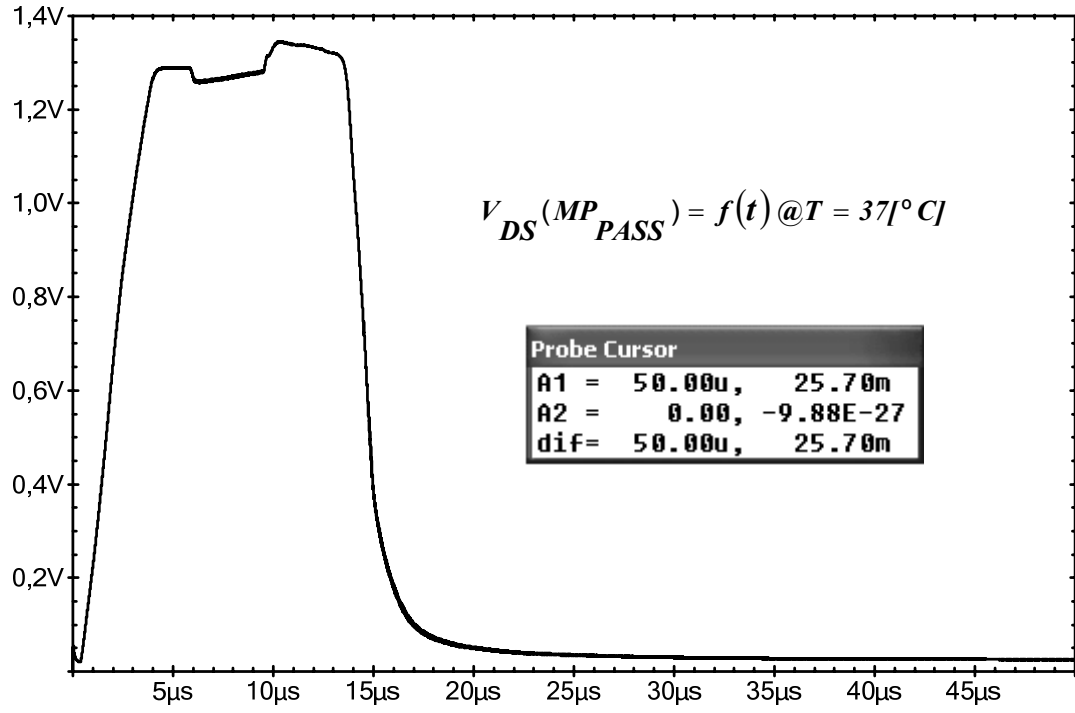


Figura 5.57 – Tensão V_{DS} do Transistor MP_{PASS} .

5.9 AVALIAÇÃO DOS PÓLOS DO REGULADOR

O conjunto de simulações apresentadas permite uma avaliação dos pólos do Regulador de Tensão. De acordo com a eq. (4.12) e a eq. (4.13), tem-se:

$$f_{PO} = \frac{1}{2\pi R_{DS} C_L} \quad [H_Z] \quad (5.82)$$

$$f_{PI} = \frac{-1}{2\pi R_{AO} C_{GPASS}} \quad [H_Z] \quad (5.83)$$

É necessário, então, avaliar os valores das resistências R_{DS} e R_{AO} uma vez que as capacitâncias já são conhecidas, ou seja, $C_L=30[pF]$ e $C_{GPASS}=5,75[pF]$. Considerando-se que o regulador opera a plena carga ($I_L = 0,5[mA]$), o valor de R_{DS} pode ser calculado como sendo:

$$R_{DS} \frac{V_{DS}(MP_{PASS})}{I_L + I_{RES}} \approx \frac{V_{DS}(MP_{PASS})}{I_L} = \frac{25,7 \cdot 10^{-3}}{0,5 \cdot 10^{-3}} = 51,4 \quad [\Omega] \quad (5.84)$$

Substituindo este valor na eq. (5.80), tem-se:

$$f_{PO} = \frac{1}{2\pi \cdot 51,4 \cdot 30 \cdot 10^{-12}} \approx 103 [MH_Z] \quad (5.85)$$

Mesmo para uma elevada capacitância de carga este pólo está bem afastado da origem relativamente ao que se espera do pólo dominante que deve estar posicionado na faixa de dezenas a centenas de Hertz.

O pólo dominante P_1 requer a avaliação da resistência de saída do Amplificador Operacional (R_{AO}). Ela pode ser equacionada extraída da relação:

$$A_V = g_m R_{AO} = (g_{mP} + g_{mN}) R_{AO} \quad (5.86)$$

Onde g_m é a soma das transcondutâncias dos transistores NMOS e PMOS do par diferencial de entrada e o ganho A_V é dado em seu valor absoluto. O valor destas transcondutâncias deve ser avaliado para a condição em que estes transistores estão operando em inversão fraca. Partindo da equação fundamental de um transistor MOS operando em inversão fraca, tem-se:

$$I_D = I_X \left(\frac{W}{L} \right) \exp \left(\frac{V_{GS} - V_{TH0}}{nU_T} \right) \quad (5.87)$$

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = I_X \left(\frac{W}{L} \right) \exp \left(\frac{V_{GS} - V_{TH0}}{nU_T} \right) = \frac{I_D}{nU_T} \left[\frac{A}{V} \right]$$

Então, a transcondutância dos dois transistores será a mesma, uma vez que a corrente I_D é a mesma. Pode-se optar, então para usar a corrente de cauda que é justamente a soma das correntes individuais dos transistores do par diferencial. Assim, a eq. (5.80) pode ser reescrita:

$$A_V = g_m R_{AO} = \frac{I_D}{nU_T} R_{AO} \Rightarrow R_{AO} = \frac{45 \cdot 10^{-3} \times 10^{\left(\frac{75,23}{20}\right)}}{1,17 \cdot 10^{-6}} \approx 220 [\text{M}\Omega] \quad (5.88)$$

Voltando a equação do pólo dominante:

$$f_{P1} = \frac{-1}{2\pi \times 220 \cdot 10^6 \times 5,75 \cdot 10^{-12}} \approx 126 [\text{Hz}] \quad (5.89)$$

Este valor pode ser comparado diretamente com o resultado de simulação ilustrado na *Figura 5.43* em que se avaliou a presença deste pólo dominante em aproximadamente 130[Hz].

Interessante, também, verificar o impacto das variações de processo no Regulador. A *Figura 5.58* é o resultado de uma análise de Monte Carlo para 5000 rodadas. A *Tabela 5.10*, em seguida, faz o resumo estatístico.

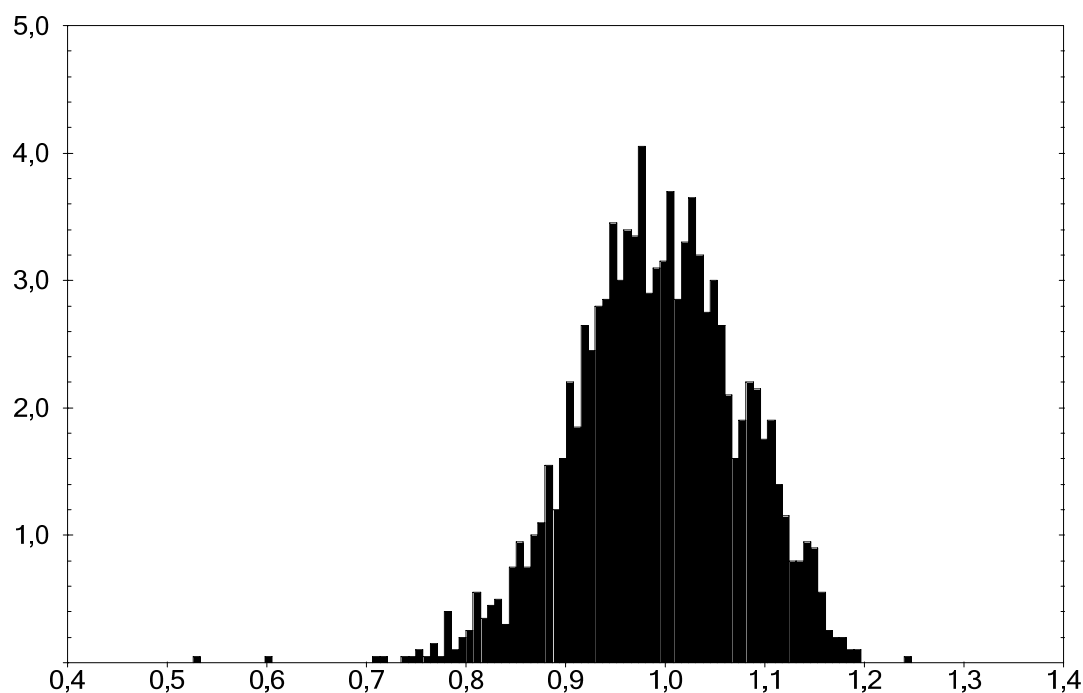


Figura 5.58 – Análise de Monte Carlo para o Regulador de Tensão.

	V_{OUT}
Valor Nominal [V]	0,992
Desvio Padrão (σ) [mV]	82,6

Tabela 5.10 – Resumo Estatístico para a Tensão V_{OUT} @ $T=37[^\circ C]$.

5.10 TABELA COMPARATIVA

A Tabela 5.11 na sequência faz um resumo entre valores alvo, valores calculados e valores simulados para o Regulador de Tensão.

5.11 “LAYOUT” FINAL DO PROTÓTIPO DIFUNDIDO PELA TSMC

A Figura 5.59 mostra o “layout” final do protótipo do Regulador de Tensão que foi recebido pela “Foundry”. O invólucro escolhido é de 40 pinos de forma que se pudesse ter acesso aos diferentes blocos que compõem o projeto. Este “layout” também contém outros circuitos que pertencem a um projeto da FAPEMIG que está sendo desenvolvido no Grupo de Microeletrônica.

	Valores Alvo	Valores Calculados	Valores Simulados
$T_{NOM} [^{\circ}C]$	37	-	37
$C_L [pF]$	-	-	30
$AVG(V_{IN} [V])$	2,2	-	2,2
$V_{OUT} [V]$	1	-	1
$V_{DROP}[mV]$	50	-	26
$I_L [mA]$	0,5	-	0,5
$I_Q [mA]$	0,05	-	0,03
$P_D = (I_L + I_Q) \cdot V_{OUT} [mW]$	1,21	1,18	1,17
$\Delta V_{OUT}/\Delta T [mV/^{\circ}C] @ AVG(V_{IN} [V])=2,2[V]$	50	-	-6
$\Delta V_{TR} [mV]$	500	-	900
$\Delta V_{OUT}/\Delta I_L [mV/mA] *$	50	-	74,8
$\Delta V_{OUT}/\Delta V_{IN} [mV/V] **$	50	-	103
$PSRR [dB] @ 10[MHz]$	-40	-	-39
$I_{EFF} [\%]$	90	93	95
$E_{FF} [\%]$	90	42,3	43
$f_p(\text{dominante}) [Hz]$	-	126	39
$t_{SET} (0,1[\%]) [\mu S]$	50	-	14,87

* Corresponde à Regulação de Carga,

** Corresponde à Regulação de Linha

Tabela 5.11 – Quadro Comparativo dos Resultados Simulados e Medidos para o Regulador.

O valor de V_{DROP} não pode ser comparado diretamente embora tenha ficado aquém da previsão. Esta tensão de aproximadamente 26[mV] representa o V_{DS} do transistor MP_{PASS} e, na realidade, a tensão de “Drop-out” deve ser contabilizada para o Regulador como um todo. Deve-se avaliar, então, em relação à V_{IN} , ou seja, $2,2[V] - 1[V] = 1,2[V]$.

Se considerar-se a eficiência retirando-se o transistor MN_{SEG} ela sobe para 96,8% o que demonstra que o subcircuito LDO do Regulador final está otimizado.

Com relação ao pólo dominante, era esperado que fosse deslocado em direção à origem uma vez que a capacitância de carga é superior ao valor utilizado nas simulações e nos cálculos.

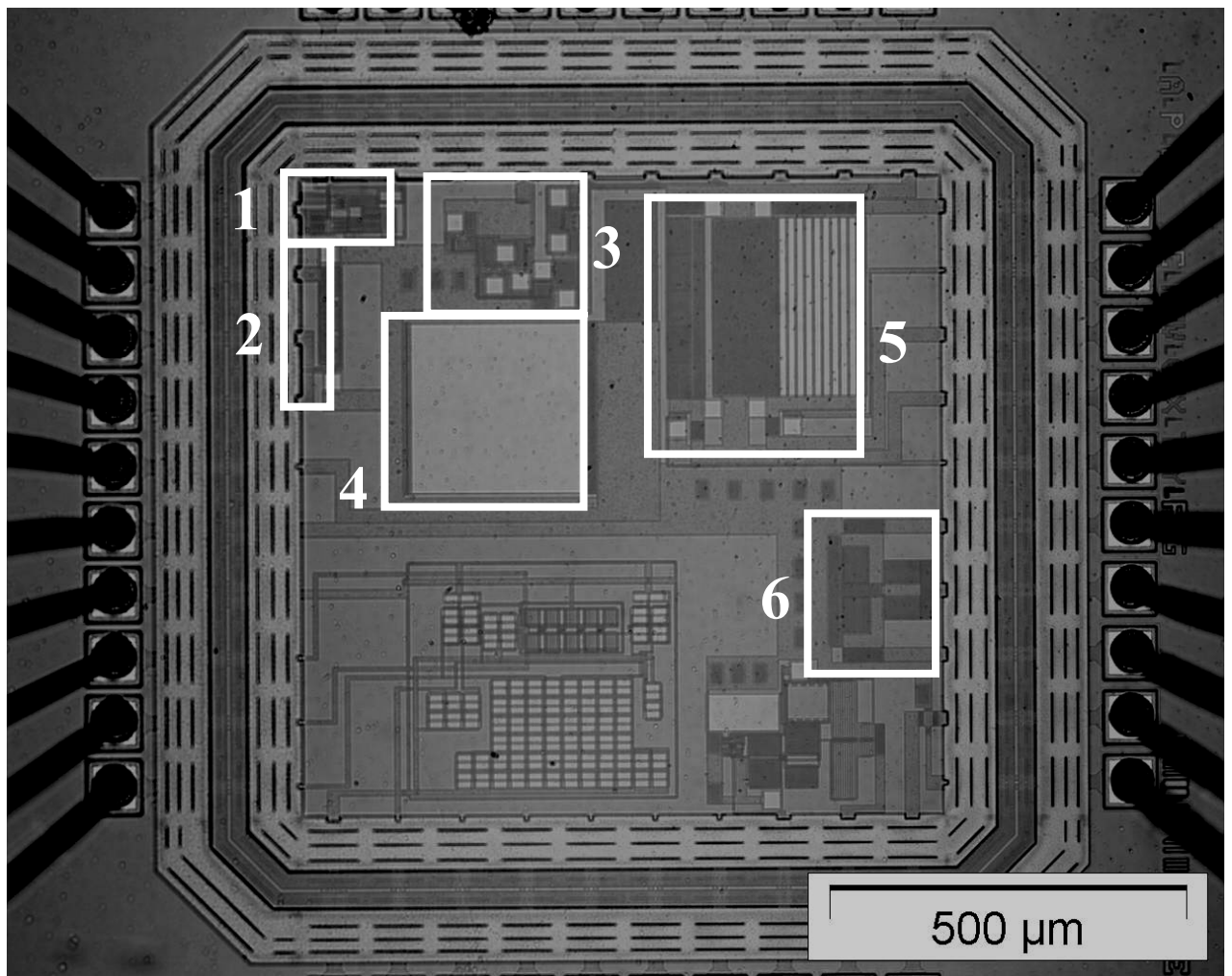


Figura 5.59 – Layout Final do Protótipo Recebido da Foundry TSMC.

Simbologia:

- 1- Amplificador Operacional;
- 2- Resistor MOS;
- 3- Espelho de Corrente e Gerador de Referências;
- 4- Capacitor de Filtro;
- 5- Transistor de Passagem e Transistor Seguidor de Fonte;
- 6- Retificador.

A área total dos blocos que constituem o projeto é de aproximadamente $0,25 \text{ [mm}^2\text{]}$

CAPÍTULO 6

RESULTADOS EXPERIMENTAIS

O PROJETO DOS BLOCOS QUE CONSTITUEM O REGULADOR DE TENSÃO FOI APRESENTADO NO CAPÍTULO ANTERIOR JUNTAMENTE COM UM CONJUNTO DE SIMULAÇÕES. O PRESENTE CAPÍTULO TRAZ OS RESULTADOS OBTIDOS EXPERIMENTALMENTE E PERMITE, PRINCIPALMENTE, UMA COMPARAÇÃO COM OS VALORES SIMULADOS.

6.1 RESULTADOS EXPERIMENTAIS

De posse do protótipo, tem-se o início do levantamento dos dados experimentais. Algumas considerações se fazem necessárias:

- ✓ Para o ensaio em condições de temperatura controlada, utilizou-se a câmara térmica alocada no Laboratório de Ensaio de Testes de Equipamentos de Telecomunicações (LTET) da Universidade Federal de Itajubá;
- ✓ Os ensaios foram reduzidos à quantidade que se julgou necessária para a caracterização dos principais parâmetros do Regulador de Tensão;
- ✓ Foi utilizado, como forma de isolamento, entre o Regulador e os equipamentos de teste (quando necessário) um Amplificador Operacional comercial (CA3140) em uma configuração “Buffer”. Antes de cada medida utilizou-se o circuito de cancelamento de “offset” sugerido pelo fabricante;
- ✓ Para simular a presença da antena, foi construído, artesanalmente, dois indutores acoplados através de um núcleo de ferrite. Este conjunto tenta reproduzir o que seriam as antenas de transmissão e recepção do sinal presente no enlace de Rádio Frequência.;
- ✓ Os equipamentos de teste utilizados: Gerador de Funções (HP33120A), Fonte DC Tripla (HPE3631A), Multímetro (HP34401) e Osciloscópio Digital (HP54645D) são patrimônio do Grupo de Microeletrônica;
- ✓ A capacitância de carga (na saída do regulador principalmente) foi medida e apresentou um valor de 30[pF].

Feitos estes posicionamentos, os próximos itens relatam os resultados obtidos.

6.2 RESULTADOS EXPERIMENTAIS - REGULADOR E FILTRO CAPACITIVO

A Figura 6.1 ilustra o procedimento de testes para o sistema Regulador e Filtro Capacitivo (lembrando que este capacitor está integrado no “chip” do Regulador). A condição de carga é ajustada através de P_1 até que se obtenha o valor nominal de $I_L + I_Q$ (teoricamente um valor de $0,53[\text{mA}]$). A temperatura é mantida constante em seu valor nominal que representa a temperatura do corpo humano, ou seja, $37[^\circ\text{C}]$. A Figura 6.2 apresenta a tela capturada do osciloscópio digital para esta medida.

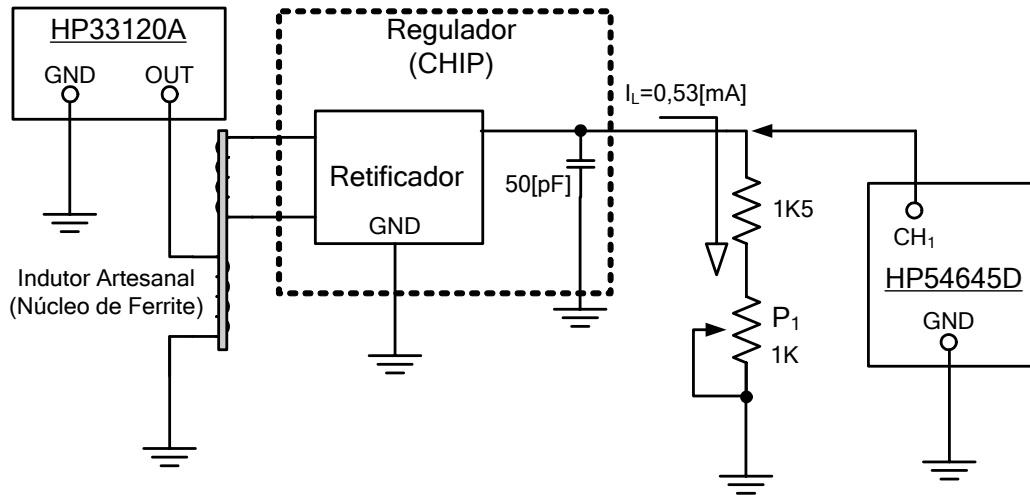


Figura 6.1 – Circuito para a Avaliação do Retificador e Filtro @ $t=37[^\circ\text{C}]$.

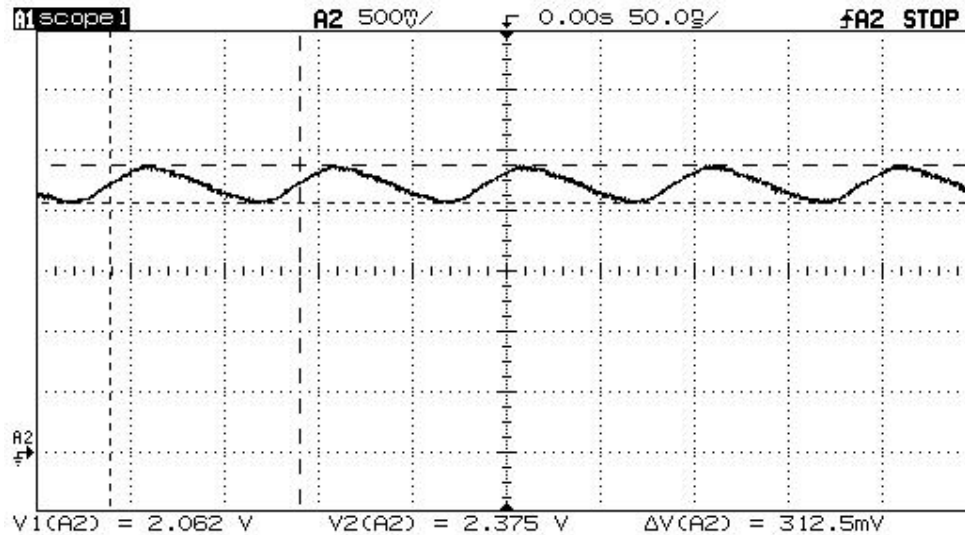


Figura 6.2 – Saída do Retificador e do Filtro Capacitivo Destacando-se a Tensão de Ondulação (“Ripple”) @, $I_L = 0,53 [\text{mA}]$ e $T=37[^\circ\text{C}]$.

Com a tensão de ondulação de $312,5[\text{mV}]$ estima-se, para V_{IN} , um valor médio de:

$$V_{\text{IN}}(\text{AVG}) = V_{\text{IN}(\text{MIN})} + \frac{V_{\text{ripple}}}{2} = 2,062 + \frac{312,5 \cdot 10^{-3}}{2} \approx 2,218 \quad [\text{V}] \quad (6.1)$$

Para efeitos comparativos, a *Tabela 6.1* resume os valores de “Ripple” e médio para o que é considerado a tensão de entrada não regulada para os demais circuitos do Regulador (V_{IN}).

	@ $I_L = 0,53\text{mA}$ e $T=37[^\circ\text{C}]$		
	Calculado	Simulado	Medido
$V_{IN}(\text{AVG})$ [V]	2,196	2,19	2,218
$V_{IN}(\text{ripple})$ [mV]	488	400	312,5

Tabela 6.1 – Valores Simulados e Medidos para o Retificador e Filtro Capacitivo.

Os valores medidos estão abaixo dos valores simulados pois a presença de capacitâncias parasitas no pino de saída do filtro aparecem em paralelo com capacitor de 50[pF] aumentado o seu valor e, conseqüentemente, melhorando o desempenho do processo de filtragem.

6.3 RESULTADOS EXPERIMENTAIS – GERADOR DE REFERÊNCIAS

A *Figura 6.3* ilustra o circuito para se avaliar as Figuras de Mérito (Sensibilidade e Coeficiente térmico Fracional) das tensões de referência.

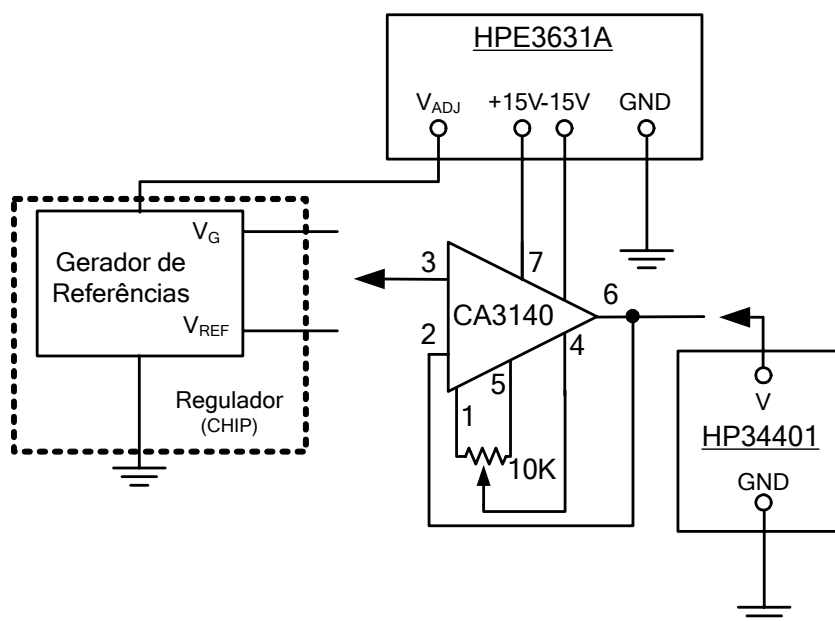


Figura 6.3 – Circuito para as Medidas no Circuito Gerador de Referências

O procedimento de medida consiste de duas fases. Uma variando-se a temperatura e mantendo constante a tensão de alimentação (2,2[V] ajustado pelo terminal V_{ADJ} da Fonte Tripla) do circuito gerador de referências e outra mantendo a temperatura constante (37[$^\circ\text{C}$]) e variando-se a tensão de alimentação.

Estas medidas devem se aproximar dos resultados de simulação uma vez que as condições de carregamento do circuito gerador de referências é semelhante. No caso prático, a entrada inversora do

CA3140 consome uma corrente muito baixa (o fabricante indica uma Z_{IN} típica de $1,5[T\Omega]$) o que representa uma medida “a vazio”.

A *Tabela 6.2*, na seqüência, resume os resultados e os valores que foram utilizados nas variações. Observar que foram tomados os extremos e o valor central considerado como valor nominal.

V_{IN}	V_G [V]			V_{REF} [mV]		
	@ T=32[°C]	@ T=37[°C]	@ T=42[°C]	@ T=32[°C]	@ T=37[°C]	@ T=42[°C]
2,0[V]	1,99	1,97	1,95	200,1	198,8	198,0
2,2[V]	2,07	2,02	1,98	201,2	200,5	198,9
2,4[V]	2,09	2,04	2,01	201,8	200,7	199,5

Tabela 6.2 – Valores Medidos para o Circuito Gerador de Referências.

Utilizando os dados medidos pode-se calcular as Figuras de Mérito através das equações demonstradas no Capítulo 5:

$$S_{V_{IN}}^{V_{REF}} = \frac{V_{IN}}{V_{REF}} \left| \frac{\partial V_{REF}}{\partial V_{IN}} \right|_T = \frac{2,2}{0,2005} \frac{(0,2007 - 0,1988)}{(2,4 - 2,0)} \approx 52,1 \cdot 10^{-3} \quad (@T = 37[^\circ C]) \quad (6.2)$$

$$TC_F(V_{REF}) = \frac{1}{V_{REF}} \left| \frac{\partial V_{REF}}{\partial T} \right|_Q = \frac{1}{0,2005} \frac{(0,1989 - 0,2012)}{(42 - 32)} \approx -1,15 \cdot 10^{-3} \quad [^\circ C^{-1}] \quad (@V_{IN} = 2,2[V]) \quad (6.3)$$

$$S_{V_{IN}}^{V_G} = \frac{V_{IN}}{V_G} \left| \frac{\partial V_G}{\partial V_{IN}} \right|_T = \frac{2,2}{2,02} \frac{(2,04 - 1,97)}{(2,4 - 2,0)} \approx 190 \cdot 10^{-3} \quad (@T = 37[^\circ C]) \quad (6.4)$$

$$TC_F(V_G) = \frac{1}{V_G} \left| \frac{\partial V_G}{\partial T} \right|_Q = \frac{1}{2,02} \frac{(1,98 - 2,07)}{(42 - 32)} \approx -4,45 \cdot 10^{-3} \quad [^\circ C^{-1}] \quad (6.5)$$

A *Tabela 6.3* e a *Tabela 6.4* resumem os resultados dos valores calculados, simulados e medidos para estas duas importantes Figuras de Mérito do Regulador.

	V_G		
	Calculado	Simulado	Medido
$S_{V_{IN}}^{V_G}$	12.10^{-3}	160.10^{-3}	190.10^{-3}
$TC_F(V_G) [^{\circ}C^{-1}]$	$-2,05.10^{-3}$	$-4,36.10^{-3}$	$-4,45.10^{-3}$

Tabela 6.3 – Valores Comparativos para a Referência V_G

	V_{REF}		
	Calculado	Simulado	Medido
$S_{V_{IN}}^{V_{REF}}$	$40,7.10^{-3}$	$49,2.10^{-3}$	52.10^{-3}
$TC_F(V_{REF}) [^{\circ}C^{-1}]$	$-3,60.10^{-3}$	$-1,08.10^{-3}$	$-1,15.10^{-3}$

Tabela 6.4 – Valores Comparativos para a Referência V_G

6.4 RESULTADOS EXPERIMENTAIS – AMPLIFICADOR OPERACIONAL

A primeira avaliação do Amplificador Operacional será o seu valor de “offset”. Utilizou-se o esquema da Figura 6.4.

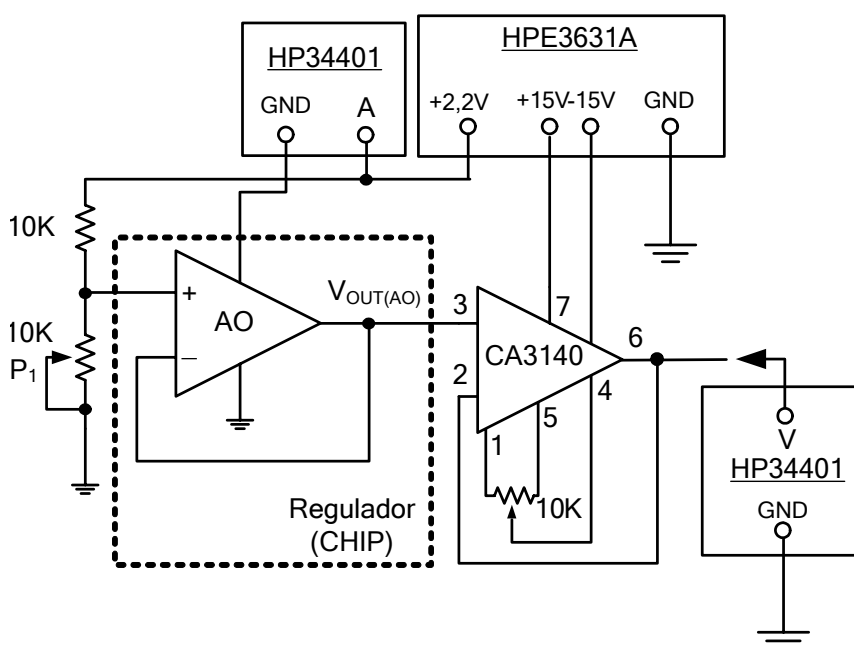


Figura 6.4 – Circuito para a Medida da tensão de “offset” do Amplificador Operacional

Ajusta-se o potenciometro P_1 para que o potencial da entrada não inversora corresponda ao terra analógico (1,1[V]). Feita a compensação de offset do CA3140 se faz a leitura indireta da tensão de saída do

Amplificador Operacional. O resultado é apresentado na *Tabela 6.5*. Mediu-se, também, a corrente de consumo quiescente $I_{(VDD)}$.

$V(+)$ [V]	$V_{OUT(AO)}$ [V]	$I_{(VDD)}$ [μA]
1,1	1,096	3,7

Tabela 6.5 – Medida do "offset" do Amplificador Operacional @ $V_{IN}=2,2V$ e $T=37[^\circ C]$.

Tomando-se a diferença, em módulo, do potencial de saída ($V_{OUT(AO)}$) e do potencial da entrada não inversora (V_+) chega-se a um offset de 4[mV] ($1,1[V]-0,096[V]$).

Mudando a configuração de medida para a *Figura 6.5* verifica-se que o Amplificador Operacional continua com a sua configuração de ganho unitário, porém a entrada não inversora recebe a composição de dois sinais. Um sinal DC, através do divisor resistivo, para se estabelecer o terra analógico de 1,1[V] (ajustado por P_1) e um sinal AC (inicialmente o Gerador de Funções está ajustado para uma onda triangular de 1[KHz] e amplitude de 3,3[V_{pp}]) acoplado via o capacitor de 0,1[μF]. A função deste capacitor é impedir que quaisquer níveis DC presentes na saída do Gerador de Funções "contamine" a entrada não inversora do Amplificador Operacional. A captura de tela do Osciloscópio, para esta medida, está na *Figura 6.6*.

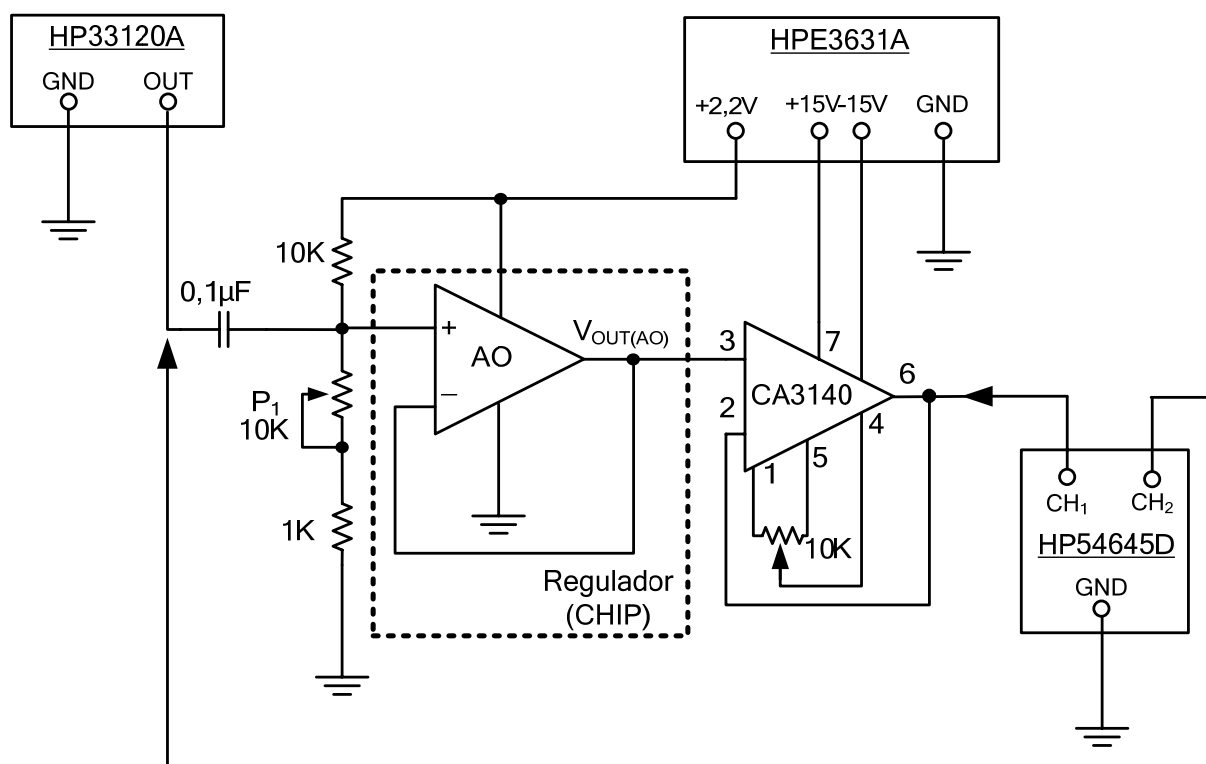


Figura 6.5 – Circuito para a Medida de Grandezas Dinâmicas do Amplificador Operacional

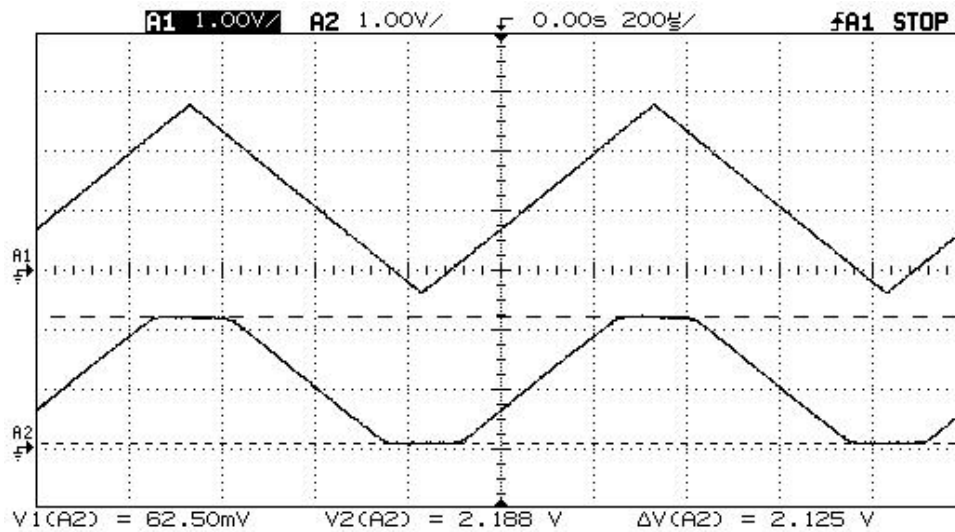


Figura 6.6 –Excursão “Rail-to-Rail” do Amplificador Operacional @ $V_{IN}=2,2[V]$ e $T=37[^\circ C]$.

O resultado da *Figura 6.6* permite avaliar o CMR do Amplificador Operacional como sendo aproximadamente, $V_{SS} + 62,5[mV]$ e $V_{DD} - 12[mV]$ ($2,2[V]-2,188[V]$).

Trocando-se o sinal AC para uma onda quadrada de baixa amplitude, no caso, $100[mV_{PP}]$ e frequência de $50[KHz]$ tem-se as capturas de tela das *Figuras 6.7* e *6.8*. A diminuição da amplitude tem por objetivo não provocar uma distorção do sinal de saída do Amplificador Operacional por “*Slew Rate*”.

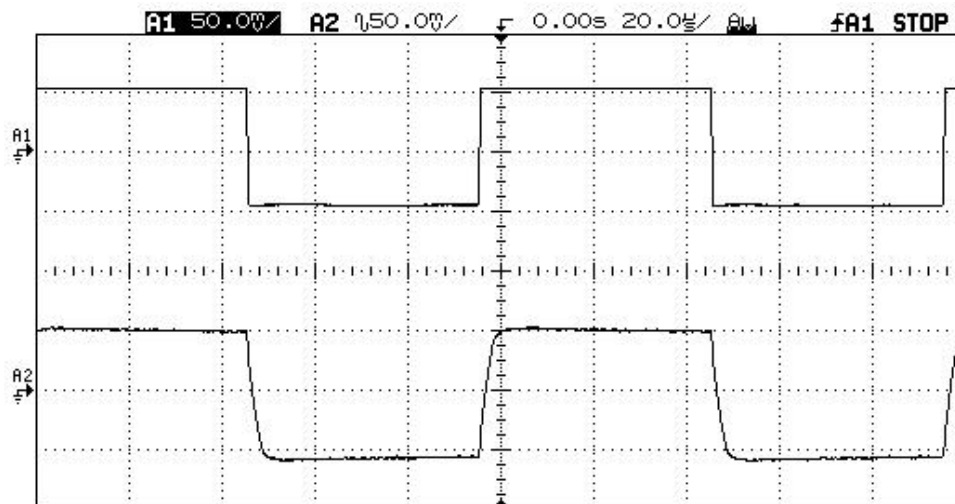


Figura 6.7 –Resposta do Amplificador Operacional para uma Onda Quadrada ($50[kHz]$) @ $V_{IN}=2,2[V]$ e $T=37[^\circ C]$.

Observa-se que existe uma grande simetria entre os tempos de subida e de descida indicando que as geometrias dos transistores NMOS e PMOS que compõem os estágios “*Cascode*” de saída estão otimizadas.

O tempo de acomodação pode ser estimado, igualmente, em $5,8[\mu s]$ tanto para a borda de subida quanto para a borda de descida. O “*Slew Rate*” também pode ser avaliado, aproximadamente, se considerar-se que a inclinação da rampa de subida “caminha” metade da tensão na metade do tempo de acomodação. Ou seja, $SR^+ = SR^- \approx 50[mV]/2,9[\mu s] = 0,017[V/\mu s]$.

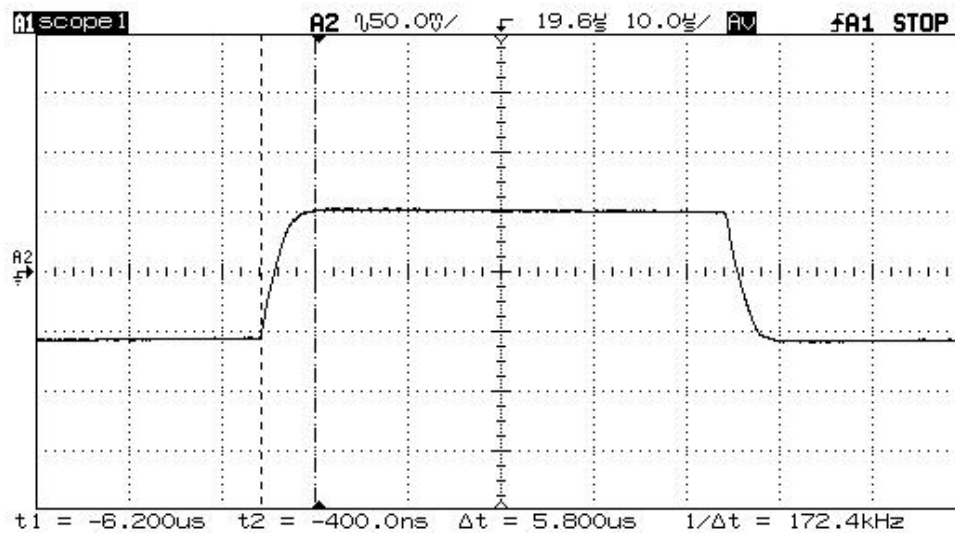


Figura 6.8 – Detalhe do Tempo de Subida da Figura Anterior.

Mudando-se, novamente, a tensão AC de entrada na *Figura 6.4* para uma onda senoidal, é possível extrair a frequência de ganho unitário (f_{uG}) e a margem de fase (ϕ_M). O procedimento consiste em se variar a frequência do sinal senoidal, verificando-se, simultaneamente, entrada e saída até que exista uma diferença de amplitude entre elas correspondente a atenuação de 3 [dB] (atenuar de 3 [dB] significa, em termos práticos, que a saída terá aproximadamente 70% do valor da tensão de entrada). A tensão senoidal foi mantida com uma baixa amplitude de 100m[V_{pp}] pelo motivo da distorção já comentada anteriormente. As *Figuras 6.9, 6.10 e 6.11* apresentam as formas de onda capturadas. Estes resultados são muito importantes, pois com eles poder-se-á avaliar o pólo dominante do Regulador de Tensão que garante a sua estabilidade.

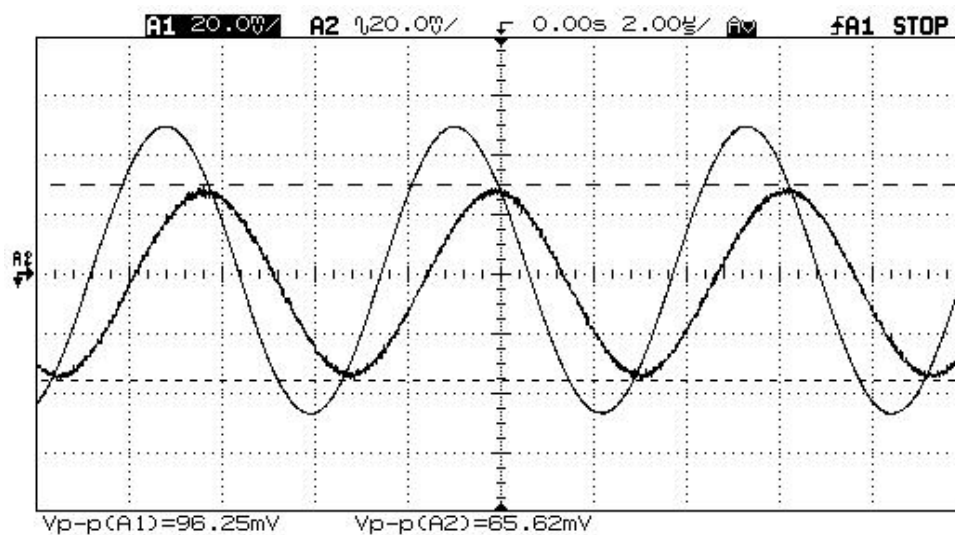


Figura 6.9 – Tensão de Saída a -3dB da Tensão de Entrada @ $V_{IN}=2,2[V]$ e $T=37[^\circ C]$.

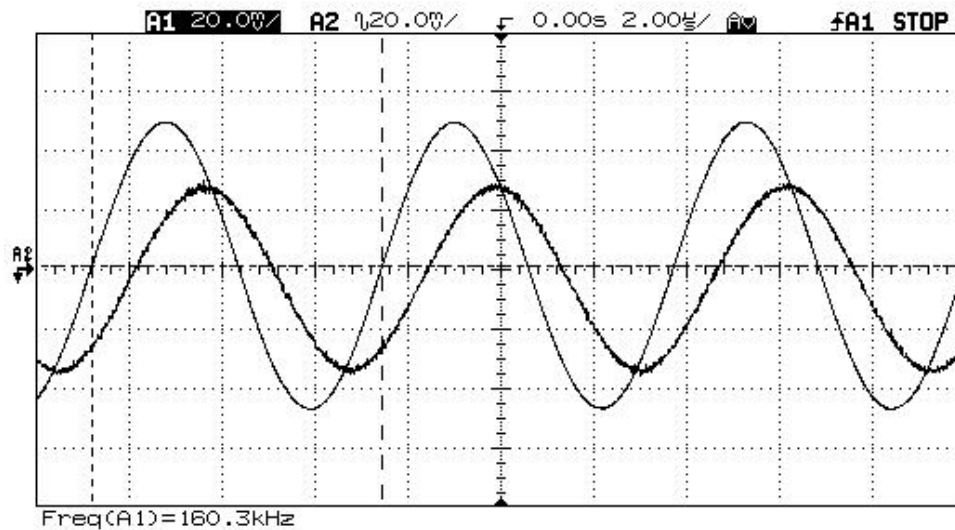


Figura 6.10 – Avaliação da Frequência Unitária.

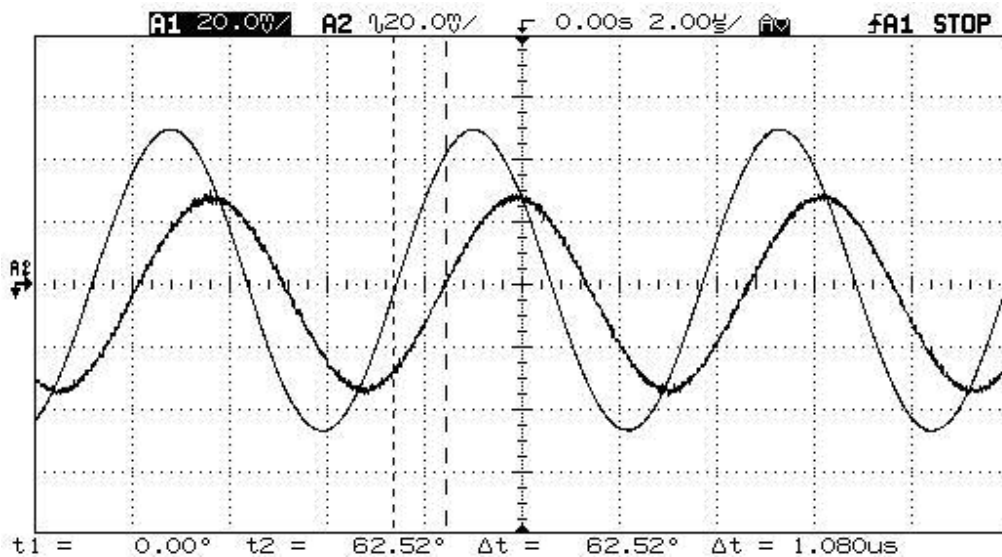


Figura 6.11 – Avaliação da Margem de Fase.

Pelos resultados apresentados tem-se uma frequência de ganho unitário de 160,3 [KHz] com uma respectiva margem de fase de 62,52°. Para se estimar o pólo dominante deve-se considerar que o produto Ganho em Malha Aberta (valor absoluto) versus Frequência é constante, e igual a f_{uG} , para um sistema que apresenta, justamente, a presença deste pólo dominante..

No pólo, o ganho em malha aberta está 3[dB] abaixo do seu valor máximo. Como avaliado no capítulo anterior, o ganho máximo do amplificador é 75,23 [dB] que corresponde a um valor absoluto de, aproximadamente, 5775. Portanto, na frequência do polo (f_{-3dB}) o ganho será, em valor absoluto de 4088.

Matematicamente, tem-se a eq. 6.6.

$$A_{OL} f_{uG} = 160.10^3 \Rightarrow 4088 f_{-3dB} = 160.10^3 \quad (6.6)$$

$$f_{-3dB} \approx 39 \text{ [Hz]}$$

Não se pode comparar este valor diretamente com o resultado de simulação que indica um pólo dominante em 130 [Hz] pois a capacitância para aquele caso era de 5,75[pF]. Analisando-se a eq 5.88 (Capítulo 5) verifica-se que a frequência de ganho unitário é inversamente proporcional ao valor de C_L . Considerando-se que a resistência de saída do Amplificador Operacional não sofre alteração, tem-se uma simples relação entre capacitores para se comparar os valores simulado e medido do pólo dominante do Regulador.

Se for corrigido o valor da simulação por esta relação ($30[pF]/[5,75[pF]]$) encontra-se que a frequência de -3[dB] seria 25 [Hz]. Esta deveria ser, então, a base de comparação com os 39[Hz] da medida.

A Tabela 6.6 exibe uma comparação entre as principais grandezas medidas e simuladas para o Amplificador Operacional.

	Simulado @ $V_{IN}=2,2[V]$ e $T=37[^\circ C]$ $C_L=5,75[pF]$	Medido @ $V_{IN}=2,2V$ e $T=37[^\circ C]$ $C_L=30[pF]$
V_{DD} [V]	2,2	2,2V
I_{DD} [μA]	3,5	3,7
P_D @ I_{DD}	7,7	8,14
f_u [KHz]	641.8	160,3
Pólo Dominante [Hz]	130	39
ϕ_M [°]	66,6	62,52
CMR	$V_{SS} + 100[mV]$ $V_{DD} - 100[mV]$	$V_{SS} + 62,5 [mV]$ $V_{DD} - 12[mV]$
SR^+ e SR^- [V/ μs]	0,2	0,017
T_{SET} @ 0,1% [μs]	3	5,8
V_{OFF} [mV]	-	4

Tabela 6.6 – Comparação entre os Valores Medidos e Simulados para o Amplificador Operacional.

6.5 RESULTADOS EXPERIMENTAIS – REGULADOR FINAL

Também para o Regulador como um todo existem algumas medidas de caráter DC e AC. O circuito que foi tomado por base para a realização destas medidas é ilustrado na Figura 6.12.

O primeiro conjunto de medidas foi elaborado de forma a se variar a corrente de carga e observar a tensão de saída com a temperatura mantida constante em 37[°C].

Neste caso, a saída do Gerador de Funções ficou fora do Regulador. O ajuste da corrente I_L é alcançado via P_1 . A presença do amperímetro indica a corrente média total consumida pelo Regulador e se descontarmos a corrente de carga (para esta medida, mantida constante em 500[μA]) é possível a avaliação da corrente quiescente. O amperímetro acusou uma corrente de aproximadamente 539[μA] que significa que a corrente quiescente I_Q vale 39[μA]. A Tabela 6.7 traz os dados levantados para a variação de corrente de carga e, a partir destes, é possível inferir a Regulação de Carga do Regulador.

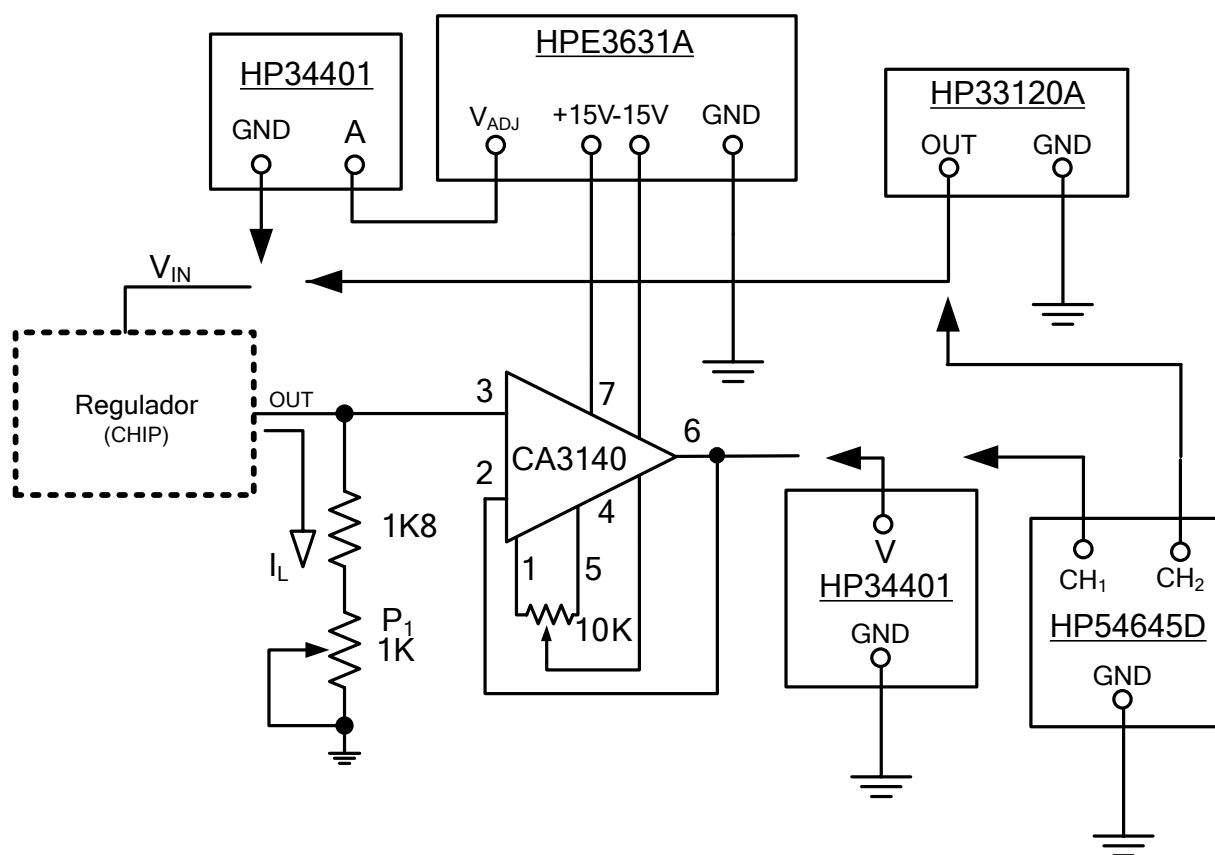


Figura 6.12 – Esquema para Realizar as Medidas no Regulador de Tensão.

V _{OUT} [V]	I _L [μA]	V _{OUT} [V]	I _L [μA]
0,993	553	1,026	251
1,004	504	1,028	200
1,012	450	1,031	150
1,016	401	1,032	112
1,019	350	1,035	56
1,022	300	1,038	5

Tabela 6.7 – Tensão de Saída para Diferentes Correntes de Carga @ V_{IN}=2,2V e T=37[°C].

Com os resultados da tabela acima, tem-se que:

$$\left. \frac{\Delta V_{OUT}}{\Delta I_L} \right|_T \approx \frac{1,038 - 0,993}{553 \cdot 10^{-6} - 5 \cdot 10^{-6}} \approx 82,1 \cdot 10^{-3} \left[\frac{\text{mV}}{\text{mA}} \right] \quad (6.7)$$

Utilizando-se o mesmo circuito, foram procedidas duas variações que permitem avaliar o Coeficiente Térmico e a Regulação de Linha. Mantendo-se constante a temperatura avaliou-se a tensão de saída para 3

valores da tensão de entrada não regulada e mantendo-se constante a tensão de entrada não regulada variou-se a temperatura. Estes resultados estão resumidos na *Tabela 6.8* na sequência.

	$V_{OUT} [V] @ I_L=0,5[mA]$		
$AVG(V_{IN} [V])$	@ $T=32[^\circ C]$	@ $T=37[^\circ C]$	@ $T=42[^\circ C]$
2,0	-	0,967	-
2,2	1,032	1,004	0,966
2,4	-	1,005	-

Tabela 6.8 – Tensão de Saída para Diferentes Tensões de Entrada @ $I_L = 0,5mA$.

Com os valores da tabela acima, pode-se calcular o Coeficiente Térmico (eq. 6.8) e a Regulação de Linha (eq. 6.9):

$$\left. \frac{\Delta V_{OUT}}{\Delta T} \right|_Q = \frac{0,966-1,032}{42-32} \approx 6,6 \cdot 10^{-3} \left[\frac{mV}{^\circ C} \right] \quad (6.8)$$

e

$$\left. \frac{\Delta V_{OUT}}{\Delta V_{IN}} \right|_T = \frac{1,005-0,967}{2,4-2,0} \approx 95 \cdot 10^{-3} \left[\frac{mV}{V} \right] \quad (6.9)$$

Modificando-se a tensão de entrada do regulador para uma onda quadrada (agora o amperímetro desligado e o Gerador acoplado ao Regulador) tem-se uma avaliação do seu comportamento dinâmico. A onda quadrada de entrada tem uma frequência de 10[KHz] e uma amplitude que varia entre 0[V] e 3[V].

As *Figuras 6.13* e *6.14* mostram os resultados capturados para esta medida. Para a condição de um erro de 0,1[%] em relação ao valor nominal da tensão de saída, o tempo de acomodação do Regulador está em aproximadamente 18[μs]

No circuito da *Figura 6.15* uma pequena modificação no circuito “*Buffer*” ajuda a avaliar a rejeição do Regulador em relação ao sinal de alimentação. Basta conectar o gerador de sinais, através de um acoplamento capacitivo ($C=0,1[\mu F]$), diretamente com a tensão de 2,2[V]. O circuito integrado CA3140 é substituído pelo LM318. A avaliação do PSSR é feita para a frequência do enlace de RF (10[MHz]) e o CA3140 tem uma frequência de ganho unitário de 4,5[MHz] o que degradaria a resposta. Por outro lado, o LM318 tem uma frequência de ganho unitário de 15[MHz]. Estas informações estão presentes nas folhas de dados dos fabricantes e, em especial para o LM318, a conexão “*Buffer*” sugerida é denominada de “*Fast Voltage Follower*”. A compensação de tensão de “*offset*” é semelhante ao do CA3140.

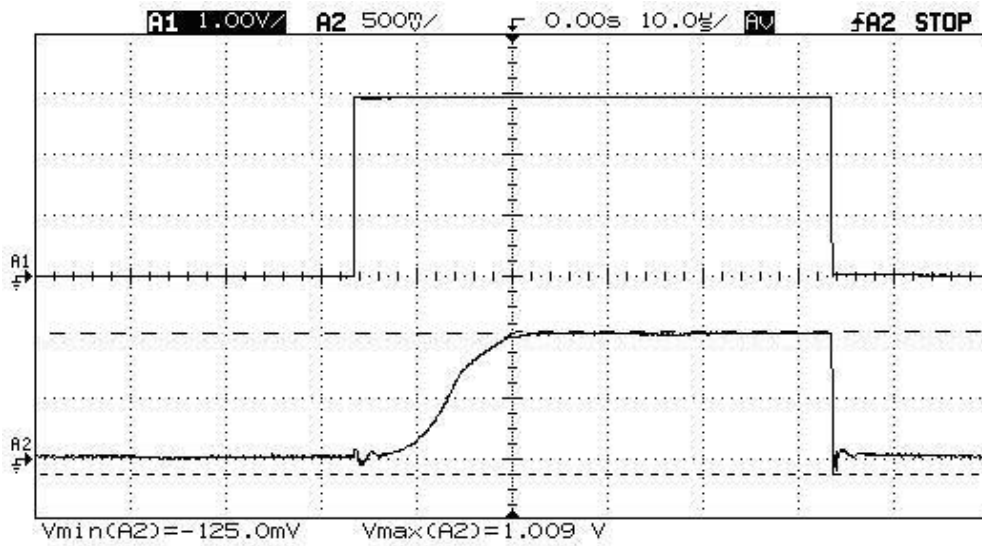


Figura 6.13 – Tensão de Saída do Regulador com Carga Nominal @ $V_{IN} = 2,2[V]$ e $T = [37^\circ]$.

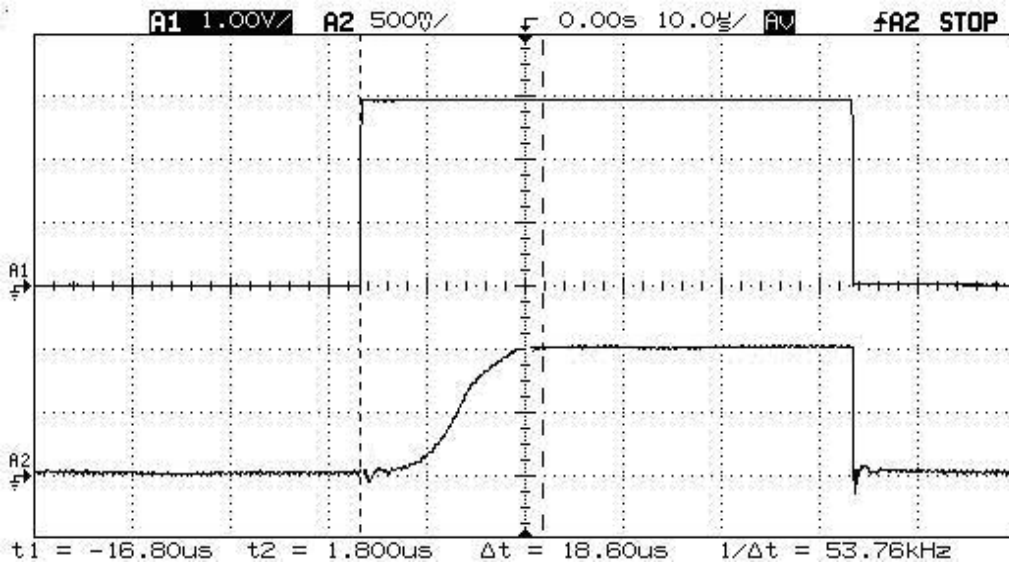


Figura 6.14 – Tensão de Saída do Regulador, porém Destacando o Tempo de Acomodação.

O sinal AC será fixado com uma baixa amplitude ($100[mV_{pp}]$) para evitar quaisquer distorções por “Slew Rate” dos amplificadores operacionais (no chip Regulador e externo) e com uma frequência, como já mencionado, de $10[MHz]$ que correspondente ao enlace de RF. A *Figura 6.16* tem a ilustração do sinal de saída do Regulador capturada.

De acordo com os valores observados, a PSRR pode ser calculada como:

$$PSRR = 20\log\left[\frac{V_{OUT(ripple)}}{V_{IN(ripple0)}}\right] = 20\log\left(\frac{1,250 \cdot 10^{-3}}{100 \cdot 10^{-3}}\right) \approx -38 \quad [dB] \quad (6.10)$$

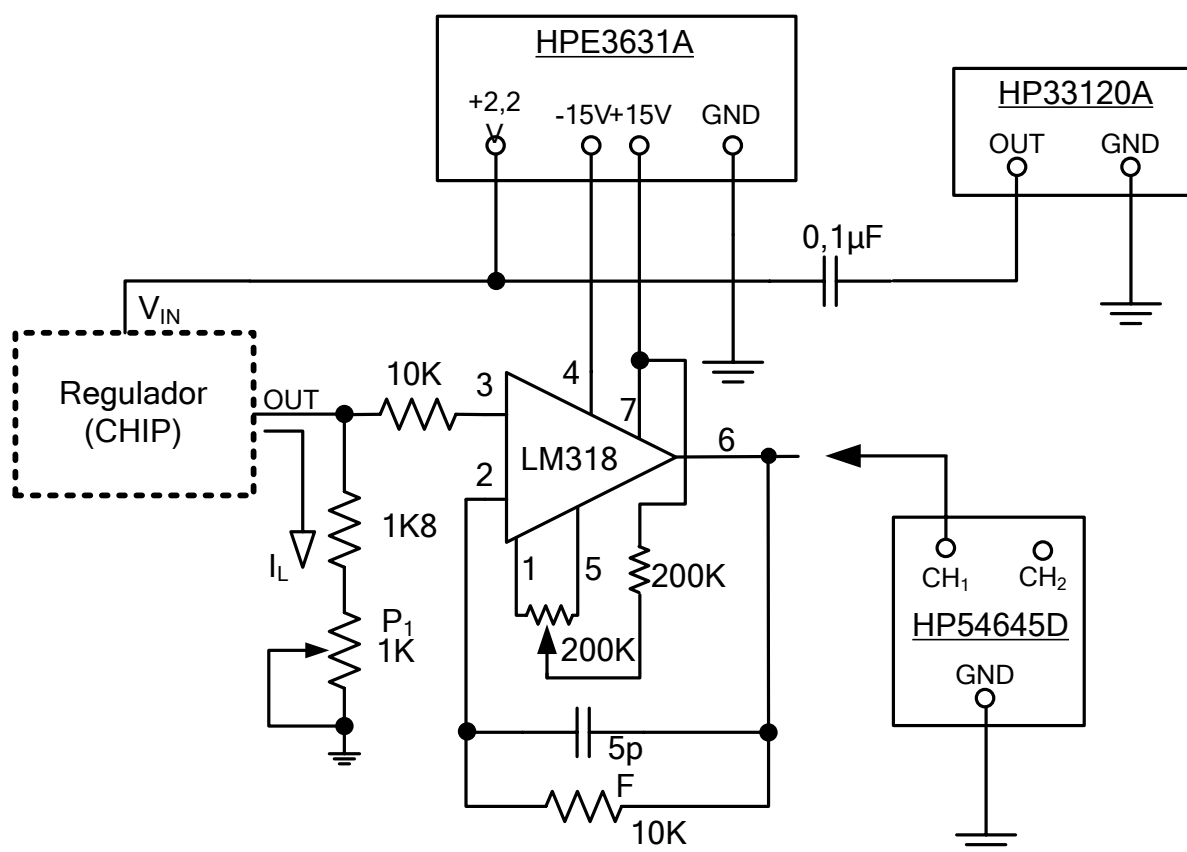


Figura 6.15 – Modificação do “Buffer” para medida em Frequência mais Elevada.

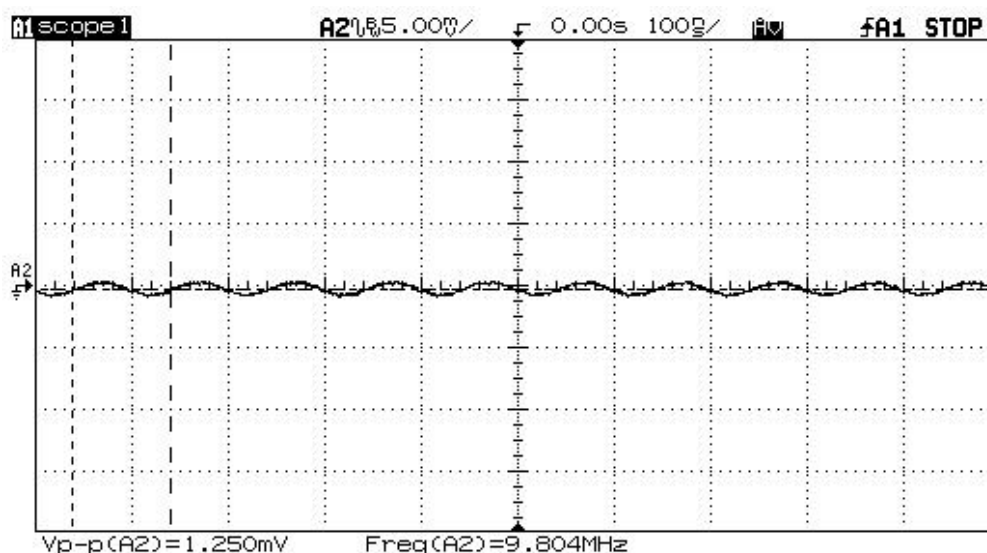


Figura 6.16 – Detalhe da Componente AC da Tensão de Saída @ $T=37[^\circ\text{C}]$

Para uma visualização mais global do desempenho do Regulador de Tensão projetado, a *Tabela 6.9* resume as suas principais características. Estão listados os dados de simulação e os advindos do processo de medidas em bancada.

Uma verificação destes valores pode comprovar os objetivos propostos ao projeto, uma vez que não se observa nenhum valor discrepante ao ponto de inviabilizar a operação do Regulador.

Características	Valores Simulados	Valores Medidos
T_{NOM}	37[°C]	37[°C]
$V_{\text{NOM}} (V_{\text{IN}})$	2,2[V]	2,218[V]
$I_{\text{L(NOM)}}$	0,5[mA]	0,5[mA]
$P_{\text{D(NOM)}}$	1,17[mW]	1,186[mW]
V_{OUT}	1[V] @ $I_{\text{L}} = 0,5\text{mA}$	1,038[V] @ $I_{\text{L}} = 5[\mu\text{A}]$ 1,004[V] @ $I_{\text{L}} = 0,5[\text{mA}]$
I_{Q}	30[μA]	39[μA]
$\Delta V_{\text{OUT}}/\Delta T$	-6[mV/°C]	-6,6[mV/°C]
$\Delta V_{\text{OUT}}/\Delta V_{\text{IN}}$	103[mV/V]	95[mV/V]
$\Delta V_{\text{OUT}}/\Delta I_{\text{L}}$	74,8[mV/mA]	82[mV/mA]
$\text{PSRR @ } 10\text{MHz}$	-42,6dB	-38dB
E_{FF}	42,8[%]	42,3[%]
$T_{\text{SET @ } 0,1\%}$	14,87[μs]	18,6[μs]

Tabela 6.9 – Resumo das Principais Características do Regulador de Tensão Projetado.

ESTE CAPÍTULO TEM POR FINALIDADE APRESENTAR AS CONSIDERAÇÕES FINAIS A RESPEITO DESTE PROJETO BEM COMO SUGERIR OUTROS TRABALHOS QUE PODERÃO DAR CONTINUIDADE A ESTA LINHA DE PESQUISA..

7.1 CONSIDERAÇÕES SOBRE O PROJETO DESENVOLVIDO

A grande evolução que presenciamos no nosso dia a dia traz à tona a grande revolução que foi imposta desde a fabricação do primeiro transistor bipolar no final da década de 50 do século XX. A eletrônica evoluiu para a microeletrônica e a microeletrônica está evoluindo para a nanoeletrônica.

Toda esta evolução traz consigo o anseio do ser humano pelo desenvolvimento de equipamentos mais eficazes e, se possível, miniaturizados. Em praticamente todos os ramos de atividades vamos encontrar o que se denomina de “*High-Tec*”.

A Medicina e suas ciências correlatas não poderiam ficar alheias a esta explosão de tecnologia e, inteligentemente, buscou a parceria com esta poderosa ferramenta de projeto de circuitos integrados que é a microeletrônica. Uma ferramenta, que pela sua contínua evolução, agrega profissionais de diferentes áreas como Engenharia, Física, Computação, etc.

O objetivo da Medicina é trazer ao ser humano qualidade de vida e, para tanto, existe a necessidade de um acompanhamento regular do paciente. Exames laboratoriais, prática de exercícios físicos e terapias são alguns exemplos.

Melhor seria que os profissionais de saúde pudessem contar com equipamentos de diagnóstico precisos, com preços populares e acima de tudo confiáveis. Novamente, entra em cena a microeletrônica.

Com o seu poder de reduzir todo um sistema em um pequeno “*CHIP*” ela contribui para condições de contorno muito interessantes como: aumento da confiabilidade (em relação a uma sistema semelhante, porém discreto), redução de tamanho, redução de potência e, principalmente, a produção em larga escala que pode baratear o custo final.

Alguns sistemas apontam para soluções implantáveis (o que reduziria a utilização de técnicas altamente invasivas) que podem ser realizadas até de forma ambulatorial e até “conectar” o paciente a um meio de comunicação para uma avaliação à distancia pelo profissional de saúde.

Com base nesta realidade que o Grupo de Microeletrônica da UNIFEI juntamente com o Grupo de sensores do LSI/USP têm norteado seus projetos de pesquisa para as áreas de Bio-Telemetria, de Bio-Engenharia e de Bio-Implantes.

O objetivo principal focado no desenvolvimento deste projeto foi a implementação de um Regulador de Tensão para uma aplicação em particular que é o sistema de biotelemetria descrito nos Capítulos iniciais.

Portanto, este Projeto pode ser encarado como um “ASIC”, ou seja, um Circuito Integrado de Aplicação Específica. O ponto fundamental, quando de seu desenvolvimento, é a sua simplicidade em termos circuitais e baixo custo, sem perder de vista aspectos importantes de seu desempenho elétrico e segurança ao usuário.

Algumas condições de contorno permitem que Figuras de Mérito clássicas como, por exemplo, a dependência com a temperatura, sejam fixadas de modo a ser menos rígidas, pois devemos nos lembrar que, estando o paciente “saudável”, a sua temperatura corporal é mantida constante por um eficiente sistema biológico realimentado que envolve a troca de calor com o meio ambiente.

Outro ponto fundamental que norteou este projeto foi a busca por soluções que evitassem a presença de quaisquer componentes discretos tendo em vista a natureza da aplicação, que é um implante do tipo transcutâneo. Esta é uma condição de contorno essencial uma vez que a topologia clássica dos Reguladores LDO (que é a base deste projeto) depende da presença de um capacitor (geralmente eletrolítico e, por conseguinte, muito grande para esta aplicação) conectado em paralelo com a carga.

Mesmo para outros reguladores reportados na literatura, sem a presença deste capacitor, o que se observa são circuitos mais complexos em termos circuitais e que consomem mais área de silício. Além disto, alguns apresentam uma característica de “Uso Geral” levando a Figuras de Mérito com especificações em faixas mais limitadas

Com base nos resultados obtidos, verifica-se que o objetivo foi alcançado principalmente no que diz respeito a simplicidade das topologias adotadas nas soluções. Considera-se, ainda, que exista uma contribuição na topologia do Regulador Linear, uma vez que a revisão da literatura não aponta para soluções semelhantes.

Deve-se, contudo, ter em mente que a solução apresentada representa um compromisso de uma dissipação de potência adicional no estágio Seguidor de Fonte em relação a uma estabilidade incondicional de operação.

Mesmo com a dissipação adicional, a potência total do Regulador (aproximadamente 1,2[mW]) está dentro de um limite seguro. Em [17], por exemplo, um implante com uma dissipação de 28[mW] é reportado como sendo aceitável no que diz respeito ao aquecimento que ele provoca nos tecidos adjacentes.

Um aspecto interessante, que precisa ser mencionado, diz respeito ao modelamento utilizado nos transistores. Todas as simulações foram efetuadas baseando-se nos modelos fornecidos pela TSMC (modelamento para a versão BSIM3V3). Estes modelos são apresentados para 3 situações distintas, a saber: condições típicas, pior caso de potência e pior caso de velocidade.

As simulações foram realizadas usando-se as condições típicas de modelamento e os resultados obtidos nas medidas estão bastante próximos. Entretanto, deve ser ressaltado que as simulações de Monte Carlo apresentadas no trabalho indicam a possibilidade de variação nas características elétricas dos circuitos Gerador de Referências e do Regulador como um todo.

A grande vantagem de se optar por um sistema que é alimentado por um enlace de rádio frequência é a possibilidade de se controlar o nível de potência incidente e, consequentemente, os níveis de tensão decorrentes podem ser flexibilizados. Tendo-se a consciência do quão próximo a unidade transmissora pode chegar da região em que se encontra o implante, fica à cargo do circuito que interfaceia o Regulador com a antena receptora limitar o valor de tensão necessário para a sua operação (ao mesmo tempo diminuindo possíveis variações).

Na metodologia de projeto, adotada neste trabalho, iniciou-se com uma caracterização, por simulação, de um transistor NMOS tomado por base, especificando-se todos os outros a partir dele. Com o uso de um equacionamento simples os cálculos manuais foram refinados através de um processo iterativo com simulações sucessivas. Os resultados finais obtidos mostraram-se bastante satisfatórios validando-se, desta forma, tal procedimento.

7.2 QUADRO COMPARATIVO COM OUTROS TRABALHOS REPORTADOS NA LITERATURA

A Tabela 7.1 a seguir traz um quadro comparativo com outros trabalhos já reportados na literatura.

	Projeto	[104]	[105]	[106]
Tecnologia [μm]	0.35	0.18	0.35	0.35
V_{OUT} [V]	1	0.9	1	2.8
I_{Lmax} [mA]	0.5	50	100	50
I_Q [μA]	35.7	1.2	100	65
ΔV_{OUT}/ΔV_{IN} [mV/V]	95	3,625	0,344	0,4
ΔV_{OUT}/ΔI_L [mV/mA]	82	0,148	0,338	2.5
PSRR [dB]	-38@10MHz	-	-	-57@1KHz
T_{SET} [μS]	16,6	4	-	15
ESR (externo)	Não	Sim	Sim	Não

Tabela 7.1 – Quadro Comparativo do Projeto com outros Reguladores Reportados.

As Figuras de Mérito deste projeto, se comparadas com os reguladores listados na tabela anterior, podem indicar um resultado que confere um grau de precisão inferior. Contudo, o que se observa nos outros projetos indicam para soluções gerais e não para soluções específicas.

Dentro da conjuntura em que foi proposto este Regulador Linear, ou seja, a aplicação para a alimentação de um bio-implante que é ativado por um enlace de rádio frequência, considera-se os resultados obtidos no teste do protótipo satisfatórios.

7.3 TRABALHOS FUTUROS

Existem algumas propostas de trabalhos que podem ser desenvolvidos a partir dos conhecimentos adquiridos durante a realização deste projeto. A princípio, ficaria a cargo dos profissionais envolvidos com o Grupo de Microeletrônica e com o Grupo de Sensores examinar estas propostas, avaliando-se quais seriam os níveis adequados (Iniciação Científica, Trabalho de Final de Curso ou, ainda, Mestrado e Doutorado) e o tipo de intercâmbio entre as Instituições de Ensino. A seguir, uma idéia resumida delas.

- ✓ Merecem um estudo mais aprofundado as topologias dos circuitos retificadores por um motivo fundamental: a busca de soluções que aumentem a sua eficiência. O uso de dispositivos diferenciados que possam ser implementados na tecnologia CMOS padrão, por exemplo um diodo Schottky, e o equacionamento mais rigoroso dos casamentos de impedância com a antena são caminhos recomendados;
- ✓ Com relação às antenas, seria interessante fazer um levantamento das tecnologias disponíveis para a sua fabricação, principalmente para a que vai estar integrada juntamente com o circuito do implante. Um equacionamento mais rigoroso para os seus casamentos de impedância assim como para o seu respectivo circuito de ressonância seriam necessários;
- ✓ Todos os circuitos propostos podem ser reprojatados para uma tecnologia com menores dimensões de canal. Com a conseqüente diminuição das tensões de limiar dos transistores, provavelmente, alcançar-se-iam melhores eficiências em algumas Figuras de Mérito além de uma óbvia redução de área de silício;
- ✓ A tensão de entrada no Circuito Integrado precisa ser limitada para que o valor máximo de operação dos transistores não seja excedido. Apesar de algumas tecnologias CMOS possuírem dispositivos diferenciados que suportam tensões superiores, seria interessante manter a operação do CI dentro dos seus valores nominais. Para tanto, propõe-se uma investigação desta classe de circuitos;
- ✓ Seria interessante investigar a necessidade, ou não, da presença de circuitos de proteção na saída do Regulador para correntes excessivas (uma condição de curto circuito). Topologias clássicas como, por exemplo, “*Folded-Back*” poderiam ser adaptadas;
- ✓ O circuito, da maneira como foi concebido, pode apresentar mais de uma tensão de saída. Bastaria, para tanto, incorporar outros transistores NMOS (que emulam a presença do resistor R_1 do circuito amostrador) com diferentes aspectos de geometria. Ou poder-se-ia modificar o valor da tensão de referência V_{REF} . Merece um estudo no que diz respeito ao impacto na eficiência do Regulador como um todo;

- ✓ A incorporação de um circuito, de características dinâmicas, para que o Regulador não operasse a vazio. Poderia ser uma fonte de corrente que consumisse uma porcentagem (10%) do valor nominal da corrente de carga e que fosse sensibilizada pela mesma. Quando a corrente de carga começar a subir esta fonte de corrente interna desligaria. Acredita-se que este procedimento poderia diminuir a Regulação de Carga.
- ✓ Para aplicações que possam envolver variações de temperatura além do limite do corpo humano, as referências de tensão precisam ser reprojctadas para que apresentem uma maior insensibilidade a este parâmetro.
- ✓ Verificar a possibilidade de reduzir as regulações de Linha e de Carga através do uso de fontes de corrente com maiores resistência de saída no circuito Gerador de Referências. Uma alternativa, embora consuma uma área de silício maior, seria o uso de transistores compostos.

Apêndice A (Caracterização do Transistor NMOS Base)

Para se efetuar os cálculos manuais é necessário que se tenha em mãos um modelo simplificado dos MOSFETs. Este apêndice tem por objetivo relatar a extração dos parâmetros a serem usados na eq. (A.1) [70] sendo válida para ambos os transistores (NMOS e PMOS) quando operando na região de saturação.

$$I_D = \frac{KP}{2(1+\delta)} \left(\frac{W}{L} \right) (V_{GS} - |V_{TH0}|)^2 = \beta (V_{GS} - |V_{TH0}|)^2 \quad [A] \quad (A.1)$$

A princípio será caracterizado o Transistor NMOS. O processo consiste em se realizar uma simulação simples, mas que seja suficiente para se avaliar os parâmetros necessários. Os Modelos SPICE usados são fornecidos pela TSMC.

A eq. (A.1) precisa ser manipulada, como se segue, para facilitar a extração:

$$\sqrt{I_D} = \sqrt{\frac{KP}{2(1+\delta)} \left(\frac{W}{L} \right) (V_{GS} - |V_{TH0}|)^2} \Rightarrow \sqrt{I_D} = \sqrt{\frac{KP}{2(1+\delta)} \left(\frac{W}{L} \right)} (V_{GS} - |V_{TH0}|) \quad (A.2)$$

A eq. (A.2) indica que se for plotada em um eixo cartesiano, será encontrado, teoricamente, uma relação linear. Se for possível acessar dois pontos desta reta fica imediata a avaliação do coeficiente angular da mesma, assim como o seu cruzamento com o eixo X através de uma interpolação polinomial de ordem 1, ou seja, linear.

Para se obter uma plotagem da eq. (A.2) será utilizado, na simulação, o circuito ilustrado na *Figura A.1*. Trata-se de uma configuração em que através de uma análise DC é possível variar o valor de V_{GS} para diferentes valores de V_{DS} .

O transistor tomado por base tem uma geometria com $W=2[\mu m]$ e $L=1[\mu m]$. O valor de L foi adotado como sendo aproximadamente 3 vezes maior que o mínimo permitido pela tecnologia ($0,35\mu m$) para se minimizar efeitos de canal curto. O valor de W foi escolhido de forma a manter uma geometria relativamente pequena e que as correntes produzidas fiquem na casa das unidades a dezenas de μA .

Para V_{DS} foram assumidos os valores de 1[V], 1,5[V] e 2[V] e a temperatura nominal foi fixada em 37[°C]. A varredura de V_{GS} será entre 0[V] e 1[V].

A *Figura A.2* traz o resultado desta simulação. A *Figura A.3* destaca a região de interesse com os dois pontos que serão utilizados para a regressão linear. Foram escolhidos de modo a contemplar uma região de operação do transistor em que a corrente de Dreno situa-se entre 1[μA] e 10[μA]

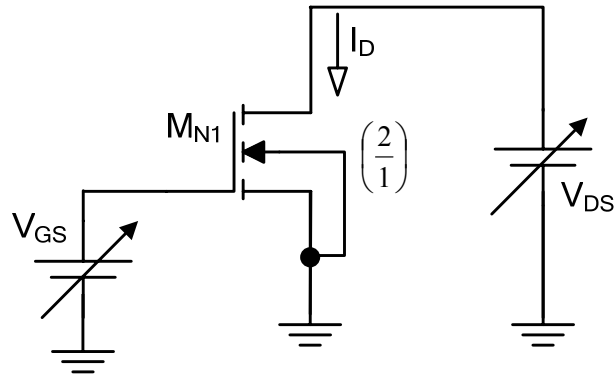


Figura A.1 – Circuito para o Levantamento da Curva Relativa à Corrente de Dreno.

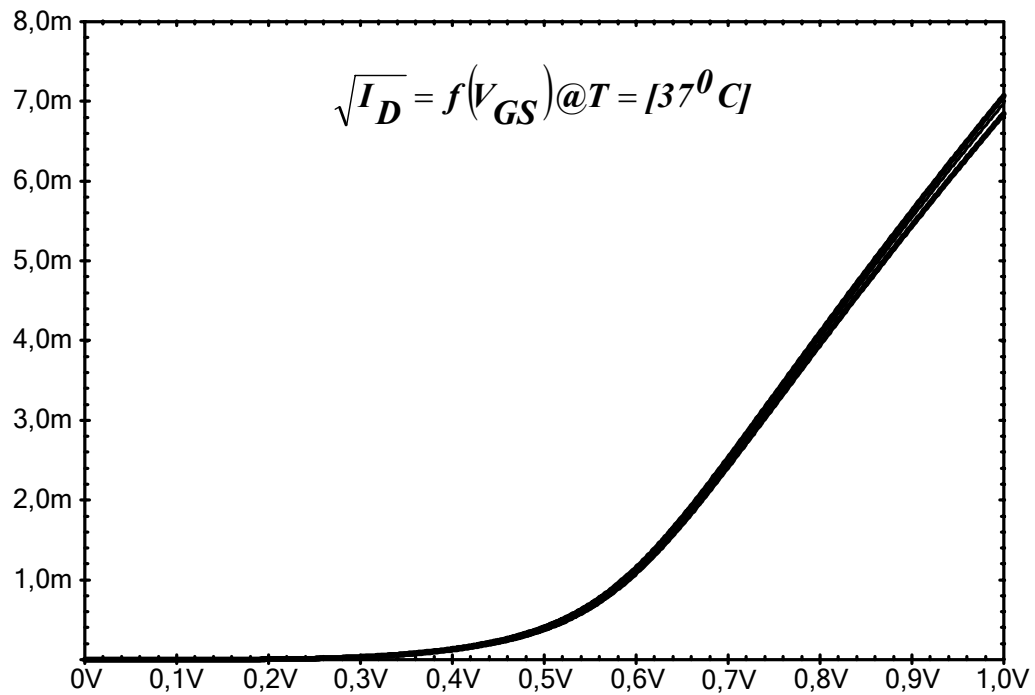


Figura A.2 – Resultado da Simulação Indicando a Raiz Quadrada de I_D em Função de V_{GS}

Deve-se observar que o impacto da tensão V_{DS} pode ser minimizado em uma primeira aproximação. Esta situação está em consonância com a eq. (A.1) uma vez que nela não aparece o termo de modulação da largura de canal (λ). A interpolação linear, na forma de Lagrange, dados 2 pontos (x_0, f_0) e (x_1, f_1) é equacionada como [108]:

$$p(x) = L_0(x)f_0 + L_1(x)f_1 \quad (A.3)$$

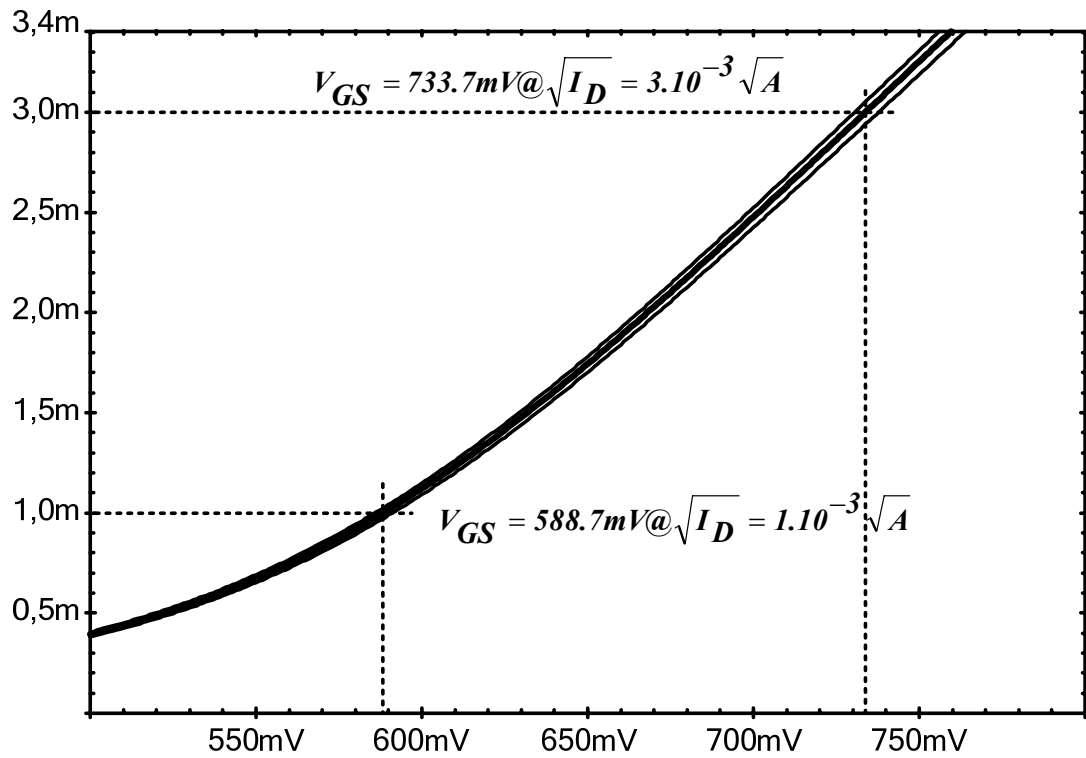


Figura A.3 – Região de Interesse da Curva Simulada em Destaque.

Em que os coeficientes L_0 e L_1 são:

$$L_0(x) = \frac{x - x_1}{x_0 - x_1} \quad \text{e} \quad L_1(x) = \frac{x - x_0}{x_1 - x_0} \quad (\text{A.4})$$

Combinando-se as equações (A.3) e (A.4), vem:

$$p(x) = f_0 + \frac{f_1 - f_0}{x_1 - x_0} (x - x_0) \quad (\text{A.5})$$

A Tabela A.1, na sequência, mostra a correspondência entre os termos da equação (A.5) e os valores que foram obtidos na simulação.

$p(x)$	$\sqrt{I_D}$
x	V_{GS}
(x_0, f_0)	$(1.10^{-3}, 588,7.10^{-3})$
(x_1, f_1)	$(3.10^{-3}, 733,7.10^{-3})$

Tabela A.1 – Pontos Extraídos do Resultado de Simulação.

Substituindo-se na eq. (A.5) tem-se:

$$\sqrt{I_D} = 1.10^{-3} + \frac{2.10^{-3}}{145.10^{-3}} (V_{GS} - 588,7.10^{-3}) \Rightarrow \sqrt{I_D} = 13,8.10^{-3} V_{GS} - 7,12.10^{-3} \quad (A.6)$$

Como citado anteriormente, a equação (A.6) representa uma reta e podemos extrair os seguintes parâmetros:

1) A partir do cruzamento com o eixo X:

$$V_{TH0} = \frac{7,12.10^{-3}}{13,8.10^{-3}} = 516.10^{-3} \Rightarrow V_{TH0} = 516 \quad [mV] \quad (A.7)$$

2) A partir do Coeficiente Angular e lembrando que a relação $W/L = 2$:

$$\sqrt{\frac{KP}{2(1+\delta)} \left(\frac{W}{L} \right)} = 13,8.10^{-3} \Rightarrow \sqrt{\frac{KP}{2(1+\delta)}} = \frac{13,8.10^{-3}}{\sqrt{\frac{W}{L}}} = \frac{13,8.10^{-3}}{\sqrt{2}} = 9,76.10^{-3} \quad (A.8)$$

E finalmente:

$$\frac{KP}{2(1+\delta)} = 95,3.10^{-6} \quad \left[\frac{\mu A}{V^2} \right] \quad (A.9)$$

Em algumas situações, é necessário acrescentar um maior formalismo na equação (A.1) no sentido de incluir o efeito da modulação de canal. Esta inclusão é importante quando se calcula manualmente, por exemplo, relações que envolvem o conceito de sensibilidade. A equação (A.1) torna-se:

$$I_D = \frac{KP}{2(1+\delta)} \left(\frac{W}{L} \right) (V_{GS} - |V_{TH0}|)^2 (1 + \lambda V_{DS}) = \beta (V_{GS} - |V_{TH0}|)^2 (1 + \lambda V_{DS}) \quad [A] \quad (A.10)$$

O procedimento de extração do parâmetro λ é semelhante aos procedimentos que foram adotados até o momento neste Apêndice. Para facilitar a visualização desta extração, assim como determinar dois pontos de interesse para realizar a interpolação, será utilizado, na simulação, o mesmo circuito da Figura A.1. Trata-se de uma análise DC ninhada em que duas variáveis (no caso V_{DS} e V_{GS}) são varridas com o intuito de se levantar a curva característica $I_D = f(V_{DS})$ para diferentes valores de V_{GS} .

As curvas de I_D foram traçadas para os seguintes valores de V_{GS} : 0,5[V], 0,6[V], 0,7[V] e 0,8[V] sendo usada a mesma geometria para o transistor. Ao se fazer a linearização de uma destas curvas, o ponto de cruzamento com o eixo x (V_{DS}) corresponde ao valor $-1/\lambda$.

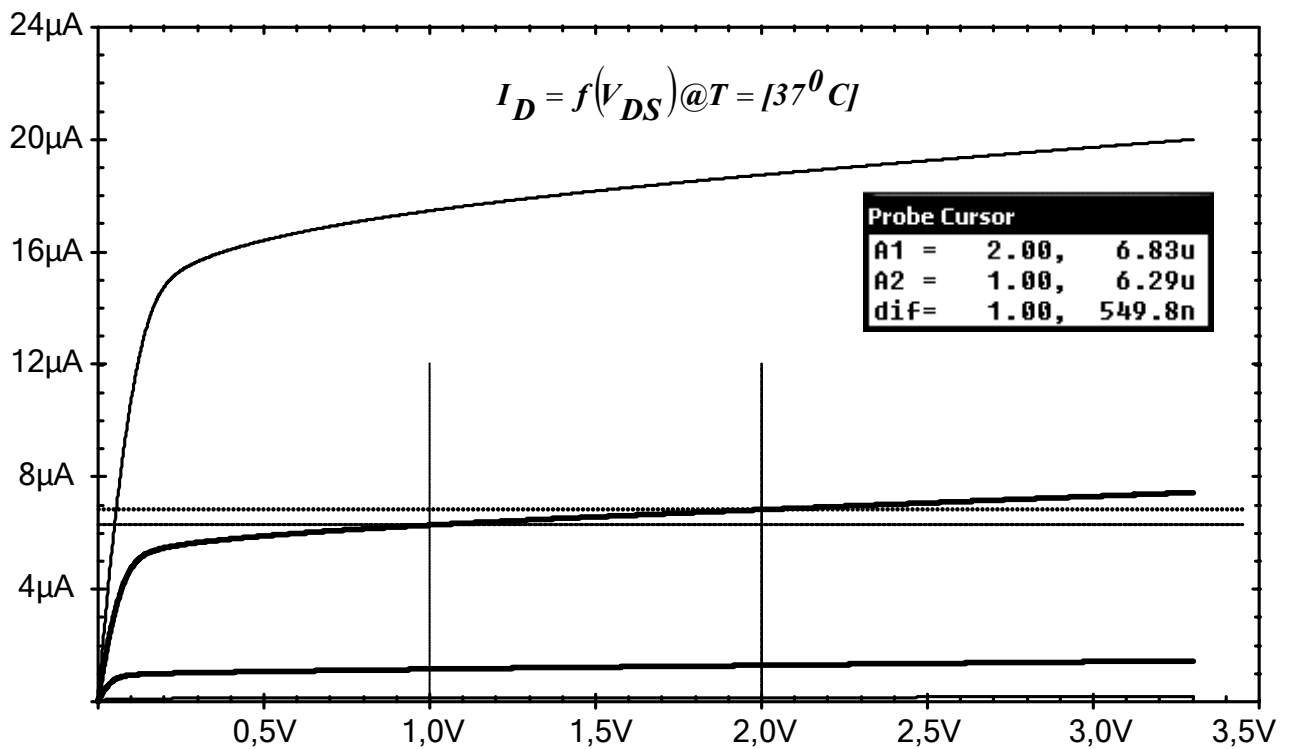


Figura A.5 – Característica $I_D = f(V_{DS})$ e os Pontos para se Fazer a Interpolação Linear.

A Tabela A.2 mostra os pontos extraídos que serão usados na interpolação.

$p(x)$	I_D
x	V_{DS}
(x_0, f_0)	$(1, 6,29.10^{-6})$
(x_1, f_1)	$(2, 6,83.10^{-6})$

Tabela A.2 – Pontos Extraídos da Simulação para a Interpolação.

Fazendo a substituição na equação (A.5) tem-se:

$$I_D = 5,74.10^{-6} + 549,8.10^{-9} V_{DS} \quad [A] \quad (A.11)$$

Na equação (A.11) quando $I_D = 0$ tem-se o cruzamento com o eixo V_{DS} ($-1/\lambda$), então:

$$0 = 5,74.10^{-6} + 549,8.10^{-9} V_{DS} \Rightarrow -\frac{1}{\lambda_N} = -10,44 \Rightarrow \lambda_N \approx 0,096 \quad \left[\frac{1}{V} \right] \quad (A.12)$$

Existe uma condição de operação do transistor NMOS que também merece ser representada. É quando este dispositivo opera no modo de inversão fraca. Para esta situação, o comportamento da corrente de Dreno

do transistor MOS se assemelha ao comportamento da corrente de Coletor do transistor Bipolar. A equação para I_D (sem efeito de corpo) passa a ser [20, 21]:

$$I_D = I_X \left(\frac{W}{L} \right) \exp \left(\frac{V_{GS} - V_{TH0}}{nU_T} \right) \left[1 - \exp \left(\frac{-V_{DS}}{nU_T} \right) \right] \quad [A] \quad (A.13)$$

Em (A.13) U_T é a tensão equivalente de temperatura (aproximadamente 26[mV] para a temperatura do corpo humano de 37[°C]) e I_X é denominada corrente característica. A condição de operação na região de saturação em um transistor MOS ocorre quando a tensão V_{DS} for maior que $3U_T$ (aproximadamente 78[mV]) e, sendo maior que este valor, o termo exponencial que contém $-V_{DS}/nU_T$ se torna muito menor do que 1 e pode ser desprezado. Assim, a equação para a corrente de Dreno pode ser reescrita:

$$I_D = I_X \left(\frac{W}{L} \right) \exp \left(\frac{V_{GS} - V_{TH0}}{nU_T} \right) \quad [A] \quad (A.14)$$

Tomando-se o logaritmo Neperiano para ambos os lados da equação (A.14) verifica-se que alcança uma relação linear:

$$\ln(I_D) = \ln \left[I_X \left(\frac{W}{L} \right) \exp \left(\frac{V_{GS} - V_{TH0}}{nU_T} \right) \right] = \ln \left(I_X \frac{W}{L} \right) + \frac{V_{GS} - V_{TH0}}{nU_T} \quad (A.15)$$

Lançando mão de um processo de simulação, usando-se o mesmo circuito da *Figura A.1*, é feita uma análise do tipo DC SWEEP (variando-se V_{GS} para 3 diferentes valores de V_{DS}) cujo resultado é mostrado na *Figura A.6*.

Como se observa, para a região entre 400mV e 500mV existe um comportamento linear e tomando por base os pontos limites desta região é possível estabelecer uma interpolação linear. Para tanto considerar os valores da *Tabela A.3*.

p(x)	Ln(I _D)
x	V _{GS}
(x ₀ ,f ₀)	(0,4, 15,7.10 ⁻⁹)
(x ₁ ,f ₁)	(0,5, 144,8.10 ⁻⁹)

Tabela A.3 – Dados para Interpolação Vindos do Resultado da Simulação.

Uma vez que se envolve logaritmo na eq. (A.15), os pontos passam a ser $(x_0, f_0) = (0,4, -17,97)$ e $(x_1, f_1) = (0,5, -15,75)$.

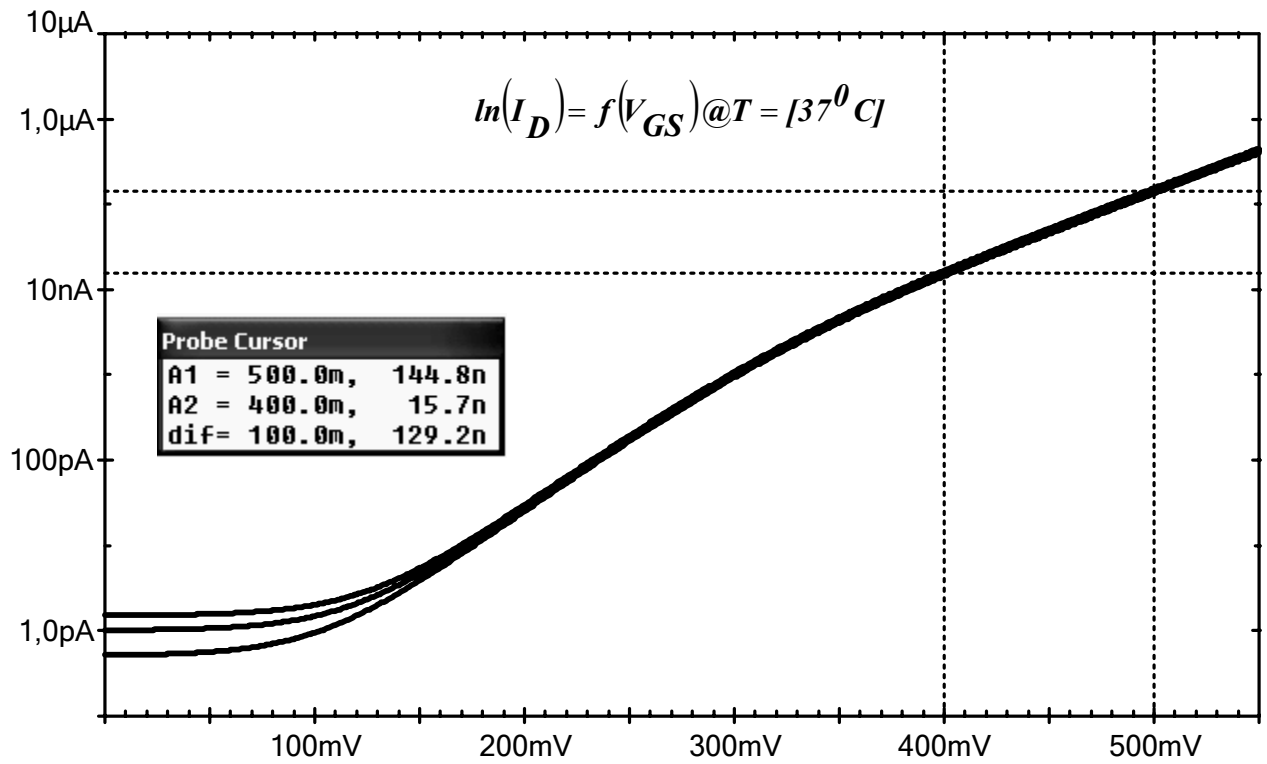


Figura A.6 – Característica do Transistor NMOS em Inversão Fraca.

Aplicando-se na equação da interpolação, vem:

$$\ln(I_D) = -17,97 + \frac{-15,75 - (-17,97)}{100 \cdot 10^{-3}} (V_{GS} - 0,4) = -26,85 + 22,2 V_{GS} \quad (A.16)$$

Da eq. (A.16) extrai-se:

$$\frac{V_{GS}}{nU_T} = 22,2 V_{GS} \Rightarrow \frac{1}{nU_T} = 22,2 \quad \left[\frac{1}{V} \right] \quad (A.17)$$

e

$$\begin{aligned} \ln\left(I_X \frac{W}{L}\right) - \frac{V_{TH0}}{nU_T} = -26,85 &\Rightarrow \ln\left(I_X \frac{W}{L}\right) = -26,85 + 22,2 \times 516 \cdot 10^{-3} \\ \left(I_X \frac{W}{L}\right) \approx 206 \cdot 10^{-9} &\Rightarrow I_X \approx 103 \cdot 10^{-9} \quad [A] \end{aligned} \quad (A.18)$$

Apêndice B (TRANSISTOR PNP VERTICAL PARASITA)

O transistor PNP Vertical utilizado na Fonte de Referência segue a sugestão da TSMC (Taiwan Semiconductor Manufacturing CO., LTD) reportada no documento T-035-MM-SP-002. Trata-se de uma estrutura que apresenta uma área de emissor de $10[\mu\text{m}] \times 10[\mu\text{m}]$ ($100[\mu\text{m}^2]$) conforme ilustrado na *Figura B.1* em sequência.

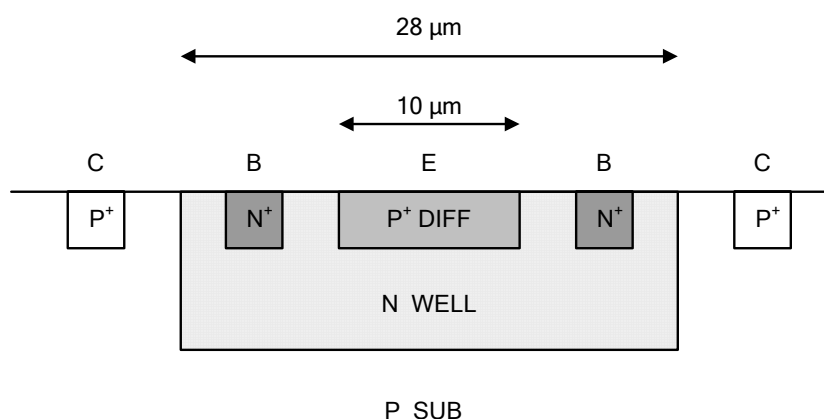


Figura B.1 – Esquema Simplificado do Transistor PNP Vertical Adotado.

Ainda de acordo com este documento, é apresentado um conjunto de parâmetros SPICE (Modelo Gummel Poon) para efeito de simulação. Estes parâmetros foram extraídos através de um padrão de testes e são válidos para uma faixa de temperatura de $25[^\circ\text{C}]$ a $125[^\circ\text{C}]$. Os parâmetros SPICE, fornecidos pela TSMC, estão listados na *Tabela B.1* a seguir:

Para a caracterização, por simulação, deste transistor parasita foi utilizado o circuito ilustrado na *Figura B.2*.

A partir desta configuração foram obtidas as curvas características $I_E = f(V_{EB})$ tanto com escala de corrente linear, quanto com escala de corrente logarítmica. O transistor já está configurado como um diodo, ou seja, na forma como será utilizado na Fonte de Referência e a Temperatura padrão será fixada em $37[^\circ\text{C}]$ (Corpo Humano).

A variação da fonte de tensão V_1 foi feita até um valor limite de $720[\text{mV}]$ uma vez que o nível de corrente a ser trabalhado está na casa de algumas unidades de $[\mu\text{A}]$.

```

*****
*      MODEL of P+/NW/PSUB PNP 10x10 Vertical Bipolar      *
*****
*
.MODEL pnp10 PNP (
+ BF      = 6.35          NF      = 1.01          ISE      = 2.95E-17
+ NE      = 1.9           IS      = 2.95E-17      RB       = 71
+ IRB     = 9.5E-4        RBM     = 0.1           RE       = 2.35
+ IKF     = 1.95E-3       NKF     = 0.549         VAF       = 300
+ BR      = 0.01116       NR      = 1            ISC      = 2.95E-17
+ NC      = 1.1           RC      = 21.08         IKR      = 0.087818
+ VAR     = 7.8           TBF1    = 6.7E-3        TBF2     = 8E-6
+ TNE1    = 9E-5          TNF1    = 9.5E-5        TRB1     = 3E-5
+ TIRB1   = 9E-4          TRM1    = 9.44068E-6     TRE1     = 5E-4
+ TIKF1   = -3.5E-3       TVAF1   = -9E-4         TBR1     = -7E-4
+ TBR2    = 9.5E-6        TNR1    = 9E-5          TNC1     = 1.50731E-3
+ XTB     = 0             XTI     = 3             TRC1     = 0
+ TIKR1   = -3.9E-3       EG      = 1.18          CJE      = 1.55101E-13
+ VJE     = 1.23623       MJE     = 0.662557      FC       = 0.5
+ CJC     = 3.131405E-14  VJC     = 0.552774      MJC      = 0.32993
* TLEVC   = 1
+ CTE     = 4.87874E-4    CTC     = 2.63294E-3
+ TVJE    = 2.16319E-3    TVJC    = 2.955E-3          TNOM     = 25
+ SUBS    = 1
* TLEV    = 0)
*

```

Tabela B.1 – Lista de Parâmetros SPICE para o Transistor Bipolar Parasita.

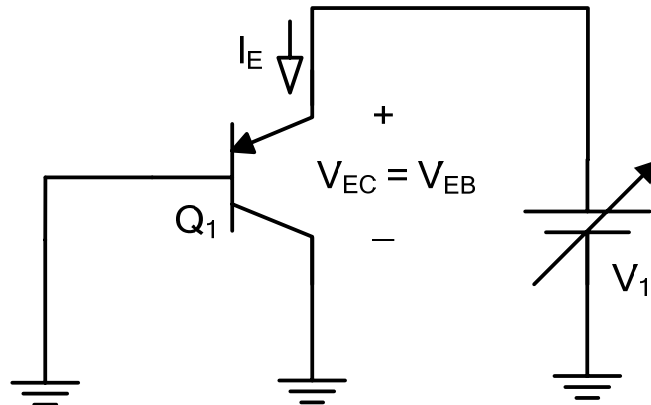


Figura B.2 – Configuração Utilizada para Obter a Característica $I_E = f(V_{EB})$

As Figuras B.3 e B.4 ilustram, respectivamente, os resultados de simulação com eixo linear e com eixo logarítmico para a corrente I_E .

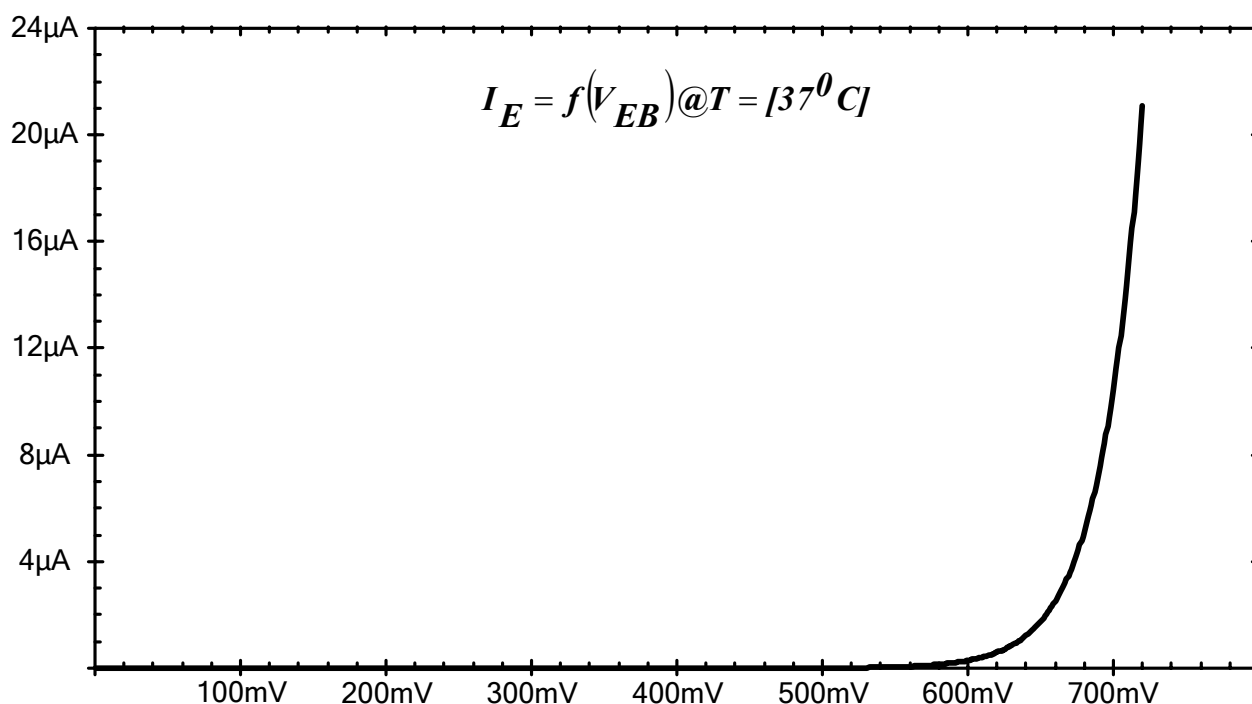


Figura B.3 – Característica $I_E = f(V_{EB})$ – Eixo Linear

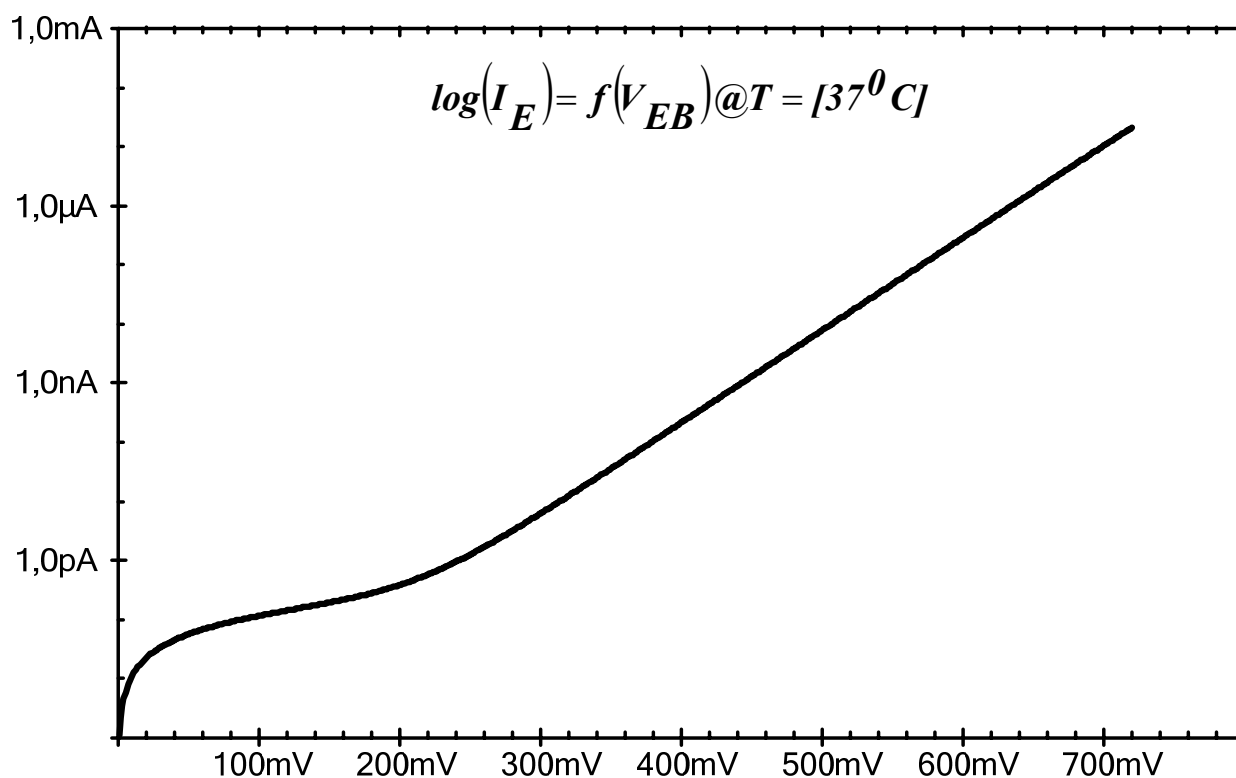


Figura B.4 - Característica $I_E = f(V_{EB})$ – Eixo LOG

Para efeito de uso em cálculos manuais, a característica da *Figura B.4* é muito útil, uma vez que representa uma relação linear. Usando dois pontos desta curva foi extraída, através de uma aproximação polinomial de primeira ordem, a sua equação representativa.

Os dois pontos foram tomados dentro da região de interesse, ou seja, para correntes na ordem de unidades de μA e estão listados na *Tabela B.2*.

$p(x)$	$\text{Log}(I_E)$
x	V_{EB}
(x_0, f_0)	$(600.10^{-3}, -6,54)^*$
(x_1, f_1)	$(700.10^{-3}, -4,98)^*$

Tabela B.2 – Pontos Extraídos do Resultado de Simulação

* Os valores do resultado da simulação são, respectivamente para f_0 e f_1 , $289,668.10^{-9}$ e $10,448.10^{-6}$. Mas como o eixo está no modo LOG é necessário usar $\log(289,668.10^{-9}) = -6,54$ e $\log(10,448.10^{-6}) = -4,98$

O procedimento de obtenção da relação linear é semelhante ao desenvolvido no Apêndice A para a equação dos Transistores MOS, motivo pelo qual será exibido apenas o resultado final.

$$\log(I_E) = 15,6V_{EB} - 15,9 \quad (\text{B.1})$$

A Figura B.5 ilustra o layout confeccionado para este transistor.

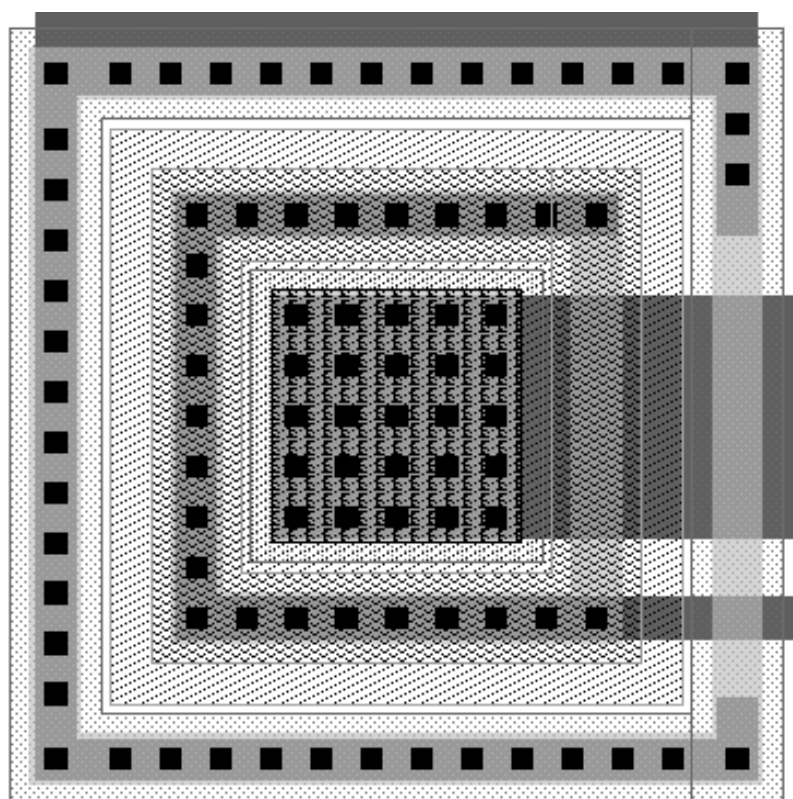


Figura B.5 – Layout do Transistor PNP Vertical Parasita

Apêndice C (Retificador e Filtro)

O circuito Retificador acrescido do Filtro (*Figura C.1*) produz uma tensão de saída como a ilustrada na *Figura C.2*. Está se considerando uma situação idealizada em que a carga consome uma corrente constante, porém perfeitamente aceitável para os equacionamentos que aqui serão desenvolvidos.

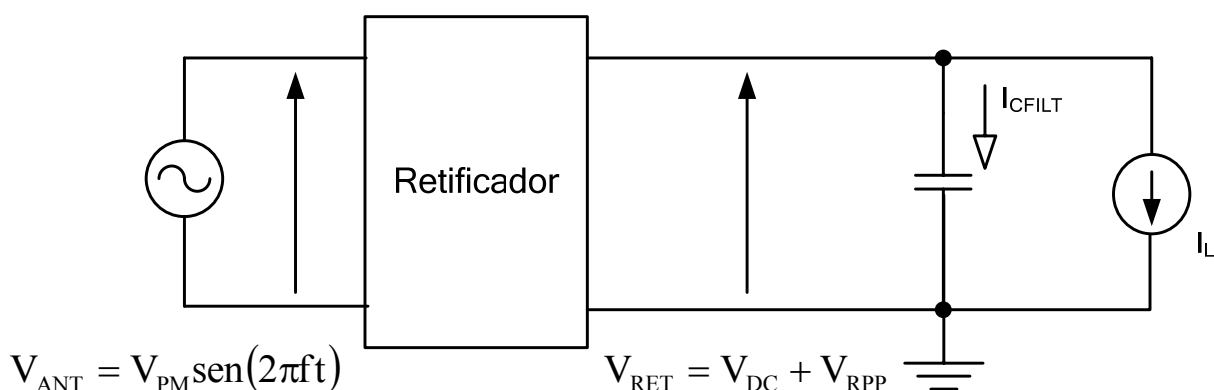


Figura C.1 – Esquema Simplificado do Retificador, Filtro e Carga.

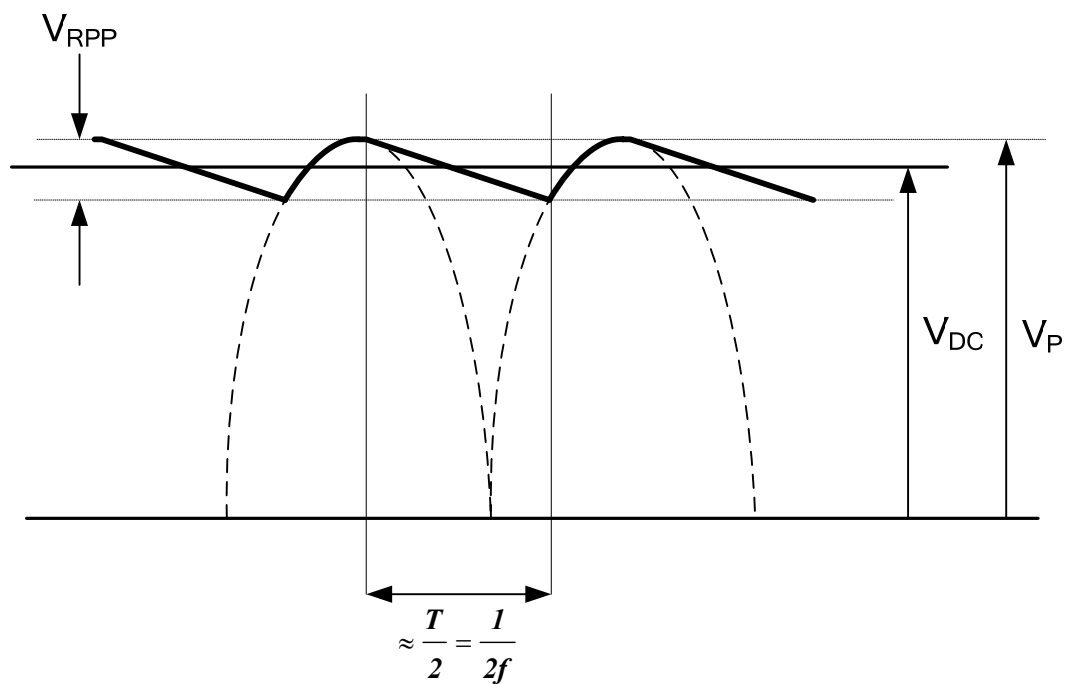


Figura C.2 – Forma de Onda Idealizada para a Tensão de Ripple.

A primeira observação pertinente, diz respeito aos valores das tensões de Ripple (V_{RPP}) e média (V_{DC}). Devido a simetria desta tensão pode-se afirmar que o seu nível médio situa-se aproximadamente no centro das ondulações, ou seja:

$$V_{DC} = V_P - \frac{V_{RPP}}{2} \quad [V] \quad (C.1)$$

O valor de pico de tensão sobre o capacitor de filtro V_P corresponde a tensão de pico do sinal induzido na antena (V_{PM}) subtraindo-se a queda no circuito retificador.

Aplicar a eq. (C.1) requer o conhecimento da tensão V_{RPP} . Uma avaliação aproximada considera o momento de descarga do capacitor de filtro. Durante este tempo, que corresponde a algo em torno de $T/2$, ou $1/2f$, o valor de tensão armazenado no capacitor cai de V_P para $V_P - V_{RPP}$. Além disto, durante este tempo o capacitor tem que fornecer a corrente de carga (I_L) em sua totalidade. Partindo da equação fundamental do capacitor ($Q=C.V$) e lembrando que a corrente elétrica é definida como a quantidade de carga por unidade de tempo, tem-se:

$$\frac{\Delta Q}{\Delta t} = C \frac{\Delta V}{\Delta t} \Rightarrow I_L = C_{FILT} \frac{V_{RPP}}{T/2} \Rightarrow V_{RPP} = \frac{I_L}{2fC_{FILT}} \quad [V] \quad (C.2)$$

Também é necessário avaliar a corrente de surto no capacitor de filtro. Para tanto, basta usar a equação que relaciona a corrente no capacitor sob regime permanente senoidal e avaliar a derivada no instante em que se tem a maior taxa de inclinação, ou seja, no instante inicial $t=0$.

$$I_C = C \frac{dv_C(t)}{dt} \Rightarrow I_{SUR} = C_{FILT} \left. \frac{d[V_P \sin(2\pi ft)]}{dt} \right|_{t=0} \quad (C.3)$$

$$I_{SUR} = C_{FILT} V_P 2\pi \cos(0) = 2\pi f C_{FILT} V_P \quad [A]$$

Apêndice D (Sensibilidade e Coeficiente Térmico)

Neste Apêndice serão avaliadas algumas expressões para o espelho de corrente que está sendo proposto no Capítulo 5. As relações da Sensibilidade (da corrente I_D em função da tensão não regulada V_{IN}) e do Coeficiente Térmico Fracional são exemplos de duas importantes Figuras de Mérito. Outros resultados intermediários, como algumas derivadas, também se revestem de importância, pois serão utilizadas quando do projeto das tensões de referência.

A Figura D.1 reproduz o espelho de corrente e será a base para os desenvolvimentos aqui descritos.

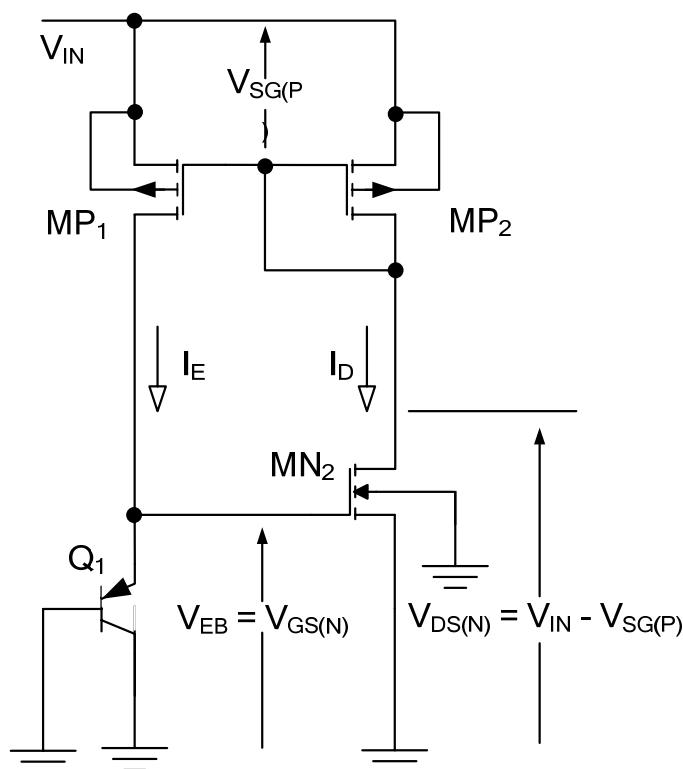


Figura D.1 – Circuito do Espelho de Corrente

A primeira figura de mérito a ser avaliada será a sensibilidade da corrente I_D . Seu equacionamento é dado por:

$$S_{V_{IN}}^{I_D} = \frac{V_{IN}}{I_D} \left| \frac{\partial I_D}{\partial V_{IN}} \right|_Q \quad (D.1)$$

Para calcular a derivada parcial em (D.1) será tomada por base a equação do transistor NMOS que inclui o parâmetro da modulação do efeito de corpo, ou seja:

$$I_D = \beta_N (V_{GS(N)} - |V_{TH0(N)}|)^2 (1 + \lambda_N V_{DS(N)}) \quad (D.2)$$

Uma vez que para o transistor NMOS o valor da tensão de limiar é positivo, não há a necessidade de colocá-la sob módulo. Tem-se, portanto:

$$\frac{\partial I_D}{\partial V_{IN}} = \frac{\partial [\beta_N (V_{GS(N)} - V_{TH0(N)})^2 (1 + \lambda_N V_{DS(N)})]}{\partial V_{IN}} \quad (D.3)$$

$$\begin{aligned} \frac{\partial I_D}{\partial V_{IN}} &= \frac{\partial [\beta_N (V_{GS(N)} - V_{TH0(N)})^2]}{\partial V_{IN}} (1 + \lambda_N V_{DS(N)}) + \\ &+ \beta_N (V_{GS(N)} - V_{TH0(N)})^2 \frac{\partial (1 + \lambda_N V_{DS(N)})}{\partial V_{IN}} \end{aligned} \quad (D.4)$$

Substituindo-se as relações para $V_{DS(N)}$ e para $V_{GS(N)}$ que estão descritas na *Figura D.1* na equação acima:

$$\begin{aligned} \frac{\partial I_D}{\partial V_{IN}} &= \frac{\partial [\beta_N (V_{EB} - V_{TH0(N)})^2]}{\partial V_{IN}} [1 + \lambda_N (V_{IN} - V_{SG(P)})] + \\ &+ \beta_N (V_{EB} - V_{TH0(N)})^2 \frac{\partial [1 + \lambda_N (V_{IN} - V_{SG(P)})]}{\partial V_{IN}} \end{aligned} \quad (D.5)$$

Agora serão avaliadas as derivadas parciais que constam da eq. (D.5):

$$\frac{\partial [\beta_N (V_{EB} - V_{TH0(N)})^2]}{\partial V_{IN}} = 2\beta_N (V_{EB} - V_{TH0(N)}) \frac{\partial V_{EB}}{\partial V_{IN}} \quad (D.6)$$

e

$$\frac{\partial [1 + \lambda_N (V_{IN} - V_{SG(P)})]}{\partial V_{IN}} = \lambda_N \quad (D.7)$$

Voltando estes resultados na eq. (D.5):

$$\begin{aligned} \frac{\partial I_D}{\partial V_{IN}} &= 2\beta_N (V_{EB} - V_{TH0(N)}) [1 + \lambda_N (V_{IN} - V_{SG(P)})] \frac{\partial V_{EB}}{\partial V_{IN}} + \\ &+ \beta_N (V_{EB} - V_{TH0(N)})^2 \lambda_N \end{aligned} \quad (D.8)$$

Observando a eq. (D.8), verifica-se que é possível fazer as seguintes considerações e aproximações:

$$2\beta_N (V_{EB} - V_{TH0(N)}) [1 + \lambda_N (V_{IN} - V_{SG(P)})] = \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} \quad (D.9)$$

e

$$\beta_N (V_{EB} - V_{TH0(N)})^2 \approx I_{DQ} \quad (D.10)$$

Em (D.10) desprezou-se a modulação do canal. Voltando-se novamente na eq. (D.5) e agregando estes resultados tem-se:

$$\frac{\partial I_D}{\partial V_{IN}} = \frac{I_{DQ}}{(V_{EB} - V_{TH0(N)})} \frac{\partial V_{EB}}{\partial V_{IN}} + I_{DQ} \lambda_N \quad (D.11)$$

Resta, ainda, uma derivada a ser avaliada na equação (D.11):

$$\frac{\partial V_{EB}}{\partial V_{IN}} = \frac{\partial V_{EB}}{\partial I_D} \frac{\partial I_D}{\partial V_{IN}} \quad (D.12)$$

Para o cálculo da derivada que envolve a tensão V_{EB} será utilizado o equacionamento clássico para o transistor bipolar, observando-se pelo espelhamento de correntes que I_E é igual a I_D . Portanto:

$$V_{EB} = U_T \ln \left(\frac{I_D}{I_S} \right) \quad (D.13)$$

O parâmetro U_T representa a tensão equivalente de temperatura e vale, aproximadamente, 26[mV] para 37[°C], que é a temperatura nominal do corpo humano considerada neste projeto. Agora é possível avaliar a derivada:

$$\frac{\partial V_{EB}}{\partial V_{IN}} = \frac{\partial \left[U_T \ln \left(\frac{I_D}{I_S} \right) \right]}{\partial I_D} \frac{\partial I_D}{\partial V_{IN}} = U_T \frac{1}{I_{DQ} / I_S} \frac{1}{I_S} \frac{\partial I_D}{\partial V_{IN}} = \frac{U_T}{I_{DQ}} \frac{\partial I_D}{\partial V_{IN}} \quad (D.14)$$

Levando (D.14) para (D.11), vem:

$$\frac{\partial I_D}{\partial V_{IN}} = \frac{I_{DQ}}{(V_{EB} - V_{TH0(N)})} \frac{U_T}{I_{DQ}} \frac{\partial I_D}{\partial V_{IN}} + I_{DQ} \lambda_N = \frac{U_T}{(V_{EB} - V_{TH0(N)})} \frac{\partial I_D}{\partial V_{IN}} + I_{DQ} \lambda_N \quad (D.15)$$

Rearranjando (D.15) para explicitar a derivada de interesse chega-se a:

$$\frac{\partial I_D}{\partial V_{IN}} = \frac{I_{DQ} \lambda_N}{1 - \frac{2U_T}{(V_{EB} - V_{TH0(N)})}} \quad (D.16)$$

Como comentado no início deste Apêndice, outra figura de mérito importante para avaliar o desempenho do espelho é o Coeficiente Térmico Fracional (TC_F) que é dado por:

$$TC_F = \frac{1}{I_D} \left| \frac{\partial I_D}{\partial T} \right|_Q \quad (D.17)$$

Novamente, a corrente de Dreno será tomada por seu equacionamento conforme (D.2). Tem-se, então:

$$\frac{\partial I_D}{\partial T} = \frac{\partial \left[\beta_N (V_{GS(N)} - V_{TH0(N)})^2 (1 + \lambda_N V_{DS(N)}) \right]}{\partial T} \quad (D.18)$$

A primeira consideração a ser feita diz respeito à modulação de canal que será desprezada em uma primeira aproximação. Uma vez que $V_{GS(N)} = V_{EB}$, este termo depende da temperatura e tem uma variação clássica de $-3[mV/^\circ C]$ (este coeficiente térmico será referenciado como γ). Outro termo que tem dependência da temperatura é a tensão de limiar do transistor NMOS que é dada por {tsividas}:

$$V_{TH}(T) = V_{TH}(T_0) - \theta(T - T_0) \quad (D.19)$$

Outro termo que tem dependência com a temperatura é β uma vez que ele contém a mobilidade dos portadores. Para uma primeira aproximação, está se considerando que o seu impacto é menos agressivo que as variações impostas pelas duas tensões anteriores. Sendo β , então, constante e com as outras considerações já mencionadas, a eq. (D.18) pode ser reescrita como:

$$\frac{\partial I_D}{\partial T} = \frac{\partial \left[\beta_N (V_{EB} - V_{TH0(N)})^2 \right]}{\partial T} = 2\beta_N (V_{GS(N)} - V_{TH0(N)}) \frac{\partial [(V_{EB} - V_{TH0(N)})]}{\partial T} \quad (D.20)$$

Usando a correlação com a corrente de Dreno, a eq. (D.20) fica:

$$\frac{\partial I_D}{\partial T} = \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} \frac{\partial[(V_{EB} - V_{TH0(N)})]}{\partial T} = \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} \left[\frac{\partial V_{EB}}{\partial T} - \frac{\partial V_{TH0(N)}}{\partial T} \right] \quad (D.21)$$

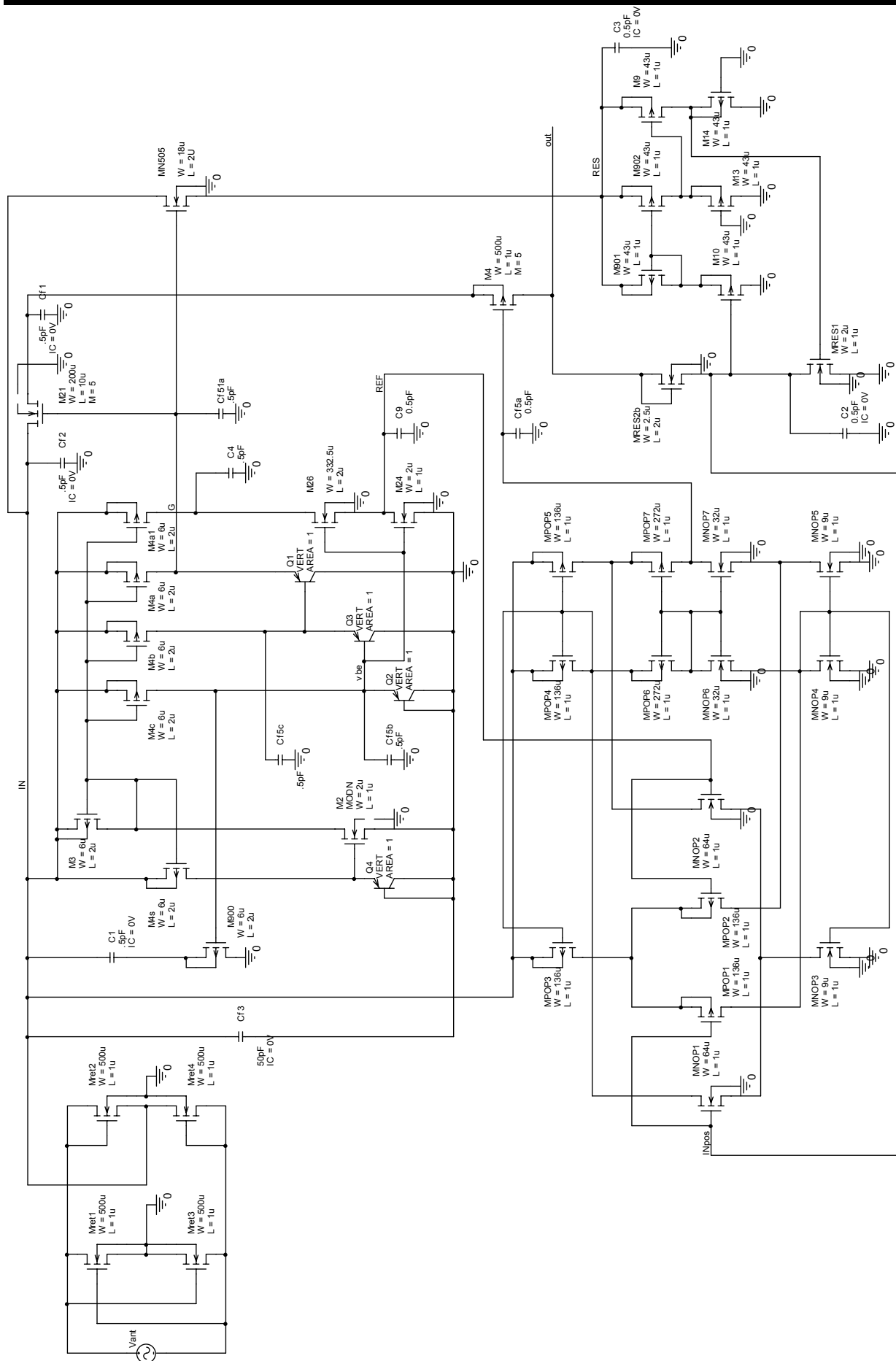
Desenvolvendo (D.21):

$$\frac{\partial I_D}{\partial T} = \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} \left[\frac{\partial V_{EB}}{\partial T} - \frac{\partial[V_{TH0} - \theta(T - T_0)]}{\partial T} \right] \quad (D.22)$$

Substituindo-se os coeficientes térmicos e resolvendo as derivadas:

$$\frac{\partial I_D}{\partial T} = \frac{2I_{DQ}}{(V_{EB} - V_{TH0(N)})} [\gamma + \theta] \quad (D.23)$$

Apêndice E (CIRCUITO COMPLETO DO REGULADOR DE TENSÃO)



BIBLIOGRAFIA CONSULTADA

- [1] ***The Paradigm of "More than Moore"***
Zhang, G.Q.; van Roosmalen, F.; Graef, M.;
Electronic Packaging Technology, 2005 6th International Conference on
30 Aug.-2 Sept. 2005 Page(s):17 - 24
- [2] ***The Future of Microelectronics***
Chatterjee, P.K.; Doering, R.R.;
Proceedings of the IEEE
Volume 86, Issue 1, Jan. 1998 Page(s):176 - 183
- [3] ***Microelectronics and Photonics - the Future***
Suhir, E.;
Microelectronics, 2000. Proceedings. 2000 22nd International Conference on
Volume 1, 14-17 May 2000 Page(s):3 - 17 vol.1
- [4] ***Low Power Radio Telemetry: The Potential for Remote Patient Monitoring***
W. G. Scanlon et al;
Jounal of Telemedicine and Telecare 1996; 2: 185-191.
- [5] ***Implantable Sensor Systems***
Puers, R.;
DISens Symposium book, 2005; 2.6: 1-14.
- [6] ***The Future of e-Health – Wired or not Wired***
Miyazaki, M.;
Business Briefing: Hospital Engineering & Facilities Management
2005 Pages 1-5
- [7] ***Projeto, Implementação e Teste de um Amplificador de Baixo Ruído (LNA) para ser Utilizado em um Sistema de Biotelemetria***
Moreno, R. L.;
Tese de Doutorado – Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia Elétrica. 2002
- [8] ***Caracterização de Microindutores CMOS e Eletrodepositados em Cobre para Aplicações em Biotelemetria***
Vasquez, J. H. L.;
Tese de Doutorado – Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia Elétrica. 2003
- [9] ***Desenvolvimento de Membranas para Sensores de Pressão Utilizando Freamento Eletroquímico***
Furlan, H.;
Tese de Doutorado – Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia Elétrica. 2003
- [10] ***Interface Eletrônica para Sensores de Pressão Piezoelétricos com Tecnologia CMOS para ser Utilizada em um Sistema de Biotelemetria***
Beltran, J. R.;
Tese de Doutorado – Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia Elétrica. 2003
- [11] ***Desenvolvimento de um Micro-Sensor de Pressão Intravascular Utilizando Pós-Processamento***
Ocampo, J.
Tese de Doutorado – Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia Elétrica. 2007
- [12] ***Low-Cost Wireless Transponder System for Industrial and Biomedical Applications***
Brandl, M. et all
Information, Communications and Signal Processing, 2005 Fifth International Conference on
06-09 Dec. 2005 Page(s): 1444-1447

- [13] ***The History of RFID***
Landt, J.;
Potentials, IEEE
Volume 24, Issue 4, Oct – Nov. Page(s): 8-11
- [14] ***Power Sources for Implantable Medical Devices***
Soykan, O.;
Device Technology & Applications Electronics
Business Briefing: Medical Device Manufacturing & Technology 2003, Page(s): 76-79
- [15] ***Safety Standards for Exposure to RF Electromagnetic Fields***
Osepchuk, J. M. and Petersen, R. C.;
Microwave Magazine, IEEE
Volume 2, Issue 2, June 2001 Page(s): 57-69
- [16] ***Rigorous Evaluation of Specific Absorption Rate (SAR) Induced in a Multilayer Biological Structure***
Pradier, A. et al;
Wireless Technology, 2005. The European Conference on
3-4 Oct. 2005 Page(s): 197-200
- [17] ***Thermal Effects of Bioimplants***
Lazzi, G.;
Engineering in Medicine and Biology Magazine, IEEE
Volume 24, Issue 5, Sept.-Oct. 2005 Page(s): 75-81
- [18] ***A 0.5-mW Passive Telemetry IC for Biomedical Applications***
Huang, Q and Oberle, M.;
Solid-State Circuits, IEEE Journal of
Volume 33, Issue 7, July 1998, Page(s) 937-936
- [19] ***Security and Privacy in RFID and Applications in Telemedicine***
Xiao, Y. et al;
Communications Magazine, IEEE
Volume 44, Issue 4, April 2006 Page(s): 64-72
- [20] ***RFID Inside***
Foster, K. R. and Jaeger, J.;
Spectrum, IEEE
Volume 44, Issue 3, March 2007 Page(s): 24-29
- [21] ***Power Harvesting and Telemetry in CMOS for Implanted devices***
Sauer, C. et al;
Circuits and Systems I: Regular Papers, IEEE Transactions on
Volume 52, Issue 12, Dec. 2005 Page(s): 2605-2613
- [22] ***Performance Evaluation of CMOS Low Drop-Out Voltage Regulators***
Tantawy, R. and Brauer, E. J.;
Circuits and Systems, 2004. MWSCAS'04. The 2004 47th Midwest Symposium on
Volume 1, 25-28 July 2004 Page(s): I-141 – I-144 vol.1
- [23] ***Projeto e Implementação de um Regulador de tensão Low Dropout Utilizando Tecnologia CMOS***
Pelicia, M. M.;
Tese de Mestrado – Universidade Estadual de Campinas –Faculdade de Engenharia Elétrica. 2005
- [24] ***Temperature of a Healthy Human (Body Temperature)***
Elert, G. - Editor
The Physics Factbook - <http://hypertextbook.com/facts/>
- [25] ***Body Temperature***
Everything2 - <http://www.everything2.com/>
- [26] ***A Critical Appraisal of 98.6 Degrees F, the Upper Limit of the Normal Body Temperature, and other Legacies of Carl Reinhold August Wunderlich***
Mackowiak, P. A. et al;
The Journal of the American Medical Association
Vol. 268 No. 12, September 23, 1992

- [27] ***Influence of Body Temperature on the Development of Fatigue During Prolonged Exercise in the Heat***
Gonzalez-Alonso, J. et al;
Journal of Applied Physiology
Mar 1999; 68: 1032-1039
- [28] ***Study and Design of Low Drop-Out Regulators***
Rincon-Mora G. A. and Allen, P. E.;
School of Electrical and Computer Engineering – Georgia Institute of Technology
- [29] ***Brief Comparison of Different Rectifier Structures for RFID Transponders***
Zhu, Z. et al
Auto-ID Lab, University of Adelaide, North Terrace, 2004
- [30] ***A Model for μ -Power Rectifier Analysis and Design***
Curty, J. –P. et al;
Circuits and Systems I: Regular Papers, IEEE Transactions on
Volume 52, Issue 12, Dec 2005 Page(s): 2771-2779
- [31] ***Low-Power CMOS Rectifier Design for RFID Applications***
Mandal, S. and Sarpeshkar, R.;
Circuits and Systems I: Regular Papers, IEEE Transactions on Circuits and Systems
Volume 54, Issue 6, June 2007 Page(s): 1177-1188
- [32] ***Fully Integrated Wideband High-Current Rectifiers for Inductively Powered Devices***
Ghovanloo, M. and Najafi, K.;
Solid-State Circuits, IEEE journal of
Volume 39, Issue 11, Nov. 2004 Page(s): 1976-1984
- [33] ***On-Chip Active Power Rectifiers for Biomedical Applications***
Lehmann, T. and Moghe, Y.;
Circuits and Systems, 2005, ISCAS 2005, IEEE International Symposium on
23-26 May 2005 Page(s): 732 – 735 Vol. 1
- [34] ***A Low Power and High Performance Analog Front End for Passive RFID Transponder***
Hu, J. and Min, H.;
Automatic Identification Advanced Technologies, 2005. Fourth IEEE Workshop on
17-18 Oct. 2005 Page(s): 199-204
- [35] ***Impedance Matching Concepts in FRID Transponder Design***
Rao, K. V. S. et al;
Automatic Identification Advanced Technologies, 2005. Fourth IEEE Workshop on
17-18 Oct. 2005 Page(s): 39-42
- [36] ***Circuitry for a Wireless Microsystem for Neural Recording Microprobes***
Yu, H. and Najafi, K.;
Engineering in Medicine and Biology Society, 2001. Proceedings of the 23rd Annual International Conference of the IEEE
Volume 1, 25-28 Oct. 2001 Page(s): 761-764 vol. 1
- [37] ***A 110 nA Voltage Regulator System with Dynamic Bandwidth Boosting for RFID Systems***
Balachandran, G. K. and Barnett, R. E.;
Solid-State Circuits, IEEE Journal of
Volume 41, Issue 9, Sept. 2006 Page(s): 2019-2028
- [38] ***A Full CMOS Voltage Regulating Circuit for Bioimplantable Applications***
Ahmadi, M. and Jullien, G.;
Circuits and Systems, 2005, 48th Midwest Symposium on
7-10 Aug. 2005 Page(s): 988 – 991 Vol. 2
- [39] ***Advantages of Using PMOS-Type Low Dropout Linear Regulators in Battery Applications***
King, B. M.;
Texas Instruments Incorporated. Analog Applications Journal, Aug. 2000, Page(s): 16-21
- [40] ***Linear and Switching Voltage Regulator Fundamentals***
Simpson, C.;
National Semiconductor Application Notes
- [41] ***Fundamental Theory of PMOS Low-Dropout Voltage Regulators***
Kugelstadt, T.;
Texas Instruments Incorporated. Application Note SLVA068, April 1999, Page(s): 1–5

- [42] ***A User's Guide to Compensating Low-Dropout Regulators***
Simpson, C.;
Wescon/97. Conference Proceedings
4-6 Nov. 1997 Page(s): 270-275
- [43] ***Stability Analysis of Low-Dropout Linear Regulators with a PMOS Pass Element***
Rogers, E.;
Texas Instruments Incorporated. Analog Applications Journal, Aug. 1999, Page(s): 10– 12
- [44] ***Understanding the Load-Transient Response of LDOs***
King, B. M.;
Texas Instruments Incorporated. Analog Applications Journal, Nov. 2000, Page(s): 19 -23
- [45] ***Understanding the Stable Range of Equivalent Series Resistance of an LDO Regulator***
Lee, B. S.;
Texas Instruments Incorporated. Analog Application Journal, Nov. 1999, Page(s) 14-16
- [46] ***CMOS Analog Circuits Design***
Allen, P. E. and Holberg, D. R.
Oxford University Press, INC, 2000
- [47] ***A Very Low Drop Voltage Regulator using an NMOS Output Transistor***
Nebel, G.;
Circuits and Systems, 2005. ISCAS. IEEE International Symposium on
23-26 May 2005 Page(s): 3857-3860 Vol. 4
- [48] ***Low Supply Voltage, Low Quiescent Current, ULDO Linear Regulator***
Bontempo, G. et all;
Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on
Volume 1, 2-5 Sept. 2001 Page(s): 409-412 vol. 1
- [49] ***On-Chip Voltage Regulator with Improved Transient Response***
Maity, A. et all;
VLSI Design, 2005. 18th International Conference on
2005 Page(s): 522-527
- [50] ***Analysis of Low-Dropout Regulator Topologies for Low-Voltage Regulation***
Lau, S. K. T. and Mok, P. K. T.;
Electron Devices and Solid-State Circuits, 2003 IEEE Conference on
16-18 Dec. 2003 Page(s): 379-382
- [51] ***A Low-Voltage CMOS Low-Dropout Regulator with Enhanced Loop Response***
Leung, K. N. et all;
Circuits and Systems, 2004. ISCAS'04. Proceedings of the 2004 International Symposium on
Volume 1, 23-26 May 2004 Page(s): I-385 – I-388 Vol. 1
- [52] ***A CMOS Low-Dropout Regulator with New Compensation Method***
Wang, H.;
Solid-State and Integrated Circuit Technology, 2006. ICSICT'06 8th International Conference on
2006 Page(s): 1508-1510
- [53] ***Buffer Stage for Fast Response LDO***
Stanescu, C.;
Semiconductor Conference, 2003, CAS 2003. International
Volume 2, 28 Sept.-2 Oct. 2003 Page(s): 357-360
- [54] ***A 150mA LDO in 0.8 μ m CMOS Process***
Stanescu, C.;
Semiconductor Conference, 2000. CAS 2000. Proceedings. International
Volume 1, 10-14 Oct. 2000 Page(s): 83-86 vol. 1
- [55] ***Pole-Zero Tracking Frequency Compensation for Low Dropout Regulator***
Kwok, K. C. and Mok, P. K. T.;
Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on
Volume 4, 26-29 May 2002 Page(s): IV-735 – IV-738 vol. 4
- [56] ***Design of Low-Power Analog Drivers Based on Slew-Rate Enhancement Circuits for CMOS Low-Dropout Regulators***
Lee, H. et all;
Circuits and Systems II: Express Briefs, IEEE Transactions on
Volume 52, Issue 9, Sept. 2005 Page(s): 563-567

- [57] ***A Transient-Enhanced 20 μ A-Quiescent 200mA-Load Low-Dropout Regulator with Buffer Impedance Attenuation***
Al-Shyoukh, M. et al;
Solid State Circuits, IEEE Journal of
Volume 42, Issue 8, Aug 2007 Page(s): 1732-1742
- [58] ***Dual-Loop Feedback for Fast Low Dropout Regulators***
Chen, W. et al;
Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual
Volume 3, 17-21 June 2001 Page(s): 1265-1269 vol. 3
- [59] ***A Novel Frequency Compensation Technique for Low-Voltage Low-Dropout Regulator***
Leung, K. N. et al;
Circuits and Systems, 1999. ISCAS'99. Proceedings of the 1999 IEEE International Symposium on
Volume 5, 30 May-2 June 1999 Page(s): 102-105 vol. 5
- [60] ***Low Dropout Voltage Regulator for Wireless Applications***
Yuan, S. and Kim, B. C.;
Power Electronics Specialists Conference, 2002. PESC'02. 2002 IEEE 33rd Annual
Volume 2, 23-27 June 2002 Page(s): 421-424 vol. 2
- [61] ***Single Miller Capacitor Compensated Multistage Amplifiers for Low Dropout Regulator***
Yang, J. and Feng, Q.
Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings
Volume 5, 4-7 Dec. 2005 Page(s): 3 pp.
- [62] ***Single Miller Capacitor Frequency Compensation Technique for Low-Power Multistage Amplifiers***
Fan, X. et al;
Solid-State Circuits, IEEE Journal of
Volume 40, Issue 3, mar 2005 Page(s): 584-592
- [63] ***CMOS Low Dropout Linear Regulator with Single Miller Capacitor***
Huang, W. -J. et al;
Electronics Letters
Volume 42, Issue 4, 16 Feb. 2006 Page(s): 216-217
- [64] ***A Frequency Compensation Technique for Variable Output Low Dropout Regulators***
Yamazaki, A. et al;
Circuits and Systems, 2006. APCCAS 2006. IEEE Asia Pacific Conference on
4-7 Dec. 2006 Page(s): 1595-1598
- [65] ***A Capacitor-Free CMOS Low Dropout Regulator with Slew Rate Enhancement***
Huang, W. -J. et al;
VLSI Design, Automation and Test, 2006 International Symposium on
April 2006 Page(s): 1-4
- [66] ***A Capacitor-Free CMOS Low-Dropout Regulator with Damping-Factor-Control Frequency Compensation***
Leung, K. N. and Mok, P. K. T.;
Solid State Circuits, IEEE Journal of
Volume 38, Issue 10, Oct. 2003 Page(s): 1691-1702
- [67] ***A Robust Frequency Compensation Scheme for LDO Regulators***
Chava, C. K. and Silva-Martinez, J.;
Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on
Volume 5, 26-29 May 2002 Page(s): V-825 – V-828 vol. 5
- [68] ***A Frequency Compensation Scheme for LDO voltage Regulators***
Chava, C. K. and Silva-Martinez, J.;
Circuits and Systems I: Regular Papers, IEEE Transactions on
Volume 51, Issue 6, June 2004 Page(s): 1041-1050
- [69] ***Analysis and Design of Voltage Controlled Current Source for LDO Frequency Compensation***
Qiang, B. et al;
Electron Device and Solid-State Circuits, 2005. IEEE Conference on
19-21 Dec. 2005 Page(s): 363-366

- [70] ***Operation and Modeling of the MOS Transistor***
Tsividis, Y. P.
McGraw Hill, 1999
- [71] ***A CMOS Bandgap Voltage Reference***
Tzanateas, G. et al;
IEEE journal of Solid-State Circuits,
Volume 14, Issue 3, Jun 1979, Page(s): 655-657
- [72] ***The MOSIS Service***
www.mosis.org
- [73] ***Threshold Voltage Based CMOS Voltage Reference***
Dai, Y. et al;
Circuits, Devices and Systems, IEE Proceedings
Volume 151, Issue 1, 5 Feb. 2004 Page(s): 58-62
- [74] ***A 0.8V Low-Power CMOS PTAT Voltage Reference***
Zhu, Z. and Yang, Y.;
VLSI Design and Video Technology, 2005, Proceedings of 2005 IEEE International Workshop on 28-30 May 2005 Page(s): 1-5
- [75] ***A Sub-1V Linear CMOS Bandgap Voltage Reference***
Weili, Y. et al;
High Density Microsystem Design and Packaging and Component Failure Analysis, 2005 Conference on
June 2005 Page(s): 1-4
- [76] ***Quick-Start CMOS Voltage Reference for Positive LDOs***
Stanescu, C. et al;
Semiconductor Conference, 2005. CAS 2005 Proceedings. 2005 International
Volume 2, 3-5 Oct. 2005 Page(s): 379-382 vol. 2
- [77] ***A Precise Bandgap Reference with High PSRR***
Hui, S. et al;
Electron Devices and Solid-State Circuits, 2005 IEEE Conference on
19-21 Dec. 2005 Page(s): 267-270
- [78] ***Low Power Low-Voltage Reference Using Peaking Current Mirror Circuit***
Cheng, M. -H. and Wu, Z. -W.;
Electronics Letters
Volume 41, Issue 10, 12 May 2005 Page(s): 572-573
- [79] ***A Wide-Range and High PSRR CMOS Voltage Reference for Implanted Device***
Chung, W. -Y. et al;
Circuits and Systems, 2006. APCCAS 2006. IEEE Asia Pacific Conference on
4-7 Dec. 2006 Page(s): 482-485
- [80] ***Sub-1V Supply CMOS Voltage References Based on Asymmetric Differential Stage***
Filanovsky, I. M. et al;
Circuits and Systems, 2006. MWSCAS '06. 49th IEEE International Midwest Symposium on
Volume 1, 6-9 Aug. 2006 Page(s): 127-130
- [81] ***A Nanowatt Bandgap Voltage Reference for Ultra-Low Power Applications***
Miller, S. and MacEachern, L.;
Circuits and Systems, 2006. ISCAS 2006. Proceedings, 2006 IEEE International Symposium on
21-24 May 2006 Page(s): 4pp
- [82] ***A Sub-1V, 10ppm/^oC, Nanopower Voltage Reference Generator***
De Vita, G. and Iannaccone, G.
Solid-State Circuits Conference, 2006. ESSCIRC 2006. Proceedings of the 32nd European
Sept. 2006 Page(s): 307-310
- [83] ***A Low-Power Fully-MOSFET Voltage Reference Generator for 90nm CMOS Technology***
Di Naro, G. et al;
Integrated Circuit Design and Technology, 2006. ICICDT '06. 2006 IEEE International Conference on
24-26 May 2006 Page(s):
- [84] ***A New CMOS Voltage Reference Scheme Based on V_{TH} -Difference Principle***
Toledo, L. et al;

- [85] ***A Low Power CMOS Voltage Reference Circuit Based On Subthreshold Operation***
 Chang, C. –W. et al;
Circuits and Systems, 2007. ISCAS 2007, IEEE International Conference on
27-30 May 2007 Page(s): 3844-3847
- [86] ***Low-Voltage CMOS Current and Voltage References without Resistors***
 Falconi, C. et al;
Circuits and Systems, 2007. ISCAS 2007, IEEE International Symposium on
27-20 May 2007 Page(s): 1907-1910
- [87] ***A 1-V CMOS Current Reference with Temperature and Process Compensation***
 Bendali, A. and Audet, Y.
Circuits and Systems I: Regular Papers, IEEE Transactions on
Volume 54, Issue 7, July 2007 Page(s): 1424-1429
- [88] ***A Novel Low-Voltage Low-Power CMOS Voltage Reference Based on Subthreshold MOSFETs***
 Jianping, W. et al;
ASIC, 2005. ASICON 2005. 6th International Conference on
Volume 1, 24-27 Oct. 2005 Page(s): 369-373
- [89] ***A Very High Precision 500nA CMOS Floating-Gate Analog Voltage Reference***
 Ahuja, B. K. et al;
Solid-State Circuits, IEEE Journal of
Volume 40, Issue 12, Dec. 2005 Page(s): 2364-2372
- [90] ***A High Precision CMOS Current-Mode Band-Gap Voltage Reference***
 Guoyi, Y. and Xuecheng, Z.;
Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on
2006 Page(s): 1736-1738
- [91] ***A 300nW, 12ppm/^oC Voltage Reference in a Digital 0.35 μ m CMOS Process***
 De Vita, G. et al;
VLSI Circuits, 2006. Digest of Technical Papers. 2006 Symposium on
2006 Page(s): 81-82
- [92] ***Compact, Very Low Voltage, Temperature-Independent Reference Circuit***
 Croveti, P. S. and Fiori, F.
Circuits, Devices & Systems, IET
Volume 1, Issue 1, February 2007 Page(s): 63-71
- [93] ***Analysis and design of Analog Integrated Circuits***
 Gray, P. R. and Meyer, R. G.
John Wiley & Sons, Inc. 1993
- [94] ***Uma Referência de Tensão CMOS Baseada na Tensão Threshold em Ultra-Baixa Tensão e Ultra Baixa Potência***
 Luis Henrique de Carvalho Filho
 Tese de Doutorado – UNIFEI – IESTI - 2007
- [95] ***A Weak Inversion Composite MOS Transistor for Ultra-Low-Voltage and Ultra-Low-Power Applications***
 Ferreira, L. H. C. and Pimenta, T. C.;
 Proceedings of 13th International Conference Mixed Design Integrated Circuits Systems
 Gdynia, Jun 2006
- [96] ***An Ultra-Low-Voltage Ultra-Low-Power CMOS Miller OTA with Rail-to-Rail Input/Output Swing***
 Ferreira, L. E. C. et al
IEEE Transactions on Circuits and Systems – II Express Briefs
Vol. 54, No 10, October 2007
- [97] ***A CMOS Voltage-Controlled Grounded Resistor Using a Single Power Supply***
 Dejhan, K. et al;
Communications and Information Technology, 2004. ISCIT, IEEE International Symposium on
Volume 1, 26-29 Oct. 2004 Page(s): 124-127 vol. 1
- [98] ***A 1.8V Self-Biased Complementary Folded Cascode Amplifier***

- Song, B. G. et al;
ASICs, 1999. AP ASIC'99. The First IEEE Asia Pacific Conference on
 23-25 Aug. 1999 Page(s): 63-65
- [99] ***Design of High Performance Two Stage CMOS Cascode Op-Amps with Stable Biasing***
 Mandal, P. and Visvanathan, V.;
VLSI Design, 1996. Proceedings, Ninth International Conference on
 3-6 Jan. 1996 Page(s): 234-237
- [100] ***A Self Biased High Performance Folded Cascode CMOS Op-Amp***
 Mandal, P. and Visvanathan, V.;
VLSI Design, 1997. Proceedings, Tenth International Conference on
 4-7 Jan. 1997 Page(s): 429-434
- [101] ***Design and Optimization of Self-Biased Complementary Folded Cascode***
 Ceperic, V. et al;
Electrotechnical Conference, 2006. MELECON 2006. IEEE Mediterranean
 16-19 May 2006 Page(s): 145-148
- [102] ***A Compact Power-Efficient 3V CMOS rail-to-rail Input/output Operational Amplifier for VLSI Cell Libraries***
 Hogervorst, R. et al;
Solid-State Circuits, IEEE Journal of
 Volume 29, Issue 12, Dec. 1994 Page(s): 1505-1513
- [103] ***Constant gm rail-to-rail CMOS Op-Amp Input Stage Overlapped Transition Regions***
 Wang, M. et al;
Solid-State Circuits, IEEE Journal of
 Volume 34, Issue 2, Feb. 1999 Page(s): 148-156
- [104] ***A High Slew-Rate Push-Pull Output Amplifier for Low-Quiescent Current Low-Dropout Regulators With Transient-Response Improvement***
 T. Y. Man, P. K. T. Mok, and M. Chan;
IEEE Trans. Circuits Syst. I
 Volume. 54, no. 9, Sept. 2007, page(s): 755–759
- [105] ***A Low-Dropout Regulator for SoC with Q-Reduction***
 S. Lau, et. All;
IEEE J. Solid-State Circuits
 Volume 42, May 2007, page(s): 658–664
- [106] ***Full On-Chip CMOS Low-Dropout Voltage Regulator***
 R. J. Milliken, J. Silva-Martínez, and E. Sánchez-Sinencio;
IEEE Trans. Circuit and System I
 Volume.54, Dec. 2007, page(s):1879-1890.
- [107] ***Handbook of Mathematical Tables and Formulas***
 Burington, R. S.;
McGraw-Hill Book Company, 1973