

Leandro Marques Ribeiro

**Central de Comunicação em
VERILOG para Eletrodos Ativos de
EEG**

Brasil

Julho, 2018

Leandro Marques Ribeiro

**Central de Comunicação em
VERILOG para Eletrodos Ativos de
EEG**

Dissertação submetida ao Programa de Pós- Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Mestre em Ciências em Engenharia Elétrica.

Universidade Federal de Itajubá - UNIFEI
Instituto de Engenharia e Sistemas e Tecnologias da Informação
Programa de Pós-Graduação
Área de Concentração: Microeletrônica

Orientador: Tales C. Pimenta

Brasil

Julho, 2018

*Este trabalho é dedicado a minha esposa Fernanda e
minha filha Anna Laura e aos meus pais David e
Rosangela, que
sempre estão ao meu lado, me apoiando.*

Agradecimentos

Primeiramente agradeço a Deus, que em sua infinita misericórdia tem cuidado de mim e de minha família, cuidando de cada detalhe, nunca me desamparando.

Agradeço a minha esposa Fernanda e minha filha Anna Laura, que me apoiaram muito nesta trajetória, sempre me incentivando e tendo paciência comigo.

Aos meus pais, David e Rosangela, que fizeram de tudo para me dar uma educação de qualidade.

Ao professor Tales Cleber Pimenta e ao amigo Thiago Mussolini pelo apoio, amizade, dedicação e ajuda no decorrer do trabalho.

*“O Senhor é o meu Pastor, e
nada me faltará”.*

Salmos 23:1

Resumo

Este estudo apresenta o desenvolvimento de uma central de controle em Verilog para eletrodos ativos, que será utilizado em um aparelho de Eletroencefalograma - EEG com Eletrodos Ativos que está sendo desenvolvido pelo Grupo de Microeletrônica da Universidade Federal de Itajubá. No trabalho serão apresentados o desenvolvimento teórico e prático da central de controle. O projeto foi desenvolvido utilizando a linguagem de descrição de *hardware* Verilog, na plataforma Quartus. Como meio de comunicação entre eletrodos e central, foi utilizado o protocolo I²C. Posteriormente, foi validado o trabalho a partir de emulações utilizando FPGAs e observação de sinais com um osciloscópio digital, onde o resultado do funcionamento é apresentado no trabalho.

Palavras-chaves: Central de Controle em Verilog, EEG, Eletrodo Ativo, FPGA, Protocolo I²C

Abstract

This study shows the development of a control center in Verilog for active electrodes, which will be used in an Electroencephalogram - EEG with Active Electrodes under development by the Microelectronics Group at Federal University of Itajubá. In the work it will be presented the theoretical and practical development of the control center. The project was developed using the hardware description language Verilog on the Quartus platform. As a means of communication between electrodes and central, the I²C Protocol was used. Subsequently, it was emulated using FGPA and signals were observed using digital oscilloscope, whose the results are presented in the work.

Key-words: Active Electrode, Central Control in Verilog, EEG, FPGA, I²C Protocol.

Lista de Figuras

Figura 1 - Posicionamento 10-20.	13
Figura 2 - Fontes de Interferências Eletromagnéticas.	14
Figura 3 - Sinais sem interferência e com interferência.	15
Figura 4 – Capacete com Eletrodos Ativos.	18
Figura 5 - Sistema de Aquisição de Dados	19
Figura 6 - Fluxograma Máquina de Estado.	21
Figura 7 – Entrada de Dados.	22
Figura 8 - Saída de Dados.	23
Figura 9 - Exemplo de aplicação do I ² C.	25
Figura 10 - Transmissão de dados.	26
Figura 11 - Funcionamento do Protocolo I ² C.	27
Figura 12 - Arquitetura FPGA.	29
Figura 13 - FPGA Cyclone II EP2C20F484C7.	30
Figura 14 - FPGA Cyclone II EP2C35F672C6.	31
Figura 15 - Tela Inicial Configurada para o Projeto.	33
Figura 16 - Banca de Testes.	34
Figura 17 - Leitura do Dado 11100000b = E0h.	35
Figura 18 - Leitura do Dado 10100101b = A5h.	36
Figura 19 - Falha na comunicação devido ao endereço errado.	37
Figura 20 - Teste Escrita de dados no eletrodo.	38
Figura 21 - Funcionamento de Escrita.	39
Figura 22 - Teste de escrita com endereço errado.	40
Figura 23 - Bancada de Teste com 3 Eletrodos.	41
Figura 24 - Comunicação escrita com eletrodo 1.	42
Figura 25 - Confirmação de comunicação com eletrodo 1.	43
Figura 26 - Endereço Eletrodo 1.	43
Figura 27 - Dado Enviados pelo Eletrodo 1.	44
Figura 28 - Comunicação de leitura do eletrodo 1.	45
Figura 29 - Comunicação de escrita com eletrodo 2.	46
Figura 30 - Confirmação de comunicação com eletrodo 2.	46
Figura 31 - Endereço Eletrodo 2.	47
Figura 32 - Dado Enviados Pelo Eletrodo 2.	48
Figura 33 - Comunicação de leitura do eletrodo 2.	49
Figura 34 - Comunicação de escrita com eletrodo 3.	50
Figura 35 - Confirmação de comunicação de escrita com eletrodo 3.	50
Figura 36 - Endereço Eletrodo 3.	51
Figura 37 - Dado Enviado pelo Eletrodo 3.	52
Figura 38 - Comunicação de leitura com eletrodo 3.	53

Lista de Tabelas

Tabela 1 - Exemplos de Equipamentos geradores de IEM.....	15
Tabela 2 - Normas para equipamentos eletromédicos.....	16
Tabela 3 - Dados dos eletrodos.....	41

Lista de abreviaturas e siglas

A/D – Analógico / Digital

ABNT – Associação Brasileira de Normas Técnicas

ACK – Acknowledge

ANVISA – Agência Nacional de Vigilância Sanitária

CMOS – Complementary Metal Oxide Semiconductor

ECG – Eletrocardiograma

EEG - Eletroencefalograma

FPGA - Field Programmable Gate Array

I²C – Inter-Integrated Circuit

ICM – International Conference on Microelectronics

IEC – International Electrotechnical Committee

IEM – Interferência Eletromagnética

MSO – Mixed Signal Oscilloscope

SCL – Serial Clock

SDA – Serial Data

UNIFEI - Universidade Federal de Itajubá

Wi-Fi – Wireless Fidelity

Sumário

1	Introdução.....	12
1.1.	Eletrodos	13
1.2.	Interferências	14
1.3.	Projeto de EEG Digital	17
1.3.1	Capacete de Eletrodos Ativos.....	17
1.3.2	Eletrodo Ativo	18
1.4.	Objetivo	19
2	Central de Comunicação.....	20
2.1	Conceito	20
2.2	Máquina de Estado de Controle	20
2.3	Entrada de Dados	21
2.4	Saída de Dados.....	22
3	Implementação da Central.....	24
3.1	Software para Implementação	24
3.2	Metodologia de Desenvolvimento	24
3.3	Comunicação Serial I ² C.....	24
3.4	Estrutura da Central em Verilog.....	27
3.5	FPGA	28
4	Resultados Obtidos	32
4.1	Início dos testes	32
4.2	Teste com um Eletrodo Ativo	33
4.3	Validação do Projeto com Vários Eletrodos Ativos	40
4.3.1	Comunicação entre Central e Eletrodo 1	42
4.3.2	Comunicação entre Central e Eletrodo 2	45
4.3.3	Comunicação entre Central e Eletrodo 3	49
5	Conclusão.....	54
	Referências	56

1 Introdução

Em 1929, o psiquiatra alemão Hans Berger, divulgou ao mundo científico que era possível mapear as correntes elétricas geradas pelo cérebro, mesmo sendo bem pequenas. Com este estudo ele constatou que estes sinais poderiam ser lidos sem a necessidade de abertura do crânio humano. O procedimento ficou conhecido como Eletroencefalograma – EEG [1].

O EEG é feito através da colocação de eletrodos na superfície da cabeça. Como o sinal a ser lido pelo eletrodo é muito pequeno, entre $1\mu\text{V}$ à $100\mu\text{V}$ [2], é necessário que esse sinal passe por um amplificador de tensão. Os sinais amplificados são direcionados para registros ou terminais externos, para o processamento e análise dos dados [3].

O cérebro se comunica utilizando correntes elétricas, que formam as ondas eletromagnéticas de várias frequências. Os neurônios utilizam essas correntes para se comunicar entre si e para contraírem os músculos. O EEG é o exame mais utilizado para análise das funções cerebrais, pois através dele, o médico pode avaliar as condições do cérebro do paciente, e emitir um diagnóstico correto.

Os níveis das ondas cerebrais, variam de um indivíduo para outro, em função de seu estado de consciência (se o paciente está acordado ou dormindo, como por exemplo). Esses níveis estão divididos em 4 níveis de frequência, que são:

- Beta: Paciente acordado e concentrado, está na faixa de frequência de 13-30 Hz.
- Alfa: Paciente relaxado e consciente, com alta percepção, está na faixa de frequência de 7-13Hz.
- Teta: Paciente num estado mais profundo de relaxamento, baixa atividade cerebral, quase em sono, está na faixa de frequência de 4-7Hz.
- Delta: Está na faixa de frequência de 0,1-4Hz.

1.1. Eletrodos

A função destes eletrodos é ler os sinais cerebrais, que são obtidos na superfície do crânio do paciente. Os eletrodos mais utilizados são os internos, também chamados de invasivos, flutuantes ou secos e de discos metálicos. A colocação destes eletrodos é feita da seguinte forma:

- Invasivos: é colocado através de intervenção cirúrgica, fazendo com que o exame fique mais caro, porém gera muito desconforto ao paciente.
- Disco metálico: utiliza um gel eletrólito como interfase entre o couro cabeludo e o eletrodo, feito de prata.
- Secos: colocado diretamente sobre a superfície da cabeça do paciente.

Estes eletrodos são comumente utilizados na posição conhecida como 10-20, pois estão separados obedecendo a relação 10% e 20%, como mostra a Figura 1. Este nome é dado devido as distâncias entre os pontos entre os olhos chamado de Nasion e entre o ponto da nuca, conhecido como Inion. Esta distribuição de eletrodos é capaz de mapear os principais pontos.

Nos sistemas convencionais a comunicação do eletrodo ao amplificador é feita através de fios elétricos, o que torna o sistema vulnerável à interferências.

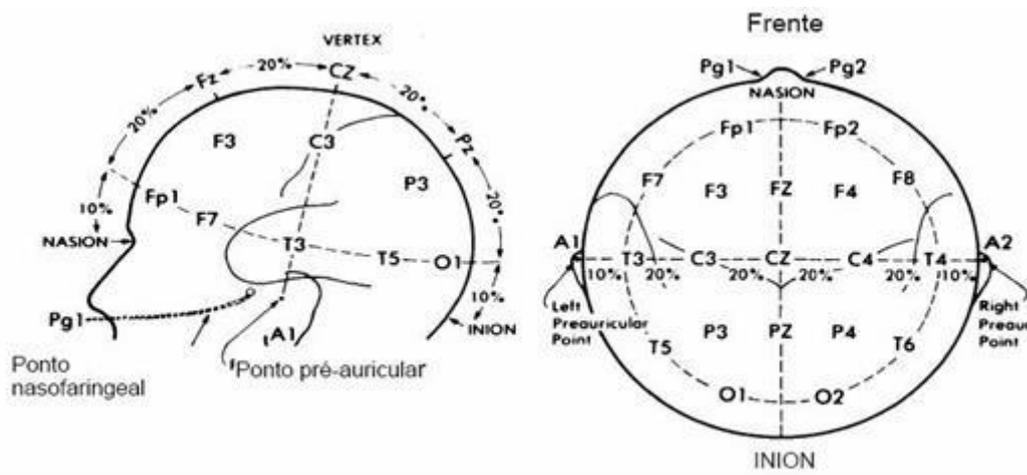


Figura 1 - Posicionamento 10-20.

1.2. Interferências

Equipamentos eletroeletrônicos são susceptíveis as interferências eletromagnéticas, conhecidas por IEM, que podem ser irradiadas ou conduzidas [4]:

- IEM irradiada: essa interferência é irradiada através do ambiente, e pode chegar aos aparelhos de EEG se o local não for blindado.
- IEM conduzida: é conduzida através da rede elétrica.

Estas interferências podem ser causadas por descargas atmosféricas, sinais de rádio, como Wi-fi e rede celular, motores, dentre outros. Muito comuns em ambiente hospitalar.

A Figura 2 a seguir apresenta algumas fontes de interferências eletromagnéticas.

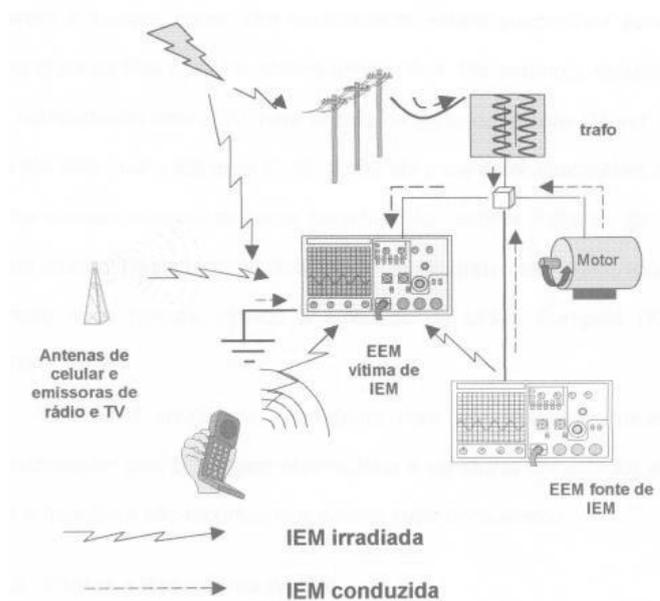


Figura 2 - Fontes de Interferências Eletromagnéticas.

No ambiente hospitalar, podem-se encontrar equipamentos que podem emitir interferências eletromagnéticas intencionais e não intencionais. Na Tabela 1 são apresentados alguns exemplos [5,6].

Tabela 1 - Exemplos de Equipamentos geradores de IEM.

	Tipo	Nome
Transmissores de Rádio	Intencionais	Telefone Celular
		Televisão
		Rádio de comunicação
		Rádio Difusão
		Rede Wireless
Equipamentos Médicos	Não Intencionais	Bisturi Elétrico
		Diametria
		Ressonância Magnética
		Raio-X
		Bombas de infusão
		Oxímetro
		Desfibrilador
		Ventilador Pulmonar
Incubadora		

Essas interferências dificultam obter um sinal claro e confiável, pois atinge os eletrodos, os condutores que levam os sinais obtidos e o sistema de amplificação.

Com o intuito de demonstrar o efeito da interferência eletromagnética, a Figura 3 apresenta os efeitos dos IEM no sinal de ECG – Eletrocardiograma [6]. No sinal 1 é apresentado um sinal sem IEM, no sinal 2 o sinal apresenta alguns ruídos hospitalares e no sinal 3 o sinal está completamente prejudicado devido a aproximação de um celular.



Figura 3 - Sinais sem interferência e com interferência.

A norma 60601, elaborada pela Comissão Eletrotécnica Internacional – IEC, aborda exatamente esta questão da interferência eletromagnética. No Brasil a Agência Nacional de Vigilância Sanitária – ANVISA, fiscaliza essa questão, e se baseia nas normas da ABNT,

que por sua vez seguem a IEC [7-9]. A norma é dividida em partes, conforme Tabela 2:

Tabela 2 - Normas para equipamentos eletromédicos.

Norma Geral	
NBR-IEC 60601-1 de 1994 e emenda 1 de 1997	Equipamento eletromédico – Parte 1: Prescrições gerais para segurança.
Normas Colaterais	
NBR-IEC 60601-1-1 de nov/1997	Prescrições de segurança para sistemas eletromédicos.
NBR-IEC 60601-1-2 de out/1997	Compatibilidade eletromagnética – Prescrições e ensaios.
NBR-IEC 60601-1-3 de dez/2001	Prescrições gerais para proteção contra radiação de equipamento de raios X para fins de diagnóstico.
NBR-IEC 60601-1-4 de nov/1997	Sistemas eletromédicos programáveis.
Normas Particulares	
NBR-IEC 60601-2-x entre jan/1997 e dez/2003 foram publicadas 31 normas particulares	São normas de segurança de alguns equipamentos eletromédicos, normalmente de médio e alto risco.
Norma de Desempenho	
NBR-IEC 60601-3-1 de jun/1998	Prescrições de desempenho essencial para equipamento de monitorização da pressão parcial transcutânea de oxigênio e de dióxido de carbono.

A compatibilidade eletromagnética em equipamentos eletromédicos é baseada na norma 60601-1-2 especificamente, onde são feitas as prescrições gerais de segurança. Esta norma especifica os limites para ensaio de imunidade e emissão. Os ensaios que são realizados são [10,11]:

- Emissões: Proteção de serviços de rádio.
- Proteção da rede de alimentação pública (distorção harmônica e flutuações)
- Imunidade: Descarga eletrostática.
- Imunidade: Campos eletromagnéticos de Rádio Frequência irradiados.
- Imunidade: Transientes elétricos rápidos.

- Imunidade: Surto de tensão.
- Imunidade: Distúrbios conduzidos e induzidos por campos de Rádio Frequência.
- Imunidade: Quedas de tensão.
- Imunidade: Campos magnéticos de frequência de rede elétrica.

1.3. Projeto de EEG Digital

Com intuito de minimizar as interferências eletromagnéticas que prejudicam a leitura de dados do Eletroencefalograma, o Grupo de Microeletrônica da Universidade Federal de Itajubá – UNIFEI está desenvolvendo um Eletroencefalograma Digital. Este novo equipamento deverá ser menos susceptível às interferências e com isso os dados lidos pelos eletrodos serão muito confiáveis.

O Grupo está desenvolvendo um circuito integrado, que será colocado diretamente no eletrodo, eliminando, assim, os longos fios que são susceptíveis a ruídos.

Este novo eletrodo, chamado de Eletrodo Ativo, incorpora o amplificador, filtro e conversor analógico digital (A/D). Este novo equipamento permitirá que sejam feitos ajustes nos parâmetros do amplificador, filtro e conversor A/D, de acordo com as necessidades de cada paciente.

O novo equipamento será composto por uma toca que deverá incorporar os Eletrodos Ativos e pela central de comunicação.

1.3.1 Capacete de Eletrodos Ativos

Trata-se de uma toca ou capacete flexível, onde estarão todos os eletrodos fixados, cuja principal função é manter o correto posicionamento dos eletrodos, diminuindo, assim, o tempo e gastos para exames, pois não necessitará de ajustes de posicionamento. Basta apenas colocar o capacete na cabeça para realizar o exame. A Figura 4 apresenta exemplos do capacete flexível.

A central de comunicação será fixada também neste capacete. A comunicação com o meio externo será feita através de uma rede sem fio ou por fibra óptica. Essa central será responsável por todo o funcionamento do conjunto, pois nela serão ligados todos os eletrodos ativos. Ela irá gerenciar cada eletrodo, configurando ou lendo os dados obtidos.

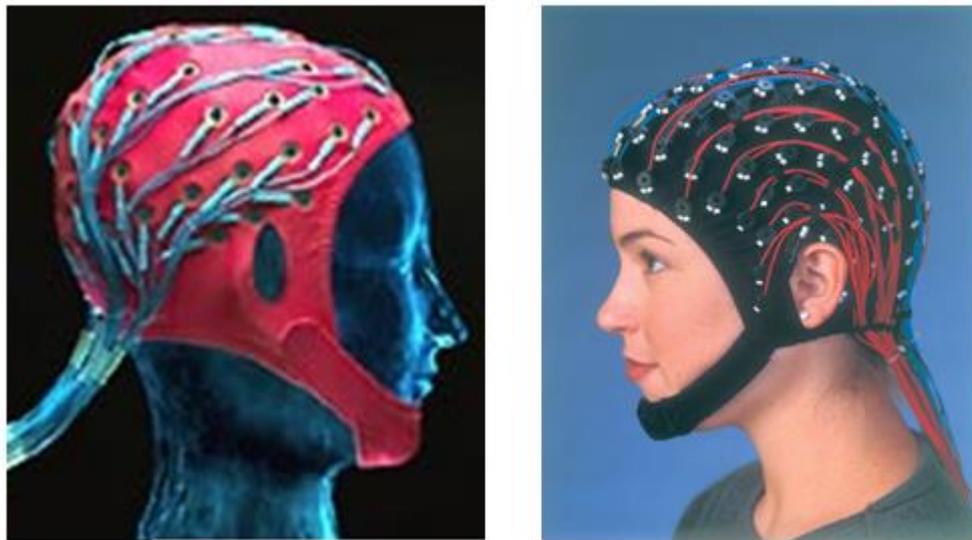


Figura 4 – Capacete com Eletrodos Ativos.

1.3.2 Eletrodo Ativo

A Figura 5 apresenta a estrutura do projeto que está sendo desenvolvido. Os eletrodos deverão ser do tipo seco, isto é, os eletrodos serão posicionados sob a cabeça do paciente, sem o uso de gel. O chip do eletrodo ativo deverá conter a amplificação, filtragem e conversão A/D [12,13], permitindo sempre ao usuário que faça ajustes em seus parâmetros, levando em consideração cada paciente.

Todos os eletrodos ativos, deverão ser conectados a central de comunicação, conhecida também como concentrador ou HUB, que deverá enviar os dados via cabos ou rede sem fio para um periférico externo, como um computador para apresentação dos resultados.

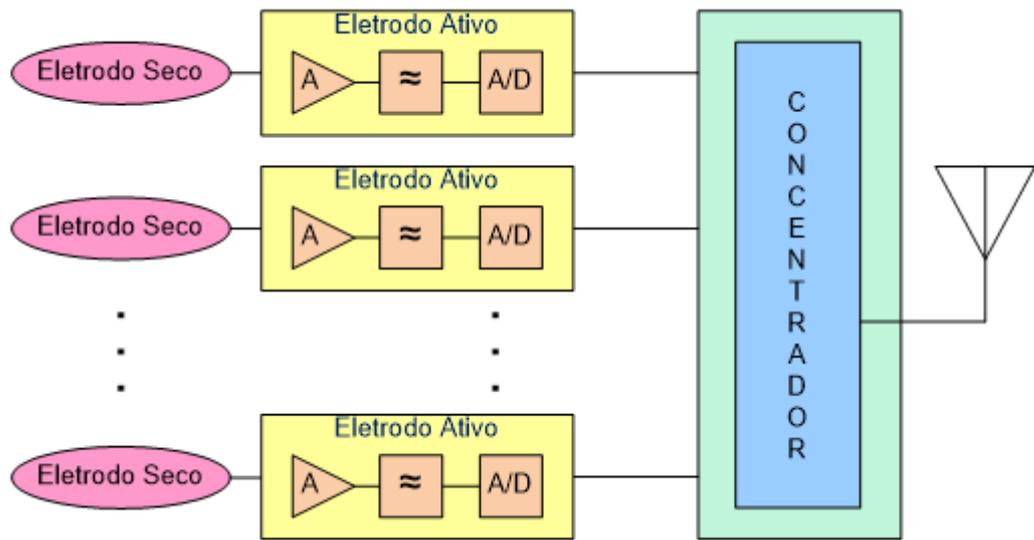


Figura 5 - Sistema de Aquisição de Dados.

O amplificador desenvolvido contém circuitos capazes de fazer a amplificação do sinal lido, sendo possível ajustar os seus parâmetros. Já a parte do filtro, deverá eliminar componentes de 60Hz e as frequências indesejadas. Por último, os sinais lidos passam pelos conversores analógicos digitais e são enviados a central de comunicação.

Estes circuitos serão implementados em tecnologia CMOS, operando em baixa potência.

1.4. Objetivo

Este trabalho aborda o desenvolvimento de uma Central de Comunicação em Verilog para Eletrodos Ativos de EEG. No Capítulo 2 é apresentado o estudo teórico e conceitual da central de comunicação. No Capítulo 3 será apresentada a implementação do sistema na linguagem Verilog. O Capítulo 4 mostrará os resultados de simulação e os testes em FPGA.

2 Central de Comunicação

2.1 Conceito

A Central de Comunicação é responsável por coletar e enviar os sinais de EEG ao equipamento externo, assim como repassar a programação aos eletrodos ativos.

A central é composta pelos seguintes itens:

- Máquina de estado de controle,
- Entrada de dados,
- Saída de dados.

2.2 Máquina de Estado de Controle

A máquina de estado desenvolvida neste trabalho serve para controlar o fluxo de dados que é colocado no registro de entrada e no registro de saída. Os registros de entrada armazenam os parâmetros do amplificador, filtro e conversor A/D, atribuídos pelo usuário. E o registro de saída armazenam os sinais lidos pelo conjunto de eletrodos ativos.

A Figura 6 apresenta o fluxograma do funcionamento da máquina de estado.

Ela funciona da seguinte forma, após o usuário ligar o sistema a central envia o endereço do eletrodo ativo que ela deseja se comunicar, após ela inicia o envio dos parâmetros de configuração dos eletrodos, que são os parâmetros do filtro, amplificador e conversor A/D. Logo após esta configuração a central recebe o sinal que está sendo coletado pelo eletrodo, conforme endereço escolhido anteriormente.

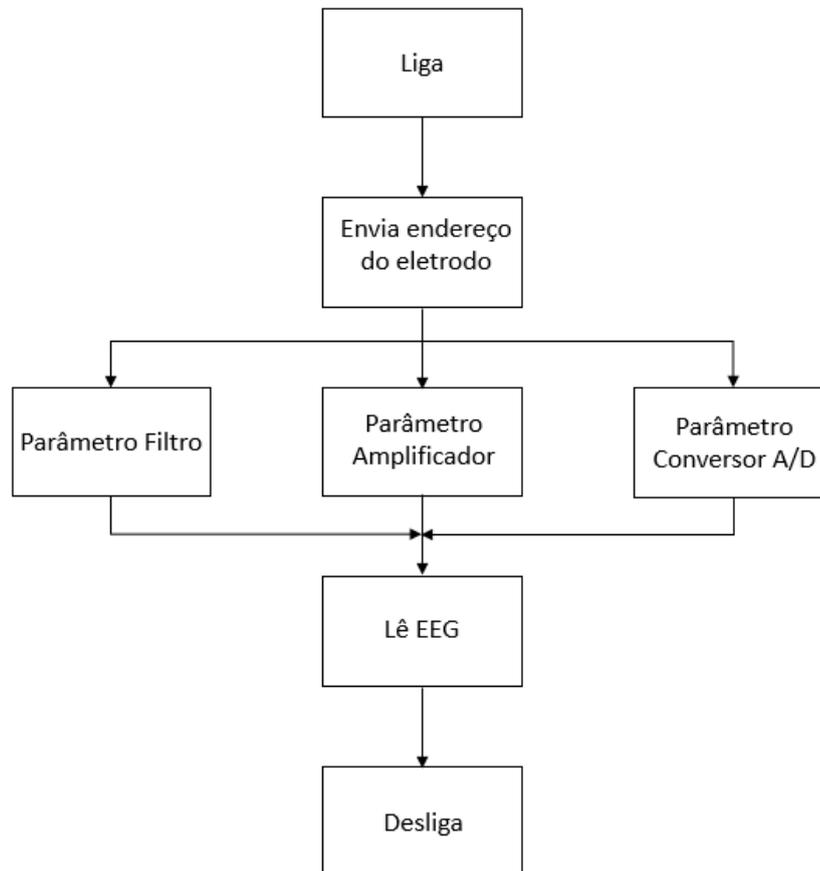


Figura 6 - Fluxograma Máquina de Estado.

2.3 Entrada de Dados

Os dados de entrada são os parâmetros estabelecidos pelo usuário e o endereçamento de cada eletrodo ativo. Os parâmetros serão usados para configuração do filtro, amplificador e conversor A/D. A configuração poderá variar de acordo com cada paciente. Cada eletrodo terá o seu endereçamento, para que a configuração dos parâmetros seja direcionada para cada um especificamente, ou seja, cada eletrodo pode receber uma configuração de filtro, amplificador e conversor A/D diferente do outro.

Estes parâmetros serão configurados utilizando uma palavra com dois bytes e o endereçamento utilizará uma palavra de 10 bits, porque no projeto serão utilizados 256 ou 512 eletrodos ativos, que são utilizados nas redes ultra-densa para EEG. Estas palavras serão inseridas na central e lidas pelos circuitos que estão sendo desenvolvidos.

Estes parâmetros serão enviados para todos os eletrodos, mas somente o eletrodo endereçado irá ler as configurações. A Figura 7, demonstra o processo de fluxo de entrada de dados.

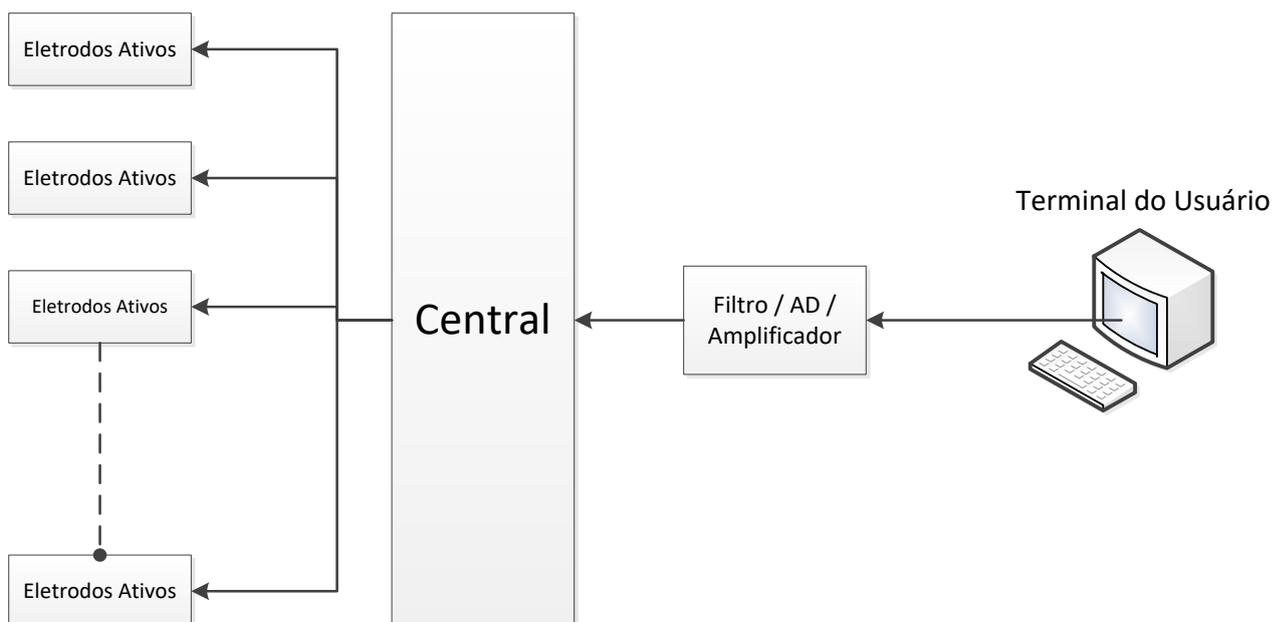


Figura 7 – Entrada de Dados.

2.4 Saída de Dados

Os dados de saída correspondem aos sinais lidos pelos eletrodos ativos. O eletrodo conectado a cabeça do paciente faz a leitura dos sinais cerebrais e envia a central, que por sua vez envia ao terminal do usuário.

Estes dados de saída serão compostos por uma palavra de oito bits, que será recebida pela central, que por sua vez enviará ao terminal externo. A Figura 8 demonstra os passos que os dados de saída passam até ser exibidos no terminal do usuário.

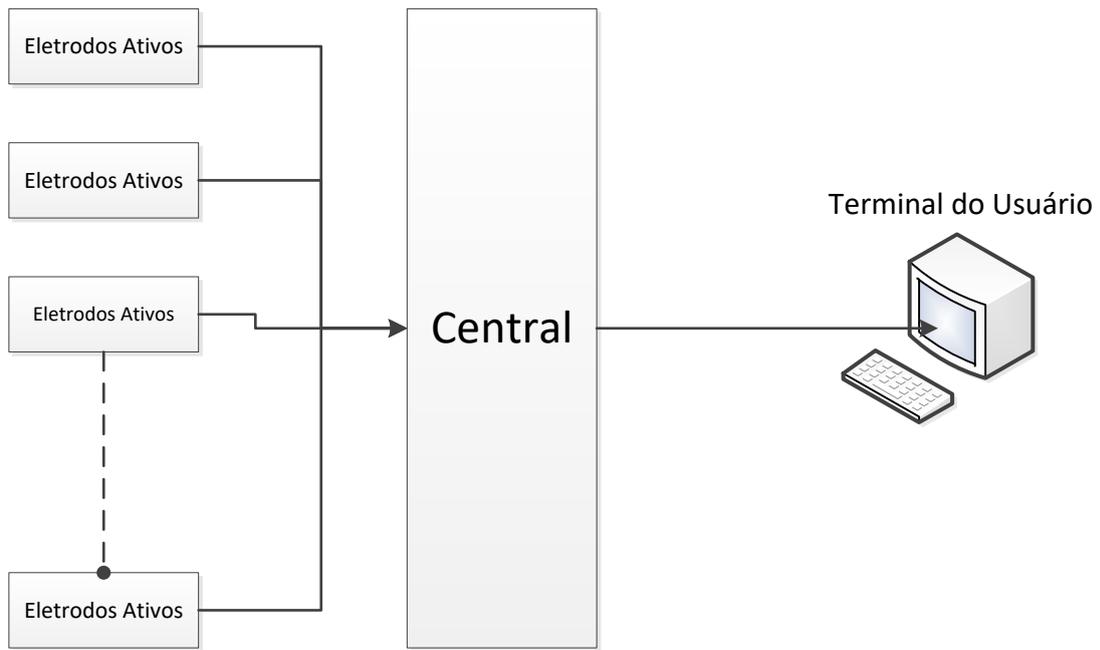


Figura 8 - Saída de Dados.

3 Implementação da Central

3.1 Plataforma de desenvolvimento

A central de comunicação foi desenvolvida em Verilog na plataforma Quartus II.

Verilog não é uma linguagem de programação para software, mas sim uma linguagem de descrição de hardware, usada para descrever circuito a ser implementado em hardware [14].

Verilog é uma linguagem de alto nível, utilizada para síntese e simulação, adequada para implementar a central de comunicação.

3.2 Metodologia de Desenvolvimento

Para dar início a descrição da central, primeiro foi essencial estudar todo o funcionamento do projeto. Com o intuito de validar a descrição da central de comunicação, traçou-se como primeiro objetivo criar a descrição de somente dois eletrodos. Após validado este processo, bastaria replicar a descrição para os demais eletrodos.

O próximo passo foi escolher o protocolo de comunicação mais viável para este trabalho. O protocolo escolhido foi o I²C, pois para operar ele precisa de somente dois barramentos, um para dados e outro para o *clock*, além de se tratar de um protocolo assíncrono e muito confiável. Como um dos objetivos deste trabalho é a redução de cabos, este protocolo é o mais indicado.

3.3 Comunicação Serial I²C

Este protocolo de comunicação é utilizado mundialmente desde a década de 80, quando foi criado pela empresa Philips, no intuito de desenvolver um protocolo simples que faria a ligação de vários periféricos.

Para implementar este protocolo são utilizados somente dois barramentos. Uma linha é a de *clock*, chamada de *Serial Clock* – SCL e a outra é a linha de dados, chamada

de *Serial Data* – SDA. Cada periférico que é adicionado ao barramento do protocolo I²C possui um endereço físico único. Esses endereços são dados aos chamados escravos, que por sua vez são controlados pelo mestre. O mestre faz toda a interface, pois ele transmite e recebe os dados.

O tráfego de dados no protocolo é bidirecional e podem ser utilizadas 4 taxas de transmissão:

- Até 100 kbit/s, chamado *Standard*.
- Até 400 kbit/s, chamado *Fast*.
- Até 1 Mbit/s, chamado *Fast Plus*.
- Até 3,4 Mbit/s, chamado *High Speed*.

O barramento suporta uma quantidade de escravos igual a de endereços estabelecidos, desde que não ultrapasse a capacitância de 400pF, pois pode interferir nos sinais SDA e SCL.

A Figura 9 apresenta a construção de uma aplicação com protocolo I²C, utilizando um mestre e alguns escravos.

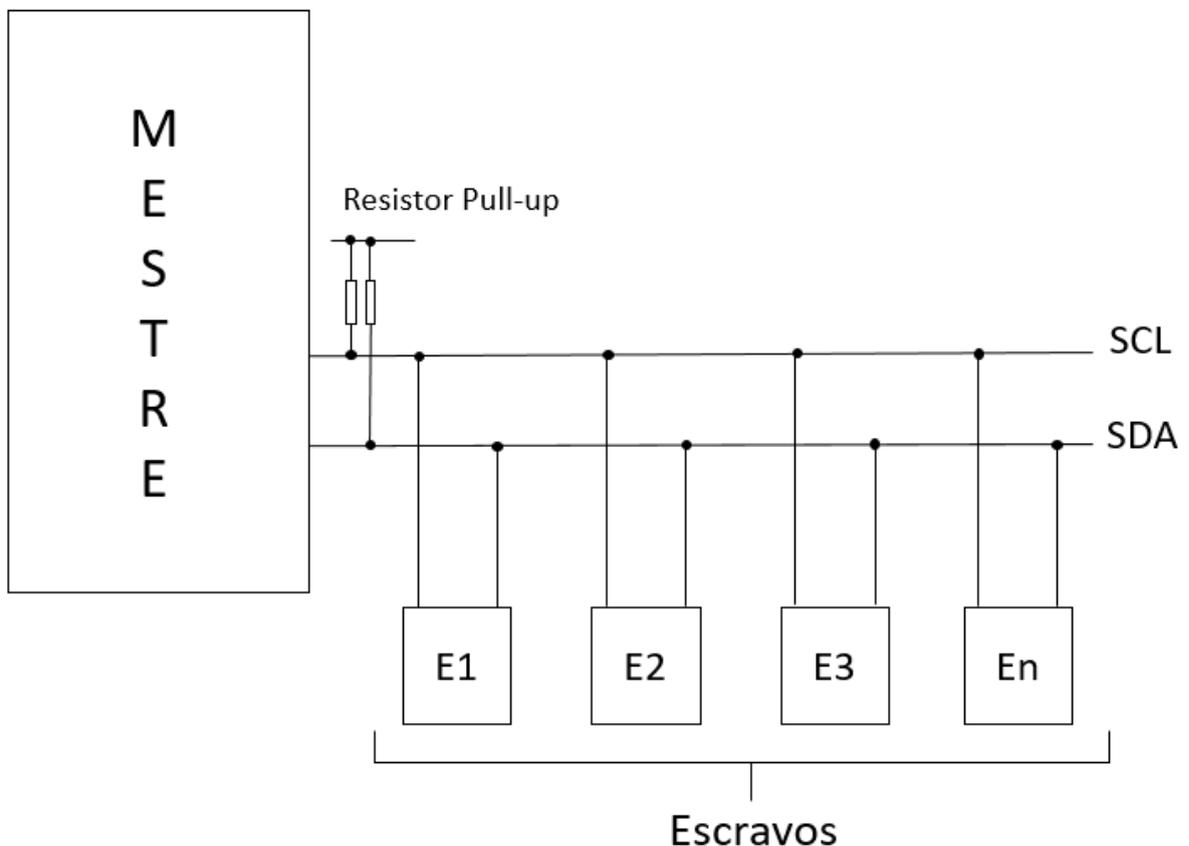


Figura 9 - Exemplo de aplicação do I²C.

Estes resistores de *pull-up* servem para deixar o sinal em nível alto quando nenhum dado estiver presente no barramento. Para que isso aconteça é necessário utilizar um resistor para o barramento SDA e outro para o barramento SCL.

Para o perfeito funcionamento do protocolo, o mestre e o escravo devem seguir a alguns requisitos:

- Mestre Transmite: mestre controla o *clock* e transmite dados para o escravo.
- Mestre Recebe: mestre continuado controlando o *clock* e recebe dados do escravo.
- Escravo Recebe: escravo recebe dados do mestre.
- Escravo Transmite: escravo envia dados ao mestre.

Como pode-se observar, somente o mestre controla o barramento de *clock*.

A Figura 10 mostra o princípio de funcionamento da transmissão de dados com o protocolo I²C.

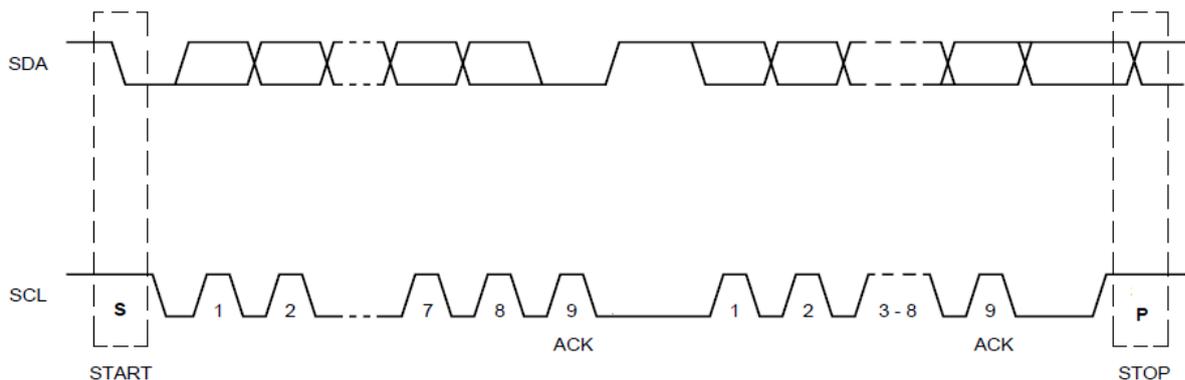


Figura 10 - Transmissão de dados.

Para que seja iniciada a comunicação, o sinal SDA deve estar em nível baixo e o SCL em nível alto, com essa configuração é realizada a ação de START. No próximo passo o mestre prepara o primeiro bit a ser enviado ao escravo. Está condição é dada quando SCL está no nível baixo, e quando passa para o nível alto, é transmitido o primeiro bit. Este processo se repete até que todos os bits sejam enviados. No final da transmissão, ele envia um sinal de ACK, informando que a transmissão foi feita e em seguida o mestre gera um STOP, colocando o sinal SDA em nível alto enquanto o SCL está em nível alto.

O endereçamento do escravo é enviado após o bit de START. Este endereçamento informa com qual escravo o mestre deseja se comunicar. No caso desse trabalho, será utilizado endereçamento de 7 bits. O endereço é enviado obedecendo a seguinte ordem; bit mais significativo para o menos significativo. Após a transmissão do endereço, o mestre precisa avisar o escravo de deseja escrever ou ler dados, onde nível baixo indica

escrever e nível alto leitura no barramento SCL. Após esta informação, se o endereço enviado for de algum escravo, o mesmo enviará um bit de *acknowledge* – ACK, com nível baixo, informando que o endereço está correto e que pode enviar os dados.

Na Figura 11 pode ser visualizada a composição do protocolo I²C.



Figura 11 - Funcionamento do Protocolo I²C.

3.4 Estrutura da Central

A seguir são apresentadas todas as partes que compõem a estrutura da central de comunicação, inclusive seus sinais de entrada e saída, e operações realizadas. A central de comunicação é composta pelas máquinas de estados mestre e as escravos.

3.4.1 Estrutura Mestre

A estrutura mestre é quem controla todos os dados de entrada e saída do sistema. Para desenvolvimento desta estrutura foram necessários estabelecer alguns pontos:

- Velocidade do barramento I²C: 400kbit/s.
- Endereçamento: 7 bits, usualmente utilizado no protocolo I²C.
- Dados de leitura: 8 bits.
- Um mestre para o barramento de I²C.

A estrutura criada neste trabalho foi projetada para gerenciar/controlar dispositivos escravos, que correspondem aos eletrodos ativos. Para que essa estrutura funcione, é necessário que exista alguns componentes importantes, como um microprocessador, que é o terminal externo do usuário, que irá fazer a seleção dos escravos para leitura ou escrita dos dados. Este terminal será responsável por iniciar e configurar o processo de transmissão envolvendo a configuração dos eletrodos ativos e leituras dos sinais coletados.

O mestre irá aceitar comando do terminal externo do usuário, podendo ser de escrita ou leitura. Uma função importante do mestre é poder interromper a qualquer momento a transmissão que está ocorrendo, independente se é de leitura ou escrita. Esta função é importante, pois o usuário pode a qualquer momento reenviar uma configuração para um eletrodo ativo específico, como aumentar o ganho do

amplificador do eletrodo ou refazer a leitura dos sinais coletados.

Esta estrutura irá receber palavras de 7 bits de endereço, informando com qual eletrodo ela irá se comunicar, mais 1 bit junto com o endereçamento informando se irá realizar leitura ou escrita e também palavras de 8 bits dos sinais lidos pelos eletrodos e de configuração dos mesmos. Essa estrutura irá poder se comunicar somente com um eletrodo por vez, conforme já mencionado em itens anteriores o protocolo I²C necessita apenas de dois fios, um para dados e outro para *clock*.

3.4.2 Estrutura Escravo

Cada estrutura escravo segue também o protocolo I²C, possui endereçamento fixo de 7 bits, onde essa estrutura escrava representa um eletrodo ativo. Ela faz operações de leitura dos dados de configuração (amplificador, conversor A/D e filtro) e escrita de dados coletados pelo eletrodo ativo.

Este modulo escravo irá obedecer aos comandos enviados pela estrutura mestre, que irá ler dados ou fazer escrita.

3.5 FPGA

Para testes com a descrição desenvolvida neste trabalho, foram utilizadas FPGA como forma de validar o eletrodo ativo e a central. E este item apresenta a estrutura básica de um FPGA. Os equipamentos utilizados foram o Cyclone II EP2C20F484C7 e o Cyclone II EP2C35F672C6 da Altera. Conforme já mencionada em itens anteriores a linguagem para o desenvolvimento do *hardware* foi o Verilog e o *software* utilizado foi o Quartus II.

O FPGA é um tipo de circuito PLD, que são circuitos integrados, que possuem registradores, portas logicas e *flip-flops* [15]. A Figura 12 apresenta a arquitetura de um FPGA [16].

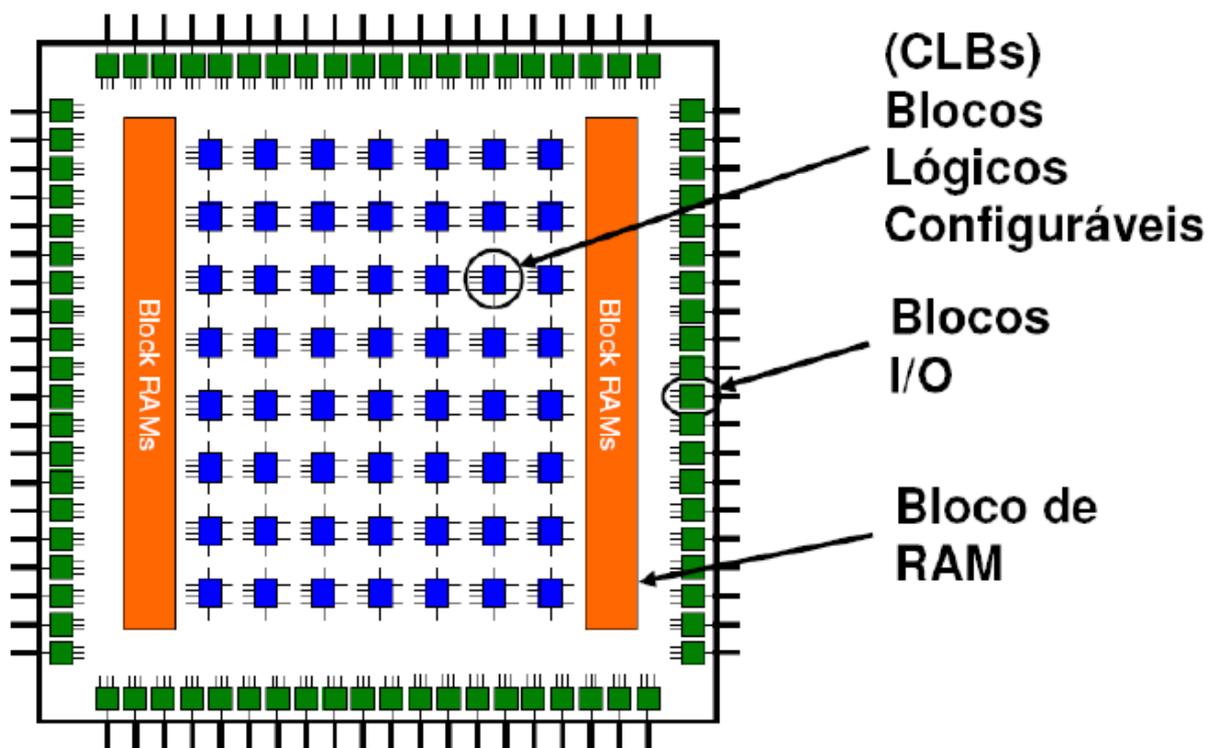


Figura 12 - Arquitetura FPGA.

A FPGA EP2C20F484C7, apresenta as seguintes características:

- Quantidade de pinos: 484
- Quantidade de pinos para I/O: 315
- Elementos lógicos: 18752
- Blocos RAM M4K: 52
- Total de RAM (bits): 239616
- PLLs: 4
- Multiplicadores: 26

A FPGA EP2C35F672C6, apresenta as seguintes características:

- Quantidade de pinos: 672
- Quantidade de pinos para I/O: 475
- Elementos lógicos: 33216
- Blocos RAM M4K: 105
- Total de RAM (bits): 483840

- PLLs: 4
- Multiplicadores: 70

Na Figura 13 e 14 estão apresentadas as FPGA utilizadas para a validação do trabalho:

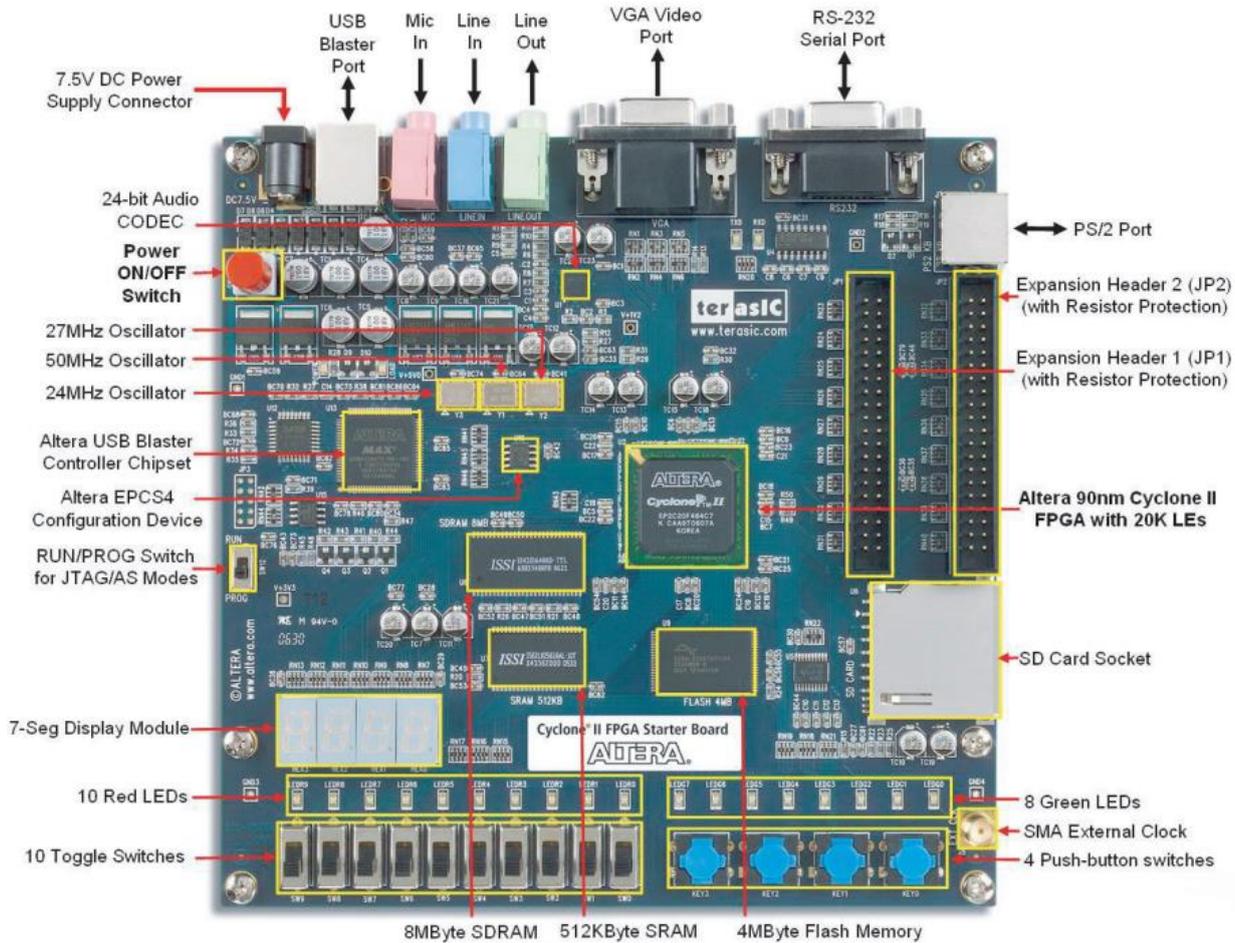


Figura 13 - FPGA Cyclone II EP2C20F484C7.

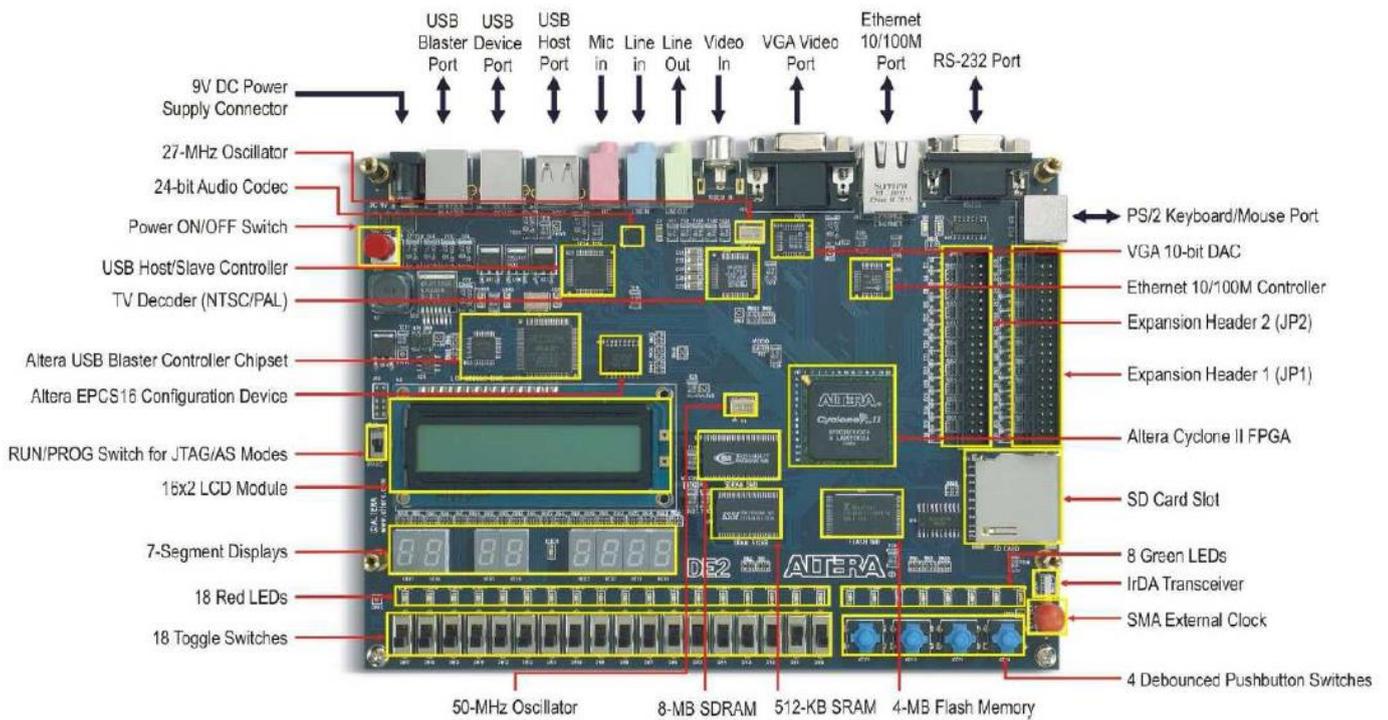


Figura 14 - FPGA Cyclone II EP2C35F672C6.

Nas FPGA da Figura 13, será utilizada para emular os eletrodos ativos. As suas chaves serão colocadas em nível lógico 1 ou 0, simulando os dados que serão enviados do eletrodo para a central de comunicação e os leds localizados acima das chaves irão mostrar os dados que foram transmitidos da central para o eletrodo, lembrando que esses dados são os parâmetros de configuração do eletrodo ativo. Já na Figura 14 está apresentada a FPGA que irá emular a central de comunicação. Nas chaves desta FPGA será colocado o endereço do eletrodo com quem ela deseja se comunicar, este endereço é colocado mexendo no nível lógico da chave, 1 ou 0.

4 Resultados Obtidos

4.1 Início dos testes

Com intuito de validar o conceito foi feita somente a descrição de um eletrodo ativo, conforme foi mencionado anteriormente.

Para comprovar o funcionamento da comunicação, foram utilizadas as duas FPGA citadas acima, onde a EP2C35F672C6 emulando central e a EP2C20F484C7 emulando o eletrodo ativo.

As descrições foram carregadas nas FPGA. Na FPGA EP2C35F672C6 as chaves e Leds possuem as seguintes funções:

- KEY0: Reset do HUB.
- LEDG0 – LEDG7: Indicam que o HUB está executando função de leitura ou escrita.
- SW0 – SW7: Chaves que inicia a função de leitura ou escrita.
- SW8: Seleciona escrita ou leitura.
- SW9 – SW16: Chave responsável por informar o endereçamento do eletrodo ativo que a central deseja comunicar.

Na FPGA EP2C20F484C7 as chaves e Leds possuem as seguintes funções:

- KEY0: Reset do Eletrodo Ativo.
- LEDG0 – LEDG7 e LEDR0 – LEDR9: Apresenta o dado que o HUB está enviando ao eletrodo ativo, mostrando em forma de bits.
- SW0 – SW7: Chaves que montam palavras de 8 bits que o HUB irá ler e disponibilizar ao usuário, ou seja, uma simulação da leitura do eletrodo ativo.
- SW9: Enable, deve permanecer em nível logico 1.

Para facilitar o entendimento do processo, nos testes foi utilizado o osciloscópio digital MSO 4104B *Mixed Signal Oscilloscope*, que permite registrar o funcionamento do projeto, através de captura das imagens apresentadas em sua tela.

A Figura 15 apresenta a tela do osciloscópio digital onde estão apresentados alguns barramentos como I²C, I²C_CLK (SCL) e I²C_DATA (SDA). I²C apresenta o endereço com quem a central está comunicando e os valores dos dados que estão sendo

lidos ou escritos. No barramento I²C_CLK é mostrada a linha de *clock* do sistema e no I²C_DATA pode-se verificar os dados que estão sendo transmitidos, bit a bit, a cada ciclo de *clock*.

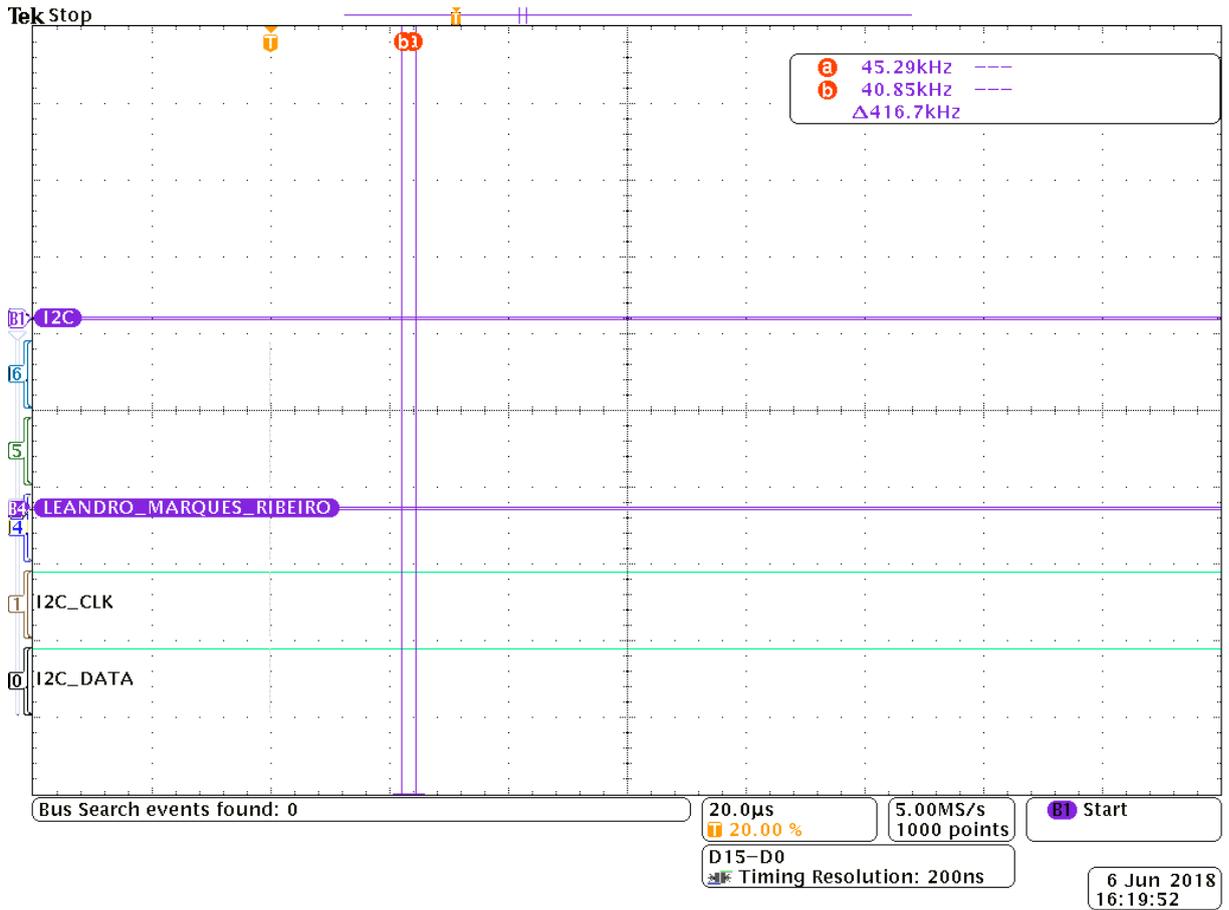


Figura 15 - Tela Inicial Configurada para o Projeto.

4.2 Teste com um Eletrodo Ativo

Na descrição foi predefinido o endereço do eletrodo ativo como sendo 01010000, que representa 50 em hexadecimal, pois o osciloscópio está configurado para mostrar os resultados em hexadecimal.

A Figura 16 apresenta a bancada de testes para um eletrodo ativo.

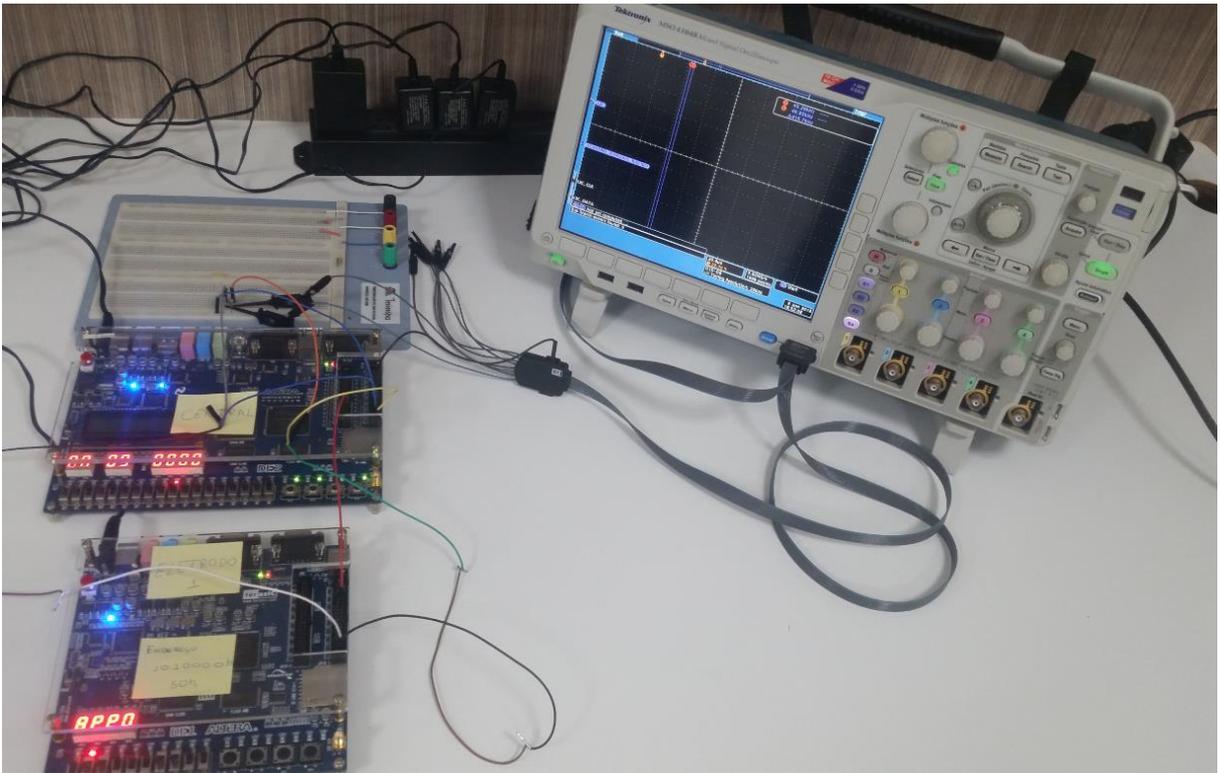


Figura 16 - Banca de Testes.

Como primeiro teste do projeto, foi realizado a leitura dos dados que o eletrodo ativo está enviando. Para isto na FPGA que contém a central deste trabalho foi colocado o endereçamento do eletrodo ativo com quem ela quer que comunicar e na FPGA que simula o eletrodo ativo foi colocado um dado aleatório utilizando as chaves SW0 até SW7. Para incrementar mais o teste, o eletrodo ativo envia três palavras de dados de 8 bits, onde a segunda palavra corresponde ao complemento da primeira, onde o que era 1 vira 0 e onde era 0 vira 1. E a terceira palavra transmitida é a primeira novamente.

Como primeiro teste foi realizado a leitura do seguinte dado $11100000b = E0h$, com o endereçamento $01010000b = 50h$ na central.

Após selecionar a chave SW0 da FPGA da central e deixar a chave da central SW8 em 1, que indica a função de leitura, o sistema executa a função de leitura. O osciloscópio apresenta o perfeito funcionamento o projeto, conforme apresentado na Figura 17.

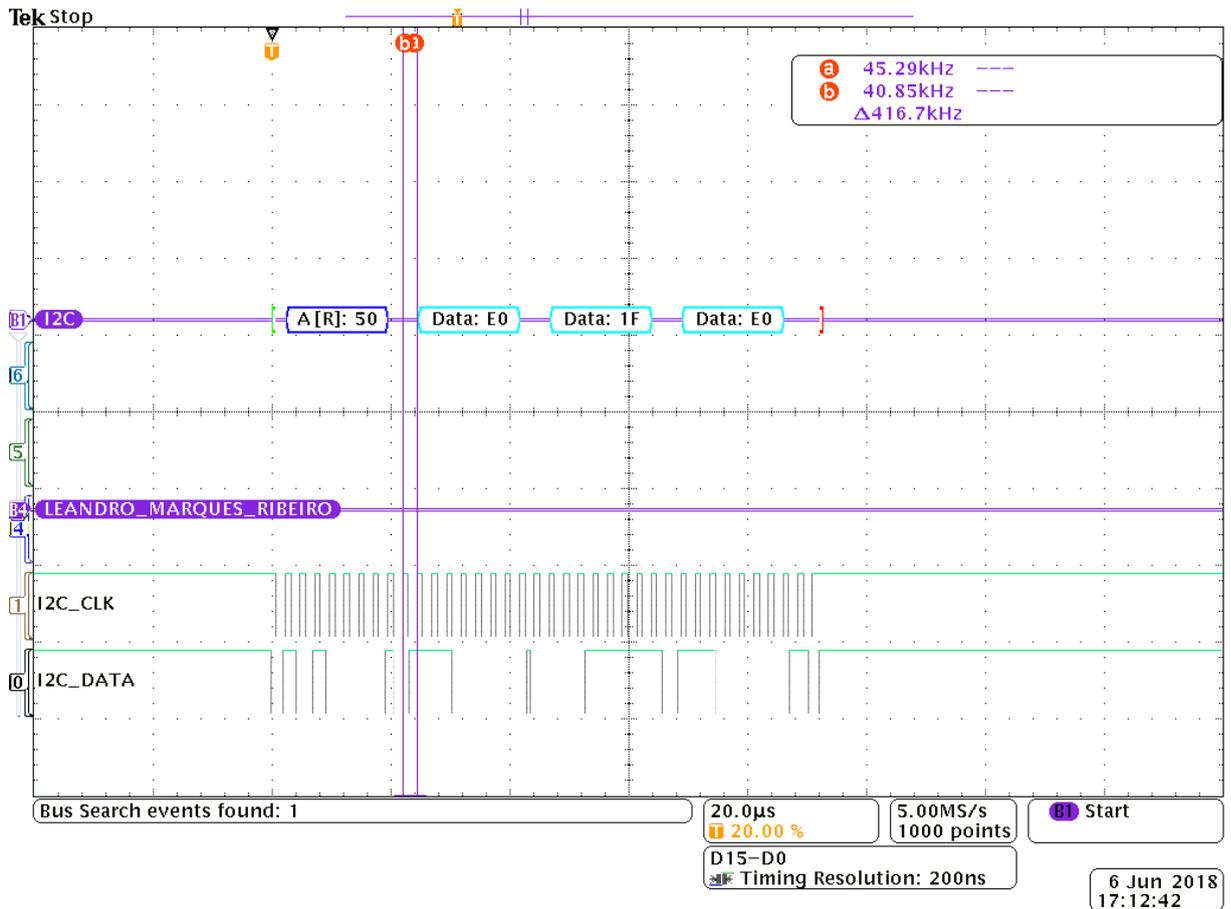


Figura 17 - Leitura do Dado 11100000b = E0h.

Pode-se observar na Figura 17 que os dados foram transmitidos corretamente. Primeiro foi enviada a palavra E0h, a segunda (complemento da primeira) foi 1F, e a terceira que foi a primeira novamente. Com este teste pode-se verificar o perfeito funcionamento do protocolo I²C desenvolvido na central.

Como segundo teste foi realizado a leitura do dado 10100101b = A5h, com o endereçamento 01010000b = 50h na central.

A Figura 18 ilustra a tela obtida após a execução da leitura e nela pode-se observar o seu perfeito funcionamento.

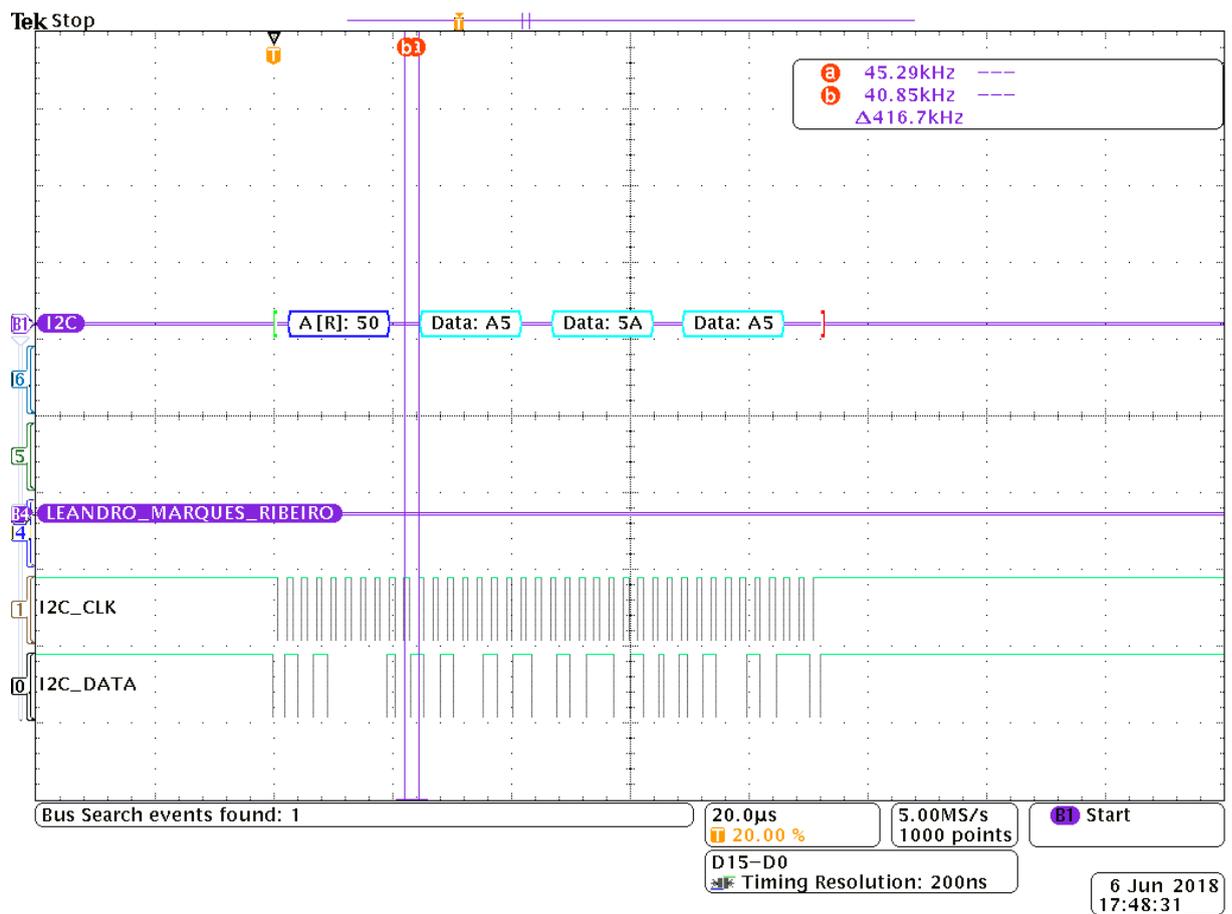


Figura 18 - Leitura do Dado 10100101b = A5h.

O terceiro teste a ser realizado foi com o dado 10100101b = A5h, para o endereçamento 01010011b = 53h. Como o endereço do eletrodo ativo está incorreto, a central não se comunicou com ele, como visto na Figura 19.

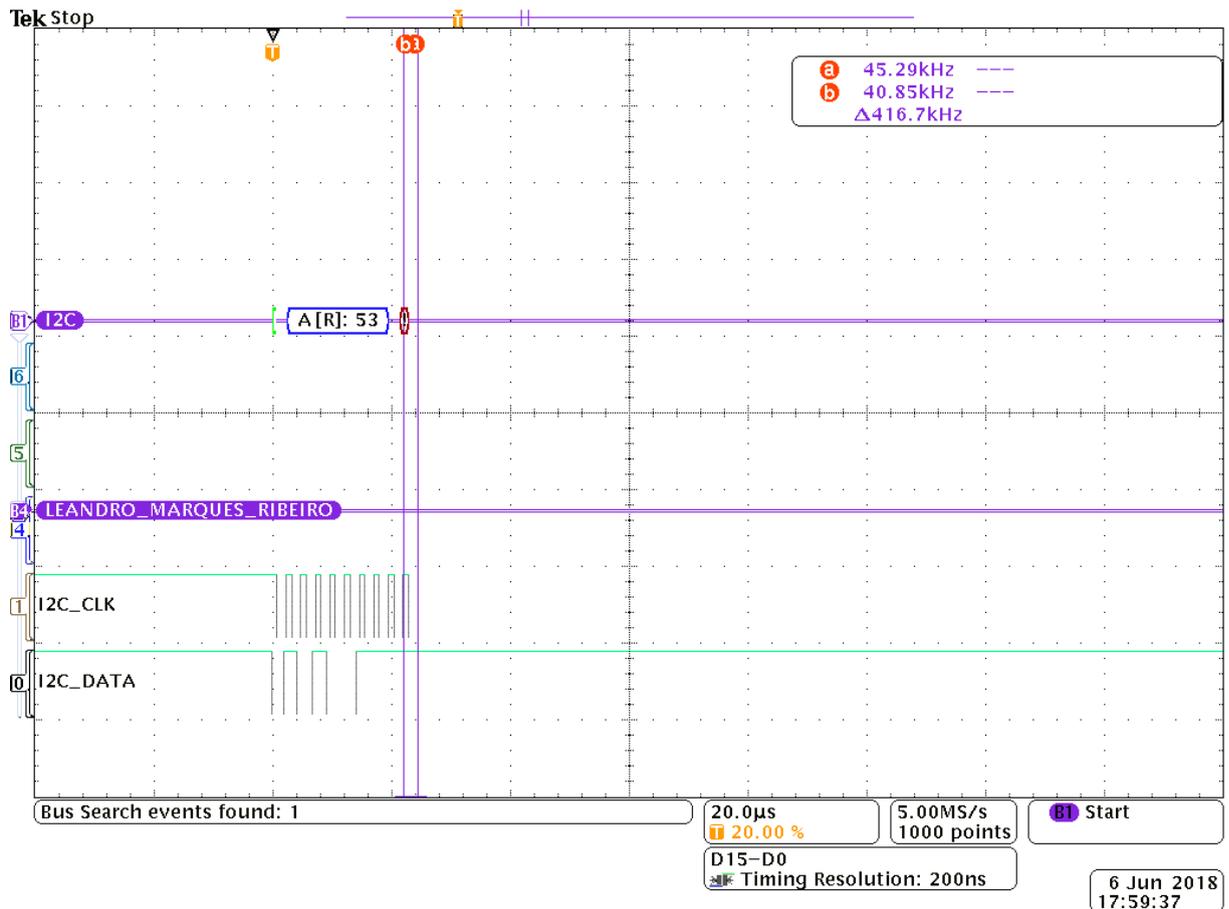


Figura 19 - Falha na comunicação devido ao endereço errado.

Nesta segunda fase de testes foi realizado a escrita dos dados, ou seja, a central enviou os dados para o eletrodo. Como forma de testar a descrição, foram estabelecidos dados para serem enviados ao eletrodo ativo. O eletrodo irá receber três palavras de dados preestabelecidas, que são 55h, 66h e 77h.

Para o teste foi alterado o endereço do eletrodo ativo para 00110010b = 32h. Para realizar a escrita, a chave SW8 deve estar na posição 0. Após estas configurações foi dado o comando para leitura e pode-se observar o perfeito funcionamento do projeto através da Figura 20.

A Figura 21 apresenta a imagem da bancada com as placas mostrando as informações e a tela do osciloscópio mostrando que os dados foram enviados ao eletrodo. Uma outra forma de visualizar que o eletrodo recebeu as configurações é observar os Leds acessos. Os Leds verdes mostram a primeira palavra de 8 bits enviada, que é 55h = 01010101b. Os Leds de cor vermelha mostram a segunda palavra enviada, que é a 66h = 01110111b. Como na FPGA utilizada só tem 16 Leds, a terceira palavra não foi mostrada, mas pode-se visualiza-la na tela do osciloscópio digital.

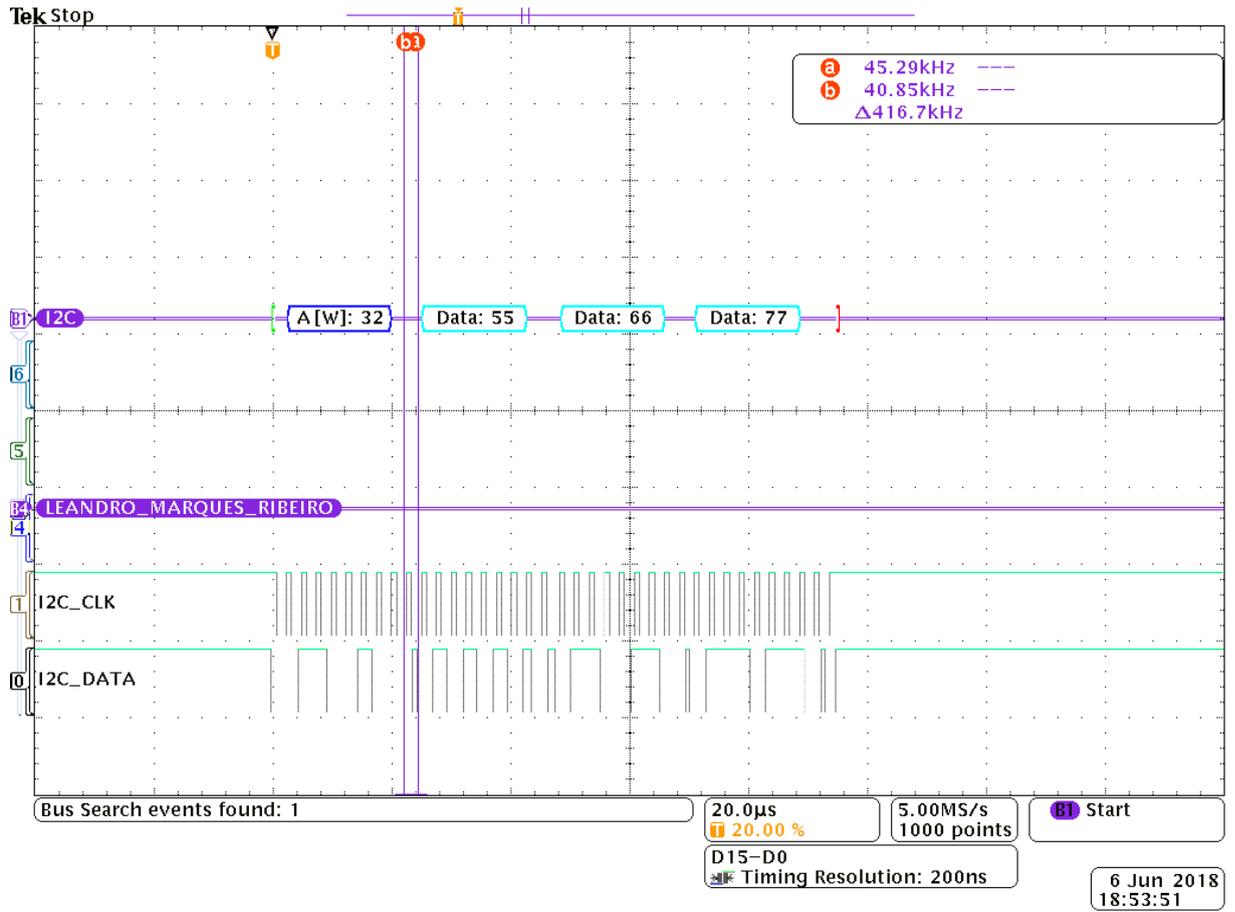


Figura 20 - Teste Escrita de dados no eletrodo.

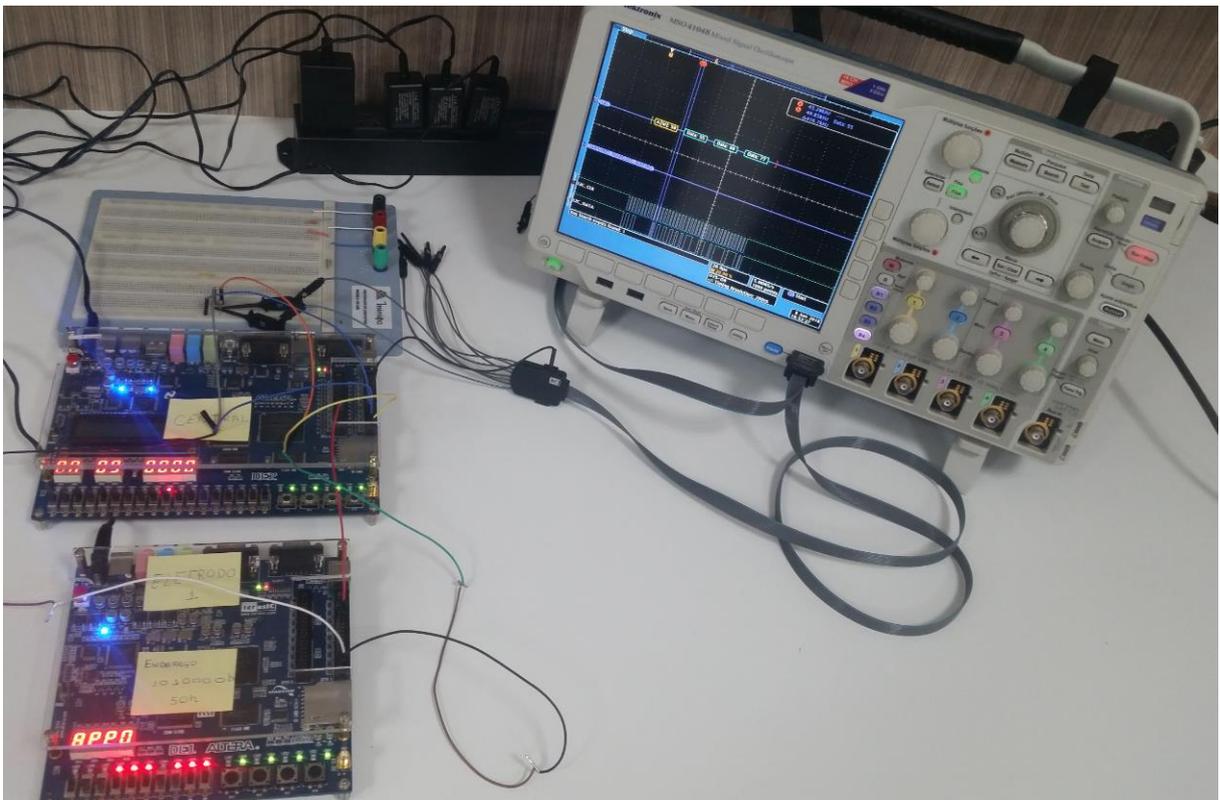


Figura 21 - Funcionamento de Escrita.

Para um novo teste, foi alterado o endereço do eletrodo para $00110011b = 33h$, e pode-se notar através dos dados obtidos na tela do equipamento que a central não se comunicou com o eletrodo, devido ao endereço estar incorreto, como apresentado na Figura 22.

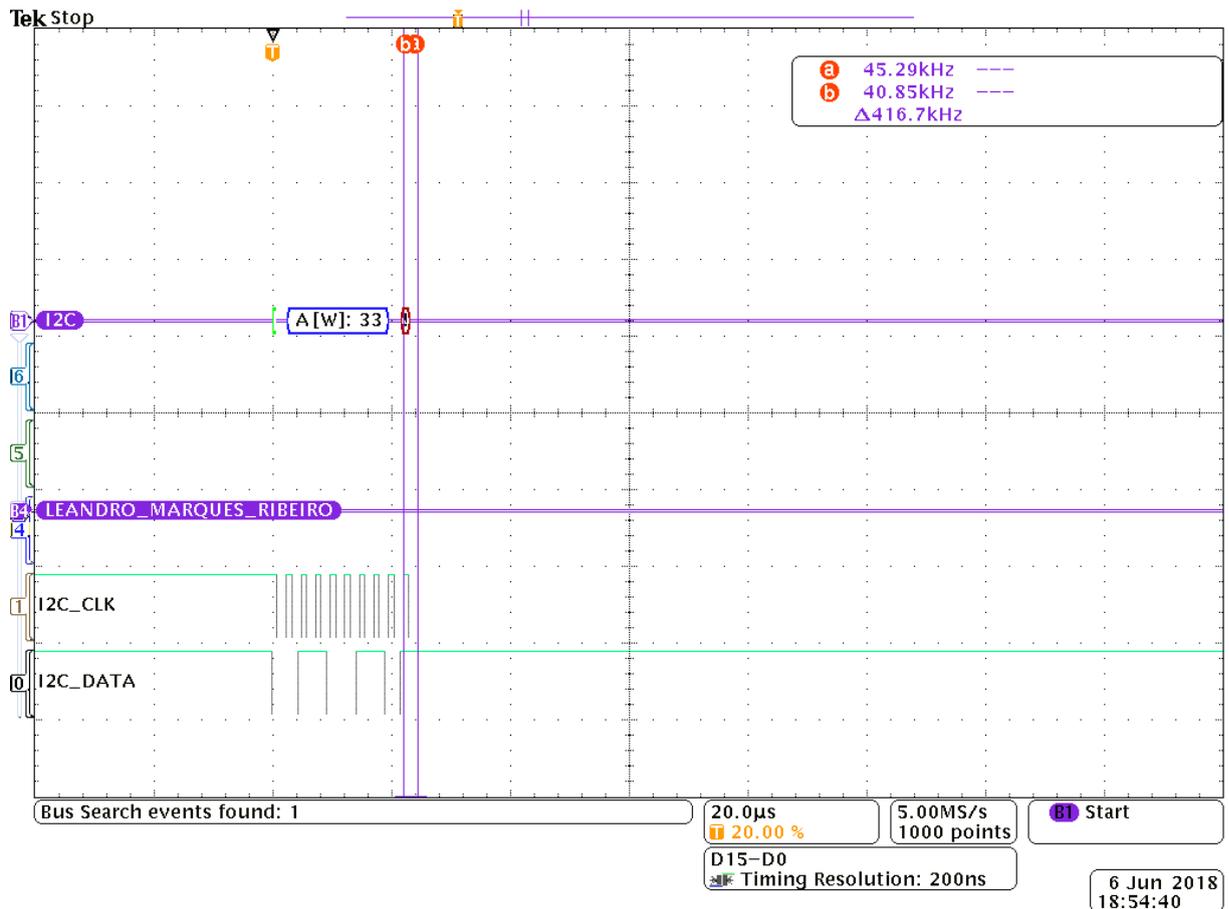


Figura 22 - Teste de escrita com endereço errado.

4.3 Validação do Projeto com Vários Eletrodos Ativos

Neste item serão apresentados os testes com vários eletrodos ligados à central. Como não há várias placas FPGA disponíveis para emular os eletrodos, foram utilizadas três, representando três eletrodos ativos conectados a central.

A Figura 23 mostra a bancada de teste que foi montada para emulação do circuito. Na imagem pode-se verificar a presença das três FPGA que emulam os eletrodos ativos, contados da esquerda para a direita. No centro está a FPGA que implementa a central de comunicação.

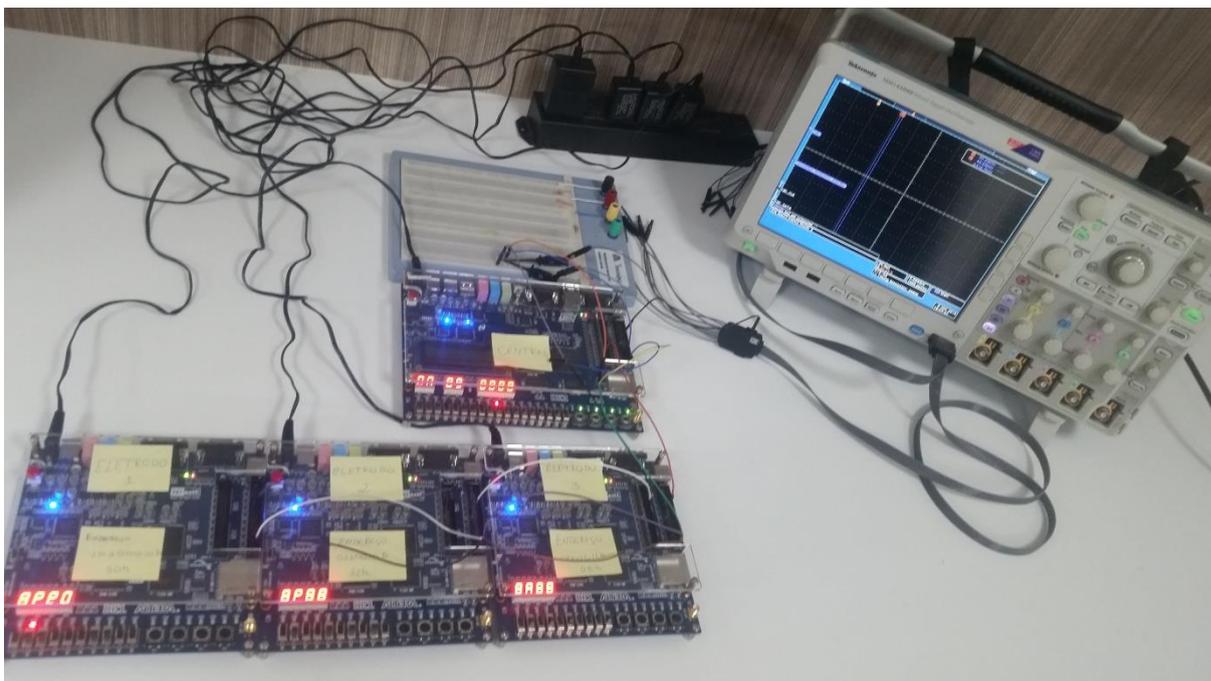


Figura 23 - Bancada de Teste com 3 Eletrodos.

Neste teste foram adotados os seguintes endereços para os eletrodos:

- Eletrodo 1: 01010000b = 50h.
- Eletrodo 2: 00110010b = 32h.
- Eletrodo 3: 00001011b = 0Bh.

Como foi feito nos primeiros testes envolvendo somente um eletrodo, o método aqui será o mesmo. Cada eletrodo enviará três palavras a central, onde as segundas palavras serão o inverso das primeiras, e a terceira palavra será igual a primeira.

A Tabela 3 apresenta os dados que cada eletrodo enviará a central.

Tabela 3 - Dados dos eletrodos.

	Central Recebe (Hexadecimal)		
	Dado 1	Dado 2	Dado 3
Eletrodo 1	73	8C	73
Eletrodo 2	D5	2A	D5
Eletrodo 3	AE	51	AE

4.3.1 Comunicação entre Central e Eletrodo 1

Neste teste foi realizada a comunicação entre a central de comunicação e o eletrodo 1. Para tanto foi colocado nas chaves da central o endereço 01010000b = 50h. Desta vez foi realizada a função de escrita primeiro, onde a central enviou os dados 55h, 66h e 77h, que já estão predefinidos na central para configuração dos eletrodos.

A Figura 24 mostra que após o comando para escrita, o eletrodo 1 recebeu corretamente os seus dados de configuração.

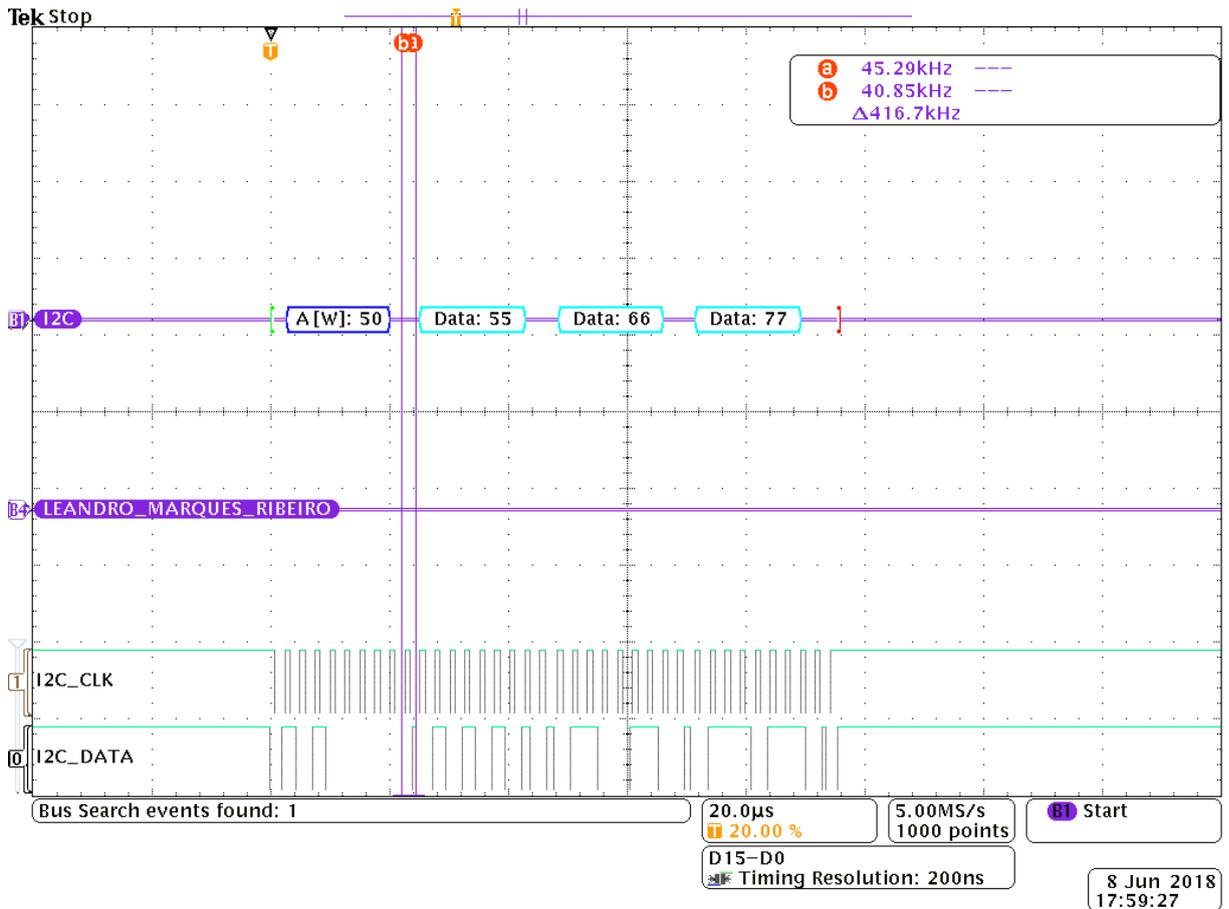


Figura 24 - Comunicação escrita com eletrodo 1.

A Figura 25 mostra também que a comunicação ocorreu corretamente com o eletrodo 1, pois pode-se notar que as duas primeiras palavras foram recebidas e mostradas nos leds.

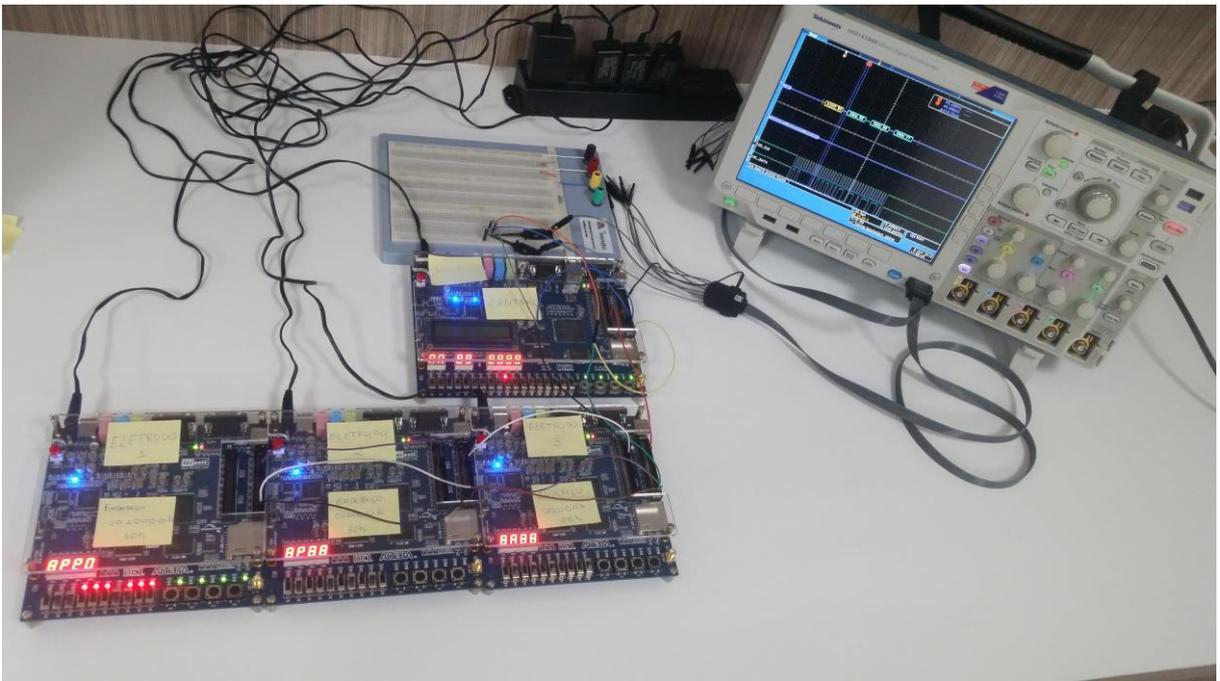


Figura 25 - Confirmação de comunicação com eletrodo 1.

Na sequência foi realizada a função de leitura. A central foi mantida com o endereço do eletrodo 1, e alterou-se a chave SW8 da FPGA da central para nível lógico 1, que significa função de leitura. Após ser dado o comando de leitura pode-se observar que a central recebeu todos os dados que foram enviados pelo eletrodo ativo, conforme ilustrada nas Figuras 26, 27 e 28.

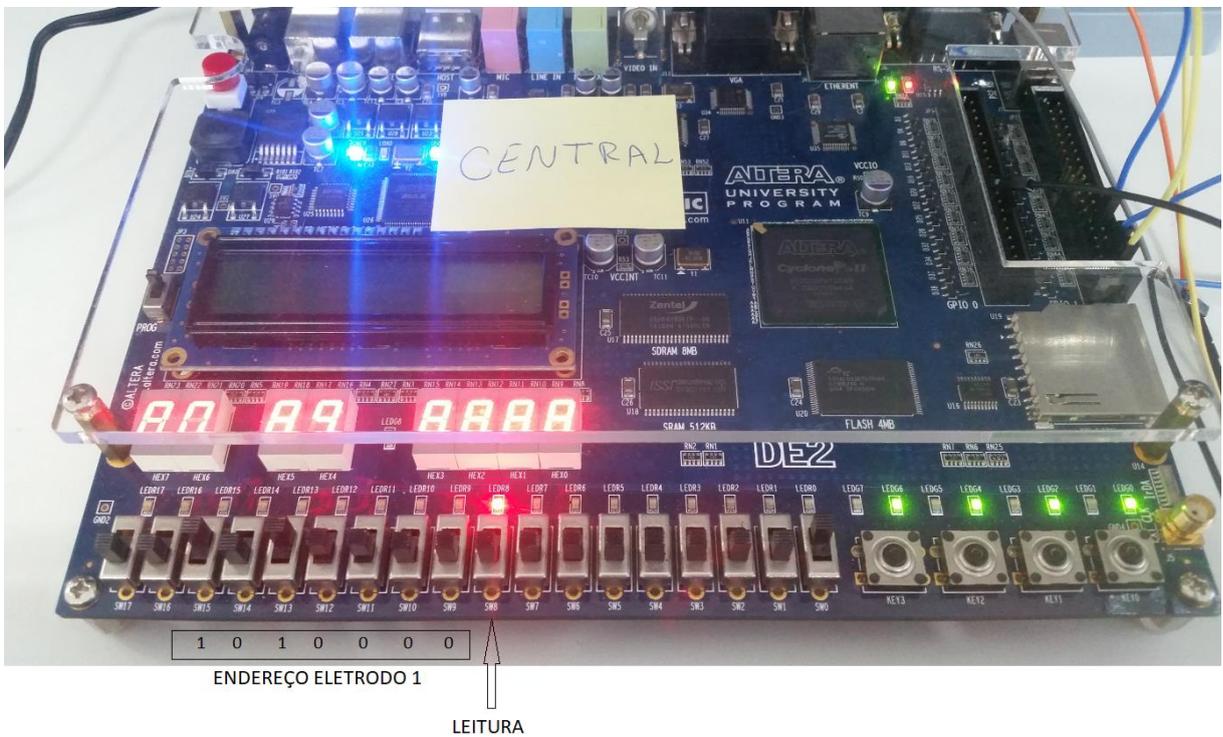


Figura 26 - Endereço Eletrodo 1.



Figura 27 - Dado Enviados pelo Eletrodo 1.

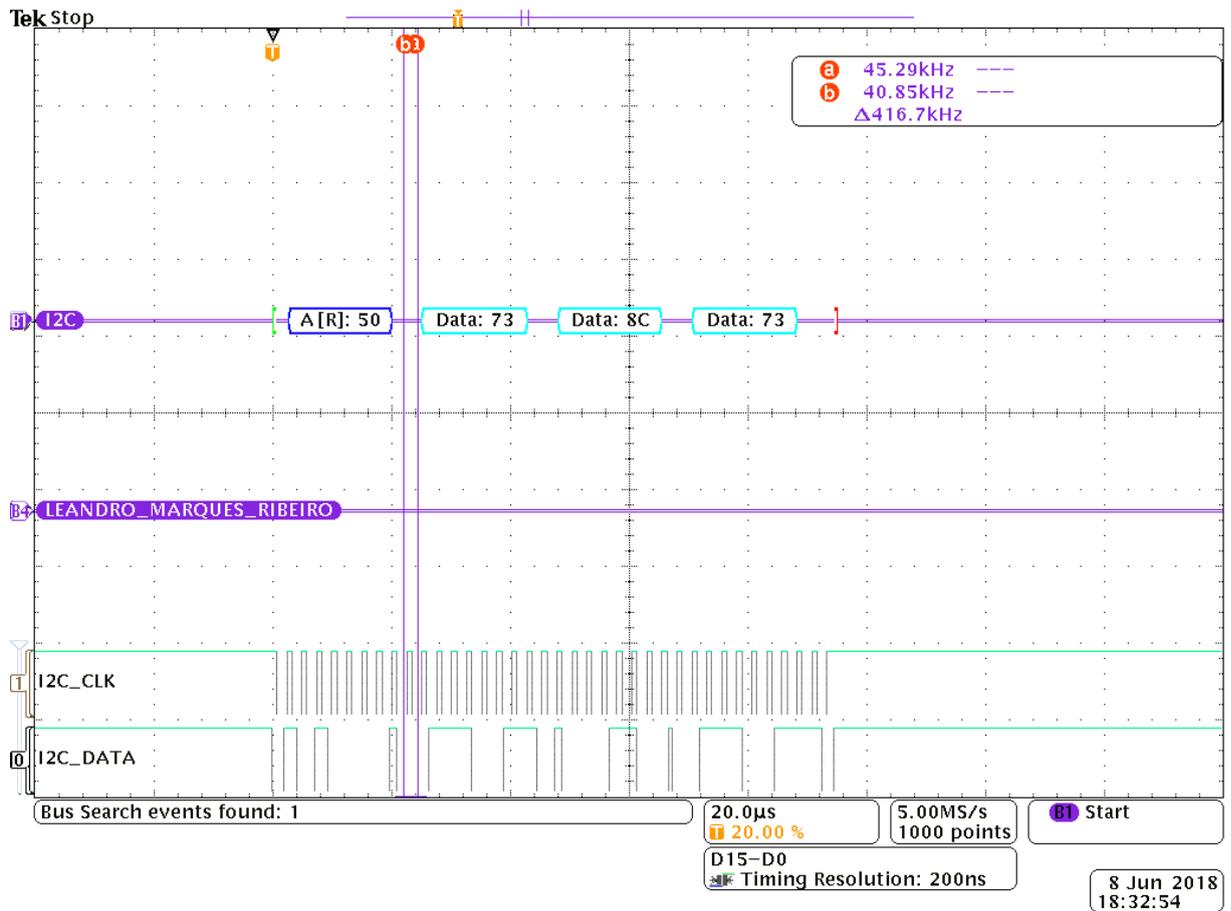


Figura 28 - Comunicação de leitura do eletrodo 1.

4.3.2 Comunicação entre Central e Eletrodo 2

Neste teste foi realizada a comunicação entre a central de comunicação e o eletrodo 2. Para tanto foi colocado nas chaves da central o endereço 00110010b = 32h. Desta vez foi realizada a função de escrita primeiro, onde a central enviou os dados 55h, 66h e 77h, que já estão predefinidos na central para configuração dos eletrodos.

Após o comando para escrita pode-se verificar pela Figura 29 que o eletrodo 2 recebeu corretamente os seus dados de configuração.

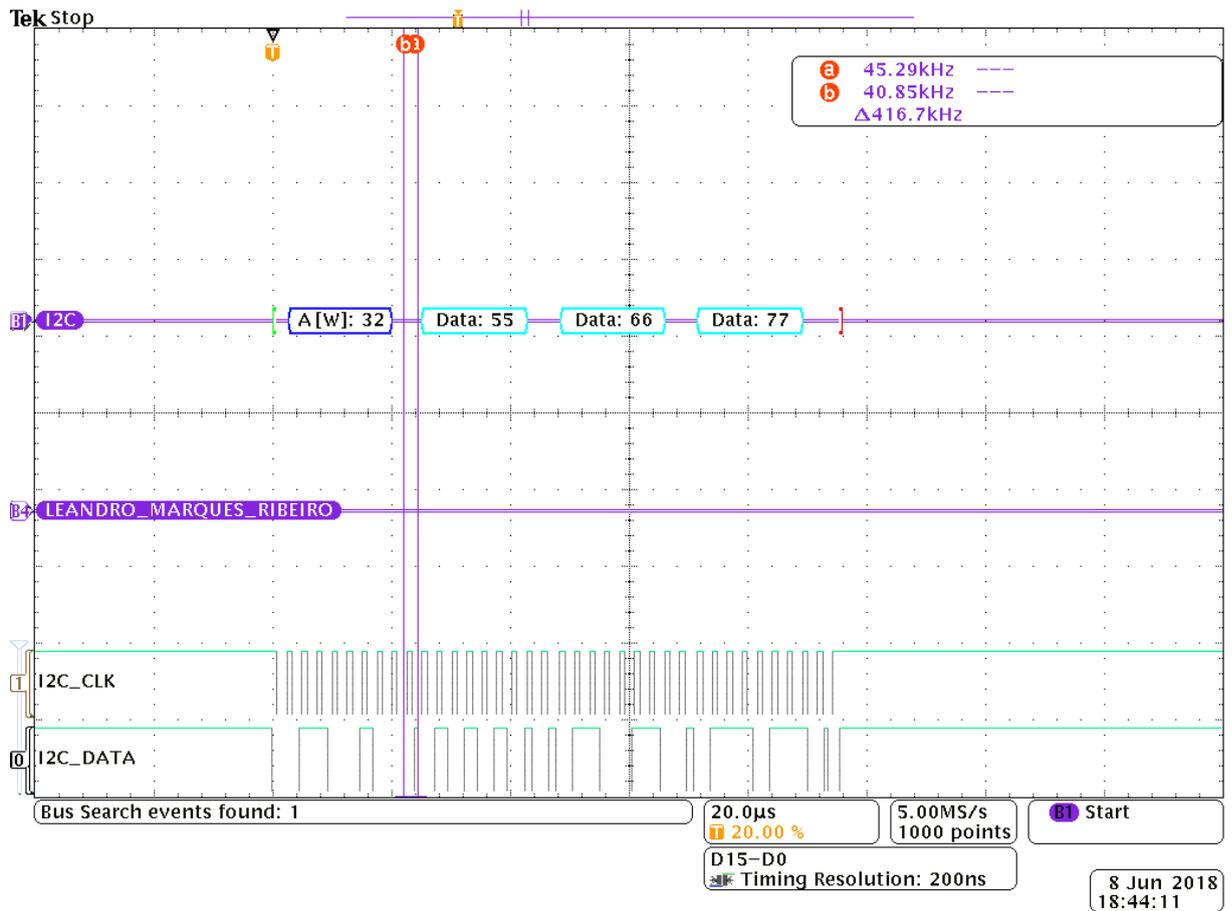


Figura 29 - Comunicação de escrita com eletrodo 2.

A Figura 30 demonstra também que a comunicação ocorreu corretamente com o eletrodo 2, pois pode-se notar que as duas primeiras palavras foram recebidas e mostradas nos leds.

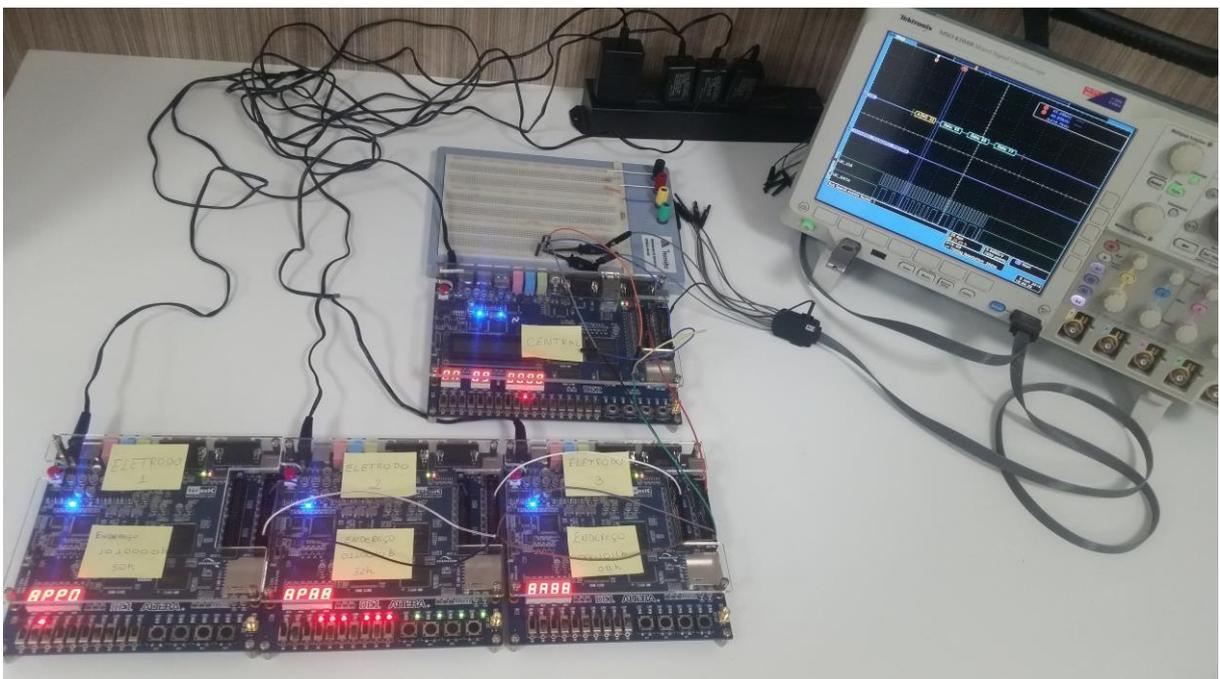


Figura 30 - Confirmação de comunicação com eletrodo 2.

Na sequência foi realizado a função de leitura. Foi mantida a central com o endereço do eletrodo 2 e alterou-se a chave SW8 da FPGA que contém a central para nível logico 1, o que significa função de leitura. Após ser dado o comando de leitura pode-se observar que a central recebeu todos os dados que foram enviados pelo eletrodo ativo, conforme mostrado nas Figuras 31,32 e 33.



Figura 31 - Endereço Eletrodo 2.



Figura 32 - Dado Enviados Pelo Eletrodo 2.

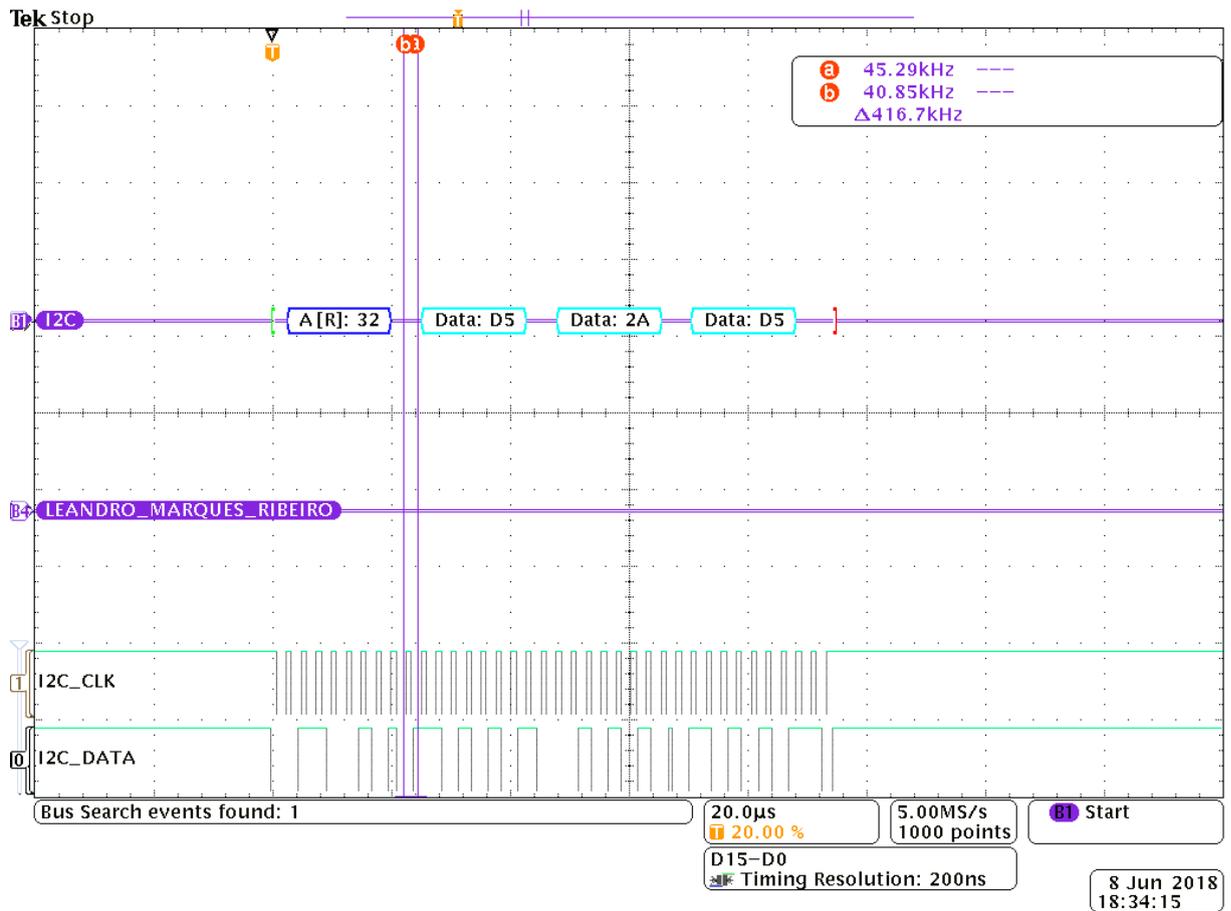


Figura 33 - Comunicação de leitura do eletrodo 2.

4.3.3 Comunicação entre Central e Eletrodo 3

Neste teste foi realizada a comunicação entre a central de comunicação e o eletrodo 3. Para tanto foi colocado nas chaves da central o endereço 00001011b = 0Bh. Desta vez foi realizada a função de escrita primeiro, onde a central enviou os dados 55h, 66h e 77h, que já estão predefinidos na central para configuração dos eletrodos.

Após o comando para escrita pode-se verificar pela Figura 34 que o eletrodo 3 recebeu corretamente os seus dados de configuração.

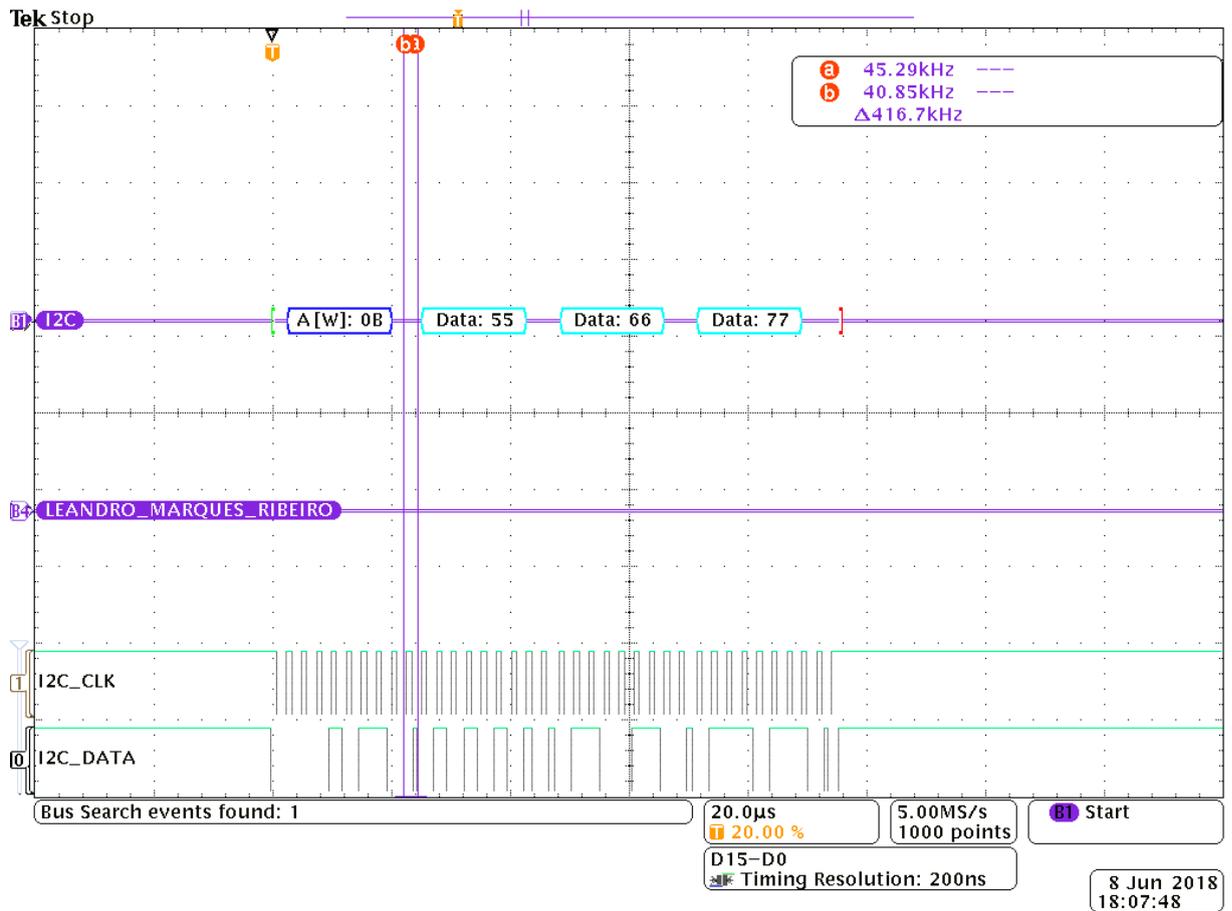


Figura 34 - Comunicação de escrita com eletrodo 3.

A Figura 35 demonstra também que a comunicação ocorreu corretamente com o eletrodo 3, pois pode-se notar que as duas primeiras palavras foram recebidas e mostradas nos leds.

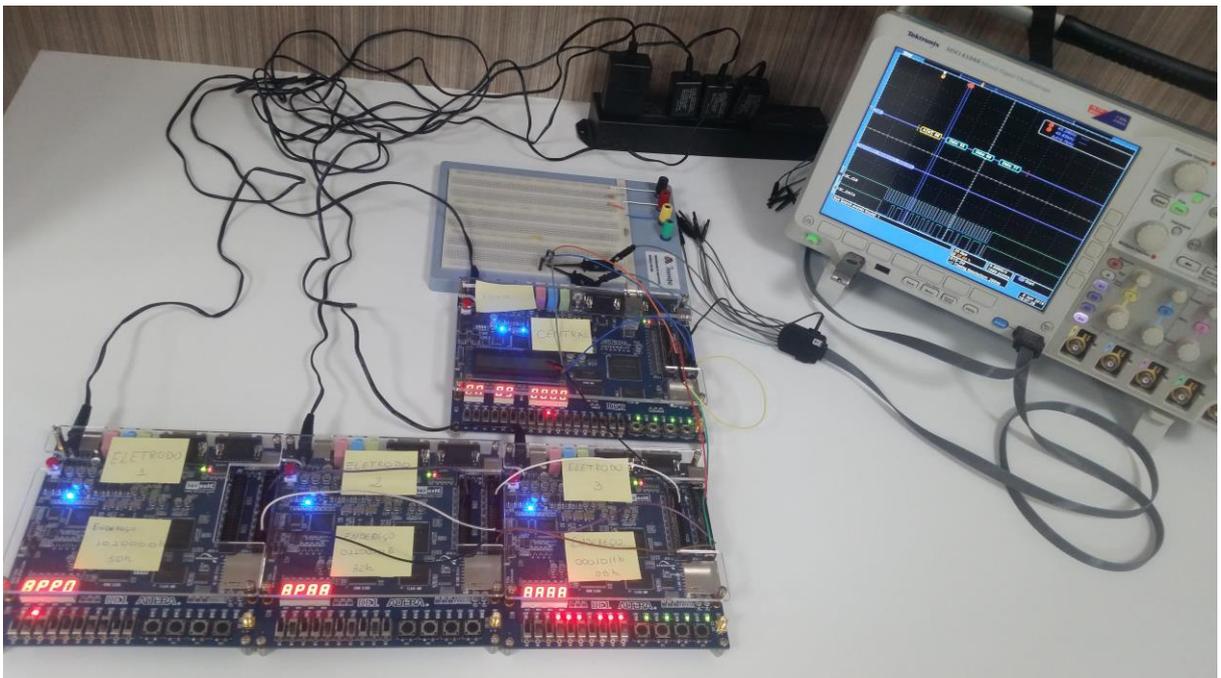


Figura 35 - Confirmação de comunicação de escrita com eletrodo 3.

Na sequência foi realizado a função de leitura. Foi mantida a central com o endereço do eletrodo 3 e alterou-se a chave SW8 da FPGA que contém a central para nível logico 1, o que significa função de leitura. Após ser dado o comando de leitura pode-se observar que a central recebeu todos os dados que foram enviados pelo eletrodo ativo, conforme mostrado nas Figuras 36, 37 e 38



Figura 36 - Endereço Eletrodo 3.



Figura 37 - Dado Enviado pelo Eletrodo 3.

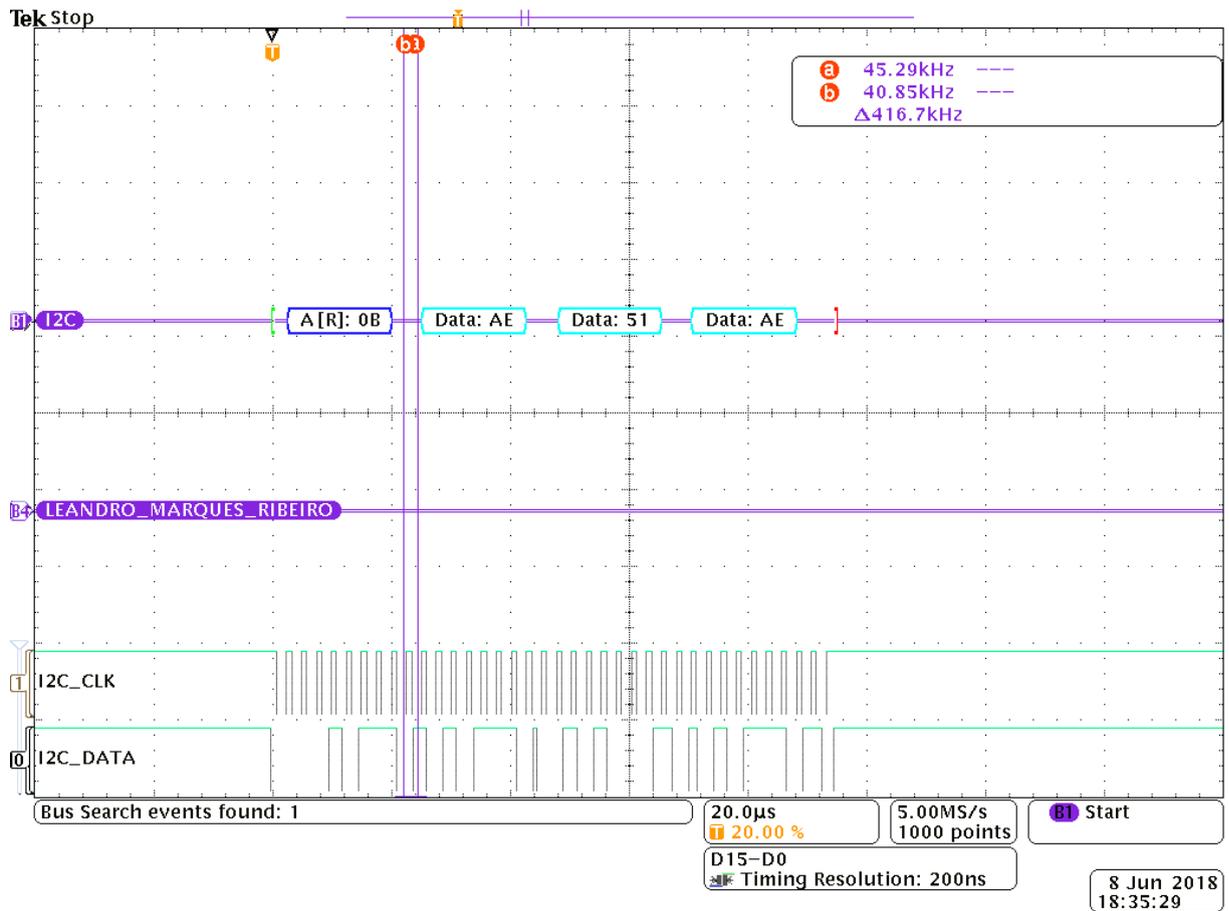


Figura 38 - Comunicação de leitura com eletrodo 3.

5 Conclusão

Este trabalho apresenta o desenvolvimento de uma Central de Comunicação em Verilog para Eletrodos Ativos de EEG. Esses eletrodos ativos incorporam os circuitos de filtragem, amplificação e conversão A/D, com o intuito de eliminar as interferências eletromagnéticas presentes no ambiente hospitalar. Embora o filtro, amplificador e conversor A/D estejam implementados sobre o eletrodo, estes parâmetros podem ser configurados pelo usuário do sistema, de acordo com cada paciente.

A função da Central de Comunicação é gerenciar os parâmetros de entrada e saída do sistema, pois essa central irá endereçar cada eletrodo ativo, enviar os dados de configuração e posteriormente ler os sinais cerebrais do paciente e envia-lo para um terminal, para que o exame possa ser lido por um profissional habilitado.

As simulações e os resultados obtidos nos testes para um eletrodo e três eletrodos, validaram o trabalho desenvolvido, demonstrando o funcionamento de cada função da Central de Comunicação. Nos testes pode-se verificar a eficiência da central desenvolvida utilizando o Protocolo I²C, pois não ocorreu a perda de dados, confirmando que se trata de um sistema confiável.

O artigo em anexo foi submetido ao International Conference on Microelectronics - ICM

Como trabalhos futuros sugerem-se:

- Desenvolvimento de um microchip que faça a função da Central de Comunicação, pois nos testes foram utilizados FPGA para emular.
- Interface de comunicação entre a Central de Comunicação e o terminal externo utilizando rede sem fio ou fibra óptica.

Referências

1. BRONZINO, J. D. *"Principles of Electroencephalography" The Biomedical Engineering Handbook, Volume 1*. United States: CRC IEEE Press, 2000. ISBN 0-8493-0461-X.
2. IEEE 1901 Working Group and others. *IEEE Standard for Broadband over Power Line Networks: Medium Access Control and Physical Layer Specifications*. 2010
3. Andreas Pinegger, et all, "Write, Read and Answer Emails with a Dry 'n' Wireless Brain-Computer Interface System", 36th Annual International Conference of Engineering in Medicine and Biology Society (EMBC), pp 1286-1289, 2014.
4. R., P. C. *Introduction to EMC*. New Jersey, USA: Wiley, 1992. ISBN 978-0471755005.
5. Cabral S. C. B., Mühlen S. S., "Interferência Eletromagnética em Equipamentos Eletro-Médicos Ocasionalada por Telefonia Celular", Rev Bras Eng Biomed. 2002, pp. 141-149.
6. Morrissey J. J., Swicord M., Balzano Q., "Characterization of Electromagnetic Interference of Medical Devices in the Hospital due to Cell Phones", Health Physics, 2002, pp. 45-51.
7. IEC 60601-1-2. International Standard for Medical Electrical Equipment – Part 1-2: General Requirements for Safety – Collateral Standard: Electromagnetic Compatibility – Requirements and Test, 1993.
8. IEC 60601-1-2. International Standard for Medical Electrical Equipment – Part 1-2: General Requirements for Safety – Collateral Standard: Electromagnetic Compatibility – Requirements and Test, 2nd ed., 2001.
9. Baisakhiya S., Ganeasn R., Das S. K. "IEC 60601-1-2, 2001: new EMC Requirements for Medical Equipment", 8th International Conference on Electromagnetic Interference and Compatibility, 2003, pp. 409-504.
10. IEC. IEC – 60601-1-2: Medical electrical equipment – Part 1-2: General requirements for safety – Collateral standard: Electromagnetic compatibility – requirements and tests. Geneva, Switzerland, 2001, 100p.
11. Zevzikovas, Marcos; Efeitos da Interferência Eletromagnética Conduzida em Equipamentos Eletromédicos em Ambiente Hospitalar, Campinas, 2004.
12. DUTRA, O. de O. *Um Amplificador Neural de Baixo Ruído e Baixa Potência Utilizando uma Topologia Folded Cascode OTA com Malha de Realimentação PID e Ganho Ajustável para EEG SoC Arrays*. Dissertação (Mestrado) — Universidade Federal de Itajubá, 2011.
13. COLLETTA, G. D. *Uma arquitetura de conversão A/D baseada na aproximação*

- sucessiva de sinais PWM em tecnologia CMOS*. Dissertação (Mestrado) — Universidade Federal de Itajubá, 2011.
14. CAVANAGH, J. Digital Design and Verilog HDL Fundamentals. Santa Clara University, California, USA. 2008
 15. ARANTES, Dalton; CARDOSO, Fabbryccio. FPGA e Fluxo de Projeto. DECOM-FEEC-UNICAMP, Campinas: 2008.
 16. MUSSOLINI, Thiago; Desenvolvimento de um microcontrolador de 8 bits em VHDL baseado no conjunto de instruções do 8051 com comunicação serial I²C e criptografia AES128.
 17. MINNS, P. e ELLIOTT, I. FSM based Digital Design using Verilog HDL. Northumbria University, UK. 2008.
 18. KIMMEL W.D. GERKE D.D. Electromagnetic Compatibility in Medical Equipment: a guide for designers and installers. USA: IEEE and Interpharm Press, Inc., 1995. p. 1-29. ISBN 0-935184-80-5 and 0-7803-1160-4.