

Arnaldo del Risco Sánchez

**Estratégias para o controle de modo comum do
Par Diferencial Simétrico CMOS de Ultra-Baixa
Tensão e Ultra-Baixa Potência**

Brasil

2019

Arnaldo del Risco Sánchez

**Estratégias para o controle de modo comum do Par
Diferencial Simétrico CMOS de Ultra-Baixa Tensão e
Ultra-Baixa Potência**

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Doutor em Ciências em Engenharia Elétrica.

Universidade Federal de Itajubá – UNIFEI

Instituto de Engenharia de Sistemas e Tecnologia da Informação – IESTI

Programa de Pós-Graduação

Orientador: Dr. Luis Henrique de Carvalho Ferreira

Coorientador: Dr. Paulo César Crepaldi

Brasil

2019

Arnaldo del Risco Sánchez

Estratégias para o controle de modo comum do Par Diferencial Simétrico CMOS de Ultra-Baixa Tensão e Ultra-Baixa Potência/ Arnaldo del Risco Sánchez. – Brasil, 2019-

79 p. : il. (algumas color.) ; 30 cm.

Orientador: Dr. Luis Henrique de Carvalho Ferreira

Coorientador: Dr. Paulo César Crepaldi

Tese (Doutorado) – Universidade Federal de Itajubá – UNIFEI

Instituto de Engenharia de Sistemas e Tecnologia da Informação – IESTI

Programa de Pós-Graduação, 2019.

1. Par diferencial simétrico. 2. CMRR. 3. Ultra-baixa tensão. 4. Ultra-baixa potencia. 5. Inversão fraca. I. Dr. Luis Henrique de Carvalho Ferreira. II. Universidade Federal de Itajubá. III. Instituto de Engenharia de Sistemas e Tecnologia da Informação. IV. Título

Arnaldo del Risco Sánchez

**Estratégias para o controle de modo comum do Par
Diferencial Simétrico CMOS de Ultra-Baixa Tensão e
Ultra-Baixa Potência**

Tese aprovada por banca examinadora em
11 de junho de 2019, conferindo ao autor o
título de Doutor em Ciências em Engenharia
Elétrica.

Banca Examinadora:

Prof. Dr. Luis Henrique de Carvalho Ferreira
Prof. Dr. Paulo César Crepaldi
Prof.a Dra. Paloma Maria Silva Rocha Rizol
Prof. Dr. Dalton Martini Colombo
Prof. Dr. Odilon de Oliveira Dutra
Prof. Dr. Robson Luiz Moreno

Brasil
2019

*Dedico este trabalho ao meu filho,
Benjamim de Paula del Risco Sánchez.*

Agradecimentos

Agradeço a minha família pelo suporte incondicional.

Ao Prof. Robson Luiz Moreno, pelas inumeráveis mostras de amizade e confiança.

Ao Prof. Juan Carlos Cruz Hurtado, por me iniciar no mundo da pesquisa.

Aos meus orientadores Prof. Luis Henrique de Carvalho Ferreira e Prof. Paulo César Crepaldi, pelas contribuições neste trabalho.

Aos professores do Grupo de Microeletrônica da UNIFEI, por participarem da minha formação.

Aos colegas do Grupo de Microeletrônica da UNIFEI, pelas observações e contribuições dadas a este trabalho.

Ao CAPES, CNPq, FAPEMIG e MOSIS, pelo suporte financeiro para o desenvolvimento deste trabalho.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001.

Resumo

Este documento apresenta quatro topologias para a compensação da Rejeição de Modo Comum (CMRR) em um par diferencial simétrico de ultra-baixa-tensão e ultra-baixa potência, onde os transistores operam na região de inversão fraca. É mostrada a análise teórica das estratégias de compensação propostas, assim como as topologias a serem utilizadas para melhorar a resposta em modo comum. As estratégias foram verificadas aplicando uma simulação de Monte Carlo. Utilizando uma das estratégias, é proposta uma arquitetura de par diferencial simétrico sem fonte de corrente de polarização, a qual reduz a tensão de alimentação do circuito, realizando o controle de modo comum em paralelo.

Uma das topologias propostas é fabricada em um processo BiCMOS IBM-130 nm. O circuito proposto apresenta uma CMRR de 70,22 dB, com uma transcondutância de 5,33 nS, corrente de polarização de 4 nA, tensão de alimentação de 400 mV e consumo de potência de 10 nW, confirmando sua compatibilidade com circuitos de ultra-baixa potência.

Palavras-chave: Par diferencial simétrico. CMRR. Ultra-baixa tensão. Ultra-baixa potência. Inversão fraca.

Abstract

This work presents four topologies for Common Mode Rejection Ratio (CMRR) compensation in a ultra-low-voltage and ultra-low-power symmetrical differential pair with transistors operating in the weak inversion region. The theoretical analysis of the compensation strategies proposed as well as the topologies to be used to improve the common mode response is shown. The proposed strategies were verified using a Monte Carlo simulation. Using one of the strategies, a symmetric differential pair architecture without a tail current is proposed, which reduces the supply voltage of the circuit by performing the common mode control in parallel.

One of the proposed topologies is implemented in an IBM-130 nm BiCMOS process. The proposed circuit has a CMRR of 70,22 dB, transconductance of 5.33 nS, bias current of 4 nA, supply voltage of 400 mV and power consumption of 10 nW, confirming its compatibility with ultra-low power circuits .

Keywords: Symmetrical differential pair. CMRR. Ultra-low-voltage. Ultra-low-power. Weak inversion.

Resumen

Este documento presenta cuatro topologías para la compensación de la Razón de Rechazo al Modo Común (CMRR) en un par diferencial simétrico de ultra-baja-tensión y ultra-baja-potencia, en el cual los transistores operan en la región de inversión débil. Es mostrado el análisis teórico de las estrategias de compensación propuestas, así como las topologías que serán utilizadas para mejorar la respuesta de modo común. Las estrategias fueron verificadas utilizando una simulación de Monte Carlo. Utilizando una de las estrategias es propuesta una arquitectura de par diferencial simétrico sin fuente de corriente de polarización, reduciendo la tensión de alimentación del circuito, realizando el control de modo común en paralelo.

Una de las topologías propuestas es implementada en un proceso BiCMOS IBM-130 nm. El circuito propuesto presenta un CMRR de 70,22 dB, transconductancia de 5,33 nS, corriente de polarización de 4 nA, tensión de alimentación de 400 mV e consumo de potencia de 10 nW, confirmando su compatibilidad con circuitos de ultra-baja potencia.

Palabras clave: Par diferencial simétrico. CMRR. Ultra-baja tensión. Ultra-baja potencia. Inversión Débil.

Lista de ilustrações

Figura 1 – Par diferencial simétrico acionado pela porta	22
Figura 2 – Par diferencial simétrico acionado pelo substrato	22
Figura 3 – Modelo ideal AC da estratégia	27
Figura 4 – Topologias para controle de modo comum	28
Figura 5 – Resultado para a variação da CMRR em função do V_{DD}	34
Figura 6 – Circuito para teste da estratégia	35
Figura 7 – Medidas da tensão de saída de modo comum em função da tensão de alimentação	36
Figura 8 – Par diferencial com carga ativa deslocada acionado pela porta	37
Figura 9 – Modelo de pequeno sinal do par diferencial com carga ativa deslocada acionado pela porta	37
Figura 10 – Par diferencial com carga Ativa deslocada acionado pelo substrato	38
Figura 11 – Modelo de pequeno sinal do par diferencial com carga ativa deslocada pelo substrato	38
Figura 12 – Extrator do modo comum acionado pela porta	41
Figura 13 – Extrator do modo comum acionado pelo substrato	42
Figura 14 – Amplificador de modo comum	43
Figura 15 – Amplificador de modo comum	43
Figura 16 – Histogramas da simulação de Monte Carlo para o par diferencial acio- nado pela porta	46
Figura 17 – Histogramas da simulação de Monte Carlo para o par diferencial acio- nado pelo substrato	47
Figura 18 – Par diferencial com carga ativa deslocada porta-substrato	48
Figura 19 – Histogramas da simulação de Monte Carlo para o par diferencial acio- nado pela porta e compensado pelo substrato	50
Figura 20 – Par diferencial com carga ativa deslocada substrato-porta	51
Figura 21 – Histogramas da simulação de Monte Carlo para o par diferencial acio- nado pelo substrato e compensado pela porta	53
Figura 22 – Par diferencial com carga ativa deslocada substrato-substrato	54
Figura 23 – Histogramas da simulação de Monte Carlo para o par diferencial acio- nado e compensado pelo substrato	56
Figura 24 – Par diferencial com carga ativa deslocada porta-porta	57
Figura 25 – Histogramas da simulação de Monte Carlo para o par diferencial acio- nado e compensado pela porta	59
Figura 26 – Extrator e Amplificador de modo comum	60
Figura 27 – Etapa de saída para o par diferencial	61

Figura 28 – Configuração para medição dos parâmetros DC	62
Figura 29 – Corrente de saída em função da tensão de entrada com corrente de polarização de 4 nA	62
Figura 30 – Transcondutância em função da tensão de entrada com corrente de polarização de 4 nA	63
Figura 31 – Transcondutância em função da corrente de polarização	63
Figura 32 – Tensão de saída do extrator e amplificador de modo comum em função da tensão de entrada	65
Figura 33 – Ganho do extrator e amplificador de modo comum	65
Figura 34 – Configuração para medição dos parâmetros AC em modo diferencial . .	67
Figura 35 – Configuração para medição dos parâmetros AC em modo comum . . .	67
Figura 36 – Medidas do ganho	68
Figura 37 – CMRR	68
Figura 38 – Configuração para medição da distorção harmônica	69
Figura 39 – Resposta de frequência do amplificador de modo comum	69
Figura 40 – Resposta transiente para integrador Gm-C	70
Figura 41 – Par diferencial sem fonte de corrente de polarização	72
Figura 42 – Resultado da simulação da CMRR	73

Lista de tabelas

Tabela 1 – Resumo do comportamento do par diferencial compensado.	30
Tabela 2 – Geometrias e parâmetros dos transistores do par diferencial.	33
Tabela 3 – Resultado da simulação das estratégias	34
Tabela 4 – Geometrias e parâmetros dos transistores do par diferencial sem compensação.	44
Tabela 5 – Resultados da simulação de Monte Carlo do par diferencial acionado pela porta	45
Tabela 6 – Resultados da simulação de Monte Carlo do par diferencial acionado pelo substrato	45
Tabela 7 – Geometrias e parâmetros dos transistores da topologia porta-substrato.	49
Tabela 8 – Resultados da simulação de Monte Carlo da topologia porta-substrato	49
Tabela 9 – Geometrias e parâmetros dos transistores da topologia substrato-porta.	52
Tabela 10 – Resultado da simulação de Monte Carlo da topologia substrato-porta .	52
Tabela 11 – Geometrias e parâmetros dos transistores da topologia substrato-substrato.	55
Tabela 12 – Resultado da simulação de Monte Carlo da topologia substrato-substrato	55
Tabela 13 – Geometrias e parâmetros dos transistores da topologia porta-porta. . .	58
Tabela 14 – Resultado da simulação de Monte Carlo da topologia porta-porta . . .	58
Tabela 15 – Resultado da medição da transcondutância	64
Tabela 16 – Resultado da medição do ganho do extrator de modo comum	66
Tabela 17 – Desempenho do par diferencial compensado	71
Tabela 18 – Geometrias e parâmetros dos transistores do par diferencial sem fonte de corrente de polarização.	73

Lista de abreviaturas e siglas

AC	<i>Alternating Current</i>
CMFB	<i>Common Mode Feedback</i>
CMFF	<i>Common Mode Feedforward</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CMRR	<i>Common Mode Rejection Ratio</i>
DC	<i>Direct Current</i>
DRL	<i>Driven-Right-Leg</i>
DSA	<i>Dynamic Signal Analyzer</i>
ECG	Eletrocardiograma
MOSIS	<i>Metal Oxide Semiconductor Implementation Service</i>
OPAMP	<i>Operational Amplifier</i>
OPAMP	<i>Operational Transconductance Amplifier</i>
RF	Radio Frequência
SMU	<i>Source Measure Unit</i>
THD	<i>Total Harmonic Distortion</i>

Lista de símbolos

λ	Coeficiente de modulação do canal
A_{cm}	Ganho de modo comum
A_{dm}	Ganho de modo diferencial
dB	Decibel
G_m	Transcondutância do amplificador
g_m	Transcondutância do transistor
g_o	Condutância de saída do transistor
g_{ob}	Condutância de saída da fonte de corrente de polarização
I_B	Corrente de polarização
i_b	Corrente AC pela fonte de corrente
k	Constante de Boltzman
L	Comprimento do canal
n	Fator de inclinação em inversão fraca
q	Carga do elétron
T	Temperatura absoluta
U_T	Tensão térmica
v_b	Tensão AC de substrato
v_{bs}	Tensão AC entre substrato e fonte
v_C	Tensão de compensação de modo-comum
v_{CM}	Tensão de modo comum
v_{DM}	Tensão de modo diferencial
V_{DS}	Tensão DC entre dreno e fonte
v_{ds}	Tensão AC entre dreno e fonte

v_g	Tensão AC de porta
V_{GS}	Tensão DC entre porta e fonte
v_{ocm}	Tensão AC de saída de modo comum
v_s	Tensão AC de fonte
W	Largura do canal

Sumário

1	INTRODUÇÃO	17
1.1	Considerações Gerais	17
1.2	Motivações	19
1.3	Proposta de tese	19
1.4	Objetivos	19
1.5	Estrutura do Trabalho	20
2	A CMRR NO PAR DIFERENCIAL DE ULTRA-BAIXA POTÊNCIA	21
2.1	O Par Diferencial Simétrico	21
2.1.1	Análise de Modo Diferencial	22
2.1.2	Análise de Modo Comum	25
2.2	Estratégias para o controle de modo comum	26
2.2.1	Efeito da estratégia porta-porta e substrato-substrato na Distorção Harmônica	31
2.3	Simulação das estratégias para o controle de modo comum	32
2.4	Medição da Tensão de Saída de Modo Comum em um Par Diferencial Simétrico de duas entradas Diferenciais Intrínsecas	34
2.5	O Par Diferencial Simétrico com Carga Ativa Deslocada	36
2.6	Conclusões do Capítulo	40
3	PROJETO DO PAR DIFERENCIAL COMPENSADO	41
3.1	O Extrator do Modo Comum	41
3.2	O Amplificador de Modo Comum	42
3.3	O Par Diferencial sem compensação de modo comum	44
3.4	O Par Diferencial Porta-Substrato	48
3.5	O Par Diferencial Substrato-Porta	51
3.6	O Par Diferencial Substrato-Substrato	54
3.7	O Par Diferencial Porta-Porta	57
3.8	Fabricação da estratégia Substrato-Substrato	60
3.8.1	Análise de DC	61
3.8.2	Análise de AC	66
3.9	O Par Diferencial sem fonte de corrente de polarização	72
3.10	Conclusões do Capítulo	73
4	CONCLUSÃO	75
4.1	Trabalhos futuros	75

4.1.1	Implementação da estratégia para controle de modo comum e melhora da distorção harmônica	75
4.1.2	Aplicação das estratégias em circuitos de saída simples	76
	REFERÊNCIAS	77

1 Introdução

1.1 Considerações Gerais

Sistemas portáteis para aplicações biomédicas são cada dia mais utilizados. Neste tipo de circuito o baixo consumo de energia garante uma vida útil maior em sistemas alimentados por bateria e em circuitos alimentados sem fio, por exemplo com sinais de Radio Frequência (RF), é possível alcançar maiores distâncias de comunicação (1). Basicamente um sistema de aquisição de sinais biomédicos é composto de um transdutor, seguido por um amplificador, conversor analógico-digital e um bloco de transmissão de dados (2).

É no amplificador onde se condiciona o sinal para ser processado. Sabendo que os níveis de amplitude entregues pelo transdutor são baixos, por exemplo na ordem de centenas de micro-volts até poucos mili-volts para o sinal de eletrocardiograma (ECG) (3), é preciso ter amplificadores com ganho acima de 100. Quando são usadas baixas tensões para a alimentação, polarização e sinais de entrada dos amplificadores são mais susceptíveis aos sinais parasitas que afetam a saída da etapa de amplificação. Tais sinais podem-se acoplar as entradas do amplificador na forma de modo comum. Para melhorar a rejeição de modo comum em amplificadores de sinais biomédicos, é muito comum utilizar amplificadores diferenciais.

Um aspecto importante nos amplificadores diferenciais é a CMRR. A CMRR é definida como a razão entre uma tensão de saída produzida por uma tensão diferencial e a tensão de saída gerada por um sinal em modo comum, ambas de igual amplitude (4). A equação (1.1) mostra a definição da CMRR, onde A_{dm} é o ganho de modo diferencial e A_{cm} é o ganho de modo comum. A CMRR é usualmente expressada em unidades de dB, para esse caso a equação para calculá-la é dada por (1.2).

$$CMRR = \frac{A_{dm}}{A_{cm}} \quad (1.1)$$

$$CMRR = 20 \log\left(\frac{A_{dm}}{A_{cm}}\right) \quad (1.2)$$

Uma topologia muito usada em amplificadores diferenciais é o par diferencial, o qual é muito comum na entrada do circuito, recebendo os sinais biomédicos do transdutor, sendo assim, é importante que o par diferencial conte com um alto valor de CMRR, com o objetivo de eliminar os sinais de modo comum desde a primeira etapa de amplificação.

Algumas técnicas para melhorar a CMRR são utilizadas nos projetos de amplificadores de biopotencial, como DRL (*Driven Right Leg*), CMFB (*Common-Mode Feedback*) e CMFF (*Common-Mode Feedforward*) (5). A técnica DRL consiste em um terceiro eletrodo, usualmente conetado na perna direita do paciente (daí seu nome em inglês), onde é ligada à tensão de modo comum invertida, extraída dos eletrodos que medem o sinal diferencial de biopotencial (6). Em circuitos CMOS são mais utilizados CMFB e CMFF. A técnica CMFB se baseia em extrair o sinal de modo comum na saída e injetá-lo em uma segunda entrada do amplificador (7), enquanto CMFF extrai o sinal de modo comum da entrada do amplificador (8). É importante considerar que neste trabalho é de especial interesse os sinais de modo comum variantes no tempo, mesmo que estejam próximos a valores DC, e as estratégias anteriormente mencionadas são utilizadas em muitos casos para correção de valores DC em amplificadores diferenciais. No caso da CMFB é interessante mencionar que deve-se ter cuidado na implementação dela pois poderia se afetar o desempenho da CMRR (7).

Alguns amplificadores CMOS para aplicações de baixo consumo utilizam técnicas que permitem aumentar a rejeição de sinais de modo comum. Na referência (9) é implementado um laço de realimentação local, o qual detecta a tensão de modo comum na saída do par diferencial, a qual é utilizada para compensar a CMRR na carga ativa. Esta estratégia de compensação necessita acrescentar dois transistores empilhados um de tipo NMOS e outro PMOS. Esta topologia alcança uma CMRR de 122,3 dB, utilizando uma tensão de alimentação de 1,2 V e potência de 129,6 μW . Na referência (10) um sinal proporcional a tensão de modo comum de entrada é utilizada para modular a tensão de polarização, logrando uma CMRR de 100,73 dB para uma tensão de alimentação de 1,2 V e consumo de 121 μW .

Uma topologia que é utilizada para diminuir a tensão de alimentação consiste no uso de amplificadores sem fonte de corrente de polarização. Estes circuitos precisam implementar estratégias que permitam fazer o controle de modo comum, o qual se perde ao eliminar a fonte de corrente de polarização. Na referência (11) a estratégia para o controle de modo comum em um par diferencial acionado pela porta, é fazer a compensação pelo substrato utilizando um controle *feedforward*, mediante uma réplica dos transistores de entrada e um amplificador de trans-resistência. O amplificador consegue uma CMRR de 45 dB mínimo com uma tensão de alimentação de 0,9 V e corrente de polarização de 27 μA .

Nos exemplos mostrados nas referências (9, 10), são logrados valores altos de CMRR. Na referência (11), eliminando a fonte de corrente de polarização é alcançado um valor de CMRR compatível com os valores obtidos em um par diferencial com corrente de polarização. As topologias usadas nesses trabalhos para a compensação de modo comum conseguem aumentar a CMRR, mas as tensões de alimentação e correntes de polarização podem ser reduzidas, diminuindo as tensões de V_{DS} de cada transistor no projeto e/ou

fazendo modificações no circuito que diminui a quantidade de transistores empilhados. Considere-se que diminuir a tensão de V_{DS} pode fazer com que a CMRR seja menor, passando uma maior parte do controle de modo comum aos circuitos adicionais.

1.2 Motivações

O projeto de amplificador com transistores operando na região de inversão fraca, tem a vantagem de diminuir o consumo de energia e reduzir a tensão de alimentação (12). Mas a redução da tensão de alimentação apresenta alguns problemas que podem afetar a rejeição de sinais de modo comum. Um deles é o aumento da condutância de saída da fonte de corrente, que é usada em diversos amplificadores diferenciais. Outro problema presente é o descasamento dos componentes, enquanto na inversão forte a modelagem da corrente do transistor MOS na saturação é regida por uma relação quadrática, na inversão fraca o comportamento é exponencial, fazendo com que as variações afetem mais no último caso (13). Tanto a não idealização da fonte de corrente, como o descasamento de componentes afetam o desempenho da CMRR (14).

Em processos CMOS modernos é comum encontrar transistores com implantes *halo*, que são utilizados em processos sub-micrométricos. Esses dispositivos contam com uma tensão limiar reduzida, o qual pode ser atrativo para aplicações de baixo consumo. O problema dos transistores com implantes *halo* é que sua condutância de saída é alta, independentemente do valor de comprimento do canal projetado (15), o qual afeta a rejeição aos sinais de modo comum tornando a CMRR baixa.

Como anteriormente descrito, mostra-se a necessidade da compensação de amplificadores diferenciais de ultra-baixo consumo, com o objetivo de minimizar os efeitos da polarização com valores reduzidos de tensão e corrente, que podem afetar seu desempenho na rejeição de sinais de modo comum.

1.3 Proposta de tese

O presente trabalho tem como proposta de tese *Uma arquitetura de um par diferencial em ultra-baixa potência que aumente a CMRR mantendo a tensão de alimentação mínima utilizando o controle paralelo de modo comum*, em um processo de fabricação CMOS.

1.4 Objetivos

Para cumprir a proposta de tese, as seguintes etapas precisarão ser alcançadas:

- a) obter uma revisão da CMRR em amplificadores de ultra-baixa potência;

- b) propor uma arquitetura para incrementar a CMRR no par diferencial de ultra-baixa potência
- c) modelagem matemática da proposta
- d) simulação e fabricação no processo CMOS;
- e) validar o circuito proposto.

1.5 Estrutura do Trabalho

Este documento está dividido em três partes:

O [Capítulo 2](#) mostra o comportamento do par diferencial simétrico, apresenta as equações que modelam seu comportamento chegando as estratégias propostas para compensação da CMRR. Neste capítulo é realizada uma simulação da compensação de modo comum utilizando quatro estratégias propostas. É apresentado o par diferencial simétrico com carga ativa deslocada como uma extensão do par diferencial simétrico.

O [Capítulo 3](#) mostra o projeto de par diferencial compensado. Apresenta os circuitos adicionais necessários para o funcionamento das estratégias. Mostra as simulações de Monte Carlo para cada uma das estratégias propostas. Apresenta a caracterização de uma das topologias estudadas. Finalmente, propõe uma topologia de par diferencial sem corrente de polarização utilizando uma das estratégias de controle de modo comum.

Finalmente, o [Capítulo 4](#) mostra as considerações finais do trabalho. São propostos os trabalhos futuros para desenvolvimento de outras topologias associadas ao circuito proposto.

2 A CMRR no Par Diferencial de ultra-baixa potência

Neste capítulo é apresentado a análise da CMRR para o par diferencial simétrico. São obtidas equações que modelam o comportamento do amplificador em modo diferencial e em modo comum. No estudo do par diferencial simétrico é mostrada uma relação para aumentar a CMRR e é feita uma extensão da análise para outra topologia de par diferencial simétrico. A relação para aumentar a CMRR é simulada utilizando quatro topologias de compensação. É mostrado o comportamento desses circuitos para variações da tensão de alimentação.

2.1 O Par Diferencial Simétrico

A [Figura 1a](#) mostra a topologia do par diferencial simétrico acionado pela porta dos transistores de entrada e na [Figura 2a](#) com entrada pelo substrato. Onde T_1 e T_2 representam os transistores de entrada, T_3 e T_4 são usados como carga ativa e T_5 e T_6 formam a fonte de corrente do par diferencial. A [Figura 1b](#) e a [Figura 2b](#) apresentam o modelo de pequeno sinal. Na análise desta topologia é considerado que o par de transistores T_1 - T_2 e T_3 - T_4 estão casados. A tensão de entrada, v_{IN} é definida pela equação (2.1).

$$v_{IN} = v_{CM} \pm v_{dm} \quad (2.1)$$

Para o modelo AC é considerado que as tensões de entrada quando o par diferencial é acionado pela porta dos transistores e pelo substrato é dada por (2.2) e (2.3), respectivamente.

$$v_{dm} = \frac{v_{gs1} - v_{gs2}}{2} \quad (2.2)$$

$$v_{dm} = \frac{v_{bs1} - v_{bs2}}{2} \quad (2.3)$$

A tensão de saída é definida por (2.4).

$$v_o = \frac{v_{o+} - v_{o-}}{2} \quad (2.4)$$

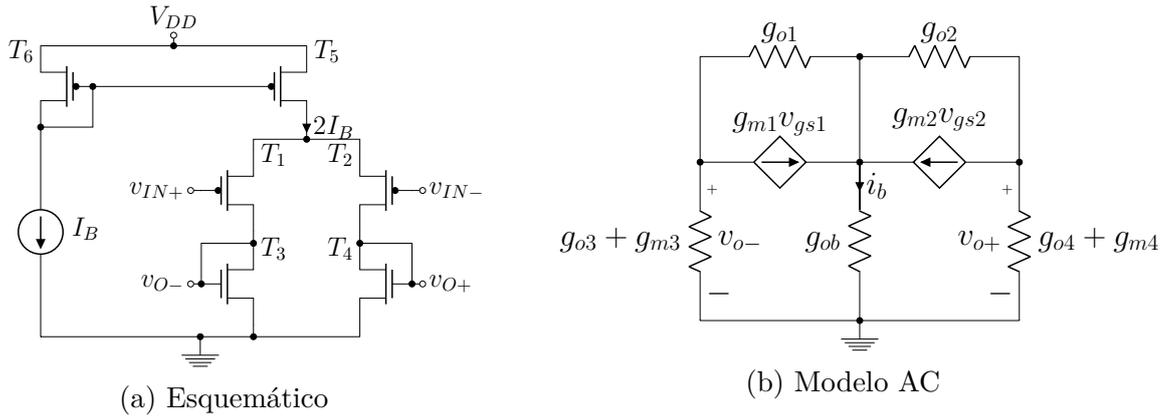


Figura 1 – Par diferencial simétrico acionado pela porta

Fonte: o autor

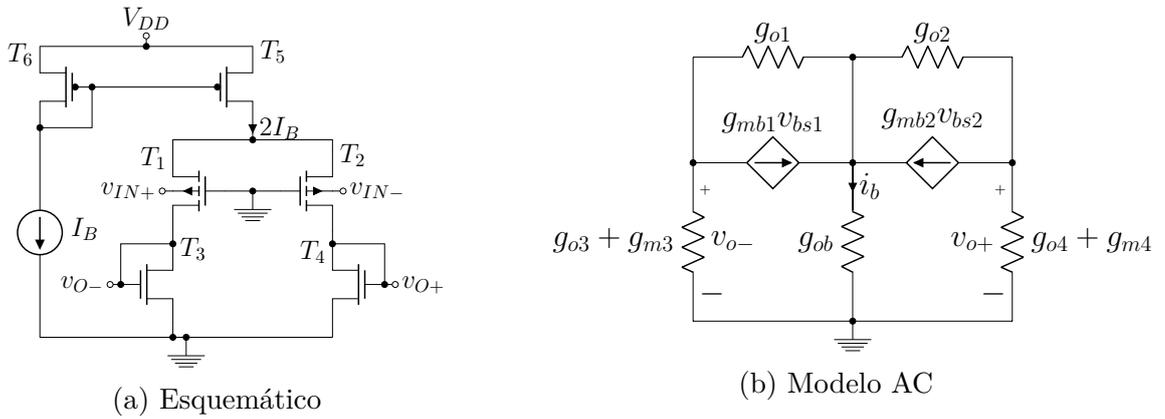


Figura 2 – Par diferencial simétrico acionado pelo substrato

Fonte: o autor

2.1.1 Análise de Modo Diferencial

Para a análise de modo diferencial é considerado que a corrente i_b nas [Figura 1b](#) e [Figura 2b](#) são nulas, como consequência da simetria da topologia. A equação (2.5) mostra o ganho de modo diferencial, calculado como a relação entre a tensão de saída e a tensão de entrada. Considerado-se que os valores de condutância de saída de T_1 - T_2 e T_3 - T_4 são pequenos, o ganho de modo diferencial pode ser expressado segundo (2.6). Para o par diferencial acionado pelo substrato a equação de ganho é dada por (2.7) e sua aproximação em (2.8).

$$A_{dm} = -\frac{g_{m1}}{g_{o1} + g_{o3} + g_{m3}} \tag{2.5}$$

$$A_{dm} = -\frac{g_{m1}}{g_{m3}} \quad (2.6)$$

$$A_{dm} = -\frac{g_{mb1}}{g_{o1} + g_{o3} + g_{m3}} \quad (2.7)$$

$$A_{dm} = -\frac{g_{mb1}}{g_{m3}} \quad (2.8)$$

A transcondutância do par diferencial é dada pela razão entre a corrente de saída e a tensão de entrada. Para o par diferencial acionado pela porta dos transistores de entrada, a equação de transcondutância é dada por (2.9) e o valor aproximado em (2.10). Utilizando-se como entrada o substrato dos transistores o valor de transcondutância é dado por (2.11) o qual pode ser aproximado a (2.12).

$$G_m = -\frac{g_{m1}(g_{o3} + g_{m3})}{g_{o1} + g_{o3} + g_{m3}} \quad (2.9)$$

$$G_m = -g_{m1} \quad (2.10)$$

$$G_m = -\frac{g_{mb1}(g_{o3} + g_{m3})}{g_{o1} + g_{o3} + g_{m3}} \quad (2.11)$$

$$G_m = -g_{mb1} \quad (2.12)$$

Para o estudo da distorção harmônica é considerado que os transistores do projeto estão polarizados na região de inversão fraca. Utilizando-se a porta dos transistores como entrada, a corrente de dreno é dada pela equação (2.13), enquanto se acionado pelo substrato é modelado por (2.14) (16).

$$i_{DS} = I_s \frac{W}{L} \exp\left(q \frac{v_{IN} - V_{TO}}{n_p k T}\right) \quad (2.13)$$

$$i_{DS} = I_s \frac{W}{L} \exp\left(q \frac{V_{GS} - V_{TO} - (n_p - 1)v_{IN}}{n_p k T}\right) \quad (2.14)$$

As equações (2.15) e (2.16) representam a corrente de saída para uma entrada pela porta dos transistores e pelo substrato, respectivamente. Considerando que a corrente de saída é definida como a diferença das correntes de dreno dos transistores de entrada do par diferencial e utilizando (2.1), a corrente de saída em função da corrente de polarização

é mostrada nas equações (2.17) e (2.18), para uma entrada pela porta dos transistores e pelo substrato, respectivamente.

$$i_O = I_s \frac{W}{L} \exp\left(q \frac{v_{CM} - V_{TO}}{n_p k T}\right) \left[\exp\left(q \frac{v_{dm}}{n_p k T}\right) - \exp\left(-q \frac{v_{dm}}{n_p k T}\right) \right] \quad (2.15)$$

$$i_O = I_s \frac{W}{L} \exp\left(q \frac{V_{GS} + (n_p - 1)v_{CM} - V_{TO}}{n_p k T}\right) \left[\exp\left(q \frac{(n_p - 1)v_{dm}}{n_p k T}\right) - \exp\left(-q \frac{(n_p - 1)v_{dm}}{n_p k T}\right) \right] \quad (2.16)$$

$$i_O = 2I_B \tanh\left(q \frac{v_{dm}}{n_p k T}\right) \quad (2.17)$$

$$i_O = 2I_B \tanh\left(q \frac{(n_p - 1)v_{dm}}{n_p k T}\right) \quad (2.18)$$

Para uma entrada de modo diferencial de tipo $A \cdot \text{sen}(2\pi ft)$, as componentes da corrente de saída no domínio da frequência são mostradas nas equações (2.19) e (2.20), para entrada pela porta dos transistores e substrato, respectivamente. A variável ‘ A ’ simboliza a amplitude, ‘ f ’ a frequência e ‘ t ’ o tempo. Dessa forma a corrente de saída pode ser representada como uma soma de senoides, cujas frequências são múltiplos ímpares da frequência fundamental ‘ f ’, representada na forma dada pela (2.21). É considerado só os termos ímpares da corrente de saída devido a simetria da topologia de par diferencial. A distorção harmônica total pode ser calculada utilizando a expressão (2.22) (17). São utilizados os cinco primeiros componentes pois é onde se encontram as maiores amplitudes.

$$\begin{aligned} F_1 &= 2I_B \frac{qA}{n_p k T} - \frac{I_B}{2} \left(\frac{qA}{n_p k T}\right)^3 + \frac{I_B}{6} \left(\frac{qA}{n_p k T}\right)^5 \\ F_3 &= \frac{I_B}{6} \left(\frac{qA}{n_p k T}\right)^3 - \frac{I_B}{12} \left(\frac{qA}{n_p k T}\right)^5 \\ F_5 &= \frac{I_B}{60} \left(\frac{qA}{n_p k T}\right)^5 \end{aligned} \quad (2.19)$$

$$\begin{aligned} F_1 &= 2I_B \frac{q(n_p - 1)A}{n_p k T} - \frac{I_B}{2} \left(\frac{q(n_p - 1)A}{n_p k T}\right)^3 + \frac{I_B}{6} \left(\frac{q(n_p - 1)A}{n_p k T}\right)^5 \\ F_3 &= \frac{I_B}{6} \left(\frac{q(n_p - 1)A}{n_p k T}\right)^3 - \frac{I_B}{12} \left(\frac{q(n_p - 1)A}{n_p k T}\right)^5 \\ F_5 &= \frac{I_B}{60} \left(\frac{q(n_p - 1)A}{n_p k T}\right)^5 \end{aligned} \quad (2.20)$$

$$i_O = F_1 \text{sen}(2\pi ft) + F_3 \text{sen}(6\pi ft) + \dots + F_{2n-1} \text{sen}(2(2n-1)\pi ft), n \in N \quad (2.21)$$

$$\text{THD} = \frac{\sqrt{F_3^2 + F_5^2}}{F_1} \quad (2.22)$$

2.1.2 Análise de Modo Comum

As equações (2.23) e (2.25) mostram o ganho de modo comum para entrada pela porta dos transistores e pelo substrato respectivamente, considerado-se que os valores de condutância de saída de T_1 - T_2 e T_3 - T_4 são pequenos, se comparados com o menor valor de transcondutância, o ganho de modo comum pode ser expressado segundo as equações (2.24) e (2.26). Para a análise de modo comum é considerada a existência de uma corrente i_b não nula. O efeito de i_b faz com que a condutância de saída da fonte de corrente apareça na equação do ganho de modo comum, mostrando uma relação diretamente proporcional entre o ganho de modo comum, A_{cm} , e a condutância de saída da fonte de corrente, g_{ob} . Tal relação tem como consequência que, se a condutância de saída da fonte de corrente diminuir, então a CMRR aumenta seu valor. Se os transistores do projetos estão polarizados na região de inversão fraca, a saturação ocorre quando $v_{DS} \geq 3nkT/q$ e a diminuição da condutância de saída da fonte de corrente é lograda aumentando V_{DS} , o que implicaria aumentar a tensão de alimentação do circuito, o qual não é desejável neste trabalho.

$$A_{cm} = -\frac{g_{ob}g_{m1}}{g_{ob}(g_{o1} + g_{o3} + g_{m3}) + 2g_{m1}(g_{o3} + g_{m3})} \quad (2.23)$$

$$A_{cm} = -\frac{g_{ob}g_{m1}}{g_{ob}g_{m3} + 2g_{m1}g_{m3}} \quad (2.24)$$

$$A_{cm} = -\frac{g_{ob}g_{mb1}}{g_{ob}(g_{o1} + g_{o3} + g_{m3}) + 2(g_{mb1} + g_{m1})(g_{o3} + g_{m3})} \quad (2.25)$$

$$A_{cm} = -\frac{g_{ob}g_{mb1}}{g_{ob}g_{m3} + 2(g_{mb1} + g_{m1})g_{m3}} \quad (2.26)$$

No estudo do par diferencial simétrico anterior foi considerado que a tensão v_{bs} é nula, se o par diferencial for acionado pela porta dos transistores, e a tensão v_{gs} igual a zero se a entrada é pelo substrato. No caso da existência de uma tensão v_{bs} diferente de zero, quando é usada como entrada a porta dos transistores, a tensão de saída de modo comum é dada pela equação (2.27) e se os valores de condutância de saída T_1 - T_2 e T_3 - T_4 são pequenos pode ser expressado segundo (2.28). A equação da tensão de saída de modo comum mostra que existe uma relação entre as tensões v_g e v_b , apresentada em (2.29), onde o numerador de v_{ocm} é nulo e como consequência a CMRR será máxima.

$$v_{ocm} = -\frac{g_{ob}(g_{m1}v_g + g_{mb1}v_b)}{g_{ob}(g_{o1} + g_{o3} + g_{m3}) + 2(g_{m1} + g_{mb1})(g_{o3} + g_{m3})} \quad (2.27)$$

$$v_{ocm} = -\frac{g_{ob}(g_{m1}v_g + g_{mb1}v_b)}{g_{ob}g_{m3} + 2g_{m3}(g_{m1} + g_{mb1})} \quad (2.28)$$

$$g_{m1}v_g = -g_{mb1}v_b \quad (2.29)$$

Do estudo do par diferencial simétrico podem-se apresentar as seguintes consequências:

- a) A relação para anular v_{ocm} só depende das transcondutâncias dos transistores de entrada
- b) O ganho de modo diferencial não é afetado se é anulado v_{ocm}
- c) É eliminado o efeito da condutância de saída da fonte de corrente sobre a CMRR
- d) É possível mudar a topologia da carga ativa sem afetar a relação para anular v_{ocm}
- e) Não é preciso redimensionar os transistores de um par diferencial projetado anteriormente, só garantir a relação para anular v_{ocm}

É preciso fazer algumas observações dos modelos matemáticos obtidos do par diferencial simétrico e seu uso. Conhecendo que a expressão para calcular a CMRR é dada pela equação (1.2), será considerado a CMRR máxima quando a tensão v_{ocm} é nula, mesmo que formalmente nesse caso a CMRR, segundo o modelo matemático, não existe. É possível falar de CMRR máxima considerando que as expressões de A_{dm} e A_{cm} são aproximações de primeira ordem e existe um resíduo da aproximação o qual permanece se é anulado o numerador na expressão (2.27) ou (2.28). *O efeito de anular a tensão v_{ocm} será nomeado como estratégia para aumentar a CMRR, e o amplificador onde foi aplicada a estratégia como compensado.*

2.2 Estratégias para o controle de modo comum

A equação (2.29) mostra uma relação entre a tensão de porta e substrato dos transistores de entrada para o controle de modo comum, com uma estratégia que implica um circuito adicional em paralelo. A Figura 3 mostra o modelo ideal AC da estratégia para compensação de modo comum. A fonte dependente de corrente $g_m v_{cm}$ opõe-se ao sinal de modo comum de entrada, onde g_m representa a transcondutância dos transistores de entrada. Para a compensação pode ser escolhido como entrada do par diferencial a porta e utilizar o substrato como compensador ou vice-versa, sempre cumprindo a relação da equação (2.29).

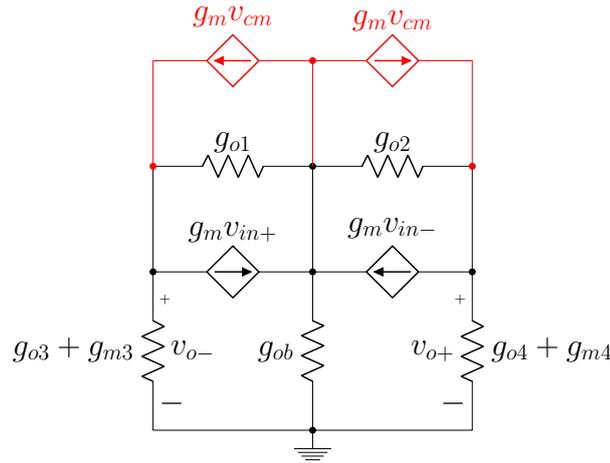


Figura 3 – Modelo ideal AC da estratégia

Fonte: o autor

A função da fonte $g_m v_{cm}$ do modelo AC ideal mostrado na Figura 3, pode ser implementada com um transistor adicional em paralelo com cada transistor de entrada. O transistor acrescentado para o controle de modo comum, deve ter as mesmas dimensões e polarização que os transistores de entrada do par diferencial, obtendo dessa forma igual transcondutância. Neste caso a equação (2.29) é modificada e não depende da relação entre as transcondutâncias de porta e substrato, resultando em um valor constante de -1, considerando que as correntes geradas por $g_m v_{cm}$ e $g_m v_{in}$ são de igual magnitude e opostas.

A Figura 4 mostra as topologias propostas para o controle de modo comum, onde v_c é a tensão de compensação. A Figura 4a apresenta a topologia com entrada diferencial pela porta dos transistores e controle de modo comum pelo substrato, o qual será denominado de porta-substrato, a relação para minimizar a tensão de modo comum de entrada é $-g_{m1}/g_{mb1}$. Os pares diferenciais com relação igual a -1 para o controle de modo comum são mostrados em Figura 4b e Figura 4d, que serão nomeados de porta-porta e substrato-substrato, respectivamente. Note-se os transistores adicionais T'_1 e T'_2 acrescentados para o controle de modo comum. A Figura 4c mostra a topologia com controle de modo comum pela porta e entrada diferencial pelo substrato, denominada como substrato-porta, neste caso a relação para minimizar a tensão de modo comum é $-g_{mb1}/g_{m1}$.

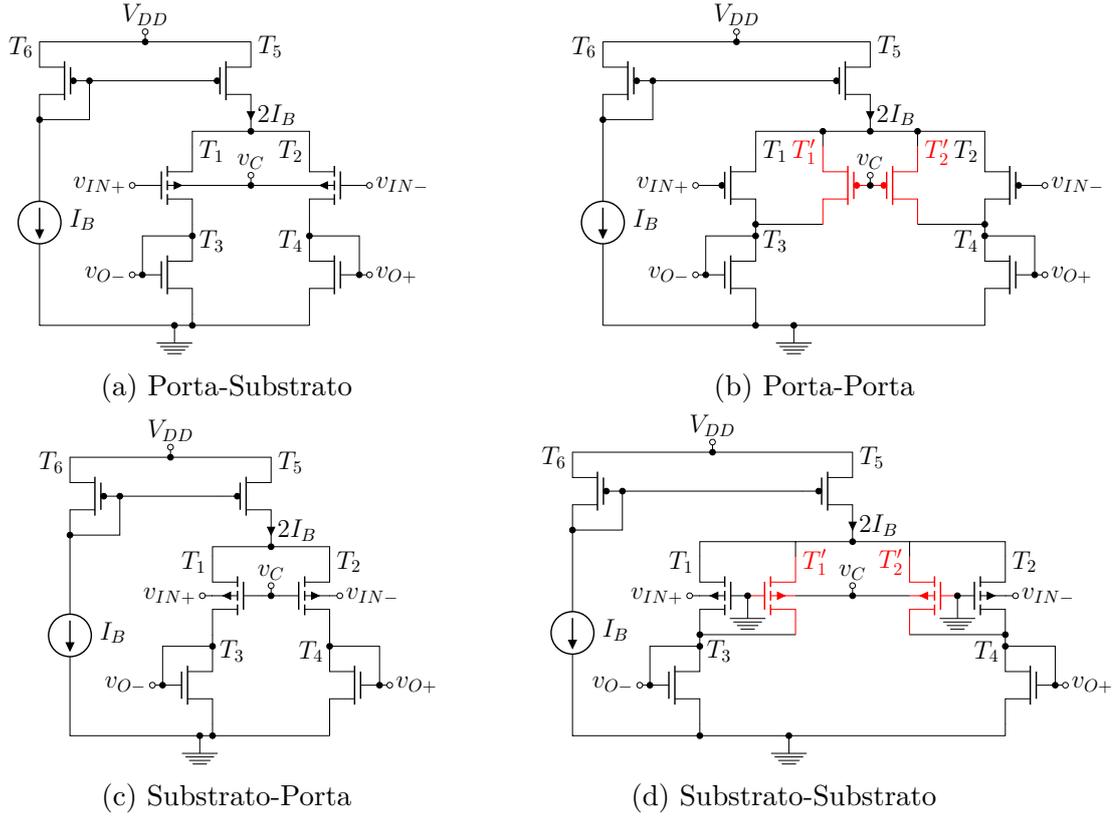


Figura 4 – Topologias para controle de modo comum

Fonte: o autor

A [Tabela 1](#) mostra o resumo do comportamento do par diferencial compensado, utilizando as quatro combinações para o controle do modo comum. Note-se que o ganho para a topologia porta-porta e substrato-substrato é a metade quando comparado com o par diferencial simétrico sem compensação. A mudança no valor do ganho é devido a que a corrente de polarização pela carga ativa é o dobro, o qual duplica os valores de g_{o3} e g_{m3} . Como os transistores estão polarizados na região de inversão fraca os valores de transcondutância e condutância de saída são modelados segundo as equações (2.30) e (2.31), respectivamente (18). Além de que acrescentar os transistores T'_1 e T'_2 , para o controle de modo comum duplica a condutância de saída dos transistores de entrada, mantendo o mesmo valor de transcondutância.

$$g_m = q \frac{I_{DS}}{nkT} \quad (2.30)$$

$$g_o = \frac{\lambda I_{DS}}{1 + \lambda V_{DS}} \quad (2.31)$$

As equações de ganho de modo comum para todas as topologias na [Tabela 1](#) dependem do parâmetro E_{ext} , o qual é o erro absoluto na relação para a compensação.

Para a topologia porta-substrato o erro é dado pela equação (2.32), para a substrato-porta por (2.33) e nos casos de porta-porta e substrato-substrato por (2.34). Nota-se que para o pior caso da compensação ($v_c = 0$), E_{ext} para cada topologia seria equivalente ao valor absoluto da sua relação para compensação e como consequência o valor mínimo da CMRR nunca será menor que a CMRR do par diferencial sem compensação. Na Tabela 1 é mostrado que quanto menor o valor de E_{ext} maior será a CMRR do par diferencial compensado.

$$E_{ext} = \left| \frac{v_c}{v_{cm}} - \frac{g_{m1}}{g_{mb1}} \right| \quad (2.32)$$

$$E_{ext} = \left| \frac{v_c}{v_{cm}} - \frac{g_{mb1}}{g_{m1}} \right| \quad (2.33)$$

$$E_{ext} = \left| \frac{v_c}{v_{cm}} - 1 \right| \quad (2.34)$$

Tabela 1 – Resumo do comportamento do par diferencial compensado.

Topologia	porta-substrato	substrato-porta	porta-porta	substrato-substrato
Relação	$-\frac{g_{m1}}{g_{mb1}}$	$-\frac{g_{mb1}}{g_{m1}}$	-1	-1
A_{dm}	$\frac{-g_{m1}}{g_{o1}+g_{o3}+g_{m3}}$	$\frac{-g_{mb1}}{g_{o1}+g_{o3}+g_{m3}}$	$\frac{-g_{m1}}{2(g_{o1}+g_{o3}+g_{m3})}$	$\frac{-g_{mb1}}{2(g_{o1}+g_{o3}+g_{m3})}$
A_{cm}	$\frac{-g_{ob}g_{mb1}E_{ext}}{g_{ob}(g_{o1}+g_{o3}+g_{m3})+2(g_{m1}+g_{mb1})(g_{o3}+g_{m3})}$	$\frac{-g_{ob}g_{m1}E_{ext}}{g_{ob}(g_{o1}+g_{o3}+g_{m3})+2(g_{m1}+g_{mb1})(g_{o3}+g_{m3})}$	$\frac{-g_{ob}g_{m1}E_{ext}}{2g_{ob}(g_{o1}+g_{o3}+g_{m3})+4g_{m1}(g_{o3}+g_{m3})}$	$\frac{-g_{ob}g_{mb1}E_{ext}}{2g_{ob}(g_{o1}+g_{o3}+g_{m3})+4(g_{m1}+g_{mb1})(g_{o3}+g_{m3})}$
CMRR	$\frac{g_{m1}}{g_{mb1}E_{ext}} \left(1 + \frac{2(g_{m1}+g_{mb1})(g_{o3}+g_{m3})}{g_{ob}(g_{o1}+g_{o3}+g_{m3})}\right)$	$\frac{g_{mb1}}{g_{m1}E_{ext}} \left(1 + \frac{2(g_{m1}+g_{mb1})(g_{o3}+g_{m3})}{g_{ob}(g_{o1}+g_{o3}+g_{m3})}\right)$	$\frac{1}{E_{ext}} \left(1 + \frac{2g_{m1}(g_{o3}+g_{m3})}{g_{ob}(g_{o1}+g_{o3}+g_{m3})}\right)$	$\frac{1}{E_{ext}} \left(1 + \frac{2(g_{m1}+g_{mb1})(g_{o3}+g_{m3})}{g_{ob}(g_{o1}+g_{o3}+g_{m3})}\right)$
G_m	$-\frac{g_{m1}(g_{o3}+g_{m3})}{g_{o1}+g_{o3}+g_{m3}}$	$-\frac{g_{mb1}(g_{o3}+g_{m3})}{g_{o1}+g_{o3}+g_{m3}}$	$-\frac{g_{m1}(g_{o3}+g_{m3})}{g_{o1}+g_{o3}+g_{m3}}$	$-\frac{g_{mb1}(g_{o3}+g_{m3})}{g_{o1}+g_{o3}+g_{m3}}$

Fonte – o autor.

Uma característica interessante mostrada como consequência das equações da CMRR na [Tabela 1](#), é a capacidade do par diferencial compensado de controlar o modo comum sem fonte de corrente de polarização. A equação (2.35) mostra que ao eliminar a fonte de corrente de polarização no par diferencial simétrico, implica a perda do controle de modo comum. Enquanto as equações (2.36), (2.37), (2.38) e (2.39) apresentam a CMRR para o par diferencial com compensação, para os casos, porta-substrato, substrato-porta, porta-porta e substrato-substrato, respectivamente.

$$\text{CMRR} = 1 + \lim_{g_{ob} \rightarrow \infty} \frac{2g_{m1}(g_{o3} + g_{m3})}{g_{ob}(g_{o1} + g_{o3} + g_{m3})} = 1 \quad (2.35)$$

$$\text{CMRR} = \frac{g_{m1}}{g_{mb1}E_{ext}} \lim_{g_{ob} \rightarrow \infty} \left(1 + \frac{2(g_{m1} + g_{mb1})(g_{o3} + g_{m3})}{g_{ob}(g_{o1} + g_{o3} + g_{m3})}\right) = \frac{g_{m1}}{g_{mb1}E_{ext}} \quad (2.36)$$

$$\text{CMRR} = \frac{g_{mb1}}{g_{m1}E_{ext}} \lim_{g_{ob} \rightarrow \infty} \left(1 + \frac{2(g_{m1} + g_{mb1})(g_{o3} + g_{m3})}{g_{ob}(g_{o1} + g_{o3} + g_{m3})}\right) = \frac{g_{mb1}}{g_{m1}E_{ext}} \quad (2.37)$$

$$\text{CMRR} = \frac{1}{E_{ext}} \lim_{g_{ob} \rightarrow \infty} \left(1 + \frac{2g_{m1}(g_{o3} + g_{m3})}{g_{ob}(g_{o1} + g_{o3} + g_{m3})}\right) = \frac{1}{E_{ext}} \quad (2.38)$$

$$\text{CMRR} = \frac{1}{E_{ext}} \lim_{g_{ob} \rightarrow \infty} \left(1 + \frac{2(g_{mb1} + g_{mb1})(g_{o3} + g_{m3})}{g_{ob}(g_{o1} + g_{o3} + g_{m3})}\right) = \frac{1}{E_{ext}} \quad (2.39)$$

2.2.1 Efeito da estratégia porta-porta e substrato-substrato na Distorção Harmônica

Do estudo do equacionamento das estratégias apresentado na [Tabela 1](#) para o controle de modo comum, é mostrado que as do tipo porta-porta e substrato-substrato modificam os valores de ganho, se comparados com a topologia sem compensação. Da mesma forma, acrescentar um transistor em paralelo a cada transistor de entrada traz mudanças na distorção harmônica. Nesta topologia de compensação, para polarizar os transistores acrescentados implica-se na duplicação da corrente I_B . Nesse caso a corrente de dreno para a topologia porta-porta é dada pela equação (2.40), enquanto para substrato-substrato é modelado por (2.41).

$$i_{DS} = I_s \frac{W}{L} \exp\left(q \frac{v_{IN} - V_{TO}}{n_p kT}\right) + I_B \quad (2.40)$$

$$i_{DS} = I_s \frac{W}{L} \exp\left(q \frac{V_{GS} - V_{TO} - (n_p - 1)v_{IN}}{n_p kT}\right) + I_B \quad (2.41)$$

A corrente de saída diferencial não é alterada nestas topologias, já que a corrente adicional que injetam os transistores de compensação são de modo comum. Ao ser expressadas em função da corrente de polarização aparece uma diferença em relação a topologia sem compensação, mostrada nas equações (2.42) e (2.43).

$$i_O = 4I_B \tanh\left(q \frac{v_{dm}}{2n_p kT}\right) \quad (2.42)$$

$$i_O = 4I_B \tanh\left(q \frac{(n_p - 1)v_{dm}}{2n_p kT}\right) \quad (2.43)$$

Considerando as mesmas condições que no par diferencial sem compensação, as componentes da corrente de saída no domínio da frequência são mostradas nas equações (2.44) e (2.45), para as topologia porta-porta e substrato-substrato, respectivamente. Se as componentes de frequência das topologias porta-porta e substrato-substrato, são comparadas com as do par diferencial sem compensar apresentadas nas equações (2.19) e (2.20), respectivamente, é mostrado que o primeiro harmônico não sofre muita diferença, o terceiro harmônico nas topologias compensadas é aproximadamente quatro vezes menor e o quinto dezesseis vezes menor. Estas reduções implicam uma diminuição considerável na distorção harmônica total.

$$\begin{aligned} F_1 &= 2I_B \frac{qA}{n_p kT} - \frac{I_B}{8} \left(\frac{qA}{n_p kT}\right)^3 + \frac{I_B}{96} \left(\frac{qA}{n_p kT}\right)^5 \\ F_3 &= \frac{I_B}{24} \left(\frac{qA}{n_p kT}\right)^3 - \frac{I_B}{192} \left(\frac{qA}{n_p kT}\right)^5 \\ F_5 &= \frac{I_B}{960} \left(\frac{qA}{n_p kT}\right)^5 \end{aligned} \quad (2.44)$$

$$\begin{aligned} F_1 &= 2I_B \frac{q(n_p-1)A}{n_p kT} - \frac{I_B}{8} \left(\frac{q(n_p-1)A}{n_p kT}\right)^3 + \frac{I_B}{96} \left(\frac{q(n_p-1)A}{n_p kT}\right)^5 \\ F_3 &= \frac{I_B}{24} \left(\frac{q(n_p-1)A}{n_p kT}\right)^3 - \frac{I_B}{192} \left(\frac{q(n_p-1)A}{n_p kT}\right)^5 \\ F_5 &= \frac{I_B}{960} \left(\frac{q(n_p-1)A}{n_p kT}\right)^5 \end{aligned} \quad (2.45)$$

2.3 Simulação das estratégias para o controle de modo comum

Para a simulação é usada a ferramenta Spectre da Cadence em um processo de fabricação BiCMOS 8HP da IBM, com comprimento mínimo de canal de 130 nm, disponibilizado pela MOSIS. São simulados o par diferencial simétrico acionado pela porta, pelo substrato e as quatro topologias mostradas na Figura 4. Considerando que a tensão limiar dos transistores é 465 mV para o transistor NMOS (dgnfet) e 445 mV para o PMOS (dgpfet) (19), a tensão de V_{GS} de polarização escolhida com o objetivo de que os transistores operem na região de inversão fraca é de 250 mV. A razão de aspecto (W/L) em unidades de $\mu\text{m}/\mu\text{m}$ para os transistores NMOS é 10/5 e 11/5 para os PMOS. As

dimensões selecionadas e o valor de tensão de polarização de porta faz com que a corrente de fonte do transistor, independentemente do tipo, seja 2 nA.

Com as condições antes mostradas, a tensão de alimentação mínima, V_{DD} , é 400 mV e a corrente de polarização, I_B , é 4 nA. É considerada como tensão de alimentação mínima a tensão que consegue polarizar todos os transistores na região de saturação, considerando que a tensão de saturação mínima na região de inversão fraca é 75 mV. Nesse caso a tensão de V_{DS} do transistor da fonte de corrente de polarização é 75 mV, nos transistores de entrada é 75 mV e a tensão na carga ativa é 250 mV, somando assim 400 mV que serão utilizados como tensão de alimentação. A Tabela 2 mostra as geometrias dos transistores usados, assim como os valores de transcondutância, condutância de saída e transcondutância de substrato para os casos necessários. O termo multiplicidade é utilizado para representar a quantidade de transistores de iguais dimensões em paralelo. O valor da condutância de saída da fonte de corrente, mostrada na Tabela 2 representada como g_o de T_5 , é alta como consequência da polarização com a tensão de saturação mínima. Isso implica que nas topologias de par diferencial sem compensação a CMRR será baixa.

Tabela 2 – Geometrias e parâmetros dos transistores do par diferencial.

Transistor	$\frac{W}{L}$ [$\frac{\mu m}{\mu m}$]	Multiplicidade	g_m [nS]	g_o [nS]	g_{mb} [nS]
T_1 - T_2	$\frac{11}{5}$	1	50,44	4,713	14,62
T_3 - T_4	$\frac{10}{5}$	1	56,82	0,099	-
T_5	$\frac{11}{5}$	2	100,9	10,51	-
T_6	$\frac{11}{5}$	2	107,8	0,222	-

Fonte – o autor.

A Tabela 3 mostra os resultados da simulação para uma tensão de alimentação de 400 mV e corrente de polarização de 4 nA. Os elementos da coluna ‘relação’ são os valores necessários para obter a compensação de modo comum. São exibidos também para cada topologia, o ganho de modo comum, a CMRR medido a 60 Hz, a transcondutância e o valor de tensão de entrada para o qual a distorção harmônica total é menor ou igual a 1 %.

Uma consequência vista na análise do equacionamento das topologias das estratégias, é a capacidade de eliminar a fonte de corrente de polarização e manter o controle de modo comum. A Figura 5 mostra o comportamento da CMRR quando é variada a tensão de alimentação (V_{DD}). Os valores simulados vão de 300 mV até 400 mV. A Figura 5a apresenta as topologias com entrada pela porta enquanto a Figura 5b mostra as topologias acionada pelo substrato. A curva contínua representa o comportamento sem compensação, a tracejada as topologias porta-substrato e substrato-porta e a pontilhada as topologias porta-porta e substrato-substrato.

Tabela 3 – Resultado da simulação das estratégias

Topologia	relação	A_{dm} [mV/V]	CMRR [dB]	G_m [nS]	THD $\leq 1\%$ [mVpp]
porta	0	818,3	20,58	93,15	29
substrato	0	237,8	22,5	27,08	102
porta-substrato	-3,45	818	65,77	93,15	29
substrato-porta	-0,290	237,8	65,87	27,08	102
porta-porta	-0,995	409,1	66,6	97,02	55
substrato-substrato	-0,995	118,9	68,52	27,07	216

Fonte – o autor.

Para o valor de V_{DD} de 300 mV a tensão na fonte dos transistores de entrada é muito próxima da tensão de alimentação e como consequência a condutância de saída do transistor da fonte de corrente de polarização será alta. Neste caso o par diferencial sem compensação perde o controle de modo comum, enquanto as topologias compensadas conseguem controlar o modo comum.

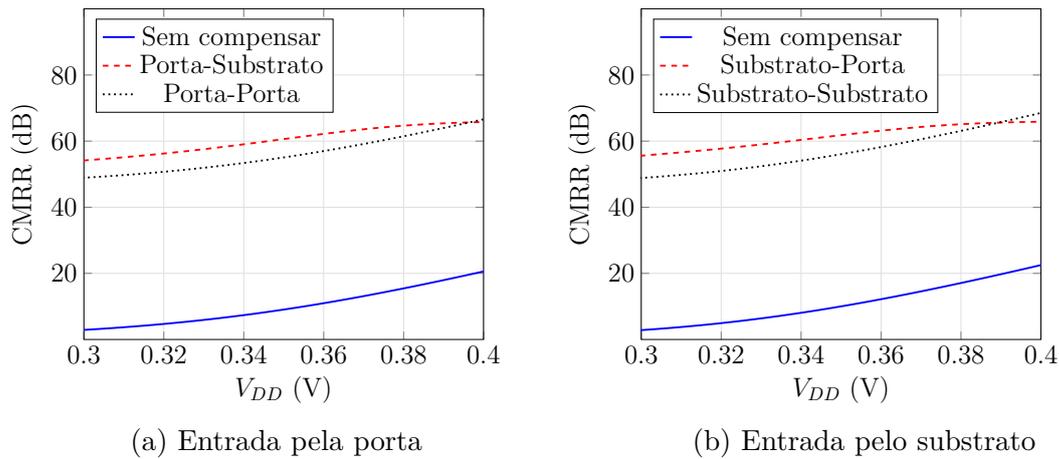


Figura 5 – Resultado para a variação da CMRR em função do V_{DD}

Fonte: o autor

2.4 Medição da Tensão de Saída de Modo Comum em um Par Diferencial Simétrico de duas entradas Diferenciais Intrínsecas

Com o objetivo de mostrar o controle da CMRR quando a condutância de saída da fonte de corrente de polarização é diminuída, é usado um par diferencial simétrico com duas entradas diferenciais intrínsecas. Este circuito tem uma entrada diferencial controlada pela porta e uma segunda entrada diferencial acionada pelo substrato. O par diferencial foi projetado no processo CMOS CMRF8SF, com comprimento de canal de

130 nm. A Figura 6 mostra o esquema do teste. O par diferencial é alimentado com uma fonte de tensão HP E3631A, representado como V_{DD} a tensão positiva e V_{SS} a tensão negativa. O sinal de entrada, v_{CM} , é fornecido pelo gerador Agilent 33120A. O Analisador de Semicondutores B1500A é utilizado para gerar a fonte de corrente I_B e medir a tensão de saída do par diferencial.

O par diferencial sob teste tem a topologia mostrada na Figura 1, com uma entrada adicional pelo substrato dos transistores T_1 - T_2 . O amplificador ‘A’ na Figura 6, é construído com um OPAMP LM741 na configuração inversora, o qual representa o amplificador de modo comum e seu ganho satisfaz (2.29). O amplificador ‘A’ é alimentado com uma tensão diferencial de 9 V.

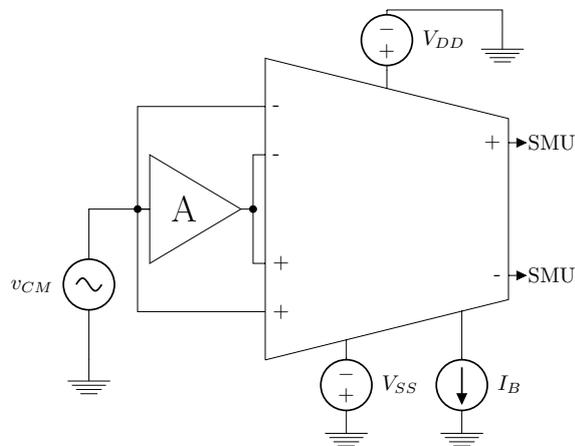


Figura 6 – Circuito para teste da estratégia

Fonte: o autor

O objetivo do teste é mostrar a capacidade da estratégia proposta, para aumentar a independência da tensão de saída de modo comum da condutância de saída da fonte de corrente. Considerando que o par diferencial foi projetado para uma tensão de alimentação mínima de 0,4 V, esta foi diminuída da sua condição mínima até 0,24 V, desta forma a condutância de saída da fonte de corrente aumentará, enquanto a tensão de alimentação decresce. O experimento foi dividido em duas análises, a primeira medirá o ganho de modo diferencial. A segunda, a tensão de modo comum de saída, para cada valor de tensão de alimentação entre 0,4 V e 0,24 V, com um passo de 20 mV. Para a análise diferencial as variáveis de entrada são a tensão de alimentação, V_{DD} e V_{SS} , a tensão de entrada diferencial v_{DM} e a corrente de polarização, I_B . As variáveis de entrada para a análise de modo comum são V_{DD} e V_{SS} , a tensão de entrada de modo comum v_{CM} e I_B .

Para a medição em modo diferencial o valor de V_{DD} e V_{SS} é de 0,2 V, é usada um sinal de entrada senoidal de 10 mV e frequência de 60 Hz, a corrente de polarização é de 9,6 nA. Uma primeira medição é feita com uma configuração do par diferencial sem

compensação, o valor de ganho é de 786,38 mV/V. Para o par diferencial compensado o ganho é de 780,68 mV/V, o erro cometido é de 0.73 %.

Para a medição de modo comum o valor de V_{DD} e V_{SS} é de 0,2 V, corrente de polarização de 9,6 nA e sinal de entrada senoidal de 50 mV e frequência de 60 Hz. A Figura 7 mostra o resultado das 9 medições realizadas da saída de modo comum.

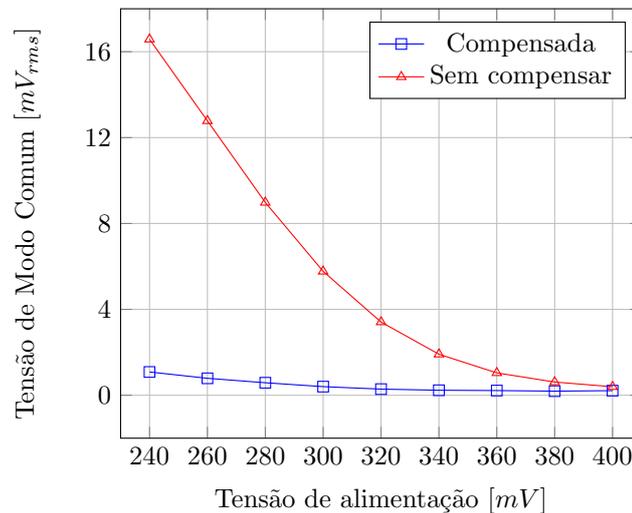


Figura 7 – Medidas da tensão de saída de modo comum em função da tensão de alimentação

Fonte: o autor

2.5 O Par Diferencial Simétrico com Carga Ativa Deslocada

A Figura 8 mostra a topologia do par diferencial simétrico com carga ativa deslocada acionado pela porta e a Figura 10 pelo substrato (20). Onde T_1 e T_2 representam os transistores de entrada, T_{3a} e T_{4a} são usados como carga ativa junto com os deslocadores de nível T_{3b} e T_{4b} , T_5 e T_6 polarizam a carga ativa e T_7 e T_8 formam a fonte de corrente do par diferencial. A vantagem desta topologia de par diferencial, é que esta permite o funcionamento da carga ativa para um intervalo de tensão maior do que o par diferencial simétrico, mostrado na Figura 1.

É importante notar que a CMRR no par diferencial simétrico com carga ativa deslocada pode ser aumentada, utilizando as estratégias propostas, já que a diferença entre os dois amplificadores é na topologia da carga ativa. A Figura 9 mostra o modelo de pequeno sinal do par diferencial simétrico com carga ativa deslocada. É considerado nesta topologia que o par de transistores T_1 - T_2 , T_{3a} - T_{4a} , T_{3b} - T_{4b} e T_5 - T_6 estão casados.

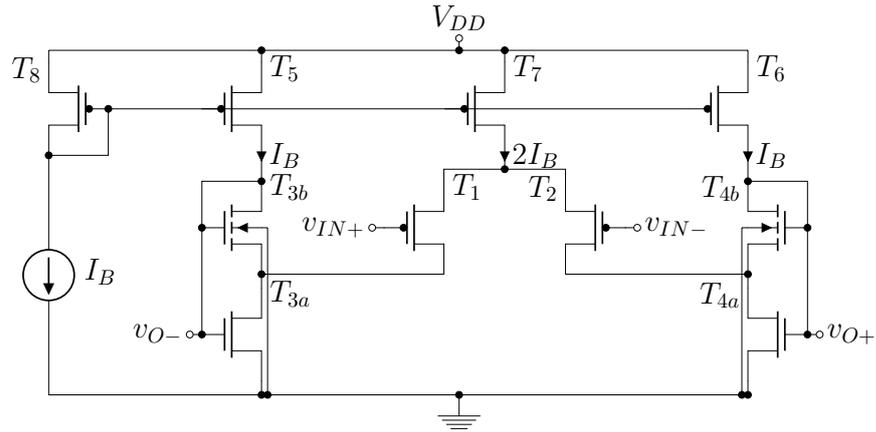


Figura 8 – Par diferencial com carga ativa deslocada acionado pela porta

Fonte: o autor

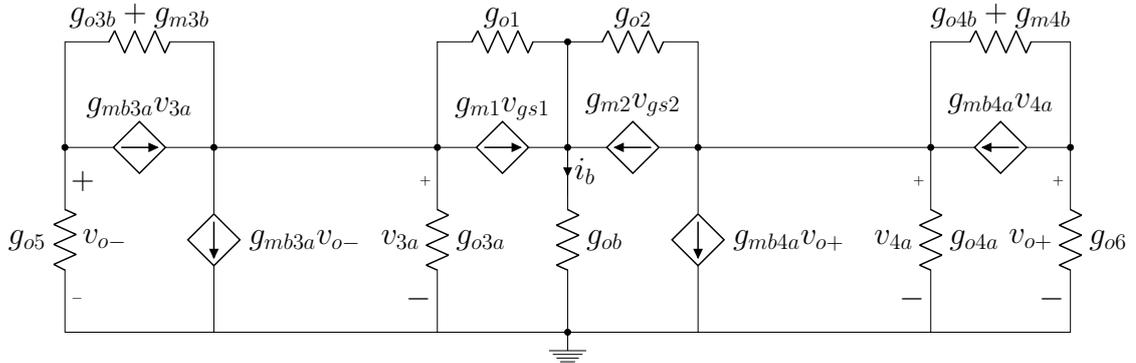


Figura 9 – Modelo de pequeno sinal do par diferencial com carga ativa deslocada acionado pela porta

Fonte: o autor

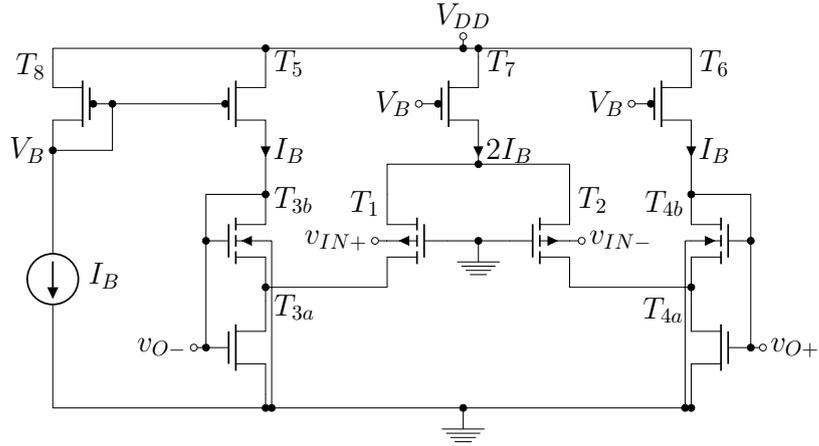


Figura 10 – Par diferencial com carga Ativa deslocada acionado pelo substrato

Fonte: o autor

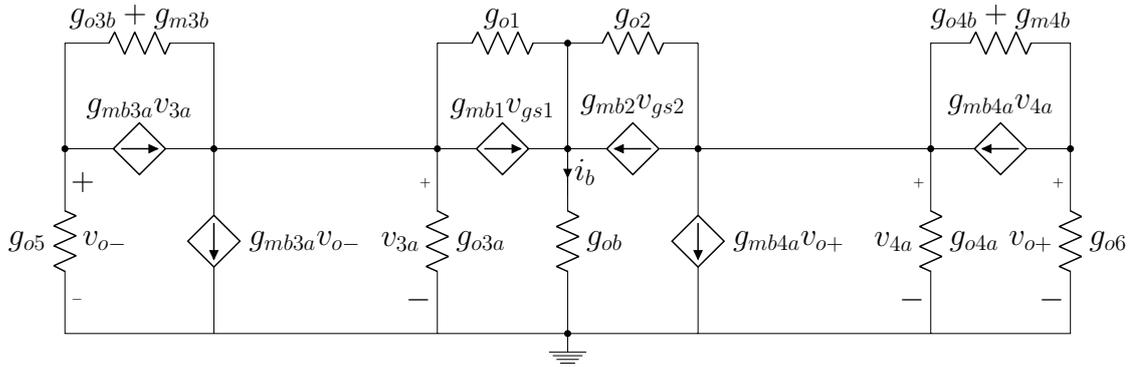


Figura 11 – Modelo de pequeno sinal do par diferencial com carga ativa deslocada pelo substrato

Fonte: o autor

De igual forma que na análise do par diferencial simétrico em modo diferencial, é considerado que a corrente i_b é nula. O ganho de tensão de modo diferencial é achado como relação entre a tensão de saída e a tensão de entrada, utilizando o circuito da Figura 9. As equações (2.46) e (2.48) mostram o ganho de modo diferencial para entrada pela porta dos transistores e substrato, respectivamente; se é considerado que os valores de condutância de saída de T_1 - T_2 , T_{3b} - T_{4b} e T_5 - T_6 são pequenos o ganho de modo diferencial pode ser expressado segundo as expressões (2.47) e (2.49).

$$A_{dm} = - \frac{g_{m1}}{\frac{(g_{o3b} + g_{m3b} + g_{o5})(g_{o1} + g_{o3a})}{g_{o3b} + g_{m3b} + g_{mb3b}} + g_{o5} + g_{m3a}} \quad (2.46)$$

$$A_{dm} = - \frac{g_{m1}}{\frac{g_{o3a}}{n_{3b}} + g_{m3a}} \quad (2.47)$$

$$A_{dm} = -\frac{g_{mb1}}{\frac{(g_{o3b}+g_{m3b}+g_{o5})(g_{o1}+g_{o3a})}{g_{o3b}+g_{m3b}+g_{mb3b}} + g_{o5} + g_{m3a}} \quad (2.48)$$

$$A_{dm} = -\frac{g_{mb1}}{\frac{g_{o3a}}{n_{3b}} + g_{m3a}} \quad (2.49)$$

Para a análise de modo comum do par diferencial simétrico com carga ativa deslocada, também será considerada a existência de uma corrente i_b não nula. As equações (2.50) e (2.52) mostram o ganho de modo comum do par diferencial acionado pela porta e substrato, respectivamente; se é considerado que os valores de condutância de saída de T_1-T_2 , $T_{3b}-T_{4b}$ e T_5-T_6 são pequenos o ganho de modo comum pode ser expressado segundo (2.51) e (2.53).

$$A_{cm} = \frac{g_{ob}g_{m1}(g_{o3b} + g_{m3b} + g_{mb3b})}{(g_{o1}g_{ob} - g_{ob}g_{o3a} + 2g_{m1}g_{o3a} - 2g_{o1}g_{o3a})(g_{o3b} + g_{m3b} + g_{o5}) - (g_{ob}(g_{m3a} + g_{o5}) - 2g_{m1}(g_{m3a} + g_{o5}) + 2g_{o1}(g_{m3a} + g_{o5}))(g_{o3b} + g_{m3b} + g_{mb3b})} \quad (2.50)$$

$$A_{cm} = \frac{g_{ob}g_{m1}(g_{m3b} + g_{mb3b})}{g_{m3b}(-g_{ob}g_{o3a} + 2g_{m1}g_{o3a} - 2g_{o1}g_{o3a}) - (g_{m3b} + g_{mb3b})(g_{ob}g_{m3a} - 2g_{m1}g_{m3a} + 2g_{o1}g_{m3a})} \quad (2.51)$$

$$A_{cm} = \frac{g_{ob}g_{mb1}(g_{o3b} + g_{m3b} + g_{mb3b})}{(g_{o1}g_{ob} - g_{ob}g_{o3a} + 2(g_{m1} + g_{mb1})g_{o3a} - 2g_{o1}g_{o3a})(g_{o3b} + g_{m3b} + g_{o5}) - (g_{ob}(g_{m3a} + g_{o5}) - 2(g_{m1} + g_{mb1})(g_{m3a} + g_{o5}) + 2g_{o1}(g_{m3a} + g_{o5}))(g_{o3b} + g_{m3b} + g_{mb3b})} \quad (2.52)$$

$$A_{cm} = \frac{g_{ob}g_{mb1}(g_{m3b} + g_{mb3b})}{g_{m3b}(-g_{ob}g_{o3a} + 2(g_{m1} + g_{mb1})g_{o3a} - 2g_{o1}g_{o3a}) - (g_{m3b} + g_{mb3b})(g_{ob}g_{m3a} - 2(g_{m1} + g_{mb1})g_{m3a} + 2g_{o1}g_{m3a})} \quad (2.53)$$

Para o estudo do par diferencial simétrico com carga ativa deslocada, quando a tensão de v_{bs} não nula, será feita uma extensão da análise do par diferencial simétrico, considerando que é possível aumentar a CMRR usando a relação (2.29). As equações do par diferencial simétrico, foram mostradas com o objetivo de ser usadas em outras topologias mais complexas.

2.6 Conclusões do Capítulo

Foram mostradas neste capítulo as equações para a modelagem do par diferencial simétrico. Obteve-se uma relação entre a v_g e v_b , que permite anular a tensão de saída de modo comum do par diferencial simétrico. Foram mostradas quatro topologias para melhorar a CMRR, as quais não precisam aumentar a tensão de alimentação do circuito. Foi analisado o efeito na distorção harmônica ao usar as topologias propostas. As quatro estratégias foram simuladas e comparadas com o par diferencial sem compensação. Foi apresentado o par diferencial simétrico com carga ativa deslocada, o qual será utilizado na implementação das topologias para a compensação de modo comum.

3 Projeto do Par Diferencial Compensado

Neste capítulo são apresentados os circuitos adicionais, necessários para completar a estratégias de compensação no par diferencial. São mostradas as topologias compensadas do par diferencial simétrico com carga deslocada, como uma extensão dos resultados da análise do par diferencial simétrico. São apresentadas as simulações que mostram o comportamento dos circuitos compensados, ante variações do processo de fabricação. É escolhida uma das estratégias propostas para sua implementação a qual é caracterizada e comparada com outros trabalhos recentes. É proposto um par diferencial simétrico sem corrente de polarização, com uma tensão de alimentação mínima de 150 mV, no qual é controlado o modo comum utilizando a estratégia substrato-substrato.

3.1 O Extrator do Modo Comum

No [Capítulo 2](#) foram mostradas as estratégias para aumentar a CMRR no par diferencial simétrico. A estratégia é baseada nas relações mostradas na [Tabela 1](#), as quais mostram que, para o projeto de par diferencial simétrico com CMRR melhorado, é preciso extrair a tensão de modo comum na entrada do amplificador. A [Figura 12a](#) mostra o circuito extrator do modo comum, o qual é um par diferencial simétrico sem carga ativa. A entrada do extrator do modo comum é diferencial e sua saída é simples, localizada na fonte dos transistores T_1 e T_2 . A [Figura 12b](#) mostra o modelo AC do extrator do modo comum, a saída do circuito é a tensão no resistor g_{ob} .

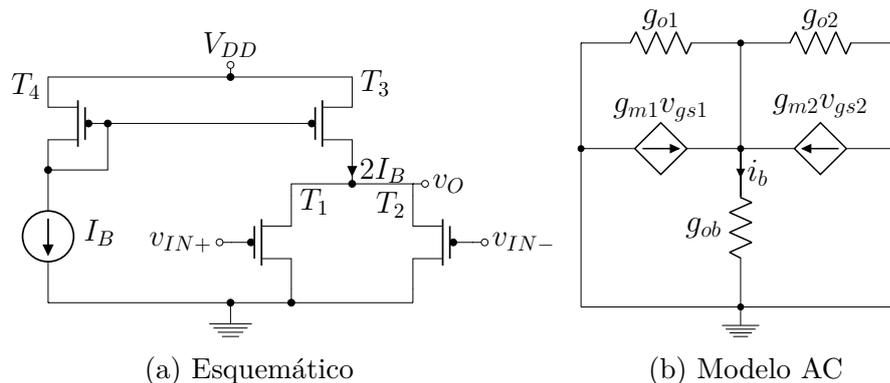


Figura 12 – Extrator do modo comum acionado pela porta

Fonte: o autor

Para o par diferencial simétrico acionado pelo substrato, a topologia do extrator do modo comum é mostrada na [Figura 13](#). A [Figura 13a](#) apresenta o modelo esquemático

e a [Figura 13b](#) o modelo de pequeno sinal. De igual forma que no extrator com entrada pela porta, a saída é na fonte dos transistores T_1 e T_2 , representada no modelo AC como a tensão no resistor g_{ob} .

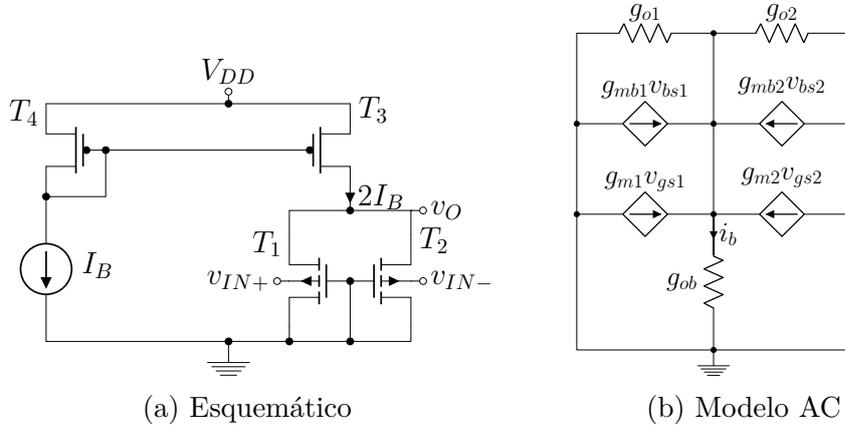


Figura 13 – Extrator do modo comum acionado pelo substrato

Fonte: o autor

A equação (3.1) apresenta o ganho do extrator do modo comum, calculado como a razão entre a tensão no resistor g_{ob} , mostrado na [Figura 12b](#), e a tensão de entrada de modo comum. O valor desejado de ganho é a unidade, com um deslocamento de fase de 180° , note-se que os valores da condutância de saída de T_1 - T_2 e T_3 podem fazer que o valor do ganho não se aproxime ao ideal se suas condutâncias de saídas não são pequenas. Neste aspecto, a eliminação da carga ativa faz com que a V_{DS} de T_1 e T_2 seja maior, diminuindo o valor da condutância de saída. Para o extrator com entrada pelo substrato, aparece o efeito da transcondutância dos transistores de entrada, mostrado na expressão (3.2).

$$A_{ext} = \frac{2g_{m1}}{2g_{m1} + 2g_{o1} + g_{o3}} \quad (3.1)$$

$$A_{ext} = \frac{2g_{mb1}}{2g_{m1} + 2g_{mb1} + 2g_{o1} + g_{o3}} \quad (3.2)$$

3.2 O Amplificador de Modo Comum

Segundo a [Tabela 1](#) além da extração da tensão de modo comum de entrada, é preciso uma etapa de amplificação, que deve garantir a relação de compensação do par diferencial simétrico. A [Figura 14a](#) mostra o amplificador de modo comum para a topologia com entrada pela porta e compensação pelo substrato, o qual é um amplificador de fonte comum, com uma carga ativa com efeito de corpo. A [Figura 14b](#) mostra o modelo AC do amplificador de modo comum, note-se que saída é na carga ativa que ao existir efeito

de corpo nela, pode ser representado com a soma da transcondutância de substrato e a condutância de saída.

Para as outras topologias de compensação, poderá ser usado o circuito da [Figura 15a](#) como amplificador de modo comum. A [Figura 15b](#) mostra o modelo AC, onde a saída é na carga ativa, representada no modelo esquemático pelo transistor T_2 .

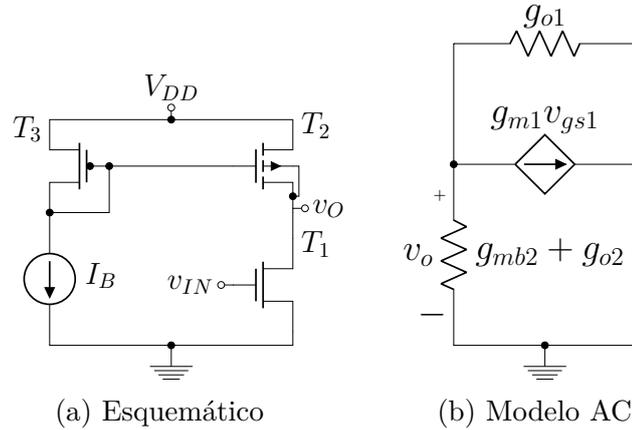


Figura 14 – Amplificador de modo comum

Fonte: o autor

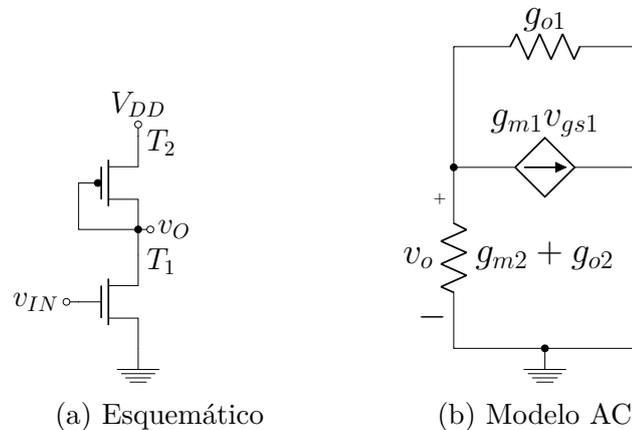


Figura 15 – Amplificador de modo comum

Fonte: o autor

A equação (3.3) mostra o ganho do amplificador de modo comum para a topologia com entrada pela porta e compensação pelo substrato, calculado como relação entre a tensão v_o na [Figura 14b](#) e a tensão de modo comum de entrada. O efeito de corpo faz que no denominador apareça a transcondutância de substrato, o que é desejado para cumprir a relação dada pela expressão (2.29). A equação do amplificador de modo comum com ganho perto do unitário é mostrada em (3.4), calculado como relação entre a tensão v_o na [Figura 15b](#) e a tensão de modo comum de entrada. Para ambos circuitos no denominador

também se têm os valores de condutância de saída de T_1 e T_2 , os quais se forem comparáveis com a transcondutância de substrato, podem fazer que o valor de ganho do amplificador de modo comum se afaste do ideal. Na topologia do amplificador de modo comum ao usar só dois transistores empilhados, os valores de condutância de saída não devem afetar o valor ideal de ganho, pois a condutância de saída vai tender a ser baixa.

$$A_{cm} = -\frac{g_{m1}}{g_{mb2} + g_{o2} + g_{o1}} \quad (3.3)$$

$$A_{cm} = -\frac{g_{m1}}{g_{m2} + g_{o2} + g_{o1}} \quad (3.4)$$

3.3 O Par Diferencial sem compensação de modo comum

Para ter um critério de comparação entre as topologias propostas e o par diferencial com carga ativa deslocada os circuitos mostrados em [Figura 8](#) e [Figura 10](#) são simulados. A tensão de alimentação utilizada é de 400 mV e corrente de polarização de 4 nA. A [Tabela 4](#) mostra as dimensões dos transistores usados, assim como os valores de transcondutância, condutância de saída e transcondutância de substrato para o par diferencial acionado pela porta e pelo substrato respectivamente. As dimensões dos transistores em ambos projetos são as mesmas, mas existem diferenças entre os parâmetros DC os que são mostrados no formato (parâmetro de porta)/(parâmetro de substrato) na [Tabela 4](#).

Tabela 4 – Geometrias e parâmetros dos transistores do par diferencial sem compensação.

Transistor	$\frac{W}{L}$ [$\frac{\mu m}{\mu m}$]	Multiplicidade	g_m [nS]	g_o [pS]	g_{mb} [nS]
T_1-T_2	$\frac{11}{5}$	1	53,56/53,26	119,8/121,8	-/15,92
$T_{3a}-T_{4a}$	$\frac{10}{5}$	2	120,6/120,7	25330/25340	-
$T_{3b}-T_{4b}$	$\frac{10}{5}$	6	60,46/60,48	110/110	14,33/14,33
T_5-T_6	$\frac{11}{5}$	1	53,55/53,55	142,3/142,4	-
T_7	$\frac{11}{5}$	2	107,1/107,2	274,2/259,6	-
T_8	$\frac{11}{5}$	2	107,8/107,8	222,1/222,1	-

Fonte – o autor.

A [Tabela 5](#) mostra os resultados da simulação de Monte Carlo do par diferencial acionado pela porta. Utilizando a equação (2.46) para o cálculo teórico do ganho diferencial, é obtido o valor de 378,86 mV/V, se comparado com o valor médio de ganho diferencial da [Tabela 5](#) é cometido um erro de 0,017 %. O ganho de modo comum teórico é 975,14

$\mu\text{V}/\text{V}$, calculado usando a expressão (2.50) ao comparar com o valor da simulação é obtido um erro de 0,076 %. Com os valores de ganho diferencial e de modo comum teóricos é possível achar a CMRR cujo valor é 51,79 dB o qual coincide com o valor da simulação. A Figura 16 mostra os histogramas das simulações realizadas no par diferencial simétrico com carga deslocada acionado pela porta, os quais representam graficamente os resultados da Tabela 5.

Tabela 5 – Resultados da simulação de Monte Carlo do par diferencial acionado pela porta

Medição	mínimo	máximo	médio	desvio padrão
A_{dm} [mV/V]	363,1	393,7	378,8	4,968
A_{cm} [$\mu\text{V}/\text{V}$]	941,5	1013	974,4	12,04
CMRR [dB]	51,24	52,24	51,79	0,139
G_m [nS]	50,85	56	53,43	0,861
THD @ 25 mVpp [%]	0,992	1,205	1,009	0,0237

Fonte – o autor.

A Tabela 6 mostra os resultados da simulação de Monte Carlo do par diferencial acionado pelo substrato. Utilizando a equação (2.48) para o calculo teórico do ganho diferencial, é obtido o valor de 112,61 mV/V, se comparado com o valor médio de ganho diferencial da Tabela 6 é cometido um erro de 0,008 %. O ganho de modo comum teórico é 212,2 $\mu\text{V}/\text{V}$, calculado usando a expressão (2.52) ao comparar com o valor da simulação é obtido um erro de 1,18 %. Com os valores de ganho diferencial e de modo comum teóricos é possível achar a CMRR cujo valor é 54,5 dB obtendo um erro de 0,32 %. A Figura 17 mostra os histogramas das simulações realizadas no par diferencial simétrico com carga deslocada acionado pelo substrato, os quais representam graficamente os resultados da Tabela 6.

Tabela 6 – Resultados da simulação de Monte Carlo do par diferencial acionado pelo substrato

Medição	mínimo	máximo	médio	desvio padrão
A_{dm} [mV/V]	102,7	122	112,6	2,694
A_{cm} [$\mu\text{V}/\text{V}$]	174,5	883,1	209,7	36,32
CMRR [dB]	42,81	55,63	54,67	0,91
G_m [nS]	14,8	16,91	15,88	0,299
THD @ 88 mVpp [%]	0,853	1,123	0,987	0,039

Fonte – o autor.

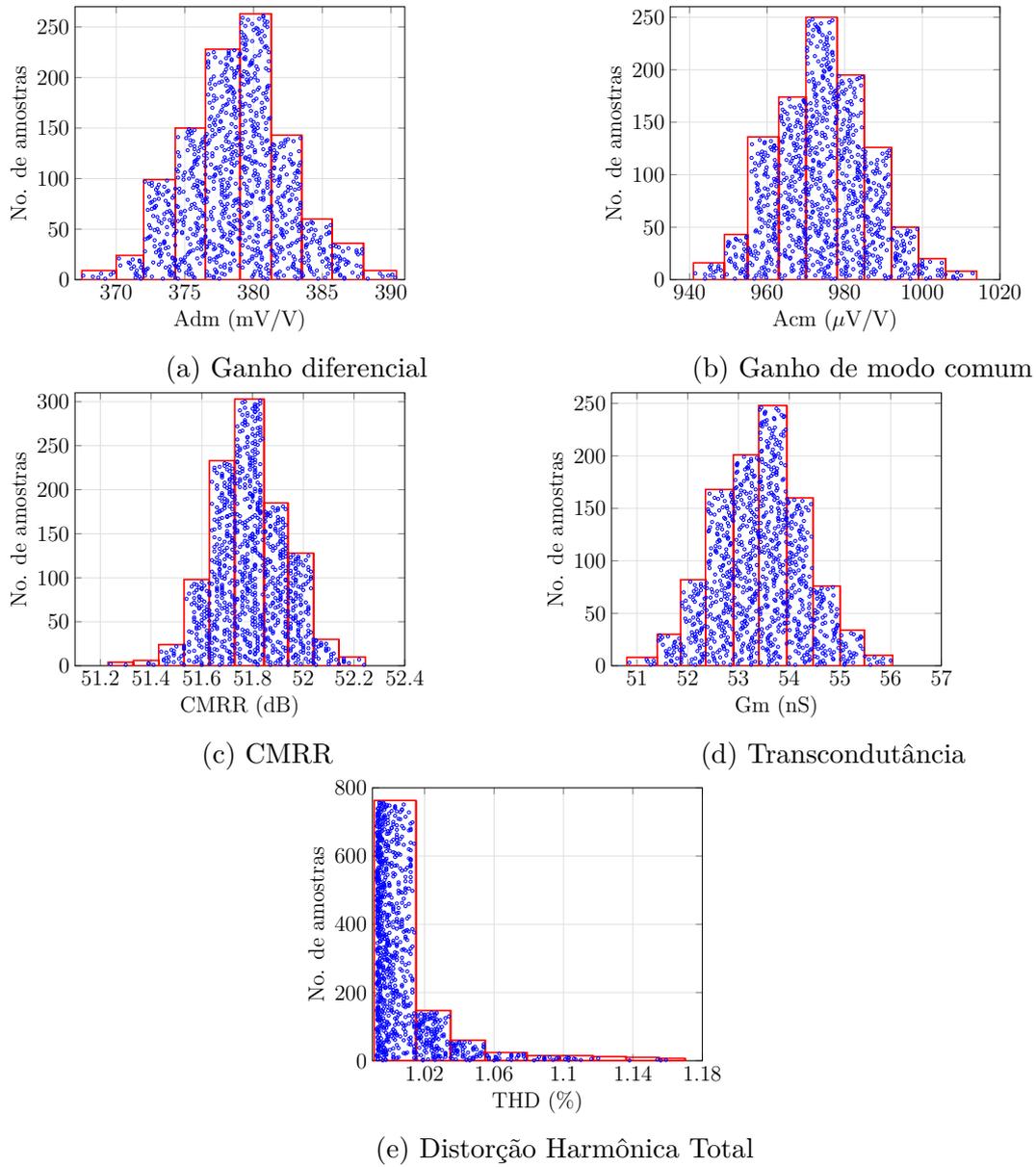


Figura 16 – Histogramas da simulação de Monte Carlo para o par diferencial acionado pela porta

Fonte: o autor

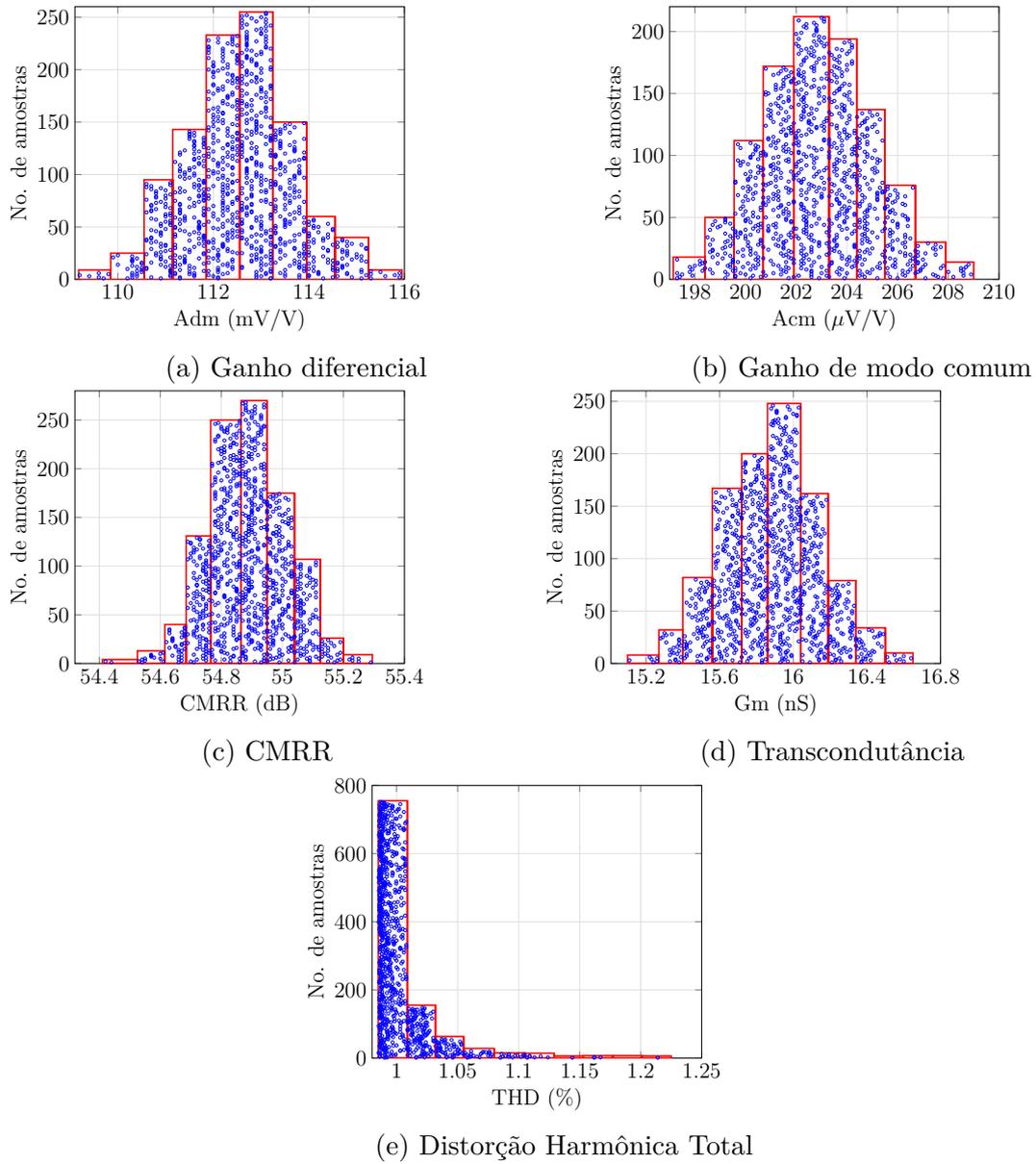


Figura 17 – Histogramas da simulação de Monte Carlo para o par diferencial acionado pelo substrato

Fonte: o autor

3.4 O Par Diferencial Porta-Substrato

A Figura 18 mostra a topologia do par diferencial com carga ativa deslocada acionado pela porta e compensado pelo substrato. Os transistores T_1-T_2 , $T_{3a}-T_{4a}$ e $T_{3b}-T_{4b}$ representam o par diferencial com carga ativa deslocada, $T'_1-T'_2$ compõem o extrator do modo comum e T_{10} e T_{11} o amplificador de modo comum. A polarização do par diferencial e o extrator do modo comum é garantida pelos transistores T_7 e T_9 , respectivamente, os quais possuem iguais dimensões.

A entrada do circuito é compartilhada pelo par diferencial e o extrator do modo comum, a saída do extrator do modo comum, localizada na fonte de T'_1 e T'_2 , é ligada na entrada do amplificador de modo comum, neste ponto é obtida a tensão de modo comum na entrada do amplificador. A saída do amplificador de modo comum é conetada ao substrato dos transistores de entrada do par diferencial, completando desta forma a compensação da CMRR.

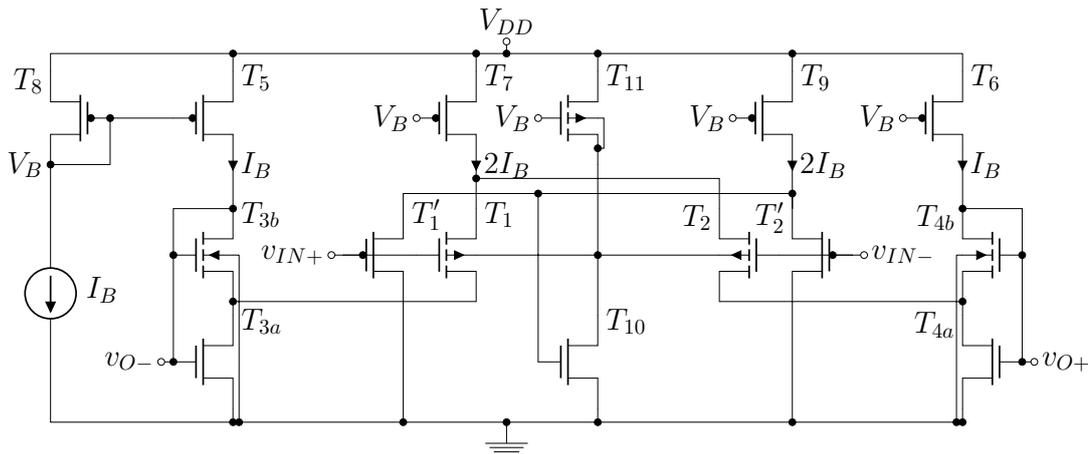


Figura 18 – Par diferencial com carga ativa deslocada porta-substrato

Fonte: o autor

Para a simulação do par diferencial simétrico com carga ativa deslocada acionado pela porta e compensado pelo substrato, é usada uma tensão de alimentação de 0,4 V e uma corrente de polarização de 4 nA. É realizada uma simulação de Monte Carlo com mil amostras. A Tabela 7 mostra as dimensões dos transistores usados, assim como os valores de transcondutância, condutância de saída e transcondutância de substrato.

A Tabela 8 mostra os resultados da simulação de Monte Carlo do par diferencial acionado pela porta e compensado pelo substrato. Se comparados com os resultados de simulação do par diferencial acionado pela porta sem compensação, os valores de ganho diferencial, transcondutância e THD são semelhantes. O ganho de modo comum diminui e como consequência a CMRR aumenta. No pior caso, tomando o valor de CMRR máximo sem compensação e o valor mínimo compensado existe uma diferença de 18,61

dB, comparando os valores médios a diferença é de 19,92 dB. A [Figura 19](#) mostra os histogramas das simulações realizadas no par diferencial simétrico com carga deslocada acionado pela porta e compensado pelo substrato, os quais representam graficamente os resultados da [Tabela 8](#).

Tabela 7 – Geometrias e parâmetros dos transistores da topologia porta-substrato.

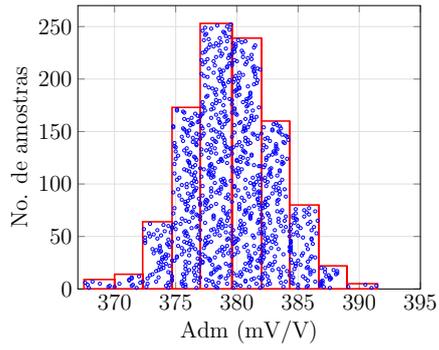
Transistor	$\frac{W}{L}$ [$\frac{\mu m}{\mu m}$]	Multiplicidade	g_m [nS]	g_o [pS]	g_{mb} [nS]
T_1-T_2	$\frac{11}{5}$	1	53,67	119,1	15,44
$T'_1-T'_2$	$\frac{11}{5}$	1	53,56	110,4	-
$T_{3a}-T_{4a}$	$\frac{10}{5}$	2	120,6	25330	-
$T_{3b}-T_{4b}$	$\frac{10}{5}$	6	60,46	110	14,33
T_5-T_6	$\frac{11}{5}$	1	53,55	142,3	-
T_7	$\frac{11}{5}$	2	107,1	284,4	-
T_8	$\frac{11}{5}$	2	107,8	222,1	-
T_9	$\frac{11}{5}$	2	107,1	273,9	-
T_{10}	$\frac{10}{5}$	1	61,26	105,3	-
T_{11}	$\frac{4}{5}$	1	52,75	217,9	16,14

Fonte – o autor.

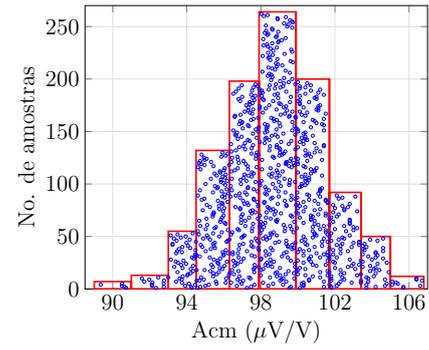
Tabela 8 – Resultados da simulação de Monte Carlo da topologia porta-substrato

Medição	mínimo	máximo	médio	desvio padrão
A_{dm} [mV/V]	364,3	397,1	379,6	4,848
A_{cm} [μ V/V]	89,35	106,7	98,66	37,17
CMRR [dB]	70,91	72,54	71,71	0,253
G_m [nS]	50,88	56,28	53,57	0,869
THD @ 25 mVpp [%]	0,972	1,158	991,8	0,0234

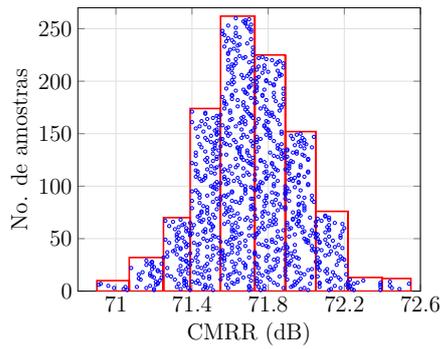
Fonte – o autor.



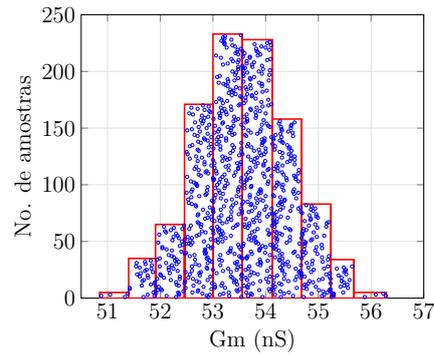
(a) Ganho diferencial



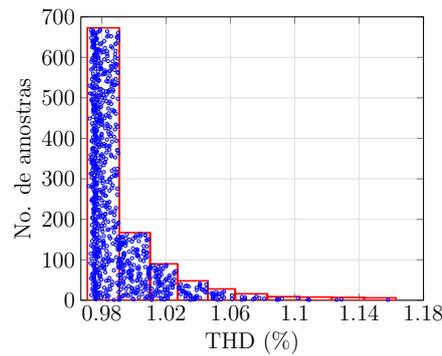
(b) Ganho de modo comum



(c) CMRR



(d) Transcondutância



(e) Distorção Harmônica Total

Figura 19 – Histogramas da simulação de Monte Carlo para o par diferencial acionado pela porta e compensado pelo substrato

Fonte: o autor

3.5 O Par Diferencial Substrato-Porta

A Figura 20 mostra a topologia do par diferencial simétrico com carga ativa deslocada acionado pelo substrato e compensado pela porta. Os transistores T_1-T_2 , $T_{3a}-T_{4a}$ e $T_{3b}-T_{4b}$ compõem o par diferencial com carga ativa deslocada, $T'_1-T'_2$ representam o extrator do modo comum e T_{10} , T_{11} e T_{12} o amplificador de modo comum. Os transistores T_7 e T_9 polarizam o par diferencial e o extrator do modo comum, respectivamente.

Neste caso o valor desejado na porta dos transistores de entrada é $-g_{mb}/g_m$. O ganho do extrator do modo comum é dado pela equação (3.2), pelo qual o ganho do amplificador de modo comum deve ser maior que a unidade. Para alcançar o valor de ganho necessário é acrescentado ao amplificador de modo comum o transistor T_{12} . Note-se que o amplificador formado pelos transistores T_{10} e T_{11} tem um ganho idealmente unitário, o transistor T_{12} injeta uma corrente de polarização adicional a T_{10} , aumentando assim sua transcondutância, resultando no aumento do ganho do amplificador de modo comum.

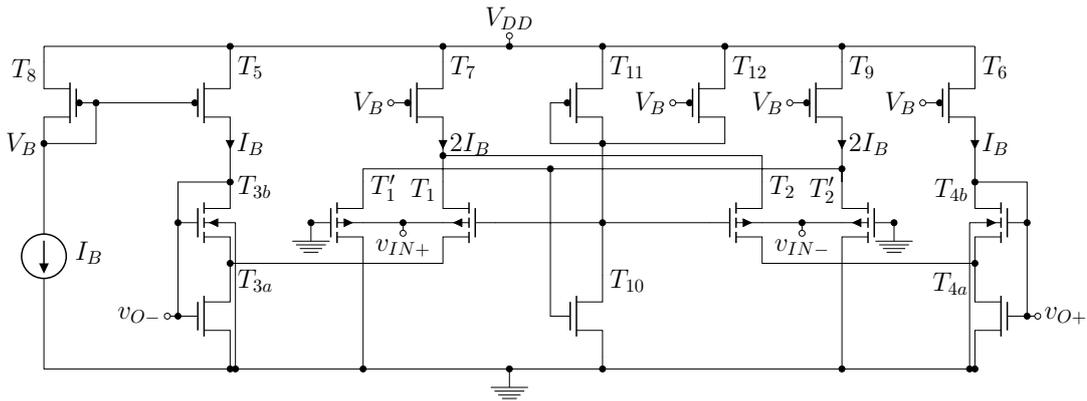


Figura 20 – Par diferencial com carga ativa deslocada substrato-porta

Fonte: o autor

Para a simulação do par diferencial simétrico com carga ativa deslocada acionado pelo substrato e compensado pela porta, é usada uma tensão de alimentação de 0,4 V e uma corrente de polarização de 4 nA. É realizada uma simulação de Monte Carlo com mil amostras. A Tabela 9 mostra as dimensões dos transistores usados, assim como os valores de transcondutância, condutância de saída e transcondutância de substrato.

A Tabela 10 mostra os resultados da simulação de Monte Carlo do par diferencial acionado pelo substrato e compensado pela porta. Se comparados com os resultados de simulação do par diferencial acionado pelo substrato sem compensação, os valores de ganho diferencial, transcondutância e THD são semelhantes. O ganho de modo comum diminui e como consequência a CMRR aumenta. Considerando o valor de CMRR máximo sem compensação e o valor mínimo compensado existe uma diferença de 9,6 dB, comparando os valores médios a diferença é de 12,79 dB. A Figura 21 mostra os histogramas das

simulações realizadas no par diferencial simétrico com carga deslocada acionado pelo substrato e compensado pela porta, os que representam os dados mostrados na [Tabela 10](#).

Tabela 9 – Geometrias e parâmetros dos transistores da topologia substrato-porta.

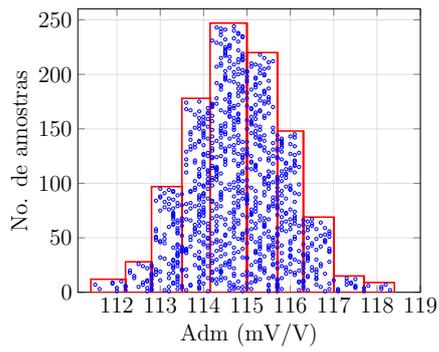
Transistor	$\frac{W}{L}$ [$\frac{\mu m}{\mu m}$]	Multiplicidade	g_m [nS]	g_o [pS]	g_{mb} [nS]
T_1-T_2	$\frac{11}{5}$	1	52,76	113,7	16,22
$T'_1-T'_2$	$\frac{11}{5}$	1	53,26	111,9	-
$T_{3a}-T_{4a}$	$\frac{10}{5}$	2	120,5	25330	-
$T_{3b}-T_{4b}$	$\frac{10}{5}$	6	60,46	110	14,33
T_5-T_6	$\frac{11}{5}$	1	53,55	142,3	-
T_7	$\frac{11}{5}$	2	106,9	597,8	-
T_8	$\frac{11}{5}$	2	107,8	222,1	-
T_9	$\frac{11}{10}$	2	107,2	259,6	-
T_{10}	$\frac{10}{5}$	5	181,9	45220	-
T_{11}	$\frac{1.4}{5}$	1	94,54	184,3	-
T_{12}	$\frac{5.9}{5}$	2	56,09	104,7	-

Fonte – o autor.

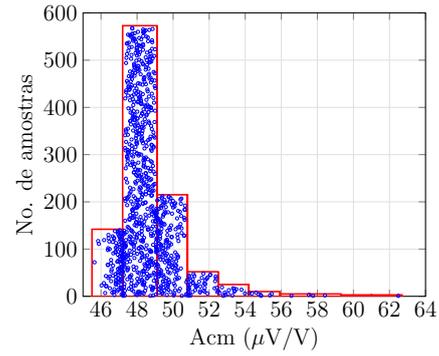
Tabela 10 – Resultado da simulação de Monte Carlo da topologia substrato-porta

Medição	mínimo	máximo	médio	desvio padrão
A_{dm} [mV/V]	111,5	118,3	114,8	1,079
A_{cm} [μ V/V]	45,64	62,49	48,66	1,58
CMRR [dB]	65,23	68,04	67,46	0,286
G_m [nS]	15,28	17	16,18	0,273
THD @ 88 mVpp [%]	0,98	1,161	1,008	0,025

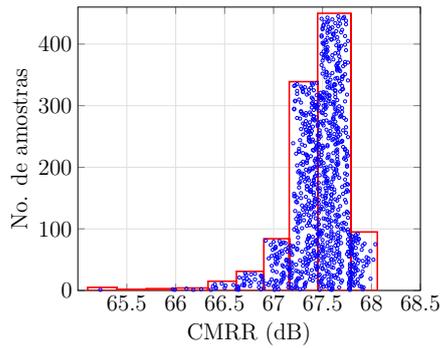
Fonte – o autor.



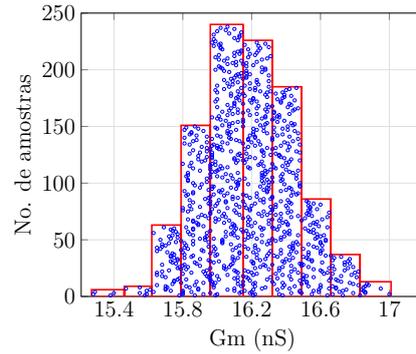
(a) Ganho diferencial



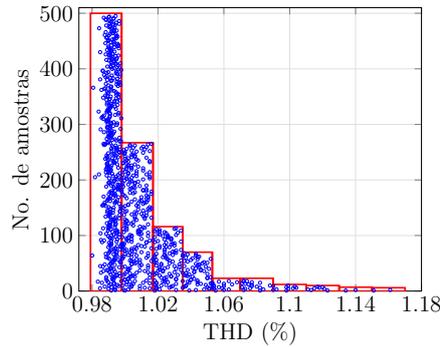
(b) Ganho de modo comum



(c) CMRR



(d) Transcondutância



(e) Distorção Harmônica Total

Figura 21 – Histogramas da simulação de Monte Carlo para o par diferencial acionado pelo substrato e compensado pela porta

Fonte: o autor

3.6 O Par Diferencial Substrato-Substrato

A Figura 22 mostra a topologia do par diferencial simétrico com carga ativa deslocada, acionado e compensado pelo substrato. Os transistores T_1-T_2 , $T_{3a}-T_{4a}$ e $T_{3b}-T_{4b}$ compõem o par diferencial com carga ativa deslocada acionado pelo substrato, $T'_1-T'_2$ representam o extrator do modo comum, $T''_1-T''_2$ são os transistores de controle de modo comum e T_{10} , T_{11} e T_{12} o amplificador de modo comum. Os transistores T_7 e T'_7 polarizam o par diferencial e T_9 o extrator do modo comum.

Neste caso o valor desejado no substrato dos transistores de controle de modo comum, é o oposto da tensão de modo comum. O ganho do extrator do modo comum é dado pela equação (3.2), pelo qual o ganho do amplificador de modo comum deve ser maior que g_m/g_{mb} . Para alcançar o valor de ganho necessário é acrescentado ao amplificador de modo comum o transistor T_{12} . Note-se que o amplificador formado pelos transistores T_{10} e T_{11} têm um ganho idealmente de $-g_m/g_{mb}$, o transistor T_{12} injeta uma corrente de polarização adicional a T_{10} aumentando assim sua transcondutância, resultando no aumento do ganho do amplificador de modo comum.

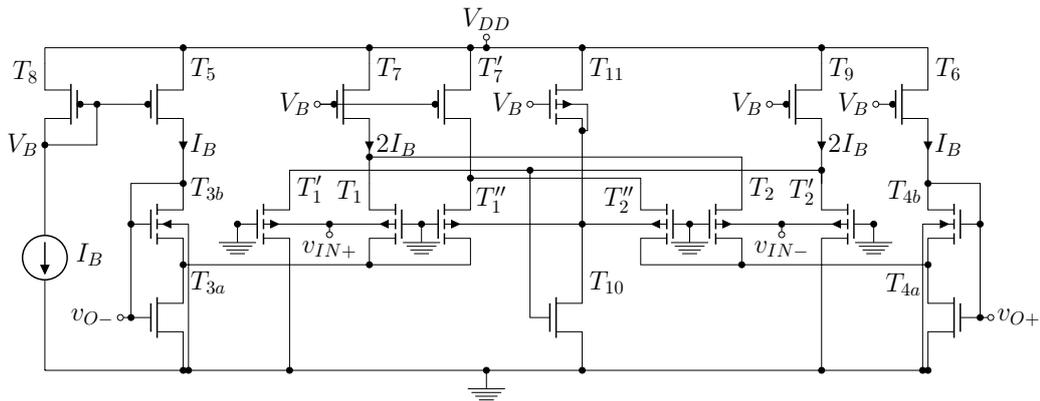


Figura 22 – Par diferencial com carga ativa deslocada substrato-substrato

Fonte: o autor

Para a simulação do par diferencial simétrico com carga ativa deslocada acionado e compensado pelo substrato, é usada uma tensão de alimentação de 0,4 V e uma corrente de polarização de 5 nA. É realizada uma simulação de Monte Carlo com mil amostras. A Tabela 11 mostra as dimensões dos transistores usados, assim como os valores de transcondutância, condutância de saída e transcondutância de substrato.

A Tabela 12 mostra os resultados da simulação de Monte Carlo do par diferencial acionado e compensado pelo substrato. Se comparados com os resultados de simulação do par diferencial acionado pelo substrato sem compensação, transcondutância e THD são semelhantes. O ganho é diferente porque a transcondutância e a condutância de saída da carga ativa é diferente. Utilizando a equação (2.48) para o calculo teórico do ganho

diferencial, é obtido o valor de 75,01 mV/V, se comparado com o valor médio de ganho diferencial da Tabela 12 é cometido um erro de 0,02 %. No pior caso, tomando o valor de CMRR máximo sem compensação e o valor mínimo compensado existe uma diferença de 11,88 dB, comparando os valores médios a diferença é de 18,62 dB. A Figura 23 mostra os histogramas das simulações realizadas no par diferencial simétrico com carga deslocada acionado pelo substrato e compensado pela porta, que representam graficamente os valores da Tabela 12.

Tabela 11 – Geometrias e parâmetros dos transistores da topologia substrato-substrato.

Transistor	$\frac{W}{L}$ [$\frac{\mu m}{\mu m}$]	Multiplicidade	g_m [nS]	g_o [pS]	g_{mb} [nS]
T_1-T_2	$\frac{11}{5}$	1	53,26	121,8	15,92
$T'_1-T'_2$	$\frac{11}{5}$	1	53,26	111,9	15,92
$T''_1-T''_2$	$\frac{11}{5}$	1	52,71	126,2	16,56
$T_{3a}-T_{4a}$	$\frac{10}{5}$	3	181,1	38000	-
$T_{3b}-T_{4b}$	$\frac{10}{5}$	6	60,46	110	14,33
T_5-T_6	$\frac{11}{5}$	1	53,55	142,4	-
T_7	$\frac{11}{5}$	2	107,2	259,6	-
$T_{7'}$	$\frac{11}{5}$	2	107,3	248,2	-
T_8	$\frac{11}{5}$	2	107,8	222,1	-
T_9	$\frac{11}{5}$	2	107,2	259,6	-
T_{10}	$\frac{10}{5}$	1	42,83	267	-
T_{11}	$\frac{9}{5}$	1	34,46	72,65	30,18

Fonte – o autor.

Tabela 12 – Resultado da simulação de Monte Carlo da topologia substrato-substrato

Medição	mínimo	máximo	médio	desvio padrão
A_{dm} [mV/V]	72,58	78,14	74,99	0,771
A_{cm} [μ V/V]	11,14	31,36	16,5	3,02
CMRR [dB]	67,51	76,62	73,29	1,504
G_m [nS]	15,18	16,7	15,89	0,262
THD @ 88 mVpp [%]	0,986	1,144	1,004	0,024

Fonte – o autor.

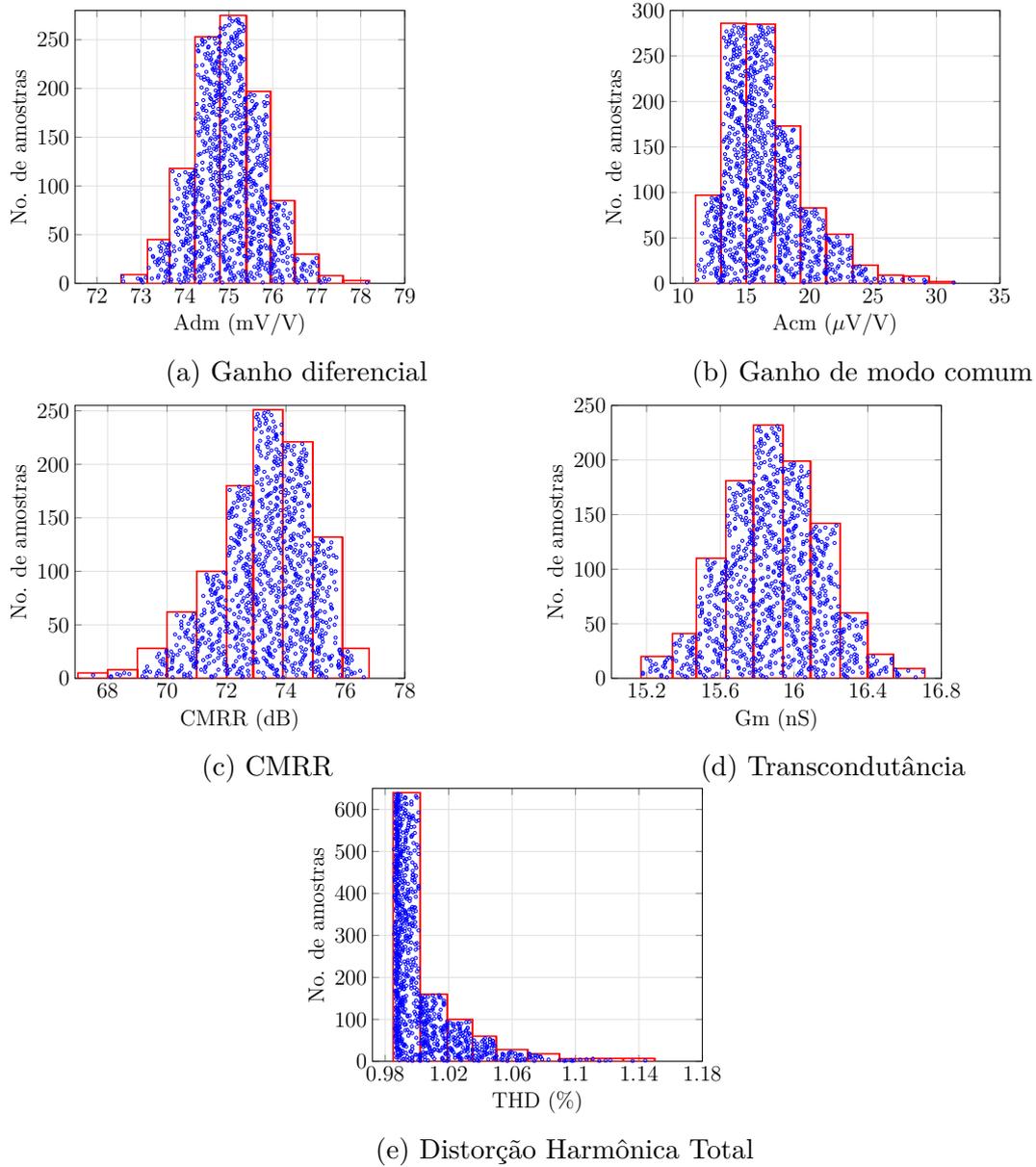


Figura 23 – Histogramas da simulação de Monte Carlo para o par diferencial acionado e compensado pelo substrato

Fonte: o autor

3.7 O Par Diferencial Porta-Porta

A Figura 24 mostra a topologia do par diferencial simétrico com carga ativa deslocada acionado e compensado pela porta dos transistores de entrada. Os transistores T_1-T_2 , $T_{3a}-T_{4a}$ e $T_{3b}-T_{4b}$ compõem o par diferencial com carga ativa deslocada acionado pela porta dos transistores, $T'_1-T'_2$ representam o extrator do modo comum, $T''_1-T''_2$ são os transistores de controle de modo comum e T_{10} , T_{11} e T_{12} o amplificador de modo comum. Os transistores T_7 e T'_7 polarizam o par diferencial e T_9 o extrator do modo comum.

Neste caso o valor desejado na porta dos transistores de controle de modo comum é a unidade. O ganho do extrator do modo comum é dado pela equação (3.1) o qual idealmente é unitário, mesmo assim é acrescentado o transistor T_{12} o qual aumenta ligeiramente o ganho do amplificador de modo comum para que seja o mais próximo possível da unidade.

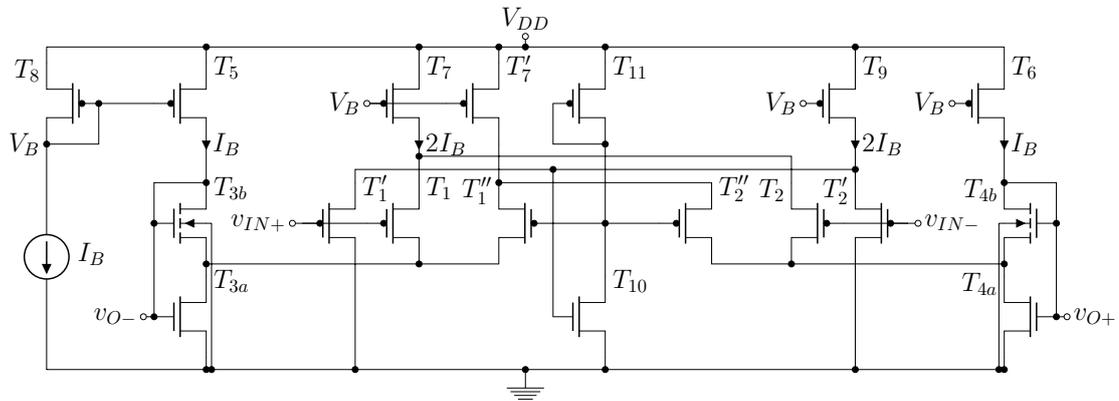


Figura 24 – Par diferencial com carga ativa deslocada porta-porta

Fonte: o autor

Para a simulação do par diferencial simétrico com carga ativa deslocada acionado e compensado pela porta, é usada uma tensão de alimentação de 0,4 V e uma corrente de polarização de 4 nA. É realizada uma simulação de Monte Carlo com mil amostras. A Tabela 13 mostra as dimensões dos transistores usados, assim como os valores de transcondutância, condutância de saída e transcondutância de substrato.

A Tabela 14 mostra os resultados da simulação de Monte Carlo do par diferencial acionado e compensado pela porta. Se comparados com os resultados de simulação do par diferencial acionado pelo substrato sem compensação, transcondutância e THD são semelhantes. O ganho é diferente porque a transcondutância e a condutância de saída da carga ativa é diferente. Utilizando a expressão (2.46) para o calculo teórico do ganho diferencial, é obtido o valor de 252,72 mV/V, se comparado com o valor médio de ganho diferencial da Tabela 12 é cometido um erro de 0,007 %. Considerando o valor de CMRR máximo sem compensação e o valor mínimo compensado existe uma diferença de 9,28 dB, comparando os valores médios a diferença é de 21,11 dB. A Figura 23 mostra os

histogramas das simulações realizadas no par diferencial simétrico com carga deslocada acionado pelo substrato e compensado pela porta, os quais representam os dados da Tabela 14.

Tabela 13 – Geometrias e parâmetros dos transistores da topologia porta-porta.

Transistor	$\frac{W}{L}$ [$\frac{\mu m}{\mu m}$]	Multiplicidade	g_m [nS]	g_o [pS]	g_{mb} [nS]
T_1-T_2	$\frac{11}{5}$	1	53,56	119,8	-
$T'_1-T'_2$	$\frac{11}{5}$	1	53,56	110,4	-
$T''_1-T''_2$	$\frac{11}{5}$	1	53,46	115,3	-
$T_{3a}-T_{4a}$	$\frac{10}{5}$	3	180,8	38000	-
$T_{3b}-T_{4b}$	$\frac{10}{5}$	6	60,46	110	14,33
T_5-T_6	$\frac{11}{5}$	1	53,55	142,3	-
T_7	$\frac{11}{5}$	2	107,1	274,2	-
$T_{7'}$	$\frac{11}{5}$	2	106,9	487,3	-
T_8	$\frac{11}{5}$	2	107,8	222,1	-
T_9	$\frac{11}{5}$	2	107,1	273,9	-
T_{10}	$\frac{10}{5}$	10	347,4	335400	-
T_{11}	$\frac{2,3}{5}$	1	268	526,4	-

Fonte – o autor.

Tabela 14 – Resultado da simulação de Monte Carlo da topologia porta-porta

Medição	mínimo	máximo	médio	desvio padrão
A_{dm} [mV/V]	244,4	261,4	252,7	2,58
A_{cm} [μ V/V]	37,21	212,3	61,48	26,22
CMRR [dB]	61,52	76,76	72,9	3,14
G_m [nS]	50,2	56,56	53,46	0,907
THD @ 25 mV [%]	0,993	1,196	1,009	0,023

Fonte – o autor.

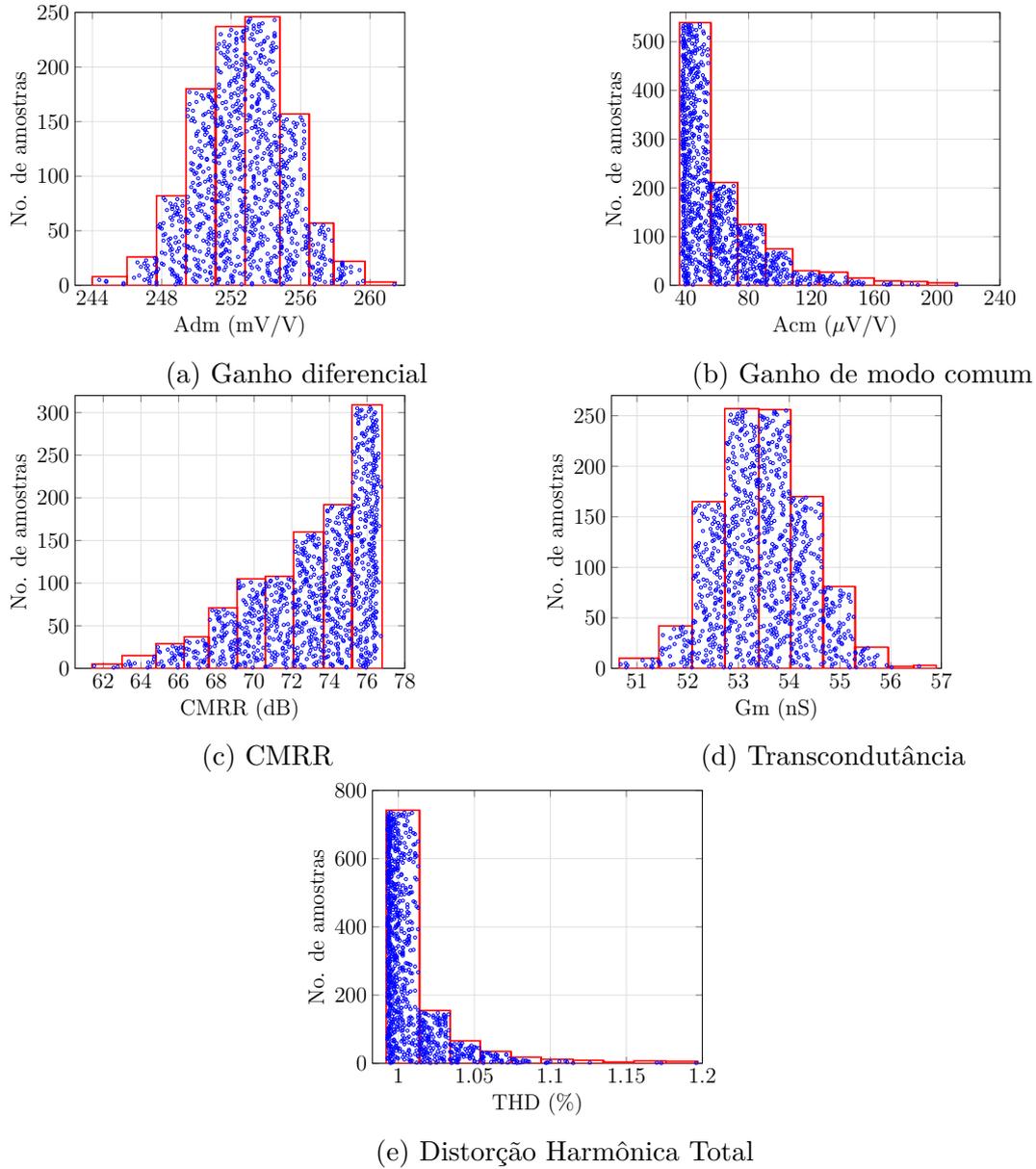


Figura 25 – Histogramas da simulação de Monte Carlo para o par diferencial acionado e compensado pela porta

Fonte: o autor

3.8 Fabricação da estratégia Substrato-Substrato

Para a implementação será escolhida uma das topologias propostas. Ao comparar os resultados da simulação de Monte Carlo para variações de descasamento, os melhores resultados são obtidos nas topologias porta-substrato e substrato-substrato. Mas existem duas características que fazem com que a topologia substrato-substrato seja interessante para a fabricação. A primeira é que, sendo uma topologia de compensação simétrica e considerando que no projeto cada tipo de transistor tem as mesmas dimensões, as variações de projeto para a topologia substrato-substrato são menores do que a porta-substrato, já que todos os transistores mudam seus parâmetros da mesma forma. A outra característica é a possibilidade de implementar o extrator de modo comum e o amplificador de modo comum em um único circuito.

A Figura 26 mostra o extrator de modo comum para a topologia substrato-substrato. Os transistores de entrada do extrator são de tipo N, já que o par diferencial é acionado pelo substrato de um transistor de tipo P, pode ser polarizada a entrada de modo comum e a entrada do par diferencial com a mesma tensão sem a necessidade de um deslocador de nível. Desta forma no extrator de modo comum para a topologia substrato-substrato a carga ativa de tipo P com os transistores de entrada tipo de N criam uma inversão de fase com um ganho idealmente unitário, como esperado para a compensação de modo comum nesta topologia. A equação de ganho do extrator de modo comum para a topologia substrato-substrato é dado pela expressão (3.5). A razão de aspecto dos transistores do extrator de modo comum é de $11/5 [\mu m/\mu m]$ para o transistor de tipo P e $10/5 [\mu m/\mu m]$ para o N, ambos com multiplicidade de 3.

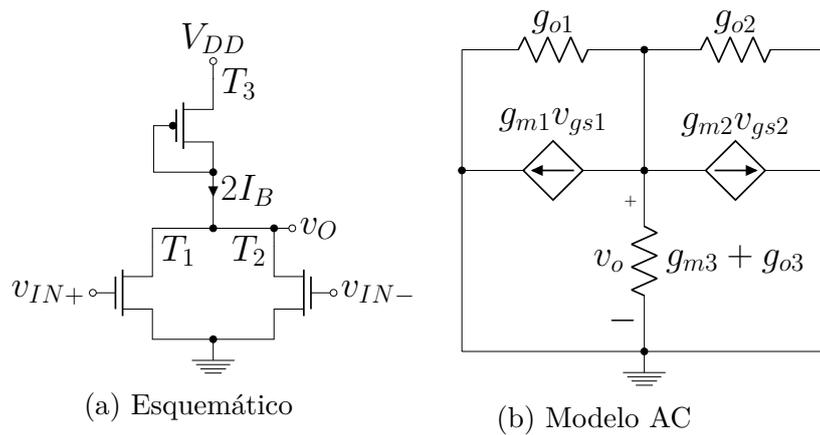


Figura 26 – Extrator e Amplificador de modo comum

Fonte: o autor

$$A_{ext} = -\frac{2g_{m1}}{2g_{o1} + g_{m3} + g_{o3}} \quad (3.5)$$

Para auxiliar na medição do par diferencial é implementada uma etapa de saída mostrada na Figura 27. Desta forma será possível medir de forma indireta o comportamento da transcondutância do par diferencial. A saída do par diferencial é conectada na entrada da etapa de saída e os nós v_{O+} e v_{O-} mostrados na Figura 27 são conectados nos pads do chip. A razão de aspecto dos transistores da etapa de saída é de $11/5 [\mu\text{m}/\mu\text{m}]$ para o transistor de tipo P e $10/5 [\mu\text{m}/\mu\text{m}]$ para o N, os transistores T_{1b} e T_{2b} têm multiplicidade de 6.

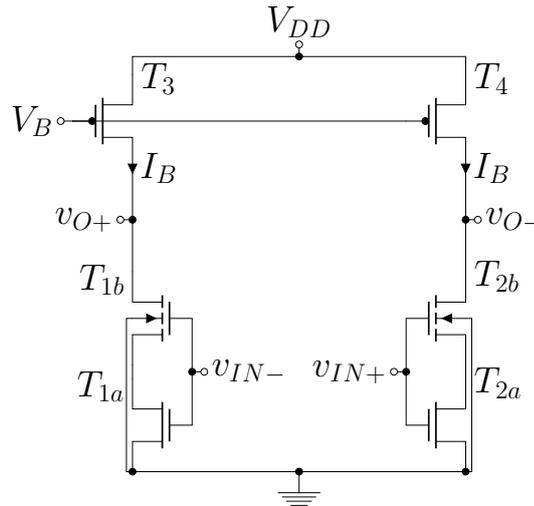


Figura 27 – Etapa de saída para o par diferencial

Fonte: o autor

3.8.1 Análise de DC

Para a medição dos parâmetros DC do par diferencial compensado é utilizada a configuração mostrada na Figura 28. A SMU usada é o Analisador de Semicondutores Agilent B1500A e sua função é gerar a corrente de polarização I_B com a SMU₁ configurada como saída de corrente, a tensão de entrada (V_{in}) com a SMU₂ configurada como saída de tensão e fazer a medição dos parâmetros de saída do par diferencial substrato-substrato com a SMU₃. A corrente I_B gerada pela SMU é variável entre 1 nA e 20 nA com passo de 1 nA. Desta forma podem ser medidos os parâmetros de saída do par diferencial compensado para diferentes correntes de polarização, mostrando assim a capacidade de sintonia da transcondutância do par diferencial substrato-substrato. A tensão de entrada gerada na SMU é variável entre 0 e 400 mV com passo de 1mV, a qual é conectada na entrada positiva do par diferencial. O amplificador de instrumentação INA128P gera a entrada negativa invertendo a tensão gerada pela SMU e a desloca em 400 mV; desta forma a entrada negativa do par diferencial varia entre 400 mV e 0 com passo de -1 mV. As duas tensões de entrada têm um ponto em comum em 200 mV. A tensão de alimentação utilizada no

par diferencial é de 400 mV e no INA128P é de ± 15 V, ambas geradas coma fonte HP E3631A. São medidas um total de 29 amostras.

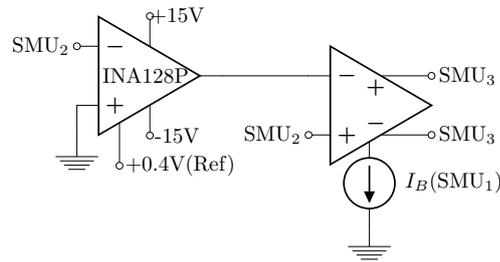


Figura 28 – Configuração para medição dos parâmetros DC

Fonte: o autor

A [Figura 29](#) mostra a corrente de saída em função da tensão de entrada para uma corrente de polarização de 4 nA. A curva da corrente de saída tem um comportamento do tipo tangente hiperbólica, verificando-se o funcionamento do par diferencial na região de inversão fraca. A [Figura 30](#) mostra a transcondutância em função da tensão de entrada para uma corrente de polarização de 4 nA. Conhecendo que a transcondutância é a variação da corrente de saída em função da tensão de entrada, esta deve apresentar um comportamento do tipo secante hiperbólica quadrada como mostrado na [Figura 30](#).

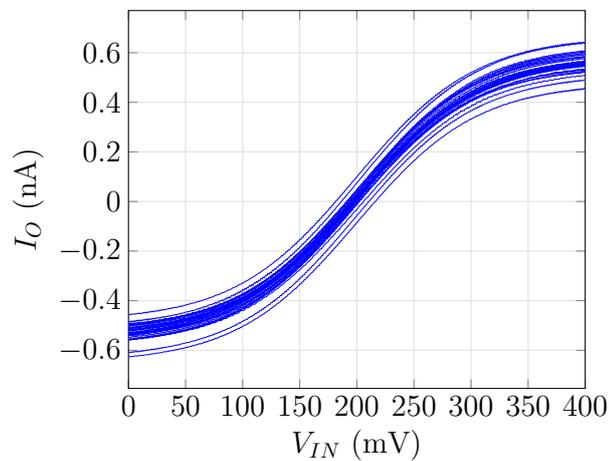


Figura 29 – Corrente de saída em função da tensão de entrada com corrente de polarização de 4 nA

Fonte: o autor

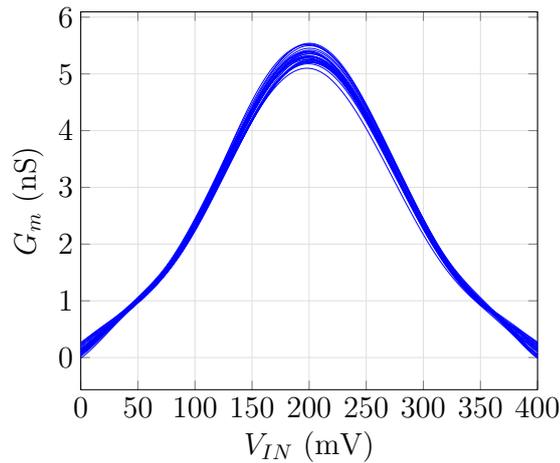


Figura 30 – Transcondutância em função da tensão de entrada com corrente de polarização de 4 nA

Fonte: o autor

A [Figura 31](#) mostra a transcondutância em função da corrente de polarização. Neste caso é medida a transcondutância no ponto de operação cujo valor é 200 mV. O comportamento linear da transcondutância em relação a corrente de polarização mostra a capacidade de sintonia do par diferencial compensado. A [Tabela 15](#) mostra os resultados da medição da transcondutância para os valores de corrente de polarização utilizados. São mostrados os valores mínimos, máximo, valor médio, desvio padrão e a relação entre o desvio padrão e o valor médio.

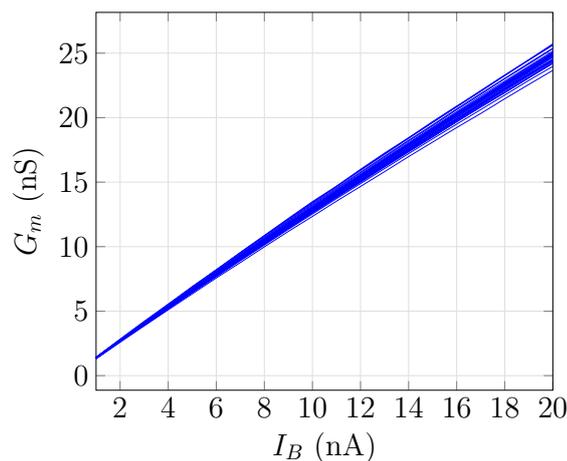


Figura 31 – Transcondutância em função da corrente de polarização

Fonte: o autor

Tabela 15 – Resultado da medição da transcondutância

I_B (nA)	mínimo (nS)	máximo (nS)	médio (nS)	desvio padrão (pS)	desvio padrão/médio (%)
1	1,31	1,42	1,37	31,34	2,29
2	2,59	2,82	2,71	57,29	2,12
3	3,85	4,2	4,02	84,37	2,1
4	5,1	5,54	5,33	111,49	2,09
5	6,34	6,9	6,63	139,99	2,11
6	7,57	8,22	7,91	160,94	2,03
7	8,77	9,55	9,18	190,75	2,08
8	9,98	10,87	10,44	217,54	2,08
9	11,18	12,19	11,69	240,46	2,06
10	12,34	13,49	12,92	270,14	2,09
11	13,53	14,68	14,15	288,12	2,04
12	14,67	16	15,36	319,25	2,08
13	15,81	17,25	16,56	344,23	2,08
14	16,98	18,44	17,76	365,86	2,06
15	18,11	19,7	18,94	386,74	2,04
16	19,23	20,9	20,13	408,91	2,03
17	20,32	22,1	21,3	430,28	2,02
18	21,47	23,3	22,46	457	2,04
19	22,57	24,49	23,61	471,9	2
20	23,67	25,72	24,76	496,28	2

Fonte – o autor.

Uma medição importante é o comportamento do extrator e amplificador de modo comum já que este circuito é de vital importância para a compensação da CMRR. A [Figura 32](#) mostra a tensão de saída do extrator de modo comum. Idealmente o comportamento da curva deve ser linear com coeficiente angular unitário e de valor negativo. A [Figura 33](#) mostra o ganho do extrator de modo comum o qual é o coeficiente angular da curva apresentada na [Figura 32](#). A [Tabela 16](#) mostra os resultados da medição do ganho do extrator de modo comum para valores de tensão de entrada entre 100 mV e 300 mV com passo de 20 mV. São mostrados os valores mínimos, máximo, valor médio, desvio padrão e a relação entre o desvio padrão e o valor médio.

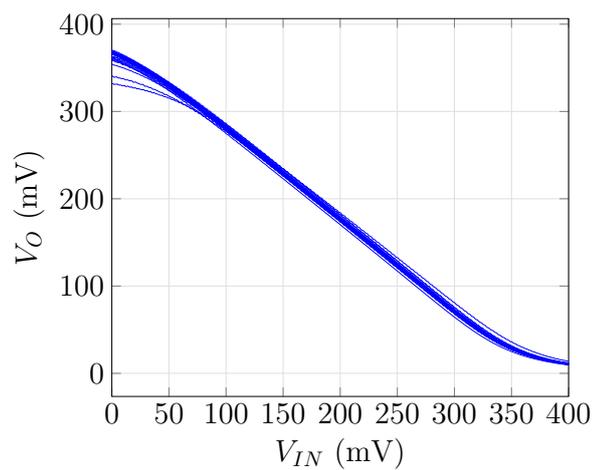


Figura 32 – Tensão de saída do extrator e amplificador de modo comum em função da tensão de entrada

Fonte: o autor

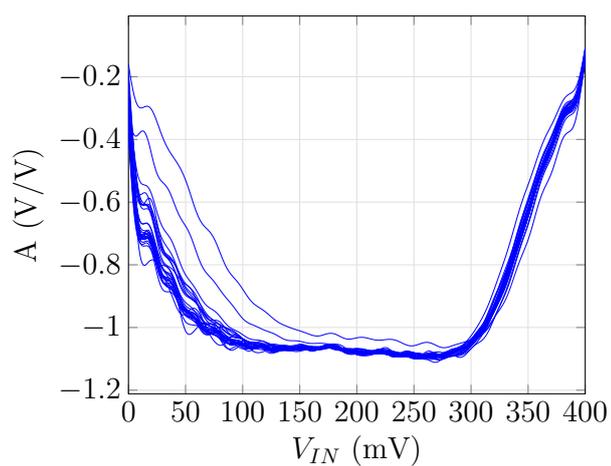


Figura 33 – Ganho do extrator e amplificador de modo comum

Fonte: o autor

Tabela 16 – Resultado da medição do ganho do extrator de modo comum

V_{IN} (mV)	mínimo	máximo	médio	desvio padrão	desvio padrão/médio (%)
100	-1,0669	-0,8772	-1,0379	0,0367	3,5407
120	-1,0759	-0,9475	-1,0549	0,0238	2,2606
140	-1,0741	-0,9998	-1,0630	0,0142	1,3399
160	-1,0747	-1,0224	-1,0636	0,0093	0,8705
180	-1,0692	-1,0191	-1,0585	0,0087	0,8202
200	-1,0852	-1,0338	-1,0756	0,0095	0,8853
220	-1,084	-1,0405	-1,0759	0,0078	0,725
240	-1,0942	-1,0485	-1,0851	0,008	0,7396
260	-1,1012	-1,0482	-1,0898	0,0091	0,8384
280	-1,0965	-1,0634	-1,0856	0,0066	0,605
300	-1,0716	-1,0312	-1,0516	0,0094	0,8929

Fonte – o autor.

3.8.2 Análise de AC

Para a medição dos parâmetros AC do par diferencial compensado em modo diferencial é utilizada a configuração mostrada na [Figura 34](#). O sinal senoidal é gerado com o *Dynamic Signal Analyzer* KEYSIGHT 35670A (DSA), utilizando uma amplitude de 5 mV, tensão DC de 200 mV e um intervalo de frequência entre 1 Hz e 10 kHz. A tensão de alimentação do par diferencial de 400 mV e a corrente de polarização de 4 nA é gerada com o B1500A, configurando como saídas de tensão e corrente as SMU₁ e SMU₂, respectivamente. São utilizados para o condicionamento do sinal de entrada e saída amplificadores de instrumentação INA128P e amplificadores operacionais CA3140, alimentados com uma tensão simétrica de $\pm 15V$, gerada com a fonte HP E3631A. Em cada pino de alimentação dos amplificadores é colocado um capacitor de 100 nF como sugerido em (21) e (22). O amplificador de instrumentação situado na esquerda na [Figura 34](#) é utilizado para gerar a entrada diferencial, deslocando em 180 ° a tensão AC e mantendo o nível DC em 200 mV. Os amplificadores operacionais são configurados como seguidores de tensão, utilizando a configuração recomendada em (22). Desta forma é garantida a conexão de alta impedância para a medição de tensão na saída do par diferencial. O amplificador de instrumentação à direita na [Figura 34](#) é utilizado para a conversão da saída diferencial para simples a qual é conetada na entrada 2 do DSA para a análise AC.

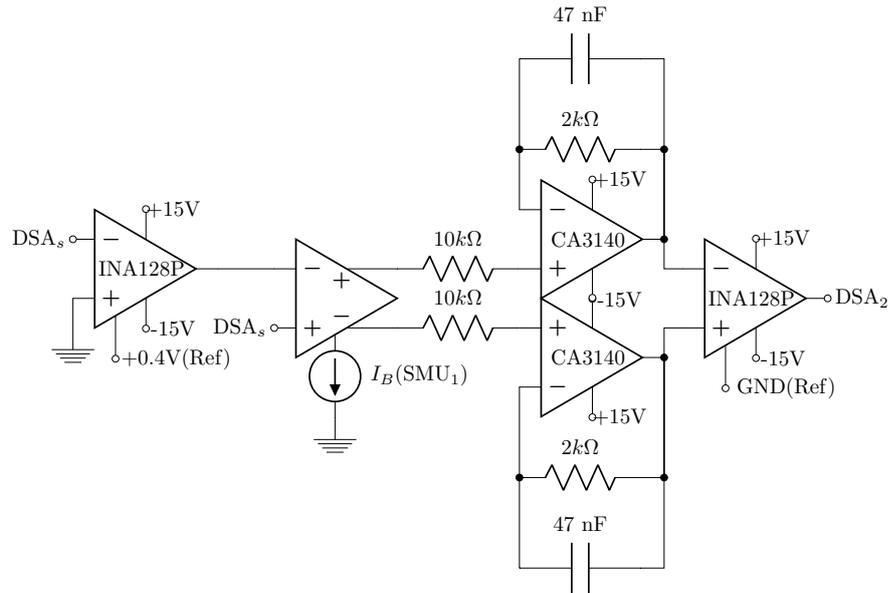


Figura 34 – Configuração para medição dos parâmetros AC em modo diferencial

Fonte: o autor

Para a medição AC em modo comum é utilizada a configuração da [Figura 35](#). Da mesma forma que na medição dos parâmetros AC os amplificadores operacionais CA3140 são utilizados na configuração de seguidor de tensão. Os amplificadores de instrumentação da saída fazem a conversão para saída simples somando os dois sinais diferenciais de modo comum. Os resultados da medição da tensão de modo diferencial e de modo comum são mostradas na [Figura 36](#).

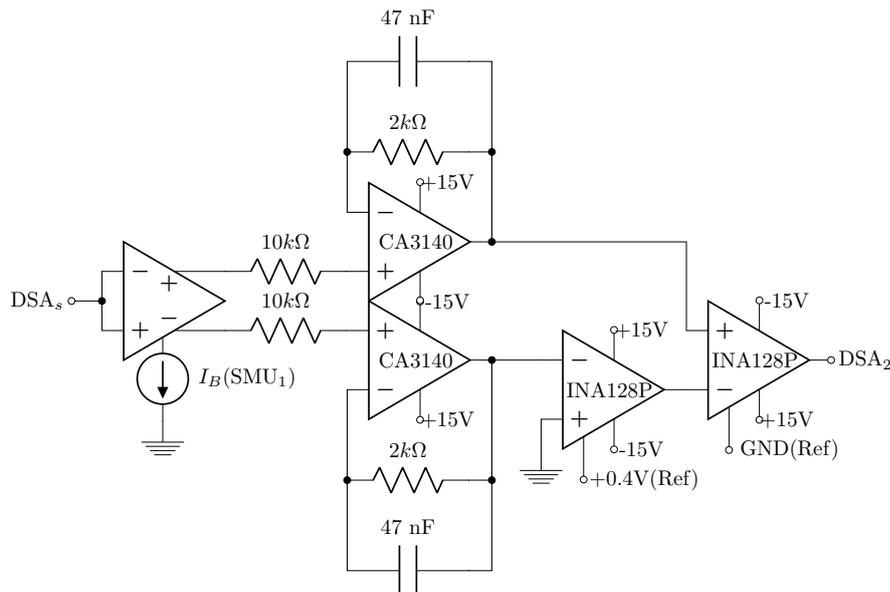


Figura 35 – Configuração para medição dos parâmetros AC em modo comum

Fonte: o autor

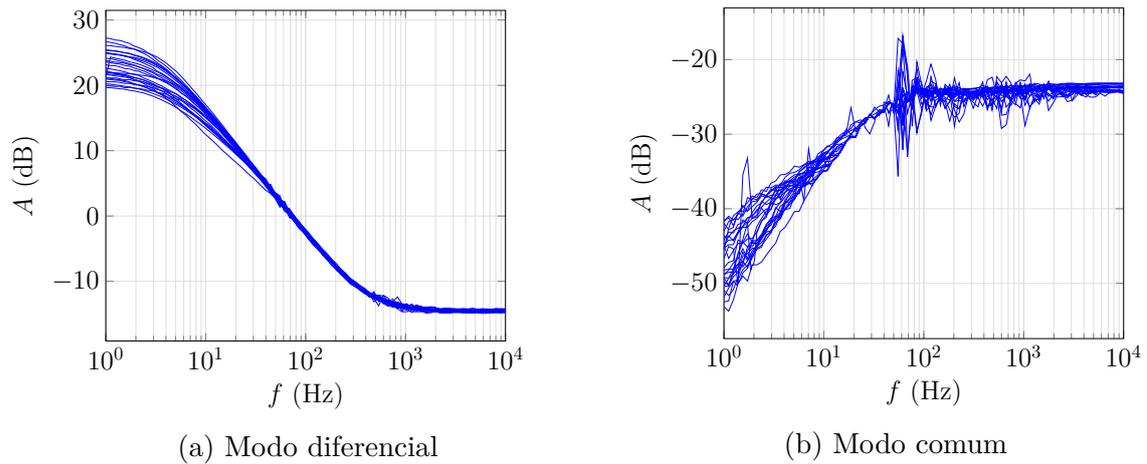


Figura 36 – Medidas do ganho

Fonte: o autor

A Figura 37 mostra as medidas da CMRR para as 29 amostras. A CMRR é obtida a partir da relação entre o ganho da tensão diferencial e o ganho de modo comum, mostrados nas Figura 36a e Figura 36b, respectivamente. Na medição da CMRR é obtido um valor médio de 70,22 dB, desvio padrão de 2,82 dB, máximo de 75,18 dB, mínimo de 64,84 dB e uma relação entre desvio padrão e valor médio de 4,01 %.

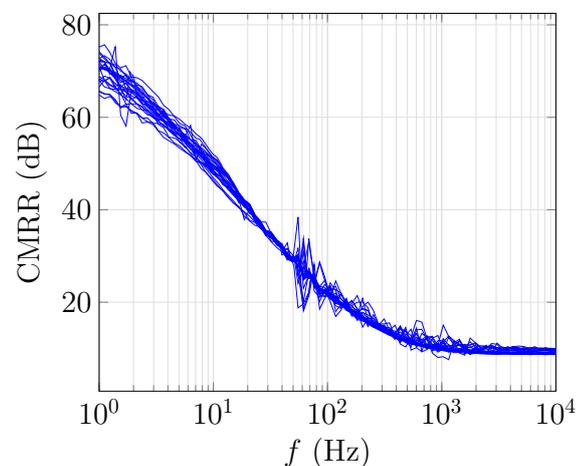


Figura 37 – CMRR

Fonte: o autor

Para a medição da distorção harmônica é utilizado a configuração mostrada na Figura 38. A amplitude da tensão de entrada é de 80 mVpp, frequência de 10 Hz e tensão DC de 200 mV, o sinal de entrada é gerado com o DSA. Com o resultado da medição para as 29 amostras é obtido um valor médio de 1,3 %, desvio padrão de 0,14 %, máximo de 1,54 %, mínimo de 1,04 % e uma relação entre o desvio padrão e o valor médio de 10,55 %.

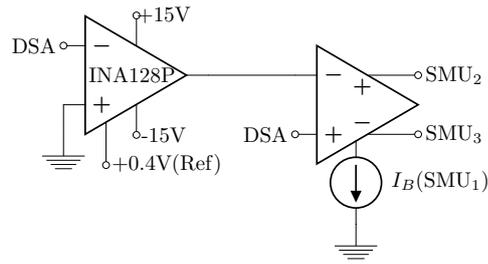


Figura 38 – Configuração para medição da distorção harmônica

Fonte: o autor

A Figura 39 mostra a resposta em frequência do circuito extrator de modo comum. Com o resultado da medição da amplitude para as 29 amostras tem se um valor médio de 1,0476, máximo de 1,0616, mínimo de 1,0373, desvio padrão de 0,0074 e uma relação entre desvio padrão e valor médio de 0,707 %.

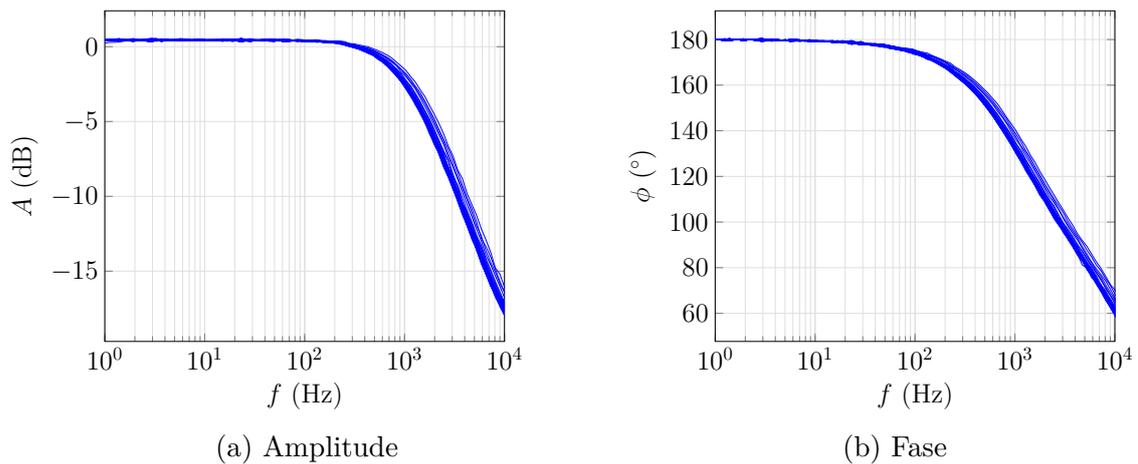


Figura 39 – Resposta de frequência do amplificador de modo comum

Fonte: o autor

A Figura 40 mostra o sinal de saída gerado pelo par diferencial compensado com o estágio de saída utilizado como integrador para aplicações Gm-C. O sinal de entrada tem uma amplitude de 45 mV e frequência de 20 Hz. Em cada saída do estágio de saída são conectados em paralelo quatro capacitores de 10 pF somando 40 pF que é o valor necessário para obter um ganho de tensão aproximadamente unitário.

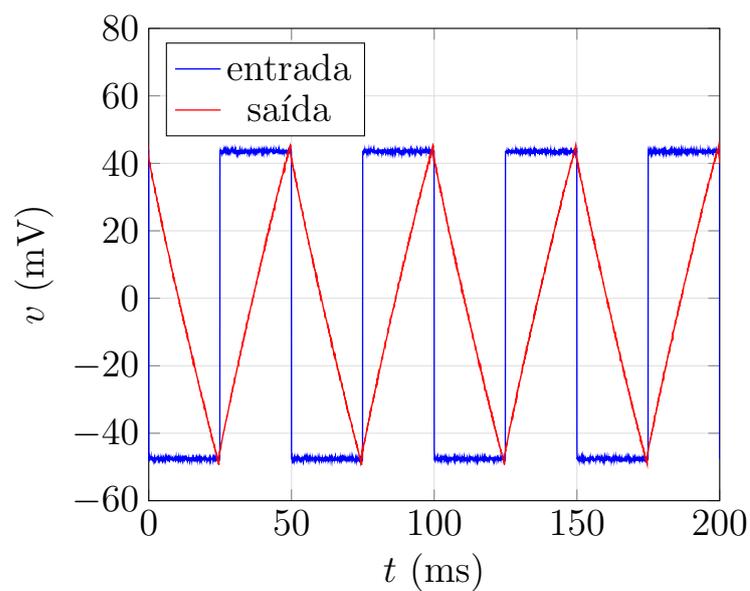


Figura 40 – Resposta transitória para integrador Gm-C

Fonte: o autor

A [Tabela 17](#) mostra o resumo do desempenho do par diferencial proposto e a comparação com outros circuitos de baixa tensão de alimentação. São mostrados trabalhos recentes com tensão de alimentação menor de 1 V ou dissipação de potência na ordem de nW.

Tabela 17 – Desempenho do par diferencial compensado

Parâmetro	Este trabalho	(23)	(24)	(25)	(26)	(27)
Tecnologia [nm]	130	350	65	180	180	180
Tensão de alimentação [V]	0,4	1	0,35	0,5	0,5	0,3
Dissipação de Potência [nW]	10	195	17000	70	74	50
Ganho em malha aberta [dB]	29	120	43	77	99,8	33.3
Margem de Fase [°]	106,82	54	56	56	107	-
CMRR [dB]	70,22	70	46	55	115	57
G_m [nS]	5,33	-	-	-	-	255
THD [%]	1,3 @ 80 mVpp	-	0,6 @ 350 mVpp	-	0,2 @ 20 mVpp	< 0,5 @ 200 mVpp
Área [mm ²]	0,011	0,0044	0,005	0,036	0,0133	0,035

Fonte – o autor.

3.9 O Par Diferencial sem fonte de corrente de polarização

Como consequência do controle de modo comum em paralelo, é possível utilizando as estratégias de controle de modo comum mostradas na [Figura 4](#), eliminar a fonte de corrente de polarização do par diferencial. A vantagem dessa topologia é a redução da tensão de alimentação, em pelo menos $3nkT/q$, ao eliminar um dos transistores empilhados. Com o objetivo de minimizar a tensão de alimentação, o par diferencial sem corrente de polarização é implementado utilizando transistores otimizados para aplicações digitais, os que contam com uma tensão de limiar menor. Desta forma ao se implementar o par diferencial com dois transistores empilhados, a tensão de alimentação mínima será de 150 mV.

A [Figura 41](#) mostra a topologia do par diferencial simétrico sem corrente de polarização, a [Figura 41a](#) exibe o par diferencial com os transistores de compensação e [Figura 41b](#) o extrator e inversor de modo comum. O circuito extrator apresentado é acionado pela porta e substrato dos transistores de entrada. Tendo em conta que para a tensão de V_{DS} mínima de saturação, a condutância de saída dos transistores é alta, utilizar ambas entradas faz com que a tensão de saída do extrator seja mais próxima a $-v_{cm}$.

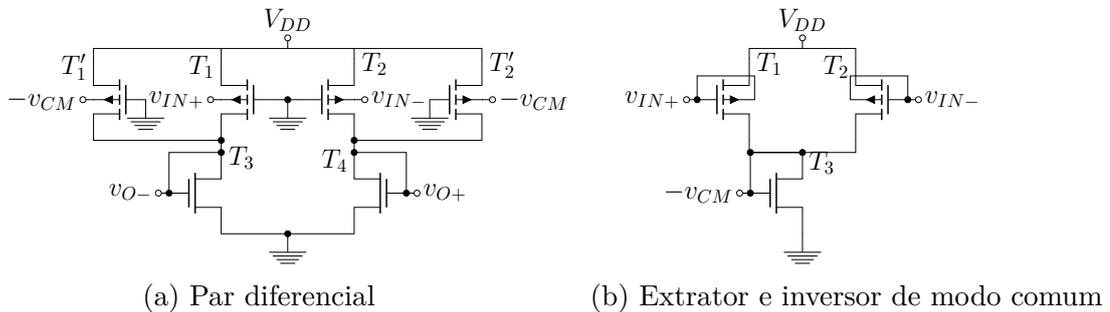


Figura 41 – Par diferencial sem fonte de corrente de polarização

Fonte: o autor

$$v_o = -\frac{g_{m1} + g_{mb1}}{g_{m3} + g_{o1} + g_{o3}} v_{cm} \approx -v_{cm} \quad (3.6)$$

Utilizando transistores dimensionados para projetos digitais na tecnologia BiCMOS 8HP, é feita uma simulação da CMRR comparando o par diferencial simétrico com o par diferencial sem corrente de polarização compensado, utilizando a topologia substrato-substrato. A [Tabela 18](#) mostra as dimensões dos transistores, representada na forma de W/L em unidades de micrômetros. O par diferencial simétrico é polarizado com uma corrente de 10 nA e utiliza uma fonte de alimentação de 225 mV, enquanto o par diferencial sem corrente de polarização opera com 150 mV. A [Figura 42](#) mostra o resultado da simulação da CMRR para o par diferencial simétrico e o par diferencial sem fonte de

corrente de polarização. A gráfica em linha tracejada representa a CMRR para o par diferencial sem corrente de polarização. A CMRR a 60 Hz é de 21,54 dB para o par diferencial simétrico e 76,12 dB para o par diferencial sem fonte de corrente de polarização. Ambas topologias têm igual CMRR na frequência de 33,07 kHz.

Tabela 18 – Geometrias e parâmetros dos transistores do par diferencial sem fonte de corrente de polarização.

Transistor	Par Diferencial	Par Diferencial Compensado	Extrator
$T_1 - T_2$	$\frac{2.4}{5}$	$\frac{2.4}{5}$	$\frac{20.25}{5}$
$T'_1 - T'_2$	-	$\frac{2.4}{5}$	-
$T_3 - T_4$	$\frac{1.53}{5}$	$2 \times \frac{1.53}{5}$	$\frac{2.3}{5}$
T_5	$\frac{7.6}{5}$	-	-
T_6	$\frac{3.5}{5}$	-	-

Fonte – o autor.

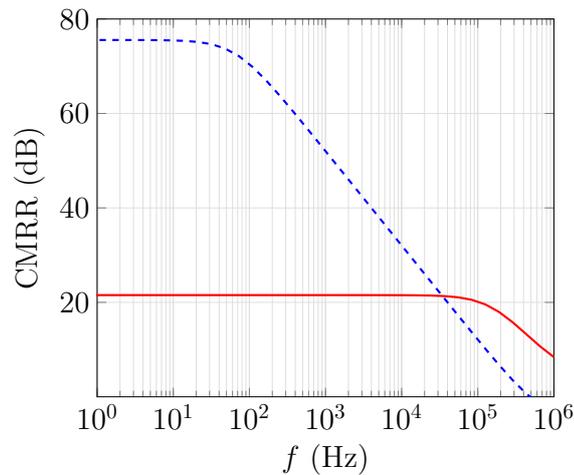


Figura 42 – Resultado da simulação da CMRR

Fonte: o autor

3.10 Conclusões do Capítulo

Foram mostrados o projeto das quatro topologias propostas e uma aplicação para um par diferencial sem fonte de corrente de polarização. As simulações mostram a validade das topologias para incrementar a CMRR em um par diferencial simétrico. Os valores mínimos da CMRR nos quatro casos para as variações de processo, são maiores que o valor sem compensação. A análise estatística indica que as topologias que usam a porta

dos transistores para a compensação serão mais afetadas pelas variações de processo, mas ainda assim conseguem melhorar o valor da CMRR. A tensão de alimentação e corrente de polarização não foram alteradas. Foi fabricada a topologia substrato-substrato. Os resultados da medição do par diferencial proposto foram comparados com outros trabalhos recentes.

4 Conclusão

Neste trabalho, foram propostas quatro topologias para a compensação da CMRR em amplificadores de ultra-baixo consumo e ultra-baixa tensão. Foi mostrado a análise teórica das estratégias em um par diferencial simétrico. As estratégias de compensação foram usadas em um par diferencial simétrico, com uma topologia de carga ativa deslocada, mostrando que a aplicação da compensação proposta não depende do tipo de carga ativa utilizada, coincidindo com a análise teórica. As quatro estratégias mostradas tem dois objetivos fundamentais, o primeiro é aumentar a CMRR e o segundo manter o controle de modo comum em um par diferencial simétrico, em substituição da fonte de corrente de polarização.

O projeto das quatro topologias compensadas mostra que os circuitos adicionais, acrescentados para o controle em paralelo de modo comum, não aumentam a quantidade de transistores empilhados, mantendo assim a tensão de alimentação mínima. A análise estatística indica que as estratégias propostas, no pior caso, conseguem aumentar a CMRR se comparado com o par diferencial sem compensação.

O par diferencial compensado com topologia substrato-substrato fabricado no processo BiCMOS IBM-130 nm mostra a validade do circuito proposto. O circuito implementado apresentou uma CMRR de 70,22 dB, transcondutância de 5,33 nS, corrente de polarização de 4 nA, tensão de alimentação de 400 mV e dissipação de potência de 10 nW.

4.1 Trabalhos futuros

Durante a realização deste trabalho, foram levantados alguns pontos que permitiriam a continuidade das pesquisas propostas neste projeto.

4.1.1 Implementação da estratégia para controle de modo comum e melhora da distorção harmônica

Como mostrado no [subseção 2.2.1](#) é possível utilizar as topologias porta-porta e substrato-substrato para melhorar a distorção harmônica do par diferencial. Desta forma poderia-se implementar uma topologia que, além de melhorar o controle de modo comum, é capaz de melhorar a distorção ao mesmo tempo.

4.1.2 Aplicação das estratégias em circuitos de saída simples

As estratégias propostas tem como objetivo melhorar o controle de modo comum em um par diferencial cuja saída é diferencial e onde a tensão de modo comum é definida como a semi-soma das duas saídas. Para circuitos de saída simples a tensão de modo comum é dada pela diferença e depende mais do descasamento no circuito. Desta forma poderia-se utilizar as estratégias propostas para diminuir a amplitude dos sinais de modo comum a assim minimizar essa diferença.

Referências

- 1 LHO, Y. H. et al. A Methodology on the Efficiency of Wireless Power Transfer for the Low Power System. In: *17th International Conference on Control, Automation and Systems (ICCAS 2017)*. [S.l.: s.n.], 2017. p. 781–784. ISBN 9788993215137. Citado na página 17.
- 2 WEBB, A. G. *Principles of Biomedical Instrumentation*. 1. ed. [S.l.]: Cambridge University Press, 2018. ISBN 9781107113138. Citado na página 17.
- 3 TSENG, Y. et al. A 0.09 μ W low power front-end biopotential amplifier for biosignal recording. *IEEE Transactions on Biomedical Circuits and Systems*, IEEE, v. 6, n. 5, p. 508–516, 2012. ISSN 19324545. Citado na página 17.
- 4 SHOENFELD, R. L. Common-Mode Rejection Ratio-Two Definitions. *IEEE Transactions on Biomedical Engineering*, IEEE, BME-17, n. 1, p. 73–74, 1970. ISSN 0018-9294. Citado na página 17.
- 5 XU RACHIT MOHAN, N. V. H. J.; MITRA, S. CMOS Circuits for Biological Sensing and Processing: Design and optimization of ics for wearable eeg sensors. In: MITRA SRINJOY, C. D. R. S. (Ed.). [S.l.]: Springer, 2018. cap. 7, p. 163–185. ISBN 978-3-319-67722-4. Citado na página 18.
- 6 WINTER, B. B.; WEBSTER, J. G. Driven-right-leg circuit design. *IEEE Transactions on Biomedical Engineering*, IEEE, BME-30, n. 1, p. 62–66, 1983. ISSN 1558-2531. Citado na página 18.
- 7 VANPETEGHEM, P.; DUQUE-CARRILLO, J. A general description of common-mode feedback in fully-differential amplifiers. In: IEEE. [S.l.], 1990. v. 4, p. 3209–3212. Citado na página 18.
- 8 BASCHIROTTO, F. R. A.; CASTELLO, R. Low-voltage balanced transconductor with high input common-mode rejection. *Electronics Letters*, IET, v. 30, n. 20, p. 1669–1671, 1994. ISSN 0013-5194. Citado na página 18.
- 9 CENTURELLI P. MONSURRÒ, G. P. P. T. F.; TRIFILETTI, A. A fully-differential class-AB OTA with CMRR improved by local feedback. In: IEEE. *2017 European Conference on Circuit Theory and Design (ECCTD)*. [S.l.], 2017. ISBN 978-1-5386-3974-0. Citado na página 18.
- 10 CENTURELLI P. MONSURRÒ, G. P. P. T. F.; TRIFILETTI, A. A Topology of Fully-Differential Class-AB Symmetrical OTA with Improved CMRR. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 65, n. 11, p. 1504–1508, 2018. ISSN 1549-7747. Citado na página 18.
- 11 GRASSO S. PENNISI, G. S. A. D.; TRIFILETTI, A. 0.9-V Class-AB Miller OTA in 0.35- μ m CMOS With Threshold-Lowered Non-Tailed Differential Pair. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 64, n. 7, p. 1740–1747, 2017. ISSN 1549-8328. Citado na página 18.

- 12 VITTOZ, E.; FELLRATH, J. CMOS analog integrated circuits based on weak inversion operations. *IEEE journal of solid-state circuits*, IEEE, v. 12, n. 3, p. 224–231, 1977. Citado na página 19.
- 13 FORTI, F.; WRIGTH, M. Measurement of MOS current mismatch in the weak inversion region. *IEEE Journal of Solid-State Circuits*, IEEE, v. 29, n. 2, p. 138–142, 1994. ISSN 0018-9200. Citado na página 19.
- 14 AMINA, M. et al. Analysis of common-mode rejection ratio of a CMOS differential amplifier considering all the non-idealities. In: IEEE. *2015 2nd International Conference on Electrical Information and Communication Technologies (EICT)*. [S.l.], 2015. p. 234–238. Citado na página 19.
- 15 CHAKRABORTY, S. et al. Impact of Halo Doping on the Subthreshold Performance of Deep-Submicrometer CMOS Devices and Circuits for Ultralow Power Analog/Mixed-Signal Applications. *IEEE Transactions on Electron Devices*, IEEE, v. 54, n. 2, p. 241–248, 2007. ISSN 0018-9383. Citado na página 19.
- 16 TSIVIDIS, Y. *Operation and Modeling of the MOS Transistor*. [S.l.]: Oxford Univ. Press, 1987. Citado na página 23.
- 17 SHMILOVITZ, D. On the definition of total harmonic distortion and its effect on measurement interpretation. *IEEE Transactions on Power Delivery*, IEEE, v. 20, n. 1, p. 526–528, 2005. ISSN 0885-8977. Citado na página 24.
- 18 FERREIRA, L. H. de C. *Uma Referência de Tensão CMOS Baseada na Tensão Threshold em Ultra-Baixa Tensão e Ultra-Baixa Potência*. Tese (Doutorado) — Universidade Federal de Itajubá, Itajubá, Minas Gerais, 2008. Citado na página 28.
- 19 MICROELECTRONICS, I. *BiCMOS-8HP Model Reference Guide*. [S.l.]. Citado na página 32.
- 20 COTRIM, E. D. C.; FERREIRA, L. H. de C. An ultra-low-power CMOS symmetrical OTA for low-frequency Gm-C applications. *Analog Integr Circ Sig Process*, Springer, v. 71, n. 2, p. 275–282, 2011. ISSN 0925-1030. Citado na página 36.
- 21 BROWN, B. *Precision, Low Power INSTRUMENTATION AMPLIFIERS INA128 INA129*. [S.l.]: Burr Brown Corporation, 1995. Citado na página 66.
- 22 INTERSIL. *4.5MHz, BiMOS Operational Amplifier with MOSFET Input/Bipolar Output*. [S.l.]: Intersil Corporation, 1999. Citado na página 66.
- 23 GRASSO, A. D. et al. Design methodology of subthreshold three-stage CMOS OTAs suitable for ultra-low-power low-area and high driving capability. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 62, n. 6, p. 1453–1462, 2015. Citado na página 71.
- 24 ABDELFAH, O. et al. An ultra-low-voltage CMOS process-insensitive self-biased OTA with rail-to-rail input range. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 62, n. 10, p. 2380–2390, 2015. Citado na página 71.
- 25 QIN, Z. et al. 0.5-V 70-nW Rail-to-Rail Operational Amplifier Using a Cross-Coupled Output Stage. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 63, n. 11, p. 1009–1013, 2016. ISSN 15497747. Citado na página 71.

-
- 26 SHARAN, T.; BHADAURIA, V. Sub-threshold, cascode compensated, bulk-driven OTAs with enhanced gain and phase-margin. *Microelectronics Journal*, Elsevier, v. 54, p. 150–165, 2016. Citado na página 71.
- 27 KHATEB, F. et al. 0.3-V bulk-driven nanopower OTA-C integrator in 0.18 μm CMOS. *Circuits, Systems, and Signal Processing*, Springer, v. 38, n. 3, p. 1333–1341, 2019. Citado na página 71.