

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Uma referência de tensão CMOS integrada utilizando transistor
composto cascode e diodo Schottky

Thaironi Menezes de Brito

Itajubá
2020

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Thaironi Menezes de Brito

Uma referência de tensão CMOS integrada utilizando transistor
composto cascode e diodo Schottky

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do título de Mestre em Engenharia da Elétrica.

Área de concentração: Microeletrônica

Orientador: Dr. Robson Luiz Moreno

Coorientador: Dr. Dalton Martini Colombo

Itajubá

2020

Dedico este trabalho ao meu avô Orestes, que na data desta escrita está fazendo quatro anos que nos deixou e que sempre foi um torcedor para meu sucesso.

Agradecimentos

Agradeço inicialmente a Deus por ser tão bom na minha vida e me proporcionar grandes oportunidades.

Agradeço aos meus pais, Tarlei e Marly, e ao meu irmão, Thallison por todo o apoio em todas as minhas decisões, sem este apoio não estaria onde estou.

Agradeço aos meus orientadores Robson Moreno e Dalton Colombo por todos ensinamentos, paciência e ajuda prestadas.

Aos moradores da república Itajubira por todos os momentos compartilhados. Um agradecimento especial para o Vinícius Lima pela ajuda com os circuitos impressos e pela grande amizade e apoio crucial em todos os altos e baixos desta trajetória.

Aos professores do Grupo de Microeletrônica pela ajuda com conceitos, suporte nas medidas dos circuitos e demais dúvidas.

Ao Arnaldo, Paulo, César, Luiz Fernando e Thiago, membros do Grupo de Microeletrônica, que ajudaram em diversos momentos deste trabalho e pelos fins de tarde das sextas-feiras na padoca.

Aos amigos que mesmo longe, sempre torceram por mim e se fizeram presente.

Aos colaboradores do Grupo Capitale Energia que deram um grande apoio na reta final deste trabalho.

Ao professor Kamal El-Sankary por toda a ajuda durante a publicação do artigo.

Ao CTI Renato Archer, CAPES e MOSIS pelo apoio financeiro e fabricação das amostras deste trabalho.

Por fim, agradeço a todos que de certa forma ajudaram no meu crescimento e assim, foi possível concluir esta pesquisa.

*“Presentemente eu posso me considerar um
sujeito de sorte
Porque apesar de muito moço, me sinto tão
salve e forte
E tenho comigo pensado, Deus é brasileiro
e anda do meu lado
E assim já não posso sofrer no ano passado
Tenho sangrado demais, tenho chorado
para cachorro
Ano passado eu morri, mas esse ano eu não
morro
Ano passado eu morri, mas esse ano eu não
morro”*

(Belchior)

Resumo

Este trabalho apresenta o estudo da performance em temperatura de *self-cascode composite transistors* (SCCTs) e do diodo Schottky com o objetivo de gerar as tensões PTAT e CTAT, respectivamente, que compõem uma referência de tensão compensada na temperatura. O estudo dos SCCTs também mostrou ser possível obter uma tensão compensada apenas ajustando a dimensão e o ponto de operação dos transistores que formam o SCCT. A referência foi projetada baseada nestes resultados e fabricada em um processo CMOS 130 nm. O circuito ocupa uma área de 67,98 μm x 161,7 μm . Para validação do projeto, o circuito foi medido com a variação de temperatura e tensão de alimentação. Um circuito de ajuste também foi projetado para ajustar o coeficiente de temperatura da referência (TC). A tensão de saída média obtida foi de 720 mV em um V_{DD} de 1,1 V. O TC médio obtido foi 56 ppm/ $^{\circ}\text{C}$ em uma faixa de temperatura de -40 a 85 $^{\circ}\text{C}$. O circuito opera em uma faixa e tensão de alimentação de 1,1 a 2,5 V. O consumo do circuito é de 750 nW.

Palavras-chave: Referência de tensão. Diodo Schottky. *Self-cascode composite transistor*. Baixo consumo.

Abstract

This work shows a study of temperature behavior of self-cascode composite transistors (SCCTs) and Schottky diode in order to generate both PTAT and CTAT voltages of a temperature-compensated voltage reference. The SCCTs study also shows that it is possible to obtain a compensated voltage with a proper sizing and biasing of the SCCT. The voltage reference was designed based on achieved results and it was fabricated in a 130 nm CMOS process. The circuit occupies an area of $67.98 \mu\text{m} \times 161.7 \mu\text{m}$ and it was measured in temperature and power-supply variation. A trimming circuit also is added to the reference in order to adjust the temperature coefficient (TC). The averaged output voltage is 720 mV with a V_{DD} of 1.1 V. The averaged TC is 56 ppm/°C in a temperature range of -40 to 85 °C. The circuit works in a power-supply range of 1.1 to 2.5 V and its power consumption is 750 nW.

Keywords: Voltage reference. Schottky diode. Self-cascode composite transistor. Low power.

Lista de Figuras

Figura 1 - Representação de uma referência de tensão	14
Figura 2 - <i>Self-cascode composite transistor</i> (SCCT).....	20
Figura 3 - Matriz de SCCTs	20
Figura 4 - Tensão de saída de (a) SCCT1 e (b) SCCT8 medida e simulada para I_{Bias} 100 nA	22
Figura 5 - Tensão de saída de (a) SCCT1 e (b) SCCT8 medida e simulada para I_{Bias} 1 μ A	23
Figura 6 - Tensão de saída de (a) SCCT1 e (b) SCCT8 medida e simulada para I_{Bias} 10 μ A.....	23
Figura 7 – (a) $V_{out-SCCT1}$ e (b) sua derivada como função de I_{Bias}	25
Figura 8 – TC de SCCT1 como função de I_{Bias}	25
Figura 9 - SCCT como um sensor de temperatura	26
Figura 10 - Referência de tensão utilizando dois SCCTs para gerar a tensão PTAT.....	26
Figura 11 - Referência de tensão utilizando dois SCCTs e um transistor MOS operando como diodo	27
Figura 12 - Referência de tensão utilizando os transistores do SCCT com espessuras diferentes	28
Figura 13 - Variação em temperatura de um diodo Schottky e um TBJ	29
Figura 14 - Circuito utilizando diodo Schottky substituindo o TBJ.....	30
Figura 15 - Referência de tensão proposta	31
Figura 16- Esquemático do amplificador A1	32
Figura 17 - Ganho em malha aberta do amplificador A1.....	32
Figura 18 - Histograma de (a) V_{REF} e (b) TC de V_{REF}	35
Figura 19 - Circuito de <i>trimming</i>	36
Figura 20 - Circuito de start-up	37
Figura 21 - Variação da tensão de saída em função da temperatura e número de bits... 38	
Figura 22 – Simulação da variação da tensão de saída com a tensão de alimentação.... 39	
Figura 23 - Simulação da variação com a temperatura de (a) I_{REF} e (b) V_{D1} , V_{DS-SC1} e V_{DS-SC2}	40
Figura 24 - Simulação da variação da corrente de saída com a tensão de alimentação . 40	
Figura 25 - Layout da referência proposta.....	41
Figura 26 - Chip fabricado.....	42
Figura 27 - Amostra do chip fabricado sem a tampa de proteção do encapsulamento .. 43	
Figura 28 - Soquete adaptador de LQFP44 para DIP44.....	43

Figura 29 - Câmara térmica programável utilizada para medições	44
Figura 30 - V_{REF} medido em função da temperatura para cinco amostras	45
Figura 31 - V_{REF} medido em função da temperatura para cinco amostras com ajuste. 46	
Figura 32 – Medidas em temperatura de (a) V_{D1} , (b) I_{REF} , (c) V_{DS-SC1} e (d) V_{DS-SC2}	47
Figura 33 – Variação de (a) V_{REF} e (b) I_{REF} em relação à variação da tensão de alimentação	48

Lista de Tabelas

Tabela 1 – Coeficiente térmico medido dos SCCTs.....	24
Tabela 2 – Razões de aspecto e tensões de operação em 27 °C de todos os SCCTs.....	24
Tabela 3 - Dimensões dos transistores da referência proposta.....	35
Tabela 4 - Dimensões dos transistores do circuito de <i>trimming</i>	36
Tabela 5 - Dimensões dos transistores do circuito de start-up	37
Tabela 6 - Resultados da simulação de V_{REF} em relação à temperatura e aos números de bits	38
Tabela 7 - Resultado da simulação com modelos de <i>corners</i>	39
Tabela 8 - Resumo dos principais resultados das simulações	41
Tabela 9 - Resumo dos principais resultados de V_{REF} em função da temperatura	46
Tabela 10 - Resumo dos principais resultados das simulações	48
Tabela 11 - Comparação com outros trabalhos	49

Lista de abreviatura e siglas

MOS	Semicondutor óxido-metal (<i>Metal Oxide Semiconductor</i>)
TC	Coefficiente térmico (<i>Temperature Coefficient</i>)
PTAT	Proporcional à temperatura absoluta (<i>Proportional to Absolute Temperature</i>)
CTAT	Complementar à temperatura absoluta (<i>Complementary to Absolute Temperature</i>)
TBJ	Transistor bipolar de junção
SCCT	<i>Self-cascode composite transistor</i>
SMU	<i>Source-measure unit</i>
PSRR	<i>Power-supply rejection ratio</i>

Lista de símbolos

V_{REF}	Tensão de saída da referência de tensão
T	Temperatura
V_{PTAT}	Tensão PTAT
V_{CTAT}	Tensão CTAT
V_{BE}	Tensão base-emissor
V_{GS}	Tensão porta-fonte (<i>gate-source</i>)
I_C	Corrente de coletor
I_S	Corrente de saturação
U_T	Tensão térmica
V_{GO}	Tensão de <i>bandgap</i> do silício extrapolada para 0 K
K	Constante de Boltzmann
q	Carga do elétron
V_{TH0}	Tensão de limiar (<i>threshold</i>) do transistor MOS extrapolada para 0 K
W	Largura do canal do transistor MOS
L	Comprimento do canal do transistor MOS
I_{DS}	Corrente dreno-fonte (<i>drain-source</i>)
V_{DS}	Tensão de dreno-fonte (<i>drain-source</i>)
S	Razão de aspecto do transistor MOS
$V_{out-SCCT}$	Tensão de saída do <i>self-cascode composite transistor</i>
V_{DD}	Tensão de alimentação
V_D	Tensão de polarização direta do diodo
Φ_B	Altura da barreira do diodo Schottky
$q\Phi_M$	Função de trabalho do metal
$q\chi$	Afinidade do elétron
V_{OV}	Tensão de <i>Overdrive</i>
I_{REF}	Corrente de saída

Sumário

1 Introdução	13
2 Referência de tensão <i>Bandgap</i> e o estudo de outras topologias	16
2.1 Referência de tensão <i>Bandgap</i>	16
2.2 Referências de tensão baseadas em V_{TH0}	18
2.3 Análise do comportamento em temperatura do SCCT	19
2.3.1 Caracterização da matriz de SCCTs	21
2.3.2 Referências de tensão utilizando SCCTs	26
2.4 Análise do comportamento em temperatura do diodo Schottky	28
3 Referência de tensão proposta e simulações	31
3.1 Impacto do processo de fabricação e circuito de ajuste	35
3.2 Circuito de start-up	36
3.3 Simulações	38
3.4 Layout e fabricação	41
4 Resultados experimentais	43
4.1 Medições variando a temperatura	43
4.2 Medições variando a tensão de alimentação	47
4.3 Comparação com outros trabalhos	48
5 Conclusão	50
Referências	51
Apêndice A – Equações da tensão de saída do SCCT	53
Apêndice B – Medições da matriz de SCCTs	55
Apêndice C – Sobre o Autor	59

1 Introdução

Na nossa sociedade moderna é impossível pensar em viver sem algum aparelho eletrônico. Desde atividades mais simples até mais complexas, o ser humano tem contato com circuitos eletrônicos. Todas estas funcionalidades proporcionadas por dispositivos eletrônicos são graças ao uso de circuitos integrados.

A cada ano, a quantidade de transistores MOS nos circuitos integrados aumenta, embora eles ocupem uma área menor na pastilha, pois a cada novo processo de fabricação é possível utilizar transistores menores. No entanto, o aumento do número de transistores traz outras preocupações. Uma destas preocupações é o consumo elétrico dos circuitos (COLOMBO et al., 2012).

A preocupação com o consumo elétrico é ainda mais desafiante para os circuitos de aplicações biomédicas. Quando o dispositivo é implantado no paciente, um baixo consumo é muito importante para reduzir a frequência em que a sua bateria é trocada e assim submeter o paciente a uma menor quantidade de cirurgias.

Diversos estudos na literatura são focados em projetar circuitos que possam operar com baixa tensão de alimentação e consumam pouca corrente elétrica, na ordem de nano-ampere, desta forma reduzindo o consumo.

Um dos blocos de circuitos integrados em que atualmente os projetistas têm focado em reduzir o consumo são as referências de tensão. As referências de tensão são muito importantes para todo funcionamento de um circuito completo. Elas são responsáveis pelo fornecimento de uma tensão estável para todo o circuito, isto é, uma tensão que é pouco sensível às variações de temperatura (COLOMBO et al., 2012). Outro causador de variações nos circuitos integrados é o seu próprio processo de fabricação, por exemplo, transistores que devem ter suas tensões de limiar iguais, após a fabricação suas tensões podem divergir. Uma referência de tensão também deve apresentar robustez à estas variações. A tensão de saída de uma referência é utilizada, por exemplo, por conversores AC/DC e DC/AC, comparadores, memórias, para polarização e outras funcionalidades.

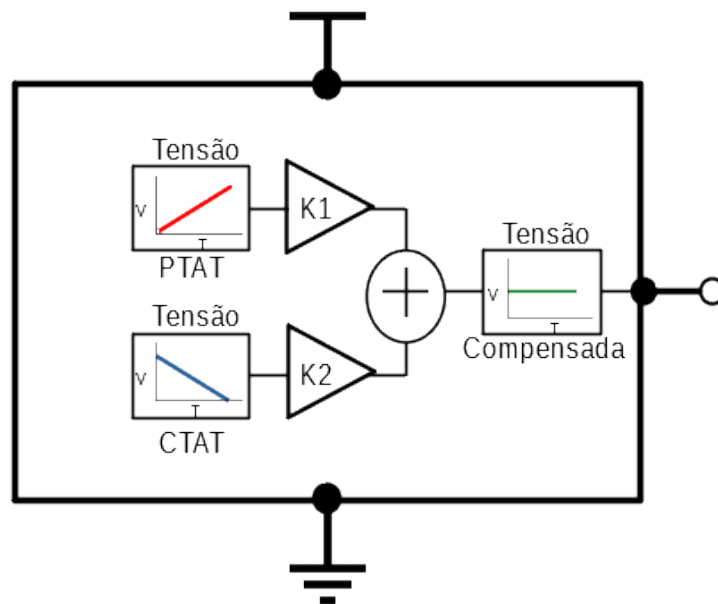
A primeira referência de tensão foi projetada em 1971 por Widlar (1971), embora a origem do conceito foi no trabalho de Hilbiber (1964), para ser utilizada em um regulador de tensão. O conceito utilizado por eles, que ainda é vastamente utilizado, é o somatório de duas tensões com coeficientes térmicos opostos.

Um indicador de quanto a tensão de saída de uma referência varia com a temperatura é utilizando o coeficiente térmico. O coeficiente térmico (TC) é dado pela equação (1),

$$TC = \frac{V_{REFmax} - V_{REFmin}}{T_{max} - T_{min}} \frac{1}{V_{REF(27^{\circ}C)}} \times 10^6. \quad (1)$$

Na equação (1), V_{REFmax} e V_{REFmin} são o valor máximo e o valor mínimo da saída da referência de tensão numa variação de temperatura onde a temperatura mais alta é T_{max} e a mais baixa é T_{min} . A tensão resultante da soma de uma tensão com coeficiente térmico positivo e outra com coeficiente térmico negativo é compensada, isto é, possui um TC muito baixo. A Figura 1 mostra a representação de uma referência de tensão *Bandgap* típica. A tensão com coeficiente térmico positivo é chamada de tensão PTAT (*Proportional To Absolute Temperature*) e a tensão com TC negativo é chamada de CTAT (*Complementary To Absolute Temperature*).

Figura 1 - Representação de uma referência de tensão



Fonte: próprio autor.

Portanto, pode-se dizer que saída da referência é dada por:

$$V_{REF} = K_1 V_{PTAT} + K_2 V_{CTAT}. \quad (2)$$

O desafio de um projeto de uma referência de tensão é então usar estratégias para gerar as tensões PTAT e CTAT e por fim somá-las. Usualmente, a tensão CTAT é obtida com a tensão base-emissor (V_{BE}) de um transistor bipolar de junção (TBJ). A tensão PTAT por sua vez é obtida com a diferença entre duas tensões V_{BE} . O nome *Bandgap*, tem origem devido a tensão da saída ter um valor próximo a tensão de *bandgap* do silício, que é cerca de 1,2 V (RINCÓN-MORA, 2002).

A referência *Bandgap* tradicional possui uma tensão de alimentação mínima limitada pela tensão de saída de 1,2 V e outras tensões necessárias para manter o circuito em operação. Isto é a direção contrária de aplicações que visam reduzir consumo. Portanto, projetistas e pesquisadores têm substituído a tensão V_{BE} dos TBJs pela tensão V_{GS} dos transistores MOS.

Uma abordagem que tem mostrado resultados promissores é uso de diodos schottky para gerar a tensão CTAT. Como pode ser visto nos trabalhos de Yan, Li e Liu (2009), Campana, Klimach e Bampi (2016) e Butler e Baker (2005). A tensão de polarização do diodo schottky é menor que a tensão do transistor bipolar, assim, é possível garantir uma redução na tensão de alimentação.

Para a tensão PTAT, há trabalhos que utilizam transistores MOS combinados em uma configuração chamada *self-cascode composite transistor* (SCCT) (UENO *et al.*, 2009). Esta configuração, dependendo de dimensionamento e polarização dos transistores, possibilita obter uma tensão com TC positivo.

Este trabalho tem como objetivo fazer uma investigação no uso de diodos schottky para gerar a tensão CTAT, e do comportamento térmico de SCCTs. Com base nestes estudos, projetar uma referência de tensão, com baixa tensão de alimentação (próxima a 1 V) e possua baixo consumo elétrico (menor que 1 μ W) visando aplicações biomédicas. Outro objetivo é não utilizar resistores no projeto, pois estes ocupam uma grande área de silício.

O trabalho está estruturado da seguinte maneira:

- Capítulo 2: revisão bibliográfica de referências de tensão que utilizam diodos Schottky e SCCTs para gerar as tensões CTAT e PTAT respectivamente e estudo detalhado do comportamento destas duas abordagens.
- Capítulo 3: apresentação da referência de tensão proposta após o estudo feito e resultados simulados.
- Capítulo 4: descrição dos experimentos e discussão dos resultados obtidos, além de comparação com os resultados de outros trabalhos
- Capítulo 5: as conclusões finais obtidas.

2 Referência de tensão *Bandgap* e o estudo de outras topologias

Muitos anos se passaram desde o circuito de Widlar (1971) e a necessidade de circuitos de baixo consumo fez com que a busca por novas topologias de referências de tensão continue a desafiar pesquisadores e projetistas. Além da estabilidade diante de variações de temperatura, outros parâmetros de desempenho também são importantes: robustez diante variações na tensão de alimentação, área de silício, precisão, faixa de operação da tensão de alimentação e de temperatura.

Neste capítulo são apresentadas algumas topologias de referências de tensão e o estudo da performance de diodos Schottky e *self-cascade composite transistor* para gerar as tensões necessárias para a compensação em temperatura.

2.1 Referência de tensão *Bandgap*

A referência do tipo *Bandgap* é a topologia mais utilizada de referências de tensão devido ser capaz de gerar resultados exatos, isto é, a sua tensão de saída é sempre o mesmo valor. Esta referência tem sua saída dada pela equação (2) e o principal componente, na topologia tradicional, para gerar ambas as tensões, CTAT e PTAT, é o transistor bipolar de junção.

O comportamento de um TBJ em temperatura pode ser obtido partindo da relação da sua corrente de coletor (I_C) e a tensão V_{BE} . A corrente I_C é obtida por (RINCÓN-MORA, 2002):

$$I_C = I_S \exp\left(\frac{V_{BE}}{U_T}\right) \quad (3)$$

Onde I_S é a corrente de saturação e U_T é a tensão térmica. Segundo Tsividis (1980) e Rincón-Mora (2002), a corrente I_S pode ser reescrita como:

$$I_S = CT^{4-N} \exp\left(-\frac{V_{G0}}{U_T}\right) \quad (4)$$

Onde C e N são constantes independentes da temperatura, T a temperatura absoluta, e V_{G0} é a tensão de *bandgap* do silício extrapolada para 0 K. Substituindo (4) em (3) tem-se uma nova expressão para I_C :

$$I_C = CT^{4-N} \exp\left(\frac{V_{BE} - V_{G0}}{U_T}\right) \quad (5)$$

A dependência da corrente I_C com a temperatura pode ser escrita como (RINCÓN-MORA, 2002):

$$I_C = DT^x \quad (6)$$

Sendo D uma constante independente da temperatura e x é um número arbitrário relacionado com a dependência da corrente forçada pelo coletor. Substituindo (6) em (5) e reagrupando os termos, a seguinte relação para a tensão V_{BE} é obtida:

$$V_{BE} = V_{G0} + U_T \ln \frac{D}{C} - [(4 - N) - x]U_T \ln T \quad (7)$$

Para projetos de referência de tensão, uma forma de escrever a equação (7) é demonstrar a dependência de V_{BE} com uma temperatura de referência T_R , resultando na equação:

$$V_{BE}(T_R) = V_G + U_{T_R} \ln \frac{D}{C} - [(4 - N) - x]U_{T_R} \ln T_R \quad (8)$$

Substituindo a equação (8) na equação (7) resulta na conhecida dependência de V_{BE} com a temperatura (RINCÓN-MORA, 2002):

$$V_{BE} = V_{G0} - \frac{T}{T_R} [V_{G0} - V_{BE}(T_R)] - [(4 - N) - x]U_T \ln T/T_R \quad (9)$$

Utilizando uma expansão em série de Taylor, cujo desenvolvimento pode ser visto em Rincón-Mora (2002), V_{BE} pode ser aproximada por:

$$V_{BE} \cong [V_{G0} + (n - 1)U_{T_R}] - [V_{G0} - V_{BE}(T_R) + (N - 1)U_{T_R}] \frac{T}{T_R} \quad (10)$$

Uma análise da equação (10) mostra que V_{BE} não tem uma relação linear com a temperatura, no entanto, a derivação V_{BE} em relação à temperatura, resulta em um comportamento CTAT.

A tensão PTAT, também obtida com o uso de TBJ, possui uma expressão mais simples. São necessários dois TBJs, ambos com correntes de coletor iguais, mas densidades de correntes de saturação diferentes. Para obter essa diferença, um dos TBJs deve ter uma área de emissor n vezes maior que o outro. Portanto, de (3), é possível obter que:

$$V_{BE} = U_T \ln \frac{I_C}{I_S} \quad (11)$$

Para os dois TBJs:

$$V_{BE1} = U_T \ln \frac{I_C}{I_S} \quad (12)$$

$$V_{BE2} = U_T \ln \frac{I_C}{nI_S} \quad (13)$$

Fazendo a diferença entre (12) e (13), ΔV_{BE} , é obtida a seguinte expressão:

$$\Delta V_{BE} = U_T \ln \frac{I_C}{I_S} - U_T \ln \frac{I_C}{nI_S} = U_T \ln(n) \quad (14)$$

A tensão térmica é dada por KT/q , onde K é a constante de Boltzmann e q a carga do elétron. Substituindo em (14), a expressão para ΔV_{BE} torna-se:

$$\Delta V_{BE} = \frac{KT}{q} \ln(n) \quad (15)$$

Como, com exceção da temperatura, todos os termos em (15) são constantes, portanto, ΔV_{BE} é proporcional à variação de temperatura. Desta forma, a saída da referência *Bandgap* é a soma de (10) e (15).

$$V_{REF_{bandgap}} = [V_{G0} + (n-1)U_{TR}] - [V_{G0} - V_{BE}(T_R) + (N-1)U_{TR}] \frac{T}{T_R} + \frac{KT}{q} \ln(n) \quad (16)$$

Os projetistas e pesquisadores trabalham em formas de obter a soma da equação (16) e corrigir as não linearidades presentes nela. A equação (16) tem um valor aproximado de 1,2 V, principalmente devido a tensão de *bandgap* do silício presente nela (RINCÓN-MORA, 2002). Por isso, uma alternativa é utilizar referências que são baseadas na tensão de *threshold* do transistor MOS extrapolada para 0 K (V_{TH0}). Além da redução da tensão de saída, muito processos de fabricação não possuem modelos de transistores bipolares disponíveis para simulação, deste modo, uma outra vantagem desta estratégia é eliminar o uso de TBJ e utilizar apenas transistores MOS.

2.2 Referências de tensão baseadas em V_{TH0}

A operação em inversão fraca dos transistores MOS, além de permitir a operação do circuito com correntes em níveis muito baixos, também possui o benefício da corrente de dreno e fonte (I_{DS}) ter uma relação exponencial com a tensão V_{GS} , assim como a corrente I_C com a tensão V_{BE} no caso do TBJ. Esta relação pode ser vista na equação (17) (TSIVIDIS, 1999).

$$I_{DS} = I_S \frac{W}{L} \exp\left(\frac{V_{GS} - V_{TH}}{\eta U_T}\right) [1 - \exp(-\frac{V_{DS}}{U_T})] \quad (17)$$

Onde W e L são a largura e comprimento canal do transistor MOS e η é o fator de inclinação em inversão fraca. Para $V_{DS} > 3U_T$, o transistor opera na região de saturação e reescrevendo a equação (17) tem-se (FERREIRA; PIMENTA; MORENO, 2008):

$$I_{DS} = I_S \frac{W}{L} \exp\left(\frac{V_{GS} - V_{TH}}{\eta U_T}\right) \quad (18)$$

Observa-se a semelhança entre as equações (3) e (18). Da equação (18), é possível obter V_{GS} :

$$V_{GS} = V_{TH} + \eta U_T \ln \frac{I_{DS}}{I_S W/L} \quad (19)$$

O comportamento CTAT de V_{GS} se deve principalmente a tensão de *threshold*, conforme pode ser visto em Colombo, Wirth e Bampi (2014).

Assim como para o caso de V_{BE} , uma diferença entre dois V_{GS} , para o mesmo nível de corrente e com razões de aspecto diferentes, resulta em uma tensão PTAT. Reescrevendo a equação (19) para duas tensões V_{GS1} e V_{GS2} , tem-se:

$$V_{GS1} = V_{TH} + \eta U_T \ln \frac{I_{DS}}{I_S S_1} \quad (20)$$

$$V_{GS2} = V_{TH} + \eta U_T \ln \frac{I_{DS}}{I_S S_2} \quad (21)$$

Onde S é a razão (W/L) de aspecto dos transistores MOS. Fazendo a diferença entre as duas tensões, ΔV_{GS} , é obtida a expressão da equação (22).

$$\Delta V_{GS} = V_{GS1} - V_{GS2} = \eta U_T \ln \frac{S_2}{S_1} \quad (22)$$

A equação (22), assim como a equação (15), é a tensão térmica multiplicada por termos constantes em relação à temperatura ($\ln(S_2/S_1)$) e η . Este último é obtido pela razão entre as capacitâncias da região de depleção e a capacitância do óxido, e pode ser considerado constante garantindo a operação em inversão fraca (FERREIRA, 2008). Portanto, também é possível obter uma tensão PTAT com transistores MOS operando em inversão fraca.

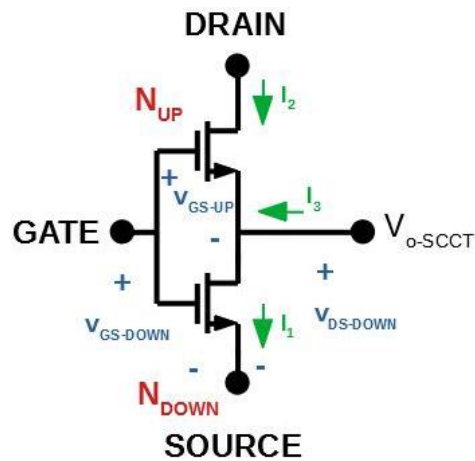
Uma forma interessante de obter esta diferença é utilizando uma configuração chamada de *self-cascode composite transistor* (SCCT). Esta configuração permite obter a diferença entre V_{GS} de dois transistores e dependendo da polarização, obter uma tensão PTAT.

2.3 Análise do comportamento em temperatura do SCCT

A configuração *self-cascode composite transistor* é formada por dois transistores conectados como na Figura 2 (COLOMBO *et al.*, 2012).

O circuito da Figura 2 pode ser utilizado para obter uma tensão PTAT pois a sua saída, $V_{DS-DOWN}$, é igual a $V_{GS-DOWN} - V_{GS-UP}$. Deste modo, é possível obter uma diferença semelhante à equação (22). No entanto, é importante que os transistores operem em inversão fraca para que tenha a relação exponencial entre I_{DS} e V_{GS} . A região de operação dos transistores também possui impacto sobre o comportamento em temperatura de $V_{DS-DOWN}$.

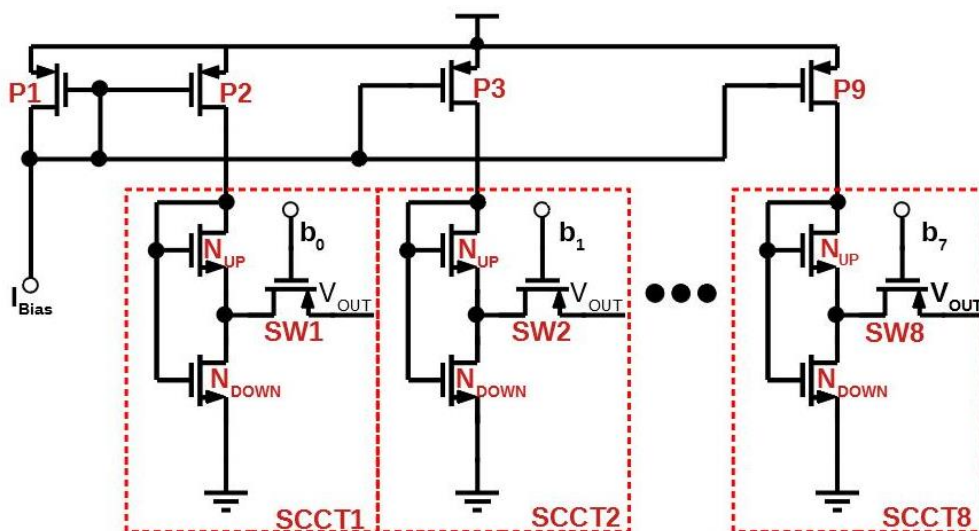
Figura 2 - Self-cascode composite transistor (SCCT)



Fonte: próprio autor.

Com o objetivo de caracterizar o comportamento em temperatura do SCCT e os efeitos da polarização e dimensionamento dos transistores, foi projetada uma matriz de SCCTs com diferentes razões de aspecto. Esta matriz foi projetada e fabricada em um processo BiCMOS 130nm devido a disponibilidade deste processo para a fabricação do circuito. A matriz pode ser vista na Figura 3. Cada SCCT é composto por combinações em série ou paralelo de um transistor unitário cuja razão de aspecto é $3 \mu\text{m}/3 \mu\text{m}$. O comprimento de $3 \mu\text{m}$ foi utilizado com objetivo de evitar efeitos de canal curto e mitigar o impacto do processo de fabricação na tensão de saída. Os transistores P1-P9 possuem mesma razão de aspecto para que a mesma corrente de polarização I_{BIAS} fosse fornecida para todos os SCCTs.

Figura 3 - Matriz de SCCTs



Fonte: próprio autor.

No total, foram projetados oito diferentes SCCTs. Para reduzir a quantidade de pinos no circuito integrado, a saída foi controlada através das chaves SW1-SW8 de forma que somente uma saída era medida.

Comparando as Figuras 2 e 3, $I_1 = I_2$ e $I_0 = 0$. Também $V_{GS-UP} = V_{DS-UP}$. A tensão de saída dos SCCT é dada pela equação (23). O desenvolvimento desta equação pode ser visto no Apêndice A.

$$V_{DS-DOWN} = nU_t \ln \left(1 + \frac{S_{UP}}{S_{DOWN}} \frac{V_{GS-UP}}{U_t} \right) \quad (23)$$

É possível ver na equação (23) que há termos dependentes da temperatura dentro do logaritmo natural, a tensão V_{GS-UP} e a tensão térmica U_t . Ambas possuem comportamentos opostos e eles podem afetar o comportamento do SCCT de forma que não se tenha uma tensão PTAT. Este resultado e outras conclusões são mostrados na próxima subseção.

2.3.1 Caracterização da matriz de SCCTs

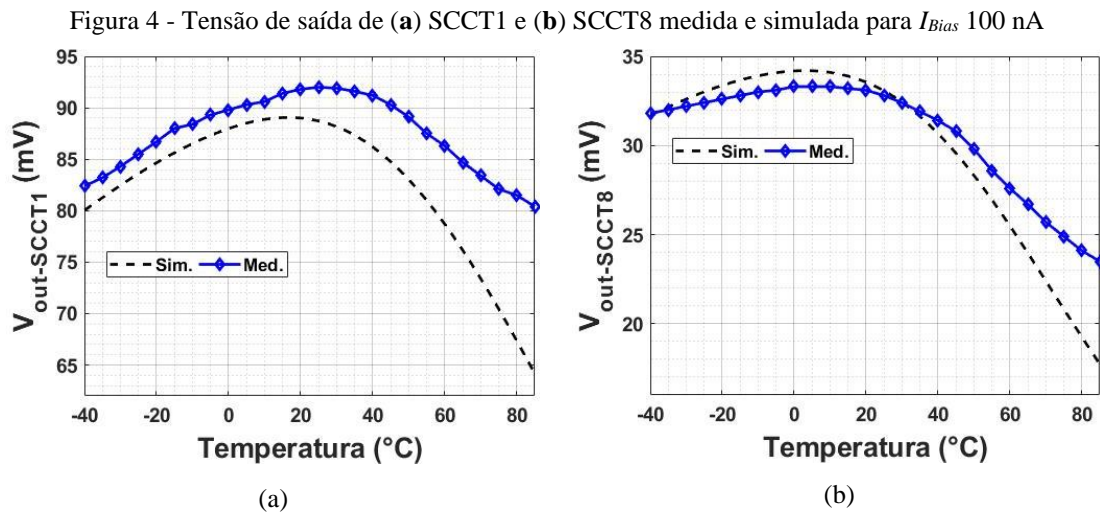
Para as medições da matriz de SCCTs, a temperatura foi variada de -40 a 85 °C para três níveis da corrente I_{Bias} : 100 nA, 1 μ A e 10 μ A. A tensão de alimentação foi de 1.2 V. As razões de aspecto dos transistores N_{UP} e N_{DOWN} para cada SCCT foram escolhidas com o objetivo de testar diferentes dimensões e analisar seus comportamentos.

Nas Tabelas Tabela 1 e Tabela 2, são apresentados um resumo das medições. As curvas aqui apresentadas são do SCCT1 e do SCCT8, enquanto as demais podem ser vistas no Apêndice B. Estes dois SCCTs foram escolhidos pois apresentam a maior e menor razão S_{UP}/S_{DOWN} , respectivamente. Desta forma, são comparados os dois extremos da matriz.

A Figura 4 apresenta os resultados da variação em temperatura para SCCT1 e SCCT8 com I_{Bias} 100 nA. Ao analisar os resultados, a primeira conclusão é que, com alguma pequena discrepância, os resultados experimentais são condizentes com os resultados simulados. Embora o layout da matriz tenha sido feito usando a técnica centroide comum, o circuito ainda pode causar variações devido ao processo de fabricação. Outra causa da variação pode ser a própria medida, devido a leitura da temperatura ser do equipamento e não da temperatura real do circuito.

Comparando as medidas de SCCT1 e SCCT8 é notado que o nível de tensão da saída do SCCT1 é maior que o SCCT8. Isto é devido a razão S_{UP}/S_{DOWN} do SCCT1 ser maior que a do SCCT8, como é esperado pela equação (23). Outra conclusão importante é que tanto os resultados medidos e simulados para os dois SCCTs não possuem

comportamento PTAT. De fato, os comportamentos são mais próximos de uma tensão compensada em temperatura. Este resultado também é esperado pela equação (23). Como visto pela equação (19), V_{GS} é uma tensão CTAT que possui um TC com magnitude maior que o TC de U_t e assim predominando dentro do logaritmo natural. O logaritmo então é responsável pela tensão $V_{out-SCCT}$ não ser PTAT. Esta é uma conclusão muito importante, pois pode ser mostrado que para baixos níveis de corrente, é possível obter uma tensão compensada na temperatura. O ponto de inflexão pode ser controlado pelo dimensionamento apropriado dos transistores N_{UP} e N_{DOWN} . Portanto, o projetista pode ajustar a tensão de saída e o coeficiente de temperatura facilmente. Outras conclusões obtidas com estes resultados é a região de operação dos transistores, conforme pode ser visto na Tabela 2.

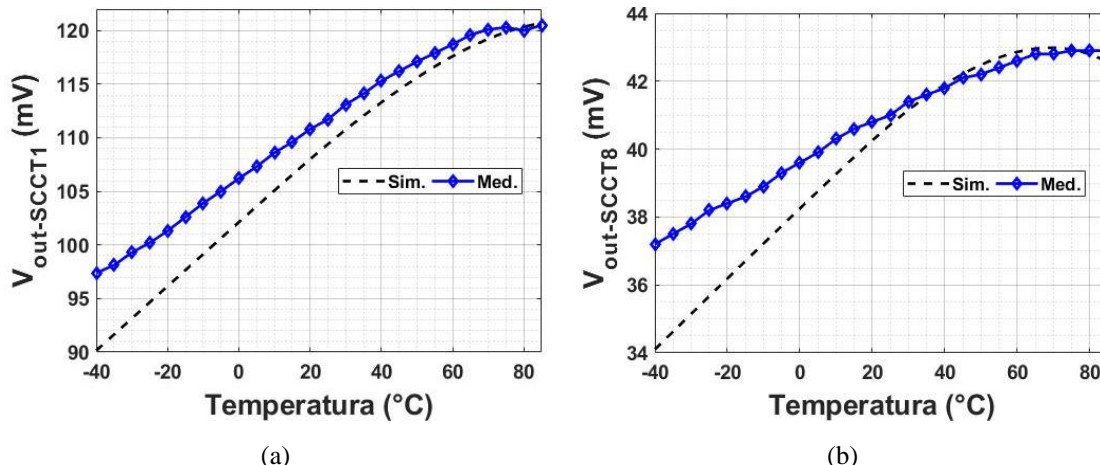


Fonte: próprio autor.

Para a corrente de 1 μ A, os valores medidos e simulados podem ser vistos na Figura 5. Ao elevar a corrente as tensões tendem a ser linear, ao invés de serem côncavas. Este resultado é esperado pois ao aumentar a corrente, a tensão V_{GS-UP} aumenta e para o transistor N_{UP} , V_{GS-UP} é igual V_{DS-UP} , assim, V_{DS-UP} também aumenta. O aumento de V_{DS-UP} faz com o transistor N_{UP} aproxime da saturação, pois o transistor em inversão fraca satura para V_{DS} maior que três a quatro vezes U_t (FERREIRA; PIMENTA; MORENO, 2008). Assim, a equação (23) se torna:

$$V_{DS-DOWN} = nU_t \ln \left(1 + \frac{S_{UP}}{S_{DOWN}} \right) \quad (24)$$

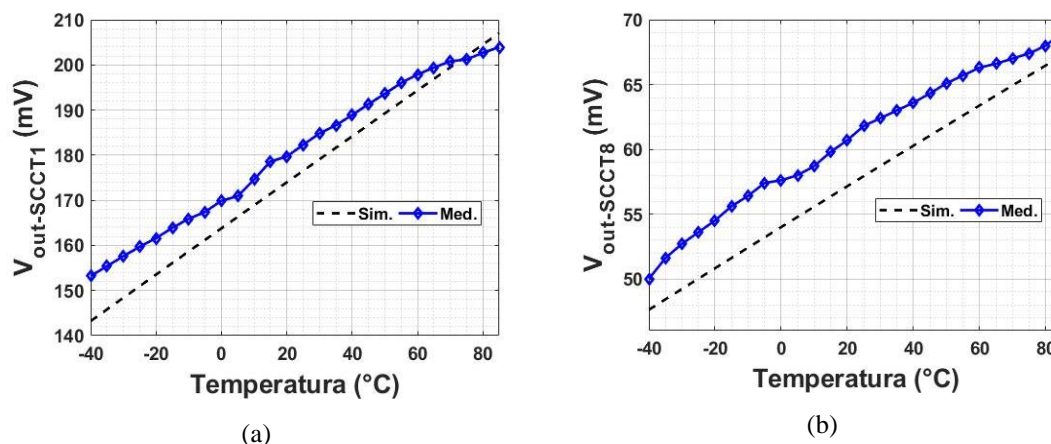
Figura 5 - Tensão de saída de (a) SCCT1 e (b) SCCT8 medida e simulada para I_{Bias} 1 μ A



Fonte: próprio autor.

Por fim, a Figura 6 mostra as medidas para I_{Bias} em 10 μ A. Os dois SCCTs apresentaram comportamento PTAT como esperado pela equação (24). Todos os oito SCCTs da matriz tiveram resultados semelhantes. Com a corrente menor, a tensão tem comportamento compensado e com o aumento de corrente, ela se torna mais PTAT. Com simulações também foi verificado que $V_{out-SCCT}$ continua PTAT para correntes em 100 μ A e 1 mA.

Figura 6 - Tensão de saída de (a) SCCT1 e (b) SCCT8 medida e simulada para I_{Bias} 10 μ A



Fonte: próprio autor.

A Tabela 1 apresenta o coeficiente de temperatura (TC) medido para temperatura ambiente (27 $^{\circ}$ C) de todos os SCCTs. O TC é calculado pela equação (1) e a unidade é ppm/ $^{\circ}$ C. Como apresentado pelas Figuras 4, 5 e 6, o TC também mostra que para a corrente de 100 nA, a tensão de saída dos SCCTs é mais compensada (TC menor) enquanto para a corrente mais alta, o TC é maior, devido ao comportamento PTAT.

As dimensões de todos os SCCTs são vistas na Tabela 2. É também mostrado as tensões V_{GS} e V_{DS} e suas respectivas regiões de operação para cada transistor da matriz.

Tabela 1 – Coeficiente térmico medido dos SCCTs

		TC (ppm/°C)							
IBIAS	Dados	Self-Cascode Composite Transistors							
		SCCT1	SCCT2	SCCT3	SCCT4	SCCT5	SCCT6	SCCT7	SCCT8
100 nA	Sim.	2200	1900	1400	1400	2300	1300	3300	4000
	Med.	1000	822	1600	662	1100	1100	1600	2400
1 μ A	Sim.	2200	2300	2700	2500	2200	2600	1900	1700
	Med.	1600	1600	2000	1500	1500	1700	1700	1100
10 μ A	Sim.	2900	2900	2800	2800	2800	2800	2700	2700
	Med.	2200	2400	2100	2200	2100	2300	2100	2500

Fonte: próprio autor

É importante ressaltar a relação entre a região de operação e a variação em temperatura. Para a corrente de 100 nA, todos os transistores estão na região de triodo, o que reforça a dependência de V_{DS-UP}/V_{GS-UP} na equação de $V_{DS-DOWN}$. Aumentando a corrente, o transistor N_{UP} satura e assim $V_{out-SCCT}$ se torna mais PTAT. Já N_{DOWN} , sua saturação também depende da razão S_{UP}/S_{DOWN} (FERREIRA; PIMENTA; MORENO, 2008). É interessante notar na Figura 5 que para temperaturas mais altas, os dois SCCTs passam de uma saída linear para levemente côncava. Isso ocorre porque o V_{DS-UP} , que é CTAT, já caiu a ponto de N_{UP} não estar mais saturado. Seguindo com o aumento de corrente, em 10 μ A, a maioria dos transistores já estão muito saturados e $V_{DS-DOWN}$ é independente de V_{DS-UP} . Pode ser visto também pela Tabela 2 que todos os transistores operam em inversão fraca. Assim, então é possível obter uma tensão compensada na temperatura utilizando apenas um SCCT sem a necessidade do gerador de tensão CTAT à parte, como será mostrado exemplos na próxima seção. A vantagem é uma pequena área e baixo consumo e tensão de alimentação, a desvantagem é que ele não tem uma saída tão precisa. Portanto, o uso ou não da parte CTAT depende da aplicação em que a referência será usada.

Tabela 2 – Razões de aspecto e tensões de operação em 27 °C de todos os SCCTs

Self-Cascode	Transistor	Razão Aspecto	V_{GS} (mV)			V_{DS} (mV)			Modo		
			100nA	1 μ A	10 μ A	100nA	1 μ A	10 μ A	100nA	1 μ A	10 μ A
SCCT1	N_{UP}	$(20 \cdot 3\mu)/3\mu$	42,5	117,5	210,1	42,5	117,5	210,1	Trio.	Sat.	Sat.
	N_{DOWN}	$3\mu/3\mu$	131,1	227,5	387,6	88,5	109,9	117,5	Trio.	Sat.	Sat.
SCCT2	N_{UP}	$(14 \cdot 3\mu)/3\mu$	51,3	129	223,8	51,3	129	223,8	Trio.	Sat.	Sat.
	N_{DOWN}	$3\mu/3\mu$	132	228,6	389,6	80,6	99,6	165,8	Trio.	Trio.	Sat.
SCCT3	N_{UP}	$(4 \cdot 3\mu)/3\mu$	83,3	175,4	285,1	89,36	175,4	285,1	Trio.	Sat.	Sat.
	N_{DOWN}	$3\mu/(2 \cdot 3\mu)$	140,8	246,6	405,9	51,44	65,19	120,7	Trio.	Trio.	Sat.
SCCT4	N_{UP}	$(8 \cdot 3\mu)/3\mu$	66,4	147,5	247,3	66,4	147,5	247,3	Trio.	Sat.	Sat.
	N_{DOWN}	$3\mu/3\mu$	134	231,2	394,3	67,5	83,7	147	Trio.	Trio.	Sat.
SCCT5	N_{UP}	$(10 \cdot 3\mu)/3\mu$	57,9	136,7	233,1	57,9	136,7	233,1	Trio.	Sat.	Sat.
	N_{DOWN}	$(2 \cdot 3\mu)/3\mu$	111	201,2	337	53	64,4	103,9	Trio.	Trio.	Sat.
SCCT6	N_{UP}	$(4 \cdot 3\mu)/3\mu$	88,7	171,6	281,2	88,7	171,6	281,2	Trio.	Sat.	Sat.
	N_{DOWN}	$3\mu/3\mu$	138	236,7	404,5	51,2	65,1	123,2	Trio.	Trio.	Sat.
SCCT7	N_{UP}	$(12 \cdot 3\mu)/3\mu$	51,1	127,9	221,5	51,1	127,9	221,5	Trio.	Sat.	Sat.
	N_{DOWN}	$(4 \cdot 3\mu)/3\mu$	90,3	175,9	293,2	39,2	48	71,6	Trio.	Trio.	Trio.

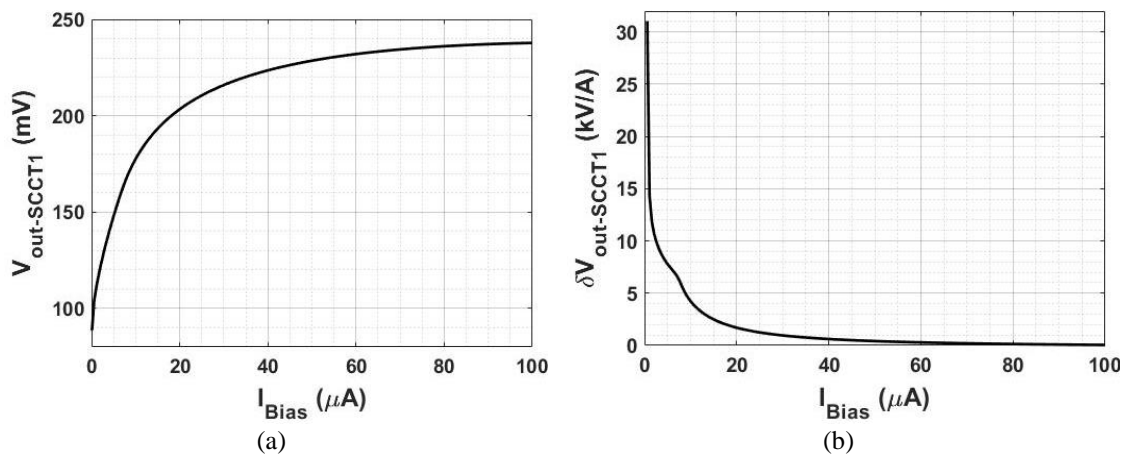
SCCT8	N_{UP}	$(14 \cdot 3\mu)/3\mu$	46,1	121,3	213,2	46,1	121,3	213,2	Trio.	Sat.	Sat.
	N_{DOWN}	$(6 \cdot 3\mu)/3\mu$	79	162,2	271,4	32,8	41	58,2	Trio.	Trio.	Trio.

O uso de $V_{out-SCCT}$ compensado também deve levar em consideração sua dependência com a variação de I_{Bias} . Como ainda é desafiador obter uma corrente que não seja afetada pelos processos de fabricação e temperatura, o projetista deve tomar cuidado ao utilizar a saída compensada. A Figura 7 mostra a dependência de $V_{out-SCCT1}$ e sua derivada para uma corrente até 100 μA .

Na Figura 8 é mostrado que o TC de SCCT1 também é muito dependente nas correntes abaixo de 1 μA . Isto é, quando o transistor N_{UP} está em tródo. Para I_{Bias} maior que 1 μA e até próximo de 8 μA o TC ainda é dependente de I_{Bias} , depois é possível ver que ele se mantém estável em torno de 2500 ppm/°C.

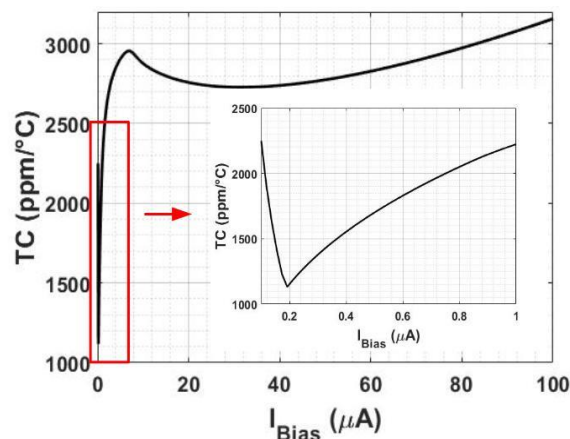
Deste modo, é recomendado que faça um dimensionamento apropriado e que se tenha uma fonte de corrente estável I_{Bias} já inclusa no chip para utilizar um SCCT como referência de tensão. Na próxima subseção são apresentados circuitos encontrados na literatura que utilizam SCCTs em referências de tensão. Depois, é apresentado um estudo de uma solução para a parte CTAT para ser usado em conjunto com o SCCT.

Figura 7 – (a) $V_{out-SCCT1}$ e (b) sua derivada como função de I_{Bias}



Fonte: próprio autor.

Figura 8 – TC de SCCT1 como função de I_{Bias}

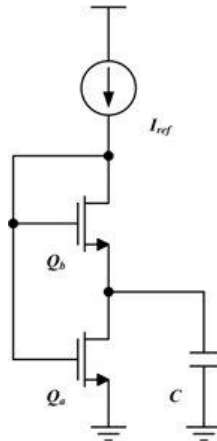


Fonte: próprio autor.

2.3.2 Referências de tensão utilizando SCCTs

Uma aplicação do SCCT vista em Ferreira, Pimenta e Moreno (2008) é um sensor de temperatura para um V_{DD} de 600 mV e uma corrente de polarização de apenas 80 nA. O *self-cascode composite transistor* foi projetado para trabalhar com uma tensão de saída PTAT e assim fazer a equivalência com a temperatura.

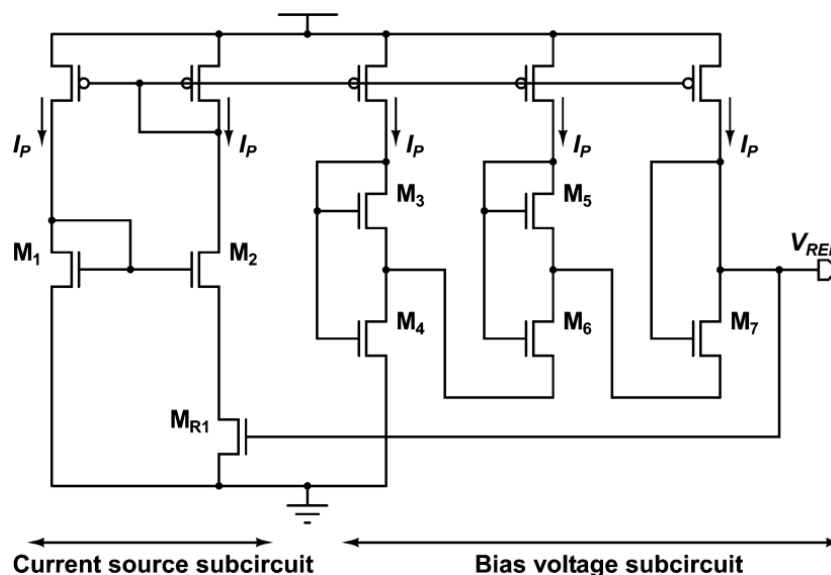
Figura 9 - SCCT como um sensor de temperatura



Fonte: Ferreira, Pimenta e Moreno (2008).

Em Ueno *et al.* (2009) foi projetada uma referência de tensão utilizando dois SCCTs para gerar a tensão PTAT e a tensão CTAT foi obtida utilizando o V_{GS} de um transistor MOS em inversão fraca. A estratégia de utilizar o $V_{DS-DOWN}$ de dois SCCTs somados visa reduzir as dimensões dos transistores que compõe o SCCT, pois o termo CTAT possui um TC muito grande comparado ao TC da tensão térmica U_T . Substituindo os TBJs pelos SCCTs e o transistor MOS foi possível obter uma referência de 15 ppm/°C com um consumo de 300 nW. O circuito proposto pode ser visto na Figura 10.

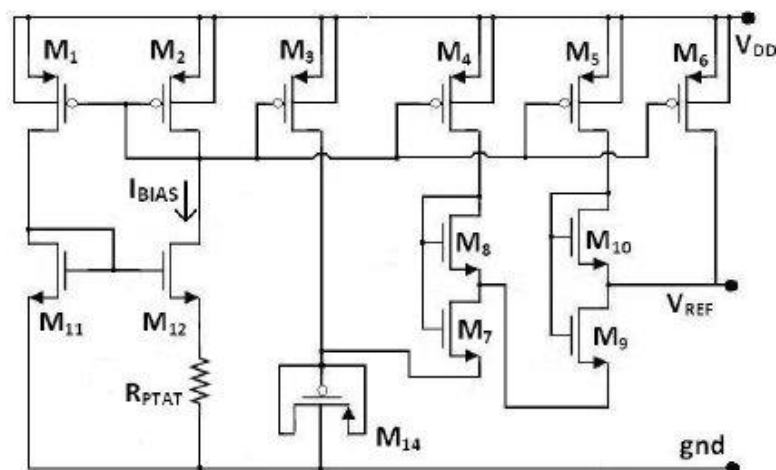
Figura 10 - Referência de tensão utilizando dois SCCTs para gerar a tensão PTAT



Fonte: Ueno *et al.* (2009)

Um outro circuito baseado no de Ueno *et al.* (2009) foi o de Colombo *et al.* (2012). Neste circuito, a soma da tensão de saída de dois SCCTs também foi responsável pela parcela PTAT da equação (2) e um transistor MOS operando como diodo gera o termo CTAT, conforme visto na Figura 11. Foi obtida uma tensão de saída de 1,4 V com um V_{DD} mínimo de 2,5 V.

Figura 11 - Referência de tensão utilizando dois SCCTs e um transistor MOS operando como diodo



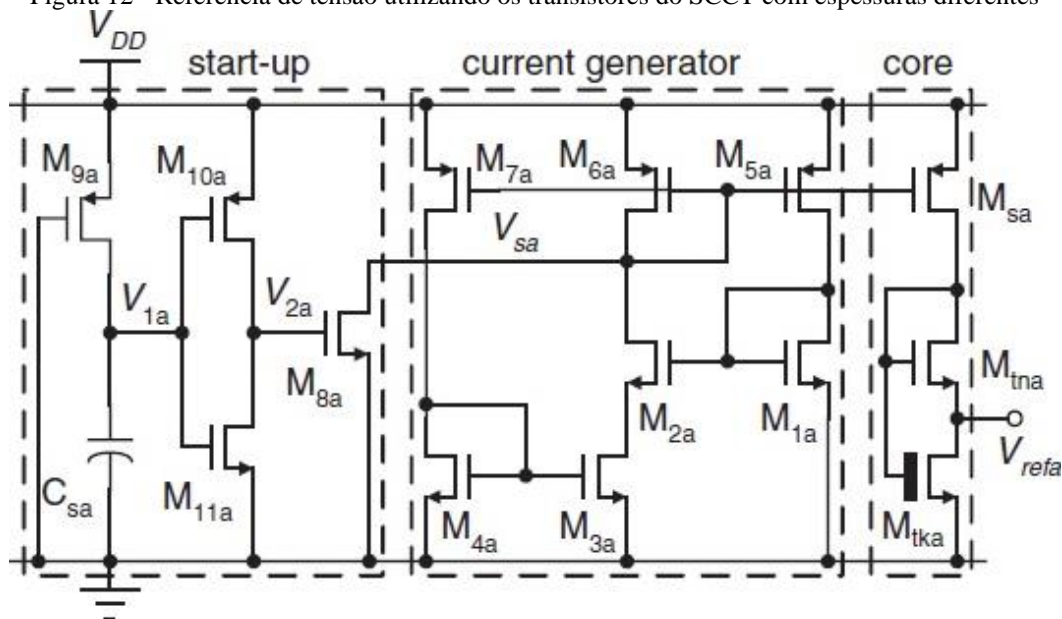
Fonte: Colombo *et al.* (2012)

Em Fakharyan, Ehsanian e Hayati (2020) são utilizados três SCCTs para aumentar a parcela PTAT e para a parcela CTAT, também foi utilizado um transistor MOS operando como diodo. A tensão de saída obtida foi de 0,625 V com uma tensão de alimentação mínima de 0,8 V.

Aproveitando da compensação em temperatura da tensão de saída do SCCT, Yan, Li e Liu (2009) utilizaram espessuras de óxido diferentes para os dois transistores. Deste modo as tensões de limiars dos transistores são diferentes, e a diferença entre elas fica responsável por aumentar a parcela CTAT da saída da referência. Na Figura 12, o transistor N_{DOWN} possui o óxido mais grosso que o N_{UP} . Com isto, foi obtida uma referência de apenas 96,6 mV. Esta mesma estratégia foi utilizada em Oliveira *et al.* (2017) e Albano *et al.* (2013).

Em Oliveira *et al.* (2018) a tensão de saída da referência é obtida utilizando um SCCT em que os comprimentos do canal dos transistores são diferentes. Esta diferença também causa diferença na tensão de limiar, assim como os trabalhos anteriores.

Figura 12 - Referência de tensão utilizando os transistores do SCCT com espessuras diferentes



Fonte: próprio autor.

2.4 Análise do comportamento em temperatura do diodo Schottky

O uso do *self-cascode composite transistor* tem demonstrado ser promissor para gerar a tensão PTAT. Para gerar a tensão CTAT uma alternativa que tem sido o uso de diodo Schottky.

O diodo Schottky difere do diodo de junção PN por possuir uma junção metal-semicondutor (BUTLER; BAKER, 2005). Esta diferença na construção resulta em duas grandes diferenças entre os dois tipos de diodo:

- Velocidade do chaveamento: o diodo Schottky tem um chaveamento mais rápido que o diodo de junção, o que o torna seu uso importante para circuitos de RF.
- Tensão de polarização direta: enquanto a tensão direta do diodo de junção (e VBE do TBJ) é próxima a 0,7 V. A tensão de polarização do diodo Schottky é próxima a 300 mV.

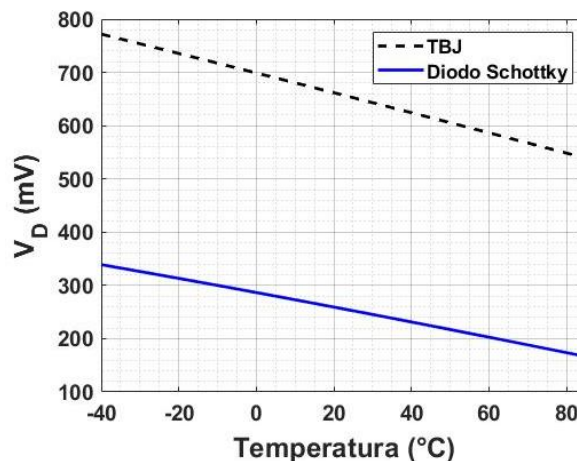
Esta segunda característica que é interessante para o uso do diodo Schottky em uma referência de tensão com o objetivo de reduzir a tensão de alimentação (KINGET *et al.*, 2008).

A relação entre a corrente e a tensão do diodo é semelhante à da equação (3) e é dada por (BUTLER; BAKER, 2005):

$$I_D = I_S \left[\exp\left(\frac{V_D}{nU_t}\right) + 1 \right] \quad (25)$$

Além das semelhanças entre as equações, é necessário analisar o comportamento em temperatura do diodo Schottky disponível no processo de fabricação. A Figura 13 apresenta a variação da tensão do diodo Schottky e de um TBJ pnp vertical, disponíveis no processo BiCMOS 130 nm utilizado, para o mesmo nível de corrente na faixa de temperatura de -40 a 85 °C.

Figura 13 - Variação em temperatura de um diodo Schottky e um TBJ



Fonte: próprio autor

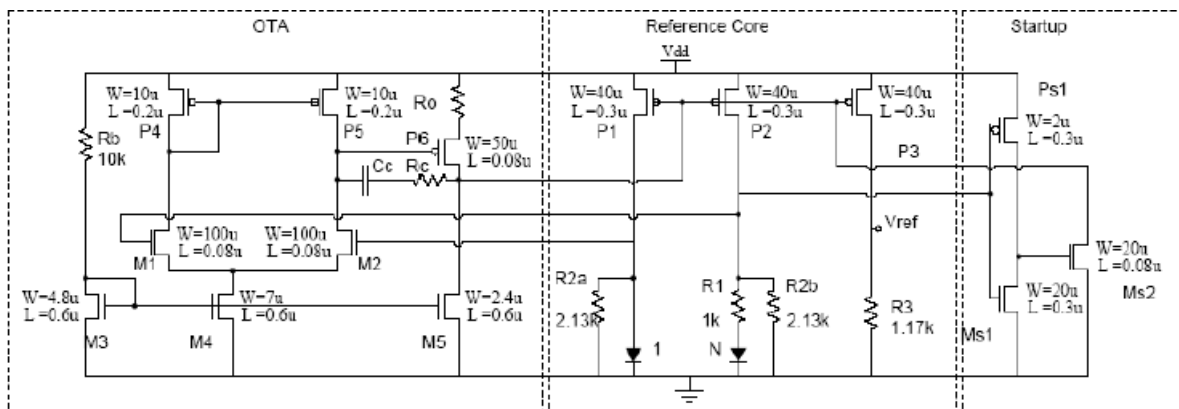
Como pode ser visto na simulação, para um mesmo nível de corrente, o diodo Schottky possui uma tensão mais baixa que o TBJ, além disso, o TC obtido para o Schottky é de 1,46 mV/°C, enquanto para o TBJ é de 1,93 mV/°C. Estes resultados comprovam que o Schottky é apropriado para substituir o transistor bipolar

O diodo Schottky já foi utilizado em algumas referências de tensão na literatura. Como em Butler e Baker (2005), o Schottky substitui o TBJ para reduzir a tensão de saída da referência. Como a referência *bandgap* é próxima à 1,2 V devido à tensão V_{BE} , o uso do Schottky forneceu uma tensão de saída próxima a 400 mV.

Em Kinget et al. (2008) o diodo Schottky substitui o TBJ para gerar a tensão CTAT e a PTAT também, a partir da diferença entre as tensões de polarização diretas de dois diodos com dimensões diferentes. Foi obtida uma tensão de saída próxima a 250 mV e a tensão de alimentação de apenas 600 mV. O circuito proposto pode ser visto na Figura 14.

Campana, Klimach e Bampi (2016) utilizam o Schottky para gerar a tensão CTAT e um SCCT para gerar a tensão PTAT. Ainda foi utilizado divisores de tensão para reduzir o valor da tensão do diodo Schottky e uma referência que fornece aproximadamente 100 mV para um V_{DD} mínimo de 300 mV foi obtida.

Figura 14 - Circuito utilizando diodo Schottky substituindo o TBJ

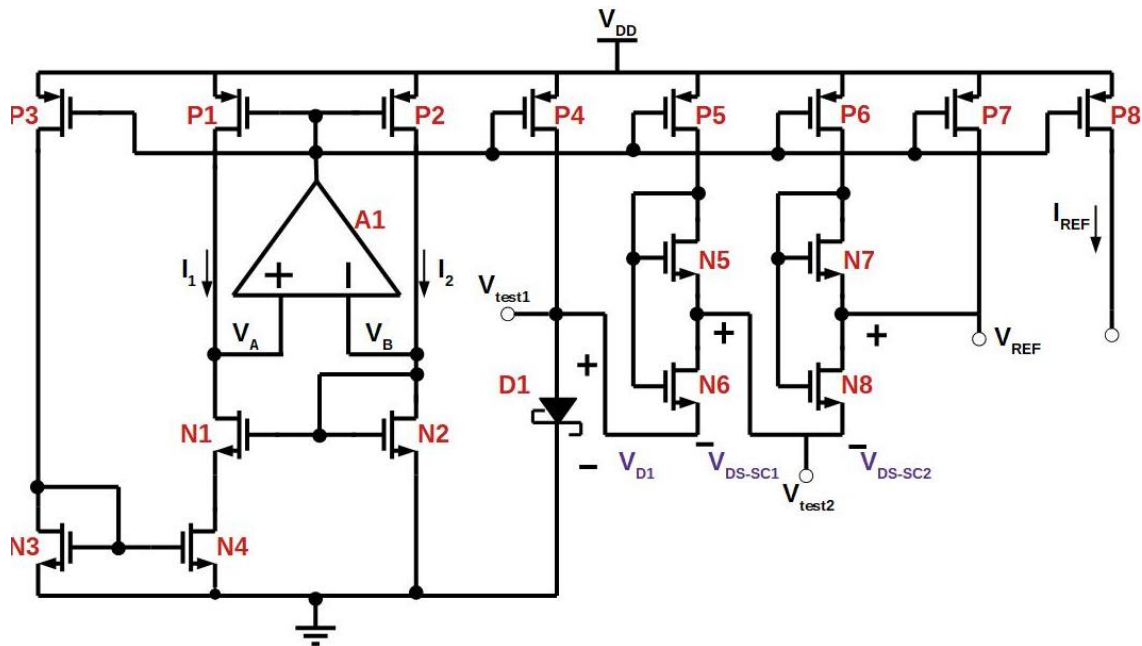


Fonte: Kinget *et al.* (2008).

3 Referência de tensão proposta e simulações

O SCCT possibilitando gerar uma tensão PTAT com a diferença entre os V_{GS} de dois MOSFETS em inversão fraca e o diodo Schottky sendo utilizado como gerador da tensão CTAT tiveram bons resultados no estudo de seus comportamentos em temperatura. Portanto, a referência proposta une as duas estratégias para gerar uma tensão compensada em temperatura. O circuito pode ser visto na Figura 15 e é baseado na referência proposta por Colombo *et al.* (2012) substituindo o transistor conectado como diodo pelo diodo Schottky e utilizando uma fonte de corrente sem o uso de resistores.

Figura 15 - Referência de tensão proposta



Fonte: próprio autor.

Todos os transistores NMOS têm seu terminal de substrato conectado ao terra, enquanto o terminal do *n-well* dos transistores PMOS estão conectados à fonte de alimentação. O circuito proposto é composto de dois subcircuitos: a fonte de corrente e o núcleo da referência de tensão

A fonte de corrente utilizada foi proposta por Oguey e Aebischer (1997) e é formada pelos transistores N1-N4, P1-P3 e o amplificador A1. Esta fonte de corrente utiliza o transistor N4 operando na região de triodo para substituir o uso de um resistor (VITTOZ; FELLRATH, 1977). Os transistores N1, N2, P1, P2 e P3 estão em inversão fraca, enquanto N3 e N4 estão em inversão forte. Ao fazer o transistor N1 maior que o transistor N2, a diferença entre o V_{GS} dos dois transistores aparecerá como V_{DS} de N4 e é dada pela equação (22). Segundo Oguey e Aebischer (1997), a corrente I_1 é dada por:

$$I_1 = n^2 \beta_{N4} U_t^2 K_{eff} \quad (26)$$

Onde β é um fator de transcondutância e K_{eff} é dado por:

$$K_{eff} = [K_2 - 0,5 + \sqrt{K_2(K_2 - 1)} \ln^2(K_1)] \quad (27)$$

$$K_1 = \frac{S_{N1}}{S_{N2}} \quad (28)$$

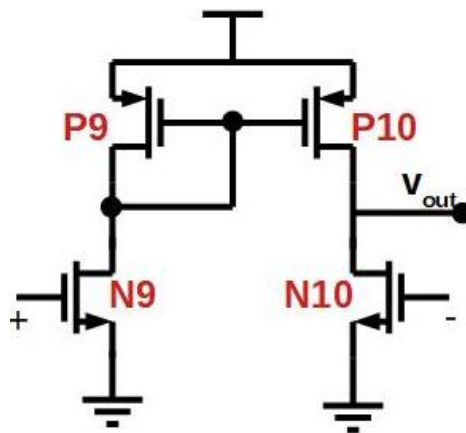
$$K_2 = \frac{S_{N4}S_{P3}}{S_{N3}S_{P1}} \quad (29)$$

A performance em temperatura de I_1 é dada por (OGUEY; AEBISCHER, 1997):

$$I_1(T) = (n^2 \beta_{N4})_0 U_{t0}^2 K_{eff} \left(\frac{T}{T_0}\right)^{2-m} \quad (30)$$

O amplificador A1 é usado para melhor a regulação de linha, isto é, a medida de como a referência varia em uma faixa da tensão de alimentação conforme sugerido por Baker (2010). Seu esquemático pode ser visto na Figura 16.

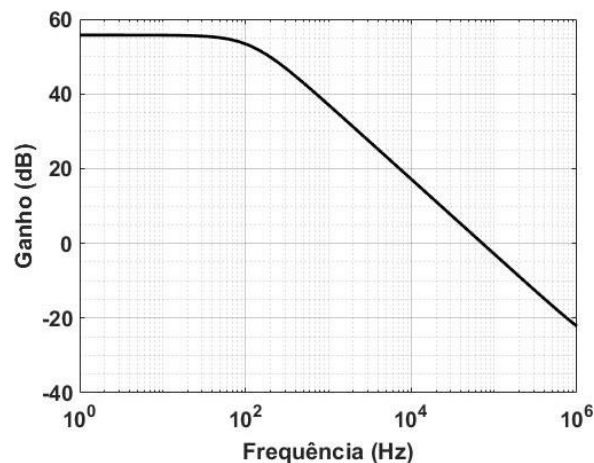
Figura 16- Esquemático do amplificador A1



Fonte: próprio autor.

O ganho nominal em malha aberta do amplificador A1 é de 55 dB e pode ser visto na Figura 17. A vantagem do uso deste amplificador é que com ele é possível obter um ganho razoável com consumo muito baixo e sem a necessidade de uma outra fonte de corrente.

Figura 17 - Ganho em malha aberta do amplificador A1



Fonte: próprio autor.

A fonte de corrente foi projetada para fornecer 15 nA. O transistor P8 foi adicionado à referência para que seja possível caracterizar a corrente. Ele foi feito com uma largura maior que os transistores P1-P2 para aumentar o valor da corrente a ser medida.

O segundo subcircuito é o núcleo da referência de tensão é baseado no circuito de Colombo *et al.* (2012) mostrado na Figura 11. A grande mudança foi substituir o transistor operando como diodo pelo diodo Schottky, D1 na Figura 15. A tensão PTAT é gerada por dois SCCTs, o primeiro é composto pelos transistores N5-N6 e o segundo pelos transistores N7-N8. Da Figura 15, V_{REF} é dada por:

$$V_{REF} = V_{D1} + V_{DSN6} + V_{DSN8} \quad (31)$$

Substituindo a equação (24) em (31), tem-se que:

$$V_{REF} = V_{D1} + nU_t \ln \left(1 + \frac{I_{N6}S_{N5}}{I_{N5}S_{N6}} \right) + nU_t \ln \left(1 + \frac{I_{N8}S_{N7}}{I_{N7}S_{N8}} \right) \quad (32)$$

$$V_{REF} = V_{D1} + nU_t \ln \left[\left(1 + \frac{I_6S_5}{I_5S_6} \right) \left(1 + \frac{I_{N8}S_{N7}}{I_{N7}S_{N8}} \right) \right] \quad (33)$$

Como pode ser visto na equação (33), somente o dimensionamento dos transistores que compõe os SCCTs e suas correntes (que dependem do dimensionamento dos transistores P5, P6 e P7) são possíveis de serem alterados durante o projeto. Para entender o comportamento de V_{REF} na temperatura, é preciso primeiro expressar as parcelas da equação (33) em função da temperatura.

Da equação da corrente do diodo Schottky (equação (25)) e fazendo um processo semelhante ao do transistor bipolar visto na seção 2.1, a tensão direta do diodo Schottky pode ser dada por (CAMPANA, 2017):

$$V_{D1}(T) = \Phi_B - \frac{T}{T_R} [\Phi_B - V_{D1}(T_R)] + (\alpha - 2) \frac{KT}{q} \ln \left(\frac{T}{T_R} \right) \quad (34)$$

Onde Φ_B é a altura da barreira do diodo Schottky e é dada por $q\Phi_M - q\chi$, com $q\Phi_M$ sendo a função de trabalho do metal e $q\chi$ a afinidade do elétron (CAMPANA, 2017). Na equação (34), α é uma constante independente da temperatura. Os outros termos possuem os mesmos significados já mencionados.

O termo PTAT da equação (33) tem sua dependência com a temperatura expressa ao reescrever a tensão térmica U_t como KT/q . Portanto, a tensão de saída pode ser escrita como:

$$V_{REF}(T) = \Phi_B - \frac{T}{T_R} [\Phi_B - V_{D1}(T_R)] + (\alpha - 2) \frac{KT}{q} \ln \left(\frac{T}{T_R} \right) + \frac{nKT}{q} \ln \left[\left(1 + \frac{I_6S_5}{I_5S_6} \right) \left(1 + \frac{I_{N8}S_{N7}}{I_{N7}S_{N8}} \right) \right] \quad (35)$$

Reagrupando os termos lineares:

$$\begin{aligned}
V_{REF}(T) = \Phi_B & \quad (36) \\
- T \left\{ \frac{[\Phi_B - V_{D1}(T_R)]}{T_R} \right. & \\
+ \frac{nK}{q} \ln \left[\left(1 + \frac{I_6 S_5}{I_5 S_6} \right) \left(1 + \frac{I_{N8} S_{N7}}{I_{N7} S_{N8}} \right) \right] & \\
+ (\alpha - 2) \frac{KT}{q} \ln \left(\frac{T}{T_R} \right) & \left. \right\}
\end{aligned}$$

Observa-se que V_{REF} é proporcional à altura da barreira, que é definida pelo metal utilizado fabricar o diodo Schottky, também há um termo linear e um termo de ordem mais alta. A correção de primeira ordem da referência é dada ao fazer $dV_{REF}/dT = 0$ sobre o termo linear. Fazendo a correção, obtém-se:

$$\ln \left[\left(1 + \frac{I_6 S_5}{I_5 S_6} \right) \left(1 + \frac{I_{N8} S_{N7}}{I_{N7} S_{N8}} \right) \right] = \frac{[\Phi_B - V_{D1}(T_R)]}{\frac{nKT_R}{q}} \quad (37)$$

Substituindo (37) em (36):

$$V_{REF}(T) = \Phi_B + (\alpha - 2) \frac{KT}{q} \ln \left(\frac{T}{T_R} \right) \quad (38)$$

A referência proposta tem sua saída não mais proporcional à tensão de *bandgap*, deste modo é possível obter uma tensão de saída menor que 1 V e assim reduzir a tensão de alimentação.

Para o projeto, foram utilizados, com exceção dos transistores que compõem os SCCTs, transistores de óxido grosso de 2,5 V. O uso de transistores de óxido grosso tem como objetivo melhorar a regulação de linha do circuito. Para os transistores N5-N8, não há restrição sobre o uso de transistores de óxido grosso, no entanto, testes mostraram que seriam necessários transistores muito grandes para conseguir uma referência compensada.

É importante lembrar que os transistores N5-N8 devem operar inversão fraca e que os transistores superiores de ambos os SCCTs devem estar saturados e os transistores inferiores podem tanto estar saturados quanto em tríodo, conforme demonstrado na subseção 2.3.1.

A Tabela 3 apresenta a dimensão de todos os transistores das Figura 15 e Figura 16. Cada conjunto de transistores que deve ser casado, isto é, os transistores devem ter suas tensões de limiar mais próximas possíveis, foram projetados a partir do mesmo transistor unitário. Para transistores com largura (W) ou comprimento (L) diferentes do transistor unitário, é adicionado transistores em paralelo e em série, respectivamente. Os conjuntos de transistores casados são N1-N2, N3-N4, N5-N6, N7-N8, N9-10, P1-P8, P9-P10.

Tabela 3 - Dimensões dos transistores da referência proposta

Transistor	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10
W(μm)	1	1	1	1	1	1	1	1	0,4	0,4
L(μm)	14	14	14	14	14	14	14	14	20	20
Paralelo	2	2	4	2	40	16	2	14	2	2
Série	1	1	1	1	1	1	1	1	1	1
Transistor	N1	N2	N3	N4	N5	N6	N7	N8	N9	N10
W(μm)	2	2	0,6	0,6	1,4	1,4	3,9	3,9	0,4	0,4
L(μm)	9	9	20	20	1	1	1	1	20	20
Paralelo	8	1	1	1	18	1	4	1	2	2
Série	1	1	3	3	1	24	1	22	1	1

Fonte: próprio autor

Embora a topologia utilizada possibilite a redução da tensão de alimentação, é importante notar que a referência proposta ainda não possibilita uma redução muito grande no V_{DD} mínimo. O V_{DD} mínimo é menor valor da tensão de alimentação para os transistores estarem no ponto de operação projetado. Na referência proposta, ele está relacionado ao ramo crítico, isto é, o ramo que possui mais componentes entre o V_{DD} e o terra. O ramo crítico na Figura 15 é composto por P6, N7, N8, N6 e D1. Portanto, o V_{DD} mínimo é dado por:

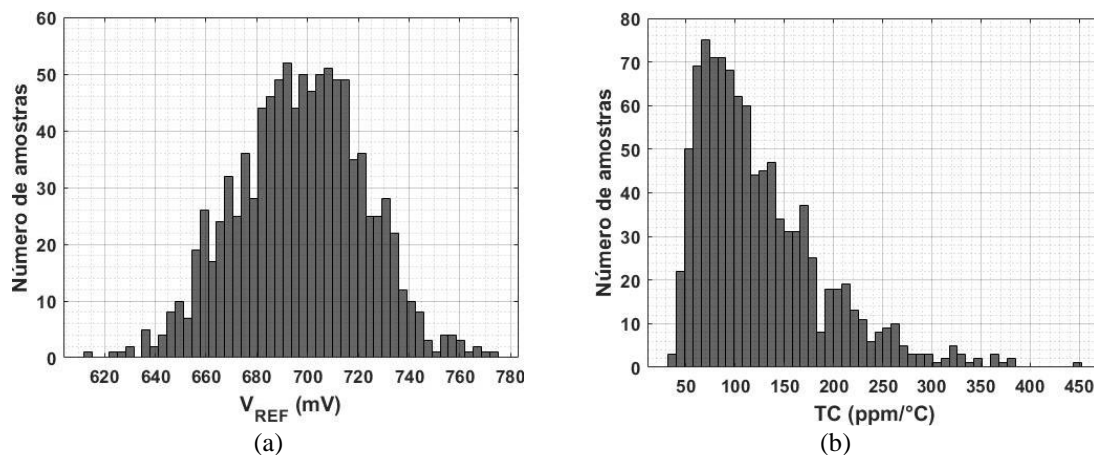
$$V_{DD-min} = V_{OVP6} + V_{DSN7} + V_{DSN8} + V_{DSN6} + V_{D1} \quad (39)$$

Onde V_{OV} é a tensão de *overdrive*, isto é, a diferença entre o V_{GS} em inversão forte e o V_{TH} . Esta diferença é o V_{DS} mínimo para manter o transistor saturado.

3.1 Impacto do processo de fabricação e circuito de ajuste

Além da temperatura e da tensão de alimentação, o processo de fabricação também possui impacto na performance da referência. Este impacto pode ser previsto com a análise de Monte Carlo. A análise foi feita com 1000 amostras e considerando o descasamento de transistores e variações de processo. O histograma obtido com a análise para V_{REF} e para o TC de V_{REF} pode ser visto na Figura 18.

Figura 18 - Histograma de (a) V_{REF} e (b) TC de V_{REF}

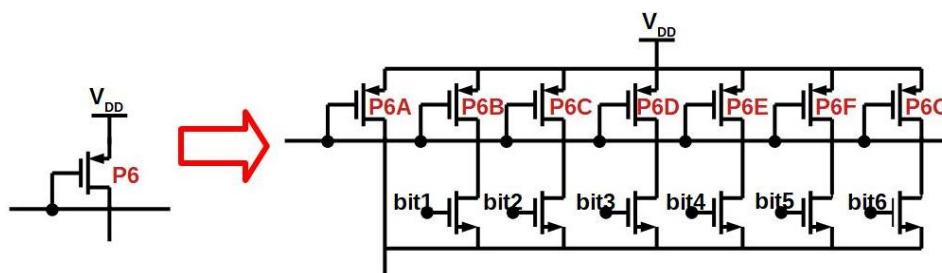


Fonte: próprio autor.

Para V_{REF} , o valor médio obtido em 27 °C foi de 697,1 mV e o desvio padrão 25,11 mV, o que para três vezes o desvio padrão, representa $\pm 10\%$ de variação. Já o TC mostrou ser mais afetado, tendo um valor médio de 125 ppm/°C e o desvio padrão 63,78 ppm/°C. Estes resultados indicam que a referência apresenta uma baixa variação no valor nominal em temperatura ambiente, mas sua performance em temperatura é fortemente influenciada pelo processo fabricação. Esta variação ocorre pois o circuito dependente do casamento dos transistores, o que causa uma variação na corrente entre ramos.

Com o objetivo de mitigar o impacto do processo de fabricação sobre o TC, foi utilizado um circuito de *trimming* ou ajuste. Este circuito pode ser visto na Figura 19. Conforme visto na análise do comportamento do SCCTs na seção 2.3, mais corrente fluindo pelo SCCTs, mais positivo (mais PTAT) se torna o TC da tensão $V_{DS-DOWN}$. Deste modo, a estratégia utilizada foi dividir o transistor P6 em sete transistores iguais. Seis deles conectados a chaves controladas por bits externos. Deste modo, é possível ajustar o TC controlando o nível de corrente que flui pelo SCCT composto pelos transistores N7-N8 e assim fazendo com que V_{DSN8} seja mais ou menos PTAT. A referência de tensão proposta foi projetada com o equivalente a três bits em nível alto (ligado) e três desligados (desligado). Se V_{REF} não estiver compensada e apresentando comportamento mais CTAT, mais chaves devem ser ligadas. Se ocorrer o contrário, basta desligar mais chaves. As dimensões dos transistores da Figura 19 podem ser vistas na Tabela 4.

Figura 19 - Circuito de *trimming*



Fonte: próprio autor.

Tabela 4 - Dimensões dos transistores do circuito de *trimming*

Transistor	P6A	P6B	P6C	P6D	P6E	P6F	P6H
W(μm)	1	1	1	1	1	1	1
L(μm)	14	14	14	14	14	14	14
Paralelo	4	4	4	4	4	4	4
Série	1	1	1	1	1	1	1

Fonte: próprio autor.

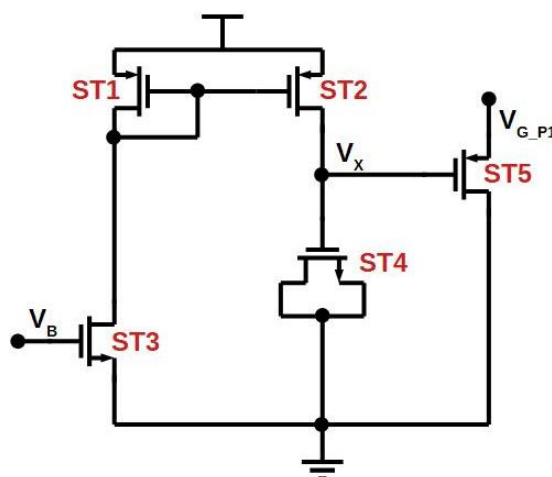
3.2 Circuito de start-up

Para evitar que a que a corrente fornecida pela fonte de corrente tenha um outro estado estável onde I_1 e I_2 são iguais a zero (OGUEY; AEBISCHER, 1997), foi adicionado a referência de tensão da Figura 15 um circuito de start-up. Um circuito de

start-up tem como objetivo forçar que o circuito saia desse ponto estável com correntes nulas e após isso não tenha mais influência sobre o funcionamento do circuito (BAKER, 2010).

O circuito start-up utilizado pode ser visto na Figura 20. Ele funciona da seguinte maneira: quando I_1 e I_2 são iguais a zero, os transistores P1 e P2 não estão conduzindo e, portanto, a tensão na porta V_{G_P1} destes transistores é próxima a V_{DD} . N1 e N2 também estão cortados e suas tensões de porta (V_B na Figura 15) são próximas ao terra. Assim, o transistor ST3 no circuito de start-up também está cortado e nenhuma corrente é espelhada entre ST1 e ST2. O transistor ST4 está operando como um capacitor e sem corrente fluindo por ele, ele não se carrega. Assim, o nó V_X também tem um potencial próximo ao terra. Neste momento, o transistor ST5 possui uma tensão fonte-porta (V_{SG}) próxima a V_{DD} e o transistor está conduzindo, abaixando a tensão V_{G_P1} .

Figura 20 - Circuito de start-up



Fonte: próprio autor.

Os transistores P1 e P2, agora com uma diferença maior entre o V_{DD} e V_{G_P1} , começam a conduzir e assim ligando a fonte de corrente. A fonte de corrente implica que o nó V_B não tem mais potencial nulo e assim, N1, N2 e ST3 no circuito de start-up estão conduzindo. Com corrente fluindo entre ST1 e ST2, ST4 começa a carregar até o ponto que ST5 desliga e o circuito de start-up não influencia mais a fonte de corrente da referência. As dimensões dos transistores do circuito de start-up podem ser vistas na Tabela 5.

Tabela 5 - Dimensões dos transistores do circuito de start-up

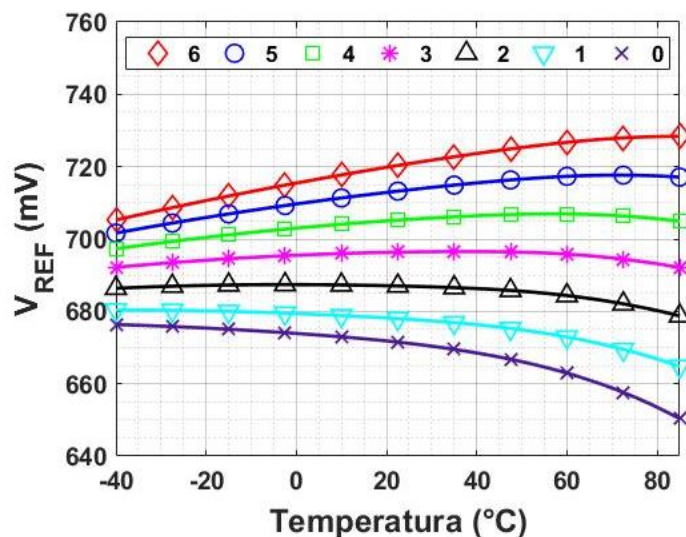
Transistor	ST1	ST2	ST3	ST4	ST5
W(μm)	1	1	0.36	5	5
L(μm)	5	5	20	5	0.50
Paralelo	2	2	1	1	1
Série	1	1	2	1	1

Fonte: próprio autor.

3.3 Simulações

A Figura 21 apresenta simulação da variação de V_{REF} com a temperatura em função do número de bits ligados. Como pode ser visto, para três bits, a tensão V_{REF} está compensada (curva central). Também pode ser visto que poucos bits são necessários para ajustar uma grande variação de V_{REF} e TC.

Figura 21 - Variação da tensão de saída em função da temperatura e número de bits



Fonte: próprio autor.

A Tabela 6 apresenta o valor de V_{REF} em 27 °C e o TC para cada número de bits em nível alto. Também é apresentado qual o comportamento de V_{REF} na variação de temperatura.

Tabela 6 - Resultados da simulação de V_{REF} em relação à temperatura e aos números de bits

Número de bits	V_{REF} (mV) @ 27°C	TC (ppm/°C)	Performance em temperatura
0	670,8	310,1	CTAT
1	677,6	184	CTAT
2	686,9	100,8	CTAT
3	696,4	50,8	Compensada
4	705,6	109,3	PTAT
5	713,9	179,4	PTAT
6	721,3	256,3	PTAT

Fonte: próprio autor.

A simulação com modelos de *corners* também foi feita e os resultados podem ser vistos na Tabela 7. Pode ser visto também por estes resultados, que o nível de V_{REF} em temperatura ambiente não é gravemente afetado pelo uso de diferentes modelos, mas sua performance em temperatura sim e justificando mais uma vez o uso do circuito *trimming*.

A variação com a tensão de alimentação, pode ser vista na Figura 22. O V_{DD} mínimo obtido foi de 1,1 V e pode ser visto que o circuito permanece em funcionamento

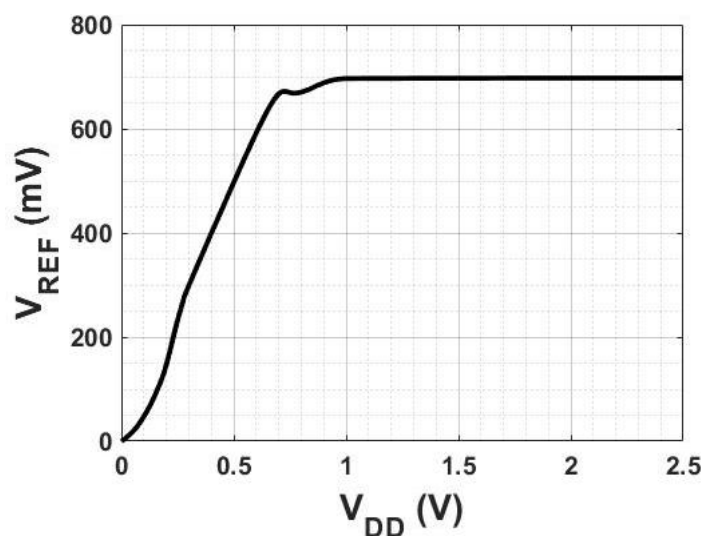
até 2,5 V. A regulação de linha obtida foi de 0,7 mV/V. Para o V_{DD} mínimo, a corrente fornecida pela fonte é de 680 nA, o que resulta em um consumo total de 748 nW.

Tabela 7 - Resultado da simulação com modelos de *corners*

Modelo	V_{REF} (mV)	TC(ppm/°C)
FF	695,4	14,7
FS	696,8	126,4
Nominal	696,4	50,8
SF	695,7	77,4
SS	694,1	69,7

Fonte: próprio autor.

Figura 22 – Simulação da variação da tensão de saída com a tensão de alimentação



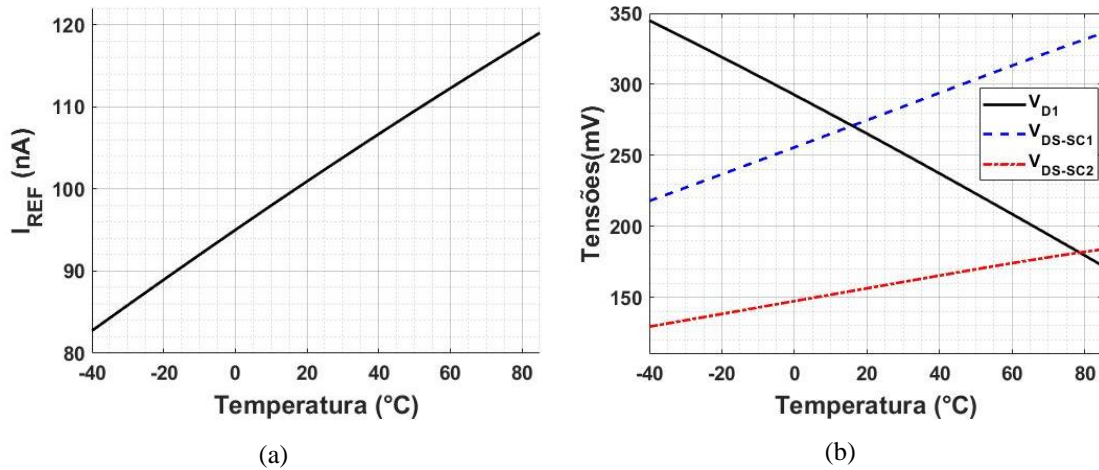
Fonte: próprio autor.

O PSRR (*power-supply rejection ratio*) simulado foi de -55 dB em DC. Para a análise do impacto do circuito de start-up, foi feita a simulação transiente para uma entrada em rampa de 1 μ s. O circuito levou cerca de 30 ms para atingir o estado estacionário sem o uso do circuito de start-up. Adicionando o circuito de start-up, este tempo caiu para 100 μ s. Deste modo, é possível ver como o circuito se tornou mais rápido com a adição deste bloco.

Também foram simuladas em relação a temperatura, a corrente I_{REF} e as tensões V_{DI} , $V_{VDS-SC1}$ e $V_{VDS-SC2}$ que estão indicadas na Figura 15. Estas curvas podem ser vistas na Figura 23.

Com base nestes resultados, conclui-se que a corrente projetada pela fonte de corrente tem um comportamento PTAT. A tensão V_{REF} é a soma das três tensões da Figura 23b e pode ser visto que V_{DI} tem um comportamento CTAT, como era esperado e as tensões dos SCCTs tem comportamento PTAT. Pode ser visto também que a inclinação (logo, o TC) de V_{DI} é maior que das outras tensões e por isso são necessários dois SCCTs para compensar V_{REF} .

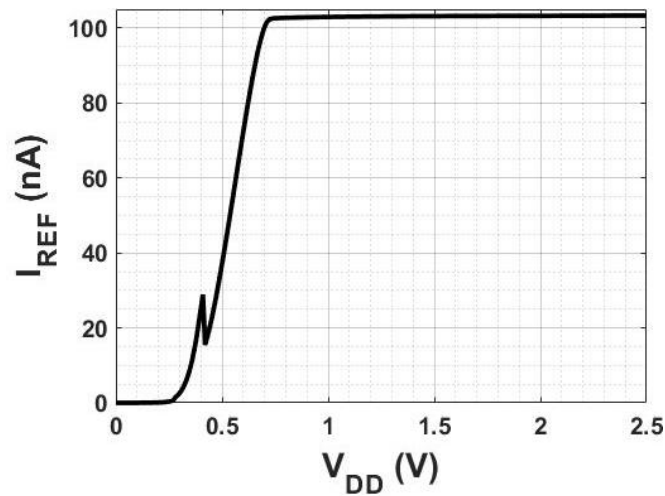
Figura 23 - Simulação da variação com a temperatura de (a) I_{REF} e (b) V_{D1} , V_{DS-SC1} e V_{DS-SC2}



Fonte: próprio autor.

Também é interessante analisar a variação de I_{REF} com a tensão de alimentação, pois é um reflexo da fonte de corrente. A Figura 24 apresenta esta simulação. É interessante notar que o V_{DD} mínimo para a fonte de corrente é menor que o V_{DD} mínimo da referência toda, comprovando que o V_{DD-min} de V_{REF} é limitado pelo núcleo. A regulação de linha de I_{REF} obtida é de 0,2 nA/V.

Figura 24 - Simulação da variação da corrente de saída com a tensão de alimentação



Fonte: próprio autor.

Finalmente, a Tabela 8 apresenta um resumo dos principais resultados obtidos com as simulações.

Tabela 8 - Resumo dos principais resultados das simulações

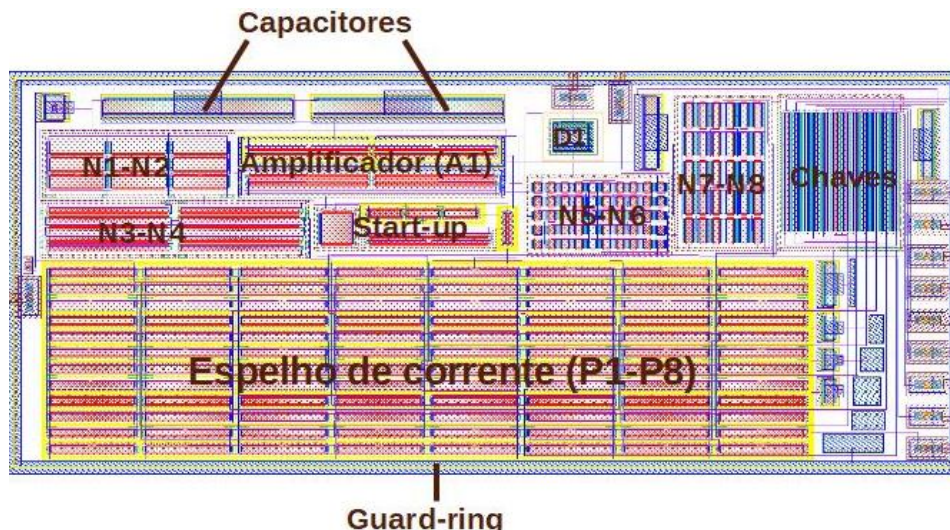
V_{REF} (mV) @ 27°C	$TC_{V_{REF}}$ (ppm/°C)	Faixa de temperatura (°C)
696,4	50,8	125
I_{REF} (nA) @ 27°C	$TC_{I_{REF}}$ (ppm/°C)	Faixa de V_{DD} (V)
103	2800	1.1 – 2.5
Reg. linha (V_{REF}) (mV/V)	Reg. linha (I_{REF}) (nA/V)	I_{SUPPLY} (nA)
0,7	0,2	680

Fonte: próprio autor.

3.4 Layout e fabricação

O layout completo do circuito inclui a referência proposta (Figura 15), o amplificador A1 (Figura 16), o circuito de ajuste (Figura 19) e o circuito de start-up (Figura 20). O projeto foi feito em um processo de fabricação BiCMOS 130 nm. Foram utilizadas estratégias como centroide comum para melhorar o casamento dos transistores, adição de capacitores entre a tensão de alimentação e terra para filtrar ruídos e *guard-ring* para isolar o circuito. A área total da referência é de 68 μm x 161,7 μm (0,011 mm^2). O layout pode ser visto na Figura 25.

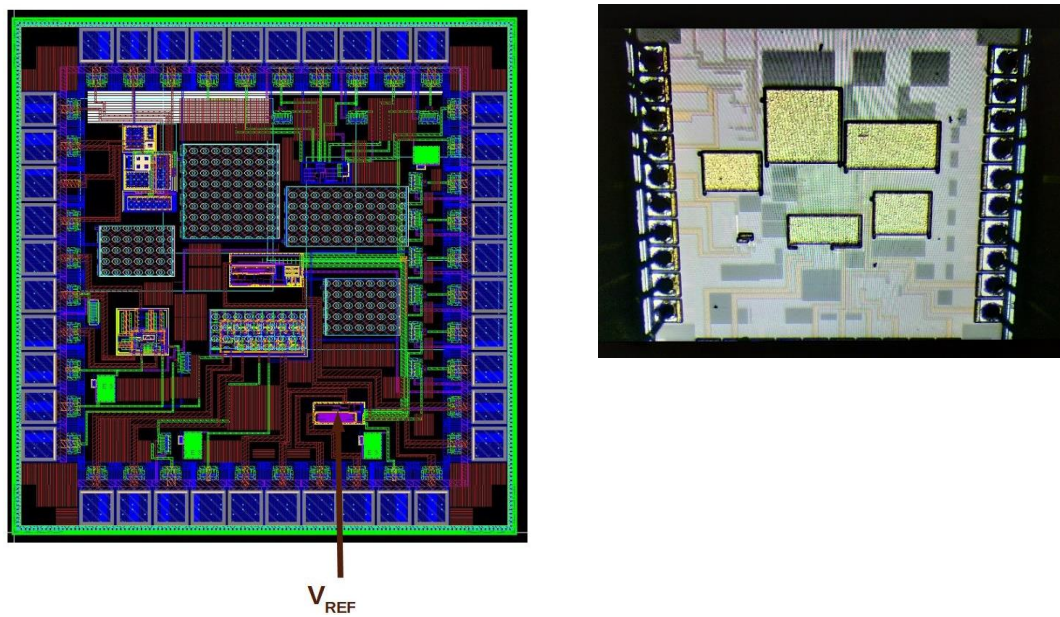
Figura 25 - Layout da referência proposta



Fonte: próprio autor.

O circuito foi incluído em um chip com outros circuitos de propósitos específicos. A área total do chip é 4 mm^2 . O layout e a microfotografia do chip podem ser vistos na Figura 26.

Figura 26 - Chip fabricado

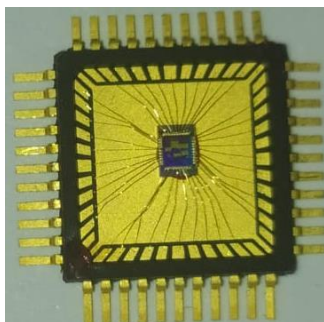


Fonte: próprio autor.

4 Resultados experimentais

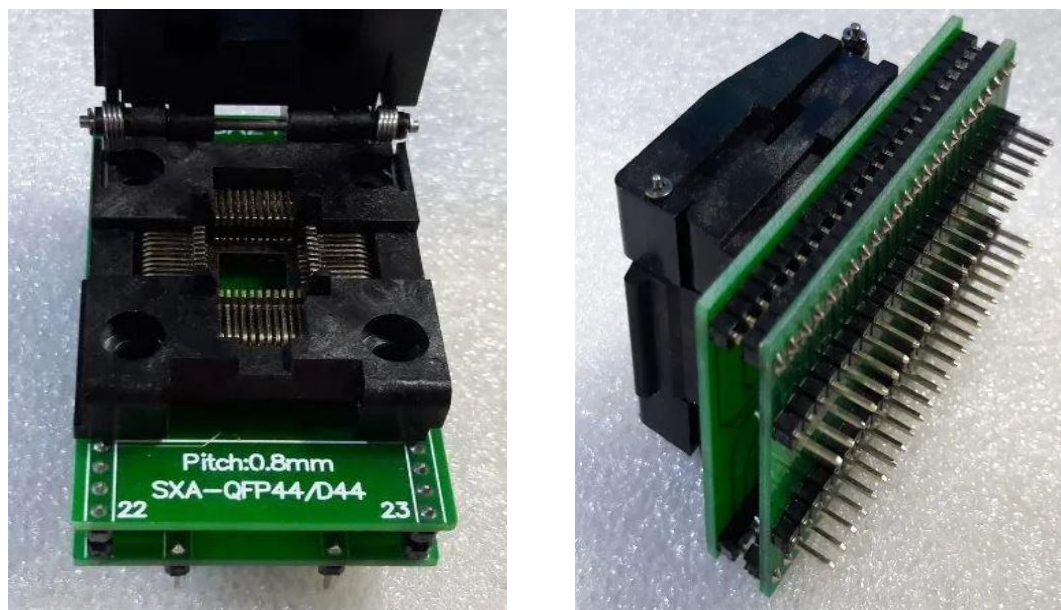
Foram fabricadas 30 amostras do chip da Figura 26 com um encapsulamento do tipo LQFP44. Uma amostra do chip no encapsulamento pode ser vista na Figura 27. Foi necessário o uso de um soquete adaptador de LQFP44 para DIP44, igual ao mostrado na Figura 28. Deste modo é possível facilmente conectar o chip em uma *proto-board*, por exemplo.

Figura 27 - Amostra do chip fabricado sem a tampa de proteção do encapsulamento



Fonte: próprio autor.

Figura 28 - Soquete adaptador de LQFP44 para DIP44



Fonte: próprio autor.

O adaptador também facilitou o projeto da placa de circuito impresso necessária para as medições em temperatura. Os principais resultados das medições podem ser vistos nas próximas seções.

4.1 Medições variando a temperatura

As medições do circuito com a variação de temperatura foram feitas utilizando a câmara climática programável mostrada na Figura 29. A placa de circuito é colocada

dentro da câmara, que é isolada termicamente do exterior. Os cabos para a medição são passados para o exterior da câmara através da abertura na parte superior. Mesmo com a passagens dos cabos, o isolamento do interior da câmara é mantido. Para medir as tensões V_{REF} , V_{test1} e V_{test2} (indicadas na Figura 16) e a corrente I_{REF} foram utilizadas SMUs (*source-measure unit*) de alta precisão. Para gerar a tensão de alimentação e a tensão de 2,5 V, para as chaves do circuito de ajuste, foram utilizadas fontes de alimentação de laboratório.

Figura 29 - Câmara térmica programável utilizada para medições



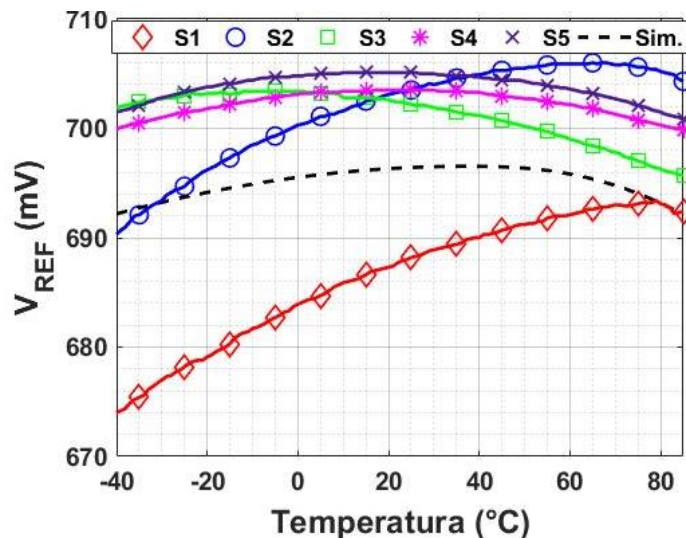
Fonte: próprio autor.

A câmara foi programada para esquentar da temperatura inicial, geralmente a temperatura ambiente, até 85 °C. Ao atingir os 85 °C, era aguardado um tempo para as tensões e corrente medidas estabilizarem, isto é, que o circuito atingisse a mesma temperatura da câmara e os valores medidos representassem realmente o valor para 85°C. Depois, era iniciado o resfriamento da câmara, onde a cada grau atingido, era parado o resfriamento para que os valores estabilizassem e fosse possível registrar as medidas. O processo foi repetido até atingir -40 °C. Nesta temperatura, era encerrado o registro das medidas e a câmara esquentava até a temperatura ambiente para poder ser feita retirada do circuito do seu interior. O processo completo levava em torno de cinco horas para ser feito.

Cinco amostras foram medidas com a variação de temperatura. A tensão de alimentação utilizada foi de 1,1 V e assim como no projeto nominal, três bits do circuito de ajuste foram mantidos ligados (conectados à tensão de 2,5 V). Na Figura 30 é possível

ver os resultados obtidos em comparação ao resultado simulado, já apresentado no capítulo 3.

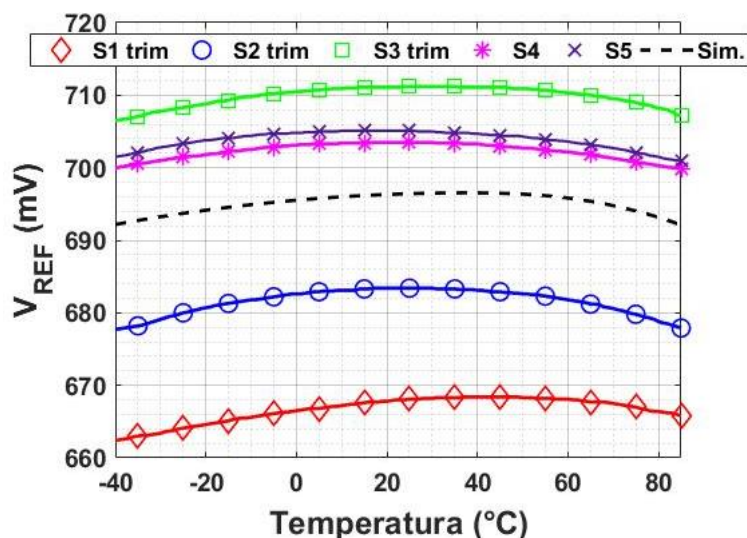
Figura 30 - V_{REF} medido em função da temperatura para cinco amostras



Fonte: próprio autor.

As amostras S4 e S5 apresentaram o comportamento nominal desejado. Ambas estão compensadas em temperatura e apresentaram apenas um pequeno *offset* comparado resultado simulado. As amostras S1 e S2 apresentaram um comportamento mais próximo de uma tensão PTAT enquanto a amostra S3 apresentou um comportamento mais próximo de uma tensão CTAT. Todos estes os resultados foram previstos pela análise de Monte Carlo, apresentada na seção 3.1. A tensão V_{REF} em temperatura ambiente e o TC das cinco amostras são apresentadas na Tabela 9.

Comparando as curvas da Figura 30 com as da Figura 21 e os valores de TC da Tabela 9 com os da Tabela 6, é visto que as performances de S1 e S2 são mais próximas à de somente 5 bits do circuito de *trimming* em nível alto. Ou seja, é necessário diminuir a corrente que está fluindo pelos SCCTs para diminuir o termo PTAT de V_{REF} . Enquanto a amostra S3 tem performance mais parecida a de 2 bits ligados, sendo necessária uma quantidade maior de corrente fluindo através dos SCCTs. Esta comparação é importante pois é um indicador de quantos bits serão ligados/desligados para o ajuste. Deste modo, foram desligados dois bits de S1 e S2 (resultando em apenas um bit ligado) e S3 teve um bit ligado (resultado em 4 bits ligados). As novas curvas medidas após o ajuste podem ser vistas na Figura 31 e a Tabela 9 apresenta o resumo dos resultados antes e depois do ajuste.

Figura 31 - V_{REF} medido em função da temperatura para cinco amostras com ajuste

Fonte: próprio autor.

Tabela 9 - Resumo dos principais resultados de V_{REF} em função da temperatura

	V_{REF} (mV) @ 27°C	TC (ppm/°C)	V_{REF} ajustado (mV) @ 27°C	TC ajustado (ppm/°C)
Simulação	696,4	50,8	-	-
S1	688,4	225,4	668,1	71,8
S2	703,8	178,4	683,4	66,7
S3	702,1	87,7	711,2	52,8
S4	703,5	40,9	-	-
S5	705	47,6	-	-

Fonte: próprio autor.

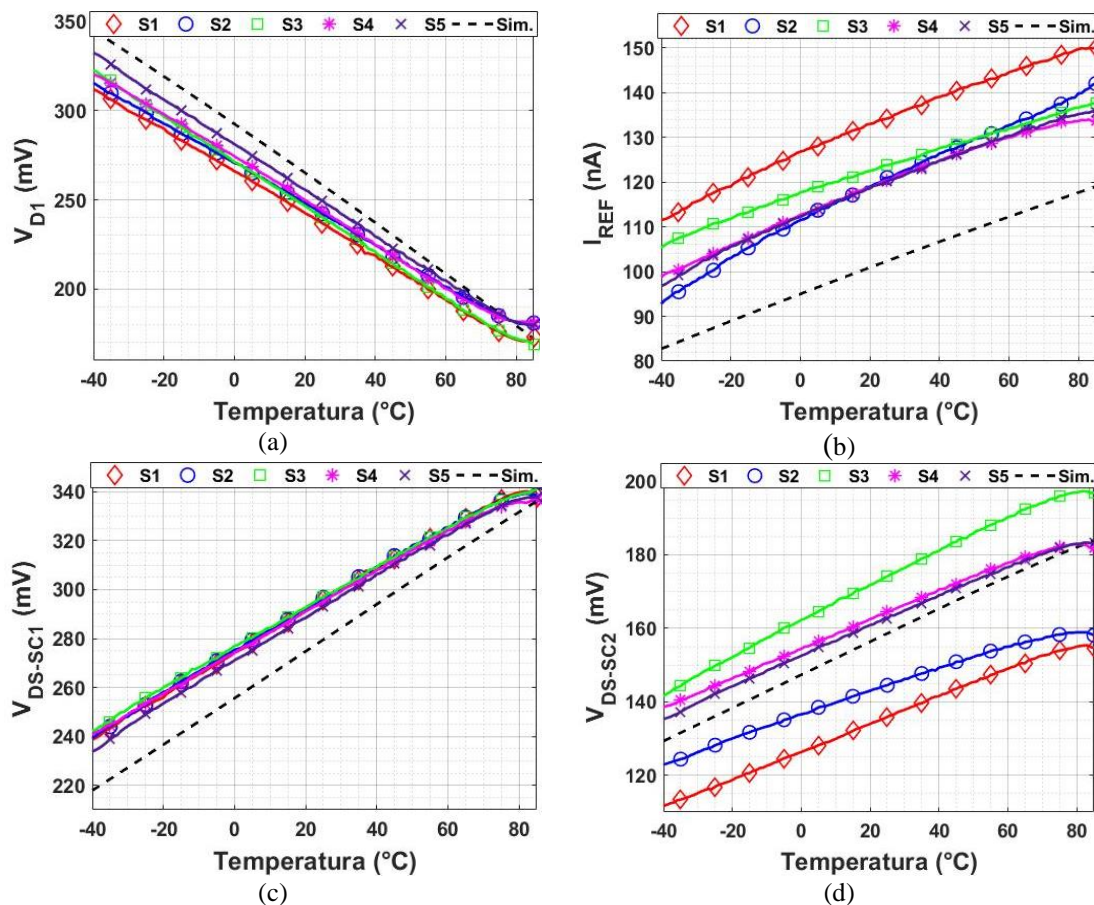
Estes resultados mostram a eficiência do circuito *trimming* em compensar a referência em relação à temperatura. Antes do ajuste, o TC médio era de 116 ppm/°C, enquanto com o ajuste, este valor cai para 56 ppm/°C. Uma melhoria de 48%. Uma sugestão de melhoria ainda para o projeto da referência, seria dividir ainda mais o transistor P6, deste modo os saltos de TC entre os números de bits ligados seriam menores e mais precisos. No entanto, com isto há a necessidade de aumentar o número de chaves e assim, de pinos para os bits.

Medindo os pontos V_{test1} e V_{test2} em conjunto com V_{REF} foi possível obter também as tensões V_{D1} , V_{DS-SC1} e V_{DS-SC2} . Estas tensões e a corrente I_{REF} têm seus resultados apresentados na Figura 32. A Figura 32a apresenta as medidas da tensão sobre o diodo Schottky. Como era esperado, tem-se um comportamento CTAT e todas as amostras mostraram resultados próximos ao simulado.

Na Figura 32b é possível ver os resultados de I_{REF} . Como pode ser visto, para as amostras S1 e S2, I_{REF} apresentou maior inclinação, isto é, I_{REF} varia mais com a temperatura. Esta variação pode ser responsável pelas amostras S1 e S2 terem tido

comportamento mais PTAT. De maneira semelhante, S3 tem a menor inclinação, o que explica a tensão V_{REF} ter comportamento CTAT.

Figura 32 – Medidas em temperatura de (a) V_{D1} , (b) I_{REF} , (c) V_{DS-SC1} e (d) V_{DS-SC2}



Fonte: próprio autor.

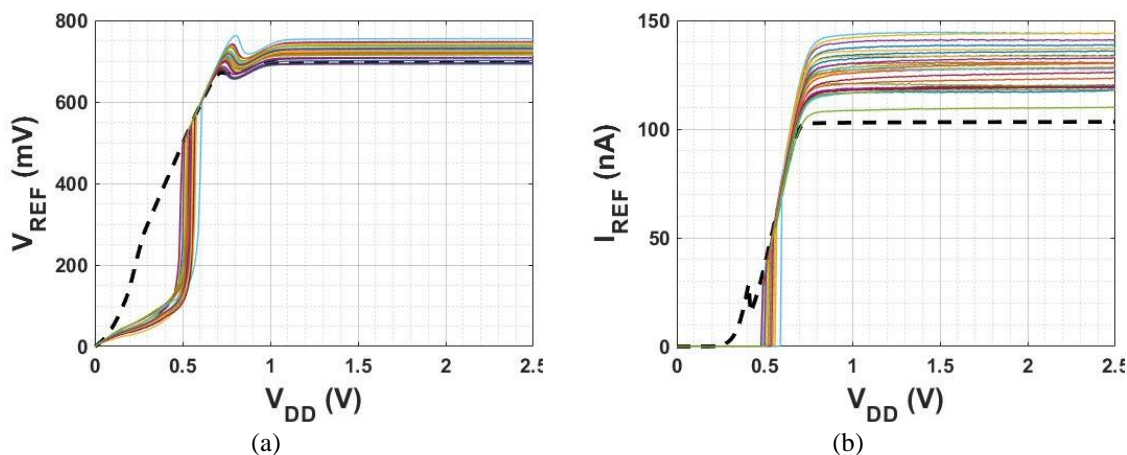
Por fim, as tensões V_{DS-SC1} e V_{DS-SC2} são vistas na Figura 32c,d. Como esperado pelo estudo dos SCCTs, ambas as tensões têm comportamento PTAT. Isto acontece devido a razão entre os transistores superiores e inferiores serem grandes o suficiente para manter o transistor superior saturado.

4.2 Medições variando a tensão de alimentação

As medições da resposta do circuito com a variação da tensão de alimentação foram feitas utilizando o analisador de semicondutores. Este equipamento permite fazer uma varredura da tensão de alimentação e fazer as medições de maneira rápida e precisa. Foram feitas as medidas em 26 amostras para V_{REF} e I_{REF} . Os resultados das duas medições são apresentados na Figura 33 onde a linha tracejada indica a curva obtida pela simulação.

A regulação de linha média obtida para a tensão de saída foi de 2,3 mV/V com um desvio padrão (σ) de 0,6 mV/V. Para a corrente de saída, a regulação de linha média obtida foi de 0,9 nA/V com desvio padrão de 0,7 nA/V.

Figura 33 – Variação de (a) V_{REF} e (b) I_{REF} em relação à variação da tensão de alimentação



Fonte: próprio autor.

Os resultados experimentais para a variação da tensão de alimentação comparados ao resultado simulado apresentaram grandes semelhanças, principalmente no V_{DD-min} , sendo 1,1 V para V_{REF} e 0,7 para I_{REF} .

Finalmente, a Tabela 10 apresenta o resumo das medições.

Tabela 10 - Resumo dos principais resultados das simulações

V_{REF} @ 27°C		$TC_{V_{REF}}$		Faixa de temperatura (°C)
médio (mV)	σ (mV)	médio (ppm/°C)	σ (ppm/°C)	
720,4	16,6	56	13	125
I_{REF} @ 27°C		$TC_{I_{REF}}$		Faixa de V_{DD} (V)
médio (nA)	σ (nA)	médio (ppm/°C)	σ (ppm/°C)	
126,8	9,11	2500	452	1.1 – 2.5
Reg. linha (V_{REF})		Reg. linha (I_{REF})		I_{SUPPLY} (nA)
médio (mV/V)	σ (mV/V)	médio (nA/V)	σ (nA/V)	
2,3	0,6	0,9	0,7	680

Fonte: próprio autor.

4.3 Comparação com outros trabalhos

Este trabalho foi comparado com trabalhos semelhantes. As maiores vantagens relacionada aos trabalhos é o circuito proposto ocupar uma área menor que de todos os trabalhos. Além disso, o V_{DD-min} é menor que dos outros circuitos. No entanto, o circuito proposto apresenta a desvantagem de ter um TC mais alto.

Com a comparação destes resultados, é possível concluir que o circuito proposto é mais adequado para aplicações que visam baixo consumo com uma área menor, enquanto a referência não necessitar ter alta precisão nem exatidão.

Tabela 11 - Comparação com outros trabalhos

	Este trabalho	Liu <i>et al.</i> (2019)	Zhou <i>et al.</i> (2019)	Lee, Liao e Lee (2019)	Oliveira e Petraglia (2019)	Kamath <i>et al.</i> (2019)	Lee <i>et al.</i> (2020)
V_{REF} (V)	0,72	2,56	1,14	0,596	0,5	1	0,5
Tensão de alimentação (V)	1,1 a 2,5	4,5 a 5,5	2 a 5	1,3	1,2 a 1,8	1,375	1,8
Faixa de temperatura (°C)	-40 a 85	-40 a 100	-40 a 125	-10 a 120	0 a 100	-45 a 125	-40 a 140
Consumo de corrente (µA)	0,68	6,8	33	2,7	5,1	689	26,3
Área (mm²)	0,011	0,075	0,0396	0,8	0,073	0,078	0,0139
TC (ppm/°C)	56	2,6	1,01	30,95	22	6	3,66
Processo CMOS (nm)	130	180	350	180	180	7	180
Regulação de linha (mV/V)	2,3	0,02	2	-	1,4	1	3,3
Ano	2019	2019	2019	2019	2019	2019	2020

Fonte: próprio autor.

5 Conclusão

Este trabalho investigou o uso de duas abordagens não convencionais de gerar as tensões PTAT e CTAT a fim de obter uma referência de tensão compensada na temperatura com baixo consumo. Para gerar a tensão PTAT foi feito o estudo do comportamento de *self-cascode composite transistors* (SCCT). Uma matriz com SCCTs de razões de aspecto diferentes foi projetada e medida para níveis de correntes diferentes. Com os resultados obtidos foi concluído que, além de gerar uma tensão PTAT, com um dimensionamento e uma polarização apropriados é possível obter uma tensão moderadamente compensada na temperatura com um simples SCCT.

Com o objetivo de obter uma tensão CTAT, foi estudado o comportamento do diodo Schottky. Este diodo possui uma relação entre corrente e tensão semelhante ao do diodo de junção, porém, com a vantagem de a tensão de polarização ser menor, possibilitando utilizar uma tensão de alimentação mais baixa que da referência *Bandgap* convencional.

Tendo resultados promissores a partir dos estudos do SCCT e do diodo Schottky, ambas as abordagens foram combinadas para projetar uma referência de tensão. A referência possui uma fonte de corrente que não usa resistores, possibilitando uma área menor. A referência também possui um circuito de *trimming* para o ajuste externo do TC da referência. Foram apresentados os resultados das medições das amostras e com o ajuste feito, o TC médio obtido foi de 56 ppm/°C para uma tensão de saída média de 720 mV com um consumo próximo de 750 nW para uma tensão de alimentação mínima.

A referência proposta, portanto, é adequada para operações de baixo consumo e área pequena onde a alta precisão e exatidão da referência não é mandatória.

No entanto, para projetar a referência proposta em outros processos de fabricação, é necessária uma análise prévia do comportamento dos componentes. Principalmente se há um diodo Schottky disponível e o seu comportamento na temperatura. Um diodo com um TC absoluto que diverge muito do TC do TBJ requererá algumas estratégias para que a tensão de saída seja compensada.

O circuito foi publicado na revista *Electronics*, conforme pode ser visto em Brito *et al.* (2019).

Referências

- ALBANO, Domenico *et al.* A picopower temperature-compensated, subthreshold CMOS voltage reference. **International Journal of Circuit Theory and Applications**, [s.l.], v. 42, n. 12, p. 1306-1318, 10 jun. 2013.
- BAKER, Jacob R.. **CMOS Circuit Design, Layout and Simulation**. 3. ed. Piscataway, NJ, USA: IEEE Press;, 2010.
- BRITO *et al.* CMOS Voltage Reference using a Self-Cascode Composite Transistor and a Schottky Diode. **Electronics**, [s.l.], v. 8, n. 11, p. 1271, 1 nov. 2019.
- BUTLER, David L.; BAKER, R. Jacob. Low-voltage bandgap reference design utilizing Schottky diodes. In: 48TH MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2005, 48., 2005, Covington, Ky, USA. **Proceedings [...]**. Covington, Ky, Usa: IEEE, 2005. p. 1794-1797.
- CAMPANA, V.R. **Sub 0.5 V Supply Resistorless Voltage Reference Design for Low Voltage Applications**. 2017. 116 f. Proposta de Tese (Doutorado em Microeletronica) – Departamento de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre.
- CAMPANA, V. Renato; KLIMACH, Hamilton; BAMPI, Sergio. Nano-watt 0.3 V supply resistorless voltage reference with Schottky diode. In: 2016 IEEE 7TH LATIN AMERICAN SYMPOSIUM ON CIRCUITS & SYSTEMS (LASCAS), 7., 2016, Florianopolis, Brazil. **Proceedings [...]**. Florianopolis, Brazil: IEEE, 2016. p. 175-178.
- COLOMBO, Dalton *et al.* A CMOS 25.3 ppm/°C bandgap voltage reference using self-cascode composite transistor. In: 2012 IEEE 3RD LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS (LASCAS), 3., 2012, Playa del Carmen, Mexico. **Proceedings [...]**. Playa del Carmen, Mexico: IEEE, 2012. p. 1-4.
- COLOMBO, Dalton Martini; WIRTH, Gilson; BAMPI, Sergio. Sub-1 V band-gap based and MOS threshold-voltage based voltage references in 0.13 μm CMOS. **Analog Integrated Circuits and Signal Processing**, [s.l.], v. 82, n. 1, p. 25-37, 18 jun. 2014.
- COLOMBO, Dalton; BRITO, Thaironi M. de; COIMBRA, Flavius Vinicius A.. An approach a new 1 V supply resistorless voltage reference using Schottky diode. In: 2018 IEEE 9TH LATIN AMERICAN SYMPOSIUM ON CIRCUITS & SYSTEMS (LASCAS), 9., 2018, Puerto Vallarta, Mexico. **Proceedings [...]**. Puerto Vallarta, Mexico: IEEE, 2018. p. 1-4.
- FAKHARYAN, Iman; EHSANIAN, Mehdi; HAYATI, Hadi. A 0.9-V supply, 16.2 nW, fully MOSFET resistorless bandgap reference using sub-threshold operation. **Analog Integrated Circuits and Signal Processing**, [s.l.], v. 103, n. 2, p. 367-374, maio 2020.
- FERREIRA, L.H.C.; **Uma Referência de Tensão CMOS Baseada na Tensão Threshold em Ultra-Baixa Tensão e Ultra-Baixa Potência**. 2008. 81 f. Tese (Doutorado em Engenharia Elétrica). Instituto de Engenharia de Sistemas e Tecnologia da Informação, Universidade Federal de Itajubá, Itajubá.
- FERREIRA, L. H. C.; PIMENTA, T. C.; MORENO, R. L.. An Ultra-Low-Voltage Ultra-Low-Power Weak Inversion Composite MOS Transistor: concept and applications. **IEICE Transactions on Electronics**, [s.l.], v. 91, n. 4, p. 662-665, 1 abr. 2008.
- HILBIBER, D.. A new semiconductor voltage standard. **1964 IEEE International Solid-state Circuits Conference. Digest of Technical Papers**, [s.l.], v. 7, p. 32-33, fev. 1964.
- KAMATH, U. *et al.* A 1-V Bandgap Reference in 7-nm FinFET With a Programmable Temperature Coefficient and Inaccuracy of $\pm 0.2\%$ From -45°C to 125°C . **IEEE Journal of Solid-State Circuits**, [s.l.], v.54, n. 7, p. 1830-1840, jul. 2019.
- KINGET, P.. Voltage References for Ultra-Low Supply Voltages. In: 2008 IEEE Custom Integrated Circuits Conference, 1., 2008, San Jose, CA, EUA. **Proceedings [...]**. San Jose, CA, EUA: IEEE, 2008, p. 465-474.

LEE, Chang-Chi *et al.* A High-Precision Bandgap Reference With a V-Curve Correction Circuit. **IEEE Access**, [s.l.], v. 8, p. 62632-62638, 2020.

LEE, S.-Y.; LIAO, Z.-X.; LEE, C.-H. Energy-Harvesting Circuits with a High-Efficiency and a Low Temperature Coefficient Bandgap Voltage Reference. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, [s.l.], v. 27, n. 8, p. 1760-1767, ago. 2019.

LIU, Q. *et al.* A 2.6 ppm/°C 2.5 V Piece-Wise Compensated Bandgap Reference with Low Beta Bipolar. **Electronics**, [s.l.], v. 8, n. 5, p. 555, maio 2019.

OGUEY, H.J.; AEBISCHER, D.. CMOS current reference without resistance. **IEEE Journal Of Solid-State Circuits**, [s.l.], v. 32, n. 7, p. 1132-1135, jul. 1997.

OLIVEIRA, Arthur Campos *et al.* A 0.45 V, 93 pW temperature-compensated CMOS voltage reference. In: 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS), 8., 2017, Bariloche, Argentina. **Proceedings [...]**. Bariloche, Argentina: IEEE, 2017, p. 1-4.

OLIVEIRA, Arthur Campos *et al.* A 0.12-0.4 V, Versatile 3-Transistor CMOS Voltage Reference for Ultra-Low Power Systems. **IEEE Transactions on Circuits and Systems I: Regular Papers**, [s.l.], v. 65, n. 11, p. 3790-3799, 14 set. 2018.

OLIVEIRA, F.; PETRAGLIA, A. Adjustable Output CMOS Voltage Reference Design. **IEEE Transactions on Circuits and Systems II: Express Briefs**, [s.l.], p. 1, 2019.

RINCÓN-MORA, Gabriel A. **Voltage References: from diodes to precision high-order bandgap circuits**. [s.l.]: Wiley-IEEE Press, 2002. 192 p.

TSIVIDIS, Y.P.. Accurate analysis of temperature effects in $I_{SUB} c/V_{SUB} BE/$ characteristics with application to bandgap reference sources. **IEEE Journal of Solid-State Circuits**, [s.l.], v. 15, n. 6, p. 1076-1084, dez. 1980.

TSIVIDIS, Yannis. **Operation and Modeling of the MOS Transistor**. 2. ed. New York: Oxford University Press, 1999. 648 p. (McGraw-Hill Series in Electrical Engineering).

UENO, Ken *et al.* A 300 nW, 15 ppm/°C, 20 ppm/V CMOS Voltage Reference Circuit Consisting of Subthreshold MOSFETs. **IEEE Journal Of Solid-State Circuits**, [s.l.], v. 44, n. 7, p. 2047-2054, jul. 2009.

VITTOZ, E.; FELLRATH, J.. CMOS analog integrated circuits based on weak inversion operations. **IEEE Journal of Solid-state Circuits**, [s.l.], v. 12, n. 3, p. 224-231, jun. 1977.

WIDLAR, R.J.. New developments in IC voltage regulators. **IEEE Journal of Solid-State Circuits**, [s.l.], v. 6, n. 1, p. 2-7, fev. 1971.

YAN, W.; LI, W.; LIU, R.. Nanopower CMOS sub-bandgap reference with 11 ppm/°C temperature coefficient. **Electronics Letters**, [s.l.], v. 45, n. 12, p. 627, 2009.

ZHOU, Z.-K. *et al.* A resistorless High-Precision Compensated CMOS Bandgap Voltage Reference. **IEEE Transactions on Circuits and Systems: Regular Papers**, [s.l.], v. 66, n.1, p. 428-437, jan. 2019.

Apêndice A – Equações da tensão de saída do SCCT

Os SCCTs da Figura 3 possuem algumas características importantes para o equacionamento da tensão de saída.

$$I_{DS-DOWN} = I_{DS-UP} \quad (40)$$

$$V_{DS-DOWN} = V_{GS-DOWN} - V_{GS-UP} \quad (41)$$

$$V_{DS-UP} = V_{GS-UP} \quad (42)$$

Primeiro, considerando o caso em que o transistor N_{UP} não está saturado, portanto, a equação para corrente é dada por:

$$I_{DS} = I_S S \exp\left(\frac{V_{GS} - V_{TH}}{nU_t}\right) \left[1 - \exp\left(-\frac{V_{DS}}{U_t}\right)\right] \quad (43)$$

Considerando o transistor N_{DOWN} também em regime linear e utilizando a igualdade da equação (40):

$$\begin{aligned} I_S S_{DOWN} \exp\left(\frac{V_{GS-DOWN} - V_{TH}}{nU_t}\right) \left[1 - \exp\left(-\frac{V_{DS-DOWN}}{U_t}\right)\right] \\ = I_S S_{UP} \exp\left(\frac{V_{GS-UP} - V_{TH}}{nU_t}\right) \left[1 - \exp\left(-\frac{V_{DS-UP}}{U_t}\right)\right] \end{aligned} \quad (44)$$

A corrente de saturação I_S é a mesma para os dois transistores, portanto:

$$\begin{aligned} S_{DOWN} \exp\left(\frac{V_{GS-DOWN} - V_{TH}}{nU_t}\right) \left[1 - \exp\left(-\frac{V_{DS-DOWN}}{U_t}\right)\right] \\ = S_{UP} \exp\left(\frac{V_{GS-UP} - V_{TH}}{nU_t}\right) \left[1 - \exp\left(-\frac{V_{DS-UP}}{U_t}\right)\right] \end{aligned} \quad (45)$$

Como o transistor não está em saturação, V_{DS-UP} é menor $4U_t$ e assim, um valor pequeno e pode-se ser feita a aproximação $\exp(x) = 1 + x$. Fazendo esta aproximação em (45) e reagrupando os termos:

$$S_{DOWN} \exp\left(\frac{V_{GS-DOWN} - V_{TH}}{nU_t}\right) \left[1 - \exp\left(-\frac{V_{DS-DOWN}}{U_t}\right)\right] \quad (46)$$

$$\begin{aligned} = S_{UP} \exp\left(\frac{V_{GS-UP} - V_{TH}}{nU_t}\right) \frac{V_{DS-UP}}{U_t} \\ \exp\left(\frac{V_{GS-DOWN} - V_{TH}}{nU_t}\right) \left[1 - \exp\left(-\frac{V_{DS-DOWN}}{U_t}\right)\right] \end{aligned} \quad (47)$$

$$\begin{aligned} = \frac{S_{UP}}{S_{DOWN}} \exp\left(\frac{V_{GS-UP} - V_{TH}}{nU_t}\right) \frac{V_{DS-UP}}{U_t} \\ \frac{\exp\left(\frac{V_{GS-DOWN} - V_{TH}}{nU_t}\right)}{\exp\left(\frac{V_{GS-UP} - V_{TH}}{nU_t}\right)} \left[1 - \exp\left(-\frac{V_{DS-DOWN}}{U_t}\right)\right] = \frac{S_{UP}}{S_{DOWN}} \frac{V_{DS-UP}}{U_t} \end{aligned} \quad (48)$$

Aplicando a propriedade de exponenciais $\exp(x)/\exp(y) = \exp(x-y)$:

$$\exp\left(\frac{V_{GS-DOWN} - V_{TH} - V_{GS-UP} + V_{TH}}{nU_t}\right) [1 - \exp(-\frac{V_{DS-DOWN}}{U_t})] \quad (49)$$

$$= \frac{S_{UP}}{S_{DOWN}} \frac{V_{DS-UP}}{U_t} \exp\left(\frac{V_{GS-DOWN} - V_{GS-UP}}{nU_t}\right) [1 - \exp(-\frac{V_{DS-DOWN}}{U_t})] = \frac{S_{UP}}{S_{DOWN}} \frac{V_{DS-UP}}{U_t} \quad (50)$$

Utilizando a igual da equação (41) na equação (50) e fazendo a multiplicação do primeiro termo.

$$\exp\left(\frac{V_{DS-DOWN}}{nU_t}\right) [1 - \exp(-\frac{V_{DS-DOWN}}{U_t})] = \frac{S_{UP}}{S_{DOWN}} \frac{V_{DS-UP}}{U_t} \quad (51)$$

$$\exp\left(\frac{V_{DS-DOWN}}{nU_t}\right) - \exp\left(\frac{V_{DS-DOWN} - V_{DS-DOWN}}{U_t}\right) = \frac{S_{UP}}{S_{DOWN}} \frac{V_{DS-UP}}{U_t} \quad (52)$$

$$\exp\left(\frac{V_{DS-DOWN}}{nU_t}\right) - 1 = \frac{S_{UP}}{S_{DOWN}} \frac{V_{DS-UP}}{U_t} \quad (53)$$

Aplicando o logaritmo natural em ambos os lados:

$$\frac{V_{DS-DOWN}}{nU_t} = \ln\left(1 + \frac{S_{UP}}{S_{DOWN}} \frac{V_{DS-UP}}{U_t}\right) \quad (54)$$

$$V_{DS-DOWN} = nU_t \ln\left(1 + \frac{S_{UP}}{S_{DOWN}} \frac{V_{DS-UP}}{U_t}\right) \quad (55)$$

Finalmente, substituindo (42) em (55).

$$V_{DS-DOWN} = nU_t \ln\left(1 + \frac{S_{UP}}{S_{DOWN}} \frac{V_{GS-UP}}{U_t}\right) \quad (56)$$

Esta é a equação para $V_{DS-DOWN}$ quando o transistor N_{UP} está em triodo. Para o caso que está em saturação, a equação (43) se torna:

$$I_{DS} = I_S S \exp\left(\frac{V_{GS} - V_{TH}}{nU_t}\right) \quad (57)$$

E a igualdade da equação (42) se torna:

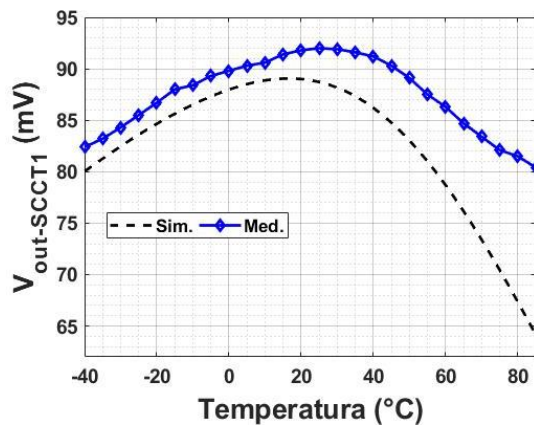
$$I_S S_{DOWN} \exp\left(\frac{V_{GS-DOWN} - V_{TH}}{nU_t}\right) [1 - \exp(-\frac{V_{DS-DOWN}}{U_t})] = I_S S_{UP} \exp\left(\frac{V_{GS-UP} - V_{TH}}{nU_t}\right) \quad (58)$$

Os passos do desenvolvimento seguem o mesmo para o caso saturado, resultando na seguinte equação:

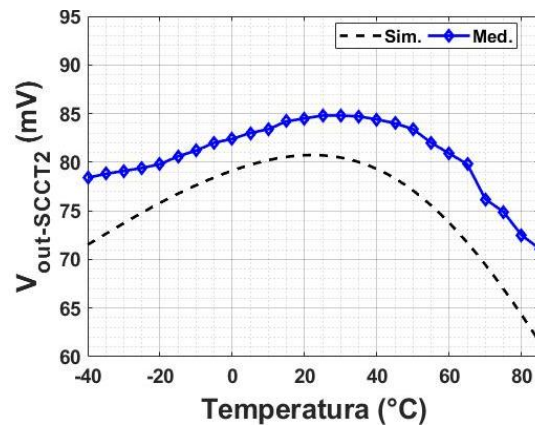
$$V_{DS-DOWN} = nU_t \ln\left(1 + \frac{S_{UP}}{S_{DOWN}}\right) \quad (59)$$

Apêndice B – Medições da matriz de SCCTs

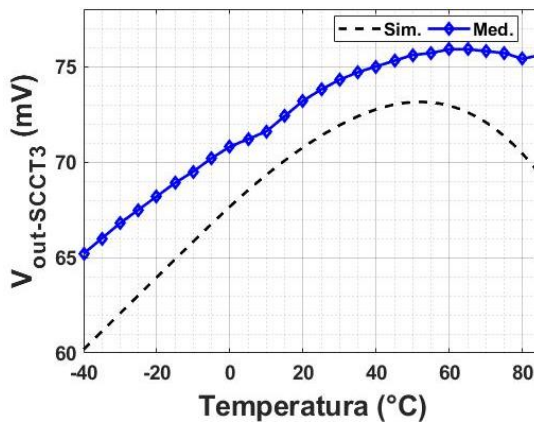
Para $I_{Bias} = 100$ nA.



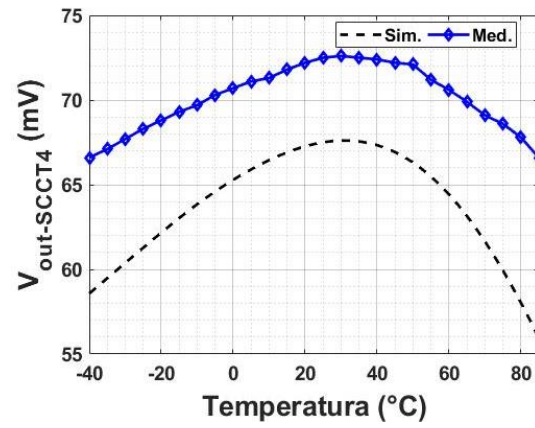
(a) SCCT1



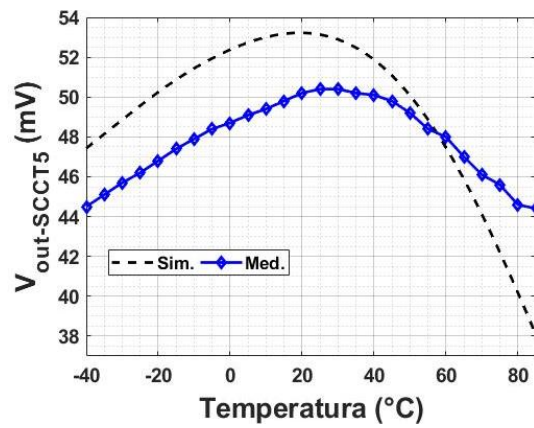
(b) SCCT2



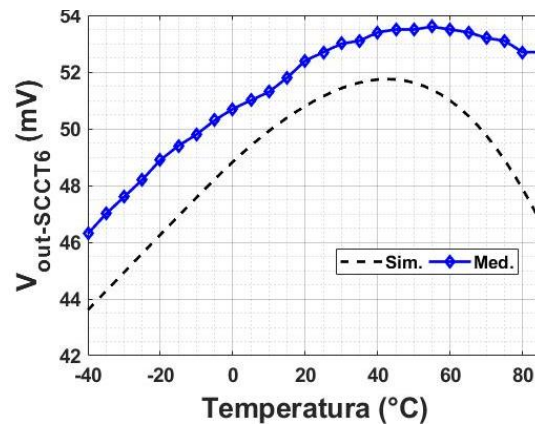
(c) SCCT3



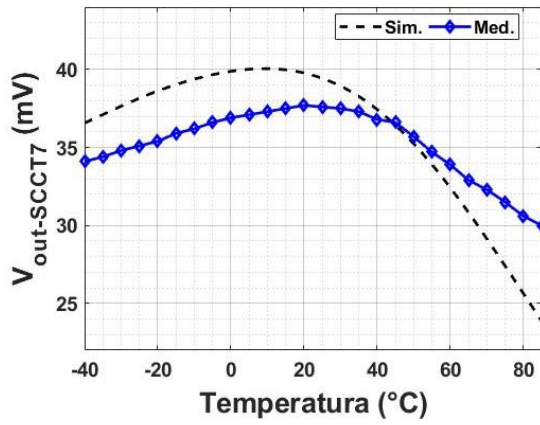
(d) SCCT4



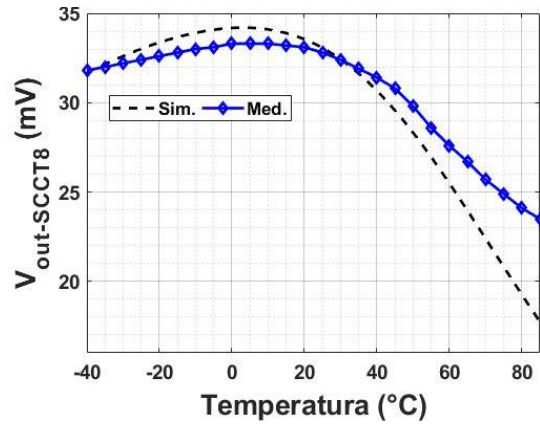
(e) SCCT5



(f) SCCT6

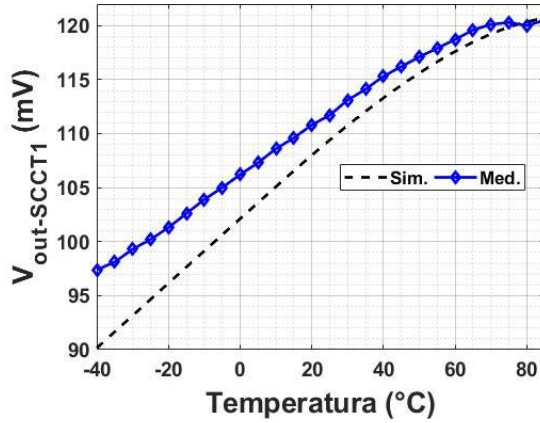


(g) SCCT7

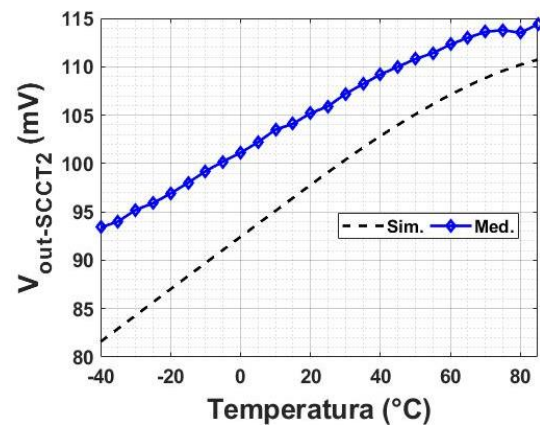


(h) SCCT8

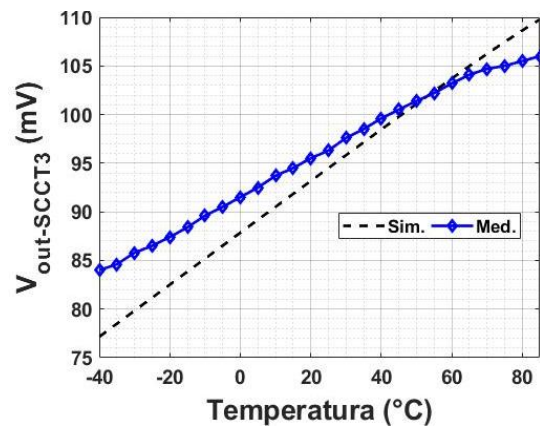
Para $I_{Bias} = 1 \mu A$



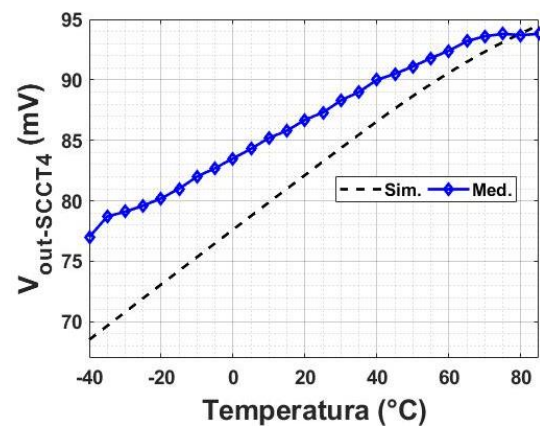
(a) SCCT1



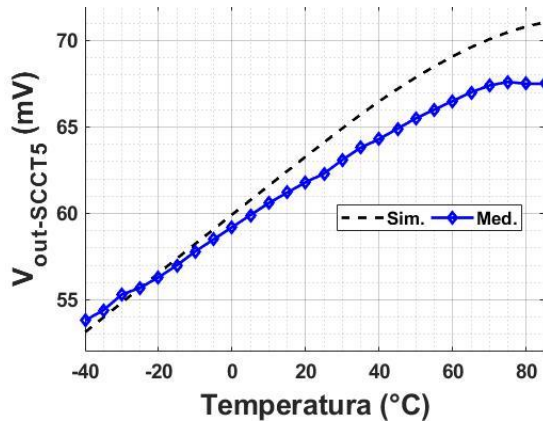
(b) SCCT2



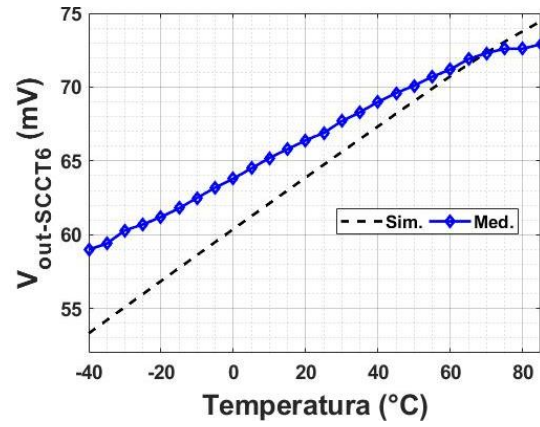
(c) SCCT3



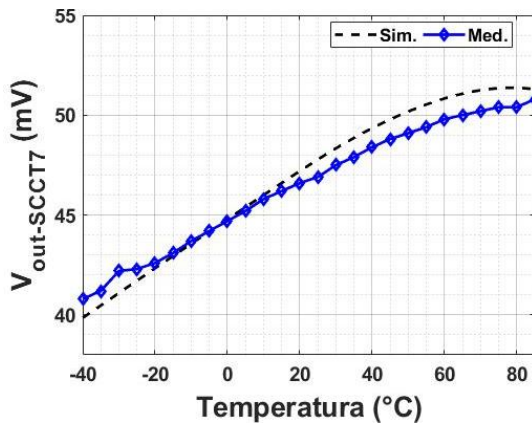
(d) SCCT4



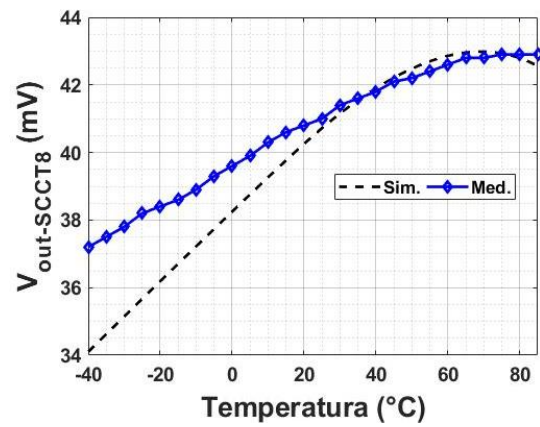
(e) SCCT5



(f) SCCT6

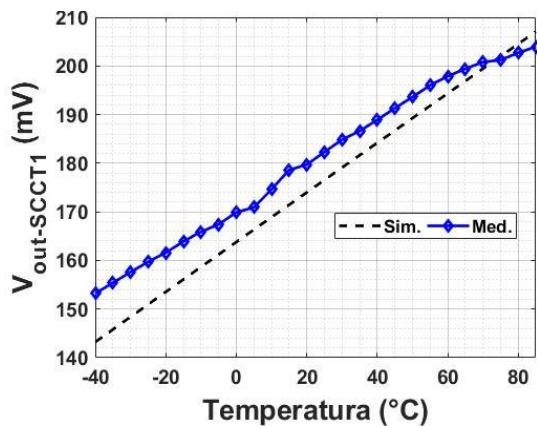


(g) SCCT7

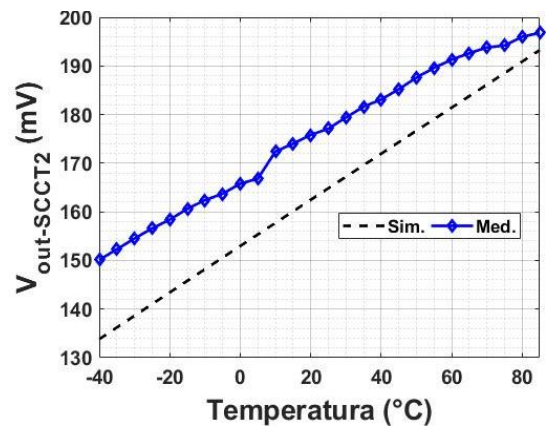


(h) SCCT8

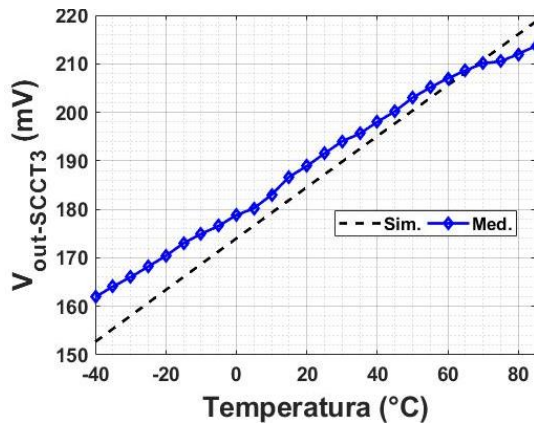
Para $I_{Bias} = 10 \mu A$



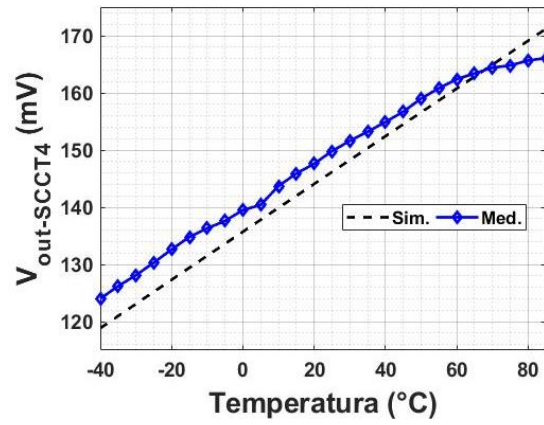
(a) SCCT1



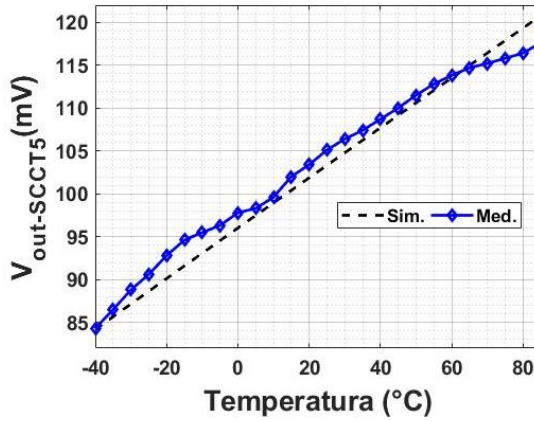
(b) SCCT2



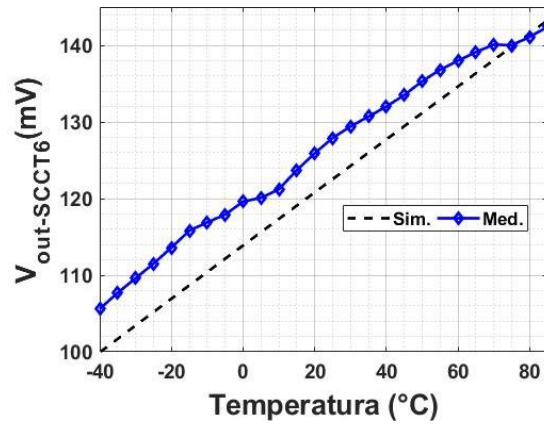
(c) SCCT3



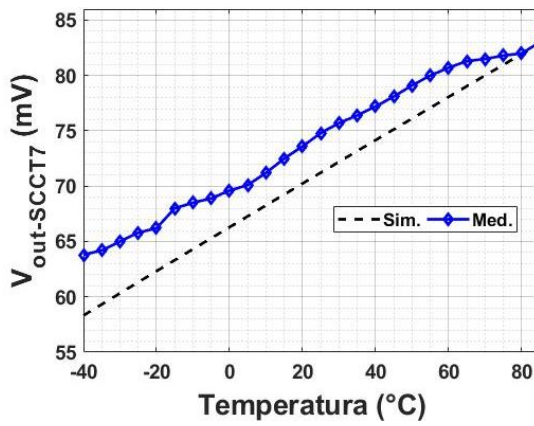
(d) SCCT4



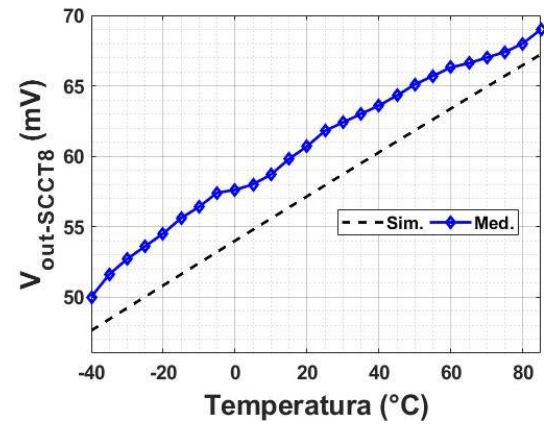
(e) SCCT5



(f) SCCT6



(g) SCCT7



(h) SCCT8

Apêndice C – Sobre o Autor

Thaironi teve primeiro contato com circuito integrados durante as disciplinas da graduação em Engenharia da Computação e na pesquisa de iniciação científica. Porém, foi com a pesquisa para o Trabalho Final de Graduação que teve início, de fato, a experiência em projeto de circuitos integrados. Durante a pesquisa desenvolveu as habilidades com as ferramentas de projeto e simulação de CIs. Também teve experiência em auxiliar outros graduandos com estas ferramentas dando monitoria. Após concluir a graduação, iniciou o mestrado em Engenharia Elétrica com ênfase em Microeletrônica. Durante o mestrado, ganhou mais experiência em todos os processos do projeto de um chip e medições, também estudou tópicos mais aprofundados como transistores em inversão fraca, síntese lógica, fontes de corrente, resposta em frequência. No total foram quase quatro anos envolvido na área até chegar na conclusão deste trabalho.