

**UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA**

Uma metodologia de projeto de filtros
Butterworth passa-baixa utilizando FDDTAs

Paulo Marcos Pinto

Itajubá, Março de 2021

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Paulo Marcos Pinto

Uma metodologia de projeto de filtros
Butterworth passa-baixa utilizando FDDTAs

Tese submetida ao Programa de Pós-Graduação
em Engenharia Elétrica como parte dos requisitos
para obtenção do Título de Doutor em Ciências em
Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Prof. Dr. Luís Henrique de Carvalho
Ferreira

Coorientador: Prof. Dr. Gustavo Della Colletta

Março de 2021

Itajubá

À minha mãe, Fátima, e ao meu sobrinho, Lucas.

Agradecimentos

Agradeço a Deus as oportunidades na minha vida.

Ao meu pai, Paulo, in memoriam, e, em especial, à minha mãe, Fátima, o incondicional incentivo e o amor.

Aos meus irmãos, Juliana, Anderson e Adilson, o amor e o companheirismo. Ao meu sobrinho, Lucas, por acreditar em mim.

Aos meus orientador e coorientador, Prof. Luís Henrique de Carvalho Ferreira e Prof. Gustavo Della Colletta, a ajuda na concretização desse trabalho, disponibilizando conhecimento, tempo, confiança e amizade.

Aos professores do Grupo de Microeletrônica da Unifei, o compartilhamento de seus conhecimentos e por participarem da minha formação profissional desde a graduação.

Aos colegas do Grupo de Microeletrônica da Unifei, em especial, Rodrigo, Renan, César, Enock e Thainann, as discussões, as sugestões e as contribuições dadas a este trabalho. Às Sras Ilda e Tereza, a amizade e a constante disposição em auxiliar.

Aos amigos e parentes que vivenciaram a realização desse projeto, o incontestável apoio, os momentos de descontração e a paciência.

Por fim, agradeço ao CNPq e à MOSIS, por promoverem o suporte financeiro necessário para o desenvolvimento deste trabalho.

Meus mais sinceros agradecimentos.

"A estrada da vida é longa e árdua, que você a torne simples e a viva".

Resumo

Este trabalho apresenta uma metodologia de projeto de filtros Butterworth passa-baixa de qualquer ordem, baseada no bloco de construção amplificador de transcondutância diferencial de diferenças de saída diferencial (FDDTA). É investigada, também, uma metodologia de projeto similar para o filtro Butterworth passa-alta utilizando o FDDTA. A princípio, são apresentadas a metodologia a ser seguida e as teorias de filtro Butterworth passa-baixa e passa-alta, incluindo as implementações do estado da arte de filtros Butterworth e possíveis limitações. Em seguida, o FDDTA é apresentado e sua operação é avaliada e, também, é investigada uma implementação prática usando dois amplificadores operacionais de transcondutância de saídas diferenciais (OTAs), baseados em inversores. Essa implementação específica do FDDTA se baseia em duas características principais: os transistores intrinsecamente casados que asseguram transcondutâncias e condutâncias de saída semelhantes para ambas as instâncias OTAs; e a abordagem baseada no inversor sem nós internos que reduz a complexidade do circuito e o consumo de potência, uma vez que não requer circuito de calibração externo suplementar, como corrente de cauda ou fontes de tensão de polarização. A seguir, a metodologia do filtro Butterworth passa-baixa, usando FDDTAs, é demonstrada, mostrando que a topologia proposta apresenta a função de transferência esperada de acordo com a teoria de filtros. Na sequência, também, é verificada a arquitetura do filtro Butterworth passa-alta, através da instância FDDTA, demonstrando sua possível viabilidade, implementação e limitações. A fim de demonstrar a funcionalidade da metodologia para o filtro Butterworth passa-baixa, é implementado um filtro de quinta ordem, em que tal topologia consiste em um estágio de entrada diferencial OTA baseado no inversor e cinco instâncias FDDTAs em conexão cascata, evidenciando que a topologia apresenta as características da teoria de filtro Butterworth passa-baixa. O protótipo, implementado em um processo CMOS de 130nm, opera na região de inversão fraca, sob tensão de alimentação de 0,25V e consome 603nW. Além disso, o filtro apresenta uma faixa dinâmica (DR) de 57dB em uma largura de banda de 100Hz e uma distorção harmônica total (THD) máxima de 54dB, cumprindo, portanto, especificações adequadas para aplicações de baixa frequência.

Palavras-chaves: Metodologia de filtro Butterworth passa-baixa e passa-alta; inversão fraca; filtragem analógica; amplificador de transcondutância diferencial de diferenças de saída diferencial; circuitos e aplicações de ultrabaixa tensão e ultrabaixa potência.

Abstract

This work presents a design methodology for the Butterworth low-pass filter of any order, based on the differential-difference transconductance amplifier building blocks. Moreover, a similar design methodology for the high-pass Butterworth filter, using FDDTA, is also investigated. At first, the proposed methodology, the low-pass and high-pass Butterworth filter theories are presented, including state-of-the-art implementations and possible limitations of Butterworth filters. Then, the FDDTA is stated and its operation is evaluated, and a practical implementation using two fully differential inverter-based operational transconductance amplifiers (OTAs) is also investigated. This particular FDDTA implementation relies on two main features: the intrinsically matched transistors that assure similar transconductances and output conductances for both inverter-based OTA instances; and the inverter-based approach without internal nodes that reduces circuit complexity and power consumption since it requires no supplementary external calibration circuit such as tail current or bias voltage sources. Next, the Butterworth low-pass methodology, using FDDTAs, is demonstrated, showing that the proposed topology presents the expected transfer function according to the Butterworth low-pass filter theory. Following, the high-pass Butterworth filter architecture based on the FDDTA instance is also verified, demonstrating its possible feasibility, implementation, and limitations. Finally, intended to demonstrate the methodology functionality for the low-pass Butterworth, a fifth-order filter is implemented, which consists of one inverter-based OTA input stage and five FDDTAs in a cascade connection, showing that it presents the expected fifth-order transfer function according to the Butterworth theory. The prototype, implemented in a 130nm CMOS process, operates in weak inversion supplied with 0.25V and consumes 603nW. Furthermore, the filter features a DR of 57dB in a 100Hz bandwidth and a maximum THD of 54dB, therefore, accomplishing specifications that suit for low-frequency applications.

Key-words: Low-pass and high-pass Butterworth filters methodology; weak inversion; analog filtering; fully differential difference transconductance amplifier; ultra-low-voltage and ultra-low-power circuits and applications.

Lista de ilustrações

Figura 1 – <i>Front-end</i> analógico de um ECG, composto por um amplificador de baixo ruído (LNA), um filtro passa-baixa e um conversor analógico-digital (ADC).	18
Figura 2 – Filtro Butterworth de terceira ordem baseado em FDDTAs.	20
Figura 3 – Filtro Butterworth de 12 ^a ordem baseado em FDDTAs.	20
Figura 4 – Filtro Butterworth de quinta ordem baseado em MODI-OTA.	21
Figura 5 – Fases do projeto de um filtro.	24
Figura 6 – Resposta em frequência normalizada dos filtros Butterworth passa-baixa (azul) e passa-alta (vermelho), $\omega_c = 1$ [rad/s].	25
Figura 7 – Posição normalizada dos polos do filtro Butterworth passa-baixa: (a) quinta ordem e (b) sexta ordem.	27
Figura 8 – Posição normalizada dos polos e zeros do filtro Butterworth passa-alta: (a) quinta ordem e (b) sexta ordem.	28
Figura 9 – Rede <i>ladder</i> -LC genérica: (a) <i>single-ended</i> e (b) diferencial.	29
Figura 10 – Rede <i>ladder</i> de segunda e quarta ordens respectivamente.	30
Figura 11 – Circuito típico de uma rede <i>ladder</i>	31
Figura 12 – Filtro Butterworth genérico representado pela estrutura duplamente terminada, composta por uma rede <i>ladder</i> -LC e as resistências de fonte de entrada (R_1) e de carga (R_2).	32
Figura 13 – Dois circuitos possíveis para a realização do filtro Butterworth passa-baixa para a ordem desejada.	33
Figura 14 – Filtro Butterworth passa-alta de quarta ordem, rede duplamente terminada de saída <i>single-ended</i>	35
Figura 15 – <i>Gyrator</i> : nomenclatura e símbolo.	36
Figura 16 – Obtendo uma indutância através de capacitor e <i>gyrator</i>	37
Figura 17 – Simbologia de amplificadores operacionais.	39
Figura 18 – Simbologia do OTA diferencial.	40
Figura 19 – Exemplo de aplicação do OTA diferencial: (a) resistência em paralelo e (b) resistências em série, desprezando-se capacitâncias parasitas.	41
Figura 20 – Blocos OTAs emulando indutores implementados pela técnica do <i>gyrator</i>	42
Figura 21 – Simbologia DDA.	42
Figura 22 – O símbolo do FDDTA, composto por dois pares de entrada de tensão diferencial e duas portas de saída em corrente elétrica.	43
Figura 23 – Comparativo entre estruturas em configuração <i>buffer</i>	44
Figura 24 – O bloco FDDTA: símbolos e nomenclaturas.	44

Figura 25 – Filtro Butterworth passa-baixa de quinta ordem: (a) rede duplamente terminada de saída diferencial e (b) rede G_m -C.	47
Figura 26 – Filtro Butterworth passa-baixa proposto de quinta ordem utilizando blocos FDDTAs.	48
Figura 27 – Filtro Butterworth passa-baixa de segunda ordem implementado por diferentes tipos de topologias.	52
Figura 28 – Filtro Butterworth passa-baixa de quarta ordem implementado por diferentes tipos de topologias.	53
Figura 29 – Filtro Butterworth passa-baixa de terceira ordem implementado por diferentes tipos de topologias.	54
Figura 30 – Filtros Butterworth passa-baixa utilizando FDDTAs.	55
Figura 31 – Respostas em frequência simuladas dos filtros Butterworth passa-baixa de 2 ^a (verde), 3 ^a (vermelho), 4 ^a (azul) e 5 ^a (preto) ordens.	56
Figura 32 – Filtro Butterworth passa-alta de quarta ordem.	58
Figura 33 – Circuito esquemático do inversor CMOS.	61
Figura 34 – Transistor nMOS com halo-implantes nas junções.	63
Figura 35 – Estrutura do transistor MOS matricial halo-implantado nMOS construído com $m \times p$ transistores nMOS halo-implantados unitários (à esquerda) e o sua dimensão efetiva (à direita).	64
Figura 36 – Curvas de transferências de tensão dos inversores para os transistores MOS matriciais e equivalentes unitários	65
Figura 37 – Derivadas das CTTs dos inversores para os transistores MOS matriciais e equivalentes unitários	65
Figura 38 – Histogramas para tensão V_{SP} para o transistor MOS matricial	66
Figura 39 – <i>Layout</i> do transistor nMOS matricial halo-implantado 8x8.	67
Figura 40 – <i>Layout</i> do transistor pMOS matricial halo-implantado 8x8.	67
Figura 41 – <i>Layout</i> do inversor CMOS matricial halo-implantado 8x8.	68
Figura 42 – FDDTA: circuitos básicos para sua implementação.	70
Figura 43 – <i>Layout</i> do OTA baseado em inversores CMOS.	73
Figura 44 – <i>Layout</i> do FDDTA através da interconexão de dois OTAs baseados em inversores CMOS.	74
Figura 45 – <i>Layout</i> do filtro Butterworth passa-baixa de 5 ^a ordem baseado em FDDTAs.	75
Figura 46 – Micrografia do circuito do filtro proposto sobreposta com o layout. . .	77
Figura 47 – Resposta em frequência dos circuitos representados pelas Figuras 20a (azul) e 20b (vermelho). A resposta do indutor analisada é $T(s) = I(s)/V(s)$	78
Figura 48 – Simulação do posicionamento de polos da função de transferência do filtro.	79

Figura 49 – Resposta em frequência simulada do filtro Butterworth passa-baixa de 5ª ordem com frequência de corte de 100Hz em 225° aproximadamente.	80
Figura 50 – Filtro Butterworth: análise de Monte Carlo da THD. A média para a THD varia de -60dB a -44dB, quando a tensão de entrada altera de 14,2mV _{pk} a 42,6mV _{pk} .	81
Figura 51 – Filtro Butterworth: análise de Monte Carlo para a HD ₂ . A média da HD ₂ varia de -70dB a -60dB, quando a tensão de entrada altera de 14,2mV _{pk} a 42,6mV _{pk} .	81
Figura 52 – Filtro Butterworth: análise de Monte Carlo para a RF do filtro, considerando variação arbitrária dos valores dos capacitores externos. O valor da frequência de corte projetada varia em ±40Hz em torno de 100Hz.	82
Figura 53 – Filtro Butterworth: análise de Monte Carlo para a RF do filtro, quando se aplica variações de <i>mismatch</i> à estrutura. O valor da frequência de corte e o valor de T_0 sofrem variações controladas, evidenciando o controle do <i>offset</i> da estrutura.	82
Figura 54 – Simulação do posicionamento dos polos da função de transferência do filtro para valores nominais e reais dos capacitores.	83
Figura 55 – Resposta em frequência medida do filtro passa-baixa Butterworth de 5ª ordem com frequência de corte de 100-Hz em 225° aproximadamente.	84
Figura 56 – Filtro Butterworth: distorção harmônica medida. Espectro de saída com resolução de 31,25mHz para uma tensão de modo comum de 125mV com entrada senoidal diferencial de 14,2 – 28,4 e 42,6mV _{pk} @10Hz, levando a THD ≈ HD ₃ .	85
Figura 57 – Filtro Butterworth: medida da densidade espectral de potência do ruído referenciado à entrada.	86
Figura 58 – Filtro Butterworth: medida da SINAD vs. amplitude do sinal diferencial (pico) de entrada. A faixa dinâmica é de 57dB @10Hz.	86
Figura 59 – Filtro Chebyshev de terceira ordem.	92
Figura 60 – Modelo AC de pequenos sinais do OTA de entrada.	93
Figura 61 – Modelo AC de pequenos sinais do primeiro FDDTA (FDDTA ₁).	93
Figura 62 – Modelo AC de pequenos sinais equivalente do OTA em paralelo com o FDDTA ₁ .	94
Figura 63 – Modelo AC de pequenos sinais do FDDTA ₂ .	94

Lista de tabelas

Tabela 1 – Polinômios de Butterworth normalizados.	27
Tabela 2 – Polinômios de Butterworth normalizados.	34
Tabela 3 – Valores dos coeficientes da função de transferência do filtro proposto para $G_m \gg G_o$	50
Tabela 4 – Valores dos capacitores para a ordem m do filtro desejada.	56
Tabela 5 – Resumo das especificações de desempenho do OTA baseado em inversores CMOS.	71
Tabela 6 – Comparação das especificações de desempenho do filtro proposto e outros filtros passa-baixa de baixa tensão.	88

Lista de abreviaturas e siglas

AFE	<i>Analog front-end</i>
SoC	<i>System-on-a-chip</i>
ECG	Eletrocardiograma
ASICs	<i>Application specific integrated circuits</i>
LNA	<i>Low-noise amplifier</i>
ADC	<i>Analog-to-digital converter</i>
IoT	<i>Internet of things</i>
VHF	<i>Very-high frequency</i>
UHF	<i>Ultra-high frequency</i>
MOSFET	<i>Metal-oxide-semiconductor field-effect transistor</i>
CMOS	<i>Complementary metal-oxide-semiconductor</i>
pMOS	<i>p-type metal-oxide-semiconductor</i>
nMOS	<i>n-type metal-oxide-semiconductor</i>
OTA	<i>Operational transconductance amplifier</i>
DDA	<i>Differential difference amplifier</i>
FDDTA	<i>Fully differential difference transconductance amplifier</i>
MODI-OTA	<i>Multiple-output differential-input OTA</i>
SSF	<i>Subthreshold-source-follower</i>
FG	<i>Floating gate</i>
QFG	<i>Quasi-floating gate</i>
AC	<i>Alternating current</i>
Inv	Inversor
FFT	<i>Fast Fourier transform</i>

DIBL	<i>Drain induced barrier lowering</i>
DITS	<i>Drain-induced threshold-voltage shift</i>
CTT	Curvas de transferência de tensão
DSA	<i>Dynamic signal analyzer</i>
THD	<i>Total harmonic distortion</i>
HD ₂	<i>Second harmonic distortion</i>
HD ₃	<i>Third harmonic distortion</i>
IRN	<i>Input referred noise</i>
SNR	<i>Signal-to-noise ratio</i>
SINAD	<i>Signal-to-noise and distortion ratio</i>
DR	<i>Dynamic range</i>
TFET	<i>Tunnel field-effect transistor</i>

Lista de símbolos

G_m	Transcondutância
G_o	Condutância de saída
g_{m_p}	Transcondutância do transistor MOS tipo p
g_{m_n}	Transcondutância do transistor MOS tipo n
g_{o_p}	Condutância de saída do transistor MOS tipo p
g_{o_n}	Condutância de saída do transistor MOS tipo n
C	Capacitância
L	Indutância
Q	Polinômio característico
r	Grau do polinômio característico
V_{TH}	Tensão de limiar do transistor MOS
V_{TH_p}	Tensão de limiar do transistor pMOS
V_{TH_n}	Tensão de limiar do transistor nMOS
V_{GS}	Tensão entre os terminais porta-fonte do transistor MOS
V_{DS}	Tensão entre os terminais dreno-fonte do transistor MOS
I_{DS}	Corrente elétrica que flui através dos terminais dreno-fonte do transistor MOS
I_S	Corrente de saturação do transistor
W	Largura do canal de um transistor MOS
L	Comprimento do canal de um transistor MOS
n, n_n, n_p	Fator de inclinação em inversão fraca (nMOS e pMOS)
q	Carga elétrica do elétron
k	Constante de Boltzmann
T	Temperatura em Kelvin

V_{CM}	Tensão de modo comum
V_{DD}	Tensão da fonte de alimentação
V_i	Tensão de entrada
V_o	Tensão de saída
v_{id}, V_{id}	Tensão de entrada diferencial
v_{od}	Tensão de saída diferencial
v_{ip}, V_{ip}	Tensão de entrada do terminal positivo
v_{in}, V_{in}	Tensão de entrada do terminal negativo
v_{op}, V_{op}	Tensão de saída do terminal positivo
v_{on}, V_{on}	Tensão de saída do terminal negativo
i_{od}	Corrente de saída diferencial
I_{op}, i_{op}	Corrente de saída do terminal positivo
I_{on}, i_{on}	Corrente de saída do terminal negativo
V_{pp}	Tensão de entrada não-inversora positiva
V_{pn}	Tensão de entrada não-inversora negativa
V_{np}	Tensão de entrada inversora positiva
V_{nn}	Tensão de entrada inversora negativa
s	Variável de Laplace
$T(s)$	Função de transferência
$T_L(s), T_H(s)$	Função de transferência filtro passa-baixa e passa-alta
ω_c	Frequência angular de corte
B_m	Polinômio de Butterworth de ordem m
V_{pk}	Tensão de pico
V_{rms}	Tensão eficaz
\prod_x	Multiplicação de x fatores

Sumário

1	INTRODUÇÃO	18
1.1	Considerações gerais	18
1.2	Justificativa	21
1.3	Objetivo	22
1.4	Estrutura do trabalho	23
2	REVISÃO TEÓRICA	24
2.1	Metodologia de projeto	24
2.2	Teoria de filtro Butterworth passa-baixa e passa-alta	25
2.2.1	Filtro Butterworth passa-baixa	26
2.2.2	Filtro Butterworth passa-alta	28
2.3	Implementação de filtros Butterworth	29
2.3.1	Rede <i>ladder</i>	29
2.3.2	Butterworth passa-baixa: rede <i>ladder</i>	31
2.3.3	Butterworth passa-alta: rede <i>ladder</i>	35
2.4	Filtros Butterworth e circuitos integrados	35
2.4.1	O <i>Gyrator</i> ideal	36
2.5	Conclusão do capítulo	38
3	O FDDTA E A METODOLOGIA DE PROJETO	39
3.1	Amplificadores de dois terminais de entrada	39
3.2	Amplificadores de quatro terminais de entrada	42
3.3	Implementando um FDDTA	44
3.3.1	A função de transferência do FDDTA	45
3.4	Metodologia de projeto: filtro Butterworth passa-baixa	46
3.4.1	Filtro Butterworth passa-baixa de 5ª ordem	46
3.4.2	Generalização da metodologia de projeto passa-baixa	51
3.5	Metodologia de projeto: filtro Butterworth passa-alta	57
3.6	Conclusão do capítulo	59
4	CIRCUITOS ELÉTRICOS E TÉCNICAS DE CASAMENTO DE TRANSISTORES	60
4.1	O inversor CMOS operando em inversão fraca	60
4.2	Projeto de casamento dos transistores	62
4.2.1	O inversor CMOS com estrutura matricial de transistores halo	62

4.3	O amplificador de transcondutância diferencial de diferenças de saída diferencial	69
4.3.1	O circuito proposto para o FDDTA	69
4.3.2	FDDTA operando em inversão fraca	72
4.4	Layout do filtro	74
4.5	Conclusão do capítulo	75
5	RESULTADOS OBTIDOS: FILTRO BUTTERWORTH PASSA-BAIXA DE 5ª ORDEM	77
5.1	Considerações gerais	77
5.2	Simulações	78
5.2.1	<i>Gyrator</i>	78
5.2.2	Posicionamento dos polos da função de transferência do filtro	79
5.2.3	Resposta em frequência do filtro	79
5.2.4	Distorção harmônica do filtro	80
5.2.5	Simulações de descasamento do filtro	81
5.3	Medidas	83
5.3.1	Resposta em frequência do filtro	84
5.3.2	Distorção harmônica do filtro	85
5.3.3	Análise de sinal e de ruído do filtro	85
5.4	Conclusão do capítulo	87
6	CONCLUSÕES	89
6.1	Trabalhos futuros	91
6.2	Publicação	92
	ANEXO A – EQUACIONAMENTO	93
A.1	Equacionamento da função de transferência do filtro	93
	REFERÊNCIAS	96

1 Introdução

1.1 Considerações gerais

Atualmente, as implementações práticas de filtro Butterworth passa-baixa têm como alvo as interfaces frontais analógicas (AFEs) para aplicações biomédicas vestíveis, conforme ilustrado na Figura 1, como monitores de eletrocardiograma (ECG), em que tais implementações são usadas como filtros *anti-aliasing*, em baixas frequências, cujo intervalo de operação é inferior à 100Hz [1, 2, 3]. Nas medições da frequência cardíaca, por exemplo, o baixo sinal elétrico do coração (amplitude inferior a alguns milivolts) deve primeiro ser amplificado e filtrado para posterior processamento [4]. Espera-se que um menor consumo de energia e que equipamentos de tamanhos reduzidos sejam obtidos usando um circuito integrado de aplicação específica (ASICs).

Alguns AFEs modernos são dispositivos móveis que se comunicam sem fio com um *smartphone* ou serviços de nuvem e, portanto, exigem soluções de circuito de baixa potência [5, 6, 7, 8]. Construídos a partir de componentes discretos, os AFEs podem ser integrados em um sistema-em-um-chip (SoC), como um microsistema implantável [9, 10, 11] ou um sistema de detecção de biossinal [12, 13, 14]; totalmente monolíticos. Além disso, o avanço dos processos modernos do transistor metal-óxido-semicondutor complementar (CMOS) exige, continuamente, reduções no consumo de energia e na tensão de alimentação. Em alguns casos, essas reduções fornecem dispositivos menores, como *chips* implantáveis, telefones celulares leves, sensores eletrônicos utilizando tecnologia de internet das coisas (IoT), dispositivos médicos portáteis, entre outros. Isso possibilita maior autonomia da bateria.

Com relação às soluções de SoC, a principal estratégia para economizar energia de-

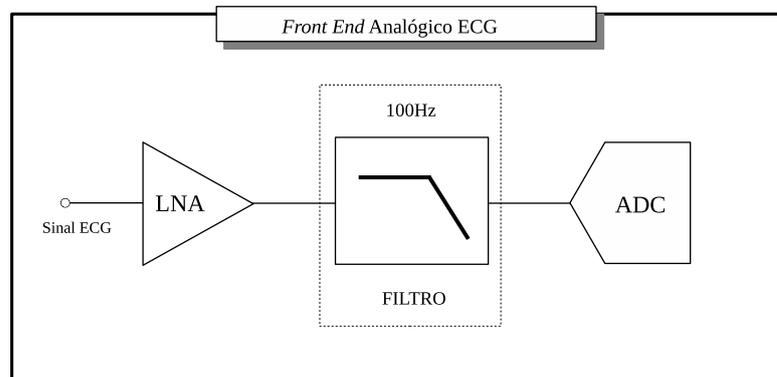


Figura 1 – *Front-end* analógico de um ECG, composto por um amplificador de baixo ruído (LNA), um filtro passa-baixa e um conversor analógico-digital (ADC).

Fonte: o autor.

pende da redução do número de elementos ativos nas implementações do filtro G_m -C Butterworth (estruturas formadas por elementos de transcondutância e por capacitâncias). Em geral, o elemento transconductor convencional, baseado no amplificador operacional de transcondutância (OTA), vem sendo substituído pelo amplificador de transcondutância diferencial de diferenças de saída diferencial (FDDTA) [15, 16, 17]. Além disso, os circuitos discutidos em [16] e [17], representados nas Figuras 2 e 3, respectivamente, baseados em FDDTAs, operam em inversão fraca para reduzir o consumo de energia, mas eles exigem um processo CMOS de poço triplo e circuitos controladores para estabilizar e ajustar a transcondutância do sistema. Já, a Figura 4, retirada de [15], apresenta um filtro Butterworth passa-baixa de quinta ordem com uma estrutura que o autor denomina OTA modificado com múltiplas saídas e entrada diferencial (MODI-OTA), reduzindo a quantidade de células G_m para tal implementação.

O FDDTA é um dispositivo de seis terminais que compreende dois pares de portas de entrada de tensão diferencial que as converte em um estágio de sinal de saída de corrente diferencial [18]. Como se destinam a construir filtros G_m -C, os principais pré-requisitos para tal implementação são alta linearidade, baixa transcondutância e alta impedância de saída. Neste cenário, algumas implementações de FDDTAs, usando transistores uniformemente dopados, operando em inversão forte, foram relatadas em [18], enquanto, uma implementação com transistor de *gate* flutuante (FG), operando com uma tensão de alimentação reduzida, foi reportada em [19] e uma implementação com transistor de *gate* quasi-flutuante (QFG) foi retratada em [20].

Embora melhorias significativas sejam notadas nas arquiteturas FDDTAs ao longo dos anos [15, 16, 17, 18, 19, 20], elas ainda precisam de circuitos controladores para estabilizar ou ajustar a transcondutância e, portanto, consomem mais energia. Não obstante, muitos trabalhos desenvolvidos, [16] e [17], por exemplo, apresentam filtros Butterworth baseados em circuitos com terminais conectados ao modo comum ou mesmo interconectados em curto-circuito. Isso se traduz em maior consumo de potência, demonstrando que tais células construtivas ainda podem ser melhoradas.

Em vista dos projetos desenvolvidos no estado da arte sobre filtros Butterworth passa-baixa, é possível propor uma metodologia de projeto de filtros Butterworth passa-baixa de ordem m , que dependa de uma implementação particular do FDDTA. Será demonstrado que a metodologia de projeto, aqui proposta, não requer ajustes externos e a implementação do FDDTA utiliza dois transdutores com descasamento controlado, sem circuito externo para controle de modo comum ou ajuste. Portanto, o uso da metodologia de projeto proposta proporciona economia de energia. Além disso, esta tese também analisará uma possível metodologia de projeto de filtros Butterworth passa-alta, utilizando FDDTAs. No entanto, no que tange o estudo de filtros de sinal, é importante desassociar filtros para aplicações de altas frequências, aplicadas em comunicações por

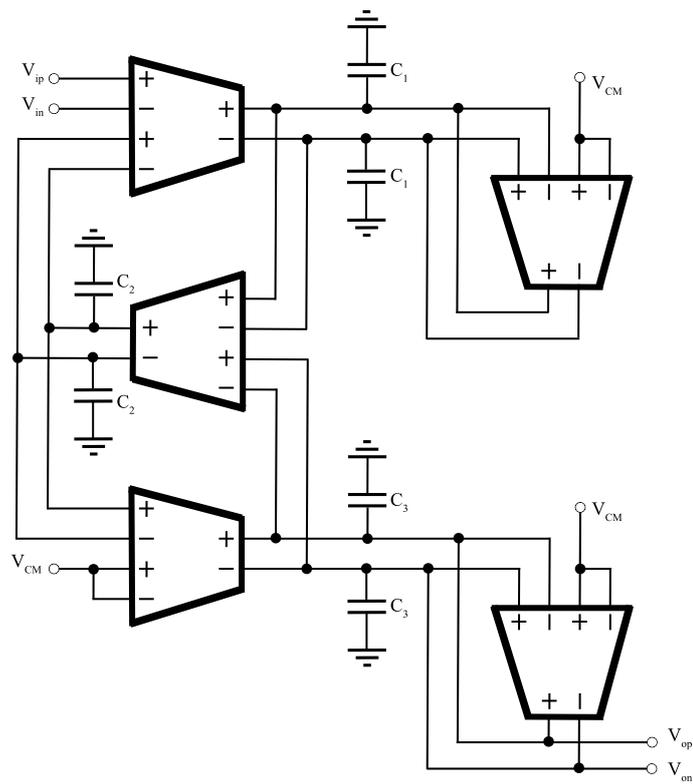


Figura 2 – Filtro Butterworth de terceira ordem baseado em FDDTAs.
Fonte: retirada de [16].

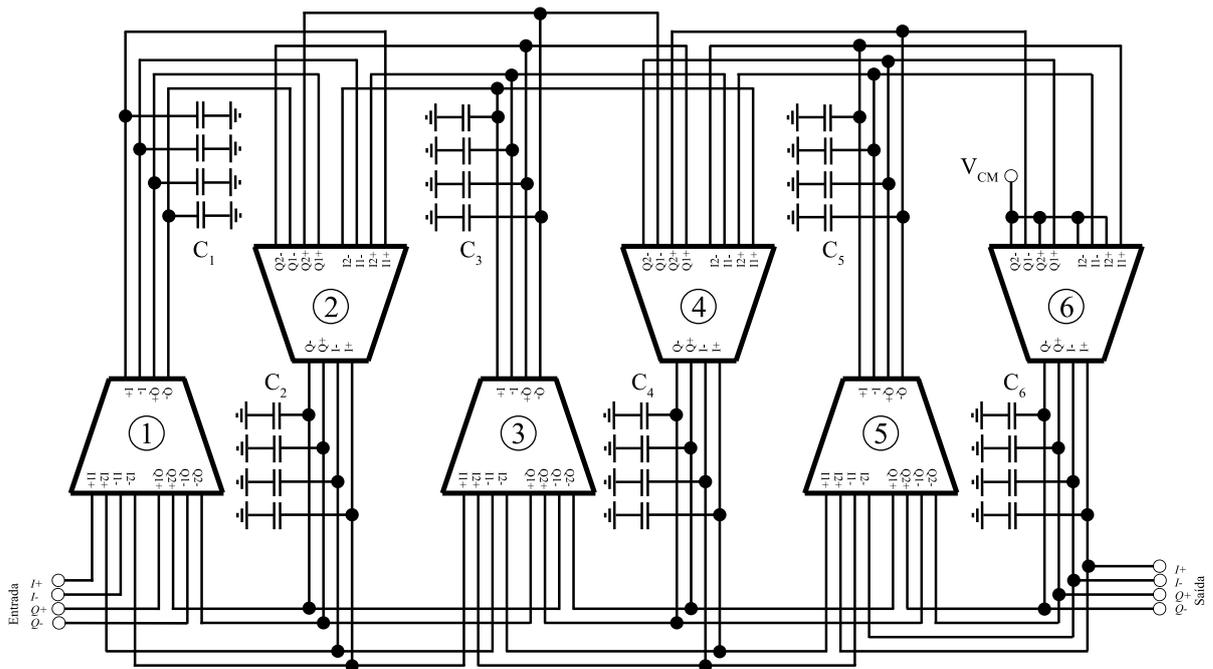


Figura 3 – Filtro Butterworth de 12ª ordem baseado em FDDTAs.
Fonte: retirada de [17].

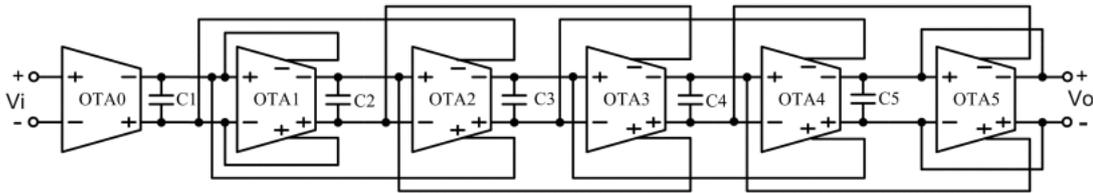


Figura 4 – Filtro Butterworth de quinta ordem baseado em MODI-OTA.

Fonte: retirada de [15].

satélite e rádio frequência nas bandas muito alta (VHF) e ultra alta (UHF), por exemplo, dos filtros para aplicações de baixas frequências (instrumentação e áudio), pois é impossível uma unificação das características do filtro para todas as aplicações [21]. Enfim, com base nas considerações supracitadas, o escopo desta tese será o estudo de uma metodologia de projeto para filtros Butterworth passa-baixa e passa-alta utilizando o bloco FDDTA.

Por fim, deve-se salientar que no projeto de filtros analógicos utilizando elementos ativos, conhecidos como filtros G_m -C, as células de transcondutâncias (G_m) devem ser idênticas a fim de evitar variações no desempenho dinâmico do filtro, como, por exemplo, alteração da frequência de corte do circuito, devido a variações dos transistores da estrutura. No entanto, é impossível, fisicamente, construir dois ou mais elementos idênticos, providos de mesmas características geométricas, possuindo nenhuma variação físico-química. Para tornar as células G_m as mais parecidas possíveis, são utilizadas técnicas de casamento ou *matching*, em nível de *layout*, para que a variação estatística de parâmetros intrínsecos ao circuito elétrico do filtro seja a menor possível ou dentro de uma faixa tolerável que não afetará o desempenho da topologia exorbitantemente. As vantagens de utilizar elementos ativos na construção de filtros são as mais diversas, como, por exemplo, um pequeno consumo de área dentro de um *chip*, um alto fator de qualidade, uma ampla largura de banda e uma operação em baixa tensão [22], além de sua capacidade de ajuste, porém, estas características apenas ocorrerão mediante casamento das estruturas. Esta tese apresentará o uso de transistores em arranjo matricial para o controle de descasamento das estruturas físicas que compõem o circuito do filtro.

1.2 Justificativa

Entre as possíveis aplicações de filtros G_m -C Butterworth passa-baixa está a detecção de sinais bioelétricos em microssistemas biomédicos, em que os sinais geralmente variam de $1\mu\text{V}$ a 100mV e cuja faixa de frequência é inferior a 100Hz [23]. Nesse contexto, o uso do transistor MOS, operando na região de inversão fraca, permite baixos valores para a frequência de corte, sem a necessidade de capacitores nas unidades de micro ou mili farad, pois consomem áreas consideráveis dentro de um *chip* [24]. No entanto, tais filtros G_m -C apresentam linearidade limitada [25]. Algumas abordagens para se melhorar

a linearidade do bloco OTA foram detalhadas em [26, 27, 28, 29], porque tais blocos são estruturas básicas na construção de filtros. Percebe-se, que melhorando a linearidade do OTA, o desempenho do filtro é influenciado. Ademais, pouca atenção é dedicada em nível arquitetural do bloco filtro para se reduzir o ruído ou o consumo de energia atualmente [2, 25].

A redução da tensão da fonte de alimentação é outra característica em projetos de filtros que pode ajudar a diminuir o consumo de energia, no entanto, essa diminuição degrada a faixa dinâmica (DR) do sinal em blocos analógicos. Para minimizar a degradação do DR, uma opção é empregar blocos eletrônicos capazes de manipular sinais diferenciais. O processamento de sinal totalmente diferencial permite uma maior faixa dinâmica e uma maior rejeição da fonte de alimentação em comparação com a contraparte de extremidade única (*single-ended*) [30]. Além disso, sinais e ruídos indesejáveis, no modo comum, são cancelados por arquiteturas diferenciais, melhorando a distorção harmônica total (THD) do circuito [31].

Desta forma, almeja-se, neste trabalho, uma metodologia de projeto de filtro Butterworth passa-baixa de ultrabaixa tensão (250mV) e de ultrabaixa potência ($\sim 600\text{nW}$), em arquitetura completamente diferencial, baseada em FDDTAs; buscando alto desempenho (THD = 54dB), com baixo ruído ($4,7\mu\text{V}_{\text{rms}}$ em 100Hz) e alta linearidade (DR= 57dB), superando os desafios impostos pelas tecnologias CMOS em escala nanométrica. Além de fazer um estudo de uma metodologia similar aplicada ao filtro Butterworth passa-alta.

1.3 Objetivo

O objetivo deste trabalho é apresentar uma metodologia de projeto de filtro passa-baixa Butterworth de qualquer ordem, baseada no bloco de construção amplificador de transcondutância diferencial de diferenças de saída diferencial. Pretende-se implementá-la em ultrabaixa tensão (250mV) e ultrabaixa potência ($\sim 600\text{nW}$), buscando alto desempenho (THD = 54dB), com baixo ruído ($4,7\mu\text{V}_{\text{rms}}$ em 100Hz) e alta linearidade (DR=57dB). Além do mais, fazer um estudo de uma metodologia similar aplicada ao filtro Butterworth passa-alta.

Para atingir tais objetivos, as seguintes etapas precisarão ser alcançadas:

- a) obter a revisão teórica de filtros Butterworth passa-baixa e passa-alta;
- b) verificar as implementações disponíveis no estado da arte sobre filtros Butterworth;
- c) obter a revisão teórica de blocos básicos para a construção de filtros Butterworth G_m -C;

- d) propor uma metodologia de projeto de filtro Butterworth através da topologia FDDTA;
- e) realizar a modelagem matemática da proposta;
- f) simular, fabricar no processo GF 130-nm CMOS e validar a metodologia através de um exemplo específico.

1.4 Estrutura do trabalho

Este trabalho divide-se em seis capítulos, sendo um de introdução, um de conclusão e os demais de desenvolvimento. No Capítulo 2, são apresentadas a metodologia a ser seguida e as teorias de filtro Butterworth passa-baixa e passa-alta, incluindo as implementações do estado da arte de filtros Butterworth e possíveis limitações. O Capítulo 3 mostra o conceito do FDDTA, evidenciando sua operação, modelagem e características principais. Além disso, ele apresenta a metodologia de projeto de filtros Butterworth, através de um exemplo específico e, na sequência, generaliza a metodologia de projeto para qualquer ordem de filtro. O Capítulo 4 expõe os circuitos elétricos a serem utilizados no desenvolvimento da metodologia de projeto, assim como, sua operação em ultrabaixa tensão e ultrabaixa potência, além do projeto de casamento das estruturas do circuito através do arranjo matricial de transistores. No Capítulo 5, são apresentados as simulações e os ensaios elétricos realizados no filtro exemplo, comparando tais especificações com outros trabalhos de filtros de baixa potência similares. Por fim, são apresentadas as conclusões do projeto desenvolvido e os possíveis trabalhos futuros oriundos desta tese.

2 Revisão teórica

Este capítulo fornece os tópicos preliminares necessários ao desenvolvimento do trabalho. Assim, a Seção 2.1 aborda as etapas para a realização da metodologia proposta. Já, a Seção 2.2 elucida o conceito de filtro Butterworth passa-baixa e passa-alta, contextualizando as funções de transferências e os respectivos posicionamentos dos polos e zeros (quando houver) da função de transferência de ambos. Na sequência, a Seção 2.3 explica a implementação de filtros Butterworth através da rede *ladder*-LC composta por indutores e capacitores, atribuindo exemplos desta teoria específica, abrangendo conceitos e exemplos particulares, sendo um ponto muito importante no desenvolvimento da metodologia proposta nesta tese. Por fim, a Seção 2.4 discorre sobre a teoria do *gyrator* ideal, sendo um tema fundamental no desenvolvimento de filtros em circuitos integrados.

2.1 Metodologia de projeto

Na realização de filtros Butterworth passa-baixa e passa-alta, uma série de conceitos teóricos e matemáticos são necessários na sua execução. A fim de obter um circuito elétrico capaz de realizar tais conceitos, a Figura 5, adaptada de [21], apresenta um fluxograma a ser utilizado para as fases de projeto de filtros Butterworth.

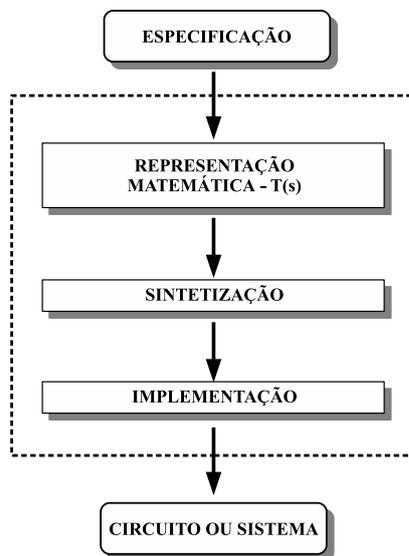


Figura 5 – Fases do projeto de um filtro.

Fonte: adaptada de [21].

Tendo em vista as **especificações** do filtro (passa-baixa ou passa-alta, frequência de corte, ordem, por exemplo), a primeira etapa, designada **representação matemática**, consiste em se obter as especificações do filtro através de uma função de transferência.

A partir de tal função, existem várias formas de sintetizá-la, utilizando componentes elétricos, que será o resultado do bloco denominado de **sintetização**. Nesta etapa, é criado o circuito do filtro para a simulação. Nela, são verificadas as características intrínsecas da estrutura, demonstrando seu funcionamento, como, por exemplo: a resposta em frequência do filtro; o desempenho de linearidade (THD e suas frações), com o propósito de evidenciar o controle de descasamento da estrutura; a influência do ruído no desempenho do filtro, obtendo a relação sinal ruído e a relação sinal ruído mais distorção; assim como, a faixa dinâmica do mesmo. Em seguida, é criado o *layout* da topologia, realizando a verificação elétrica do circuito e a extração de parâmetros juntamente com as variações de processo, para confirmar que as especificações do filtro são atendidas mediante figuras de mérito, ou seja, apresentar a análise de quais pontos do circuito afetam o desempenho da topologia. Finalmente, na fase de **implementação**, será obtido o circuito elétrico fabricado, cujo funcionamento obedece às especificações dadas e comprovadas pelas simulações, por meio da caracterização elétrica (medidas) do protótipo.

2.2 Teoria de filtro Butterworth passa-baixa e passa-alta

Em teoria de filtros analógicos, as frequências são denominadas altas ou baixas quando estão acima ou abaixo da frequência angular de corte (ω_c), respectivamente, conforme ilustrado na Figura 6 [32]. Um filtro passa-baixa Butterworth é um filtro que mantém a amplitude do sinal de saída fixo até que um valor crítico de frequência seja alcançado. Nesta frequência ω_c e para todas as frequências mais altas, a saída é atenuada. De modo oposto, um filtro passa-alta Butterworth é aquele que permite a passagem das frequências acima de ω_c , atenuando as frequências abaixo da frequência de corte.

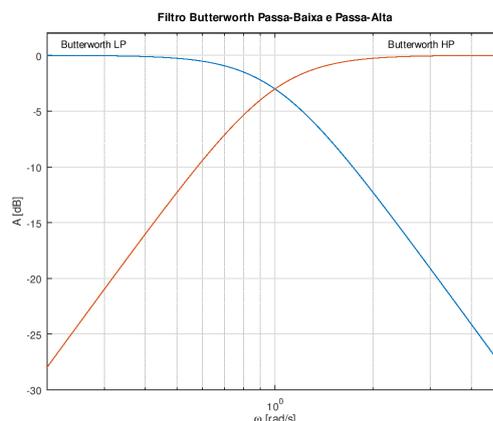


Figura 6 – Resposta em frequência normalizada dos filtros Butterworth passa-baixa (azul) e passa-alta (vermelho), $\omega_c = 1$ [rad/s].

Fonte: adaptada de [32].

O fator de atenuação sofrido pelas frequências fora da banda passante do filtro

é proporcional à ordem m do filtro, de modo que é representado por $\pm 20m\text{dB/dec}$, sendo conhecido como taxa de *roll-off* ($-20m\text{dB/dec}$) no passa-baixa e taxa de *roll-on* ($+20m\text{dB/dec}$) no filtro passa-alta [32].

2.2.1 Filtro Butterworth passa-baixa

De acordo com [32], um filtro analógico passa-baixa Butterworth de ordem m apresenta a seguinte função de transferência $T_L(s)$:

$$T_L(s) = \frac{T_0}{B_m\left(\frac{s}{\omega_c}\right)}, \quad (2.1)$$

em que ω_c é a frequência de corte, em rad/s, T_0 é o ganho DC e $B_m(s)$ designa o polinômio de Butterworth de ordem m . O polinômio é normalizado estabelecendo-se $\omega_c = 1$, portanto, apresentando as formas a seguir [32]:

$$B_m(s) = (s + 1) \prod_{x=1}^{(m-1)/2} \left[s^2 - 2s \cos\left(\frac{2x + m - 1}{2m}\pi\right) + 1 \right], \quad m = \text{ímpar}; \quad (2.2)$$

e

$$B_m(s) = \prod_{x=1}^{m/2} \left[s^2 - 2s \cos\left(\frac{2x + m - 1}{2m}\pi\right) + 1 \right], \quad m = \text{par}. \quad (2.3)$$

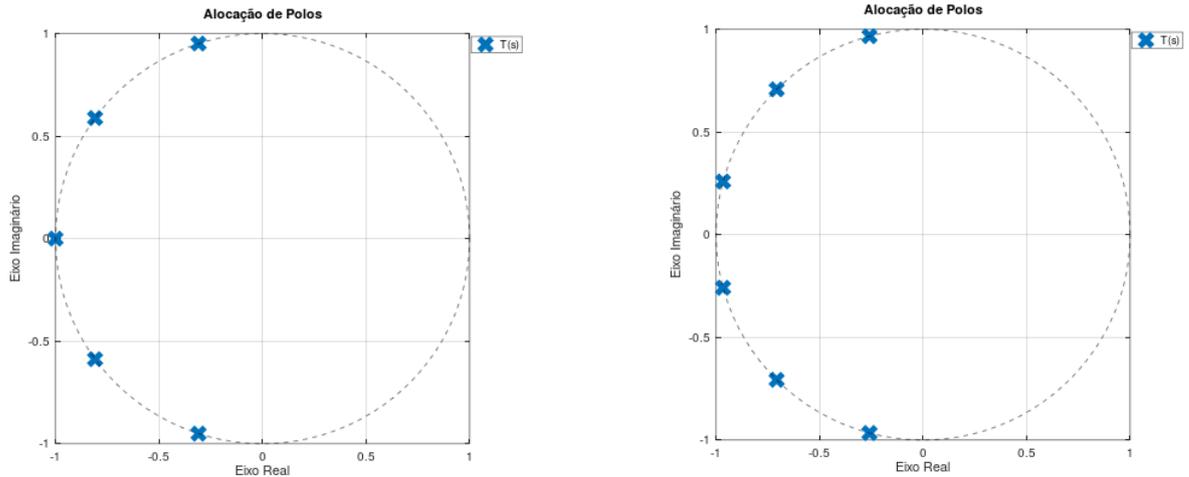
De modo que (2.2) e (2.3) representam os polos da função de transferência do filtro apresentada em (2.1). Exemplificando, para o polinômio de Butterworth de quinta ordem normalizado (ímpar), a expressão é dada da seguinte forma, de acordo com (2.2):

$$B_5(s) = (s + 1)(s^2 + 0,6180s + 1)(s^2 + 1,6180s + 1), \quad (2.4)$$

evidenciando que um dos polos está posicionado em 0° e os outros quatro estão separados por múltiplos de 36° [32]. Além disso, a Figura 7a mostra a localização dos polos para (2.4), de modo que cada polo encontra-se posicionado ao longo de um semicírculo no semiplano esquerdo do plano s e estão espaçados por distâncias angulares iguais.

Analogamente, para o polinômio de Butterworth de sexta ordem normalizado (par), a expressão é dada da seguinte forma, de acordo com (2.3):

$$B_6(s) = (s^2 + 0,5176s + 1)(s^2 + 1,4142s + 1)(s^2 + 1,9319s + 1), \quad (2.5)$$



(a) Posição dos polos da função de transferência do filtro Butterworth passa-baixa de quinta ordem normalizado. (b) Posição dos polos da função de transferência do filtro Butterworth passa-baixa de sexta ordem normalizado.

Figura 7 – Posição normalizada dos polos do filtro Butterworth passa-baixa: (a) quinta ordem e (b) sexta ordem.

Fonte: o autor.

revelando que todos os polos estão posicionados simetricamente e separados por múltiplos de 30° [32]. Além do mais, a Figura 7b mostra a localização dos polos para (2.5), em que cada polo encontra-se posicionado ao longo de um semicírculo no semiplano esquerdo do plano s e estão espaçados por distâncias angulares iguais.

A partir das Equações (2.4) e (2.5), é possível desenvolver os coeficientes do polinômio de Butterworth normalizado para qualquer ordem de filtro Butterworth passa-baixa, conforme representado na Tabela 1. Nela, estão representados os polinômios até a ordem dez. Ainda, é possível notar que, quando o polinômio é de grau ímpar, um dos polos é real e os outros são complexos conjugados e, quando o polinômio é de grau par, todos os polos são complexos conjugados.

Tabela 1 – Polinômios de Butterworth normalizados.

m	Polinômio de Butterworth normalizado $B_m(s)$
1	$(s + 1)$
2	$(s^2 + 1,4142s + 1)$
3	$(s + 1)(s^2 + s + 1)$
4	$(s^2 + 0,7654s + 1)(s^2 + 1,8478s + 1)$
5	$(s + 1)(s^2 + 0,6180s + 1)(s^2 + 1,6180s + 1)$
6	$(s^2 + 0,5176s + 1)(s^2 + 1,4142s + 1)(s^2 + 1,9319s + 1)$
7	$(s + 1)(s^2 + 0,4450s + 1)(s^2 + 1,2470s + 1)(s^2 + 1,8019s + 1)$
8	$(s^2 + 0,3902s + 1)(s^2 + 1,1111s + 1)(s^2 + 1,6629s + 1)(s^2 + 1,9616s + 1)$
9	$(s + 1)(s^2 + 0,3473s + 1)(s^2 + s + 1)(s^2 + 1,5321s + 1)(s^2 + 1,879s + 1)$
10	$(s^2 + 0,3129s + 1)(s^2 + 0,9080s + 1)(s^2 + 1,4142s + 1)(s^2 + 1,7820s + 1)(s^2 + 1,9754s + 1)$

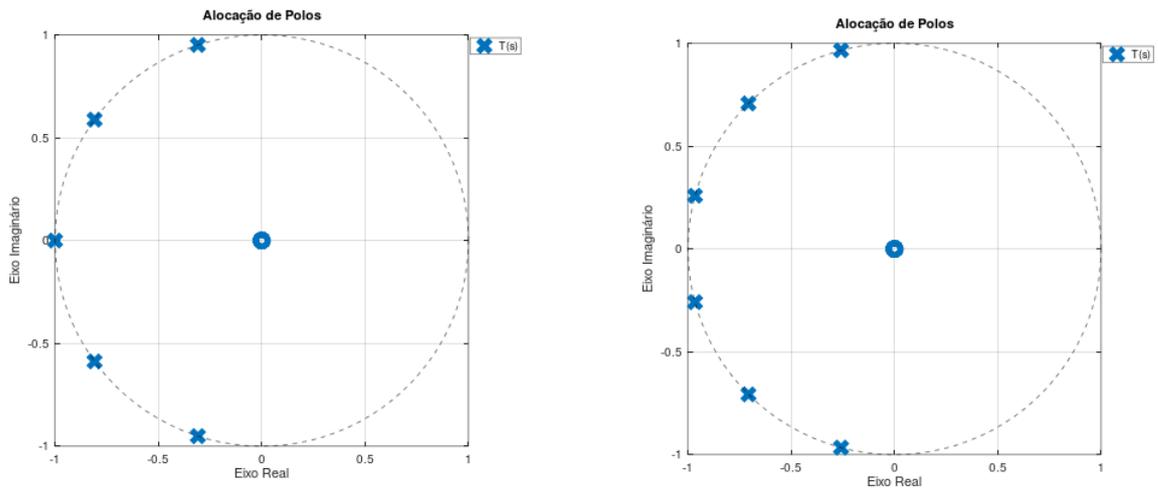
Fonte: retirada de [32].

2.2.2 Filtro Butterworth passa-alta

De acordo com [32], um filtro analógico passa-alta Butterworth de ordem m pode ser obtido por uma transformação de reciprocidade em frequência através da análise do filtro Butterworth passa-baixa. Uma vez que todos os polos estão posicionados em um círculo unitário, conforme retratado na Figura 7, a transformação de reciprocidade não modifica a posição dos polos do filtro Butterworth passa-alta, nem os fatores Q , nem ω_c se alteram em relação ao filtro passa-baixa [32]. A resposta de um filtro Butterworth passa alta é geral: os polos para uma resposta Butterworth passa-baixa tornam-se os polos para a resposta Butterworth passa-alta e, além disso, há a adição de m zeros na origem [32]. Assim, a função de transferência do filtro Butterworth passa-alta, $T_H(s)$, será dada por:

$$T_H(s) = T_0 \frac{s^m}{B_m\left(\frac{s}{\omega_c}\right)}. \quad (2.6)$$

A equação acima apresenta o mesmo formato da Equação (2.1) com a adição de m zeros na origem do plano s , representado pelo numerador da função (s^m). Os coeficientes do polinômio $B_m(s)$ para o passa-alta continuam os mesmos do passa-baixa e são fornecidos pela Tabela 1 [32]. A Figura 8a ilustra o posicionamento de polos e zeros do filtro Butterworth passa-alta de quinta ordem: os polos do passa-alta permanecem fixos na mesma posição que os polos do passa-baixa de quinta ordem, ao longo de um semicírculo no semiplano esquerdo e estão espaçados a distâncias angulares iguais e cinco zeros são introduzidos na origem do sistema. Além disso, a Figura 8b mostra o posicionamento dos



- (a) Posição dos polos e zeros da função de transferência do filtro Butterworth passa-alta de quinta ordem normalizado. (b) Posição dos polos e zeros da função de transferência do filtro Butterworth passa-alta de sexta ordem normalizado.

Figura 8 – Posição normalizada dos polos e zeros do filtro Butterworth passa-alta: (a) quinta ordem e (b) sexta ordem.

Fonte: o autor.

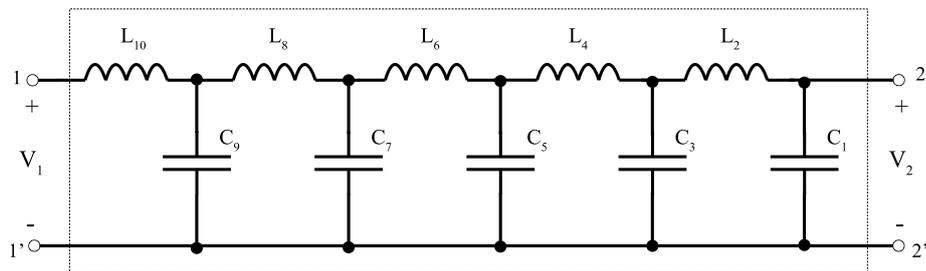
polos e zeros do polinômio de sexta ordem, em que seis zeros são adicionados na origem do sistema.

2.3 Implementação de filtros Butterworth

Filtros de tempo contínuo de ordem superior podem ser sintetizados usando várias abordagens: rede *ladder*-LC, biquads em cascata, circuitos OTAs, amplificadores de múltiplos terminais, entre outros [2, 16, 17, 18, 32, 33]. A seguir, o tópico rede *ladder*-LC será apresentado com mais detalhes, uma vez que será um dos temas utilizado na etapa de sintetização da metodologia de projeto proposta.

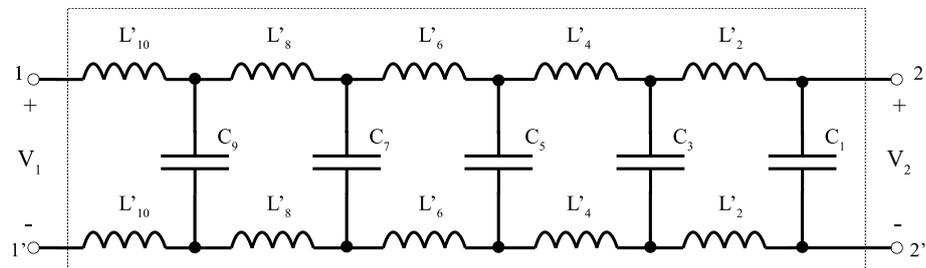
2.3.1 Rede *ladder*

A topologia *ladder* é definida como uma estrutura planar, constituída por uma sequência de ramos série-paralelo ou paralelo-série como ilustrado na Figura 9a e sua estrutura totalmente diferencial é retratada na Figura 9b, de formas genéricas. A rede *ladder*-LC recebe este nome por ser constituída por indutores e capacitores nas ramificações [32].



(a) Circuito típico de uma rede *ladder*-LC de saída *single-ended*.

Fonte: retirada de [32].

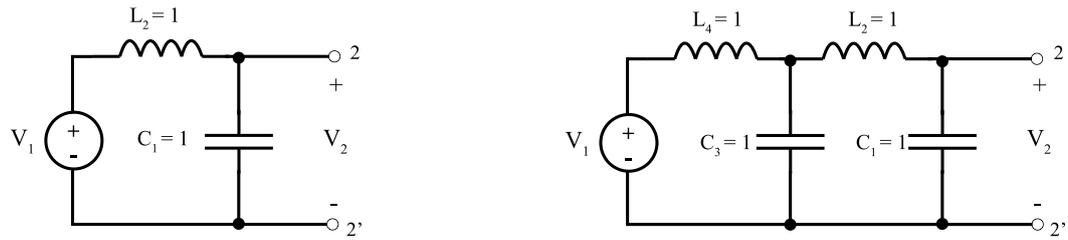


(b) Circuito típico de uma rede *ladder*-LC de saída diferencial.

Fonte: o autor.

Figura 9 – Rede *ladder*-LC genérica: (a) *single-ended* e (b) diferencial.

A rede *ladder* descrita na Figura 9a é conhecida como circuito de acoplamento sem perdas (*lossless coupling circuit*) e sua função de transferência é, genericamente,



(a) Exemplo de rede *ladder* de segunda ordem sem perdas. (b) Exemplo de rede *ladder* de quarta ordem sem perdas.

Figura 10 – Rede *ladder* de segunda e quarta ordens respectivamente.

Fonte: retirada de [32].

representada por [32]:

$$\frac{V_2(s)}{V_1(s)} = \frac{1}{Q(s)}, \quad (2.7)$$

em que $Q(s)$ é um polinômio par de grau r , sendo r , o número total de indutores mais capacitores da rede. Esta função é conhecida como função multipolar, uma vez que todos os zeros estão no infinito [32]. Em altas frequências, a função tem taxa de *roll-off* de -20m dB/dec [32]. Como o valor da frequência zero é 1 e a taxa de *roll-off* é negativa, a função de transferência representa um filtro passa-baixa [32].

Exemplificando, seja os circuitos mostrados pela Figura 10 que representam duas redes *ladder* sem perdas. O circuito da Figura 10a tem função de transferência descrita por:

$$T(s) = \frac{V_2}{V_1} = \frac{1}{s^2 + 1}, \quad (2.8)$$

Similarmente, para o circuito representado pela Figura 10b, a função de transferência é caracterizada por:

$$T(s) = \frac{V_2}{V_1} = \frac{1}{s^4 + 3s^2 + 1}. \quad (2.9)$$

Ambas são funções multipolares e o grau do polinômio do denominador é igual ao número de elementos no circuito [32] e o polinômio é constituído por termos exclusivamente pares. Se houver, por exemplo, um resistor no lado da entrada da rede, representando a resistência da fonte, como mostrado na Figura 11, a arquitetura é conhecida como estrutura duplamente terminada (*doubly terminated structure*) [32]. O resistor de entrada é designado por R_1 e o resistor de carga por R_2 . A fim de diferenciar a tensão na entrada do circuito *lossless* daquela representada pela fonte, uma, é designada por V_1 e, a outra, por V_s [32].

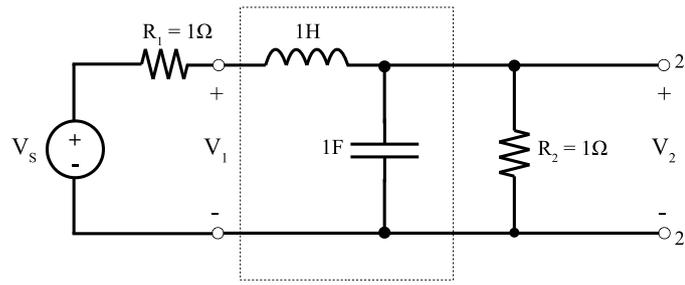


Figura 11 – Circuito típico de uma rede *ladder*.

Fonte: retirada de [32].

Para a Figura 11, considerando-se $R_1 = R_2 = 1\Omega$, a função de transferência é retratada por:

$$\frac{V_2}{V_s} = T = \frac{1}{s^2 + 2s + 2} . \quad (2.10)$$

Comparando a Equação (2.10) com a Equação (2.8), percebe-se que a adição de dois resistores ao circuito não aumenta o grau do polinômio do denominador. No entanto, o polinômio não é mais puramente par, mas possui, além dos termos pares, os termos ímpares também.

De modo geral, um polinômio contendo termos pares e ímpares, no domínio da frequência, proporciona um maior grau de liberdade para o ajuste e posicionamento de polos e zeros de uma função de transferência.

2.3.2 Butterworth passa-baixa: rede *ladder*

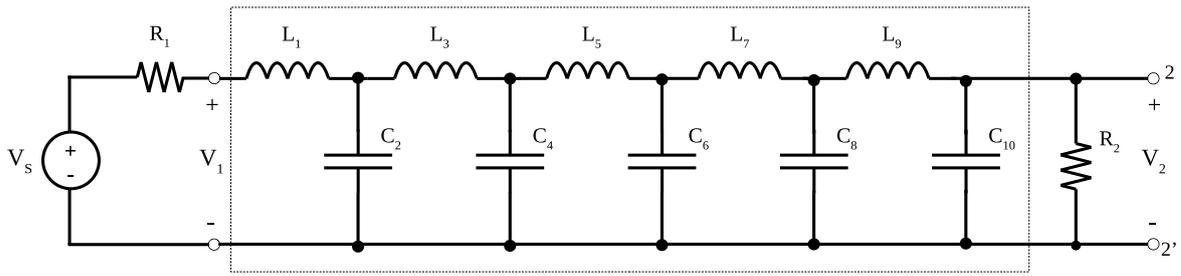
O circuito descrito na Figura 12 representa um filtro Butterworth passa-baixa [32]. Ele é constituído pela fonte de tensão de entrada (V_S), com resistência de entrada (R_1), uma rede *ladder* e um resistor como carga (R_2). A estrutura *ladder* é composta por indutores e capacitores em que cada ramificação contém apenas um elemento. É organizada de modo que todos os elementos da série sejam indutores e todos os elementos de derivação sejam capacitores para o filtro Butterworth [32].

Ainda, segundo [32], a função de transferência geral para este circuito é representada a seguir:

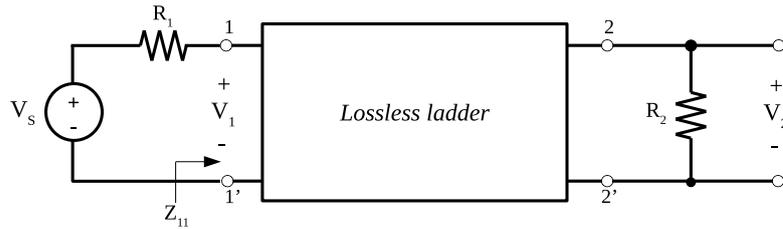
$$T(s) = \frac{V_2(s)}{V_S(s)} = \frac{K}{b_n s^n + b_{n-1} s^{n-1} + \dots + b_1 s + b_0} = \frac{K}{Q(s)} . \quad (2.11)$$

De modo que:

$$\frac{V_2}{V_S}(0) = \frac{R_2}{R_1 + R_2} = \frac{K}{b_0} . \quad (2.12)$$



(a) Filtro Butterworth passa-baixa genérico.



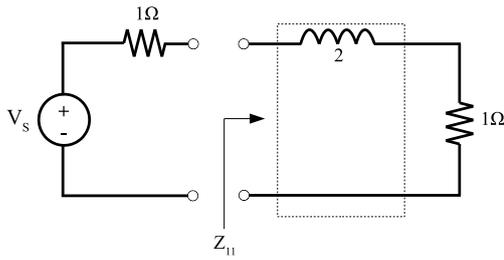
(b) Filtro Butterworth genérico, rede duplamente terminada.

Figura 12 – Filtro Butterworth genérico representado pela estrutura duplamente terminada, composta por uma rede *ladder*-LC e as resistências de fonte de entrada (R_1) e de carga (R_2).

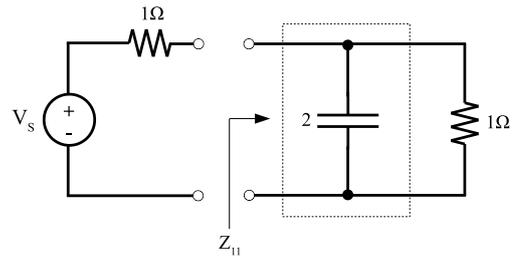
Fonte: retirada de [32].

A partir de toda a análise anterior, dados os valores de R_1 e R_2 e uma função de transferência $T(s)$ conhecida, é possível encontrar os valores dos elementos da rede *ladder* sem perdas [32].

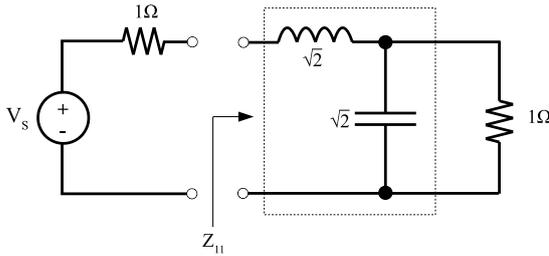
Darlington [34] demonstrou a determinação do circuito *lossless* com o conhecimento do resistor R_2 através de uma impedância de entrada Z_{11} específica [32]. Aqui, Z_{11} é a impedância dada pela rede *lossless* e o resistor R_2 . Ele demonstrou que é possível obter dois circuitos diferentes que implementam a mesma resposta em frequência de um filtro Butterworth passa-baixa. Esses circuitos estão representados na Figura 13 para as ordens um, dois e três, respectivamente, e considerando $R_1 = R_2 = 1\Omega$. Nos circuitos das Figuras 13a, 13c e 13e, após a resistência R_1 , a rede *lossless* começa com elemento indutivo em série e a ramificação contém elementos capacitivos. Por outro lado, nas Figuras 13b, 13d e 13f, após a resistência R_1 , a rede *lossless* começa com elemento capacitivo em paralelo (ramificação) e os elementos em série são indutivos. A Tabela 2 resume os valores dos capacitores e indutores para a criação da rede *lossless*-LC para implementação do filtro Butterworth passa-baixa normalizado até a décima ordem nas duas configurações de circuito. Na criação do primeiro circuito (parte superior da tabela), os valores dos capacitores e indutores são analisados via primeira linha da tabela; para o segundo circuito (parte inferior da tabela), via última linha.



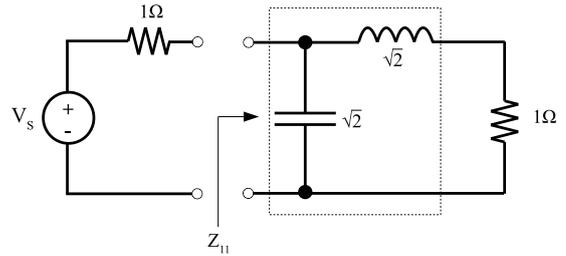
(a) Filtro Butterworth passa-baixa de primeira ordem, circuito 01.



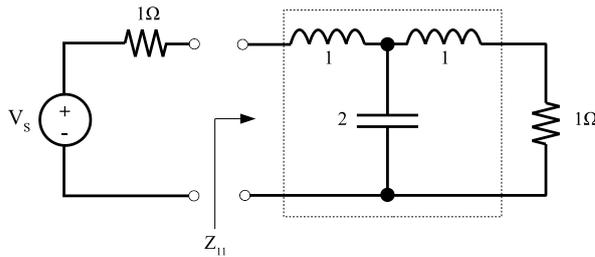
(b) Filtro Butterworth passa-baixa de primeira ordem, circuito 02.



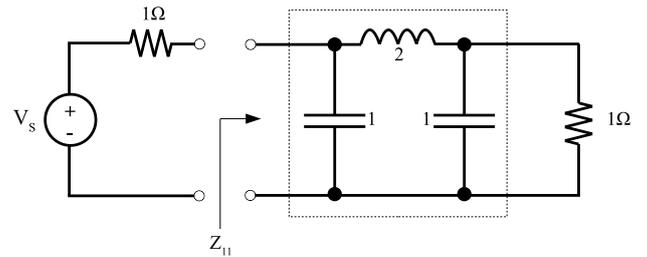
(c) Filtro Butterworth passa-baixa de segunda ordem, circuito 01.



(d) Filtro Butterworth passa-baixa de segunda ordem, circuito 02.



(e) Filtro Butterworth passa-baixa de terceira ordem, circuito 01.

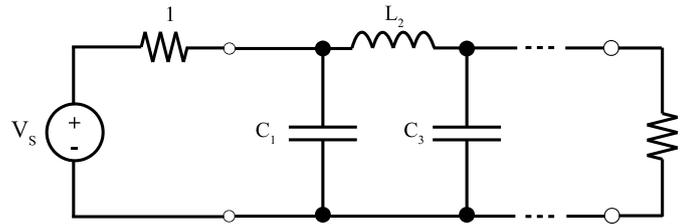


(f) Filtro Butterworth de terceira ordem, circuito 02.

Figura 13 – Dois circuitos possíveis para a realização do filtro Butterworth passa-baixa para a ordem desejada.

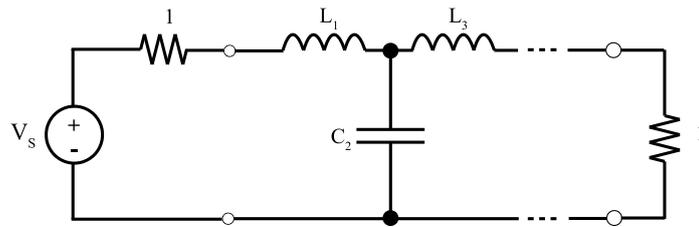
Fonte: retirada de [32].

Tabela 2 – Polinômios de Butterworth normalizados.



m	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9	L_{10}
2	1,414	1,414								
3	1,000	2,000	1,000							
4	0,7654	1,848	1,848	0,7654						
5	0,6180	1,618	2,000	1,618	0,6180					
6	0,5176	1,414	1,932	1,932	1,414	0,5176				
7	0,4450	1,247	1,802	2,000	1,802	1,247	0,4450			
8	0,3902	1,111	1,663	1,962	1,663	1,663	1,111	0,3902		
9	0,3473	1,000	1,532	1,879	1,879	1,879	1,532	1,000	0,3473	
10	0,3129	0,9080	1,414	1,782	1,975	1,975	1,782	1,414	0,9080	0,3129

m	L_1	C_2	L_3	C_4	L_5	C_6	L_7	C_8	L_9	C_{10}
-----	-------	-------	-------	-------	-------	-------	-------	-------	-------	----------



Fonte: retirada de [32].

2.3.3 Butterworth passa-alta: rede *ladder*

A rede *ladder*-LC equivalente para o filtro passa-alta é obtida através de transformação em frequência do filtro passa-baixa [32]. A Figura 14 ilustra um filtro Butterworth passa-alta de quarta ordem. Foster demonstrou, através do Teorema da Reatância [35], que qualquer rede composta de um número finito de auto-indutâncias, indutâncias mútuas e capacitâncias pode ser construída fisicamente combinando, em série, circuitos ressonantes com impedâncias da forma $[j\omega L + (j\omega C)^{-1}]$, ou combinando, em paralelo, circuitos antirressonantes com impedâncias da forma $[j\omega C + (j\omega L)^{-1}]^{-1}$ [35]. Através deste teorema, para converter uma rede passa-baixa em uma rede passa-alta, todos indutores da rede passa-baixa são substituídos por capacitores e todos capacitores da passa-baixa são alterados para indutores, de acordo com [32]:

$$C_{HP} = \frac{1}{L_p \omega_c}, \quad (2.13)$$

e

$$L_{HP} = \frac{1}{C_p \omega_c}, \quad (2.14)$$

em que C_{HP} e L_{HP} são os valores equivalentes para o modelo *ladder*-LC correspondente passa-alta, obtidos pelos valores C_p e L_p dos protótipos do passa-baixa [32]. Os valores dos capacitores e indutores dos protótipos são os mesmos da Tabela 2. Aqui, o índice $p = 1, 2, 3 \dots m$, sendo m a ordem do filtro.

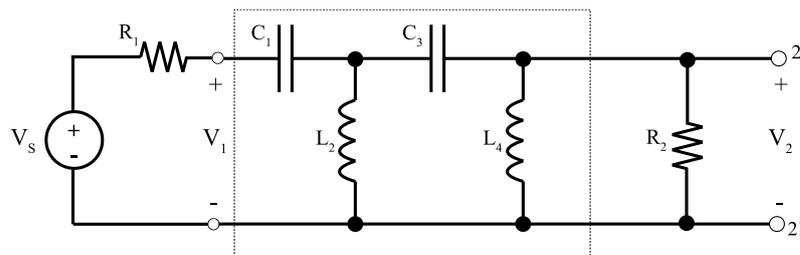


Figura 14 – Filtro Butterworth passa-alta de quarta ordem, rede duplamente terminada de saída *single-ended*.

Fonte: retirada de [32].

2.4 Filtros Butterworth e circuitos integrados

Nas seções anteriores, foram demonstradas implementações de filtros Butterworth utilizando redes de impedância LC. No entanto, um alto preço é pago quando se usa indutores adaptados para realizações em circuitos integrados, por serem difíceis e dependentes de técnicas específicas para serem implementados [32]. Dependendo da estrutura

do indutor, várias camadas de elementos químicos são necessárias para se evitar ou diminuir correntes parasitas ou efeitos eletromagnéticos indesejados nos circuitos adjacentes (TSMC[®] *Design Rules*). A seguir, serão mostrados métodos que permitem substituir indutores físicos no projeto de filtros em ultrabaixa potência.

2.4.1 O *Gyrator* ideal

Em 1948, Tellegen [36] propôs o *gyrator* ideal como um novo elemento da teoria de redes de $2n$ -polos, além dos quatro elementos já existentes até aquela época (resistor, indutor, capacitor e transformador). No desenvolvimento de Tellegen, esse novo elemento teria de violar a relação de reciprocidade de redes ordinárias, relação esta verificada no sistema de equações que regem um quadripolo [36]. Assim, o *gyrator* não armazena e nem dissipa energia, mantendo a propriedade de que energia não pode ser criada ou destruída em elementos de redes $2n$ -polos [36]. Valkenburg [32] define seu modelo em termos de correntes e tensões como mostrado na Figura 15, assim como, seu respectivo símbolo.

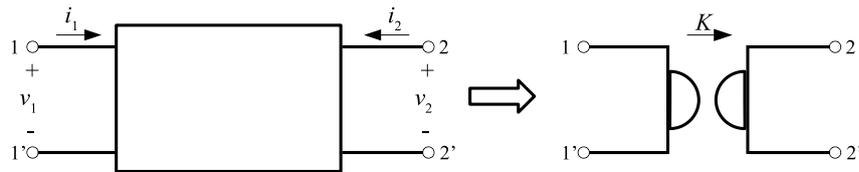


Figura 15 – *Gyrator*: nomenclatura e símbolo.

Fonte: retirada de [32].

Em que:

$$v_1 = Ki_2, \quad (2.15)$$

$$v_2 = -Ki_1. \quad (2.16)$$

Aqui, K é uma constante real também chamada de resistência de rotação (*gyration resistance*). Suponha que se acrescente à saída do *gyrator* um capacitor, conforme mostrado na Figura 16. Isso coloca uma restrição entre a tensão v_2 e a corrente i_2 de tal maneira que [32]:

$$i_2 = -\frac{d}{dt}Cv_2. \quad (2.17)$$

Substituindo (2.17) em (2.15), obtém-se:

$$v_1 = Ki_2 = K\left(-\frac{d}{dt}Cv_2\right). \quad (2.18)$$

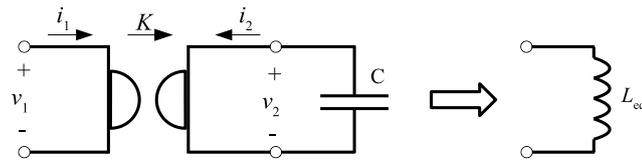


Figura 16 – Obtendo uma indutância através de capacitor e *gyrator*.

Fonte: retirada de [32].

Considerando (2.16) e substituindo em (2.18), fornece:

$$v_1 = K \frac{d}{dt}(CKi_1) = \frac{d}{dt}(K^2Ci_1) = \frac{d}{dt}(L_{eq}i_1), \quad (2.19)$$

ou ainda, em Laplace:

$$\frac{V_1(s)}{I_1(s)} = sL_{eq} = sK^2C. \quad (2.20)$$

Logo, $L_{eq} = K^2C$ é o valor da indutância equivalente. Assim, percebe-se que, por meio de um *gyrator*, um capacitor se torna equivalente a um indutor [32].

O desenvolvimento anterior revela uma conclusão muito importante: a possibilidade de implementar indutâncias a partir de outros componentes de rede. Tellegen [36] demonstra como construir um *gyrator* usando uma culatra de material magnético com dois eletrodos planos espaçados. Riordan [37] obteve sucesso concebendo um *gyrator* usando circuito de amplificadores em 1967. No próximo capítulo, será apresentado como o problema de implementar indutores é superado utilizando amplificadores operacionais de transcondutância e como se implementa filtros sem a presença de indutores em circuitos integrados.

As vantagens dos indutores ativos são as mais diversas, como, por exemplo, um pequeno consumo de área dentro de um *chip*, um alto fator de qualidade, uma ampla largura de banda e uma operação em baixa tensão [22]. A vantagem mais vital do indutor ativo sobre a contraparte passiva é sua capacidade de ajuste. No entanto, o indutor ativo tem certas desvantagens como, consumo de energia, ruído, linearidade pobre - todos esses fatores são inerentes ao circuito do indutor ativo [38].

2.5 Conclusão do capítulo

Este capítulo abordou a metodologia a ser desenvolvida no projeto de filtros Butterworth, além das teorias de filtro Butterworth passa-baixa e passa-alta, trazendo as funções de transferências para cada modelo. Assim, uma vez conhecida a FT do filtro, almeja-se implementar um circuito elétrico capaz de sintetizar esta função. No decorrer do capítulo, a sintetização é demonstrada através da teoria de rede *ladder-LC*. Partindo de tais redes, compostas de capacitâncias e indutâncias, é possível implementar o filtro Butterworth passa-baixa, utilizando dois modelos específicos. Com a ajuda do Teorema da Impedância de Foster, é possível encontrar o circuito equivalente do filtro Butterworth passa-alta através do conhecimento do circuito do filtro passa-baixa. Tendo em vista toda a teoria desenvolvida, um possível obstáculo encontrado na implementação de filtros em circuitos integrados é a construção de indutores em *chips*. Para sanar este problema, é revisado o conceito do *gyrator* que possibilitará a construção de indutâncias sem o uso de indutores físicos, isso será demonstrado no capítulo subsequente.

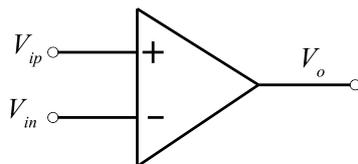
3 O FDDTA e a metodologia de projeto

Este capítulo apresenta a teoria do FDDTA necessária para a construção da metodologia de projeto proposta. Assim, a Seção 3.1 faz uma breve contextualização de amplificadores de dois terminais de entrada, cujos sinais de entrada são em tensão elétrica: o amplificador operacional e o amplificador operacional de transcondutância. Depois, a Seção 3.2 mostra a operação dos amplificadores operacionais de quatro terminais de entrada: o amplificador diferencial de diferenças (DDA) e o FDDTA, ilustrando a teoria por trás de tais blocos. Na sequência, a Seção 3.3 mostra a implementação do FDDTA através de células OTAs, evidenciando uma maneira prática de implementar o referido bloco, esta seção aborda algumas das contribuições desta tese: a implementação prática do FDDTA e sua operação em inversão fraca. Em seguida, a Seção 3.4 apresenta a metodologia de projeto de filtros Butterworth passa-baixa utilizando o bloco FDDTA, evidenciando que a metodologia é fundamentada na rede duplamente terminada (composta pelas rede *ladder*-LC e resistências) para a ordem m desejada do filtro, montando, na sequência, a rede OTA-C equivalente, e, finalmente, obtendo-se a rede com blocos FDDTAs. Por fim, a Seção 3.5 verifica a possibilidade de metodologia de projeto para o filtro Butterworth passa-alta similar à desenvolvida para o passa-baixa. Estas duas últimas seções são o cerne desta tese e apresentam as principais contribuições deste trabalho no campo teórico.

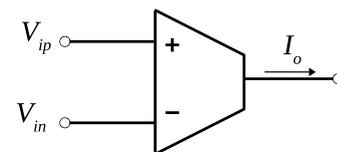
3.1 Amplificadores de dois terminais de entrada

No tratamento de sinais em tensões elétricas diferenciais de entrada existem duas topologias de amplificadores: os operacionais e os operacionais de transcondutância [39]. No caso do amplificador operacional, o sinal de saída do bloco, em tensão elétrica, é proporcional à diferença de duas entradas em tensão, ou seja [40]:

$$V_o = A_v(V_{ip} - V_{in}) , \quad (3.1)$$



(a) Simbologia do amplificador operacional em configuração *single-ended*.



(b) Simbologia do amplificador operacional de transcondutância em configuração *single-ended*.

Figura 17 – Simbologia de amplificadores operacionais.

Fonte: o autor.

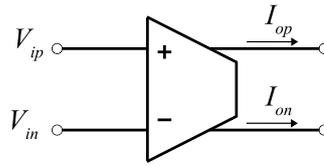


Figura 18 – Simbologia do OTA diferencial.

Fonte: o autor.

em que V_o é o sinal em tensão elétrica da saída, V_{ip} e V_{in} são os sinais de entrada em tensão do amplificador operacional e, A_v , o ganho em tensão de malha aberta. Já no amplificador operacional de transcondutância, a saída, em corrente elétrica (I_o), é proporcional à diferença de duas entradas, em tensão elétrica (V_{ip} e V_{in}), de modo que [39]:

$$I_o = G_m(V_{ip} - V_{in}) , \quad (3.2)$$

sendo G_m a transcondutância de pequenos sinais do circuito. A Figura 17 ilustra o símbolo de tais amplificadores.

O OTA diferencial, ilustrado na Figura 18, é um dispositivo de quatro terminais, composto por um par de entradas de tensão diferencial ($V_{ip} - V_{in}$), em que V_{ip} é a tensão na entrada não-inversora e V_{in} é a tensão na entrada inversora. Além de um estágio de saída diferencial em corrente ($I_{op} - I_{on}$). Operando na faixa linear, a saída do OTA diferencial é proporcional à [18]:

$$I_{od} = I_{op} - I_{on} = G_m (V_{ip} - V_{in}) . \quad (3.3)$$

Na Figura 19 estão representadas duas aplicações utilizando o OTA diferencial. Nestas configurações, desprezando-se as capacitâncias parasitas, é possível emular resistências em série e em paralelo, sendo estas topologias importantes na criação das redes *ladders* discutidas no capítulo anterior.

A Figura 20a, retirada de [41], mostra a implementação de um indutor flutuante utilizando a técnica do *gyrator*. Nela, é ilustrada a implementação de tal indutor utilizando duas células de transcondutância G_m idênticas e um capacitor C . Levando-se em consideração dois OTAs ideais, obtém-se a função de transferência a seguir:

$$\frac{V(s)}{I(s)} = sL = s \frac{C}{G_m^2} , \quad (3.4)$$

evidenciando o comportamento de um indutor, cuja indutância é dada por $L = C/G_m^2$. Comparando (3.4) com (2.20), a resistência de rotação (K), característica de um circuito *gyrator*, é equivalente à $1/G_m$. Ainda, é possível implementar um indutor diferencial flu-

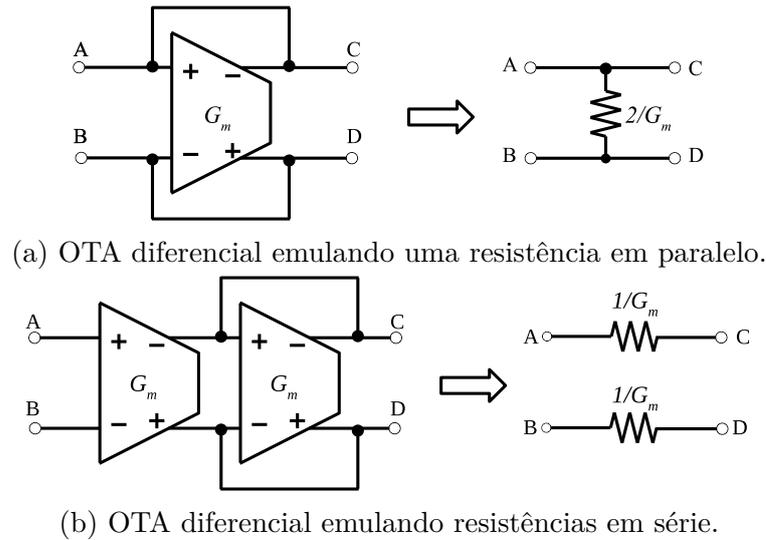


Figura 19 – Exemplo de aplicação do OTA diferencial: (a) resistência em paralelo e (b) resistências em série, desprezando-se capacitâncias parasitas.

Fonte: o autor.

tuante, conforme a Figura 20b [41], de modo que a função de transferência seja dada por:

$$Z_L(s) = sL = s \frac{C}{G_m^2} = \frac{V_1(s) - V_2(s)}{I(s)}. \quad (3.5)$$

Como as células G_m são susceptíveis a inúmeras fontes de ruído e não-linearidades, a escolha do circuito elétrico do OTA tem papel crucial no desempenho do *gyrator* quando emulando um indutor. Por exemplo, se cada célula G_m é implementada como um par diferencial com uma carga ativa [42], pelo menos vinte transistores e quatro caminhos de corrente independentes serão necessários. Além disso, o fator de qualidade não ajustável (Q) do indutor emulado é limitado pela resistência de saída finita de todos os transistores MOSFETs [43].

Entre as possíveis aplicações de OTAs estão os filtros G_m -C, destacando-se as aplicações biomédicas, cuja faixa de frequência varia abaixo de 100Hz [44]. Tais amplificadores podem apresentar-se na configuração *single-ended* ou *fully-differential* para o tratamento de sinais elétricos [31, 39]. O foco deste trabalho será o amplificador operacional de transcondutância diferencial (OTA diferencial), por este manipular sinais elétricos de tensão na sua entrada e fornecer sinal elétrico diferencial de corrente na saída, sendo uma das características dos filtros Butterworth propostos nesta tese. Além desta topologia OTA proporcionar a implementação de reatâncias indutivas pela técnica do *gyrator* e permitir a implementação de um novo dispositivo, o FDDTA, tal arquitetura é uma das novidades deste trabalho.

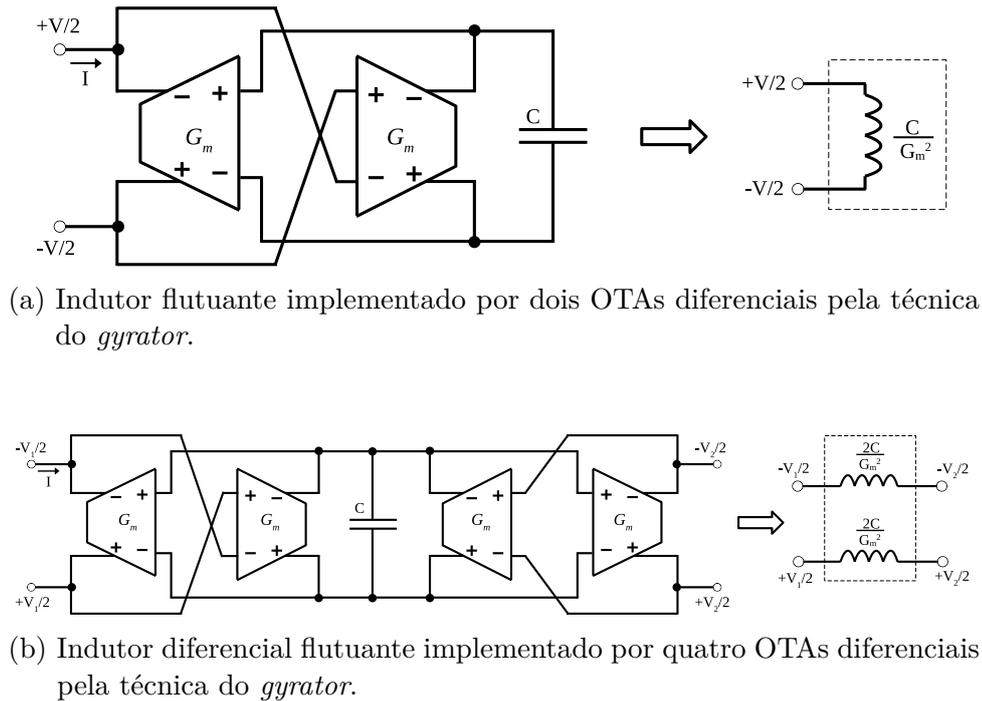


Figura 20 – Blocos OTAs emulando indutores implementados pela técnica do *gyrator*.

Fonte: adaptada de [41].

3.2 Amplificadores de quatro terminais de entrada

Outra classe de amplificadores diferenciais é o amplificador diferencial de diferenças, o DDA, ilustrado na Figura 21a. Proposto por Säckinger e Guggenbuhl [45], o DDA é uma extensão do conceito de amplificador operacional. Diferente da ideia do amp op, o DDA compara dois pares de sinais diferenciais e sua versão totalmente diferencial, mostrada na Figura 21b, requer um circuito de controle de modo comum semelhante aos amplificadores *single-ended* [39].

Segundo Säckinger e Guggenbuhl, o símbolo do DDA pode sugerir que este circuito pode ser realizado por uma combinação de três amplificadores operacionais, o que não é verdade pelas seguintes razões: primeiro, um amplificador operacional não foi projetado para operar com tensão diferencial elevada na entrada e, portanto, o amplificador de saída

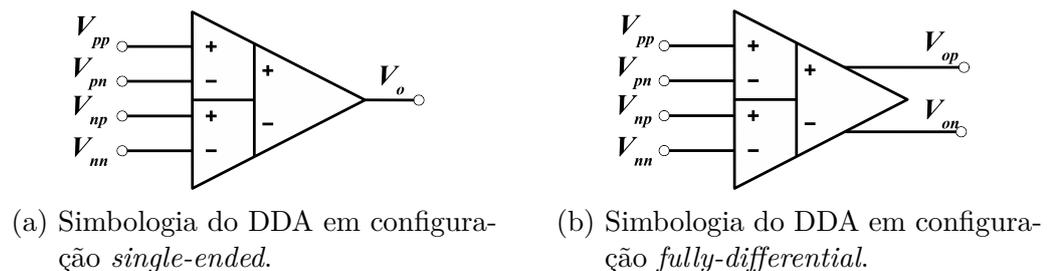


Figura 21 – Simbologia DDA.

Fonte: o autor.

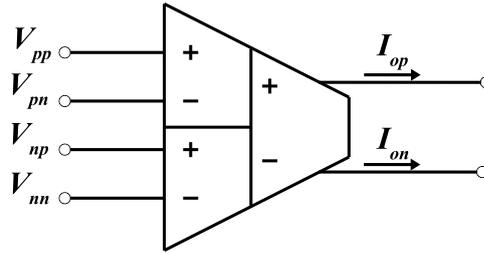


Figura 22 – O símbolo do FDDTA, composto por dois pares de entrada de tensão diferencial e duas portas de saída em corrente elétrica.

Fonte: o autor.

estaria sobrecarregado. Em segundo lugar, os ganhos dos dois primeiros amplificadores operacionais devem ser iguais, sendo muito difícil que um amp op comum forneça um ganho de malha aberta preciso [45].

A disponibilidade de múltiplas entradas torna esse amplificador atraente para muitas aplicações, como, filtros [25], amplificadores [46], circuitos de realimentação de modo comum [47], entre outros. Embora os circuitos com DDAs já foram estudados no passado [45, 48, 49], pouca atenção é dedicada atualmente em nível arquitetural. Mincey [25] apresentou, recentemente, uma aplicação de filtro G_m -C empregando DDA de baixa potência. Khateb [50] apresenta um DDA em que o circuito combina a ideia de pares diferenciais acionados pelo terminal *bulk* do transistor, sem corrente de cauda, utilizado para aumentar o ganho de tensão do circuito.

O DDA é uma arquitetura que apresenta um sinal de tensão na saída, a contraparte em corrente é a estrutura em transcondutância, denominada amplificador de transcondutância diferencial de diferenças de saída diferencial, o FDDTA. Suas aplicações são as mais variadas, desde osciladores em quadratura a filtros passa-baixa de ordens elevadas [51, 52].

O FDDTA, ilustrado na Figura 22, é um dispositivo de seis terminais que consiste de dois pares de portas de entrada de tensão diferencial, $(V_{pp} - V_{pn})$ e $(V_{np} - V_{nn})$, o dispositivo converte esses sinais de entrada em um estágio de saída de corrente diferencial $(I_{op} - I_{on})$. Quando tal dispositivo opera na região linear, a saída é dada por [18]:

$$I_{op} - I_{on} = G_m [(V_{pp} - V_{pn}) - (V_{np} - V_{nn})], \quad (3.6)$$

em que G_m expressa a transcondutância de pequenos sinais do FDDTA. A Figura 23 ilustra a configuração *buffer* do FDDTA comparando-a com a configuração *buffer* de um OTA *single-ended*, mostrando que ambos seguem o mesmo princípio de realimentação.

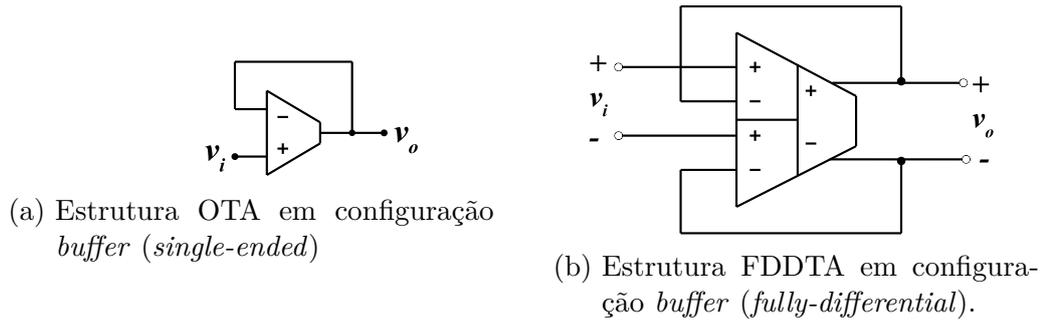
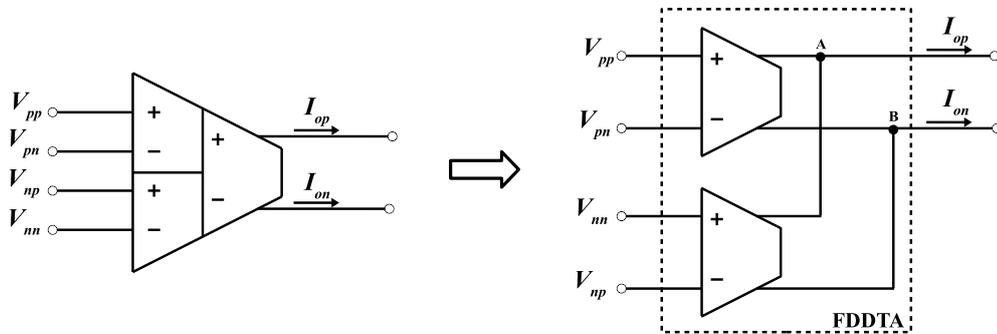


Figura 23 – Comparativo entre estruturas em configuração *buffer*.

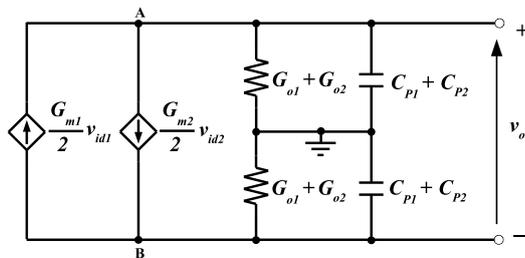
Fonte: o autor.

3.3 Implementando um FDDTA

O FDDTA é um dispositivo de seis terminais em que as saídas (I_{op} , I_{on}) são proporcionais às entradas ($V_{pp} - V_{pn}$) e ($V_{np} - V_{nn}$), conforme discutido anteriormente. Neste sentido, pode-se implementar a arquitetura FDDTA, ilustrada na Figura 24a, em termos de duas instâncias OTAs, totalmente diferenciais, com saídas interligadas. Assim, consegue-se dois pares de portas de entrada de tensão diferencial e um estágio de saída de corrente diferencial, de modo simples e prático. Diferente do DDA que não pode ser criado por três amplificadores operacionais, conforme discutido na seção anterior; o FDDTA pode ser concebido através de dois amplificadores operacionais de transcondutância interconectados, pois o sinal de saída é fornecido em corrente elétrica.



(a) A estrutura FDDTA composta de dois transdutores diferenciais completos com saídas interconectadas.



(b) O modelo AC de pequenos sinais para o FDDTA: o modelo equivalente é o paralelo dos modelos ACs de cada OTA.

Figura 24 – O bloco FDDTA: símbolos e nomenclaturas.

Fonte: o autor.

3.3.1 A função de transferência do FDDTA

A função de transferência diferencial do FDDTA é obtida aplicando-se dois sinais diferenciais de baixa amplitude, (v_{id1}, v_{id2}) , às entradas do FDDTA, de acordo com:

$$V_{pp} = V_{CM} + \frac{v_{id1}}{2} \quad , \quad V_{pn} = V_{CM} - \frac{v_{id1}}{2}; \quad (3.7a)$$

e

$$V_{np} = V_{CM} + \frac{v_{id2}}{2} \quad , \quad V_{nn} = V_{CM} - \frac{v_{id2}}{2}, \quad (3.7b)$$

em que V_{CM} é a tensão de modo comum. Além disso, da análise do modelo AC de pequenos sinais, ilustrado na Figura 24b, conclui-se que a tensão de saída diferencial (v_{od}) é dada por:

$$v_{od}(s) = \frac{G_{m1}v_{id1}(s) - G_{m2}v_{id2}(s)}{(C_{P1} + C_{P2})s + G_{o1} + G_{o2}}, \quad (3.8)$$

sendo que $G_{m1,2}$ representa a transcondutância do OTA_{1,2}, enquanto que, $C_{P1,2}$ e $G_{o1,2}$ descrevem a capacitância parasita de saída e a condutância de saída do OTA_{1,2}, respectivamente, por cada ramo de saída *single-ended*.

Assumindo dois OTAs idênticos, em que $G_{m1} = G_{m2} = G_m$, $C_{P1} = C_{P2} = C_P$ e $G_{o1} = G_{o2} = G_o$, obtém-se a tensão de saída diferencial a seguir:

$$\frac{v_{od}(s)}{v_{id1}(s) - v_{id2}(s)} = \frac{G_m}{2C_P s + 2G_o}, \quad (3.9)$$

mostrando que o FDDTA apresenta a mesma transcondutância de um único OTA (G_m) e uma maior admitância de saída ($2G_o$). Para baixas frequências, a corrente de saída diferencial, $i_{od} = i_{op} - i_{on}$, pode ser fornecida por:

$$i_{od} = G_m(v_{id1} - v_{id2}), \quad (3.10)$$

evidenciando que a corrente diferencial, em termos dos sinais de entrada originais, V_{pp} , V_{pn} , V_{np} , e V_{nn} , leva à Equação (3.6); portanto, comprovando a operação do FDDTA.

3.4 Metodologia de projeto: filtro Butterworth passa-baixa

A partir deste momento, com base nas teorias apresentadas para o FDDTA e nos métodos de sínteses de filtros Butterworth mostrados, será possível obter a metodologia de projeto de filtros Butterworth. Será demonstrada a construção do filtro Butterworth passa-baixa de quinta ordem, baseado em FDDTAs, como modelo exemplo. Primeiramente, constrói-se a rede duplamente terminada (composta pelas rede *ladder*-LC e resistências R_1 e R_2), após, monta-se a rede OTA-C equivalente, com o auxílio das Figuras 19 e 20b, via técnica do *gyrator* e, finalmente, obtém-se a rede com blocos FDDTAs, evidenciando que o exemplo em questão, comprova a teoria de filtro Butterworth passa-baixa de quinta ordem. No Capítulo 5, este protótipo será simulado e caracterizado eletricamente, validando a teoria aqui desenvolvida. Na sequência da Seção 3.4, a generalização da metodologia de projeto é demonstrada, de maneira similar ao passo a passo desenvolvido para o exemplo de quinta ordem.

3.4.1 Filtro Butterworth passa-baixa de 5ª ordem

- **Especificações:** Filtro Butterworth passa-baixa, de quinta ordem. A frequência de corte será estabelecida de acordo com os parâmetros do circuito.
- **Representação Matemática:** Com base na Seção 2.2, Equação (2.4) e Tabela 1, a função de transferência de quinta ordem normalizada é expressa por:

$$T_5(s) = \frac{T_0}{B_5\left(\frac{s}{\omega_c}\right)} = \frac{T_0}{s^5 + 3,2360s^4 + 5,2359s^3 + 5,2359s^2 + 3,2360s + 1}. \quad (3.11)$$

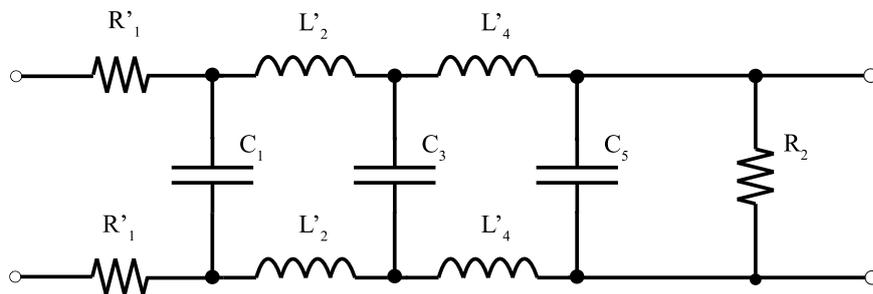
Ou ainda, de maneira não-normalizada:

$$T_5(s) = \frac{T_0}{\frac{1}{\omega_c^5}s^5 + \frac{3,2360}{\omega_c^4}s^4 + \frac{5,2359}{\omega_c^3}s^3 + \frac{5,2359}{\omega_c^2}s^2 + \frac{3,2360}{\omega_c}s + 1}. \quad (3.12)$$

A função de transferência do filtro apresentada pelo circuito elétrico deve se aproximar desta função.

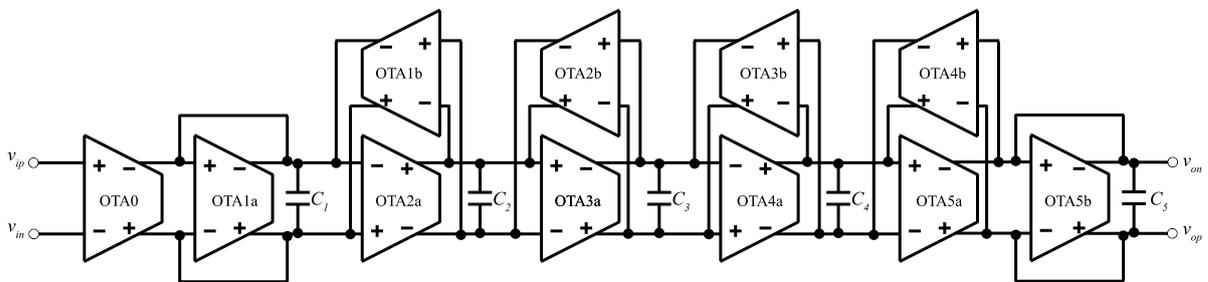
- **Sintetização:** A sintetização do filtro partirá da estrutura duplamente terminada apresentada no Capítulo 2. Ela é composta pelas resistências de entrada e saída e pela topologia de rede *ladder*-LC. Na Subseção 2.3.2 foi descrito que para se implementar um filtro Butterworth passa baixa, dois circuitos são possíveis de serem obtidos para a mesma função de transferência, conforme a Tabela 2. Neste ponto da

metodologia, quaisquer um dos dois circuitos apresentados podem ser utilizados, no entanto, o circuito aqui escolhido é o que utiliza o menor número de indutores, pois, assim, pode-se utilizar um menor número de células G_m para emular tais indutores. Para o filtro Butterworth passa-baixa de quinta ordem, a estrutura duplamente terminada é mostrada na Figura 25a. Após a resistência R_1 , a rede *lossless* começa com elemento capacitivo em paralelo (ramificação) e os elementos em série são indutivos. Nesta mesma figura, está mostrada a implementação G_m -C convencional que emula o filtro passa-baixa Butterworth de quinta ordem, através de estruturas OTAs. Evidenciando que são necessários onze transcondutores interconectados.



(a) Implementação convencional de um filtro passa-baixa Butterworth de quinta ordem com rede duplamente terminada e saída diferencial.

Fonte: o autor.



(b) Implementação convencional de um filtro passa-baixa Butterworth G_m -C de quinta ordem.

Fonte: retirada de [15].

Figura 25 – Filtro Butterworth passa-baixa de quinta ordem: (a) rede duplamente terminada de saída diferencial e (b) rede G_m -C.

A partir dos passos já supracitados seria possível obter a etapa de implementação e comprovar que o circuito da Figura 25b realiza tal filtro. No entanto, a abordagem que será apresentada a seguir pretende reduzir o número de elementos do circuito, substituindo os transcondutores (OTAs) por blocos FDDTAs, uma vez que as saídas dos OTAs estão em curto-circuito, da mesma maneira que o bloco FDDTA implementado por OTAs, conforme o proposto na Seção 3.3. Portanto, as instâncias OTA1a e OTA1b, OTA2a e OTA2b, OTA3a e OTA3b, OTA4a e OTA4b e OTA5a e

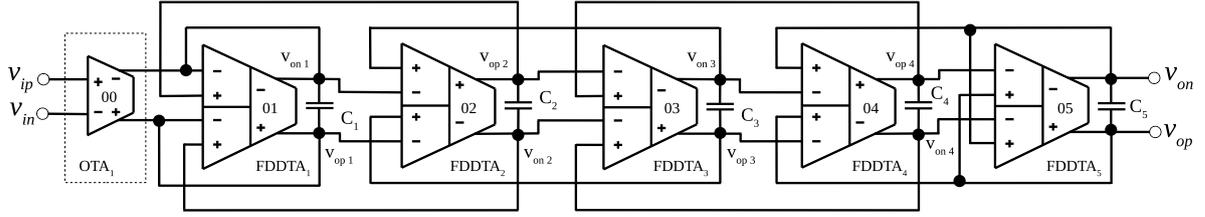


Figura 26 – Filtro Butterworth passa-baixa proposto de quinta ordem utilizando blocos FDDTAs.

Fonte: o autor.

OTA5b são substituídas por cinco instâncias FDDTAs. Desse modo, a arquitetura de filtro proposta, representada na Figura 26, abrange um estágio de entrada OTA (OTA₁), e cinco estágios FDDTAs (FDDTA₁ – FDDTA₅) em conexão cascata.

Neste ponto, outra observação extremamente importante é que os componentes que implementam o filtro dependem das grandezas físicas de capacitância, de transcondutância e de condutância de saída. Então, é necessário comprovar que o circuito elétrico escolhido, baseado em FDDTAs, implementa um filtro Butterworth passa-baixa de quinta ordem, característica, esta, apresentada a seguir.

- **Implementação:** A partir da topologia de filtro proposta, representada na Figura 26, em que cada FDDTA apresenta o modelo AC de pequenos sinais da Figura 24b e assumindo $C_1 \gg C_P$, a função de transferência do primeiro estágio FDDTA₁, incluindo o estágio de entrada composto pelo OTA₁, será:

$$\frac{v_{op1}(s) - v_{on1}(s)}{[v_{ip}(s) - v_{in}(s)] + [v_{on2}(s) - v_{op1}(s)] - [v_{op2}(s) - v_{on1}(s)]} = \frac{G_m}{2sC_1 + 3G_o}. \quad (3.13)$$

Assumindo $C_2 \gg C_P$, o segundo estágio FDDTA, representado pelo bloco FDDTA₂, apresentará a função de transferência a seguir:

$$\frac{v_{op2}(s) - v_{on2}(s)}{[v_{on3}(s) - v_{on1}(s)] - [v_{op3}(s) - v_{op1}(s)]} = \frac{G_m}{2sC_2 + 2G_o}. \quad (3.14)$$

Assumindo $C_3 \gg C_P$, o terceiro bloco (FDDTA₃) terá a seguinte função de transferência:

$$\frac{v_{op3}(s) - v_{on3}(s)}{[v_{on4}(s) - v_{on2}(s)] - [v_{op4}(s) - v_{op2}(s)]} = \frac{G_m}{2sC_3 + 2G_o}. \quad (3.15)$$

Assumindo $C_4 \gg C_P$, o quarto bloco (FDDTA₄) exibirá a função de transferência de acordo com:

$$\frac{v_{op4}(s) - v_{on4}(s)}{[v_{on}(s) - v_{on3}(s)] - [v_{op}(s) - v_{op3}(s)]} = \frac{G_m}{2sC_4 + 2G_o}. \quad (3.16)$$

E, finalmente, assumindo $C_5 \gg C_P$, a função de transferência do quinto bloco (FDDTA₅) será:

$$\frac{v_{op}(s) - v_{on}(s)}{[v_{on}(s) - v_{on4}(s)] - [v_{op}(s) - v_{op4}(s)]} = \frac{G_m}{2sC_5 + 2G_o}. \quad (3.17)$$

Manipulando (3.13), (3.14), (3.15), (3.16) e (3.17), é possível encontrar a função de transferência da arquitetura completa de acordo com:

$$T(s) = \frac{v_{od}(s)}{v_{id}(s)} = \frac{G_m^5}{\alpha s^5 + \beta s^4 + \gamma s^3 + \delta s^2 + \epsilon s + \theta}, \quad (3.18)$$

Ou ainda:

$$T(s) = \frac{v_{od}(s)}{v_{id}(s)} = \frac{\frac{G_m^5}{\theta}}{\frac{\alpha}{\theta} s^5 + \frac{\beta}{\theta} s^4 + \frac{\gamma}{\theta} s^3 + \frac{\delta}{\theta} s^2 + \frac{\epsilon}{\theta} s + 1}. \quad (3.19)$$

O Anexo A.1 traz maiores detalhes sobre a dedução da função de transferência do filtro proposto. Neste ponto, tem-se: $G_m = (g_{m_p} + g_{m_n})$ é a transcondutância do FDDTA; $G_o = 3(g_{o_p} + g_{o_n})$, a respectiva condutância de saída; $v_{id}(s) = v_{ip}(s) - v_{in}(s)$ representa o sinal de entrada diferencial e $v_{od}(s) = v_{op}(s) - v_{on}(s)$ caracteriza o sinal de saída diferencial do filtro. A Equação (3.18) se assemelha à equação teórica desenvolvida em (2.1), mostrando que o circuito proposto implementa um filtro passa-baixa Butterworth de quinta ordem. A Tabela 3 resume os valores dos coeficientes da função de transferência apresentada em (3.18). É possível inferir que todos os coeficientes ($\alpha, \beta, \gamma, \delta, \epsilon$ e θ) apresentam valores constantes C_1, C_2, C_3, C_4, C_5 e G_m . Isto significa que se pode projetar o filtro Butterworth de quinta ordem, escolhendo-se valores apropriados para os parâmetros de capacitância e transcondutância. Além do mais, o filtro apresenta um ganho de malha aberta de -6dB quando $G_m \gg G_o$, assim sendo $T(0) = G_m^5/\theta \approx 1/2$.

Uma vez que se projeta o circuito para o FDDTA, os valores de G_m, G_o e C_p são conhecidos, logo, o projeto do filtro se resume em calcular os valores das capacitâncias C_1, C_2, C_3, C_4 e C_5 . Assim, basta igualar as Equações (3.12) e (3.19). Resultando

no sistema a seguir:

$$\left\{ \begin{array}{l} \frac{\alpha}{\theta} = \frac{1}{\omega_c^5}, \\ \frac{\beta}{\theta} = \frac{3,2360}{\omega_c^4}, \\ \frac{\gamma}{\theta} = \frac{5,2359}{\omega_c^3}, \\ \frac{\delta}{\theta} = \frac{5,2359}{\omega_c^2}, \\ \frac{\epsilon}{\theta} = \frac{3,2360}{\omega_c}. \end{array} \right. \quad (3.20)$$

Então, conhecendo-se os valores de G_m , G_o , C_p e dada uma frequência de corte f_c conhecida, é possível obter os valores dos capacitores (C_1 , C_2 , C_3 , C_4 e C_5) através do sistema de equações anterior, de modo que todos os parâmetros teóricos para o cálculo do filtro Butterworth passa-baixa de quinta ordem foram atingidos com os passos apresentados anteriormente. O próximo capítulo apresentará a implementação deste exemplo.

Tabela 3 – Valores dos coeficientes da função de transferência do filtro proposto para $G_m \gg G_o$.

Coefficiente	Valor
α	$32C_1C_2C_3C_4C_5$
β	$16G_m[C_1C_2C_3C_4 + C_2C_3C_4C_5]$
γ	$8G_m^2[C_1C_2C_3 + C_1C_2C_5 + C_1C_4C_5 + C_2C_3C_4 + C_3C_4C_5]$
δ	$4G_m^3[C_1C_2 + C_2C_3 + C_2C_5 + C_3C_4 + C_1C_4 + C_4C_5]$
ϵ	$2G_m^4[C_1 + C_2 + C_3 + C_4 + C_5]$
θ	$2G_m^5$

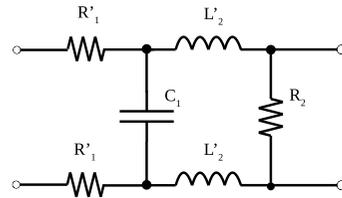
Fonte: o autor.

3.4.2 Generalização da metodologia de projeto passa-baixa

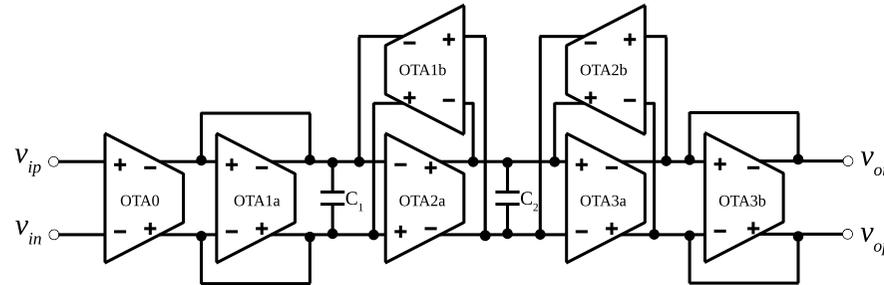
Tendo em vista o exemplo anterior para o filtro Butterworth passa-baixa de quinta ordem, a generalização da metodologia de projeto ocorre de maneira similar ao passo a passo desenvolvido para o de quinta ordem: constrói-se a rede duplamente terminada (composta pelas rede *ladder*-LC e resistências R_1 e R_2) para a ordem m desejada, na sequência, monta-se a rede OTA-C equivalente, com o auxílio das Figuras 19 e 20b via técnica do *gyrator* e, finalmente, obtém-se a rede com blocos FDDTAs.

As Figuras 27 e 28 mostram a metodologia para os filtros Butterworth passa-baixa de segunda e de quarta ordens respectivamente. Estas estruturas são filtros Butterworth passa-baixa de ordem par ($m = 2, 4, 6, \dots$). As redes equivalentes em blocos FDDTAs estão mostradas nas Figuras 27c e 28c. Tais redes, implementadas por FDDTAs, beneficiam-se de uma característica interessante: o último bloco FDDTA está em configuração *buffer* (conforme Figura 23b) e pode ser eliminado, reduzindo em uma unidade a quantidade de FDDTAs na implementação da metodologia nos filtros passa-baixa de ordem par e diminuindo a quantidade de potência consumida por cada estrutura. Para as estruturas ímpares, esta característica não ocorre. A Figura 29 mostra a metodologia para o filtro de terceira ordem (ímpar).

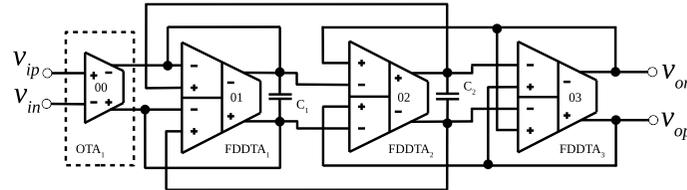
Para finalizar, a Figura 30 traz as implementações da metodologia de projeto para os filtros Butterworth passa-baixa utilizando FDDTAs. Conclui-se que a quantidade de FDDTAs, presente na estrutura de cada filtro, é igual à ordem m do filtro e, além disso, é necessário um estágio OTA de entrada.



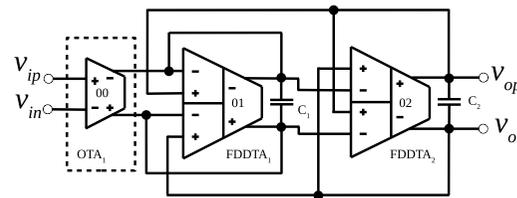
(a) Implementação convencional de um filtro passa-baixa Butterworth de segunda ordem com rede duplamente terminada e saída diferencial.



(b) Implementação convencional de um filtro passa-baixa Butterworth G_m -C de segunda ordem.



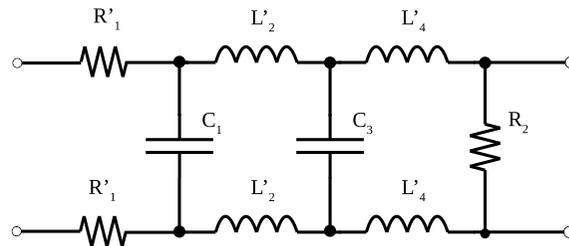
(c) Filtro Butterworth passa-baixa de segunda ordem utilizando FDDTAs.



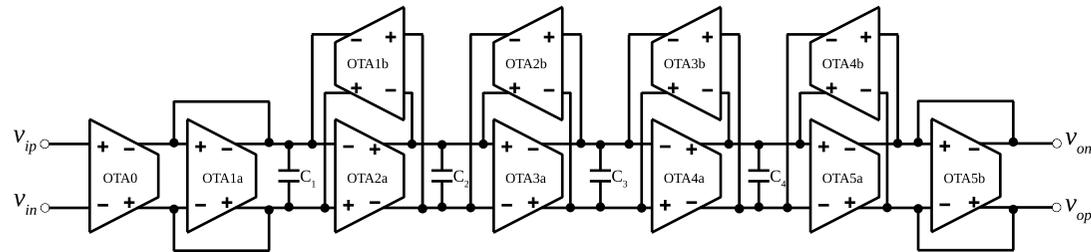
(d) Filtro Butterworth passa-baixa de segunda ordem otimizado utilizando FDDTAs.

Figura 27 – Filtro Butterworth passa-baixa de segunda ordem implementado por diferentes tipos de topologias.

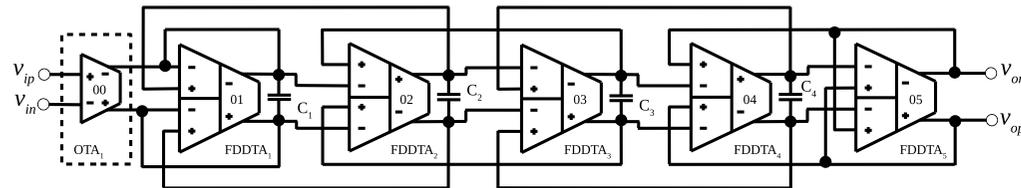
Fonte: o autor.



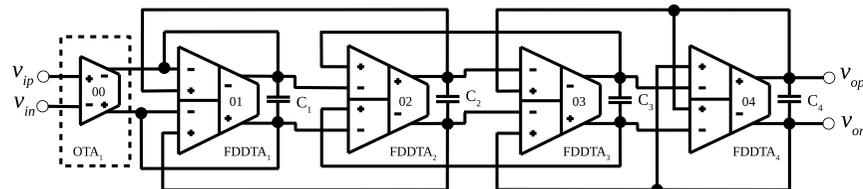
(a) Implementação convencional de um filtro passa-baixa Butterworth de quarta ordem com rede duplamente terminada e saída diferencial.



(b) Implementação convencional de um filtro passa-baixa Butterworth G_m -C de quarta ordem.



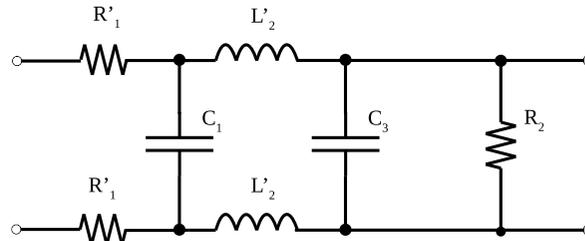
(c) Filtro Butterworth passa-baixa de quarta ordem utilizando FDDTAs.



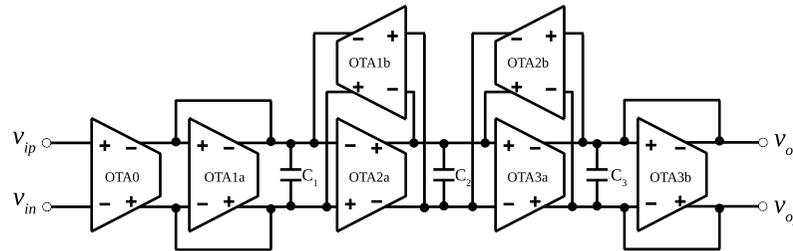
(d) Filtro Butterworth passa-baixa de quarta ordem otimizado utilizando FDDTAs.

Figura 28 – Filtro Butterworth passa-baixa de quarta ordem implementado por diferentes tipos de topologias.

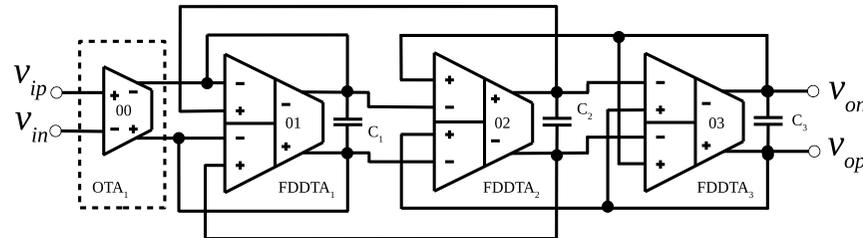
Fonte: o autor.



(a) Implementação convencional de um filtro passa-baixa Butterworth de terceira ordem com rede duplamente terminada e saída diferencial.



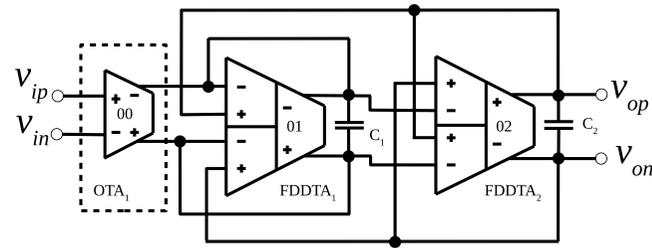
(b) Implementação convencional de um filtro passa-baixa Butterworth G_m -C de terceira ordem.



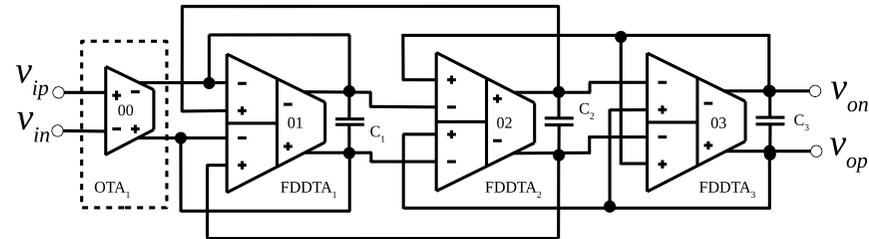
(c) Filtro Butterworth passa-baixa de terceira ordem utilizando FDDTAs.

Figura 29 – Filtro Butterworth passa-baixa de terceira ordem implementado por diferentes tipos de topologias.

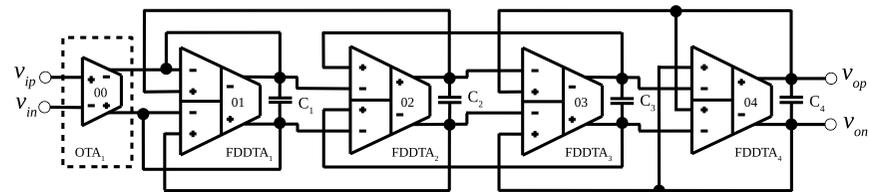
Fonte: o autor.



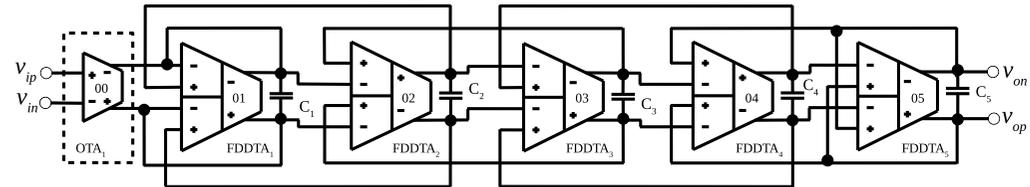
(a) Filtro Butterworth passa-baixa de segunda ordem utilizando FDDTAs.



(b) Filtro Butterworth passa-baixa de terceira ordem utilizando FDDTAs.



(c) Filtro Butterworth passa-baixa de quarta ordem utilizando FDDTAs.



(d) Filtro Butterworth passa-baixa de quinta ordem utilizando FDDTAs.

Figura 30 – Filtros Butterworth passa-baixa utilizando FDDTAs.

Fonte: o autor.

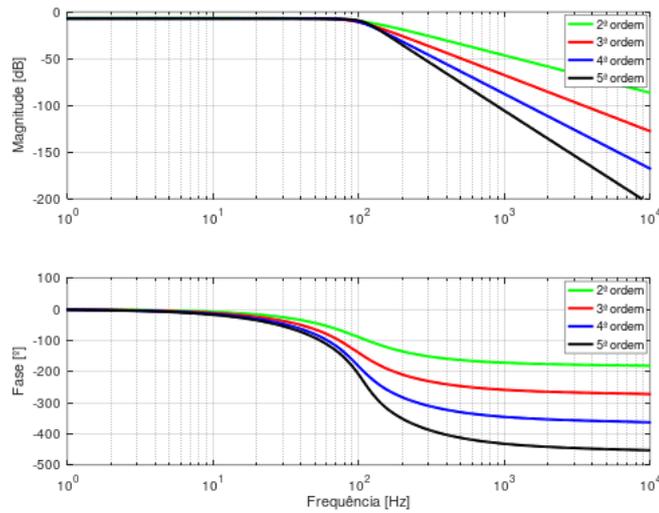


Figura 31 – Respostas em frequência simuladas dos filtros Butterworth passa-baixa de 2^a (verde), 3^a (vermelho), 4^a (azul) e 5^a (preto) ordens.

Fonte: o autor.

A Figura 31 mostra as respostas em frequência simuladas para os circuitos ideais apresentados na Figura 30, considerando o modelo AC de pequenos sinais da Figura 24b. Pode-se perceber que a taxa de *roll-off* do filtro é proporcional à $-20m\text{dB/dec}$, em que m é a ordem do filtro, evidenciando que as estruturas de filtros utilizando FDDTAs comprova a teoria de filtro Butterworth passa-baixa. Para os circuitos em questão, a frequência de corte foi estabelecida em 100Hz e os valores dos capacitores foram encontrados com base no sistema de equações calculado para cada filtro, resultando na Tabela 4:

Tabela 4 – Valores dos capacitores para a ordem m do filtro desejada.

Ordem do filtro	C_1	C_2	C_3	C_4	C_5
2 ^a	2,6n	2,6n	-	-	-
3 ^a	1,9n	3,8n	1,9n	-	-
4 ^a	1,5n	3,3n	3,3n	1,5n	-
5 ^a	1,2n	2,7n	3,3n	2,7n	1,2n

Fonte: o autor.

3.5 Metodologia de projeto: filtro Butterworth passa-alta

Esta seção verifica a possibilidade de implementar metodologia de projeto para o filtro Butterworth passa-alta similar à desenvolvida para o passa-baixa anteriormente. De acordo com a Subseção 2.3.3, o circuito equivalente passa-alta é obtido por transformação em frequência do passa-baixa. Para converter de uma rede passa-baixa para uma rede passa-alta, todos indutores da rede passa-baixa são substituídos por capacitores e todos capacitores da passa-baixa são alterados para indutores, conforme as Equações (2.13) e (2.14) [32]. A seguir, será verificada a possibilidade de implementar uma metodologia de projeto para o filtro passa-alta utilizando FDDTAs. De modo análogo à metodologia de projeto do passa-baixa, partiremos de um exemplo específico, neste caso, será o filtro Butterworth passa-alta de quarta ordem. Primeiramente, constrói-se a rede duplamente terminada (composta pelas rede *ladder*-LC e resistências R_1 e R_2), após, monta-se a rede OTA-C equivalente, com o auxílio das Figuras 19 e 20b, via técnica do *gyrator* e, finalmente, obtém-se a rede com blocos FDDTAs. Observe:

- **Especificações:** Filtro Butterworth passa-alta, de quarta ordem. A frequência de corte será estabelecida de acordo com os parâmetros do circuito.
- **Representação Matemática:** Com base na Seção 2.2, Equação (2.6) e a Tabela 1, a função de transferência de quarta ordem normalizada é expressa por:

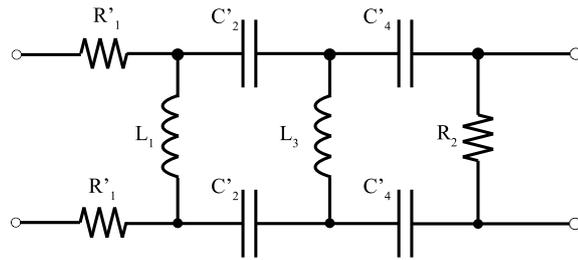
$$T_4(s) = T_0 \frac{s^4}{B_4\left(\frac{s}{\omega_c}\right)} = T_0 \frac{s^4}{s^4 + 2,6132s^3 + 3,4143s^2 + 2,6132s + 1}. \quad (3.21)$$

Ou ainda, de maneira não-normalizada:

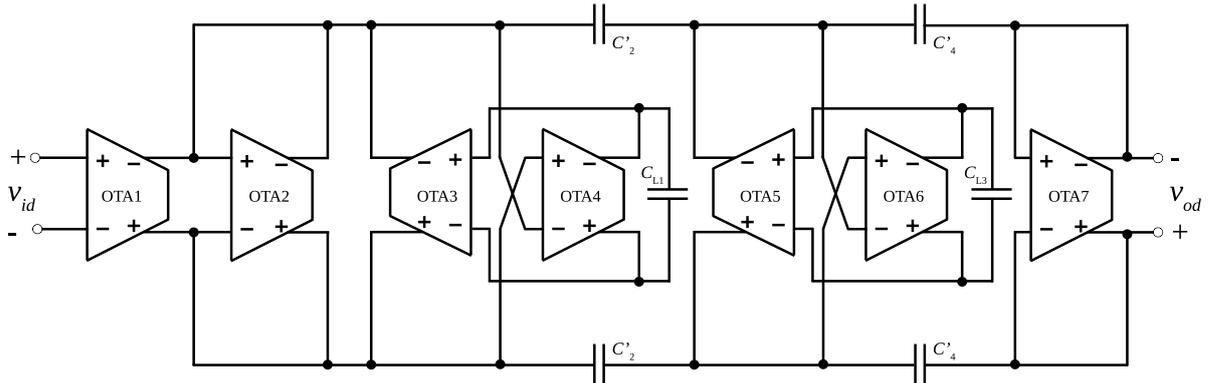
$$T_4(s) = T_0 \frac{s^4}{\frac{1}{\omega_c^4}s^4 + \frac{2,6132}{\omega_c^3}s^3 + \frac{3,4143}{\omega_c^2}s^2 + \frac{2,6132}{\omega_c}s + 1}. \quad (3.22)$$

A função de transferência do filtro apresentada pelo circuito elétrico deve se aproximar desta função.

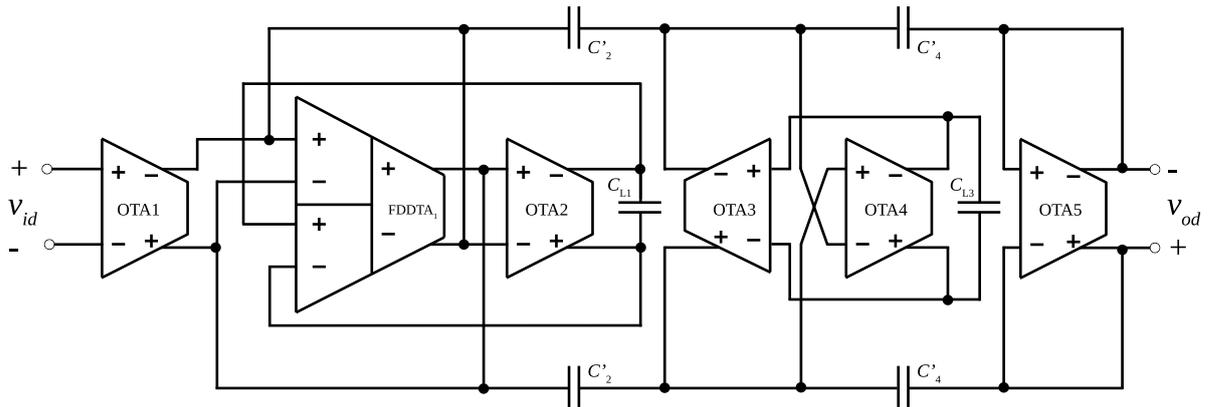
- **Sintetização:** A sintetização do filtro passa-alta advém da estrutura passa-baixa conforme reportado nos capítulos anteriores. Para o filtro Butterworth passa-alta de quarta ordem, a estrutura duplamente terminada é mostrada na Figura 32a. Após a resistência R_1 , a rede *lossless* começa com elemento indutivo em paralelo (ramificação) e os elementos em série são capacitivos. Lembrando que existem dois possíveis circuitos para se implementar a mesma ordem de filtro, conforme demonstrado por Darlington. Optou-se pelo circuito que contém o menor número de indutores, no



(a) Implementação convencional de um filtro passa-alta Butterworth de quarta ordem com rede duplamente terminada e saída diferencial.



(b) Implementação convencional de um filtro passa-alta Butterworth G_m -C de quarta ordem



(c) Filtro Butterworth passa-alta proposto de quarta ordem utilizando blocos FDDTAs.

Figura 32 – Filtro Butterworth passa-alta de quarta ordem.

Fonte: o autor.

entanto, vale ressaltar que para os filtros de ordem par ($m = 2, 4, 6...$), a escolha de tal circuito independe desta característica, pois a quantidade de elementos indutivos e capacitivos é idêntica. Ainda, na Figura 32b, está mostrada a implementação G_m -C convencional que emula o filtro passa-alta Butterworth de quarta ordem, através de estruturas OTAs, evidenciando que são necessários sete transdutores interconectados. A estrutura é realizada com o bloco do *gyrator* emulando indutor flutuante. Porém, diferente da abordagem do passa-baixa, em que é possível substituir todos os transdutores (OTAs) por blocos FDDTAs, uma vez que as saídas dos OTAs estão em curto-circuito, para o passa-alta, tal abordagem não é possível para todas as instâncias OTAs. Para a Figura 32b, apenas as estruturas OTA2 e

OTA3 são substituídas por uma instância FDDTA, não proporcionando a mesma característica de substituição que a do passa-baixa. Essa característica é idêntica para qualquer ordem m do filtro Butterworth passa-alta: apenas dois blocos OTAs poderão ser substituídos por uma única estrutura FDDTA. Neste sentido, a tese, aqui desenvolvida, a partir deste ponto, irá focar apenas na metodologia para o passa-baixa, devido às considerações supracitadas e ao fato de que é impraticável fazer um componente elétrico operar em todo o domínio da frequência.

3.6 Conclusão do capítulo

Neste capítulo, foram apresentados os conceitos teóricos necessários para a implementação do filtro Butterworth através do FDDTA, revisando, brevemente, a teoria de amplificadores operacionais de dois e quatro terminais de entrada. Na concepção do FDDTA, a Equação (3.6) fornece sua operação básica e demonstra que os sinais de saídas são proporcionais aos sinais de entrada. Além do mais, foi mostrado que a implementação do FDDTA pode ser realizada pela interconexão dos terminais de saída de quaisquer dois OTAs diferenciais ideais casados. Na sequência, foi apresentada a implementação do *gyrator* através de células OTAs-C, esta concepção permite emular indutores através de blocos ativos G_m , em substituição aos indutores físicos. Em seguida, a partir da concepção do bloco FDDTA, foram apresentadas as etapas da metodologia de projeto para o filtro Butterworth passa-baixa fundamentada neste bloco, tendo como exemplo o de quinta ordem. Através da Equação (3.18) foi possível encontrar uma correlação com a Equação (2.1), mostrando que a metodologia proposta implementa, de fato, um filtro passa-baixa Butterworth de quinta ordem e, através dela, é possível encontrar os parâmetros do circuito (os valores dos capacitores). Este exemplo foi escolhido para implementação e fabricação em circuito integrado. A generalização da metodologia foi verificada e comprovada sendo similar àquela feita para o exemplo do de quinta ordem. Depois, foi analisada a possibilidade de implementar filtros Butterworth passa-alta usando o FDDTA. Entretanto, percebeu-se que através da metodologia não há a possibilidade de implementá-la usando apenas FDDTAs, buscando desempenho máximo. As metodologias de projeto desenvolvidas, para filtros Butterworth, utilizando blocos FDDTAs, são as novidades apresentadas por esta tese.

4 Circuitos elétricos e técnicas de casamento de transistores

Neste capítulo, são apresentados os circuitos de ultrabaixa tensão e ultrabaixa potência utilizados para se implementar o filtro Butterworth passa-baixa, cuja concepção reside em blocos FDDTAs. A construção dos *layouts* das estruturas se baseou na reutilização dos circuitos elétricos e técnicas de casamento de transistores utilizados por Braga [53], que são revisitados e reapresentados, de forma sucinta, neste capítulo. Tais arquiteturas apresentam descasamento controlado e funcionamento em inversão fraca sob tensão de alimentação de 0,25V. As seções a seguir descrevem, primeiro, a operação do inversor CMOS operando em inversão fraca e as técnicas de controle de descasamento da estrutura utilizando arranjo matricial de transistores halo-implantados. Na sequência, é apresentado o circuito proposto para a implementação do FDDTA elencando suas características, desempenho e operação na região de inversão fraca. Além de mostrar que a interconexão de dois *layouts* OTAs, construídos por Braga [53], cria uma nova funcionalidade de operação mantendo a mesma estrutura elétrica do circuito OTA original, adicionando duas novas entradas à arquitetura e operando em 0,25V sem quedas adicionais de tensão, estas características justificam o reuso das topologias OTAs de Braga. Por fim, o *layout* do filtro Butterworth passa-baixa de quinta ordem é implementado, mostrando que os OTAs foram interconectados para construir os blocos FDDTAs e, em sequência, uma conexão em cascata dos FDDTAs é realizada, levando à arquitetura de filtro desejada.

4.1 O inversor CMOS operando em inversão fraca

A corrente de dreno, I_{DS} , de um transistor MOS de canal longo, operando em inversão fraca, é baseada na corrente de difusão do canal e é dada por [54]:

$$I_{DS} = I_{D0} \left(\frac{W}{L} \right) \exp \left(q \frac{V_{GS}}{nkT} \right) \left[1 - \exp \left(-q \frac{V_{DS}}{kT} \right) \right], \quad (4.1)$$

em que I_{D0} é a corrente de dreno mínima (função de parâmetros físicos e de processo), n o fator de inclinação em inversão fraca, k é a constante de Boltzmann, T a temperatura em Kelvin, q a carga elétrica do elétron, W e L são o comprimento e a largura do transistor, respectivamente; V_{TH} , a tensão de limiar (*threshold voltage*); V_{GS} , a tensão dos terminais *gate-source* e V_{DS} a tensão dos terminais *drain-source* do transistor MOS. Além disso, o transistor estará operando na saturação quando $V_{DS} \geq 3kT/q$ [54]. Esta característica condiciona a operação em ultrabaixa tensão e ultrabaixa potência do transistor.

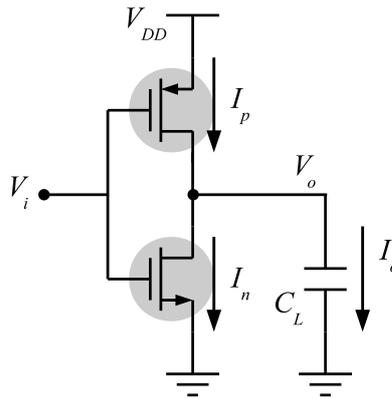


Figura 33 – Circuito esquemático do inversor CMOS.

Fonte: retirada de [53].

A Figura 33 ilustra o circuito esquemático do inversor CMOS, considerando todos os transistores saturados, operando em inversão fraca, a corrente de dreno-fonte no transistor pMOS, denominada de I_p , é dada por [55]:

$$I_p = I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{DD} - V_i}{n_p k T} \right), \quad (4.2)$$

e, para o transistor nMOS, designada por I_n , tem-se [55]:

$$I_n = I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_i}{n_n k T} \right), \quad (4.3)$$

em que V_i é a tensão elétrica de entrada do inversor CMOS e n_p e n_n são os fatores de inclinação em inversão fraca do transistor pMOS e do transistor nMOS, respectivamente.

Allen [31] estabelece duas propriedades que definem as características de um inversor CMOS: sua tensão de *switching point*, V_{SP} , e sua corrente de curto-circuito, I_{SC} . A tensão de *switching point* é definida quando $V_i = V_o$. Nesta condição, ambos os transistores conduzem a mesma corrente, o que se permite definir a corrente de curto-circuito. Assim, considerando $V_{SP} = V_{DD}/2$, define-se [55]:

$$I_{SC} \triangleq I_{D0p} \left(\frac{W}{L} \right)_p \exp \left(q \frac{V_{SP}}{n_p k T} \right), \quad (4.4)$$

ou

$$I_{SC} \triangleq I_{D0n} \left(\frac{W}{L} \right)_n \exp \left(q \frac{V_{SP}}{n_n k T} \right). \quad (4.5)$$

Logo, a corrente de saída do inversor CMOS, I_o , será dada por [55]:

$$I_o = I_p - I_n = I_{SC} \left[\exp \left(q \frac{V_{SP} - V_i}{n_p k T} \right) - \exp \left(-q \frac{V_{SP} - V_i}{n_n k T} \right) \right], \quad (4.6)$$

e sua respectiva transcondutância, considerando $V_i = V_{SP}$, dada por [55]:

$$G_m = \left. \frac{\partial I_o}{\partial V_o} \right|_{V_i=V_{SP}} = -q \frac{I_{SC}}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right). \quad (4.7)$$

4.2 Projeto de casamento dos transistores

Esta seção baseia-se na tese de Braga [53] para a construção do *layout* final do filtro Butterworth passa-baixa de quinta ordem. Conforme discutido no Capítulo 1, filtros construídos por estruturas G_m -C demandam casamento de transistores para evitar variações no desempenho dinâmico do circuito. Em [53], são apresentadas arquiteturas ativas com descasamento controlado utilizando arranjo matricial de transistores halo-implantados, operando em inversão fraca, portanto, tais conceitos serão revisitados e reapresentados de forma sucinta. As simulações e as caracterizações obtidas em [53] evidenciam o controle de *mismatching* da estrutura.

4.2.1 O inversor CMOS com estrutura matricial de transistores halo

À medida que os processos de fabricação dos transistores MOS evoluem, proporcionando a diminuição do canal no transistor, a dependência da tensão *threshold* com a polarização de substrato enfraquece no transistor MOS de canal curto (dimensões sub-mícron), devido ao baixo controle da polarização do substrato sobre a região de depleção [54]. Nessas condições, a tensão *threshold* apresenta uma grande dependência com a polarização do dreno, diminuindo o seu valor com o aumento da tensão dreno-fonte. Esse efeito é conhecido na literatura como diminuição da barreira induzida pelo dreno (DIBL), o qual se evidencia com a operação do transistor MOS na inversão fraca [54, 56, 57].

Para combater o efeito DIBL, são utilizados os transistores halo-implantados (halo-implante), que são uma intensificação na dopagem do substrato na vizinhança das paredes das junções, limitando as regiões de depleção, conforme mostrado na Figura 34. Essa alteração leva a um melhor controle e, desta forma, à diminuição da tensão *threshold*, possibilitando a operação com uma tensão de alimentação mais baixa [58].

Segundo Tsividis [54], um transistor operando na região de inversão fraca estará saturado quando $V_{DS} \geq 3kT/q$, ou seja, $V_{DS} \geq 75\text{mV}$, em temperatura ambiente (300K). Além do mais, a região de inversão fraca é caracterizada por $V_{GS} \leq 2/3V_t$ [54, 58]. Essas características proporcionam tensões de alimentação ultrabaixas, nas unidades de centenas de milivolt. Nessas condições, é possível implementar inversores CMOS, com tensão de alimentação de 0,25V, apresentando a característica de $V_{DS_p} = V_{DS_n} = 125\text{mV} > 3kT/q$. Os transistores operarão numa região estável e bem definida na saturação em inversão fraca.

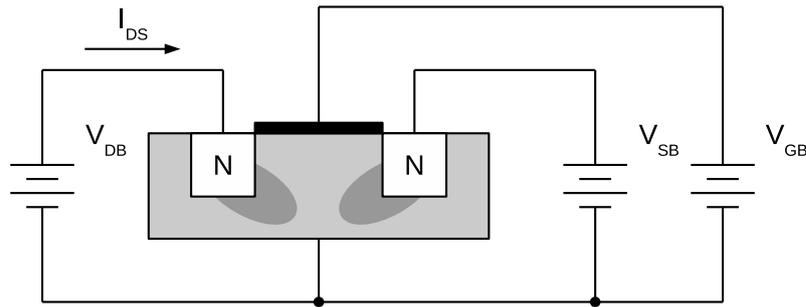


Figura 34 – Transistor nMOS com halo-implantes nas junções.

Fonte: o autor.

De posse das características supracitadas, o primeiro passo é encontrar as relações de aspectos (W/L) para os transistores pMOS e nMOS, operando em 0,25V. Nesse passo, é importante encontrar relações W/L de maneira que estabeleçam a tensão de modo comum do circuito (125mV) em torno de $2/3V_t$. Esta característica proporciona redução do tamanho geométrico dos transistores [54, 58]. Assim, obtém-se as seguintes relações de aspectos, proporcionadas pelo processo CMOS GF 130nm, desenvolvido no simulador Spectre, usando modelo BSIM4:

$$\left(\frac{W}{L}\right)_p = \frac{2,0\mu\text{m}}{2,0\mu\text{m}}; \quad (4.8a)$$

e

$$\left(\frac{W}{L}\right)_n = \frac{0,4\mu\text{m}}{0,6\mu\text{m}}. \quad (4.8b)$$

O transistor halo-implantado possui a resistência de saída independente do comprimento de canal adotado e seu valor é razoavelmente pequeno, além deste dispositivo variar a tensão de *switching point*, discutidas em [58, 59, 60]. Portanto, para se evitar estes efeitos indesejados, faz-se uso da implementação utilizando-se o transistor MOS matricial halo-implantado, apresentado na Figura 35. Desta forma, pode-se aumentar a impedância de saída e estabilizar a tensão de *switching point* do transistor MOS halo-implantado para um único valor, independente da geometria do dispositivo [53, 58].

Com base na Seção 4.1, o passo seguinte é simular os transistores projetados anteriormente, como circuito inversor, utilizando as relações de aspectos encontradas na Equação (4.8). Estas razões de aspecto estabilizam as tensões de *switching point* dos transistores MOS matriciais halo-implantados do tipo pMOS e nMOS em 230mV e 190mV, respectivamente [53]. Adicionalmente, conecta-se, em paralelo, seis transistores pMOS e três transistores nMOS matriciais para garantir a operação em inversão fraca do inversor CMOS, atendendo às especificações para uma tensão de alimentação, V_{DD} , de 250mV, uma tensão de *switching point*, V_{SP} , de 125mV e uma corrente de curto circuito, I_{SC} , de 35nA [53]. Estas especificações conduzem a uma transcondutância na ordem de unidades de μS , valor adequado para aplicações G_m -C em baixas frequências [53].

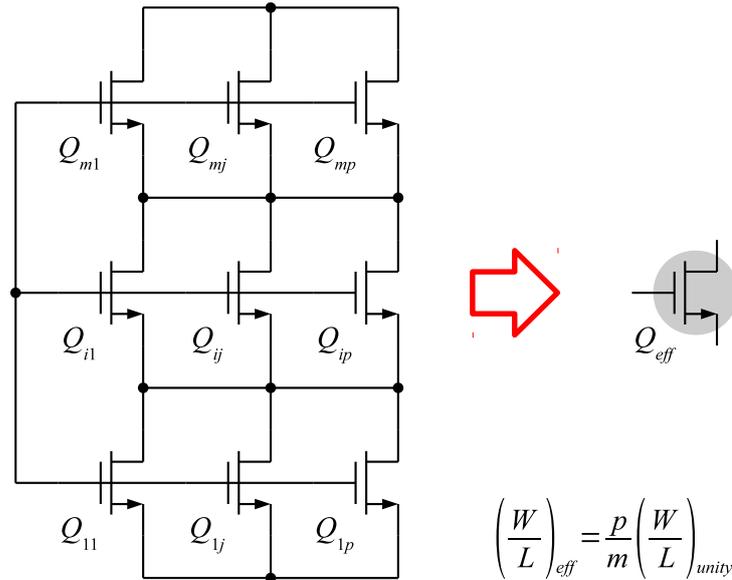


Figura 35 – Estrutura do transistor MOS matricial halo-implantado nMOS construído com $m \times p$ transistores nMOS halo-implantados unitários (à esquerda) e o sua dimensão efetiva (à direita).

Fonte: retirada de [53].

A Figura 36, retirada de [53], mostra as Curvas de Transferência de Tensão (CTT) dos inversores construídos com os transistores MOS matriciais halo-implantados (linhas sólidas) e seus respectivos transistores equivalentes (linhas tracejadas). Avaliando-se as CTTs dos inversores CMOS com transistores MOS matriciais halo-implantados, pode-se observar a estabilização da tensão de *switching point* [53]. Ademais, a tensão de *switching point* dos inversores CMOS construídos com transistores equivalentes diminui para dimensões maiores devido à variação da tensão *threshold* induzida pelo dreno (DITS) [60], já que a mudança nas dimensões dos transistores MOS halo-implantados também altera o ponto de operação V_{SP} do transistor CMOS [53].

A Figura 37, retirada de [53], mostra as derivadas das CTTs, $\partial V_o / \partial V_i$, dos inversores construídos com os transistores MOS matriciais halo-implantados (linhas sólidas) e seus respectivos transistores equivalentes unitários (linhas tracejadas). Por meio delas é possível determinar a magnitude do ganho em malha aberta do inversor. A magnitude do ganho, para o transistor MOS matricial halo-implantado, aumenta juntamente com o aumento da dimensão do transistor MOS matricial, já que isto aumenta a impedância de saída dos transistores do inversor CMOS [53]. Na prática, esta característica reduz os valores das condutâncias de saída g_{op} e g_{on} , no transistor pMOS e nMOS respectivamente, melhorando a magnitude do ganho do inversor CMOS com transistores MOS matriciais [53].

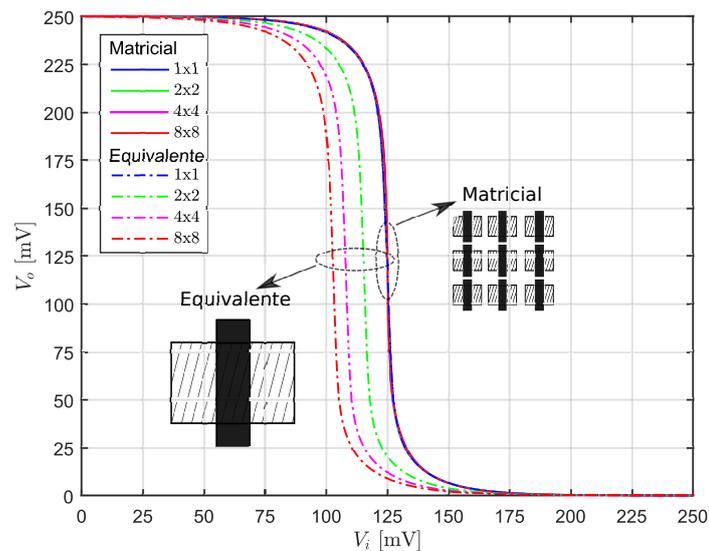


Figura 36 – Curvas de transferências de tensão dos inversores para os transistores MOS matriciais halo-implantados (linhas sólidas) e equivalentes unitários (linhas sólidas) alimentados com $V_{DD} = 0,25V$.

Fonte: retirada de [53].

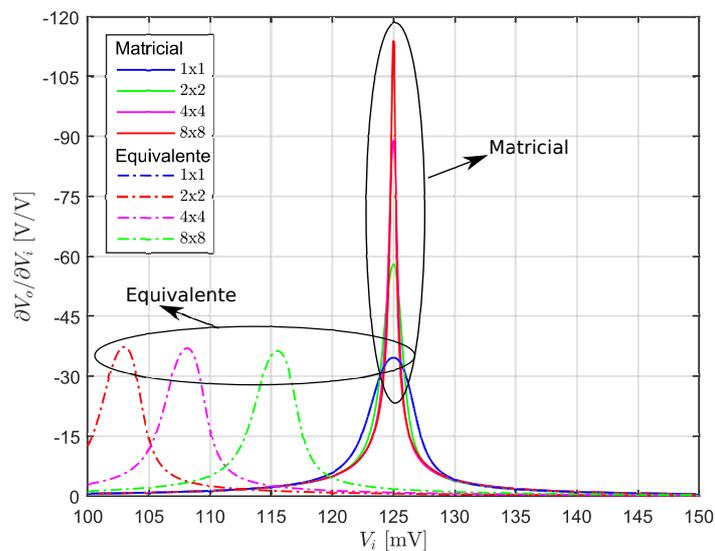


Figura 37 – Derivadas das CTTs dos inversores para os transistores MOS matriciais halo-implantados (linhas sólidas) e equivalentes unitários (linhas sólidas) alimentados com $V_{DD} = 0,25V$.

Fonte: retirada de [53].

Além disso, a Figura 37, também retirada de [53], mostra que a magnitude do ganho dos inversores CMOS com transistores MOS equivalentes halo-implantados permanece constante, independente da geometria [53]. Ademais, a Figura 37 reforça o deslocamento do ponto de polarização V_{SP} para os inversores CMOS com transistores MOS equivalentes halo-implantados [53].

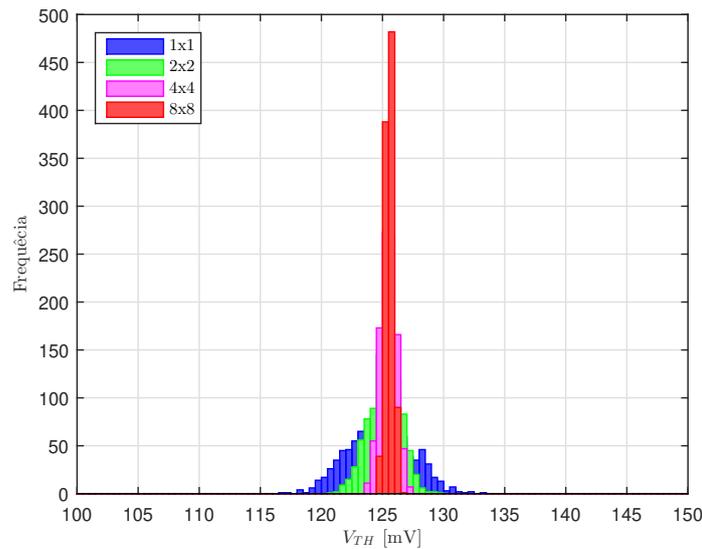


Figura 38 – Histogramas da simulação de Monte Carlo para tensão V_{SP} com curto-circuito entre entrada e saída dos inversores CMOS com transistor MOS matricial halo-implantado com $V_{DD} = 0,25V$ (1000 rodadas).

Fonte: retirada de [53].

A Figura 38, retirada de [53], mostra a dispersão dos valores de V_{SP} para os inversores CMOS com transistor MOS matricial halo-implantado. Conclui-se que, independente da geometria, o inversor CMOS com transistor MOS matricial halo-implantado mantém a tensão de *switching point* em torno de 125mV. Adicionalmente, o aumento na dimensão do transistor MOS matricial halo-implantando reduz o espalhamento estatístico de V_{SP} do inversor CMOS e, portanto, permite a construção do inversor CMOS intrinsecamente casado.

Com base no discorrido anteriormente, quanto maior a estrutura matricial na execução do projeto, melhor será o controle de descasamento proporcionado pela topologia, no entanto, maiores serão as capacitâncias parasitas geradas no arranjo e um maior consumo de área ocorrerá [53]. Considerando as características encontradas, optou-se pelos arranjos matriciais 8x8. As Figuras 39 e 40 apresentam os *layouts* dos transistores nMOS e pMOS respectivamente. A Figura 41 ilustra o *layout* do inversor CMOS, em que conectou-se, em paralelo, seis transistores pMOS e três transistores nMOS matriciais para garantir a operação em inversão fraca.

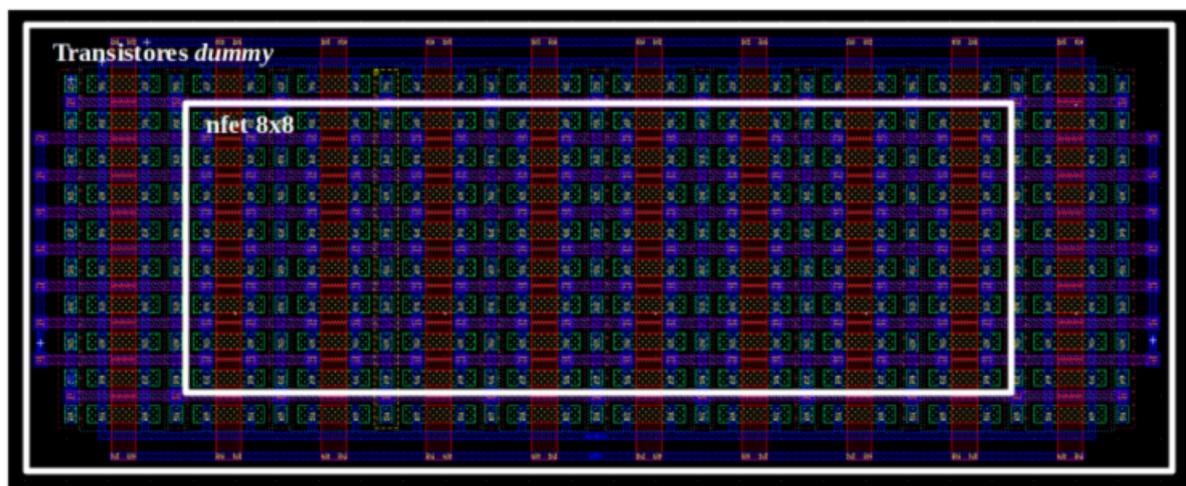


Figura 39 – *Layout* do transistor nMOS matricial halo-implantado 8x8.

Fonte: o autor e adaptada de [53].

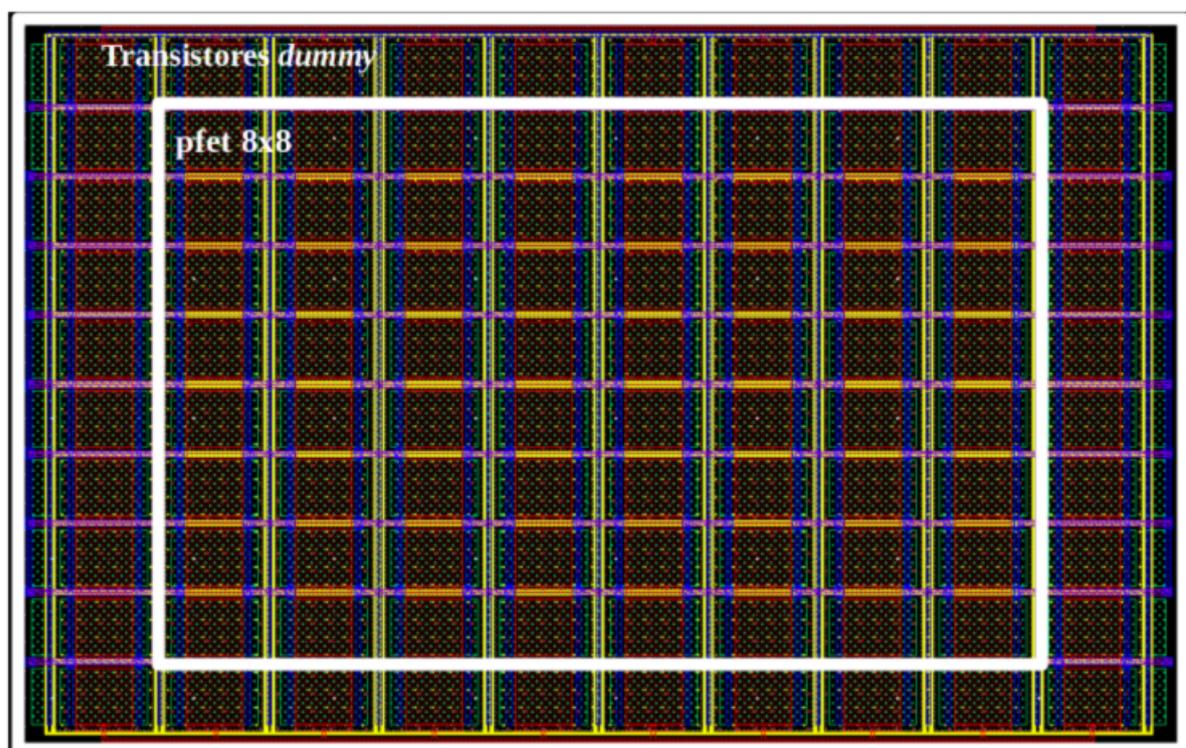


Figura 40 – *Layout* do transistor pMOS matricial halo-implantado 8x8.

Fonte: o autor e adaptada de [53].

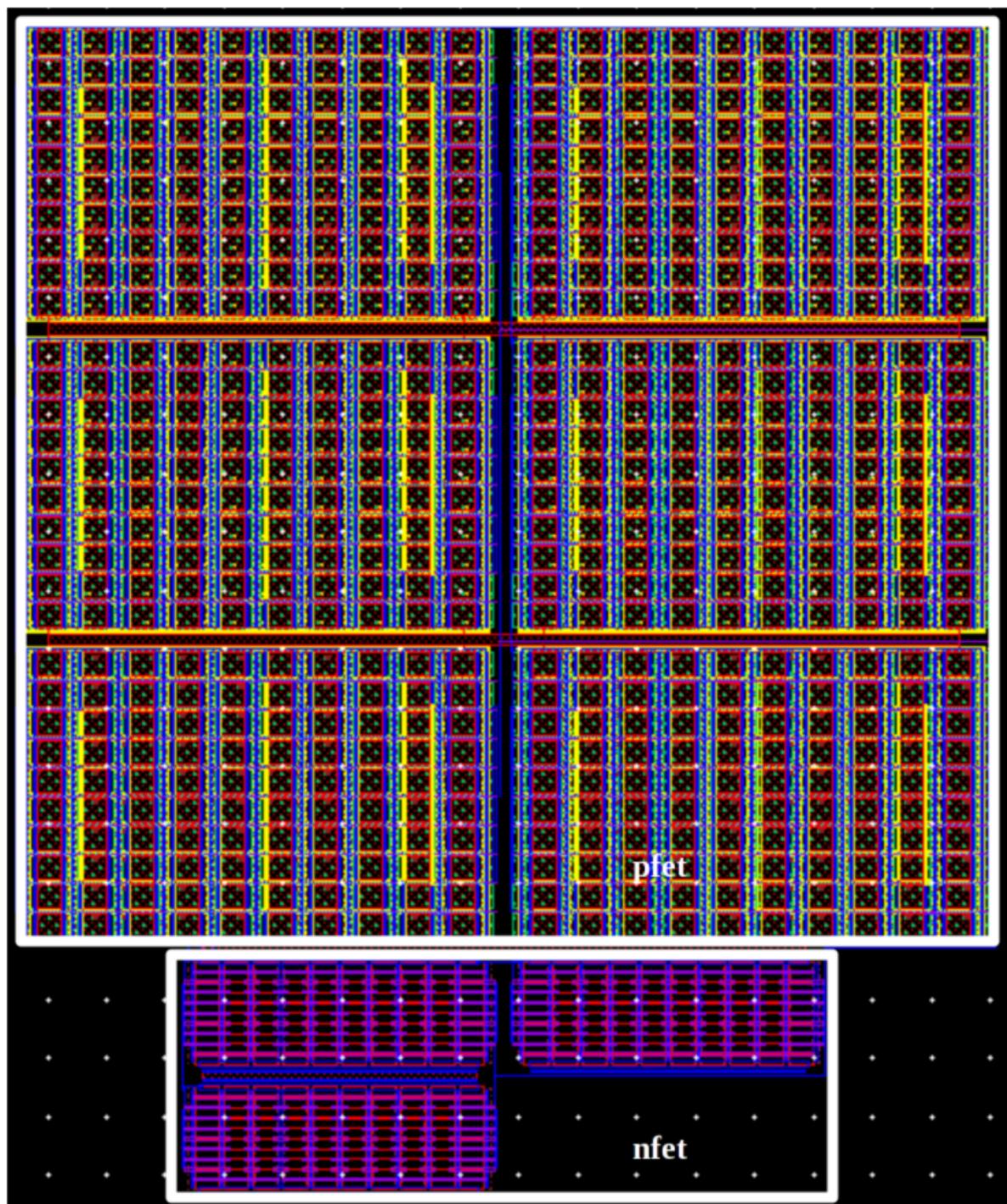


Figura 41 – *Layout* do inversor CMOS matricial halo-implantado 8x8.

Fonte: o autor e adaptada de [53].

4.3 O amplificador de transcondutância diferencial de diferenças de saída diferencial

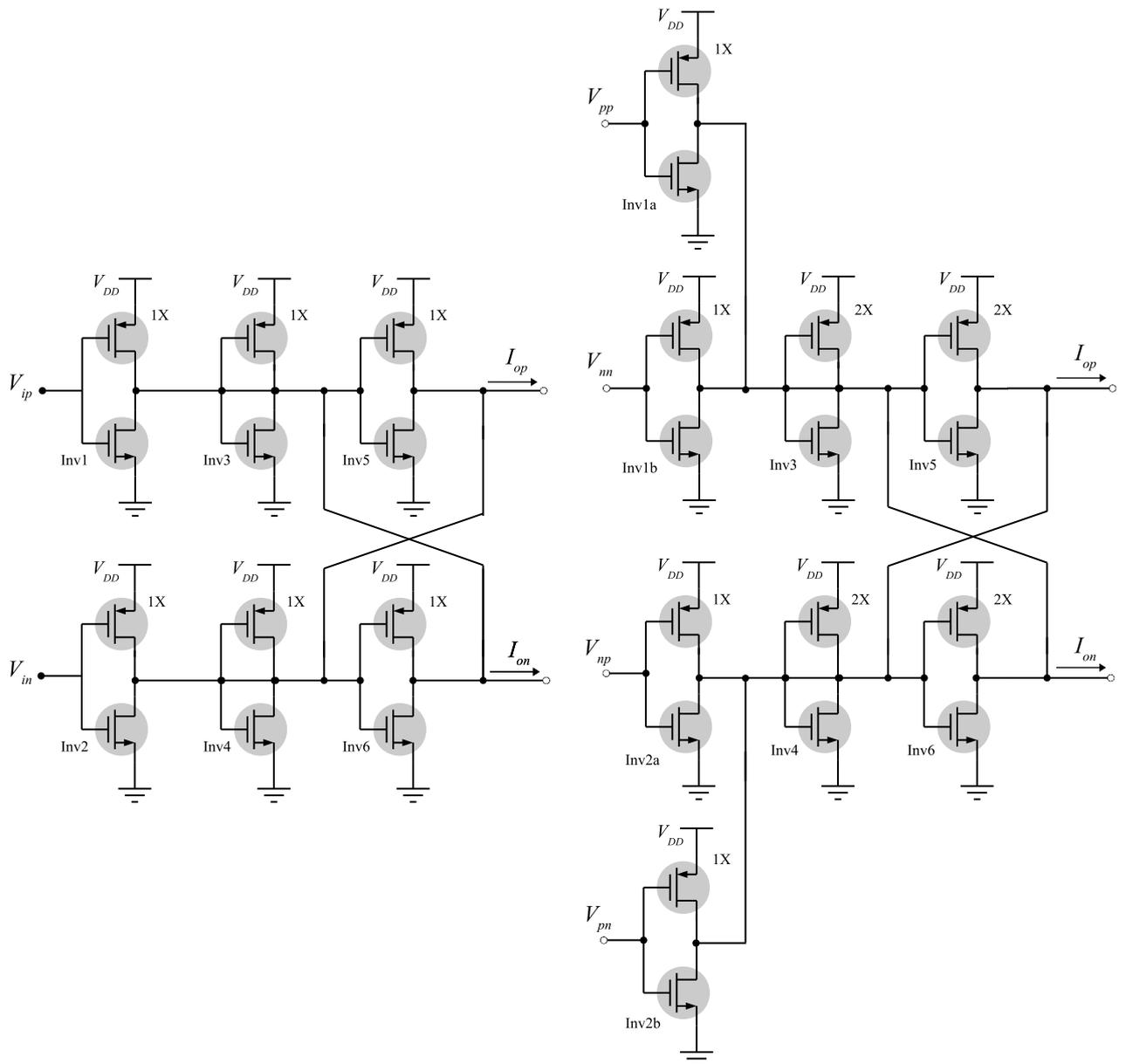
Esta seção descreve a operação e a implementação do amplificador de transcondutância diferencial de diferenças de saída diferencial que será usado como bloco de construção básico para a realização do filtro Butterworth. Além disso, esta seção também explica as razões que tornam o transcondutor, baseado em inversor, relatado em [55], um bom candidato para se implementar o FDDTA em questão.

4.3.1 O circuito proposto para o FDDTA

Da análise do Capítulo 3, pode-se inferir que qualquer amplificador operacional de transcondutância, seja qual for a topologia diferencial, pode ser escolhido para implementar o bloco FDDTA ilustrado na Figura 24a; no entanto, a escolha deste projeto fundamenta-se no OTA baseado em inversores CMOS que fora publicado, anteriormente, em [55]. Uma vez que tal topologia opera em inversão fraca, com tensão de alimentação de 0,25V e não requer circuitos externos de calibração suplementares, ela se torna atrativa para a economia de energia. Além disso, a referida arquitetura utiliza a técnica de projeto de transistores de *layout* distribuído (matrizes de transistores), que melhora o casamento dos inversores base, permitindo uma abordagem eficiente (baixa complexidade) para o controle de tensão de modo comum. Por fim, sua característica intrinsecamente casada garante variações controladas de transcondutância e de impedância de saída para ambas as instâncias OTAs [55]; simplificando, portanto, a concepção global do FDDTA. Por conveniência, ilustramos o OTA baseado em inversores CMOS na Figura 42a e suas especificações de desempenho na Tabela 5, ambos retirados de [55].

O OTA baseado em inversores apresenta alta linearidade (60dB de valor de distorção harmônica total em 10Hz [55]) e baixa transcondutância, cujo valor é de $2,46\mu\text{S}$, parâmetro este mandatório para aplicações G_m -C, pois uma baixa transcondutância é necessária para reduzir a capacitância usada em filtros passa-baixa para diminuir a área de silício em aplicações de baixa frequência [15]. Além disso, o consumo de potência de 55nW é apropriado para aplicações em ultrabaixa potência.

No circuito apresentado na Figura 42a, os inversores 3, 4, 5 e 6 (Inv3–Inv6) realizam o controle da tensão de modo comum (V_{CM}) das saídas V_{op} e V_{on} . Os inversores Inv3 e Inv4 operam como resistências $1/G_{m3}$ e $1/G_{m4}$, enquanto que os inversores Inv5 e Inv6 injetam correntes nessas resistências, cujos valores são $G_{m5}(V_{CM} - V_{on})$ e $G_{m6}(V_{CM} - V_{op})$ respectivamente [61]. O resultado para o modo comum dos sinais de saída é que a saída V_{op} é virtualmente carregada com uma resistência $1/(G_{m3} + G_{m6})$ e a saída V_{on} com uma resistência virtual de $1/(G_{m4} + G_{m5})$ [61]. Para sinais de saída diferencial, o nó V_{op} possui uma carga com resistência $1/(G_{m3} - G_{m6})$ e o nó V_{on} possui uma carga com



(a) Circuito esquemático do OTA baseado em inversores.

Fonte: retirada de [55].

(b) Circuito esquemático do FDDTA proposto a partir de dois OTAs com saída em paralelo.

Fonte: o autor.

Figura 42 – FDDTA: circuitos básicos para sua implementação.

resistência $1/(G_{m4} - G_{m5})$ [61]. Portanto, quando as transcondutâncias G_m dos inversores são idênticas, o arranjo Inv3-Inv6 forma uma baixa carga ôhmica para sinais de modo

Tabela 5 – Resumo das especificações de desempenho do OTA baseado em inversores CMOS.

Parâmetro	Valor
Tecnologia CMOS	130-nm
Tensão de alimentação	0,25-V
Transcondutância	2,46- μ S
Condutância de saída	56,73-nS
Ganho de malha aberta	24,92-dB
Capacitância de saída parasita (C_p)	13,4-pF
Ruído branco	139-nV _{rms} / $\sqrt{\text{Hz}}$
Faixa de entrada linear ($\text{HD}_3 \leq 0,1\%$)	18,8-mV _{pk} @10-Hz
Tensão de offset	$\leq 0,78$ -mV
Consumo de potência	54,75-nW
Relação de aspecto pMOS ($(W/L)_p$)	(2,0 μ m/2,0 μ m)
Relação de aspecto nMOS ($(W/L)_n$)	(0,4 μ m/0,6 μ m)
Tensão de limiar pMOS ($V_{\text{TH}p}$)	230-mV
Tensão de limiar nMOS ($V_{\text{TH}n}$)	190-mV
Área Ativa	0.052-mm ²

Fonte: adaptada de [55].

comum e uma alta carga ôhmica para sinais de modo diferencial, resultando em um nível de modo comum controlado nas saídas [61].

Como o OTA baseado em inversores não apresenta nós internos, os inversores Inv3, Inv4, Inv5 e Inv6 de ambas as instâncias OTA são conectados em paralelo quando as saídas das duas instâncias OTA são interligadas. A Figura 42b mostra que os inversores conectados em paralelo, de fato, atuam como inversores únicos com razões de aspectos duplicadas e, portanto, simplificam o circuito geral. Em resumo, a estrutura FDDTA proposta adiciona dois inversores de entrada à arquitetura OTA e duplica as relações de aspecto dos inversores Inv3, Inv4, Inv5 e Inv6, mantendo ainda uma abordagem de baixa complexidade para controlar a tensão de modo comum. Além disso, como a arquitetura FDDTA proposta não requer quedas de tensão adicionais, ela ainda opera com 0,25V de tensão de alimentação.

Um transcondutor semelhante foi relatado em [16] e [17], em que simulações validaram seu uso em aplicações de comunicações de radiofrequência como *Zigbee* e *Bluetooth*. O circuito é construído em um processo CMOS de poço triplo que permite estabilizar e ajustar a transcondutância através da maior parte dos transistores. Embora opere em inversão fraca, ainda requer um circuito controlador externo com foco em sintonia ortogonal e, portanto, consome energia adicional.

Desde que filtros *anti-aliasing* de baixa frequência, em geral, não requerem sintonia, a abordagem aqui proposta se baseia em um processo CMOS digital com transistores

que apresentam tensões de limiar reduzidas e comprimentos de canais menores. Assim, o transconductor desenvolvido pode operar em inversão fraca com uma tensão de alimentação reduzida de 0,25V. Além disso, a técnica de *layout* distribuído [55] garante uma transcondutância estável, eliminando circuitaria externa, portanto, economizando energia. Estas características supracitadas fazem desta topologia uma boa escolha para a implementação do FDDTA com o intuito de utilizá-lo na metodologia de projeto de filtros Butterworth, o que será visto nas páginas subsequentes.

4.3.2 FDDTA operando em inversão fraca

Para o circuito OTA, ilustrado na Figura 42a, a corrente de saída, $I_{od_{OTA}}$, considerando todos os transistores saturados e operando em inversão fraca, com o auxílio de (4.4), (4.5) e (4.6), é obtida por [55]:

$$I_{od_{OTA}} = 2I_{SC} \left[\sinh \left(q \frac{V_{id}}{2n_p kT} \right) + \sinh \left(q \frac{V_{id}}{2n_n kT} \right) \right], \quad (4.9)$$

e sua respectiva transcondutância G_m definida por [55]:

$$G_m = q \frac{I_{SC}}{kT} \left(\frac{1}{n_p} + \frac{1}{n_n} \right), \quad (4.10)$$

em que V_{id} é a tensão diferencial de entrada do OTA [55].

Para o circuito do FDDTA, retratado na Figura 42b, assumindo que todos os transistores são iguais, é possível obter a corrente de saída diferencial, em inversão fraca, $I_{od_{FDDTA}} = I_{op} - I_{on}$, considerando a tensão de *switching point* dos inversores CMOS, $V_{SP} = V_{DD}/2$ [61], obtém-se:

$$I_{od_{FDDTA}} = 4I_{SC} \left[\sinh \left(q \frac{V_{id_1}}{2n kT} \right) - \sinh \left(q \frac{V_{id_2}}{2n kT} \right) \right]. \quad (4.11)$$

Expandindo (4.11) em séries de Taylor, em torno de V_{SP} , leva à:

$$I_{od} = 2q \frac{I_{SC}}{n kT} (V_{id_1} - V_{id_2}) = G_m [(V_{pp} - V_{pn}) - (V_{np} - V_{nn})], \quad (4.12)$$

para $n_p = n_n = n$, o fator de rampa do transistor MOS em inversão fraca. Comprovando o funcionamento do FDDTA, com os transistores CMOS saturados operando na região de inversão fraca.

Em suma, a interconexão de dois circuitos OTAs, cria uma nova funcionalidade de operação mantendo a mesma estrutura elétrica do circuito OTA original, adicionando duas novas entradas à arquitetura e operando em 0,25V sem quedas adicionais de tensão. Este recurso não ocorre para outros amplificadores operacionais de transcondutância,

sendo assim, uma vez que a estrutura OTA em Braga é otimizada e bem caracterizada eletricamente (mais detalhes podem ser encontrados em [53]), espera-se que tais características sejam similares para o bloco FDDTA desenvolvido, tornando o foco da tese a metodologia do projeto de filtros, pois utilizou-se o mesmo processo de construção CMOS GF 130nm, desenvolvido no simulador Spectre, usando modelo BSIM4. As simulações e características do bloco FDDTA são similares às propriedades já reportadas pelo bloco OTA de Braga [53]. Além do mais, é imprescindível salientar que tal reuso de topologias proporciona portabilidade de estruturas entre diferentes tecnologias, menores custo e tempo na execução de projetos de circuitos analógicos integrados. A Figura 43 retrata o *layout* do OTA baseado em inversores CMOS, oriundo do trabalho de [53], e a Figura 44 apresenta o *layout* para o bloco FDDTA construído através da interconexão dos terminais de saída de dois OTAs idênticos.

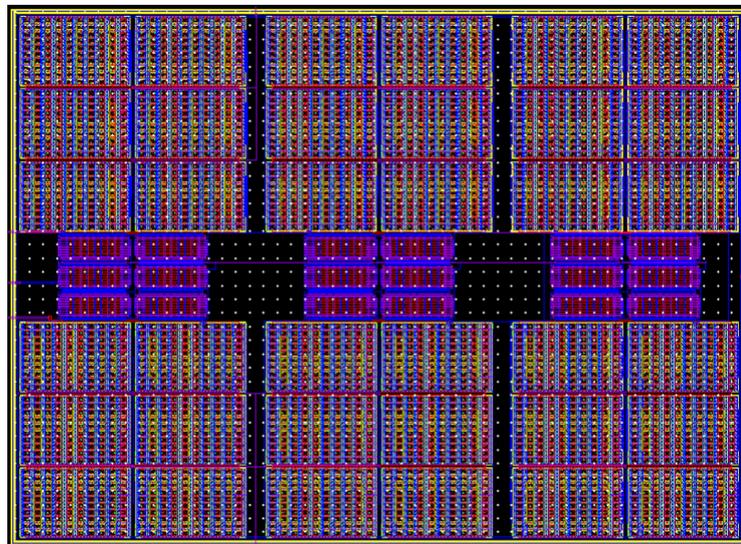


Figura 43 – *Layout* do OTA baseado em inversores CMOS.
Fonte: o autor e adaptada de [53].

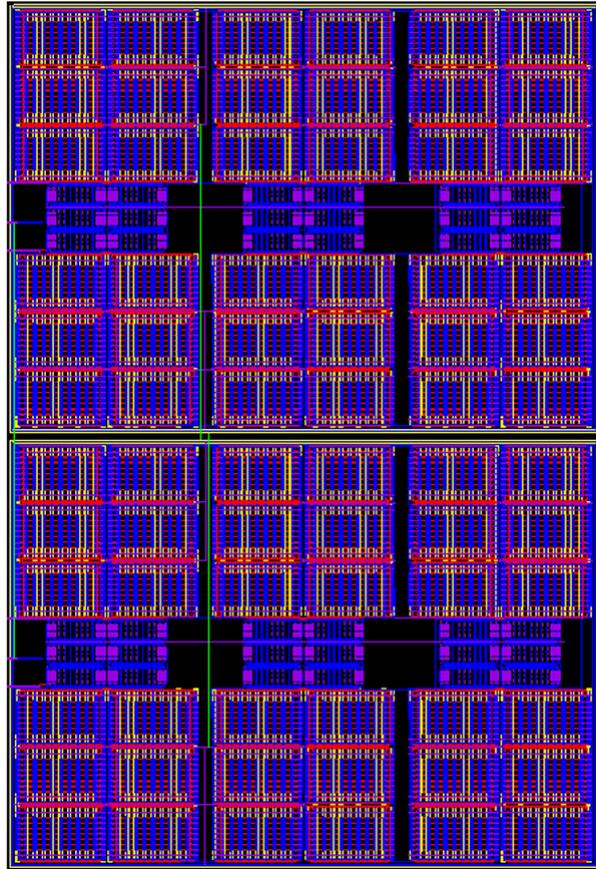


Figura 44 – *Layout* do FDDTA através da interconexão de dois OTAs baseados em inversores CMOS.

Fonte: o autor.

4.4 *Layout* do filtro

Conforme a teoria apresentada na Seção 3.4, implementou-se o *layout* do filtro Butterworth passa-baixa de quinta ordem. O *layout* atual para a arquitetura do protótipo, na verdade, reutiliza os *layouts* do circuito OTA publicado anteriormente em [55]. Os OTAs foram interconectados para construir os blocos FDDTAs e, em sequência, uma conexão em cascata dos FDDTAs é realizada, levando à arquitetura de filtro apresentada na Figura 45. Ela é composta por cinco FDDTAs e um OTA de entrada, além de uma estrutura *dummy* para proporcionar simetria à arquitetura global do circuito, diminuindo o efeito de descasamento.

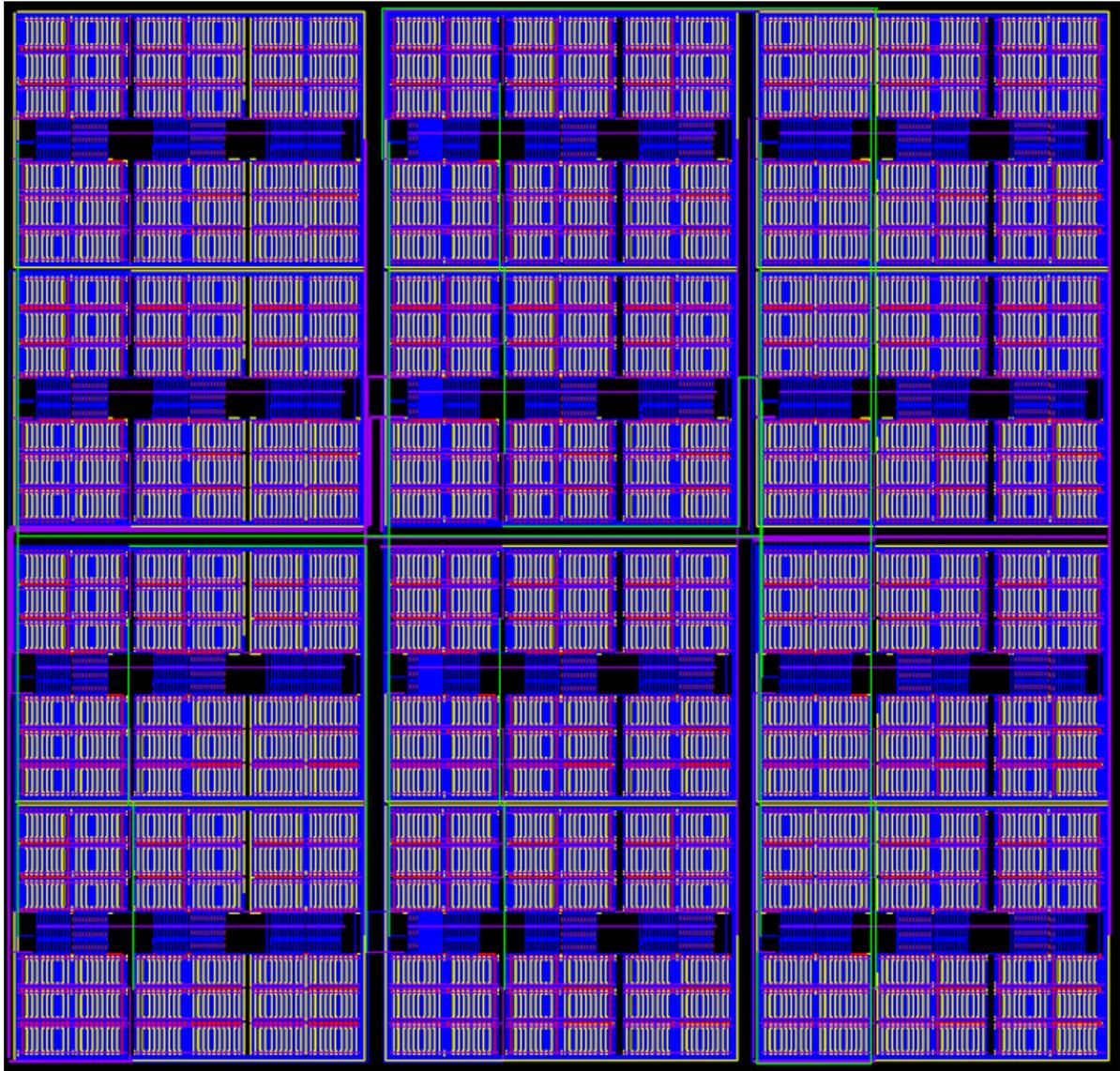


Figura 45 – *Layout* do filtro Butterworth passa-baixa de 5ª ordem baseado em FDDTAs.

Fonte: o autor.

4.5 Conclusão do capítulo

Em resumo, o capítulo apresenta a implementação elétrica do bloco FDDTA, o qual pode ser concebido a partir de quaisquer dois OTAs ideais casados. No entanto, no projeto desenvolvido, optou-se por uma topologia específica, baseada em inversores CMOS, por esta apresentar vantagens em relação ao modo comum, ao controle de casamento de impedâncias e ao melhoramento da condutância de saída do circuito.

O capítulo abordou o uso do arranjo matricial de transistores halo-implantados para minimizar o efeito DIBL, as variações da tensão *threshold*, o melhoramento da condutância de saída e, como consequência, o controle do descasamento do circuito. A construção dos *layouts* das estruturas se baseou na reutilização dos circuitos elétricos e técnicas de casamento de transistores utilizados por Braga [53], evidenciando que a interconexão

de dois *layouts* OTAs, cria uma nova funcionalidade de operação mantendo a mesma estrutura elétrica do circuito OTA original, adicionando duas novas entradas à arquitetura e operando em 0,25V sem quedas adicionais de tensão. Esta característica não acontece para outros amplificadores operacionais de transcondutância, sendo assim, uma vez que a estrutura de Braga é otimizada e bem caracterizada eletricamente (mais detalhes podem ser encontrados em [53]), espera-se que tais características sejam similares para o bloco FDDTA desenvolvido, tornando o foco da tese a metodologia do projeto de filtros, pois, utilizou-se o mesmo processo de construção CMOS GF 130nm, desenvolvido no simulador Spectre, usando modelo BSIM4. As simulações e características do bloco FDDTA são similares às propriedades já reportadas pelo bloco OTA de Braga [53]. Além do mais, é imprescindível salientar que tal reuso de topologias proporciona portabilidade de estruturas entre diferentes tecnologias, menores custo e tempo na execução de projetos de circuitos analógicos integrados.

5 Resultados obtidos: filtro Butterworth passa-baixa de 5^a ordem

Neste capítulo, são apresentadas as etapas de caracterização do filtro Butterworth passa-baixa de quinta ordem demonstrado no capítulo anterior como exemplo da metodologia de projeto do passa-baixa. Algumas medições e simulações do filtro projetado foram realizadas, confrontando os resultados obtidos com a modelagem desenvolvida no Capítulo 3 e no Capítulo 4.

5.1 Considerações gerais

O protótipo refere-se a um filtro passa-baixa Butterworth de quinta ordem, fabricado no processo CMOS GF 130nm, desenvolvido no simulador Spectre, usando modelo BSIM4 e projetado para operar em 0,25V. A Figura 46 mostra a micrografia do circuito integrado fabricado obtido com uma estação microprovadora *Cascade Microtech MPS150*, com o *layout* fabricado sobreposto à micrografia para melhor visualização. O *layout* atual para a arquitetura de filtro, na verdade, reutiliza os *layouts* do circuito OTA publicado an-

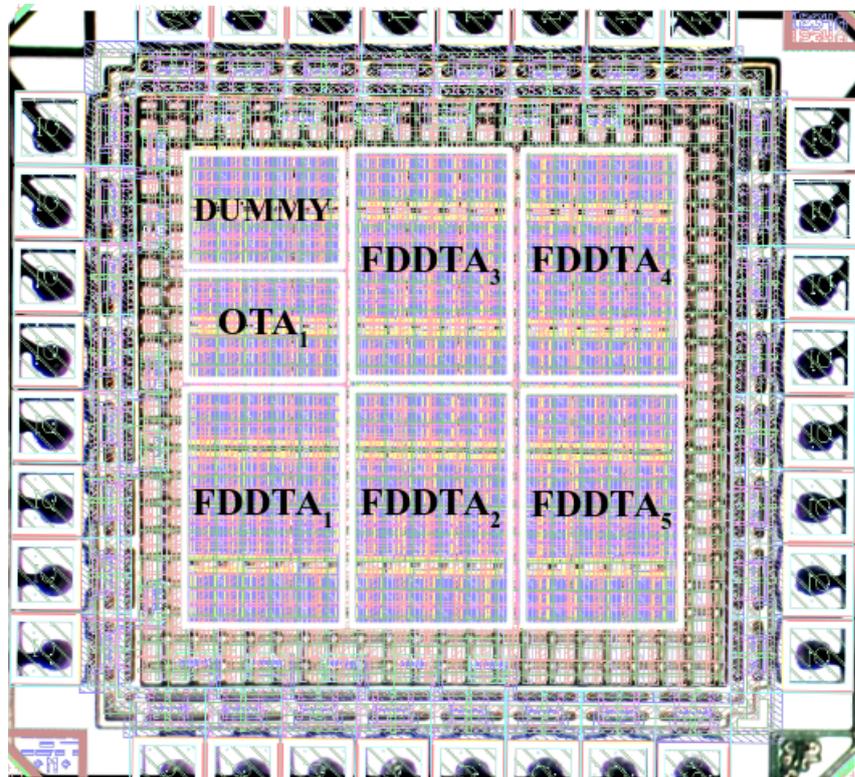


Figura 46 – Micrografia do circuito do filtro proposto sobreposta com o layout.

Fonte: o autor.

teriormente em [55]. Os OTAs foram interconectados para confeccionar os blocos básicos do FDDTA e, em sequência, uma conexão em cascata dos FDDTAs é realizada, levando à arquitetura de filtro Butterworth passa-baixa de quinta ordem. Por fim, fez-se uso de capacitores externos, dentro da faixa comercial, para facilitar a medição. Os detalhes do projeto, resultados medidos e simulados e algumas comparações com outros trabalhos da literatura são apresentados nas seções seguintes.

5.2 Simulações

Nesta seção são apresentadas as simulações mais relevantes do filtro Butterworth passa-baixa de quinta ordem proposto, a fim de comprovar a teoria desenvolvida nos capítulos anteriores e, também, avaliar o desempenho do filtro em relação a alguns parâmetros de linearidade, tais como, distorção harmônica, ruído referenciado à entrada, relação sinal-ruído, relação sinal-ruído-distorção e faixa dinâmica.

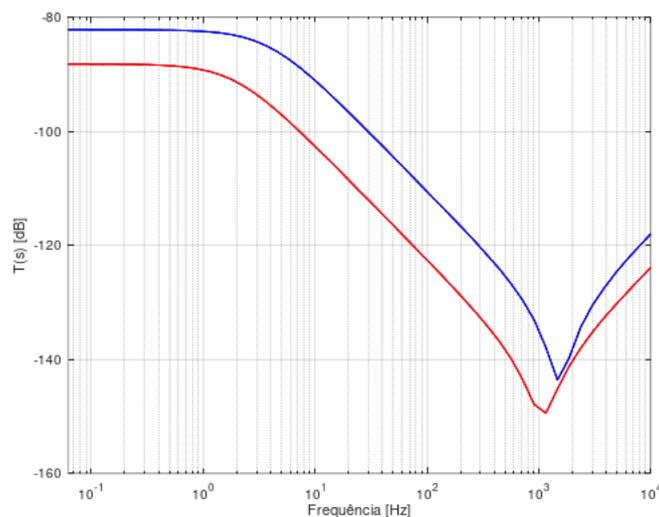


Figura 47 – Resposta em frequência dos circuitos representados pelas Figuras 20a (azul) e 20b (vermelho). A resposta do indutor analisada é $T(s) = I(s)/V(s)$.

Fonte: o autor.

5.2.1 Gyrator

A Figura 47 mostra a resposta em frequência dos indutores emulados nas Figuras 20a e 20b, via técnica *gyrator*, utilizando o circuito OTA com inversores da Figura 42a. O circuito composto por quatro células G_m apresenta o dobro de capacitâncias parasitas que o circuito composto por duas células. A capacitância que emula o indutor na simulação é de 2,7nF, sendo o mesmo valor da capacitância do *gyrator* representado no circuito do passa-baixa, para efeito de exemplificação. Pode-se perceber que os circuitos dos OTAs, tanto com duas células quanto com quatro células G_m , emulam um indutor até a frequência de 1kHz aproximadamente, ou seja, só será possível emular um indutor,

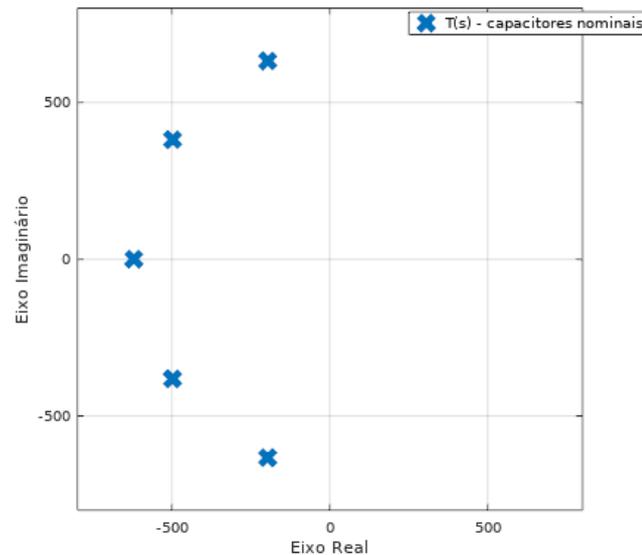


Figura 48 – Simulação do posicionamento de polos da função de transferência do filtro.

Fonte: o autor.

usando a técnica do *gyrator*, até esta frequência, limitando a frequência de operação do filtro. Outra característica é que, em frequências menores que 2Hz, aproximadamente, a função de transferência é constante, evidenciando que o indutor emulado possui uma resistência em série à reatância indutiva. No entanto, o filtro Butterworth passa-baixa de 5ª ordem desenvolvido, apresenta banda passante de até 100Hz, logo, essas características do *gyrator*, não limitam o funcionamento do filtro passa-baixa.

5.2.2 Posicionamento dos polos da função de transferência do filtro

Estabelecendo-se $C_1 = C_5 = 1,2\text{nF}$, $C_2 = C_4 = 2,7\text{nF}$ e $C_3 = 3,3\text{nF}$ (valores comerciais de capacitores), conforme mostrado na Seção 3.4, é possível configurar a frequência de corte do filtro para 100Hz, sendo este valor compatível com aplicações biomédicas. A Figura 48 mostra a simulação da localização dos polos para a função de transferência do filtro Butterworth, conhecendo-se os valores de C_1 , C_2 , C_3 , C_4 , C_5 , G_o e G_m . Nota-se que cada polo encontra-se ao longo de um semicírculo no semiplano esquerdo do plano s , assim, evidenciando o comportamento de um filtro Butterworth de quinta ordem, conforme discutido na Seção 2.2.1.

5.2.3 Resposta em frequência do filtro

A Figura 49 mostra a simulação da resposta em frequência do filtro obtida no simulador Spectre, usando modelo BSIM4. É aplicada à entrada do filtro uma tensão AC diferencial de 1V em torno da tensão de modo comum do circuito (125mV), resultando na resposta em frequência apresentada na figura. Percebe-se que a simulação comprova a operação do circuito como filtro Butterworth passa-baixa de quinta ordem: o circuito

apresenta resposta plana dentro da banda passante (até a frequência de corte de 100Hz) e taxa de *roll-off* de -100dB/dec para o filtro de quinta ordem ($m = 5$), comprovando a operacionalidade do circuito de acordo com a teoria de Butterworth.

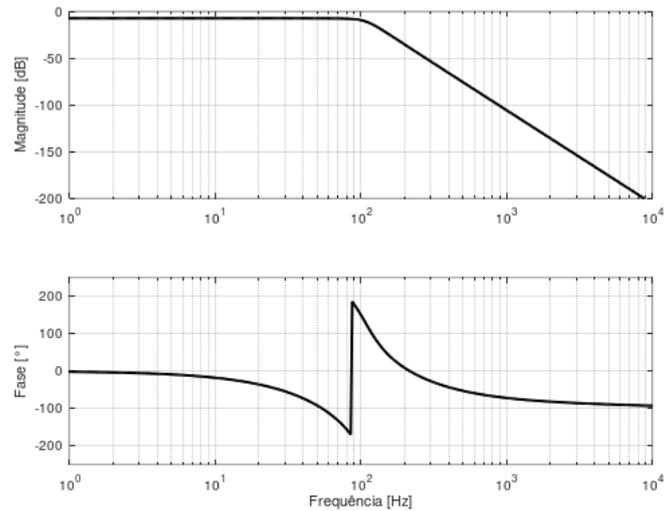


Figura 49 – Resposta em frequência simulada do filtro Butterworth passa-baixa de 5ª ordem com frequência de corte de 100Hz em 225° aproximadamente.

Fonte: o autor.

5.2.4 Distorção harmônica do filtro

Com a finalidade de averiguar a linearidade do filtro frente ao descasamento dos transistores, algumas simulações de Monte Carlo foram desempenhadas, avaliando-se a distribuição da THD e do segundo harmônico (HD_2). A Figura 50 mostra a simulação de Monte Carlo com 1000 rodadas para a THD aplicando-se uma entrada diferencial ao filtro com diferentes amplitudes, tais como 14,2mV_{pk}, 28,4mV_{pk} e 42,6mV_{pk}, mantendo-se a frequência fixa em 10Hz. Além disso, o processo, a tensão de alimentação e a temperatura foram mantidos dentro da faixa típica. Conclui-se que aumentar a tensão de entrada leva a aumentos na THD como esperado. Além disso, a THD se espalha em uma faixa de aproximadamente 6dB com 99,74% de intervalo de confiança em relação ao pior cenário de propagação (14,2mV_{pk}).

A Figura 51 mostra a simulação de Monte Carlo com 1000 rodadas para a HD_2 referente às mesmas três tensões de entrada supracitadas e às mesmas condições de processo, tensão de alimentação e temperatura. Aumentar a tensão de entrada leva a um pequeno aumento na HD_2 ; portanto, mostrando que HD_2 está sob controle. Além disso, a HD_2 apresenta, praticamente, distribuições normais similares para as três tensões de entrada, destacando que está sob controle.

Em resumo, as simulações de Monte Carlo validam a característica de que o arranjo matricial de transistores halo-implantados controla o descasamento da estrutura filtro,

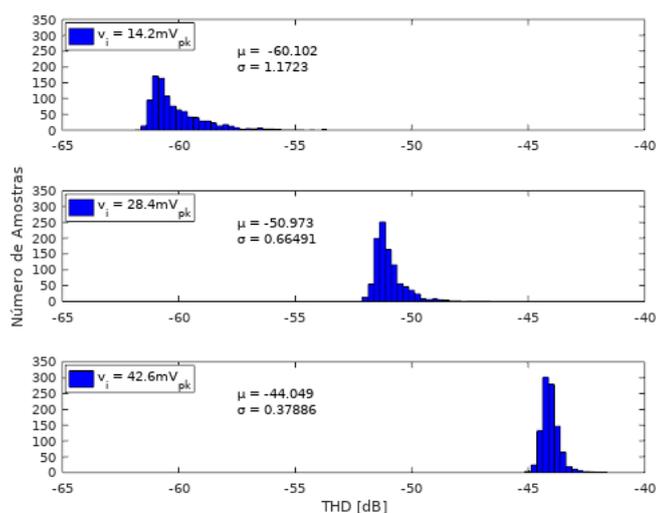


Figura 50 – Filtro Butterworth: análise de Monte Carlo da THD. A média para a THD varia de -60dB a -44dB, quando a tensão de entrada altera de 14,2mV_{pk} a 42,6mV_{pk}.

Fonte: o autor.

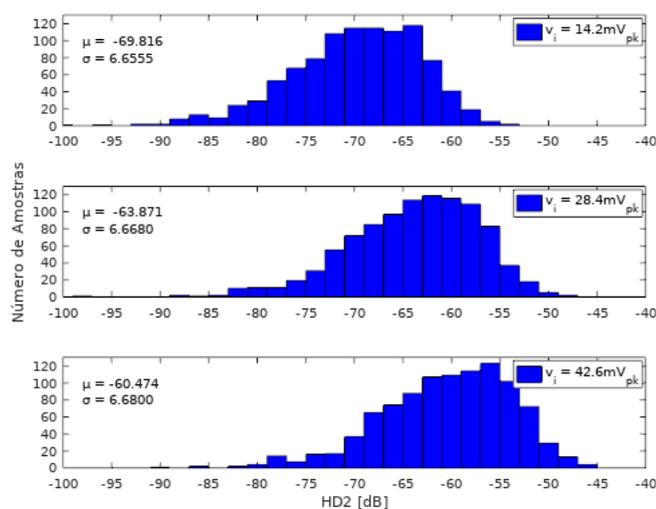


Figura 51 – Filtro Butterworth: análise de Monte Carlo para a HD₂. A média da HD₂ varia de -70dB a -60dB, quando a tensão de entrada altera de 14,2mV_{pk} a 42,6mV_{pk}.

Fonte: o autor.

conforme explicado na Seção 4.2, uma vez que a amplitude HD₂ é baixa e está sob controle.

5.2.5 Simulações de descasamento do filtro

A Figura 52 e a Figura 53 apresentam as simulações de Monte Carlo com 300 rodadas para a resposta em frequência do filtro, mantendo-se o processo, a tensão de alimentação e a temperatura dentro da faixa típica. A Figura 52 corresponde à variação arbitrária dos valores dos capacitores externos, considerando variações máximas de até

20% do seu valor nominal (conforme folha de dados dos componentes). As variações dos valores dos capacitores evidenciam mudanças no valor da frequência de corte projetada em $\pm 40\text{Hz}$ em torno de 100Hz .

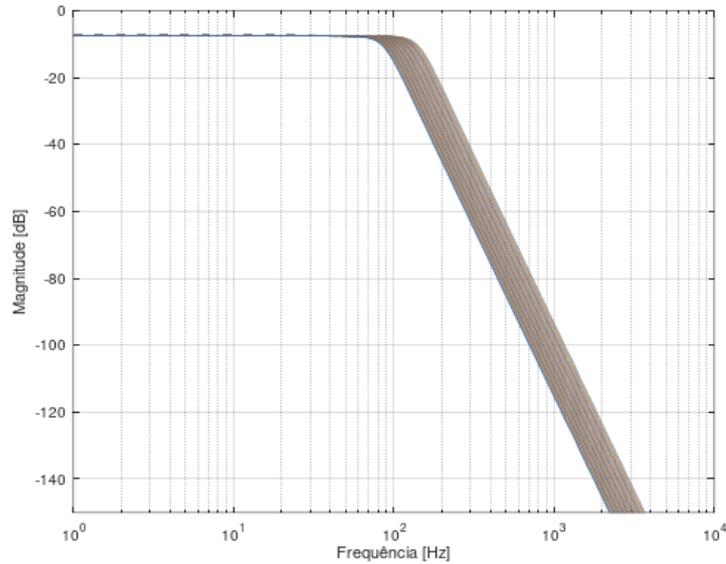


Figura 52 – Filtro Butterworth: análise de Monte Carlo para a RF do filtro, considerando variação arbitrária dos valores dos capacitores externos. O valor da frequência de corte projetada varia em $\pm 40\text{Hz}$ em torno de 100Hz .

Fonte: o autor.

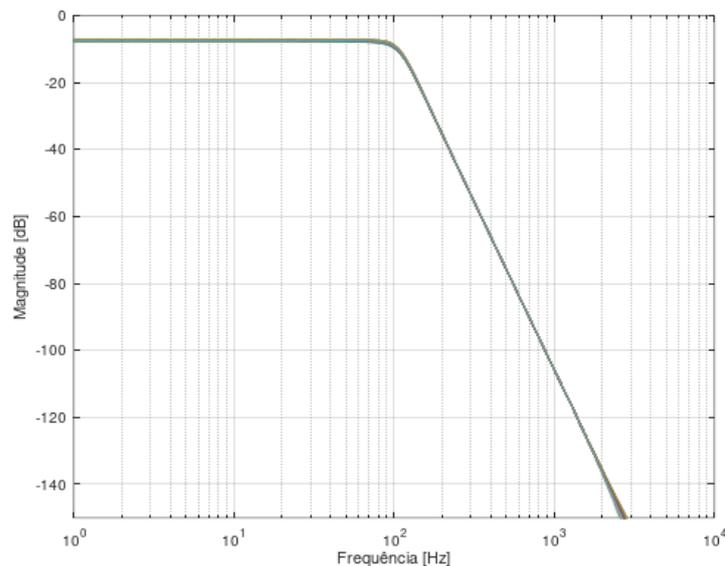


Figura 53 – Filtro Butterworth: análise de Monte Carlo para a RF do filtro, quando se aplica variações de *mismatch* à estrutura. O valor da frequência de corte e o valor de T_0 sofrem variações controladas, evidenciando o controle do *offset* da estrutura.

Fonte: o autor.

O valor de T_0 da FT se mantém o mesmo dentro da banda passante, T_0 é dependente dos valores da transcondutância do OTA de entrada (OTA_1) e de G_m do FDDTA_1 .

Uma maneira de superar tais inconvenientes é implementar os capacitores dentro do *chip*. Já, a Figura 53 exibe a resposta em frequência do filtro quando se aplica variações de *mismatch* à estrutura, percebe-se que tais variações estão bem controladas, pois apresentam baixas amplitudes. Conclui-se que o arranjo matricial de transistores halo-implantados, conforme demonstrado na Seção 4.2, realiza o controle do *offset* do circuito do filtro, pois a RF do filtro está controlada e com baixas amplitudes de variações frente ao descasamento.

Na execução do projeto do filtro, estabeleceu-se $C_1=C_5=1,2\text{nF}$; $C_2=C_4=2,7\text{nF}$ e $C_3=3,3\text{nF}$ (capacitores externos), assim, configurando a frequência de corte do filtro para 100Hz. Com o auxílio de um multímetro digital (*Keysight U1281A/U1282A*), foi possível medir a capacitância real dos elementos, resultando em: $C_1=1,440\text{nF}$; $C_2=2,983\text{nF}$; $C_3=3,640\text{nF}$; $C_4=3,014\text{nF}$ e $C_5=1,465\text{nF}$. A Figura 54 mostra as simulações do posicionamento desejado dos polos (capacitores valores nominais, em azul) e do posicionamento obtido para os polos da função de transferência do filtro com os valores reais das capacitâncias (capacitores valores reais, em vermelho). É possível inferir que a frequência de corte do filtro se altera com a tolerância dos capacitores, neste caso, ela diminui, proporcionando uma redução de 100Hz para 81Hz, aproximadamente. Novamente, a maneira de minimizar este problema é projetar o filtro com os capacitores no interior do *chip*.

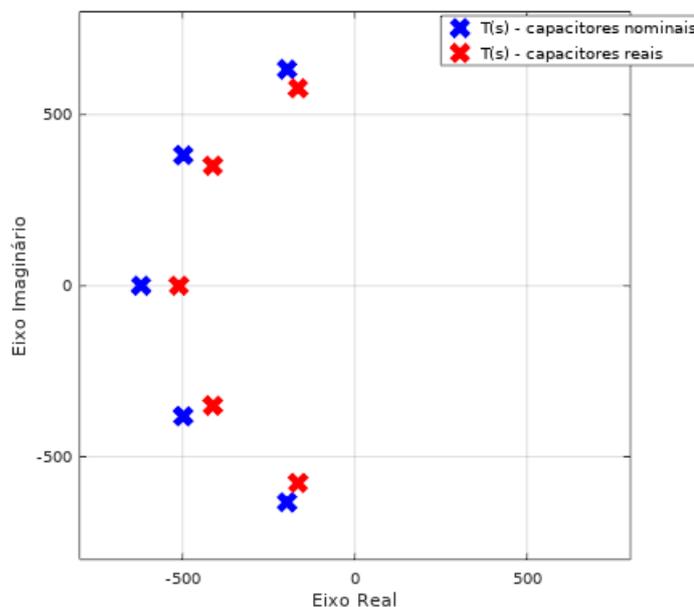


Figura 54 – Simulação do posicionamento dos polos da função de transferência do filtro para valores nominais e reais dos capacitores.

Fonte: o autor.

5.3 Medidas

Nesta seção são apresentadas as medidas mais relevantes do filtro Butterworth passa-baixa de quinta ordem proposto, a fim de comprovar a teoria desenvolvida nos

capítulos anteriores e validar as simulações apresentadas na seção anterior. Além do mais, analisar, também, o desempenho do filtro em relação a alguns parâmetros de linearidade, tais como, distorção harmônica, ruído referenciado à entrada, relação sinal-ruído, relação sinal-ruído-distorção e faixa dinâmica.

5.3.1 Resposta em frequência do filtro

A Figura 55 mostra a resposta em frequência medida do filtro Butterworth de quinta ordem capturada com o analisador de sinais dinâmicos (DSA *Keysight* 35670A). Além disso, ela também mostra a curva ideal simulada (linha tracejada) da resposta em frequência do filtro para referência dos dados.

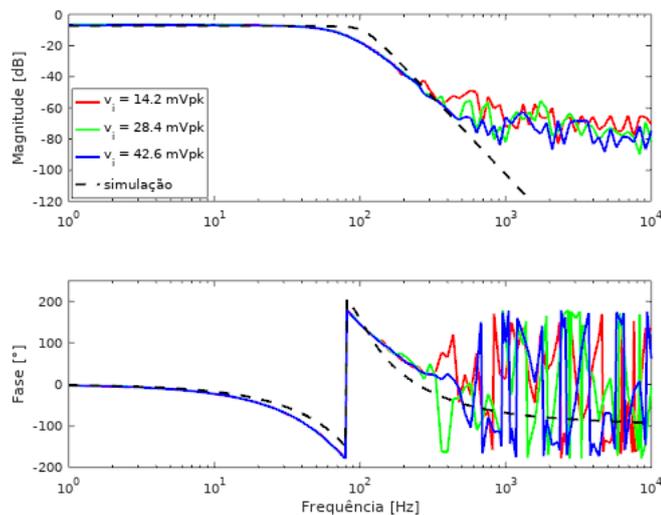


Figura 55 – Resposta em frequência medida do filtro passa-baixa Butterworth de 5ª ordem com frequência de corte de 100-Hz em 225° aproximadamente.

Fonte: o autor.

Aplicando-se as mesmas três tensões de entrada de 14,2mV_{pk}, 28,4mV_{pk} e 42,6mV_{pk}, uma por vez, nota-se que o circuito mantém a característica de baixa frequência com uma taxa de *roll-off* de -100dB/dec e banda passante plana como previsto pela teoria de filtros Butterworth passa-baixa. Portanto, o circuito proposto executa um filtro Butterworth passa-baixa de quinta ordem. Algumas pequenas divergências em torno de 100Hz da medida, tanto em magnitude quanto em fase, ocorrem devido à tolerância de 20% dos capacitores externos, conforme demonstrado nas simulações de descasamento do filtro. Ainda, acima de 350Hz, a amplitude do sinal é atenuada fora da faixa de medição do instrumento e, portanto, algumas falhas de medição ocorrem. Por exemplo, em 350Hz, a atenuação do filtro é de -60dB, o que representa 14μV_{pk} para uma entrada de 14mV_{pk}. Como a resolução do analisador de sinais dinâmicos *Keysight* 35670A é de 250μV_{pk}, as medições acima de 350Hz não são confiáveis.

5.3.2 Distorção harmônica do filtro

A fim de verificar o desempenho dinâmico do filtro em relação à linearidade, realizou-se a análise de Fourier do mesmo (FFT). A THD medida é obtida utilizando-se o analisador de sinais dinâmicos DSA 35670A. A Figura 56 mostra o espectro harmônico de saída do filtro medido, com resolução de 31,25mHz, em que uma tensão de modo comum de 125mV foi aplicada em ambas as entradas com três sinais sinusoidais diferentes, de frequência 10Hz e amplitudes de $\pm 14,2\text{mV}_{\text{pk}}$, $\pm 28,4\text{mV}_{\text{pk}}$, e $\pm 42,6\text{mV}_{\text{pk}}$, uma por vez. Aumentando-se a amplitude do sinal de entrada de tensão, é possível verificar as distorções de segunda e terceira harmônicas. Neste cenário, percebe-se que a THD tem seu valor dominado pela amplitude do terceiro harmônico (HD_3) e revela uma distorção de segundo harmônico, HD_2 , pequena e sob controle.

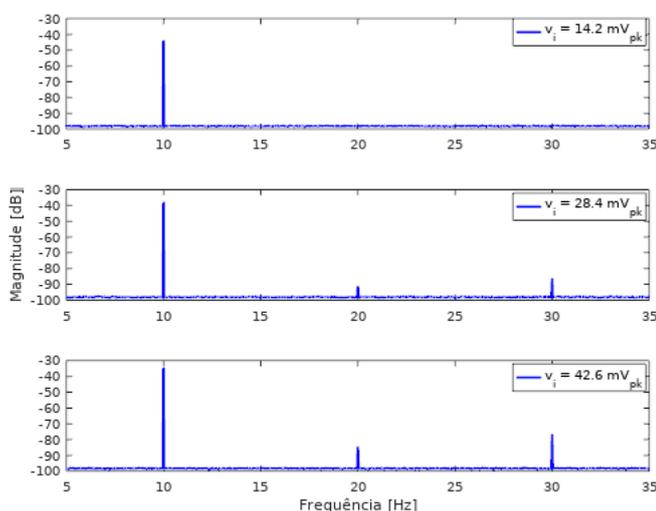


Figura 56 – Filtro Butterworth: distorção harmônica medida. Espectro de saída com resolução de 31,25mHz para uma tensão de modo comum de 125mV com entrada senoidal diferencial de 14, 2–28, 4 e 42, 6mV_{pk} @10Hz, levando a THD \approx HD_3 .

Fonte: o autor.

5.3.3 Análise de sinal e de ruído do filtro

A densidade espectral de potência medida do ruído referenciado à entrada (IRN) do filtro é ilustrada na Figura 57. Ela é definida aplicando-se em ambas as entradas do filtro uma tensão de modo-comum de 125mV, obtendo-se a curva de densidade espectral de ruído de saída do filtro e referenciando-a à entrada pelo ganho de malha aberta ao quadrado, ponto a ponto [39]. De 62,5mHz à 50Hz, aproximadamente, a figura evidencia o comportamento do ruído *flicker*, muito característico em baixas frequências, devido à diferença de condutividade das regiões do transistor (dreno-canal-fonte) [39]. A partir de 50Hz, o ruído térmico é predominante, em razão do movimento randômico dos elétrons [39]. A integração da curva medida no intervalo de banda de 62,5mHz a 100Hz fornece

um valor de tensão de ruído referenciado à entrada de $4,7\mu\text{V}_{\text{rms}}$. De posse deste valor, é possível inferir a faixa dinâmica do filtro.

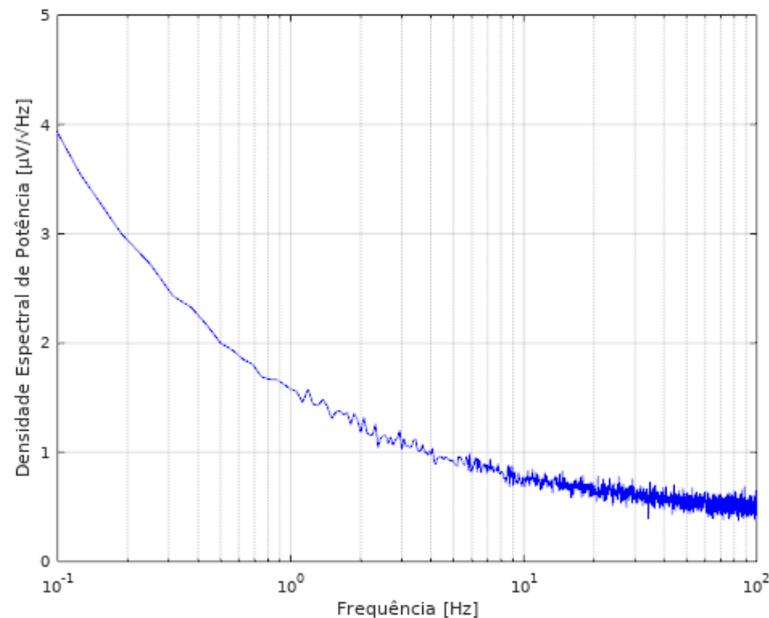


Figura 57 – Filtro Butterworth: medida da densidade espectral de potência do ruído referenciado à entrada.

Fonte: o autor.

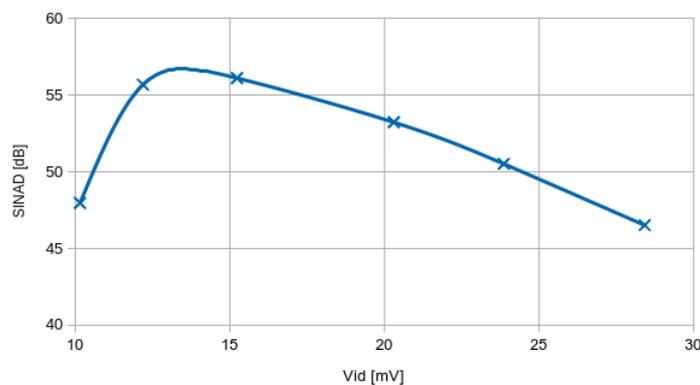


Figura 58 – Filtro Butterworth: medida da SINAD vs. amplitude do sinal diferencial (pico) de entrada. A faixa dinâmica é de 57dB @10Hz.

Fonte: o autor.

A Figura 58 mostra a relação entre a faixa de tensão de entrada diferencial e a relação sinal-ruído-distorção (SINAD) do filtro. A frequência do sinal de entrada é fixada em 10Hz e a curva é obtida conhecendo-se a THD do circuito para um sinal de entrada específico juntamente com o valor da relação sinal ruído (SNR) do circuito para a mesma entrada. Ambos os valores da THD e da SNR são obtidos para o sinal de saída do filtro e aplicados na fórmula da SINAD. A figura é traçada ponto a ponto para diferentes sinais de entrada, numa dada frequência fixa e para uma quantidade

de valores desejada, após o conhecimento dos pontos específicos, faz-se um ajuste de curvas (*curve fitting*), encontrando uma função que melhor caracterize a série de pontos medida. A faixa dinâmica é de 57dB (valor máximo) para uma tensão de alimentação de 0,25V. A Tabela 6 mostra uma comparação de desempenho entre este trabalho e outros filtros Butterworth de baixa tensão, em que a arquitetura aqui proposta apresenta uma das menores THDs e uma alta DR, dentro de uma faixa de potência de centenas de nW, operando sob 0,25V. Além disso, o filtro proposto apresenta o menor valor de ruído referenciado à entrada. O filtro apresenta a vantagem de um baixo IRN proporcionado pelo bloco FDDTA, cuja implementação reside na interconexão das saídas de dois blocos OTAs, baseados em inversores; o IRN é dez vezes menor que outros trabalhos do estado da arte atual. Tal característica é uma vantagem substancial em relação a baixas amplitudes da fonte de alimentação e aos sinais de entrada para aplicações específicas (o filtro atinge 42,5mV de excursão de sinal de entrada diferencial para 250mV de tensão de alimentação, alcançando uma THD de 1%).

5.4 Conclusão do capítulo

Neste capítulo, foram apresentados os resultados das simulações e medições para a caracterização do filtro Butterworth de quinta ordem passa-baixa, operando em inversão fraca, sob tensão de alimentação de 0,25V, a fim de exemplificar a metodologia desenvolvida. Foi possível encontrar a simulação do posicionamento de polos da função de transferência do filtro, demonstrando que os polos estão equidistantemente posicionados numa semicircunferência no lado esquerdo do plano s , comprovando a teoria de filtros Butterworth passa-baixa. As respostas em frequência encontradas por simulação e por medida, também, comprovam a característica plana na banda passante e uma taxa de *roll-off* de -100dB/dec a partir da frequência de corte de 100Hz. As simulações de descasamento, juntamente com as simulações e medidas de distorção harmônica revelam o controle de descasamento da estrutura e a sua magnitude de natureza baixa, comprovando a efetividade do arranjo matricial de transistores halo-implantados no controle do mesmo. Além disso, as análises de ruído e de ruído mais distorção do filtro retratam o alto desempenho do filtro, cujos valores da THD é de 54dB, a DR do filtro é de 57dB e o IRN é de $4,7\mu V_{\text{rms}}$ para uma banda de frequência de, aproximadamente, 100Hz.

Em resumo, como a linearidade é uma característica fundamental dos filtros *anti-aliasing* de baixa potência, o desenvolvimento do projeto focou na baixa distorção, conforme demonstrado pelas simulações e medidas, tendo em vista a base matemática desenvolvida nos capítulos anteriores. As caracterizações demonstraram que o protótipo, implementado em um processo CMOS de 130nm, opera em inversão fraca, sob uma tensão de alimentação de 0,25V e consome 603nW, apresentando figuras de mérito consistentes com outros trabalhos da literatura de filtros sub-1V, cumprindo as especificações para

Tabela 6 – Comparação das especificações de desempenho do filtro proposto e outros filtros passa-baixa de baixa tensão.

Parâmetros	Este trabalho	TBioCAS 2019 [15]	VLSI 2018 [62]	TCAS I 2018 [63]	TCAS II 2018 [2]
Tipo de Filtro	Butterworth	Butterworth	Butterworth	Biquad	Butterworth
Ordem do Filtro (n)	5	5	4	4	5
Tecnologia CMOS	130-nm	180-nm	350-nm	350-nm	180-nm
Arquitetura	<i>Fully Differential</i>				
Dispositivo Ativo**	FDDTA	MOFD-OTA	OTA	OTA	MODI-OTA
Área	0,67mm ²	0,24mm ²	0,168mm ²	0,11mm ²	0,12mm ²
Tensão de Alimentação	0,25V	1,0V	0,6V	0,9V	1,0V
Consumo de Potência	603nW	41nW	0,9nW	4,26nW	350nW
Potência por Polo	120,6nW	8,2nW	0,225nW	1,06nW	70nW
Largura de Banda	100Hz	250Hz	101Hz	100Hz	50Hz
THD ou HD3	54,0dB	-	60,0dB	50,0dB	49,8dB
Faixa Dinâmica (DR)	57,0dB	61,2dB	47,0dB	48,2dB	49,9dB
Ruído Referenciado à Entrada	4,7μV _{rms}	134μV _{rms}	46,27μV _{rms}	80,5μV _{rms}	-

Parâmetros	Este trabalho	MEJ 2018 [64]	TCAS II 2017 [25]	Springer 2013* [17]	TBioCAS 2013 [65]
Tipo de Filtro	Butterworth	Butterworth	Butterworth	Butterworth	Butterworth
Ordem do Filtro (n)	5	4	6	12	4
Tecnologia CMOS	130-nm	180-nm	180-nm	130-nm	350-nm
Arquitetura	<i>Fully Differential</i>	<i>Differential</i>	<i>Fully Differential</i>	<i>Fully Differential</i>	<i>Differential</i>
Dispositivo Ativo**	FDDTA	OTA	DDA	FDDTA	SSF
Área	0,67mm ²	0,35mm ²	0,21mm ²	-	0,11mm ²
Tensão de Alimentação	0,25V	1,8V	1,8V	0,5V	3,0V
Consumo de Potência	603nW	1,6–2,1mW	8,07mW	2,77mW	15nW
Potência por Polo	120,6nW	400μW	1,35mW	230μW	3,75nW
Largura de Banda	100Hz	0,09–1,96MHz	65MHz	1–2MHz	100Hz
THD ou HD3	54,0dB	-	-	-	55,2dB
Faixa Dinâmica (DR)	57,0dB	-	-	43,84 – 43,67dB	66,7dB
Ruído Referenciado à Entrada	4,7μV _{rms}	-	-	69–90μV _{rms}	31μV _{rms}

*Valores simulados.

**MOFD-OTA: *multiple-output fully differential – operational transconductance amplifier* (amplificador operacional de transcondutância completamente diferencial com múltiplas saídas). MODI-OTA: *multiple-output differential-input – operational transconductance amplifier* (amplificador operacional de transcondutância de entrada diferencial com múltiplas saídas). SSF: *subthreshold-source-follower* (seguidor de fonte sublimiar).

Fonte: o autor.

aplicações de baixa frequência.

6 Conclusões

Este trabalho apresenta uma metodologia de projeto de filtros Butterworth passa-baixa de qualquer ordem, baseada no bloco de construção amplificador de transcondutância diferencial de diferenças de saída diferencial, o FDDTA. Primeiramente, foi feito um estudo da teoria de filtros Butterworth passa-baixa, trazendo suas principais características, tais como função de transferência, posicionamento de polos e possíveis implementações práticas. Assim, foram apresentados filtros Butterworth passa-baixa concebidos através de estruturas duplamente terminadas, em que o conhecimento de redes *ladders* se fez necessário, mostrando os componentes básicos de tais redes (indutores e capacitores). Concomitantemente, a teoria de filtro Butterworth passa-alta foi retratada e mostrou-se que ela é oriunda da teoria do passa-baixa por transformação em frequência.

Tendo em vista a implementação da metodologia monoliticamente em um circuito integrado, os indutores físicos se apresentam como um obstáculo devido à área física que tais componentes ocupam num *chip*. Portanto, o conceito do *gyrator* foi retratado como uma possível solução à substituição destes indutores nos circuitos de filtros.

O Capítulo 3 apresentou a teoria do FDDTA, elencando os amplificadores operacionais de dois e quatro terminais de entrada. Assim, o regime linear de operação do FDDTA foi explicado, mostrando que o sinal de saída diferencial de tal bloco, corrente elétrica, é proporcional à diferença de dois pares de tensões elétricas diferenciais na entrada. Em seguida, foi discutido que, diferentemente do DDA, o FDDTA pode ser implementado pela interconexão das saídas de dois OTAs com descasamento controlado, validando tal teoria pela função de transferência retratada na Equação (3.10).

A escolha do circuito elétrico para se implementar o bloco do FDDTA foi crucial para o desenvolvimento da metodologia. Como o bloco de construção FDDTA apresenta descasamento controlado, a metodologia proposta para o filtro Butterworth passa-baixa não requer nenhum circuito de calibração externo suplementar, como fontes de corrente de cauda ou tensão de polarização e, portanto, reduz a complexidade do circuito. Além disso, a metodologia de projeto de filtros Butterworth passa-baixa permite reduzir o número de elementos do circuito, usando o componente básico FDDTA e, portanto, reduzindo o consumo geral de potência. Como demonstrado, o FDDTA pode ser entendido em termos de dois OTAs diferenciais interconectados, uma vez que as duas instâncias OTAs, baseadas em inversores, se traduzem em uma única arquitetura OTA, também baseada em inversores, com área duplicada e duas entradas extras inversoras, conforme ilustrado na Figura 42b do Capítulo 4 (esse recurso não é válido para outras topologias OTAs). Essa metodologia pode gerar oportunidades para trabalhos futuros para melhorar as implementações

do FDDTA, enquanto ainda se beneficia do consumo reduzido de energia.

As caracterizações demonstraram que o protótipo, implementado em um processo CMOS de 130nm, opera em inversão fraca, sob uma tensão de alimentação de 0,25V e consome 603nW. Além disso, o filtro apresenta uma faixa dinâmica de 57dB em uma largura de banda de 100Hz e uma THD máxima de 54dB; portanto, cumpre as especificações adequadas para aplicações de baixa frequência. Desta forma, buscou-se, neste trabalho, uma metodologia de projeto de filtro Butterworth passa-baixa de ultrabaixa tensão e de ultrabaixa potência, em arquitetura completamente diferencial, baseada em FDDTAs, obtendo alto desempenho, com baixo ruído e alta linearidade, superando os desafios impostos pelas tecnologias CMOS em escala nanométrica.

O filtro apresenta a vantagem de um baixo ruído referenciado à entrada proporcionado pelo bloco FDDTA, cuja implementação reside na interconexão das saídas de dois blocos OTAs, baseados em inversores; o IRN é dez vezes menor que outros trabalhos do estado da arte atual. Tal característica é uma vantagem substancial em relação a baixas amplitudes da fonte de alimentação e aos sinais de entrada para aplicações específicas (o filtro atinge 42,5mV de excursão de sinal de entrada diferencial para 250mV de tensão de alimentação, alcançando uma THD de 1%). Além de apresentar uma faixa dinâmica consistente com outros trabalhos sub-1V. Enfim, esta é a primeira vez que um filtro Butterworth passa-baixa de quinta ordem opera em 0,25V (até o ano de sua publicação).

Por fim, foi verificada a possibilidade de implementar filtros Butterworth passa-alta usando o FDDTA. Entretanto, percebeu-se que através da metodologia, não há a possibilidade de implementá-la usando apenas FDDTAs, buscando desempenho máximo. Também, deve-se salientar que os componentes físicos (resistor, capacitor, indutor, amplificador, entre outros) operam dentro de uma certa faixa de frequência. Logo, fora desta faixa de operação, tais componentes apresentam comportamento diferente da teoria pela qual foram concebidos. Esta condição limita a operação do filtro passa-alta quando se utiliza o mesmo amplificador operacional de transcondutância do circuito passa-baixa.

De maneira geral, pode-se resumir as **contribuições desta tese**, que não foram vistas no estado da arte, em: apresentação de uma metodologia de filtro Butterworth passa-baixa de qualquer ordem utilizando o bloco FDDTA; construção do bloco FDDTA a partir da interconexão de OTAs baseados em inversores CMOS; desenvolvimento matemático de tal bloco contendo sua função de transferência e modelo AC de pequenos sinais; comprovação elétrica da metodologia através da teoria apresentada, de simulações e de medidas que a validaram; operação de um filtro Butterworth passa-baixa de quinta ordem em 0,25V, consumindo centenas de nW, com baixas distorções (THD e suas frações), sendo consistente na comparação com outros trabalhos sub-1V, além de um IRN de $4,7\mu V_{\text{rms}}$; e a possibilidade de metodologia de projeto similar para o Butterworth passa-alta, utilizando o bloco FDDTA.

6.1 Trabalhos futuros

Tendo em vista o trabalho desenvolvido, é viável verificar a possibilidade de utilizar o FDDTA para implementar outros tipos de filtros (Bessel, Cauer, Chebyshev, por exemplo), desenvolvendo metodologias similares. A Figura 59, retirada de [27], mostra um filtro de terceira ordem Chebyshev. Analisando o circuito, é possível implementá-lo substituindo seis instâncias OTAs por três estruturas FDDTAs conforme apresentado nesta tese, pois os blocos OTAs estão com as saídas interconectadas. Outro trabalho futuro possível, é encontrar melhorias para a estrutura FDDTA desenvolvida, aprimorando o circuito elétrico, a fim de otimizar o desempenho do filtro. Uma possível melhoria é utilizar os terminais *bulk* dos transistores dos inversores para realizar o controle da tensão de *switching point* dos inversores CMOS do OTA, mantendo-as em $V_{dd}/2$ quando a tensão de alimentação variar, utilizando transistores nMOS *triplewell*. E, também, eliminar a influência da variação dos capacitores externos inserindo-os dentro do *chip*.

Recentemente, alguns trabalhos no estado da arte em microeletrônica estão propondo a implementação de circuitos analógicos através de *standard cell* [66, 67, 68, 69], o que leva a uma redução significativa no custo e tempo de projetos de modo geral, bem como a uma maior portabilidade de circuitos entre diferentes tecnologias. Assim, outro possível trabalho futuro seria fazer um estudo dos projetos desenvolvidos nesta tese implementados através de *standard cell* verificando a viabilidade de projetá-los e sintetizá-los usando estruturas CAD disponíveis para projeto digital.

Outra área promissora na microeletrônica, em circuitos de ultrabaixa tensão e ultrabaixa potência, são os transistores de tunelamento (TFET). A estrutura básica do TFET é semelhante a um MOSFET, exceto que os terminais de fonte e dreno de um TFET possuem dopagens opostas [70]. Fazer um estudo de tal dispositivo aplicado aos circuitos desta tese pode proporcionar a redução da potência consumida, pois eles podem superar a limitação termiônica de variação de subliminar (*subthreshold swing*) [43, 71, 72].

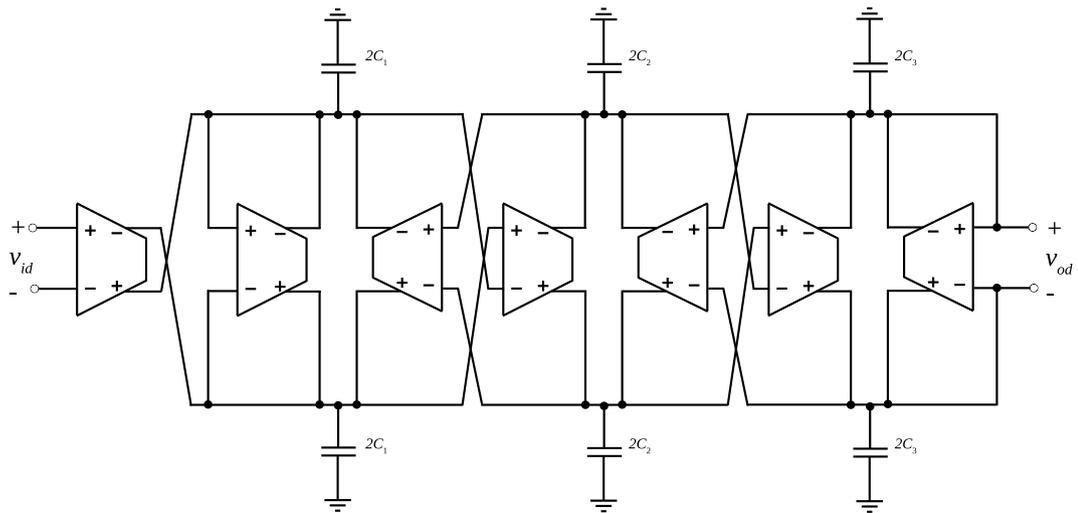


Figura 59 – Filtro Chebyshev de terceira ordem.

Fonte: retirada de [27].

6.2 Publicação

Um artigo referente ao filtro de quinta ordem Butterworth baseado no bloco FDDTA foi publicado no *Microelectronic Journal - Special Issue on Low Voltage Low Power Integrated Circuits and Systems* (qualis A2, Engenharias IV, no ano da publicação), Agosto de 2019, intitulado:

"A 0.25-V Fifth-order Butterworth Low-pass Filter Based on Fully Differential Difference Transconductance Amplifier Architecture".

DOI: <https://doi.org/10.1016/j.mejo.2019.104606>

ANEXO A – Equacionamento

Este anexo fornece suporte ao equacionamento da função de transferência do filtro apresentada no Capítulo 4.

A.1 Equacionamento da função de transferência do filtro

Da análise do circuito do filtro Butterworth passa-baixa de quinta ordem proposto, Figura 26, pode-se equacionar as funções de transferências de cada bloco com a ajuda do modelo de pequenos sinais. Com isso, o OTA de entrada possui o modelo AC de pequenos sinais apresentado na Figura 60.

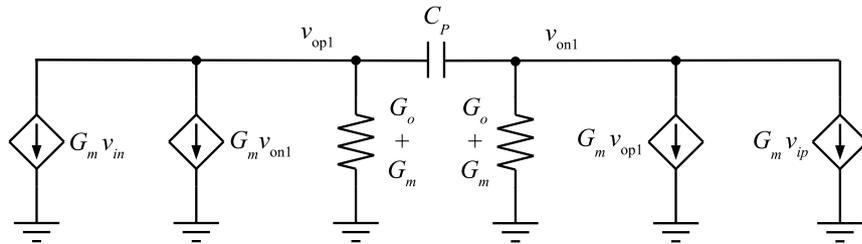


Figura 60 – Modelo AC de pequenos sinais do OTA de entrada.

Fonte: o autor.

em que $G_o = 3(g_{op} + g_{on})$, $G_m = g_{mp} + g_{mn}$. As tensões de saída v_{opi} e v_{oni} referem-se aos sinais de saídas do FDDTA_{*i*}, para $i = 1, 2, 3, 4$.

O modelo AC de pequenos sinais do primeiro FDDTA (FDDTA₁) é apresentado na Figura 61.

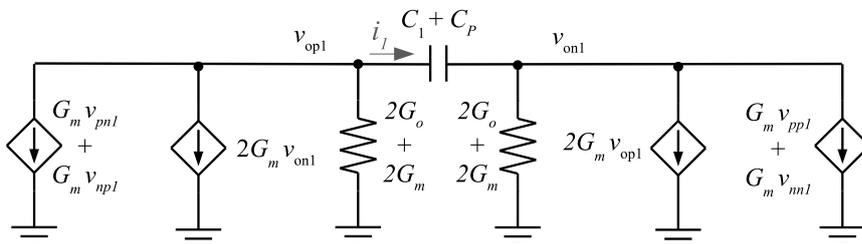


Figura 61 – Modelo AC de pequenos sinais do primeiro FDDTA (FDDTA₁).

Fonte: o autor.

em que $V_{pp1} = v_{on2}$, $V_{pn1} = v_{op1}$, $V_{np1} = v_{op2}$ e $V_{nn1} = v_{on1}$.

As saídas do OTA e do FDDTA₁ estão em paralelo, logo o modelo equivalente é dado pela Figura 62.

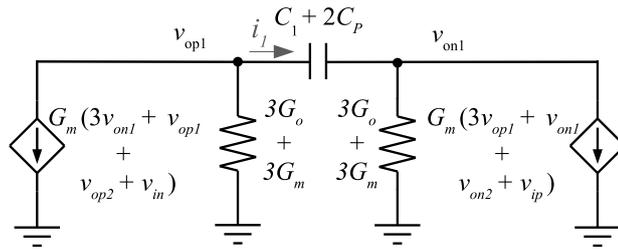


Figura 62 – Modelo AC de pequenos sinais equivalente do OTA em paralelo com o FDDTA₁.

Fonte: o autor.

Assumindo $C_1 \gg C_P$ e aplicando-se a Lei de Kirchoff das Correntes no capacitor C_1 , encontra-se as equações (A.1a) e (A.1b).

$$i_1 = G_m(3v_{op1} + v_{on1} + v_{on2} + v_{ip}) + (3G_o + 3G_m)v_{on1} , \quad (\text{A.1a})$$

e

$$i_1 = -G_m(3v_{on1} + v_{op1} + v_{op2} + v_{in}) - (3G_o + 3G_m)v_{op1} . \quad (\text{A.1b})$$

Em Laplace, a corrente i_1 é dada por:

$$i_1 = sC_1[v_{op1}(s) - v_{on1}(s)] . \quad (\text{A.2})$$

Somando-se (A.1a) e (A.1b), levando-se em consideração (A.2), obtém-se:

$$\frac{v_{op1}(s) - v_{on1}(s)}{[v_{ip}(s) - v_{in}(s)] + [v_{on2}(s) - v_{op1}(s)] - [v_{op2}(s) - v_{on1}(s)]} = \frac{G_m}{2sC_1 + 3G_o} . \quad (\text{A.3})$$

O segundo FDDTA (FDDTA₂) tem o modelo de pequenos sinais representado pela Figura 63.

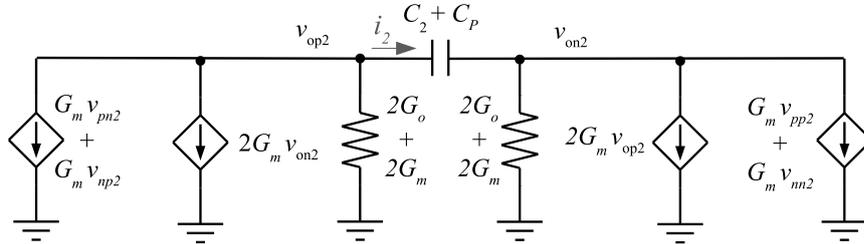


Figura 63 – Modelo AC de pequenos sinais do FDDTA₂.

Fonte: o autor.

em que $V_{pp2} = v_{on3}$, $V_{pn2} = v_{on1}$, $V_{np2} = v_{op3}$ e $V_{nn2} = v_{op1}$.

De modo análogo, a corrente i_2 pode ser calculada por:

$$i_2 = G_m(2v_{op2} + v_{op1} + v_{on3}) + (2G_o + 2G_m)v_{on2} , \quad (\text{A.4a})$$

e

$$i_2 = -G_m(2v_{on2} + v_{on1} + v_{op3}) - (2G_o + 2G_m)v_{op2} . \quad (\text{A.4b})$$

Resultando na função de transferência a seguir:

$$\frac{v_{op2}(s) - v_{on2}(s)}{[v_{on3}(s) - v_{on1}(s)] - [v_{op3}(s) - v_{op1}(s)]} = \frac{G_m}{2sC_2 + 2G_o} . \quad (\text{A.5})$$

O processo anterior pode ser repetido para os outros FDDTAs o que resulta nas funções de transferências a seguir:

$$\frac{v_{op3}(s) - v_{on3}(s)}{[v_{on4}(s) - v_{on2}(s)] - [v_{op4}(s) - v_{op2}(s)]} = \frac{G_m}{2sC_3 + 2G_o} , \quad (\text{A.6})$$

$$\frac{v_{op4}(s) - v_{on4}(s)}{[v_{on}(s) - v_{on3}(s)] - [v_{op}(s) - v_{op3}(s)]} = \frac{G_m}{2sC_4 + 2G_o} , \quad (\text{A.7})$$

$$\frac{v_{op}(s) - v_{on}(s)}{[v_{on}(s) - v_{on4}(s)] - [v_{op}(s) - v_{op4}(s)]} = \frac{G_m}{2sC_5 + 2G_o} . \quad (\text{A.8})$$

De posse das funções de transferências, busca-se a expressão final que relaciona $v_{od}(s)$ por $v_{id}(s)$, a manipulação das funções de transferências anteriores resulta na função de transferência do filtro:

$$\begin{aligned} G_m^5 \frac{v_{id}(s)}{v_{od}(s)} &= (2sC_1 + 3G_o)(2sC_2 + 2G_o)(2sC_2 + 2G_o)(2sC_4 + 2G_o)(2sC_5 + 2G_o) + \\ G_m^2 &[(2sC_1 + 3G_o)(2sC_2 + 2G_o)(2sC_3 + 2G_o) + (2sC_1 + 3G_o)(2sC_2 + 2G_o)(2sC_5 + 2G_o) + \\ &(2sC_1 + 3G_o)(2sC_4 + 2G_o)(2sC_5 + 2G_o) + (2sC_3 + 2G_o)(2sC_4 + 2G_o)(2sC_5 + 2G_o)] + \\ &G_m^4 [(2sC_1 + 3G_o) + (2sC_3 + 2G_o) + (2sC_5 + 2G_o)] . \quad (\text{A.9}) \end{aligned}$$

Após o desenvolvimento dos fatores, a função final do filtro será:

$$T(s) = \frac{v_{od}(s)}{v_{id}(s)} = \frac{G_m^5}{\alpha s^5 + \beta s^4 + \gamma s^3 + \delta s^2 + \epsilon s + \theta} . \quad (\text{A.10})$$

Com os coeficientes dados pela Tabela 3 para $G_m \gg G_o$.

Referências

- 1 LASANEN, K.; KOSTAMOVARA, J. A 1-V analog CMOS front-end for detecting QRS complexes in a cardiac signal. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 52, n. 12, p. 2584–2594, 2005.
- 2 SUN, C.-Y.; LEE, S.-Y. A Fifth-Order Butterworth OTA-C LPF With Multiple-Output Differential-Input OTA for ECG Applications. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, p. 421–425, 2018.
- 3 RAO, A.; TENG, Y.-C.; SCHAEF, C.; MURPHY, E. K.; ARSHAD, S.; HALTER, R. J.; ODAME, K. An Analog Front End ASIC for Cardiac Electrical Impedance Tomography. *IEEE Transactions on Biomedical Circuits and Systems*, IEEE, v. 12, n. 4, p. 729–738, 2018.
- 4 LEE, S.-Y.; CHENG, C.-J. Systematic Design and Modeling of a OTA-C Filter for Portable ECG Detection. *IEEE Transactions on Biomedical Circuits and Systems*, IEEE, v. 3, n. 1, p. 53–64, 2009.
- 5 TSAI, T.-H.; HONG, J.-H.; WANG, L.-H.; LEE, S.-Y. Low-Power Analog Integrated Circuits for Wireless ECG Acquisition Systems. *IEEE Transactions on Information Technology in Biomedicine*, IEEE, v. 16, n. 5, p. 907–917, 2012.
- 6 GANGOPADHYAY, D.; ALLSTOT, E. G.; DIXON, A. M.; NATARAJAN, K.; GUPTA, S.; ALLSTOT, D. J. Compressed Sensing Analog Front-End for Bio-Sensor Applications. *IEEE Journal of Solid-State Circuits*, IEEE, v. 49, n. 2, p. 426–438, 2014.
- 7 ZHU, Z.; BAI, W. A 0.5-V 1.3- μ W Analog Front-End CMOS Circuit. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 63, n. 6, p. 523–527, 2016.
- 8 BHAMRA, H.; LYNCH, J.; WARD, M.; IRAZOQUI, P. A Noise-Power-Area Optimized Biosensing Front End for Wireless Body Sensor Nodes and Medical Implantable Devices. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, IEEE, v. 25, n. 10, p. 2917–2928, 2017.
- 9 LEE, S.-Y.; SU, M. Y.; LIANG, M.-C.; CHEN, Y.-Y.; HSIEH, C.-H.; YANG, C.-M.; LAI, H.-Y.; LIN, J.-W.; FANG, Q. A Programmable Implantable Microstimulator SoC With Wireless Telemetry: Application in Closed-Loop Endocardial Stimulation for Cardiac Pacemaker. *IEEE Transactions on Biomedical Circuits and Systems*, IEEE, v. 5, n. 6, p. 511–522, 2011.
- 10 CHIU, H.-W.; LIN, M.-L.; LIN, C.-W.; HO, I.-H.; LIN, W.-T.; FANG, P.-H.; LI, Y.-C.; WEN, Y.-R.; LU, S.-S. Pain control on demand based on pulsed radio-frequency stimulation of the dorsal root ganglion using a batteryless implantable CMOS SoC. *IEEE Transactions on Biomedical Circuits and Systems*, IEEE, v. 4, n. 6, p. 350–359, 2010.
- 11 YIP, M.; JIN, R.; NAKAJIMA, H. H.; STANKOVIC, K. M.; CHANDRAKASAN, A. P. A fully-implantable cochlear implant SoC with piezoelectric middle-ear sensor and arbitrary waveform neural stimulation. *IEEE Journal of Solid-State Circuits*, IEEE, v. 50, n. 1, p. 214–229, 2014.

- 12 BOHORQUEZ, J. L.; YIP, M.; CHANDRAKASAN, A. P.; DAWSON, J. L. A biomedical sensor interface with a sinc filter and interference cancellation. *IEEE Journal of Solid-State Circuits*, IEEE, v. 46, n. 4, p. 746–756, 2011.
- 13 CHEN, W.-M.; CHIUEH, H.; CHEN, T.-J.; HO, C.-L.; JENG, C.; KER, M.-D.; LIN, C.-Y.; HUANG, Y.-C.; CHOU, C.-W.; FAN, T.-Y. et al. A fully integrated 8-channel closed-loop neural-prosthetic CMOS SoC for real-time epileptic seizure control. *IEEE Journal of Solid-State Circuits*, IEEE, v. 49, n. 1, p. 232–247, 2013.
- 14 ZOU, X.; XU, X.; YAO, L.; LIAN, Y. A 1-V 450-nW fully integrated programmable biomedical sensor interface chip. *IEEE Journal of Solid-State Circuits*, IEEE, v. 44, n. 4, p. 1067–1077, 2009.
- 15 LEE, S.-Y.; WANG, C.-P.; CHU, Y.-S. Low-Voltage OTA–C Filter With an Area- and Power-Efficient OTA for Biosignal Sensor Applications. *IEEE Transactions on Biomedical Circuits and Systems*, IEEE, v. 13, n. 1, p. 56–67, 2019.
- 16 ARYA, R.; SOULIOTIS, G.; VLASSIS, S.; PSYCHALINOS, C. 0.5V 3rd-order Tunable g_m -C Filter. *Radioengineering*, 2013.
- 17 ARYA, R.; SOULIOTIS, G.; VLASSIS, S.; PSYCHALINOS, C. A 0.5V tunable complex filter for Bluetooth and Zigbee using OTAs. *Analog Integrated Circuits and Signal Processing*, p. 73–81, 2014.
- 18 MAHMOUD, S. A.; SOLIMAN, A. M. New CMOS fully differential difference transconductors and application to fully differential filters suitable for VLSI. *Microelectronics journal*, Elsevier, v. 30, n. 2, p. 169–192, 1999.
- 19 Kumngern, M.; Khateb, F. Fully Differential Difference Transconductance Amplifier Using FG-MOS Transistors. In: *2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*. [S.l.: s.n.], 2015. p. 337–341.
- 20 Khateb, F.; Kumngern, M.; Kulej, T.; Kledrowetz, V. Low-voltage fully differential difference transconductance amplifier. *IET Circuits, Devices Systems*, v. 12, n. 1, p. 73–81, 2018.
- 21 MELO, A. L. *Projecto de filtros integrados gm-C para aplicações sem fios*. Tese (Doutorado) — Faculdade de Ciências e Tecnologia, 2011.
- 22 MUKHOPADHYAY, R.; PARK, Y.; SEN, P.; SRIRATTANA, N.; LEE, J.; LEE, C.-H.; NUTTINCK, S.; JOSEPH, A.; CRESSLER, J. D.; LASKAR, J. Reconfigurable rfics in si-based technologies for a compact intelligent rf front-end. *IEEE Transactions on Microwave Theory and Techniques*, IEEE, v. 53, n. 1, p. 81–93, 2005.
- 23 BRONZINO, J. D. Principles of electroencephalography. *The biomedical engineering handbook*, Boca Raton, FL: CRC, v. 1, 1995.
- 24 SOLIS-BUSTOS, S.; SILVA-MARTÍNEZ, J.; MALOBERTI, F.; SÁNCHEZ-SINENCIO, E. A 60-dB dynamic-range CMOS sixth-order 2.4-Hz low-pass filter for medical applications. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, IEEE, v. 47, n. 12, p. 1391–1398, 2000.

- 25 MINCEY, J. S.; BRISENO-VIDRIOS, C.; SILVA-MARTINEZ, J.; RODENBECK, C. T. Low-Power Gm-C Filter Employing Current-Reuse Differential Difference Amplifiers. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 64, n. 6, p. 635–639, 2017.
- 26 ABBASALIZADEH, S.; SHEIKHAEI, S.; FOROUZANDEH, B. A 0.9-V supply OTA in 0.18 μm CMOS technology and its application in realizing a tunable low-pass Gm-C filter for wireless sensor networks. *Circuits and Systems*, Scientific Research Publishing, v. 4, n. 01, p. 34, 2013.
- 27 SOARES, C. F.; MORAES, G. S. de; PETRAGLIA, A. A low-transconductance OTA with improved linearity suitable for low-frequency Gm-C filters. *Microelectronics Journal*, Elsevier, v. 45, n. 11, p. 1499–1507, 2014.
- 28 KIM, D.; KIM, B.; NAM, S. A transconductor and tunable Gm-C high-pass filter linearization technique using feedforward Gm3 canceling. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 62, n. 11, p. 1058–1062, 2015.
- 29 PRASAD, N.; SRIVASTAVA, N. A.; JAISWAL, R. K.; MISHRA, R. A. Linearity enhancement of CMOS OTA for high performance applications. In: IEEE. *2018 5th Uttar Pradesh Section International Conference on Electrical, Electronics and Computer Engineering (UPCON)*. [S.l.], 2018. p. 1–6.
- 30 DUQUE-CARRILLO, J. F.; TORELLI, G.; PEREZ-ALOE, R.; VALVERDE, J. M.; MALOBERTI, F. A class of fully-differential basic building blocks based on unity-gain difference feedback. In: IEEE. *1995 IEEE International Symposium on Circuits and Systems ISCAS'95*. [S.l.], 1995. v. 3, p. 2245–2248.
- 31 ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. [S.l.]: Oxford University Press, 2002.
- 32 VALKENBURG, M. E. V. *Analog filter design*. [S.l.]: Holt, Rinehart, and Winston, 1982.
- 33 KUMARI, S.; GUPTA, S.; PANDEY, N.; PANDEY, R.; ANURAG, R. Lc-ladder filter systematic implementation by otra. *Engineering Science and Technology, an International Journal*, Elsevier, v. 19, n. 4, p. 1808–1814, 2016.
- 34 DARLINGTON, S. Synthesis of reactance 4-poles which produce prescribed insertion loss characteristics: Including special applications to filter design. *Journal of Mathematics and Physics*, Wiley Online Library, v. 18, n. 1-4, p. 257–353, 1939.
- 35 FOSTER, R. M. A reactance theorem. *Bell System technical journal*, Wiley Online Library, v. 3, n. 2, p. 259–267, 1924.
- 36 TELLEGEN, B. D. The gyrator, a new electric network element. *Philips Res. Rep*, v. 3, n. 2, p. 81–101, 1948.
- 37 RIORDAN, R. Simulated inductors using differential amplifiers. *Electronics Letters*, IET, v. 3, n. 2, p. 50–51, 1967.
- 38 UYANIK, H. U.; TARIM, N. Compact low voltage high-q cmos active inductor suitable for rf applications. *Analog integrated circuits and signal processing*, Springer, v. 51, n. 3, p. 191–194, 2007.

- 39 RAZAVI, B. *Design of analog CMOS integrated circuits*. [S.l.]: Tata McGraw-Hill Education, 2002.
- 40 SEDRA, A. S.; SEDRA, D. E. A. S.; SMITH, K. C.; SMITH, K. C. *Microelectronic circuits*. [S.l.]: New York: Oxford University Press, 1998.
- 41 VALKENBURG, M. E. V. *Reference data for engineers: radio, electronics, computers and communications*. [S.l.]: Elsevier, 2001.
- 42 LO, T.-Y.; HUNG, C.-C. Multimode G_m -C channel selection filter for mobile applications in 1-V supply voltage. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 55, n. 4, p. 314–318, 2008.
- 43 CHEN, Y.; MAK, P.-I.; ZHANG, L.; QIAN, H.; WANG, Y. A fifth-order 20-MHz transistorized- LC -ladder LPF with 58.2-dB SFDR, 68- μW /pole/MHz efficiency, and 0.13-mm² die size in 90-nm CMOS. *IEEE transactions on circuits and systems II: Express briefs*, IEEE, v. 60, n. 1, p. 11–15, 2013.
- 44 COTRIM, E. D. C.; FERREIRA, L. H. C. An ultra-low-power CMOS symmetrical OTA for low-frequency Gm-C applications. *Analog Integrated Circuits and Signal Processing*, Springer, v. 71, n. 2, p. 275–282, 2012.
- 45 SACKINGER, E.; GUGGENBUHL, W. A versatile building block: the CMOS differential difference amplifier. *IEEE Journal of Solid-State Circuits*, IEEE, v. 22, n. 2, p. 287–294, 1987.
- 46 DU, D.; ODAME, K. M. A bandwidth-adaptive preamplifier. *IEEE Journal of Solid-State Circuits*, IEEE, v. 48, n. 9, p. 2142–2153, 2013.
- 47 CZARNUL, Z.; TAKAGI, S.; FUJII, N. Common-mode feedback circuit with differential-difference amplifier. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, IEEE, v. 41, n. 3, p. 243–246, 1994.
- 48 HUANG, S.-C.; ISMAIL, M. Design of a CMOS differential difference amplifier and its applications in A/D and D/A converters. In: IEEE. *APCCAS'94 Asia-Pacific Conference on Circuits and Systems*. [S.l.], 1994. p. 478–483.
- 49 ALZAHER, H.; ISMAIL, M. A CMOS fully balanced differential difference amplifier and its applications. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, IEEE, v. 48, n. 6, p. 614–620, 2001.
- 50 KHATEB, F.; KULEJ, T. Design and implementation of a 0.3-V differential difference amplifier. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 66, n. 2, p. 513–523, 2018.
- 51 KUMNGERN, M.; KHATEB, F. Fully differential difference transconductance amplifier using FG-MOS transistors. In: IEEE. *2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*. [S.l.], 2015. p. 337–341.
- 52 KHATEB, F.; KUMNGERN, M.; KULEJ, T.; KLEDROWETZ, V. Low-voltage fully differential difference transconductance amplifier. *IET Circuits, Devices & Systems*, IET, v. 12, n. 1, p. 73–81, 2017.

- 53 BRAGA, R. A. da S. Uma topologia cmos nauta ota sem calibração em ultra-baixa tensão e ultra-baixa potência. 2018.
- 54 TSIVIDIS, Y.; MCANDREW, C. *Operation and modeling of the MOS transistor*. [S.l.]: Oxford Univ. Press, 2011.
- 55 BRAGA, R. A.; FERREIRA, L. H.; COLETTA, G. D.; DUTRA, O. O. A 0.25-V calibration-less inverter-based OTA for low-frequency Gm-C applications. *Microelectronics Journal*, Elsevier, v. 83, p. 62–72, 2019.
- 56 CHENG, Y.; HU, C. *MOSFET modeling & BSIM3 user's guide*. [S.l.]: Springer Science & Business Media, 1999.
- 57 FERREIRA, L. H. d. C. Uma referência de tensão cmos baseada na tensão threshold em ultra-baixa tensão e ultra-baixa potência. *Universidade Federal de Itajubá*, 2008.
- 58 FERREIRA, L. H. C.; SONKUSALE, S. R. A 60-dB gain OTA operating at 0.25-V power supply in 130-nm digital CMOS process. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 61, n. 6, p. 1609–1617, 2014.
- 59 CHAKRABORTY, S.; MALLIK, A.; SARKAR, C. K.; RAO, V. R. Impact of halo doping on the subthreshold performance of deep-submicrometer CMOS devices and circuits for ultralow power analog/mixed-signal applications. *IEEE Transactions on Electron Devices*, IEEE, v. 54, n. 2, p. 241–248, 2007.
- 60 CAO, K. M.; LIU, W.; JIN, X.; VASHANTH, K.; GREEN, K.; KRICK, J.; VROT-SOS, T.; HU, C. Modeling of pocket implanted mosfets for anomalous analog behavior. p. 171–174, 1999.
- 61 NAUTA, B. A CMOS transconductance-C filter technique for very high frequencies. *IEEE Journal of Solid-State Circuits*, IEEE, v. 27, n. 2, p. 142–153, 1992.
- 62 SAWIGUN, C.; THANAPITAK, S. A 0.9-nW, 101-Hz, and $46.3\text{-}\mu V_{rms}$ IRN Low-Pass Filter for ECG Acquisition Using FVF Biquads. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, IEEE, v. 26, n. 11, p. 2290–2298, 2018.
- 63 THANAPITAK, S.; SAWIGUN, C. A Subthreshold Buffer-Based Biquadratic Cell and Its Application to Biopotential Filter Design. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 65, n. 9, p. 2774–2783, 2018.
- 64 WU, J.; XIE, Z.; YU, T.; CHEN, C. A wide tuning range Gm-C complex filter with master-slave automatic frequency tuning based switched-capacitor. *Microelectronics Journal*, Elsevier, 2018.
- 65 ZHANG, T.-T.; MAK, P.-I.; VAI, M.-I.; MAK, P.-U.; LAW, M.-K.; PUN, S.-H.; WAN, F.; MARTINS, R. P. 15-nW Biopotential LPFs in 0.35- μm CMOS Using Subthreshold-Source-Follower Biquads With and Without Gain Compensation. *IEEE Transactions on Biomedical Circuits and Systems*, IEEE, v. 7, n. 5, p. 690–702, 2013.
- 66 UNNIKRISHNAN, V.; VESTERBACKA, M. Mixed-signal design using digital cad. In: IEEE. *2016 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*. [S.l.], 2016. p. 6–11.

-
- 67 UNNIKRISHNAN, V.; VESTERBACKA, M. Time-mode analog-to-digital conversion using standard cells. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 61, n. 12, p. 3348–3357, 2014.
- 68 CROVETTI, P. S. A digital-based analog differential circuit. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 60, n. 12, p. 3107–3116, 2013.
- 69 WEAVER, S.; HERSHBERG, B.; MOON, U.-K. Digitally synthesized stochastic flash adc using only standard digital cells. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 61, n. 1, p. 84–91, 2013.
- 70 IONESCU, A. M.; RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches. *Nature*, Nature Publishing Group, v. 479, n. 7373, p. 329–337, 2011.
- 71 APPENZELLER, J.; LIN, Y.-M.; KNOCH, J.; AVOURIS, P. Band-to-band tunneling in carbon nanotube field-effect transistors. *Physical review letters*, APS, v. 93, n. 19, p. 196805, 2004.
- 72 TAUR, Y.; WU, J.; MIN, J. An analytic model for heterojunction tunnel fets with exponential barrier. *IEEE Transactions on Electron Devices*, IEEE, v. 62, n. 5, p. 1399–1404, 2015.