TESE
64

RAL DE ENGENHARIA DE ITA

ESCOLA FEDERAL DE ENGENHARIA
BIBLIOTECA
Itajubá

MEMÓRIAS INTERNAS NOS COMPUTADORES DIGITAIS
ESTUDO E ANÁLISE COMPARATIVA

José Maria da Silva Souza

1 9 7 4

ESCOLA FEDERAL - ENGENHARIA
BIBLIOTECA
Itajubá

MEMÓRIAS INTERNAS NOS COMPUTADORES DIGITAIS

ESTUDO E ANÁLISE COMPARATIVA

Class. Tese 74
Cutt. S 729m
Tombo 64
681.3.07; 681.322.001.8(043.2)

Trabalho de Tese apresentado à Comissão Julgadora do Concurso de Livre Docência, na área de Eletrônica Digital, na Escola Federal de Engenharia de Itajubá - EFEI - Minas Gerais - Novembro de 1974.

José Maria da Silva Souza

Escola Federal de Engenharia de Itajubá - EFEI
Minas Gerais

À minha esposa *Terezinha*

Aos meus filhos:

Maria Inês

Maria Lúcia

Marta

José Maria

Ana Paula

Marcos

Ao Departamento de Eletricidade da Escola Federal de Engenharia de Itajubá - EFEI.

Aos dedicados funcionários:

Sonia M. Azevedo Faria - Datilógrafa

Anchieta B.N.Guimarães - Desenhista

Meu sempre renovado culto de agradecimentos.

CONTEÚDO PRINCIPAL

OBJETIVO i

1 - INTRODUÇÃO 1

1.1 - Cérebro Eletrônico e Cérebro Humano 1

1.2 - Memórias num Computador Digital 2

2 - CONCEITOS E DISPOSITIVOS LÓGICOS BÁSICOS 6

2.1 - Função "E" 6

2.2 - Função "OU" 6

2.3 - Função "NÃO" 7

2.4 - Função "NÃO E" 7

2.5 - Função "NÃO OU" 8

2.6 - Função "OU Exclusivo" 8

2.7 - Circuitos de Memória 10

2.7.1 - Flip-Flop Assíncrono - RS 10

2.7.2 - Flip-Flop Síncrono 13

Flip-Flop RS - Síncrono 16

2.7.3 - Flip-Flop - D 17

2.8 - Chave Comutadora Eletrônica de Multiposições 18

3 - DISPOSITIVOS DE ARMAZENAGEM 21

3.1 - Generalidades 21

3.2 - Memória RAM com Núcleo Magnético 25

3.2.1 - Armazenagem de Informações em Núcleos Magnéticos 31

3.2.2 - Memórias Magnéticas - 2D 32

3.2.3 - Memórias Magnéticas - 3D 37

3.2.4 - Memórias Magnéticas 2 1/2D 51

3.2.5 - Memórias de Filme Magnético 55

3.2.6 - Características de Memórias de Núcleos Magnéticos 62

3.2.7 - Operação de u'a Memória de Acesso Aleatório 65

3.2.8 - Memórias RAM com Semicondutores 66

3.2.9 - As Memórias e os Computadores Digitais 73

3.3 - Memórias Somente para Leitura (ROM) 75

CONCLUSÕES 81

OBJETIVO

Tendo em vista a importância, cada vez mais crescente, que os Computadores Digitais vem desempenhando em todos os setores da vida humana é dispensável ressaltar quão grande é o valor do estudo que ele suscita, em todos os seus aspectos, a qualquer estudioso da fascinante área da Eletrônica Digital, da qual faz parte integrante.

No estudo dos Computadores Digitais, dedicamos interesse especial ao comportamento do seu componente mais importante e, por isto mesmo, considerado o dispositivo central dos computadores, que são as *Memórias*.

A importância das *Memórias* é tão grande que o valor de um computador é medido, geralmente, com base nas características dessas *Memórias*.

Conforme veremos na Introdução deste trabalho, existem vários tipos de *Memórias* que são classificadas segundo suas diversas características. Entretanto, limitamo-nos, neste trabalho, à análise das chamadas *Memórias Internas* de um Computador Digital ou *Memórias de Alta Velocidade*.

No último ítem do terceiro capítulo deste trabalho, vamos encontrar algumas considerações sobre um tipo de memória chamada de ROM, isto é, *Memória Somente para Leitura*, que, embora não sendo uma memória interna, achamos de interesse sua inclusão neste estudo, tendo em vista sua importância como Comutador de Multiposições empregado na seleção de "palavras" armazenadas nas *Memórias Internas*, além de outras aplicações.

Em suma: este trabalho objetiva o *Estudo e Análise Comparativa das Memórias Internas* mais empregadas.

No Capítulo 1, faremos uma comparação entre o *Cérebro Eletrônico* e o *Cérebro Humano*, bem como, abordamos os diversos tipos de

Memórias existentes.

No Capítulo 2, evidenciamos os conceitos principais relacionados com as *Funções* e *Circuitos Lógicos* que serão empregados no desenvolvimento do Capítulo 3.

No Capítulo 3, analisamos as *Memórias Internas* de *Acesso Aleatório*, tanto magnéticas quanto a semicondutores, estudando seus funcionamentos e suas ligações com a Unidade Central de Processamento (CPU) de um Computador Digital. Concomitantemente ao estudo do funcionamento, procuramos estabelecer os termos de comparação entre as memórias estudadas visando aquilatar a preponderância de uma sobre as outras.

Finalmente, apresentamos nossas Conclusões ressaltando a importância do compromisso que deve existir entre as características *tempo de acesso* e *custo por bit* das memórias.

Novembro - 1974

José Maria da Silva Souza

1
INTRODUÇÃO

1.1
O CÉREBRO ELETRÔNICO E O CÉREBRO HUMANO

As funções essenciais de um "*cérebro*", quer seja de um ser humano, quer seja do chamado "*cérebro eletrônico*", que está sendo largamente usado em computadores e sistemas de controle automático,etc., são as seguintes:

a. Recepção da informação
b. Memorização, isto é, armazenamento dessa informação
c. Habilidade de revocar ou chamar de volta a informação armazenada, quando desejada
d. Iniciação de uma ação apropriada baseada em ítens selecionados da informação armazenada, como resposta a um estímulo conveniente.

As principais diferenças entre um cérebro humano e um cérebro eletrônico - artificial - estão na maneira como a informação é aplicada, armazenada, revocada e utilizada.

No cérebro humano, a informação é recebida através dos sentidos: visão, audição, tato, olfato e paladar. O cérebro eletrônico, contudo, recebe informação somente sob a forma de pulsos elétricos que não têm significados em si mesmos, porém, possuem significado específico quando usados de acordo com um código apropriado. Esta codificação, certamente, deve ser realizada com a mediação humana, por meio mecânico, por meio elétrico ou pela combinação destes. Como alguns exemplos dessas mediações, citamos: sistemas de cartão perfurado, dispositivos fotosensíveis e dispositivos termosensíveis.

O mecanismo de informação armazenada num cérebro humano não é, precisamente, conhecido, porém, admite-se que é parcial ou totalmente eletroquímico. No cérebro eletrônico a informação é, usualmente, armazenada sob a forma de diferentes condições de magnetização ou de eletrização em um determinado número de elementos de memória

A revocação de impressões prévias ou informações armazenadas, no caso do cérebro humano, é realizada por um simples ato da vontade, ou da imaginação, ou pela percepção de alguma impressão similar ou relacionada. Assim, por exemplo, um fato particular, ocorrido hoje, pode rememorar um filme espetacular que tenha sido assisti

do tempos atrás. No caso do cérebro eletrônico, contudo, a revocação da informação armazenada pode ocorrer, somente, sob a ação de ulteriores pulsos codificados, onde se registra ainda a mediação humana.

O início da ação, no caso do cérebro humano, pode ser, ainda, um ato da vontade, um ato semi-automático - como é o caso da sensação de queimadura que conduz a gente a afastar a mão do cabo de uma vasilha quente - ou um ato totalmente automático - como são os casos das funções vegetativas: batidas do coração, digestão dos alimentos ingeridos, etc. Com os cérebros eletrônicos, contudo, o início da ação ocorre somente como resultado da aplicação de um sinal especialmente codificado.

É claro que as potencialidades do cérebro eletrônico, em vários aspectos, são sujeitos a severas limitações em comparação com as potencialidades do cérebro humano. Em particular, um cérebro eletrônico não possui o poder da vontade, nenhuma imaginação, nenhum sentimento, ou nenhum poder discricionário. Portanto, a ação de um dado sinal codificado resultará sempre no armazenamento da mesma informação, ou na revocação e utilização da mesma seleção do material armazenado. Ademais, a menos que alguma falha ocorra no sistema elétrico, um cérebro eletrônico não pode cometer erros devido a cálculos incorretos ou falha de julgamento.

As limitações de um cérebro eletrônico provêm, principalmente, do fato de lidar somente com números enquanto que o cérebro humano trata com impressões , sensações, emoções, ideias e fatos. Certamente, o cérebro humano pode tratar também com números, mas, não exclusivamente com números.

1.2
MEMÓRIAS NUM COMPUTADOR DIGITAL

Uma das funções mais básicas que são desempenhadas por um computador digital é a *armazenagem de informação*. E a armazenagem de informação é executada num dispositivo chamado *memória*. A importância de uma memória num computador digital é de tal ordem que não hesitamos em dizer que o aumento da velocidade de operação dos computadores está na razão direta do desenvolvimento dos sistemas de memória. Quando analisamos um computador de grande porte, encontramos vários tipos de memórias localizadas em diferentes estágios do computador. A *memória básica* para um computador é constituida de *registros de operação* que compreendem os dispositivos de armazena-

gem destinados a controle e operações aritméticas do computador. As operações de adição, multiplicação, deslocamento, etc., e o processamento de informações são desempenhados com base nos registros de operação.

Outro tipo de memória, caracterizada pela alta velocidade na operação de armazenagem, é a chamada *memória interna* que consiste de um conjunto de registros de armazenagem, sendo cada um dos quais identificados por um *endereço* que orienta uma unidade de controle no comando da *operação escrever* num registro particular ou da *operação ler* nesse registro. Dissemos que esta memória é caracterizada pela alta velocidade de operação porque a maior parte das transferências de informações, em ambos os sentidos, do estágio de processamento de informações é realizada por meio da memória interna. É por isto que, para a composição das memórias internas são escolhidos, geralmente, os dispositivos de armazenagem com alta velocidade de operação. Infelizmente, os dispositivos de armazenagem, de que dispomos atualmente, e que operam com alta velocidade, não possuem a alta capacidade de armazenagem com que são usualmente solicitados. Disto resulta a necessidade de u'a memória adicional que chamamos de *memória auxiliar* encontrada na maior parte dos grandes computadores. A memória auxiliar é caracterizada pelo baixo custo de cada dígito armazenado, no entanto, sua velocidade de operação é muitíssimo mais baixa do que a velocidade dos registros de operação e da memória interna.

Os dispositivos de armazenagem que se encontram nos estágios mais externos de um computador fazem parte dos *dispositivos de entrada e de saida* os quais são usados para introduzir informações no computador e armazenar os resultados da operação do computador, que devem estar disponíveis ao usuário. Os dispositivos de armazenagem, na entrada, são representados, geralmente, por cartões perfurador ou fitas de papel perfuradas, e, na saida, são, geralmente, representados por caracteres impressos. Embora que, nas memórias encontradas nos estágios de entrada e saida do computador, o custo por bit de armazenagem é muito baixo, as velocidades de operação das fitas, das leitoras de cartões e impressoras, etc, podem atingir um milésimo da velocidade de operação dos registros.

Seria, também, útil estabelecer uma comparação entre as memórias acima citadas através das características mencionadas. A mais alta velocidade de operação, por exemplo, é atingida pelos registros de operação. Estes registros devem, geralmente, operar com

velocidades muito maiores do que a da memória interna. A memória interna, também, requer altas velocidades de operação, porém, são, também, solicitadas para alta capacidade de armazenagem de informações (10^6 a 10^7 bits), razão pela qual deve haver um termo de compromisso entre o custo por bit de armazenagem e a velocidade de operação. Este mesmo compromisso deve, também, existir no caso das memórias auxiliares. No caso dos grandes computadores as memórias auxiliares podem ser solicitadas a armazenar de 10^9 a 10^{12} dígitos binários e, nestas circunstâncias, seria altamente dispendioso o uso das mesmas como memória interna que exige, também, alta velocidade de operação.

Um fator importante a se considerar na análise da velocidade de operação é que, antes da leitura de uma *palavra* numa memória, é necessário que ela seja localizada no seu *endereço*. O tempo requerido para localizar e ler uma palavra na memória chama-se *tempo de acesso*.

O processo de localizar uma informação na memória pode ser dividido, essencialmente, em duas classes principais: *acesso aleatório* originando as memórias de acesso aleatório (RAM) e *acesso sequencial* originando as memórias de acesso sequencial (SM). Na memória de acesso aleatório a localização da palavra é feita diretamente de tal modo que o *tempo de acesso* é, aproximadamente, igual para a localização de qualquer palavra. Como exemplo desse tipo de memórias encontramos as memórias de núcleo magnético e os registros constituídos de flip-flops. Na memória de acesso sequencial a localização da palavra pode ser precedida pela passagem através de outras informações não desejadas, de tal modo que o tempo de acesso varia de acordo com a localização da palavra requerida. A fita magnética é um tipo dessas memórias, pois, se desejarmos *ler* uma palavra armazenada numa fita magnética e essa palavra se encontre na porção central do carretel, enquanto que a última palavra foi lida no início do carretel, é necessário percorrer, sequencialmente, todas as palavras intermediárias até alcançar aquela que foi selecionada.

Quanto ao processo de localização de uma informação existe, ainda, um outro tipo de memória chamado de *memória de acesso semi-aleatório* (SRAM), como são os casos das memórias de disco e de tambor. A denominação de *semi-aleatória* prende-se ao fato de que o tempo de acesso à palavra selecionada não é totalmente, mas, parcialmente, dependente da localização da palavra selecionada. Tratam-se de memórias de alta capacidade de armazenagem com baixo custo em relação

às memórias RAM.

Os dispositivos de armazenagem são também classificados segundo o movimento a que estão sujeitos durante a operação. É assim que existem as *memórias estáticas*, nas quais a informação não muda de posição, como são os casos dos registros de núcleo magnético, registro de flip-flops, fitas e cartões perfurados; e as *memórias dinâmicas*, nas quais a informação armazenada está, continuamente, mudando de posição, como são, por exemplo, as memórias de tambor magnético e de disco magnético.

CONCEITOS E DISPOSITIVOS LÓGICOS BÁSICOS

Considerando que a análise dos dispositivos de armazenagem dos computadores digitais, que faremos no capítulo seguinte, envolve tanto as funções lógicas quanto os dispositivos de armazenagem cuja composição é baseada nessas funções lógicas, é que achamos por bem lembrar, neste presente capítulo, os conceitos que as caracterizam para melhor visualização dos diagramas lógicos que aparecerão no próximo capítulo.

2.1 FUNÇÕES "E" (AND)

A função lógica "E" tem as seguintes características:

a) A expressão matemática é S = A.B

b) A função S assume o estado "1" somente quanto todas as variáveis assumirem, simultaneamente, o estado "1".

c) A função S assume o estado "0" quando, pelo menos, uma das variáveis assumir o estado "0".

A Fig. 2.1 mostra o símbolo do circuito lógico "E" que desempenha a função "E" com lógica positiva. E a Tabela 1 representa a tabela verdadeira de tensão e de lógica positiva. Observamos que para efeito de simplicidade usaremos somente duas variáveis, no decorrer deste capítulo, as quais podem assumir os níveis de tensão *N* correspondente ao estado lógico "0" e *P* correspondente ao estado lógico "1", conforme a definição de lógica positiva.

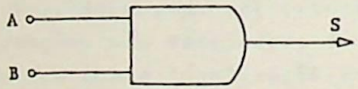


Fig. 2.1 - Circuito lógico "E"

Tabela 1 - Tabela Verdadeira

Tensão			Lógica Positiva		
A	B	S=A.B	A	B	S=A.B
N	N	N	0	0	0
N	P	N	0	1	0
P	N	N	1	0	0
P	P	P	1	1	1

2.2 FUNÇÃO "OU" (OR)

A função lógica "OU" tem as seguintes características:

a) A expressão matemática é S = A+B

b) A função S assume o estado "1" quando, pelo menos, uma das variáveis assumir o estado lógico "1"

c) A função S assume o estado "0" somente quando todas as variáveis assumirem, simultaneamente, o estado "0".

A Fig. 2.2 mostra o símbolo do circuito lógico "OU" que desempenha a função lógica "OU" com lógica positiva e a Tabela 2 representa a tabela verdadeira de tensão e de lógica positiva.

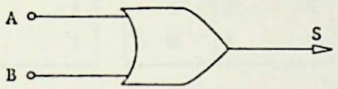


Fig. 2.2 - Circuito lógico "OU"

Tabela 2 - Tabela Verdadeira

Tensão

A	B	S=A+B
N	N	N
N	P	P
P	N	P
P	P	P

Lógica Positiva

A	B	S=A+B
0	0	0
0	1	1
1	0	1
1	1	1

2.3
FUNÇÃO "NÃO" (NOT) - INVERSORA OU COMPLEMENTO

A função lógica "NÃO" tem as seguintes características:

a) A expressão matemática é $S = \overline{A}$.

b) A função S assume o estado "1" somente quando a variável assumir o estado "0".

c) A função S assume o estado "0" somente quando a variável assumir o estado "1".

A Fig. 2.3 mostra o símbolo do circuito lógico "NÃO" que desempenha a função lógica "NÃO" com lógica positiva e a Tabela 3 representa a tabela verdadeira de tensão e de lógica positiva.

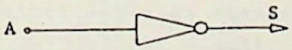


Fig. 2.3 - Circuito lógico "NÃO"

Tabela 3 - Tabela Verdadeira

Tensão

A	$S=\overline{A}$
N	P
P	N

Lógica Positiva

A	$S=\overline{A}$
0	1
1	0

2.4
FUNÇÃO "NÃO E" (NAND)

A função "NÃO E" tem as seguintes características:

a) A expressão matemática é $S = \overline{A.B}$

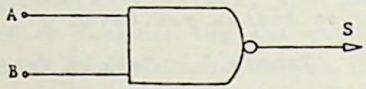
b) A função S assume o estado "1" quando, pelo menos, uma das variáveis assumir o estado "0".

c) A função S assume o estado "0" somente quando todas as variáveis assumirem o estado "1".

A Fig. 2.4 mostra o símbolo do circuito lógico "NÃO E" que de-

sempenha a função lógica "NÃO E" com lógica positiva e a Tabela 4 representa a tabela verdadeira de tensão e de lógica positiva.

Tabela 4 - Tabela Verdadeira



Tensão		
A	B	$S=\overline{A.B}$
N	N	P
N	P	P
P	N	P
P	P	N

Lógica Positiva		
A	B	$S=\overline{A.B}$
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 2.4 - Circuito lógico "NÃO E"

2.5

FUNÇÃO "NÃO OU" (NOR)

A função "NÃO OU" tem as seguintes características:

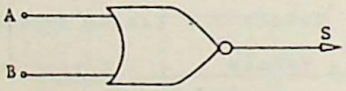
a) A expressão matemática é $S = \overline{A+B}$.

b) A função S assume o estado "1" somente quando todas as variáveis assumirem o estado "0".

c) A função S assume o estado "0" quando, pelo menos, uma das variáveis assumir o estado "1".

A Fig. 2.5 mostra o símbolo do circuito lógico "NÃO OU" que desempenha a função "NÃO OU" com lógica positiva, e a Tabela 5 representa a tabela verdadeira de tensão e de lógica positiva.

Tabela 5 - Tabela Verdadeira



Tensão		
A	B	$S=\overline{A+B}$
N	N	P
N	P	N
P	N	N
P	P	N

Lógica Positiva		
A	B	$S=\overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 2.5 - Circuito lógico "NÃO OU"

2.6

FUNÇÃO "OU EXCLUSIVO"

A função "OU", estudada no ítem 2.2, é aquela para a qual o estado verdadeiro, isto é, o estado lógico "1" de saida ocorre desde que, pelo menos, uma das variáveis de entrada assuma o estado "1". Neste caso referimo-nos à função "OU Inclusivo", isto é, $S = A+B$, para o caso de duas variáveis. Há outra função lógica "OU", para a qual o estado lógico "1" ocorre quando somente uma das variáveis as

sumir o estado "1". Portanto, não existe estado "1" de saida quando as variáveis forem "0" ou "1", simultaneamente. Neste caso, referimo-nos à função "OU Exclusivo" representada pela expressão $S = A \oplus B$.

A Fig. 2.6 mostra o circuito lógico "OU Exclusivo" que é constituido de um circuito "OU", um circuito "E" e um circuito "E Inibidor", compondo um circuito lógico de vários níveis.

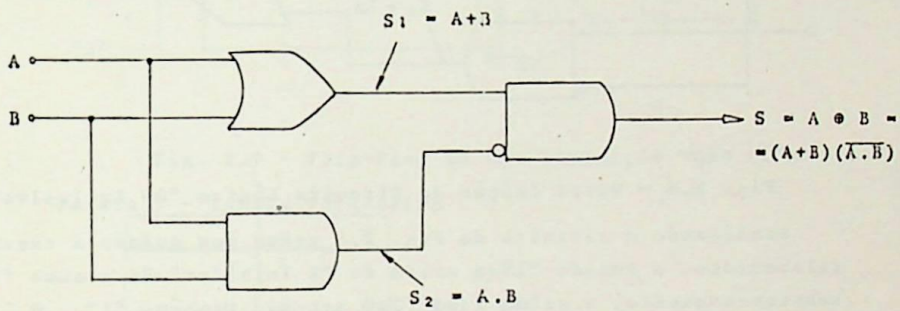


Fig. 2.6 - Circuito lógico "OU Exclusivo".

A função S só assume o estado "1" quando não houver ação do "E Inibidor", isto é, quando não houver simultaneidade do estado "1" em A e B. Portanto, se somente a entrada A assumir "1" a saida de "OU" assume "1", a saida de "E" não assume "1", do que resulta a saida do "E Inibidor" assumir "1". Este mesmo resultado pode ser obtido com a aplicação da entrada B, isoladamente. Havendo, contudo, coincidência do estado "1" em A e B, registramos estado "1" na saida de "OU" ($S_1 = A+B$), estado "1" na saida de "E" ($S_2 = A.B$), entretanto, registramos estado "0" na saida do "E Inibidor". Consequentemente, a expressão lógica de S na saida deverá ser $(A+B)\overline{A.B} = S$.

A tabela verdadeira do circuito "OU Exclusivo" pode ser construida da maneira encontrada na Tabela 6.

Tabela 6 - Tabela Verdadeira

A	B	S=A ⊕ B
0	0	0
0	1	1
1	0	1
1	1	0

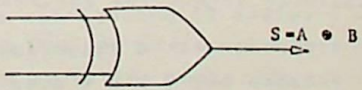


Fig. 2.7 - Circuito lógico "OU Exclusivo" (símbolo simplificado)

A Fig. 2.7 representa o símbolo simplificado do circuito "OU Exclusivo", enquanto que a Fig. 2.8 mostra um outro símbolo que pode ser usado para a função "OU Exclusivo".

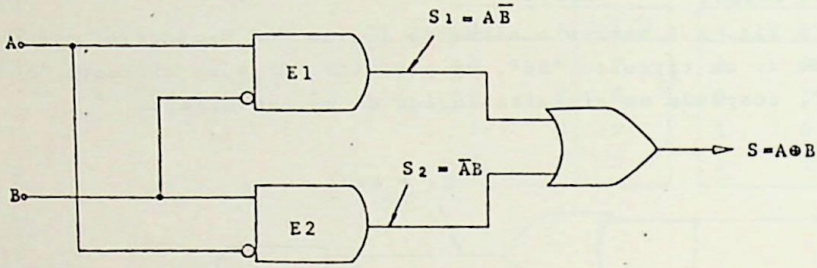


Fig. 2.8 - Outra feição do Circuito Lógico "OU Exclusivo".

Analisando o circuito da Fig. 2.8 vemos que quando A assumir, isoladamente, o estado "1" a saida do "E Inibidor" E1 assume "1", e, consequentemente, a saida S do "OU" assume, também, "1". O mesmo resultado ocorre quando "B" assumir o estado "1", isoladamente. Havendo simultaneidade do estado "1" em A e B as saidas dos "E Inibidor" assumem estado "0" e, consequentemente, S=0. Portanto, a expressão lógica de S será

$$S = A\overline{B} + \overline{A}B = (A+B)(\overline{A}+\overline{B}) = (A+B)\overline{A.B}$$

2.7
CIRCUITOS DE MEMÓRIA

2.7.1
Multivibradores Biestáveis (Flip-Flops) Assíncronos

Os dispositivos, usualmente, empregados para armazenagem de informação são constituidos dos circuitos lógicos existentes. Esses dispositivos são chamados de Multivibradores Biestáveis, ou, mais correntemente, de flip-flops. A Fig. 2.9 mostra um flip-flop com a aplicação de dois circuitos lógicos "NÃO OU". As ligações com acoplamentos cruzados da saida de um dos circuitos à entrada do outro constitui um elo de realimentação. Por esta razão é que esses circuitos flip-flops são classificados como *circuitos sequenciais assíncronos*. O flip-flop da Fig. 2.9 apresenta duas saidas identificadas por Q e $\overline{Q}$ e duas entradas identificadas por S (Set) e R (Reset = Clear). Este tipo de flip-flop é comumente chamado de Flip-Flop RS ou, abreviadamente, FF-RS.

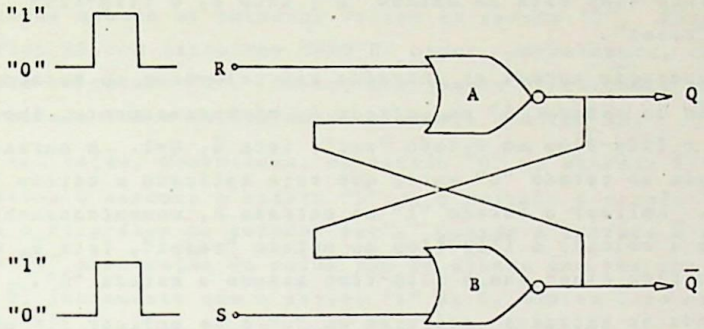


Fig. 2.9 - Flip-Flop RS com circuitos "NÃO OU".

Tabela 7 - Tabela Verdadeira

S	R	Q	$\overline{Q}$	
1	0	1	0	Após
0	0	1	0	{S=1; R=0
0	1	0	1	Após
0	0	0	1	{S=0; R=1
1	1	0	0	

A Tabela 7 retrata o comportamento do circuito em face dos elos de realimentação.

Para análise do circuito devemos lembrar das características da função "NÃO OU" e admitir que, inicialmente, S=1 e R=0. Sendo S=1, $\overline{Q}$ deve ser "0", do que resulta que ambas as entradas de A são "0". Logo, Q=1. Quando S volta a "0" as saidas não se alteram por - que a saida Q está em "1", mantendo, assim, uma entrada de B em "1" e, consequentemente, $\overline{Q}$=0 e Q=1.

Pode-se mostrar, semelhantemente, que, para R=1 e S=0, Q torna-se "0" e $\overline{Q}$ torna-se "1". Quando R volta ao estado "0", as saidas permanecem inalteradas.

Aplicando-se "1", simultaneamente, em ambas as entradas, as saidas assumem estado "0", cuja condição deve ser evitada na prática.

Os flip-flops FF-RS têm dois estados lógicos úteis, a saber:

a) Quando Q=1 e $\overline{Q}$=0, que corresponde ao estado conhecido com o nome de "Set", em cuja situação dizemos que a saida do flip-flop está no estado "1", isto é, o flip-flop está "set".

b) Quando Q=0 e $\overline{Q}$=1, que corresponde ao estado conhecido com o

nome de "Reset", em cuja situação dizemos que a saida do flip-flop está no estado "0", isto é, o flip-flop está "reset".

Em operação normal as entradas são colocadas no estado "0". A aplicação do estado "1" na entrada S, momentaneamente, implica em colocar o flip-flop no estado "set", isto é, Q=1. A entrada S deve ser levada ao estado "0" antes que seja aplicado o estado "1" na entrada R. Aplicar o estado "1" na entrada R, momentaneamente, corresponde a colocar o flip-flop no estado "reset", isto é, Q=0, o que significa dizer que o flip-flop assume o estado "0".

Quando as entradas estiverem em "0" e se aplicar "1" na entrada S enquanto o flip-flop estiver no estado "set", os estados das saidas Q e $\overline{Q}$ permanecem inalterados. Quando aplicarmos "1", simultaneamente, nas entradas R e S, as saidas Q e $\overline{Q}$ assumem estado "0", cujo estado é indefinido e deve ser evitado. Se ambas as entradas vão a "0" o estado do flip-flop é indeterminado, dependendo da entrada que permanecer no estado "1" por mais tempo antes da sua comutação para o estado "0".

Uma outra forma de se obter o FF-RS é usando circuitos lógicos "NÃO E", conforme se vê na Fig. 2.10, cuja operação é semelhante à

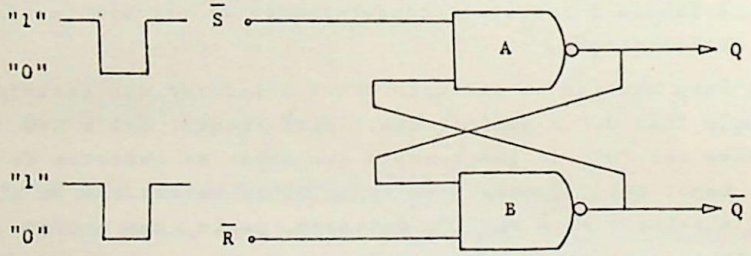


Fig. 2.10 - Flip-Flop RS com circuitos "NÃO E"

Tabela 8 - Tabela Verdadeira

$\overline{S}$	$\overline{R}$	Q	$\overline{Q}$	
1	0	0	1	Após
1	1	0	1	$\{\overline{S}=1;\ \overline{R}=0$
0	1	1	0	Após
1	1	1	0	$\{\overline{S}=0;\ \overline{R}=1$
0	0	1	1	

da porta "NÃO OU", excetuando-se o fato que as saídas mantêm-se inalteradas quando as entradas voltam ao estado "1". Portanto, o flip-flop RS com circuitos "NÃO E" opera, normalmente, com ambas as entradas no estado "1". Assim, designamos as entradas com $\overline{S}$ e $\overline{R}$ de conformidade com a definição do elemento binário RS.

A aplicação, momentânea, do estado "0" na entrada $\overline{S}$("set"), causa a saída Q assumir o estado "1" e, $\overline{Q}$ assumir o estado "0", o que coloca o flip-flop no estado "set". Quando a entrada $\overline{S}$ voltar ao estado "1" a situação da saída não se altera uma vez que o estado "0" de $\overline{Q}$, juntamente com o estado "1" de $\overline{S}$, mantem Q no estado "1", isto é, Q no estado "set", na saída do circuito A.

Aplicar, momentaneamente, o estado "0" na entrada $\overline{R}$ corresponde a gerar uma transição na saída $\overline{Q}$, do circuito B, que passa a assumir o estado "1", e, pela análise, a saída Q passa a assumir o estado "0", o que significa dizer que o flip-flop está no estado "reset". Se ambas as entradas forem colocadas no estado "0", ambas as saídas assumirão o estado "1", condição que deve ser evitada na operação normal do flip-flop.

2.7.2

Multivibradores Biestáveis (Flip-Flops) Síncronos

Todos os circuitos lógicos digitais possuem tempo finito de resposta, isto é, o tempo requerido para a saída responder às variações ocorridas na entrada. Isto quer dizer que a resposta não é instantânea. A esse intervalo de tempo entre a aplicação do sinal na entrada e a resposta na saída chama-se *atrazo de propagação do sinal* através do circuito.

Podemos dar uma ideia desse atrazo de propagação lançando mão de um circuito lógico "NÃO" (Inversor) usando um transistor NPN com emissor comum conforme a Fig. 2.11a. A base do inversor é excitado por um pulso positivo conforme a Fig. 2.11b, com amplitude tal que seja capaz de comutar o transistor do ponto de operação no corte ao ponto de operação na saturação e vice-versa. Dentre os fatores responsáveis pela resposta do circuito, mostrada na Fig. 2.11c, citaremos, apenas alguns: a) Partindo da base do pulso de entrada encontramos um tempo de atrazo t_a, até antes da corrente do coletor começar a crescer. Este atrazo é proveniente, especialmente, do efeito do capacitor base-emissor (C_{be}) parasita do transistor, conforme se pode ver na Fig. 2.11a. O capacitor C_{be} deve ser carregado a um potencial positivo antes do transistor começar a conduzir; b) Após à condução do transistor existe um tempo de subida t_s do

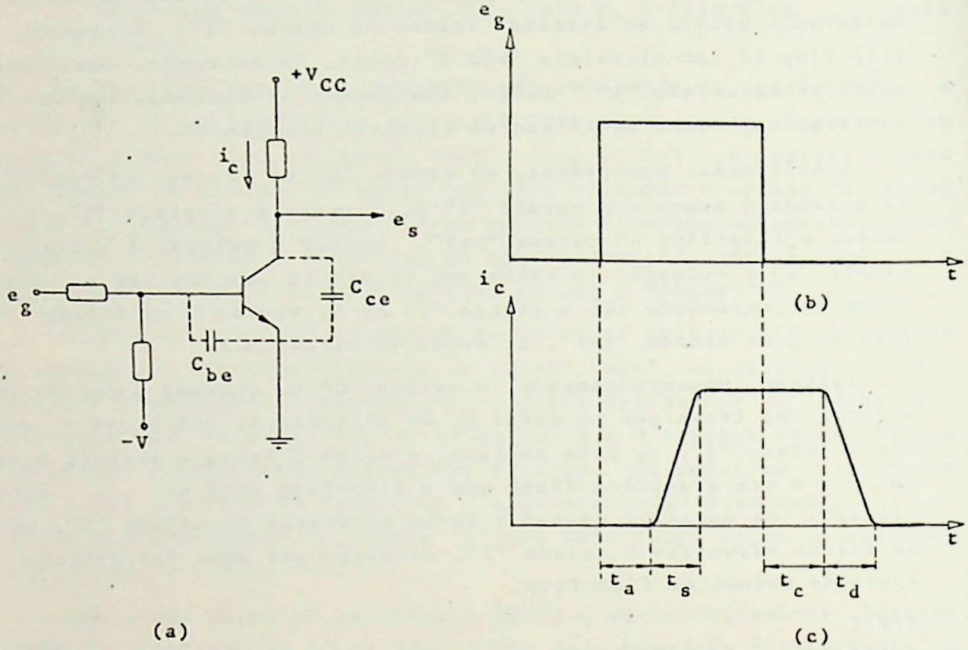


Fig. 2.11 - a) Circuito lógico "NÃO"
b) Pulso de tensão e_g na base (entrada)
c) Pulso de corrente i_c no coletor(saida)

lso de corrente dependendo, principalmente, do capacitor cole- -emissor (C_{ce}) parasita do transistor; c) Na descida do pulso de ão da base, há outro atrazo t_c na corrente do coletor no início escida do pulso, cujo atrazo é devido tanto ao capacitor parasi C_{be} quanto à retenção da carga na base do transistor durante a turação. Sabe-se que o atrazo devido ao efeito de retenção é muito mais longo do que o atrazo t_a; d) finalmente, registramos um tempo finito t_d de atrazo na descida do pulso de corrente, devido, também, ao capacitor C_{ce}.

Há muitas técnicas destinadas a acelerar a resposta dos circuitos a transistor. Basta, no entanto, mencionar que é possível tornar bastante desprezível os tempos de subida (t_s) e de descida (t_d) dos pulsos de corrente na saida, em comparação aos atrazos t_a e t_c, de tal sorte que é apropriado caracterizar o inversor transistorizado como sendo, simplesmente, um elemento de atrazo no circuito, para efeito do projeto de sistemas, com um tempo de atrazo igual a $t_c + t_d$, considerando o caso mais desfavorável. Os atrazos nos

circuitos "NÃO E" e "NÃO OU" são muito semelhantes ao estudado nos inversores.

Esses atrazos nas respostas comprometem a velocidade de operação dos computadores e tornam imprevisíveis as respostas dos circuitos dos quais fazem parte. Essa limitação exige pesquisas, cada vez mais crescentes, no sentido de se projetar circuitos lógicos com maior rapidez nas respostas.

Quando esses circuitos participam da composição dos flip-flops o controle destes torna-se bastante crítico. Assim, é comum, na prática, o uso de *pulsos de sincronismo*, chamados de pulsos "clock", para controlar o estado "set" dos flip-flops nos sistemas de computadores.

Para a aplicação desses pulsos "clock" (PS) nos flip-flops RS, estudados no ítem 2.7.1, devemos introduzir, nas entradas dos mesmos, circuitos lógicos "E", e compor o diagrama conforme a Fig. 2.12a de modo que a resposta na saida do flip-flop à aplicação do sinal na entrada só ocorra durante a ação do pulso de sincronismo (PS). Este flip-flop sincronizado é composto, fundamentalmente, de um flip-flop FF-RS básico com circuitos lógicos "NÃO OU", juntamente com dois circuitos lógicos "E" incluidos na entrada.

As saidas dos circuitos "E" permanecem no estado "0" enquanto o pulso de sincronismo (PS) estiver no estado "0" quaisquer que sejam as entradas R e S. Quando o PS for "1" as informações chegadas em R e S podem atingir as entradas do FF-RS básico. O estado "set" é conseguido com as entradas S=1, R=0 e PS=1, o que implica na saida Q assumir o estado "1", isto é, Q=1. Para que o flip-flop assuma o estado "reset" as entradas devem ser S=0, R=1 e PS=1, em cuja situação a saida Q assume o estado "0", isto é, Q=0. Na condição em que as entradas forem S=1 e R=1, simultaneamente à ação de PS=1, as saidas Q e $\overline{Q}$ assumirão o estado "0", momentaneamente. Quando PS voltar a "0" o estado do flip-flop fica indeterminado, isto é, pode ocorrer qualquer estado na saida dependendo somente de qual das entradas "set" ou "reset" do flip-flop básico permanecer, por mais tempo, no estado "1" antes de comutar para "0" no final do pulso de sincronismo PS.

As Fig. 2.12b e 2.12c mostram duas opções para representação simbólica do flip-flop RS sincronizado. A Fig. 2.12d apresenta o Mapa de Karnaugh que nos permite expressar a função $Q_{(t+1)}$, prevista na tabela verdadeira da Tabela 9. Nesta tabela verdadeira a variável Q representa o estado de saida do flip-flop num tempo determinado

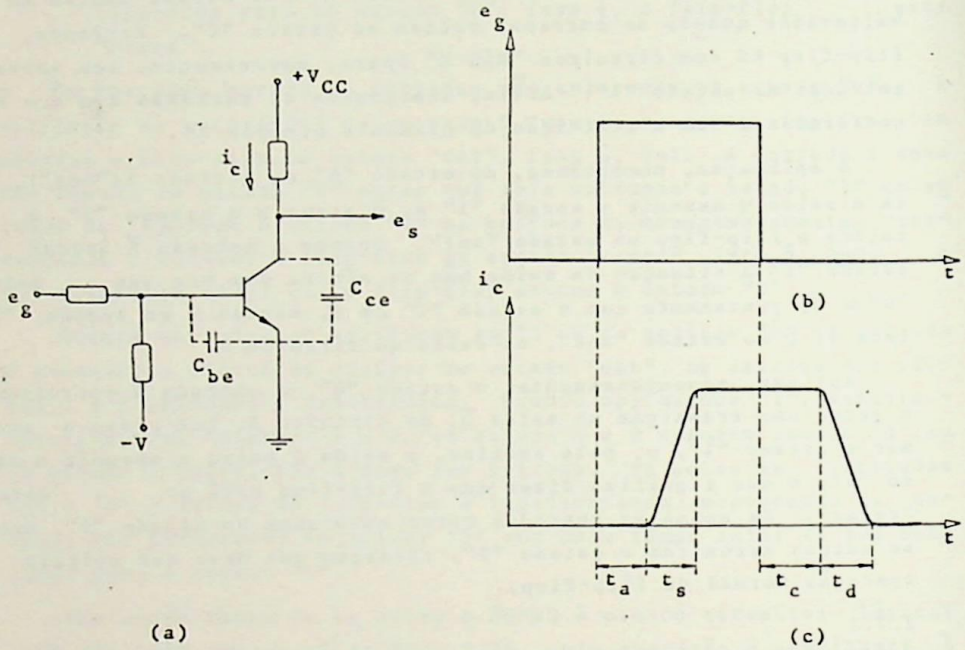


Fig. 2.11 - a) Circuito lógico "NÃO"
b) Pulso de tensão e_g na base (entrada)
c) Pulso de corrente i_c no coletor(saida)

pulso de corrente dependendo, principalmente, do capacitor coletor-emissor (C_{ce}) parasita do transistor; c) Na descida do pulso de tensão da base, há outro atrazo t_c na corrente do coletor no início da descida do pulso, cujo atrazo é devido tanto ao capacitor parasita C_{be} quanto à retenção da carga na base do transistor durante a saturação. Sabe-se que o atrazo devido ao efeito de retenção é muito mais longo do que o atrazo t_a; d) finalmente, registramos um tempo finito t_d de atrazo na descida do pulso de corrente, devido, também, ao capacitor C_{ce}.

Há muitas técnicas destinadas a acelerar a resposta dos circuitos a transistor. Basta, no entanto, mencionar que é possível tornar bastante desprezível os tempos de subida (t_s) e de descida (t_d) dos pulsos de corrente na saida, em comparação aos atrazos t_a e t_c, de tal sorte que é apropriado caracterizar o inversor transistorizado como sendo, simplesmente, um elemento de atrazo no circuito, para efeito do projeto de sistemas, com um tempo de atrazo igual a $t_c + t_d$, considerando o caso mais desfavorável. Os atrazos nos

circuitos "NÃO E" e "NÃO OU" são muito semelhantes ao estudado nos inversores.

Esses atrazos nas respostas comprometem a velocidade de operação dos computadores e tornam imprevisíveis as respostas dos circuitos dos quais fazem parte. Essa limitação exige pesquisas, cada vez mais crescentes, no sentido de se projetar circuitos lógicos com maior rapidez nas respostas.

Quando esses circuitos participam da composição dos flip-flops o controle destes torna-se bastante crítico. Assim, é comum, na prática, o uso de *pulsos de sincronismo*, chamados de pulsos "clock", para controlar o estado "set" dos flip-flops nos sistemas de computadores.

Para a aplicação desses pulsos "clock" (PS) nos flip-flops RS, estudados no ítem 2.7.1, devemos introduzir, nas entradas dos mesmos, circuitos lógicos "E", e compor o diagrama conforme a Fig. 2.12a de modo que a resposta na saida do flip-flop à aplicação do sinal na entrada só ocorra durante a ação do pulso de sincronismo (PS). Este flip-flop sincronizado é composto, fundamentalmente, de um flip-flop FF-RS básico com circuitos lógicos "NÃO OU", juntamente com dois circuitos lógicos "E" incluidos na entrada.

As saidas dos circuitos "E" permanecem no estado "0" enquanto o pulso de sincronismo (PS) estiver no estado "0" quaisquer que sejam as entradas R e S. Quando o PS for "1" as informações chegadas em R e S podem atingir as entradas do FF-RS básico. O estado "set" é conseguido com as entradas S=1, R=0 e PS=1, o que implica na saida Q assumir o estado "1", isto é, Q=1. Para que o flip-flop assuma o estado "reset" as entradas devem ser S=0, R=1 e PS=1, em cuja situação a saida Q assume o estado "0", isto é, Q=0. Na condição em que as entradas forem S=1 e R=1, simultaneamente à ação de PS=1, as saidas Q e $\overline{Q}$ assumirão o estado "0", momentaneamente. Quando PS voltar a "0" o estado do flip-flop fica indeterminado, isto é, pode ocorrer qualquer estado na saida dependendo somente de qual das entradas "set" ou "reset" do flip-flop básico permanecer, por mais tempo, no estado "1" antes de comutar para "0" no final do pulso de sincronismo PS.

As Fig. 2.12b e 2.12c mostram duas opções para representação simbólica do flip-flop RS sincronizado. A Fig. 2.12d apresenta o Mapa de Karnaugh que nos permite expressar a função $Q_{(t+1)}$, prevista na tabela verdadeira da Tabela 9. Nesta tabela verdadeira a variável Q representa o estado de saida do flip-flop num tempo determinado

Tabela 9 - Tabela Verdadeira

Q	S	R	Q_{t+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	X
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	X

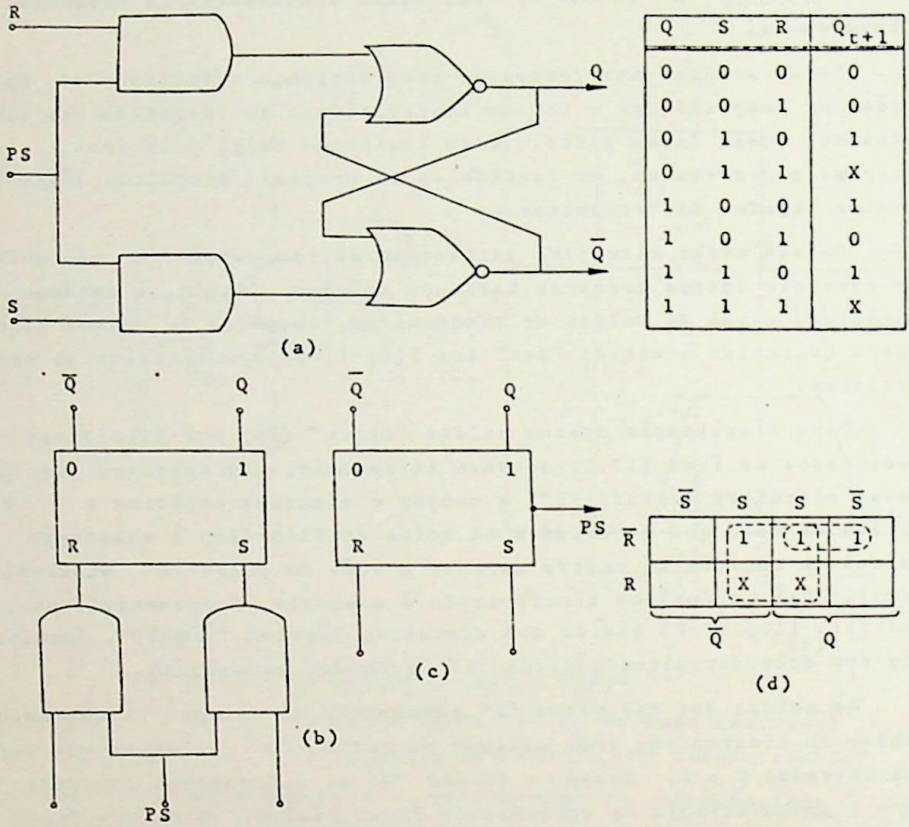


Fig. 2.12 - a) Flip-flop RS Síncrono
b) Símbolo com PS excluido
c) Símbolo com PS incluido
d) Mapa de Karnaugh representativo da função $Q_{(t+1)}$.

que chamamos de *tempo atual* e a variável $Q_{(t+1)}$ representa o estado do flip-flop após a ocorrência do pulso de sincronismo PS, que denominamos de *tempo próximo*. No Mapa de Karnaugh encontramos duas células indicadas por X para representar os estados indeterminados do circuito.

Pela análise do mapa de Karnaugh concluimos que a expressão lógica deve ser

$Q_{(t+1)} = S + \overline{R}Q$ para S.R=0, uma vez que as entradas S e R não

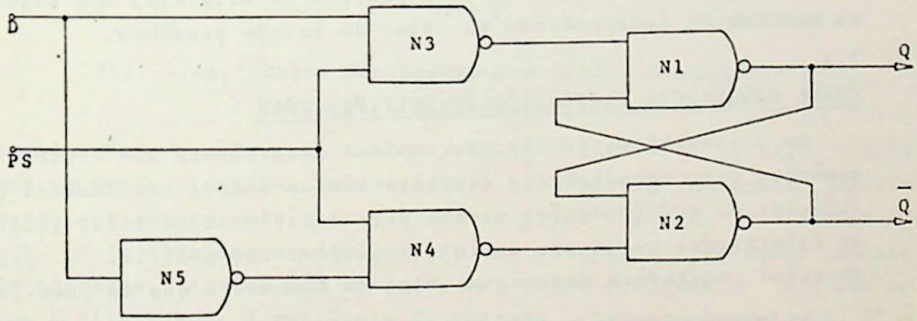
podem assumir o estado "1", simultaneamente.

2.7.3

Multivibrador Biestável (Flip-Flop) Tipo D

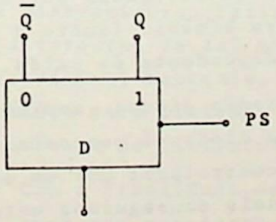
O flip-flop tipo D, mostrado na Fig. 2.13a, é u'a modificação do flip-flop RS síncrono estudado anteriormente. Os circuitos "NÃO E" (N_1 e N_2) constituem o flip-flop básico, enquanto que os circuitos "NÃO E" (N_3 e N_4) modificam o flip-flop básico num flip-flop RS sincronizado. A entrada D atinge, diretamente, a entrada S e, indiretamente, através do circuito "NÃO E" (N_5), a entrada R.

Enquanto o pulso de sincronismo PS estiver no estado "0", os circuitos N_3 e N_4 assumem o estado "1" na saida, independentemente dos estados das informações de entrada. Este comportamento está de acordo com as condições iniciais de um flip-flop básico constituido de circuitos lógicos "NÃO E", em que suas entradas devam assumir, inicialmente, o estado lógico "1".



(a)

Tabela 10

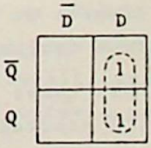


(b)

Tabela Verdadeira

Q	D	Q(t+1)
0	0	0
0	1	1
1	0	0
1	1	1

(c)



(d)

Fig. 2.13 - a) Circuito lógico de um Flip-Flop D.
b) Símbolo do Circuito lógico.
c) Tabela Verdadeira.
d) Diagrama de Karnaugh correspondente.

A entrada D do flip-flop D é amostrada durante a ação do pulso de sincronismo. Considerando PS=1, se D=1 a saida do circuito N3 assume o estado "0" o que faz comutar o flip-flop ao estado "set" ou mantê-lo inalterado se já estiver nesse estado. Se D=0 para PS=1, a saída do circuito lógico N4 assume o estado "0" o que faz comutar o flip-flop ao estado "reset".

O flip-flop D é assim chamado devido sua habilidade de transferir informações (dados). O inversor N5, adicionado na entrada, faz reduzir o número de entradas, permitindo, assim, uma entrada em vez de duas.

O símbolo do flip-flop D é mostrado na Fig. 2.13b, a tabela verdadeira representativa encontra-se na Fig. 2.13c e o mapa de Karnaugh correspondente encontra-se na Fig. 2.13d, do qual deduzimos a expressão lógica resultante que é

$$Q_{(t+1)} = D$$

cuja equação mostra que o estado próximo do flip-flop é o mesmo que da entrada D, independendo do valor do estado presente.

2.8
CHAVE COMUTADORA ELETRÔNICA DE MULTIPOSIÇÕES

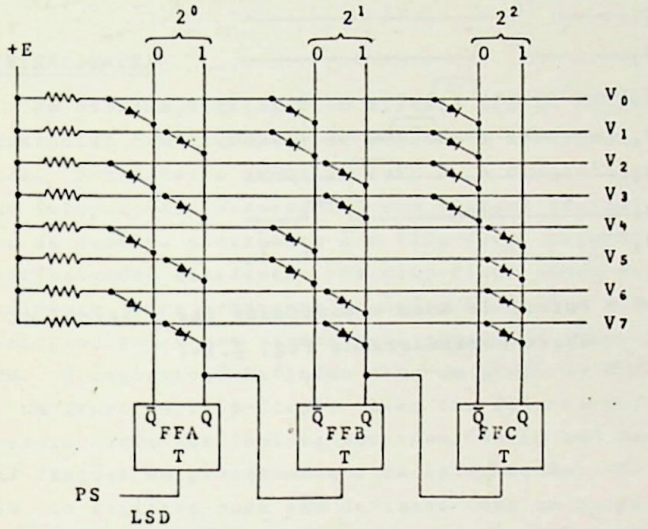
Um dispositivo, também, de capital importância num sistema de memórias para computadores digitais são as *chaves comutadoras eletrônicas de multiposições* usadas para selecionar um local (endereço) de informações na matriz de informações de uma memória. O projeto da chave comutadora depende do tipo de memória a que se destina.

As chaves comutadoras com semicondutores agem, geralmente, segundo o sistema binário e possuem múltiplas saidas. Uma chave de 8 (2^3) posições, por exemplo, é controlada (endereçada) por um número binário de 3 dígitos, em que cada número binário (entre 0 e 7 no sistema decimal) alimenta o condutor correspondente de saida.

Uma chave comutadora de 8 posições, usando diodos semicondutores, é mostrada na Fig. 2.14. A matriz de diodos é composta de oito circuitos lógicos "E", de 3 entradas, controlados por um sistema de 3 flip-flops (FFA, FFB e FFC) com os quais conseguimos obter as oito combinações possíveis correspondentes às oito saidas necessárias. U'a matriz de diodos assim constituida, e que se chama de matriz retangular, requer um determinado número de diodos N_D que pode ser calculado pela seguinte expressão

$$N_D = n2^n$$

em que n é o número de variáveis de entrada representadas pelos flip-flops. Sendo 3 flip-flops, exatamente porque precisamos de 8



PS = Pulso de Sincronismo.

LSD = Dígito de Menor Significado

FFA, FFB, FFC são Flip-Flops.

Fig. 2.14 - Chave Comutadora com Diodos Semicondutores para 8 Posições.

combinações, o número de diodos será $N_D = 3x2^3 = 24$. A Fig. 2.14 mostra que a distribuição dos diodos numa matriz retangular corresponde aos números binários que os circuitos lógicos "E" representam. Esta diagrama de diodos pode ser estendido a qualquer número de entradas. Assim, por exemplo, uma chave comutadora eletrônica com 8 flip-flops, 8 variáveis de entrada, e, consequentemente, $2^8 = 256$ posições de saida, requer $8x2^8 = 2.048$ diodos numa matriz retangular binária, o que representa uma grande quantidade de elementos eletrônicos. Felizmente, há maneira de dispor os diodos de modo diferente, de tal maneira que o número de diodos necessário à matriz diminui bastante, e o artifício usado nessa simplificação só é válido para sistemas com 16 saidas ou mais, cuja matéria pode ser encontrada na literatura sobre Eletrônica Digital.

Com a finalidade de melhor elucidar o esquema da Fig. 2.14 achamos oportuno mencionar que, se, por exemplo, excitassemos a chave comutadora de 8 posições representada na Fig. 2.14, com pulsos PS, sequencialmente, de 0 a 7, encontraríamos nas oito saidas as formas de onda da Fig. 2.15.

O comportamento dos sinais é obtido graças a ação dos circuitos lógicos "E" que constituem a chave.

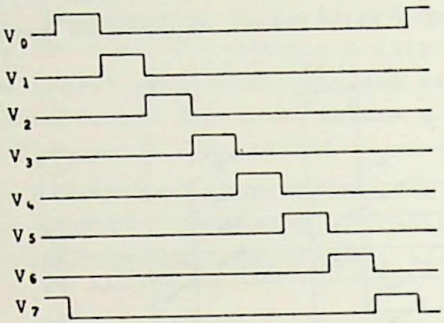


Fig. 2.15 - Formas de Onda encontradas nas 8 Saidas da Chave Comutadora da Fig. 2.14.

3
DISPOSITIVOS DE ARMAZENAGEM NOS COMPUTADORES DIGITAIS

3.1
GENERALIDADES

Um sistema digital é um sistema lógico sequencial que pode ser construido com *elementos de memória* e *circuitos lógicos combinacionais*. Portanto, a *memória*, isto é, o dispositivo capaz de armazenar informações, é essencial num sistema digital. O tipo mais comum de memória eletrônica é o flip-flop, cujo nome mais formal é *multivibrador biestável*. Os flip-flops podem ser usados, individualmente, para armazenar um único bit, isto é, um único dígito binário, ou podem ser usados para construir o que se chama de *registro*. O registro é definido como um grupo de *células binárias*, isto é, um grupo de flip-flops. Além dos flip-flops, um registro pode possuir circuitos lógicos combinancionais que desempenham determinadas funções de processamento de informações. De um modo mais amplo, um registro pode ser definido como um grupo de flip-flops e de circuitos lógicos que alteram seu estado lógico. Os flip-flops mantêm a informação binária, enquanto que os circuitos lógicos processam-na. Um *registro de deslocamento* é um exemplo de registro cuja tarefa é processar a transferência de informações. Um *contador* pode ser considerado um registro cuja tarefa é contar o número de pulsos com que é excitado na entrada.

O registro num computador digital pode ser classificado em *registro operacional* e *registro de armazenagem*. O registro operacional, além da capacidade de armazenar informações binárias nos seus flip-flops, possui circuitos lógicos combinacionais capazes de processar informações. O registro de armazenagem é usado somente para armazenagem temporária de informação binária, cuja informação não pode ser alterada quer quando entre quer quando saia do registro. Os registros de armazenagem numa unidade de memória são chamados de *registros de memória*.

Num computador digital a maioria dos registros é constituida de registros de memória para os quais as informações são transferidas quando se deseja armazená-las e dos quais são transferidas quando são necessárias para processamento. Na *unidade de processamento* o número de registros operacionais é relativamente pequeno. Quando se realiza um processamento de dados, as informações dos registros selecionados na *unidade de memória* são, inicialmente, transferidas pa

ra os registros operacionais na unidade de processamento. Os resultados intermediários e finais obtidos nos registros operacionais são transferidos de volta aos registros de memória selecionados. Da mesma maneira, informações binárias recebidas do dispositivo de entrada do computador são, primeiramente, armazenadas nos registros de memória, e as informações transferidas para o dispositivo de saida são obtidas dos registros na unidade de memória.

A componente que forma as células binárias de registros em uma unidade de memória deve ter determinadas propriedades básicas, das quais as mais importantes são:

a) Deve assumir os dois estados lógicos de modo altamente confiável para que possa representar uma informação binária.

b) Deve ser pequena em tamanho.

c) Deve apresentar um custo por bit- dígito binário - tão baixo quanto possível.

d) Deve permitir que o *tempo de acesso* ao registro de memória seja o menor possível.

Podemos exemplificar os seguintes componentes de unidade de memória: núcleos magnéticos, filmes magnéticos, superfícies magnéticas em fitas, tambores ou discos e semicondutores.

Uma unidade de memória armazena informações binárias em grupos chamados *palavras*, sendo cada palavra armazenada num registro de memória. Uma *palavra* na memória é uma entidade de *n* bits que se desloca, como uma unidade, para dentro e para fora da memória. Uma *palavra* de memória pode representar um operador, uma instrução, um grupo de caracteres alfanumérico em qualquer informação binária codificada. A comunicação entre a unidade de memória (unidade interna) e as unidades externas é realizada através de dois *sinais de controle* e dois *registros externos*. Os sinais de controle especificam o sentido da transferência requerida, isto é, identificam se uma palavra deve ser armazenada num registro de memória ou se uma palavra, previamente armazenada, deve ser transferida do registro de memória. Um registro externo especifica o registro de memória particular escolhido entre os milhares disponíveis; o outro registro externo especifica a particular configuração de bits da palavra em questão.

A Fig. 3.1 é o diagrama de blocos mostrando a unidade de memória com os sinais de controle e os registros externos.

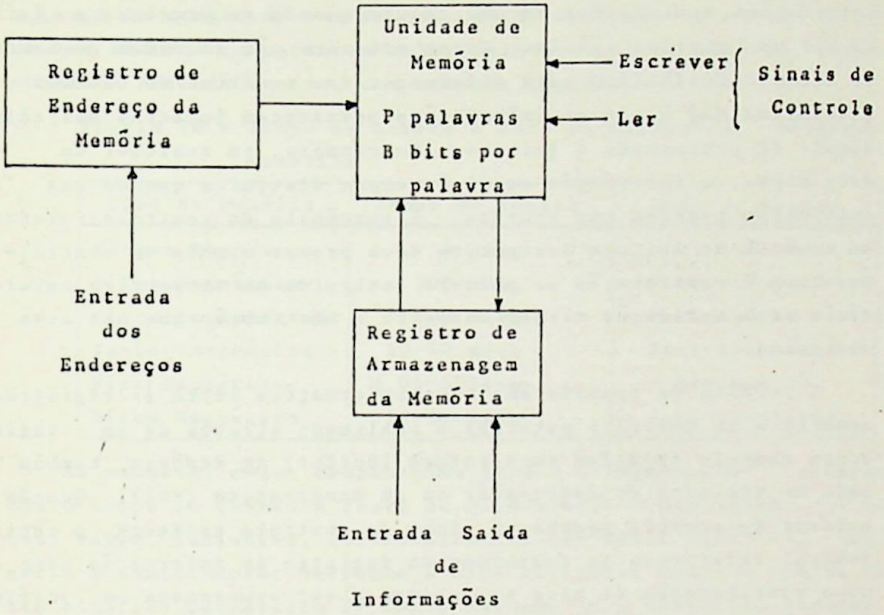


Fig. 3.1 - Diagrama de bloco de uma Unidade de Memória mostrando as ligações com as Unidades Externas.

O *registro de endereços* (MAR) da memória especifica a palavra selecionada na memória. Cada palavra na memória é identificada por um número iniciando com 0 até o número máximo de palavras disponíveis. Para haver comunicação com uma específica palavra da memória, seu número de identificação ou *endereço* é transferido ao registro de endereços. O circuito interno da unidade de memória recebe esse endereço do registro e permite a ligação necessária para selecionar a palavra requerida. Um registro de endereços com n bits pode especificar até 2^n palavras de memória. As unidades de memória dos computadores podem variar de 1024 palavras - para o que requer um registro de endereços de 10 bits ($1024 = 2^{10}$) - até $1.048.576 = 2^{20}$ palavras, requerendo um registro de endereço de 20 bits.

Os dois *sinais de controle* aplicados à unidade de memória são chamados de *ler* e *escrever*. O sinal *ler* controla a função de transferência partindo da memória e o sinal *escrever* identifica a função de transferência partindo para a memória. Ao receber um dos sinais de controle os circuitos internos de controle na unidade de memória provêm a função desejada. Certos tipos de unidades de armaze

nagem, devido às características de seus componentes, destroem as informações armazenadas em uma célula quando se processa a *leitura* do bit na referida célula. Essas unidades são chamadas de memórias de *leitura destrutiva* para diferençar das memórias de *leitura não destrutiva* nas quais as informações permanecem intactas nas células depois de processada a leitura. Entretanto, em qualquer um dos dois tipos, a informaçõa atual é sempre destruida quando uma nova informação precisa ser escrita. A sequência do controle interno numa memória de leitura destrutiva deve prover sinais de controle que permitam a restauração da palavra destruida na respectiva célula binária se a aplicação disser respeito a uma função que não deva ser destruida.

A permuta de transferência de informações entre os registros de memória e as unidades externas é realizada através de um registro comum chamado *registro amortecedor* (Buffer) *da memória*, também chamado de *registro de informação ou de armazenagem* (MDR). Quando a unidade de memória recebe um sinal de controle *escrever*, o controle interno interpreta os conteúdos do registro de informação como sendo a configuração de bits da palavra a ser armazenada no registro de memória. Sob a ação do sinal de controle *ler*, o controle interno provê a transferência da palavra do registro de memória ao registro de informações. Em ambos os casos os conteúdos do registro de endereço especificam o registro de memória particular referido para escrita ou para leitura.

O *modo de acesso* de um sistema de memória é determinado pelo tipo de componentes usados. Numa *memória de acesso aleatório* (RAM), os registros podem ser considerados como sendo separados no espaço, com cada registro ocupando um local espacial particular, como ocorre com as memórias de núcleos magnéticos. Nas *memórias de acesso sequencial* (SM), a informação armazenada em algum local não fica, imediatamente, acessível, porém, está disponível somente em certos intervalos de tempo, como é o caso de uma unidade de fita magnética. Nas memórias SM o tempo de acesso a uma palavra selecionada é, parcialmente, dependente do local da mesma. Na memória RAM o tempo de acesso é sempre o mesmo independente do local particular da palavra no espaço. Na memória SM o tempo de acesso depende da posição da palavra no momento em que é requerida. Se o local de armazenagem da palavra ocorrer, justamente, no momento em que está sendo requerido, o tempo de acesso é, exatamente, o tempo necessário para lê-la ou escrevê-la. Porém, se acontece que a palavra está no último local o tempo de acesso deve incluir, também, o tempo requerido

para o deslocamento de todas as outras palavras até o final. Assim, o tempo de acesso de uma memória SM é variável. A tabela 10 permite uma análise comparativa relacionando tipos de memória, tempo de acesso e modo de acesso, com valores típicos.

Tabela 10 - Tempo de Acesso e Modo de Acesso de Diversas Memórias

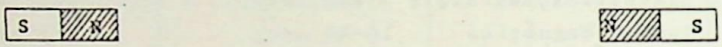
Tipo de Memória	Tempo de Acesso	Modo de Acesso
Núcleo Magnético	1 μseg	Aleatório
Filme Magnético	300 nseg	Aleatório
Circuito Integrado	400 nseg	Aleatório
Tambor Magnético	10-40 mseg	Semi-Aleatório
Fita Magnética	0,05-500seg	Sequencial
Disco Magnético	10-80 mseg	Semi-Aleatório

As memórias cujos componentes perdem a informação armazenada com o tempo ou quando a fonte de alimentação é desligada, por qualquer razão, inclusive, acidentalmente, são ditas *voláteis*. Uma memória a semicondutor pertence a essa categoria uma vez que as células binárias necessitam de fonte externa para manter os estados lógicos previstos. Em contraposição, uma memória *não volátil*, como são os casos das de núcleo magnético e de discos magnéticos, mantem a informação armazenada mesmo depois de removida a fonte de alimentação. Essa ocorrência deve-se ao fato que nas memórias de componentes magnéticos, a informação armazenada é manifestada pelo sentido da magnetização, que é mantido qualquer que seja a situação da fonte de alimentação. Uma propriedade não volátil é desejável num computador digital, porque muitos programas úteis são mantidos, permanentemente, na unidade de memória.

3.2
MEMÓRIA RAM COM NÚCLEO MAGNÉTICO

De início, devemos lembrar que os seres humanos, pelo menos nos países mais adiantados, usam o *sistema decimal*, para suas anotações e cálculos, em cujo sistema qualquer quantidade ou número pode ser representado por uma combinação, apropriada de algarismos ou símbolos dos quais há dez espécies: 0, 1, 2, 3, 4, 5, 6, 7, 8 e 9. As memórias eletrônicas, por outro lado, operam com o *sistema binário* no qual as quantidades ou números são representados por um arranjo apropriado dos seguintes símbolos: 0 e 1. Não somente quantidades, porém, também letras, palavras ou comandos podem ser representados por meio do *código binário*.

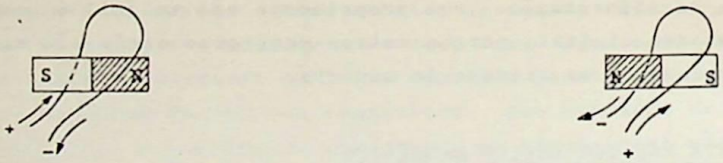
O primeiro passo em desenvolver uma memória magnética com o fim de operar no sistema binário foi a tentativa de selecionar duas condições magnéticas distintas que pudessem representar os símbolos 0 e 1. As condições selecionadas foi a direção segundo a qual cada elemento magnético fica magnetizado. Sabemos que um pedaço de material magnético ou material magnetizável, como por exemplo o ferro ou o composto de ferro conhecido com o nome de "ferroxcube", pode ser magnetizado em qualquer uma das duas direções opostas conforme os diagramas das Fig. 3.2a e 3.2b. O material magnetizável quando



(a) = 0 (b) = 1

Fig. 3.2 - Material magnetizável.

magnetizado na direção mostrada em (a) pode representar o símbolo "0", e quando magnetizado na direção mostrada em (b), o símbolo "1". Sabemos, também, que uma peça de material magnetizável pode ser magnetizado somente pela aplicação de uma força magnetizante chamada de campo magnetizante ou campo magnético. Uma maneira de aplicar um campo magnético é envolvendo o material magnetizável por uma bobina ou por um fio conduzindo corrente. A direção da magnetização é determinada pela direção da corrente conforme indicamos nas Fig. 3.3a e 3.3b, nas quais a direção da corrente é indicada por setas. Assim, se a corrente flui na direção da seta mostrada em (a) o material será magnetizado na direção previamente selecionada para representar o símbolo "0", e se a corrente flui na direção indicada em (b), a direção de magnetização será aquela selecionada para representar o símbolo "1".



(a) = 0 (b) = 1

Fig. 3.3 - Direção de Magnetização.

Sabemos, também, que logo após que o campo magnetizante for removido pela interrupção da corrente, parte do magnetismo que foi in

duzido no material desaparece, e, somente uma porção conhecida como *magnetismo remanente* permanece. Na maioria dos materiais magnetizáveis o magnetismo que permanece quando a corrente é interrompida é muitíssimo menor do que aquele existente no material durante o fluxo de corrente. A relação entre a direção e intensidade do magnetismo resultante, chamado de B, e a direção e intensidade da força magnetizante, chamada de H, é mostrada no gráfico da Fig. 3.4, chamada de *Curva de Histeresis*. Para a maioria dos materiais magnéticos esta curva é a da forma mostrada na Fig. 3.4a na qual se vê que uma força magnetizante com $+H_p$ resulta num grau de magnetização igual a $+B_p$, porém, quando a força magnetizante for removida, o magnetismo remanente é somente $+B_r$. Da mesma maneira, uma força magnetizante $-H_p$ resulta num grau de magnetização de $-B_p$, porém, restando somente o magnetismo $-B_r$ quando a força for removida.

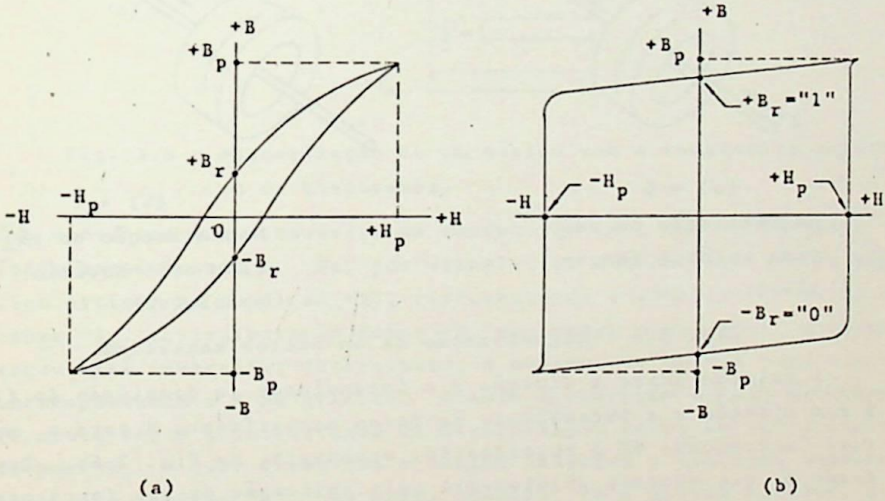


Fig. 3.4 - Curva de Histeresis.

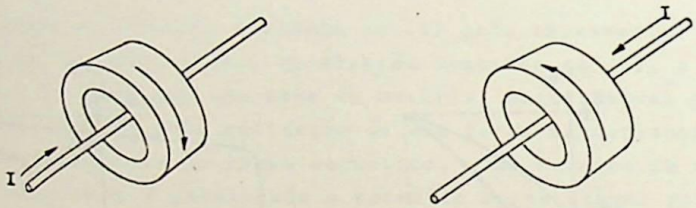
Como, nas memórias magnéticas, a informação armazenada assume a forma de magnetismo remanente em um ou outro dos dois estados possíveis ($+B_r$ ou $-B_r$), um representando "0" e o outro representando "1", é importante que deva existir uma nítida diferença entre os dois estados, para efeito de confiabilidade. Para que isto seja assegurado, escolheu-se um material magnetizável no qual o valor de B_r não difira bastante do valor de B_p. Tal material é o "ferroxcube 6" cuja curva de magnetização é a da forma da Fig. 3.4b.

Na prática atual e por razões que veremos mais adiante, barras

retas com bobinas não são usadas nas memórias magnéticas. Em vez disto, usam-se anéis do "ferroxcube 6" sendo atravessados por fios retos. A dimensão desses anéis é de 15 a 30 milésimo da polegada. Para que se tenha uma melhor idéia dessa dimensão basta dizer que sendo colocado um anel de "ferroxcube 6" sobre as asas de u'a mosca caseira, suas dimensões ficam insignificantes.

Vejamos agora o comportamento do núcleo magnético como memória eletrônica, sob um ângulo mais técnico e qual a razão do composto de ferro "ferroxcube 6" ser selecionado para uso nas memórias magnéticas.

Já foi mostrado que a direção da magnetização de um anel particular é determinado pela direção da corrente que flui pelo condutor que atravessa o anel como se pode observar nas Figuras 3.5a e 3.5b.



(a) = 0
Magnetização no sentido horário (negativo).

(b) = 1
Magnetização no sentido anti-horário (positivo).

Fig. 3.5 - Magnetização de um núcleo magnético.

A relação entre a direção e a intensidade da densidade do fluxo B e a direção e a intensidade da força magnetizante H para o material "ferroxcube 6" é reproduzido, novamente, na Fig. 3.6b. Dependendo do que ocorreu previamente pela aplicação de uma força magnetizante H, um núcleo pode estar em uma das duas condições magnéticas: ele pode estar magnetizado em uma determinada direção que chamamos de "+", em conexão com $+B_r$, ou na direção que chamamos de "-" em conexão com $-B_r$. A condição $+B_r$ é usada para representar o símbolo "1" e a condição $-B_r$, para representar o símbolo "0". Para que se possa mudar a condição magnética de um núcleo de $+B_r$ para $-B_r$, ou vice-versa, uma corrente correspondente a uma força magnetizante H deve percorrer o condutor.

Na realidade prática atual um certo número de condutores atravessa cada núcleo magnético, do que resulta que a soma algébrica

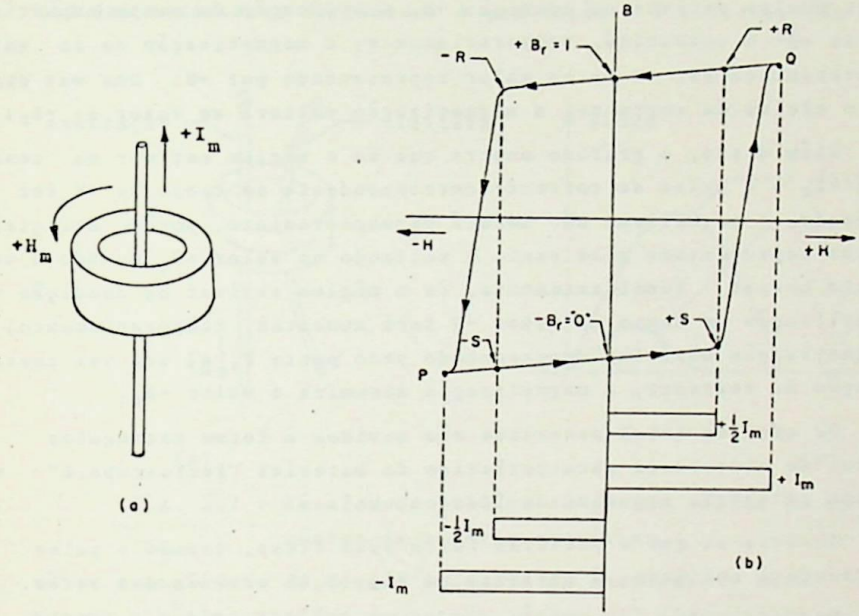


Fig. 3.6 - Magnetização de um núcleo com a respectiva curva de histeresis.

das correntes que atravessam os condutores deve ser equivalente à força magnetizante H. Se, por exemplo, um determinado núcleo magnético estiver na condição $+B_r$, representando o símbolo "1" e uma corrente $-I_m$, equivalente ao campo -H, percorrer o condutor, a magnetização será invertida, determinando a mudança de estado para o ponto correspondente a P no gráfico. Quando a corrente deixar de existir (H anula-se) e a intensidade de magnetização cairá ao valor indicado por $-B_r$, o quer dizer que o núcleo assumirá a condição representada pelo símbolo "0". Da mesma maneira, se o núcleo estiver, originalmente, na condição $-B_r$, a aplicação de um pulso de corrente $+I_m$, correspondente à força magnetizante +H, mudará a magnetização ao ponto Q no gráfico, e, cessando a ação do pulso a magnetização cairá ao valor $+B_r$. Ainda, devido à forma retangular da curva de histeresis, a aplicação de um pulso de corrente $\frac{1}{2}I_m$, correspondente à força magnetizante de $\frac{1}{2}$ H, em qualquer direção, não permitirá uma mudança permanente na direção da magnetização. Se o núcleo estivor na condição $+B_r$, a aplicação do campo magnetizante de $\frac{1}{2}$ H conduzirá, temporariamente, a magnetização ou ao valor representado por +R no gráfico, ou ao valor representado por -R, e, uma vez cea-

sada a corrente, a magnetização voltará ao valor $+B_r$. Similarmente, se o núcleo estiver na condição $-B_r$ a aplicação do campo magnetizante de $\frac{1}{2}$ H conduzirá, temporariamente, a magnetização ou ao valor representado por +S ou ao valor representado por -S. Uma vez cessado o efeito da corrente, a magnetização voltará ao valor de $-B_r$.

Além disto, o gráfico mostra que se o núcleo estiver na condição $+B_r$ e o pulso de corrente correspondente ao campo de +H for aplicado, o magnetismo não mudará permanentemente, porém, atingirá o valor representado pelo ponto Q voltando ao valor $+B_r$ quando a corrente cessar. Semelhantemente, se o núcleo estiver na condição $-B_r$ a aplicação do campo de valor -H fará aumentar, temporariamente, a magnetização ao valor representado pelo ponto P, e, uma vez cessada a ação da corrente, a magnetização assumirá o valor $-B_r$.

Os efeitos acima descritos são devidos à forma retangular da curva de histeresis característico do material "ferroxcube 6" que é uma categoria especial do "ferroxcube".

Observa-se que o percurso feito pelo fluxo, quando o pulso de corrente é aplicado, é mostrado na Fig. 3.6b através das setas.

Devemos, ainda, considerar neste estudo, que só existe utilidade num dispositivo de armazenagem, se existir, também, alguma maneira de detetar o que está armazenado. Mas, nos núcleos magnéticos o fluxo só pode ser detetado quando estiver variando com o tempo, em cuja situação ele induz uma tensão no condutor que os atravessa. Desta forma, uma maneira de interrogar um núcleo para definir em que estado lógico se encontra (1 ou 0) é adicionar mais um condutor ao que já existe na Fig. 3.6a, que será chamado de *condutor para leitura* (sense winding), enquanto que o condutor inicial é chamado de *condutor para alimentação* (drive winding). A deteção do estado lógico do núcleo chama-se *"leitura"*. Para que a leitura seja realizada devemos alimentar o condutor apropriado com corrente fluindo na mesma direção requerida para armazenagem do estado "0". Se o estado "1" estiver armazenado o fluxo será invertido e, de acordo com a Lei de Faraday,

$$e = N \frac{d\phi}{dt}$$

ocorrerá a indução de um pulso de tensão no condutor para leitura. Se já existir o estado "0" armazenado, não se verificará mudança do fluxo, do que resulta que nenhuma tensão induzida considerável ocorrerá no condutor.

A Fig. 3.7a nos mostra a viabilidade de se poder *"ler"* o estado

lógico de um núcleo magnético. Na Fig. 3.7a encontramos a disposição dos condutores destinados à excitação e à leitura. Na Fig.3.7b

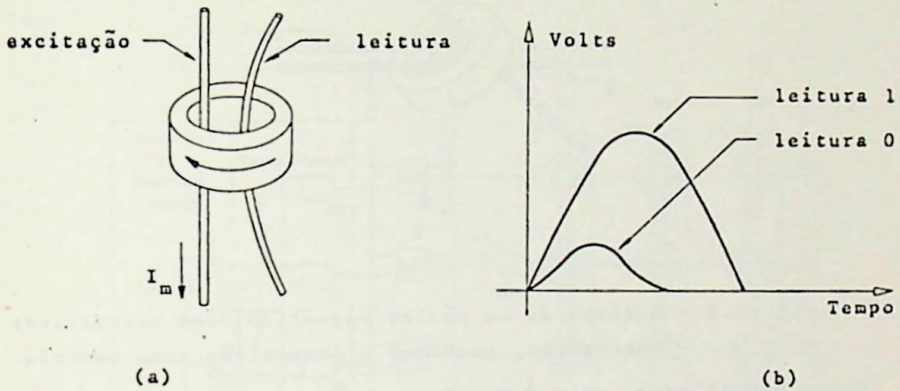


Fig. 3.7 - Técnica de leitura do estado lógico de um núcleo de memória magnética.

vê-se a amplitude da tensão induzida no enrolamento para leitura quando o núcleo estiver no estado lógico "1" (leitura 1) ou no estado lógico "0" (leitura 0). A corrente de excitação, para efeito de leitura, deve ser tal que gere uma força magnetizante - H_m.

3.2.1

Armazenagem de Informações em Núcleos Magnéticos

A disposição de cada núcleo magnético numa matriz, que constitui uma memória magnética completa, é mostrada na Fig. 3.8. Como se vê, o núcleo magnético do material magnetizável "ferroxcube 6" é montado formando um ângulo de 45° e apresenta quatro condutores que o atravessam, isto é, condutor Y na posição vertical, condutores X e Z na posição horizontal e um condutor S disposto em diagonal.

As setas relativas aos condutores X e Y indicam o que convencionamos de direção "+" para as correntes que fluem pelos mesmos. Durante as operações só é permitido fluir através de X e Y corrente correspondente a $+\frac{1}{2}H$ ou $-\frac{1}{2}H$. É assim que, se o núcleo estiver na condição de $+B_r$, só haverá mudança para a condição de $-B_r$ se os pulsos de corrente em X e Y fluirem, simultaneamente, cada um com seu valor correspondente ao campo magnetizante de $-\frac{1}{2}H$. Da mesma forma, se o núcleo estiver sob a condição de $-B_r$, haverá mudança para a condição de $+B_r$ somente se os pulsos de corrente em X e Y fluirem, simultaneamente, cada um com seu valor correspondente ao

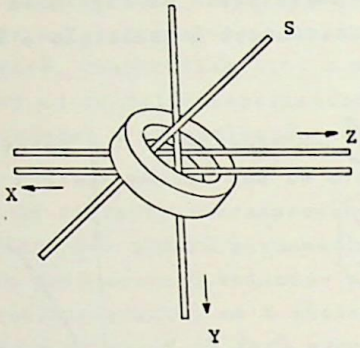


Fig. 3.8 - Esquema de um núcleo magnético, com respectivos condutores, conforme a disposição numa memória.

campo magnetizante de $+\frac{1}{2}H$. Deve-se observar que os fluxos simultâneos das correntes em X e Y devem ter direções coerentes de tal forma que haja adição de seus efeitos para que se consiga a força magnetizante total +H ou -H, conforme o caso, necessária à mudança do estado anterior do núcleo. Este comportamento está baseado no estudo da curva de histeresis feita através da Fig. 3.6, no qual ficou patenteado que a mudança de estado do núcleo só ocorreria quando este estivesse sob ação de uma força magnetizante correspondente a $+I_m$ ou $-I_m$.

3.2.2

Memórias Magnéticas de Seleção Linear - Sistema 2D

Vejamos agora como lançar mão das vantagens das características mencionadas no ítem anterior. O tipo mais simples de uma memória com núcleos magnéticos é a chamada *memória de seleção linear* ou *memória 2D*, conforme é mostrada na Fig. 3.9, a qual tem sido usada para se conseguir tempo mais curto de operação e apresenta, também, menor dificuldade na disposição da fiação necessária à matriz dos núcleos.

Os núcleos de uma memória 2D são dispostos numa matriz em que cada palavra P é representada por B bits. Para efeito de simplicidade do diagrama, vamos admitir que a nossa memória seja capaz de armazenar quatro palavras (P0, P1, P2 e P3) de três bits (B0, B1 e B2). Na prática, o número de bits pode compreender a faixa de 8 a 64, enquanto que o número de palavras pode compreender a faixa de

várias centenas a vários milhares.

Numa estrutura, como a mostrada na Fig. 3.9, se desejarmos armazenar informações, devemos prover a memória de duas partes importantes:

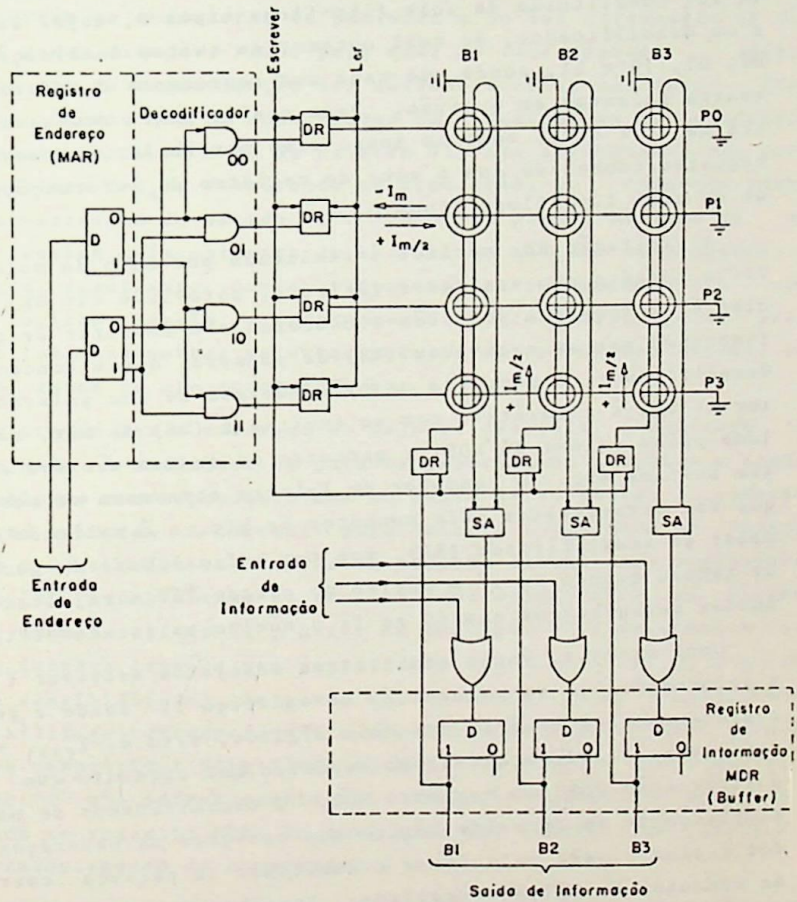


Fig. 3.9 - Unidade de Memória com Núcleo Magnético
DR = Excitador.
SA = Amplificador de Leitura.

a) *Endereço* (representado por um número no sistema binário) onde desejamos armazenar a informação.

b) *Informação* a ser armazenada.

O *endereço* da palavra é armazenado no chamado *registro de ende-*

reço da memória (MAR); a *informação* é armazenada no chamado *registro de informação* (dado) da memória.

Para que possamos distinguir as quatro palavras entre si é necessário que representemos os endereços por meio de dois bits, pelo menos, no sistema binário ($2^2 = 4$). Desta forma o registro MAR deve ser constituído de dois flip-flops tipos D, cujas saidas vão ter a um decodificador, do qual obtemos as quatro combinações binárias 00, 01, 10 e 11, sendo que cada uma representa o endereço de uma das quatro palavras em questão. Para que se possa armazenar uma palavra de três bits, como no nosso caso particular, necessitamos de um registro, conhecido com o nome de registro de informações, constituido de três flip-flops tipos D.

A excitação dos núcleos é realizada por meio de pulsos de corrente gerados num excitador (Driver), abreviado com DR. Cada núcleo é atravessado por três condutores. O condutor de palavra é alimentado por um excitador (DR) de palavra, que é controlado pelo decodificador, e percorre os três núcleos de uma palavra. O condutor de bit é alimentado por um excitador (DR) de bit, que é controlado pelas saidas do MDR, e percorre os quatro núcleos correspondentes de cada bit. O condutor de leitura atravessa os mesmos núcleos que são atravessados pelo condutor de bit, e é aplicado ao amplificador de sensibilidade (SA), que tem a finalidade de gerar pulsos de tensão quando se lê o núcleo no estado "1" e rejeitar mesmo pequenas perturbações quando se lê o núcleo no estado "0".

Como exemplo, vamos admitir que desejamos escrever (armazenar) a informação 011 na palavra P1 de endereço 1. Sendo a palavra P1 representada em binário com dois dígitos, isto é, $1_{(10)} = 02_{(2)}$, nós carregamos o endereço (01) no registro MAR enquanto que carregamos a informação 011, no registro MDR. O decodificador de palavras é simplesmente um circuito lógico que converte os endereços em um dos P sinais para selecionar o excitador de palavra correspondente ao condutor de palavra desejado. Semelhantemente, os flip-flops do MDR que estiverem no estado "1" selecionam os excitadores de bit correspondentes. Considerando que, antes que uma nova informação possa ser escrita na memória, todos os núcleos da palavra correspondente devam assumir estado "0" , o primeiro passo na *operação escrever* consiste em alimentar o *condutor de palavra* selecionado (condutor de palavra P1, no nosso exemplo, especificado na Fig. 3.9) com um pulso de corrente completa ($-I_m$) para leitura, gerado no *excitador de palavra* correspondente. Em seguida, os condutores de bit

e de palavra selecionados são alimentados por pulsos de meia corrente ($+\frac{1}{2}I_m$) para escrita, gerados nos excitadores de bit e de palavra correspondentes. (Na Fig. 3.9 o excitador de palavra escolhido é o relativo a P1 e os excitadores de bit escolhidos são os relativos a B2 e B3). Lembramos o fato de que as meia correntes ($+\frac{1}{2}I_m$) que percorrem os condutores de palavras e de bit atravessam os núcleos na mesma direção, razão pela qual os seus efeitos adicionam-se no ato da magnetização dos núcleos correspondentes. Desta forma, os núcleos que se encontrarem nas interseções dos condutores selecionados (bits B2 e B3 da palavra P1) são alimentados com corrente completa ($+I_m$), resultando na comutação, e, consequentemente, na armazenagem do estado "1". Todos os demais núcleos da matriz ou recebem meia corrente de escrita ou não são alimentados, de modo algum, resultando, consequentemente, na permanência dos seus estados lógicos. Assim, a informação 011 fica armazenada na palavra P1 e todas as outras palavras permanecem nos mesmos estados encontrados antes da operação escrever.

Na operação ler o endereço da palavra desejada, é aplicado no registro MAR. O excitador da palavra selecionado alimenta o condutor de palavra correspondente com um pulso de corrente completa ($-I_m$) para leitura. A corrente para leitura ($-I_m$) está na direção negativa e leva todos os núcleos da palavra selecionada a assumirem o estado "0", independente do seus estados anteriores. Os núcleos que estiverem no estado "1", antes da operação leitura, comutam seus fluxos e induzem tensões nos respectivos condutores de leitura (condutor de sensibilidade), as quais são detetadas pelo amplificador de sensibilidade correspondente e amplificadas o suficiente para agirem nos respectivos flip-flops do MDR. Os núcleos que estiverem no estado "0" não sofrem comutação. Assim, a informação armazenada é aplicada no registro MDR, do qual pode ser transferida para a seção de processamento do computador.

Considerando que a operação escrever só tem lugar se todos os núcleos estiverem, inicialmente, no estado "0" e que uma informação armazenada, em palavra selecionada, é destruida pelo processo de leitura, as operações escrever e ler, acima descritas, ficam incompletas se não forem tomadas certas providências: a operação escrever deve ser precedida de uma operação que permita aos núcleos da palavra selecionada assumirem estado "0" e a operação ler deve ser seguida por outra operação que permita a restauração da informação previamente armazenada nos núcleos. Fazer os núcleos assumirem estado "0" antes da armazenagem é equivalente a realizar a operação

ler, a qual destroi a informação armazenada, porém, impede que a informação lida alcance o registro MDR inibindo o amplificador de sensibilidade. A restauração da informação, após a leitura, é equivalente à operação escrever que consiste em rearmazenar, na palavra selecionada, a informação lida e que se encontra disponível na saída do MDR. Essas operações auxiliares, mas imprescindíveis, são normalmente levadas a efeito pelo controle interno da memória, de tal sorte que a unidade de memória aparenta ter propriedade não destrutiva, sob o ponto de vista do controle externo.

Pela análise acima concluimos que para se realizar a operação escrever devemos precedê-la de uma operação de leitura, e, para se realizar a operação ler devemos sucedê-la com uma operação de armazenagem. Este tipo de operação é, geralmente, chamada de ciclo de leitura-restauração ou ciclo de leitura-armazenagem.

Sistemas considerados, tipicamente, como de alta velocidade possuem ciclo de leitura-armazenagem com duração de 0,84 microsegundos. A velocidade de operação desses núcleos é limitada pelo tempo de aquecimento do núcleo e pelo tempo de relaxação do material do núcleo. O tempo de relaxação é o pequeno intervalo de tempo que ocorre logo após cada comutação a que fica sujeito o núcleo. Numa temperatura elevada ou durante o tempo de relaxação a característica quadrática da curva de histeresis do material do núcleo é reduzida, consideravelmente, o que dificulta a operação normal da memória. A máxima temperatura da matriz de núcleos é, aproximadamente, + 55°C para núcleos de ferrite e + 125°C para núcleos de lítio. As memórias com alta velocidade usando núcleos de ferrite usam núcleos de pequenos diâmetros o que impõe limitações no número de condutores que devem atravessar esses diminutos diâmetros. No caso das memórias 3D (sobre o qual falaremos logo em seguida) são usados quatro condutores, enquanto que no sistema 2D usamos somente três fios, e, as vezes, dois fios. Núcleos menores usando menor número de fios possuem menor indutância e menor capacitância parasitas associadas à fiação, o que, desta forma, contribuem para que a operação da memória torne-se mais rápida.

No sistema 2D que usa somente dois condutores, um deles é aplicado como condutor de palavra e o outro usado como condutor de bit ou de sensibilidade, portanto, usado em duas funções diferentes. Embora que o uso de um condutor comum ao excitador de bit e ao amplificador de sensibilidade tenha a vantagem de menor fiação, apresenta, por outro lado, a desvantagem de aumentar o tempo do ciclo to-

tal de operação da memória, tendo em vista o desempenho de duas funções diferentes a que fica sujeito.

3.2.3

Memórias Magnéticas de Correntes Coincidentes - Sistema 3D

O principal problema que ocorre com as memórias de seleção linear (2D) reside na quantidade de componentes eletrônicos exigida

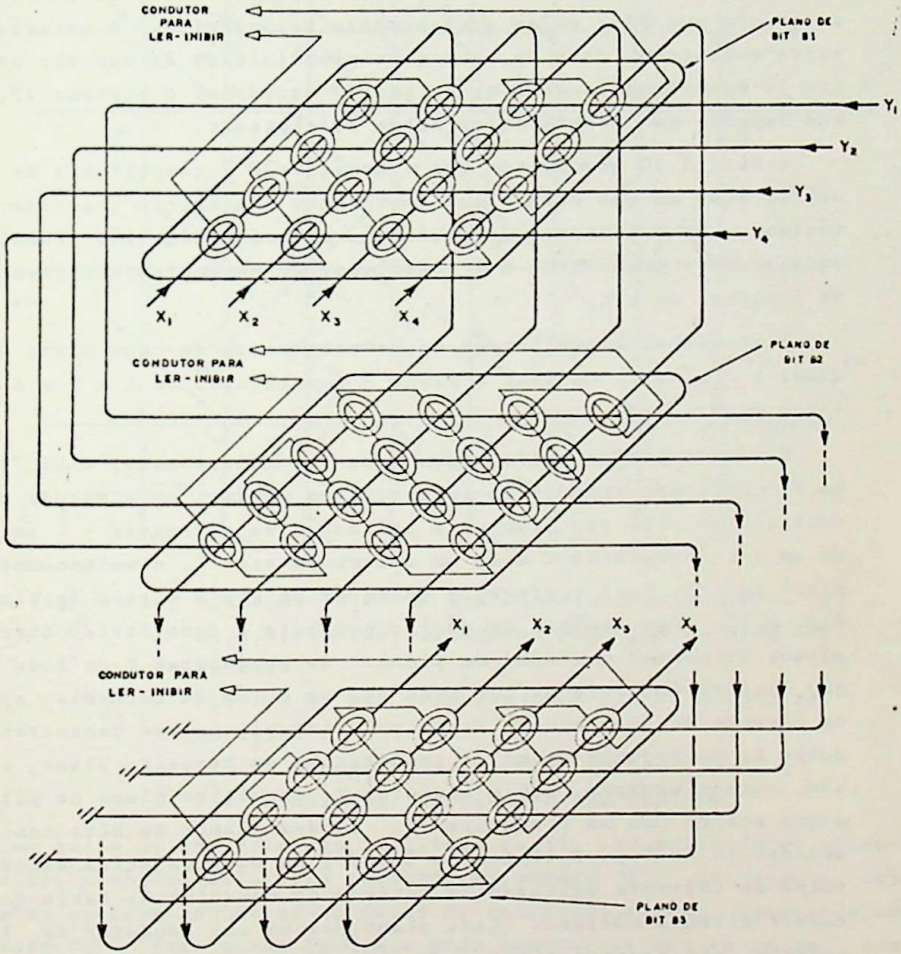


Fig. 3.10 - Memória de Corrente Coincidente (3D).

nos circuitos de excitação e seleção da memória. Se desejarmos uma memória com a capacidade de 4.096 palavras (memória de $4K=2^{12}$ palavras), por exemplo, requer-se 4.096 condutores para seleção de palavras e 4.096 excitadores correspondentes, o que representa uma

avultada quantidade de componentes eletrônicos quando comparada com os outros sistemas que vamos estudar.

Um sistema que requer menor quantidade de componentes eletrônicos do que o sistema 2D é o sistema 3D, o qual é conhecido com o nome de *memória de corrente coincidente*. A Fig. 3.10 mostra a composição do sistema 3D, na qual omitimos os registros MAR e MDR, os decodificadores, os excitadores e os amplificadores de sensibilidade embora que eles sejam extremamente necessários. A omissão deve-se somente ao fato de buscarmos simplicidade do desenho uma vez que já conhecemos suas funções quando estudamos o sistema 2D, e, essas funções são idênticas em ambos os sistemas.

A Fig. 3.10 nos mostra que a memória 3D é constituida de B planos de bits em que cada plano representa u'a matriz quadrada de P núcleos. Os condutores de excitação de cada plano são divididos em dois grupos: condutores X e condutores Y, os quais percorrem todos os B planos de bit.

Para melhor visualização do comportamento de cada plano apresentamos a Fig. 3.11 na qual o plano é constituido de X x Y = 64 núcleos (X=8 e Y=8).

Qualquer núcleo neste plano pode ser selecionado, e um "0" ou um "1" pode ser armazenado (escrito) no núcleo, ou o estado de qualquer núcleo pode ser lido pela aplicação de correntes adequadas em um dos condutores X e em um dos condutores Y, simultaneamente. O plano da Fig. 3.11 representa qualquer um dos B planos de bit da Fig. 3.10. Uma memória de núcleo completa é constituido desses B planos dispostos em forma de pilha. Os condutores X de cada plano são ligados em série de tal modo que um pulso de corrente aplicado na entrada de um condutor X_1 no primeiro plano deve percorrer o condutor X_1 do segundo plano, o condutor X_1 do terceiro plano, e, assim, sucessivamente, até o condutor X_1 do último plano da pilha. O mesmo ocorre com os condutores Y. Se dez planos de bits com as dimensões do da Fig. 3.11 fossem ligados da maneira acima descrita um pulso de corrente aplicado na entrada do condutor X_1 teria que percorrer oitenta núcleos. Cada plano possui seu condutor de leitura próprio, não havendo ligação de espécie alguma entre eles, e também possui um amplificador de sensibilidade (leitura) ligado à saida do condutor de leitura.

Analisando, por um momen . , o plano de bit da Fig. 3.11, vamos admitir que, inicialmente, todos os núcleos estejam no estado "0" e que desejamos escrever o bit "1" num núcleo identificado por X_6Y_4

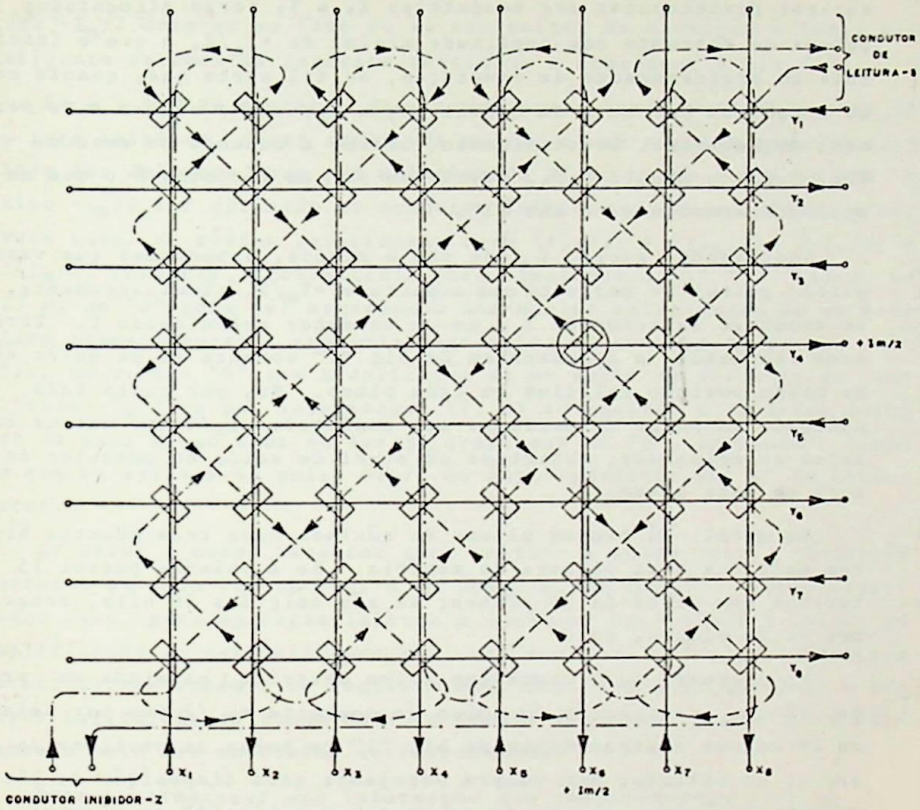


Fig. 3.11 - Plano de "bit" de uma Memória com Núcleos - 3D.
$X_1, \ldots, X_8$ são condutores de alimentação X dos núcleos.
$Y_1, \ldots, Y_8$ são condutores de alimentação Y dos núcleos.
Z é um condutor de inibição dos núcleos.
S é um condutor de leitura dos núcleos.

Se um pulso de corrente com amplitude de $+I_m$ for aplicado no condutor X_6, o núcleo X_6Y_4 será comutado ao estado "1". Entretanto, todos os núcleos comuns ao condutor X_6 sofrerão, também, comutação ao estado "1". Este mesmo fenômeno pode ocorrer se uma corrente com amplitude $+I_m$ for aplicada à linha Y_4, em cuja situação, além do núcleo X_6Y_4, todos os núcleos pertencentes a Y_4 terão seus estados comutados para "1". Se, no entanto, forem aplicados pulsos de corrente com amplitude $+I_m/2$, simultaneamente, nos condutores X_6 e Y_4, pode-se constatar que somente o núcleo X_6Y_4 recebe a corrente total $+I_m$ necessária à comutação desejada, enquanto que todos os demais

núcleos pertencentes aos condutores X_6 e Y_4 serão alimentados com pulsos de corrente com amplitude máxima de $+I_m/2$, o que é insuficiente ao processamento da comutação, de tal sorte que, quando cessada a ação da corrente de magnetização somente o núcleo X_6Y_4 permanecerá magnetizado, identificando, assim, a mudança de estado. Na Fig. 3.11, o núcleo X_6Y_4, envolvido por um círculo, é o que se apresenta armazenado o bit "1".

Analisando, agora, a rede dos B planos, suponhamos que vamos aplicar pulsos de corrente com amplitude $+I_m/2$, simultaneamente, em um condutor selecionado X e em um condutor selecionado Y. Teremos, como resultado, a armazenagem do bit "1" somente em um único núcleo na mesma posição relativa em cada plano. Se, por outro lado, for aplicado um pulso de corrente com amplitude $-I_m/2$ nos mesmos condutores selecionados, obteremos um sinal de saída no condutor de leitura em cada plano.

Em geral, há tantos planos de núcleos numa rede quantos bits forem exigidos numa palavra da memória. Se a palavra possui 15 bits teremos uma pilha de 15 planos; se são exigidos 30 bits, necessitamos de 30 planos, etc.

No processo de armazenagem acima descrito, há ainda um problema. É que a aplicação do pulso de corrente $+I_m/2$ num par selecionado XY conduz à armazenagem do bit "1" em todas as posições da palavra e, no entanto, nem sempre desejamos essa disposição de bits. Geralmente, há necessidade de se escrever o bit "0" em algumas posições e o bit "1" em outras posições. Para conseguirmos este resultado é que precisamos de um quarto condutor que deve atravessar todos os núcleos convenientemente. Esse condutor é chamado de *condutor de dígitos* ou *condutor de inibição* o qual é usado para impedir a armazenagem de um bit "1" num dado núcleo selecionado em um plano. Esse quarto condutor chamamos de *condutor inibidor* Z destinado, separadamente, a cada plano de bits, mas, que deve atravessar todos os núcleos do referido plano, conforme a Fig. 3.11 nos mostra. O condutor inibidor Z deve ser alimentado por uma corrente de amplitude $-I_m/2$ nos planos nos quais desejamos impedir a armazenagem do bit "1". Por conseguinte, necessitamos de tantos condutores inibidores quantos forem os planos de núcleos do sistema. Há, também, um único excitador para cada condutor inibidor, o qual é ligado ou desligado, dependendo da necessidade de se armazenar um bit "0" ou um bit "1" no núcleo selecionado do plano. É claro que a alimentação do condutor inibidor por um pulso de corrente com ampli

tude $-I_m/2$ deve-se ao fato de se necessitar de oposição à força magnetizante oriunda da corrente destinada a armazenar o bit "1".

Se o pulso de corrente para armazenagem tiver amplitude $+I_m/2$ e, para inibição, tiver amplitude $-I_m/2$, e, se o pulso para armazenagem for aplicado, num par selecionado XY ao mesmo tempo em que o pulso $-I_m/2$ for aplicado no condutor inibidor do mesmo plano, a corrente total do núcleo selecionado será $(+I_m/2) + (+I_m/2) + (-I_m/2) = +I_m/2$, portanto, insuficiente para armazenar o bit "1". Assim, um "1" ou um "0" pode ser armazenado num núcleo selecionado de um dado plano obedecendo-se a seguinte sequência: a) comutar todos os núcleos ao estado "0" com a aplicação de um pulso de corrente de amplitude $-I_m/2$ no par selecionado XY; b) só excitar o condutor inibidor de cada plano onde se deseje armazenar um "0", ao mesmo tempo em que se aplicar um pulso $+I_m/2$ no correspondente par XY de condutores.

As vezes o mesmo condutor para leitura é usado para inibição conforme se pode ver na Fig. 3.10 (Memória 3D com 3 condutores). Nesse caso, para operação leitura o condutor Ler/Inibir é ligado ao amplificador de sensibilidade que, por sua vez, alimenta a posição do bit correspondente no registro MDR; para operação escrever o condutor Ler/Inibir do plano onde se deseja armazenar o bit "0" é alimentado pelo seu excitador correspondente.

Para se armazenar uma informação num computador ou para se ler uma informação do computador exige-se um determinado tempo. De um modo geral usa-se o mesmo tempo quer para a armazenagem quer para a leitura. É o que se chama de *ciclo da memória* e é um dos principais fatores que determinam a velocidade com que um computador pode operar. Cada memória consiste de dois períodos; o primeiro, é o tempo de leitura e o segundo é o tempo de armazenagem. A Fig. 3.12 mostra a sequência dos pulsos necessários para a realização do ciclo da memória.

Para situarmos melhor a sequência de tempo nas operações escrever e ler, consideremos que se deseje escrever o número binário 10100 na locação X_6Y_4 da memória. Para isto, vamos admitir que os planos de bit são idênticos ao da Fig. 3.11, dispostos em pilha, conforme a formação da Fig. 3.10. Aqui somos facultados a optar pelo uso dos condutores relativos à leitura e inibição, podendo ser comuns, como no caso da Fig. 3.10, ou independentes, como no caso da Fig. 3.11. Assim, o número de planos será cinco uma vez que dispomos de um binário constituido de cinco bits (palavras com cinco

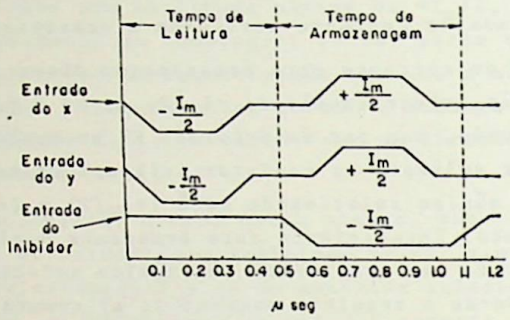


Fig. 3.12 - Sequência de Tempo da Memória de Núcleo.

posições), em que um "0" será armazenado nos 2º, 4º e 5º planos, o que quer dizer que no início da operação escrever somente os excitadores ligados aos condutores inibidores dos planos 2, 4 e 5 é que fornecem corrente aos condutores dos respectivos planos.

Então, para que a operação escrever seja realizada, em primeiro lugar os excitadores adequados devem ser escolhidos. Desde que a locação selecionada foi X_6Y_4 os excitadores ligados ao condutor X_6 e os excitadores ligados ao condutor Y_4 devem estar disponíveis. Quando os pulsos de leitura forem aplicados os "0" serão escritos nos núcleos situados na locação X_6Y_4 de todos os cinco planos. Após 0,4 microsegundos, (Ver Fig. 3.12), cada núcleo selecionado armazena um "0". Depois de 0,5 microsegundos do início da sequência os excitadores de inibição ligados aos planos 2,4 e 5 entram em operação, e, simultaneamente, inicia a operação escrever. Assim um "1" será armazenado nos núcleos selecionados dos planos 1 e 3 e a diferença entre as correntes de inibição e de coincidência, através dos planos selecionados 2, 4 e 5 fará com que o estado "0" permaneça nos núcleos selecionados desses planos. Após a sequência de pulsos os núcleos selecionados nos planos 1 e 3 conterão "1" e os núcleos selecionados nos planos 2, 4 e 5 conterão "0", e o resultado é que a informação 10100 fica armazenada na locação X_6Y_4 da memória.

Vamos admitir agora que desejamos ler a informação 10100 que foi armazenada na memória durante a operação escrever, descrita anteriormente. Ainda, neste caso, aplica-se a sequência de tempo da Fig. 3.12, embora que haja algumas diferenças na operação. Então, para que a operação ler seja efetuada, em primeiro lugar, as correntes de leitura são aplicadas nos núcleos selecionados, dentro do período de zero a 0,5 microsegundos, conforme a Fig. 3.12. Se um

sinal de amplitude considerável for recebido no amplificador de sensibilidade ligado a um dado plano durante esse período, significa dizer que o núcleo selecionado no referido plano armazena o bit "1", caso contrário, isto é, se a amplitude do sinal for pequena, quer dizer que o núcleo contem um bit "0". Assim, os condutores de sensibilidade ligados nos planos 1 e 3 produzem sinal indicando a armazenagem do bit "1" e os condutores de sensibilidade ligados aos planos 2, 4 e 5 produzem sinal tênue indicando a armazenagem do bit "0". Consequentemente, a informação armazenada era 10100. Por razões já conhecidas esta informação deve ser armazenada, novamente, no mesmo local da memória após a operação de leitura. Durante a operação leitura a saida de cada condutor de leitura é amplificada e usada para agir nos dispositivos de armazenagem do MDR para armazenar "0" ou "1", e os conteúdos de cada um desses dispositivos são usados para controlar os excitadores dos condutores de inibição durante o tempo de escrita. Assim, somente os excitadores de inibição ligados aos planos 2, 4, e 5 é que entrarão em operação sob a ação dos sinais provindos dos respectivos dispositivos de armazenagem e os núcleos selecionados nesses planos permanecerão no estado "0". Após o tempo de escrita, os núcleos selecionados recobram o conteúdo 10100, tal como existia antes da leitura

A Fig. 3.13 mostra a composição de uma memória de núcleos 3D em diagrama de blocos, e a Fig. 3.14 mostra uma outra versão da co

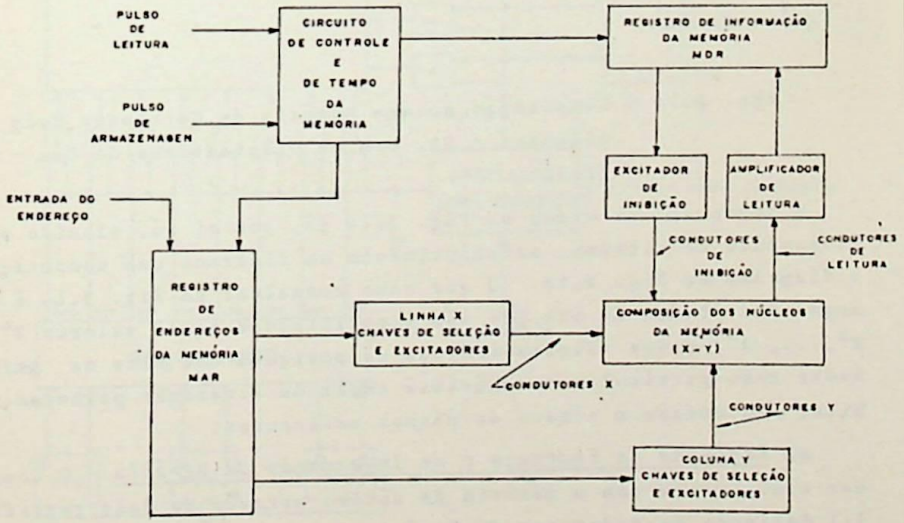


Fig. 3.13 - Diagrama de blocos da composição de uma memória 3D.

posição da Fig. 3.13 na qual fica ressaltada, de modo nítido, a disposição dos planos de bit.

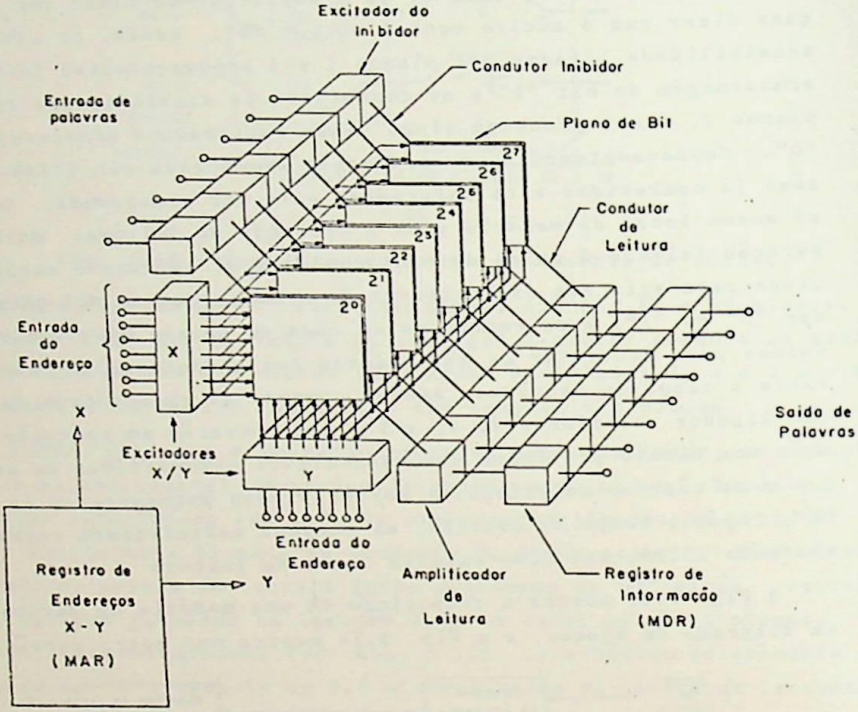


Fig. 3.14 - Composição de uma Memória de Correntes Coincidentes - 3D, com os Dispositivos de Controle.

A nomenclatura usada na Fig. 3.14 já, por si só, elucida o funcionamento do sistema, principalmente se fizermos uma comparação com o diagrama da Fig. 3.13. O que cabe ressaltar na Fig. 3.14 é a formação dos planos de bit que são identificados pelos valores 2^0, 2^1, 2^2,..., 2^7, cujos valores indicam as posições dos bits na palavra. Neste caso particular a memória é capaz de armazenar palavras de 8 bits, exatamente o número de planos existentes.

a) *Registro de Endereço e de Informação da Memória* - O Computador comunica-se com a memória de núcleo através de dois registros : a_1) Registro de Endereços da Memória que contem o endereço da palavra que deve ser escrita na memória ou lida da mesma; a_2) Registro

de Informação da Memória (Registro Separador da Memória) que contem a palavra que foi lida da memória, após o ciclo de leitura, ou contem a palavra que deve ser escrita na memória. Para que uma palavra seja localizada na memória, o endereço desta palavra deve ser carregada no Registro de Endereços. Se se deseja ler uma palavra armazenada, os estados dos núcleos, no endereço especificado, são identificados e escritos no Registro de Informações. Assim, o computador pode ler, através do Registro de Informações, a palavra que estava armazenada. Se se deseja escrever uma palavra na memória, o endereço é carregado no Registro de Endereços e a palavra é carregada no Registro de Informações. Após o ciclo da memória a palavra estará armazenada na memória com o endereço especificado.

b) *Alimentação dos Condutores X e Y* - Para estudarmos a alimen-

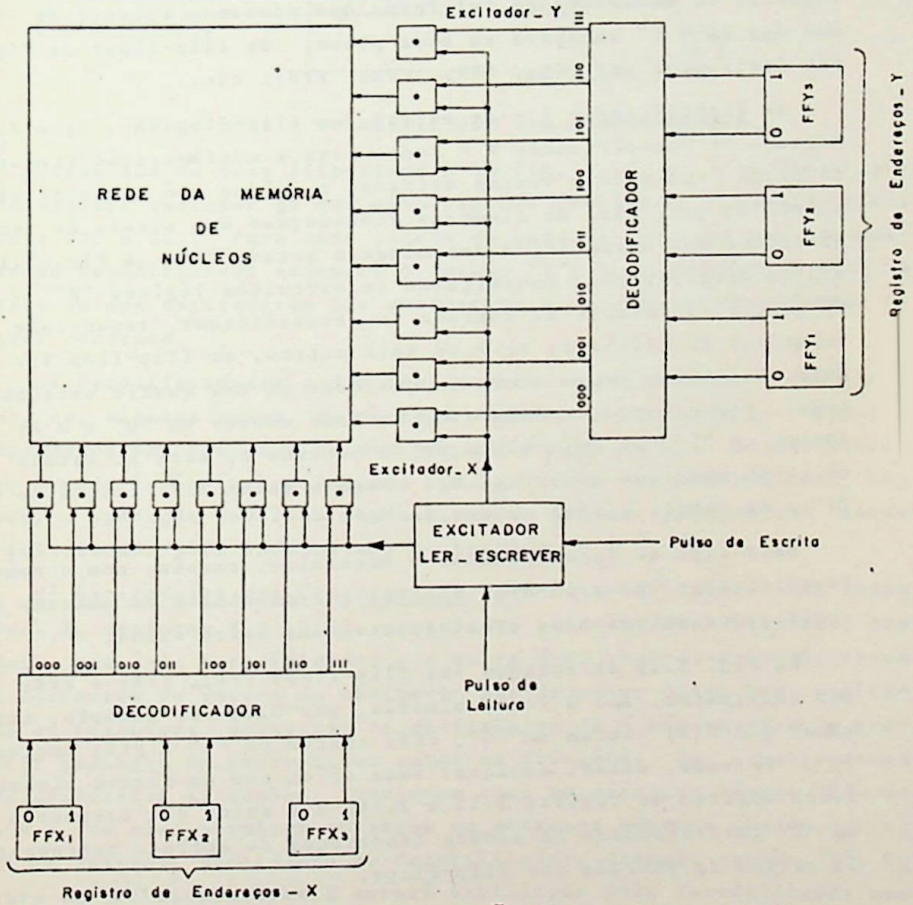


Fig. 3.15 - Sistema de Seleção dos Condutores X-Y.

tação dos condutores X e Y que identificam as palavras nos planos de bit, vamos examinar a sequência dos pulsos de corrente através da memória de núcleos usando um modelo simples. Os flip-flops (multivibradores biestáveis a semicondutores), são geralmente usados como dispositivos de armazenagem tanto para o registro de endereços quanto para o registro de informações. A Fig. 3.15 ilustra, em diagrama de bloco, a operação de um sistema de seleção para uma memória de núcleo usando planos de bit com a dimensão daquele especificado na Fig. 3.11, disponível para 64 (X=8, Y=8) palavras. Desde que necessitamos de oito condutores para seleção de X e oito condutores para seleção de Y, devemos ter disponíveis três flip-flops para as filas X e três flip-flops para as colunas Y a fim de que se processe a devida seleção. Portanto, exigem-se seis flip-flops no registro de endereços de tal forma que possamos selecionar sempre uma das 64 = 2^6 locações em cada plano. Os flip-flops na Fig. 3.15 são designados por FFX_1, FFX_2, FFX_3, FFY_1, etc.

c) Decodificador X - As saidas dos flip-flops X_1, X_2 e X_3 são ligadas ao Decodificador X - sendo esta a configuração frequentemente usada - possuindo várias entradas e saídas e é caracterizado com o fato de que, para as diversas combinações dos sinais de entrada, só existe uma única saida assumindo o estado "1". A Fig. 3.16 ilustra um decodificador constituido de circuitos lógicos "E" (AND). Há quatro condutores de entrada no decodificador, sendo dois deles relativos ao flip-flop X_1 e os dois outros, ao flip-flop X_2. Os dois flip-flops podem estar em qualquer um dos quatro estados possíveis. Por exemplo, o flip-flop X_1 pode conter um "0" e o X_2 pode conter um "1", em cuja situação, a entrada $\overline{X}_1$ está no estado "1", do mesmo modo que a entrada X_2. Logo a saida $X_2\overline{X}_1$ estará no estado "1" e as demais saidas no estado "0".

Este tipo de decodificador é conhecido, também, com o nome de Decodificador "many-to-one" uma vez que os sinais de entrada do decodificador selecionam, efetivamente, uma única saída.

Na Fig. 3.15 os estados dos flip-flops FFX_1, FFX_2 e FFX_3 podem ser designados, sob a forma binária, por 011, por exemplo, significando que FFX_1 contem um "0", FFX_2 contem um "1" e FFX_3 contem um "1". Podemos, então, designar cada saida com um número binário, conforme mostram as figuras 3.15 e 3.16, e a saida que assumir o estado "1" corresponderá ao número (endereço) de entrada representado pelo estado da entrada dos flip-flops.

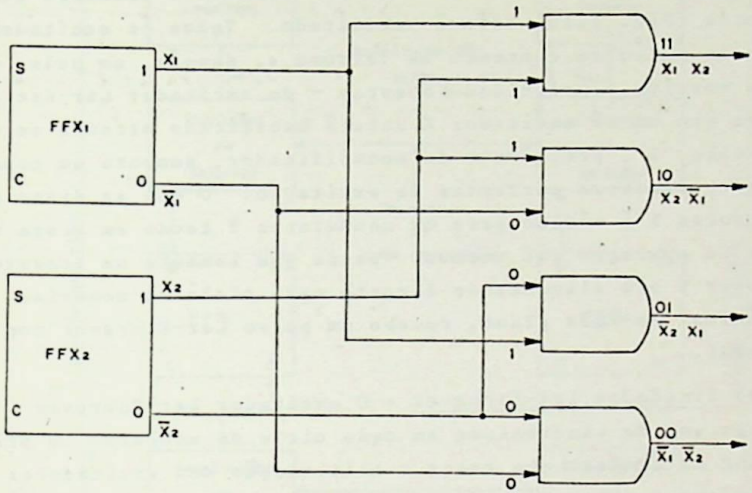


Fig. 3.16 - Decodificador com quatro saidas.

Desde que há três flip-flops X na Fig. 3.15, os flip-flops podem assumir qualquer um dos oito estados possíveis, compreendidos entre 000 e 111. Para cada estado de entrada, somente uma das saidas do decodificador assumirá o estado "1", e, consequentemente, somente um dos excitadores dos condutores X ficará em condições de receber corrente.

Os Decodificadores podem ser, também, constituidos de transistores, ou, algumas vezes, de núcleos magnéticos semelhantes aqueles empregados nas memórias de núcleos magnéticos. Se o Decodificador for grande é possível que assuma configurações mais econômicas. Contudo, a operação continua sendo a mesma, isto é: somente uma saida é selecionado para cada estado de entrada.

d) *Excitadores dos Condutores X* - Há oito excitadores dos condutores X, conforme Fig. 3.15, possuindo, cada um, duas entradas, das quais, uma é do decodificador e a outra é do excitador Ler/Escrever. As correntes de saidas do excitador Ler-Escrever podem ser positivas ou negativas, portanto, os excitadores de X são capazes de permitir passagem de corrente em ambas as direções. Os excitadores dos condutores X, também, funcionam como um circuito lógico "E", uma vez que eles permitem passagem de corrente somente quando o sinal de entrada, procedente do decodificador, assumir estado "1". Somente um dos excitadores X estará habilitado pelo decodificador num

determinado instante. Por exemplo, se os flip-flops X, no registro de endereço da memória, contiver 000 somente o primeiro excitador à esquerda (Fig. 3.15) estará habilitado. Todos os excitadores X recebem um pulso de corrente de leitura e, depois, um pulso de corrente de escrita - polaridades opostas - do excitador Ler-Escrever. Uma vez que um só excitador X estará habilitado através de um sinal no estado "1", procedente do decodificador, somente um condutor X, da rede, receberá correntes de excitação. O que se disse para os condutores X é válido para os condutores Y tendo em vista as identidades de operação dos mesmos. Desde que somente um condutor X e um condutor Y são alimentados durante cada ciclo de memória, somente um núcleo, em cada plano, recebe um pulso Ler-Escrever com amplitude total.

e) *Excitador Ler-Escrever* - O excitador Ler-Escrever recebe dois pulsos de sincronismo em cada ciclo de memória. O primeiro é o *pulso de leitura* que causa a alimentação dos excitadores X e Y pelo excitador Ler-Escrever através de pulsos positivos de corrente com meia amplitude. O segundo pulso aplicado no excitador Ler-Escrever é o *pulso de escrita*, o qual inicia um pulso negativo de corrente aos excitadores X e Y. A corrente fornecida pelos excitadores Ler-Escrever é, geralmente, da ordem de 0,1 a 1 A.

A operação do MAR, juntamente com seu circuito auxiliar, causa um único núcleo, em cada plano de memória, receber um pulso de corrente para leitura e, em seguida, um pulso de corrente para escrita, com amplitude total. O MAR é, em geral, controlado diretamente pela instrução que está sendo interpretada pela máquina, isto quer dizer que a parte que identifica o endereço da palavra é lida diretamente no MAR.

f) *Registro de Informação (Dados) da Memória e Circuitos Auxiliares* - O registro de informações da memória é constituido de um registro de flip-flops que contem um flip-flop para cada plano da rede. O número de planos na rede e consequentemente, o número de flip-flops do registro de informação, é igual ao número de bits de controle e os elementos de aritmética da máquina, geralmente, têm comunicação direta com o registro de informação, quer na operação da escrita da palavra quer na operação da leitura.

A Fig. 3.17 mostra dois flip-flops do registro de informação com o respectivo circuito auxiliar. Todos os bits do registro de informação têm circuitos auxiliares idênticos. Na sua operação distinguimos duas etapas distintas: a primeira compreende a leitura da

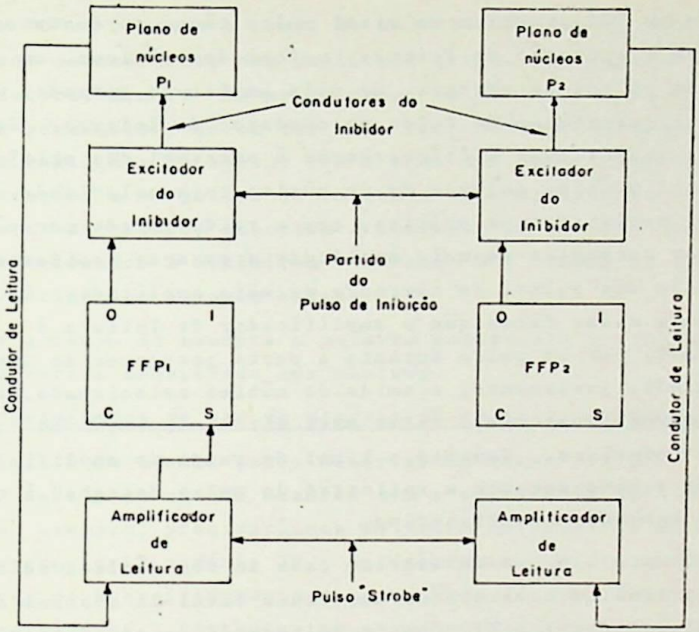


Fig. 3.17 - Registro de Informação da Memória (MDR) - Operação.

palavra selecionada e a segunda compreende a escrita da palavra na memória.

a - *Leitura da Memória* - A locação da palavra selecionada da memória que se deseja ler deve ser armazenada no MAR, conforme Fig. 3.15. O registro de informação deve estar no estado "0". Durante o tempo de leitura, conforme Fig. 3.12, o núcleo selecionado em cada plano recebe um pulso de corrente total, assumindo o estado "0". Se o núcleo selecionado, num dado plano, estiver no estado "1", o condutor de leitura recebe um pulso, o qual é amplificado pelo amplificador de leitura e, então, aplicado para armazenar um "1" no flip-flop do registro de informação que, por sua vez, é usado para controlar o excitador de inibidor para cada plano. Se o núcleo selecionado no plano estiver no estado "0" o sinal recebido pelo amplificador de leitura será tênue e, assim, nenhum pulso aparecerá na saida do amplificador de leitura e o flip-flop permanece no estado "0".

Conforme se pode observar na Fig. 3.17, o amplificador de leitura é controlado por um Pulso "Strobe" (Gatilho) estreito. A necessidade dessa providência deve-se ao fato que, apesar do núcleo que

contem um "0" produzir um sinal muito tênue no condutor de leitura durante a operação de leitura, muitos dos núcleos, em cada plano, recebem pulsos de corrente de meia amplitude gerando, assim, uma pequena quantidade de ruido no condutor de leitura. Se essas pequenas quantidades adicionarem-se é possível que atinjam um nível de sinal próximo daquele de um núcleo cuja polaridade é reversa. Já foi verificado na prática, que o ruido gerado por núcleos excitados por correntes de meia amplitude atenua-se rapidamente logo após o início dos pulsos de corrente de meia amplitude. É, exatamente, devido a esses fatos que o amplificador de leitura é controlado (Strobed) por um pulso durante a parte posterior do *tempo de leitura* quando, justamente, a saida do núcleo selecionado, possuindo estado reverso, atinge o valor mais alto em relação ao ruido dos núcleos referidos. Somente o sinal de saida do amplificador de leitura que ocorre durante a aplicação do pulso "strobe" é que é aplicado na entrada S do Flip-flop.

Durante o tempo de escrita cada um dos núcleos selecionados, recebe pulsos de corrente de amplitude total do sistema de seleção dos condutores X e Y. Como resultado da operação leitura, todos esses núcleos foram colocados no estado "0", contudo, os flip-flops do registro de informação contêm um "1" para cada plano no qual um "1" estava armazenado no núcleo correspondente. Como já se sabe, as saidas desses flip-flops geram os sinais que controlam os excitadores de inibição para cada plano no qual um "0" deve ser mantido. Todos os demais núcleos selecionados assumirão o estado "1". As saidas "0" de cada flip-flop é, assim, usado para controlar o excitador de inibição para o plano correspondente ao flip-flop. Após o tempo de escrita, o núcleo selecionado em cada plano estará no seu estado original.

b - *Escrita na Memória de Núcleo* - A técnica de seleção dos condutores X e Y obedece à mesma sequência de tempo quer quando uma palavra for escrita na memória, quer quando a palavra for lida da memória. Contudo, há uma diferença de operação quanto ao registro de informação da memória. A palavra a ser escrita no local selecionado é armazenada no registro de informação e o endereço é armazenado no registro de endereços. Durante o tempo de leitura o amplificador de leitura não é engatilhado (Strobed). Assim, o registro de informação não sofre alteração no seu estado atual, como é de desejar, uma vez que estamos realizando a operação escrita.

Após o tempo de leitura todos os núcleos selecionados assumem o

o estado "0". Durante o tempo de escrita, os mesmos núcleos recebem pulsos de corrente, com amplitude total, do sistema de seleção dos condutores X e Y. Ao mesmo tempo os planos, nos quais o estado "0" deva permanecer, devem ter seus respectivos excitadores de inibição em condições de operar sob a ação dos flip-flops do registro de informação, e os pulsos de corrente de meia amplitude procedentes desses excitadores cancelam a corrente de seleção levando os núcleos selecionados a assumirem o estado "0". Todos os demais núcleos selecionados assumem estado "1".

Após o tempo de escrita a palavra encontrada no registro de informação estará armazenada nos núcleos.

c - *Resultados do uso da Memória 3D em face da Memória 2D*

No início do estudo sobre Memórias 3D (Item 3.2.3) dissemos que, se desejassemos uma memória com a capacidade de 4.096 palavras, por exemplo, precisaríamos de 4.096 excitadores de núcleos, caso optassemos pela memória 2D. Se usássemos o sistema 3D, veríamos que em vez de N excitadores para a Memória 2D, usaríamos, somente, $2xN^{1/2}$ excitadores. Portanto, no nosso exemplo de 4.096 (64x64) palavras, precisaríamos, somente, de $2x(4.096)^{1/2} = 128$ excitadores, isto é, 64 excitadores para os condutores X e 64 excitadores para os condutores Y. A Memória 3D, por outro lado, apresenta a desvantagem de ter sua velocidade de operação diminuida em relação ao sistema 2D, devido ao aumento de fiação que é exigido. Assim, a escolha entre um e outro sistema fica condicionada a um compromisso entre o *custo de fabricação* devido à quantidade do circuito eletrônico envolvido e à *velocidade de operação* em face da fiação em jogo. Portanto, o uso do esquema 2D fica reservado às memórias de pequena capacidade, sendo muito úteis nos registros de informação, por exemplo, onde se precisa armazenar pequena quantidade de palavras.

3.2.4

Memórias Magnéticas - Sistema 2 1/2D

Na medida em que foi aumentando a necessidade de computadores possuindo memórias de operação mais rápida e de maior capacidade de armazenagem, começamos a notar as limitações do sistema de correntes coincidentes com quatro condutores. Parecia também evidente que, na medida em que os sistemas iam aumentando em capacidade e se tornando mais rápidos, a maior percentagem dos seus custos incidia na técnica do arranjo da memória. Isto se deve ao fato dos magnetos tornarem-se mais caros devido à necessidade do uso de núcleos

bem menores, e, também porque o custo dos elementos discretos e dos circuitos com semicondutores começaram a decrescer rapidamente. Assim, processaram-se estudos de vários sistemas com o objetivo de estabelecer um equilíbrio, mais favorável, entre a parte eletrônica e a composição da memória. Um sistema escolhido foi o sistema de três condutores que conseguiu preservar as vantagens do circuito de decodificação do sistema de corrente coincidente (3D) e, concomitantemente, as vantagens do custo do sistema linear (2D). Como este sistema encerra as vantagens do sistema de corrente coincidente (3D) e do sistema linear (2D) tornou-se conhecido com o nome de *Sistema 2 1/2D*.

Uma vez que o Sistema 2 1/2D é semelhante, em muitos aspectos, tanto ao sistema 3D quanto ao sistema 2D, seria interessante que se estabelecesse um paralelo entre estes e aquele.

a) *Sistema 2 1/2D em relação ao Sistema 3D* - O sistema 2 1/2D pode ser derivado do sistema de corrente coincidente, mostrado na Fig. 3.10, para o que os condutores X permanecem intactos, enquanto que os condutores Y são cortados após o percurso de cada plano de bit. Assim, devemos prover um conjunto de condutores Y para cada

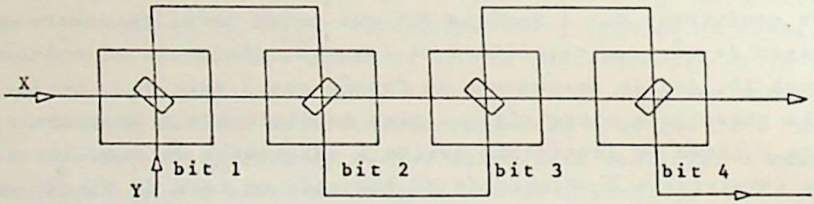


Fig. 3.18 - Sistema de Corrente Coincidente - 3D.

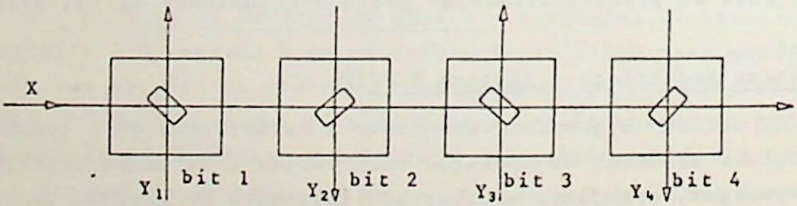


Fig. 3.19 - Sistema 2 1/2D derivado do Sistema de Corrente Coincidente.

posição de bit, isto é, cada plano de bit possui seu conjunto próprio de condutores Y, independente dos conjuntos Y dos demais planos. A operação de leitura é a mesma como na memória 3D, porém, na

operação de armazenagem, só há necessidade de aplicação de pulsos de corrente no condutor Y pertencente ao plano cujo bit deve permanecer no estado "0". Assim, o sistema 2 1/2D requer maior número de excitadores do que o sistema 3D. Em compensação, no sistema 2 1/2D fica eliminada a necessidade do longo condutor de inibição. Portanto, a eliminação deste quarto condutor, no sistema 2 1/2D, desempenha importante papel tanto para o funcionamento (operação mais rápida) quanto para o fator econômico (menor custo).

As Figuras 3.18 e 3.19 elucidam os diagramas dos dois sistemas, previstos para quatro bits por palavra, onde se nota a continuidade do condutor Y através dos planos de bit, no sistema 3D, e a exclusividade de um condutor Y para cada plano de bit no sistema 2 1/2D.

b) *Sistema 2 1/2D em relação ao Sistema Linear 2D* - Na realização de uma memória, com a capacidade de 4.096 palavras, por exemplo, segundo o sistema 2D, encontramo-nos diante de alguns problemas, entre os quais, destacamos: a) o comprimento, relativamente grande, dos condutores de leitura e dos bits, que é uma objeção à operação em alta velocidade; b) a chave comutadora de posições, julgada impraticável, uma vez que deve ser projetada para 4.096 posições exigidas para as 4.096 palavras previstas. A análise confrontando os dois sistemas, ambos com a mesma capacidade, dar-nos-á uma idéia concreta da vantagem que o sistema 2 1/2D tem sobre o sistema

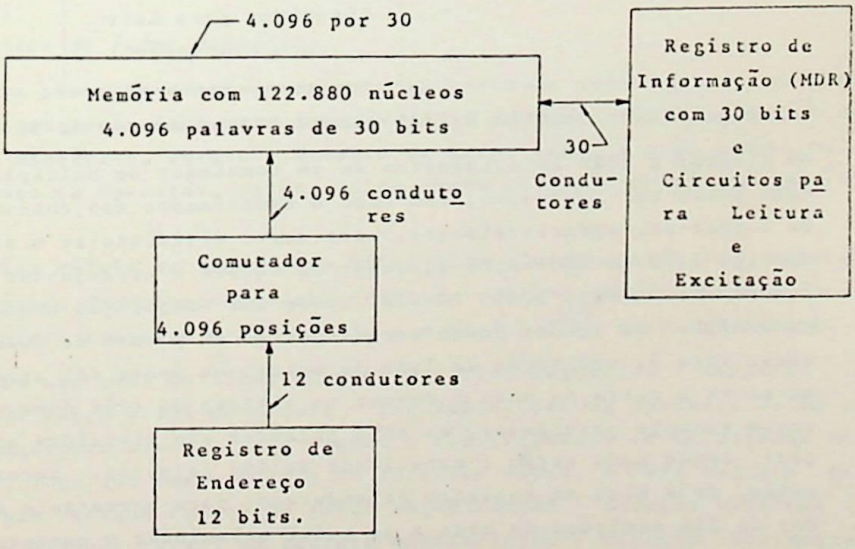


Fig. 3.20 - Memória 2D para 4.096 palavras de 30 bits.

2D. A Fig. 3.20 ilustra a composição de uma memória 2D com a capacidade de 4.096 palavras, de 30 bits cada palavra. Para o projeto precisamos de um registro de endereços (MAR) com 12 flip-flops ($4096=12^{12}$), que vai comandar o comutador de 4.096 posições.

Podemos mostrar, através da Fig. 3.21, que é possível construir uma memória 2 1/2D, aumentando, inclusive, o comprimento da palavra, sem enfrentarmos os problemas inerentes ao sistema 2D acima.

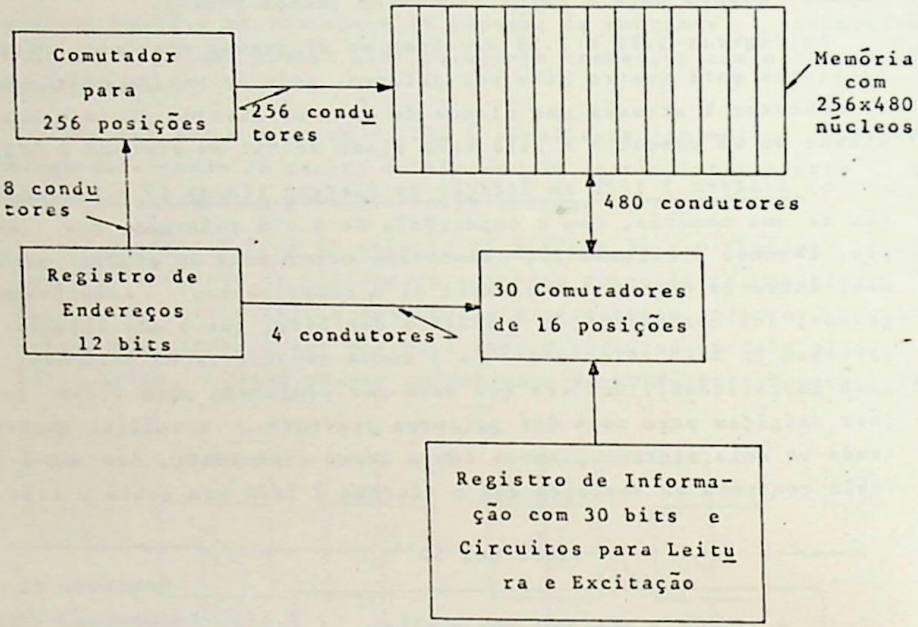


Fig. 3.21 - Memória 2 1/2D para 4.096 palavras, de 30 bits.

No sistema 2 1/2D as exigências de um comutador de múltiplas posições podem ser atenuadas, bem como o comprimento dos condutores pode tornar-se, apreciavelmente, mais curto dividindo-se o sistema 2D da Fig. 3.20 em um número adequado de seções e arranjá-las conforme é mostrado na Fig. 3.21. Assim, temos uma composição chamada Sistema 2 1/2D. As seções podem ser dispostas em planos de duas dimensões, isto é, uma seção ao lado da outra, ou podem ser agrupadas, uma sobre a outra, de modo a formar um sistema de três dimensões. No nosso exemplo particular, as 4096 palavras são divididas em 16 seções, tendo cada seção a capacidade de 256 palavras. Necessitamos, então, de 8 bits no registro de endereço, para o controle do comutador de 256 posições de modo a se poder selecionar o condutor do excitador da palavra correspondente em cada uma das 16 seções. Consi

derando que o comprimento da palavra do nosso exemplo é de 30 bits, o número total de núcleos em cada linha é de 30x16 = 480. Para selecionar uma palavra particular, 8 dos 12 bits do registro de endereço (2^8=256) compõe um registro que seleciona a palavra correspondente em cada uma das 16 seções. Finalmente, para que a palavra desejada seja selecionada lançamos mão de um registro constituido dos 4 bits restantes (2^4=16) dos 12 bits do registro de endereço. Necessitamos, neste sistema, de um comutador de 16 posições para cada bit da palavra. Desta forma são exigidos 30 comutadores de 16 posições para a constituição da matriz. O número total de condutores de saida da matriz fica, então, reduzido de 4.096 a 256 + 480 = 756. Deve-se salientar, contudo, que o custo da redução depende dos detalhes da parte eletrônica do comutador e do excitador. Poder-se-ia, também, fazer outra composição do sistema 2D original dividindo-se a memória em seções de 512 palavras, por exemplo, para o que seriam exigidos 512 + 8 x 30 = 752 condutores da matriz de comutação. Nota-se, com este segundo resultado, que não há uma diferença apreciável entre as duas opções, de modo que o fator determinante da escolha será a complexidade da parte eletrônica envolvida nos excitadores. Finalmente, devemos acentuar que a divisão em seções, conforme foi feita, torna-se mais econômica na medida em que as dimensões das duas maiores matrizes de comutação forem, aproximadamente, iguais.

3.2.5

Memórias de Filme Magnético

Da pesquisa sempre crescente em busca de memórias que apresentem características mais favoráveis em relação às da memória de núcleo magnético, surgiu a *Memória de Filme Fino*, a qual possui maior rapidez de operação, porém, maior custo do que a de núcleo magnético.

Uma célula da Memória de Filme Fino é constituida de material magnético depositado num substrato de vidro de forma circular ou retangular, conforme a Fig. 3.22a e a Fig. 3.22b, respectivamente.

Se uma gota de filme fino de material magnético - composto de 20% de ferro e 80% de níquel - for depositado na presença de um campo magnético elevado, ela assume o comportamento de um pequeno magneto, logo que cesse a ação do referido campo, e este magneto possui uma direção (eixo) de *fácil magnetização* - direção vertical - e outra direção (eixo) de *difícil magnetização* - direção horizontal. M.S. Blois (1955) mostrou que era possível produzir filmes magnéti-

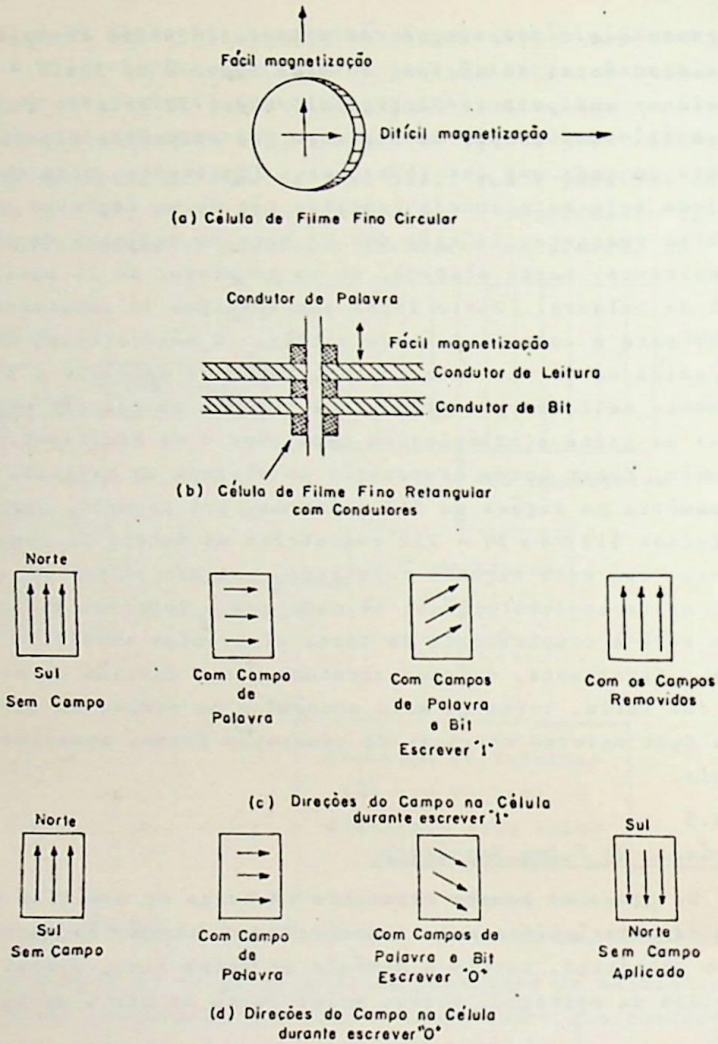


Fig. 3.22 - Células de Filme Fino Magnético de uma Memória.

a) Célula Circular.

b) Célula Retangular com respectivos Condutores.

c) Direção do campo numa Célula durante a operação "escrever 1".

d) Direção do campo numa Célula durante a operação "escrever 0".

cos planares com a espessura de 1.000 a 10.000 Å os quais exibiam uma curva de histeresis, com característica retangular, como convem à armazenagem de informações. O filme age como um pequeno magneto

com os polos norte e sul alinhados segundo a direção de fácil magnetização, contanto que nenhum campo magnético externo seja aplicado, o que significa dizer que os estados normais de uma célula são com o polo norte em cima e o polo sul em baixo ou vice-versa. Adotamos, como convenção, que quando o polo norte estiver em cima e o polo sul em baixo (sentido mostrado na Fig. 3.22) a célula assume o estado "1"; quando ocorrer o inverso, a célula assume o estado "0". Se a célula tiver seu polo norte em cima e fizermos girar o campo de modo que o polo norte seja dirigido para baixo sob a ação de um campo externo, esta nova direção de magnetização mantem-se após a remoção do campo. Isto quer dizer que é possível a armazenagem de um dígito binário numa célula dessa espécie. Ademais, se, pela aplicação de um campo externo, forçarmos o eixo de magnetização girar para a direção de *difícil magnetização*, o eixo de magnetização passa a ocupar a direção de *fácil magnetização* que estiver mais próxima, após cessada a ação do campo.

A Fig. 3.22b mostra uma célula retangular típica de uma memória com os condutores de palavra, de bit e de leitura. O condutor de palavra é usado para a célula que desejamos ler ou na qual deseja - mos escrever; o condutor de bit é usado para se escrever um bit "1" ou um bit "0", para o que a corrente de bit deve ser aplicada na direção correspondente; e o condutor de leitura é usado para definir o estado da célula quando esta precisar ser lida. Convem observar que os condutores acima mencionados não precisam ser fios, necessariamente, no sentido convencional, porém, geralmente, são fitas condutoras depositadas em algum substrato não condutor. Para se conseguir o sistema completo os planos de memórias que contêm as células são sobrepostos, convenientemente.

Se uma corrente elétrica for aplicada na direção para baixo através do condutor de palavra - Fig. 3.22b -, a magnetização da célula assumirá a direção de *difícil magnetização*, como mostrado na Fig. 3.22c, e, se uma corrente for aplicada no condutor de bit na direção "1" (convencionada da esquerda para a direita), a direção de magnetização girará, ligeiramente, no sentido contrário aos ponteiros de um relógio. Se a corrente for agora removida do condutor de palavra, seguida pela remoção da corrente do condutor de bit, a direção de magnetização da célula assumirá a direção de fácil magnetização com o polo norte em cima, representando o estado "1" - Fig. 3.22c -.

Se aplicarmos, agora, uma corrente no condutor de palavra - ob-

serva-se que a corrente através do condutor de palavra é sempre aplicada na mesma direção, enquanto que a corrente no condutor de bit pode ser aplicada em ambas as direções, conforme for requerido- o campo magnético na célula girará na direção dos ponteiros do relógio e um pulso positivo será induzido no condutor de leitura, indicando que a célula estava no estado "1".

Desejando-se armazenar o estado "0" - norte para baixo -, devemos aplicar uma corrente no condutor de palavra, simultaneamente, à aplicação de uma corrente no condutor de bit na direção de "0" - que é convencionada ser da direita para esquerda da página - e, em seguida, remover a corrente do condutor de palavra seguida da remoção da corrente do condutor de bit - Fig. 3.22d - Como se vê na figura, a aplicação da corrente no condutor de palavra resulta no deslocamento de campo para a direção de difícil magnetização, semelhantemente ao que ocorreu na operação de armazenagem de "1". Enquanto que a aplicação da corrente no condutor de bit com a direção contrária ao estado "1" faz essa direção girar no sentido dos ponteiros de relógio. De sorte que com a remoção de ambas as correntes o campo ocupará a direção do eixo de fácil magnetização que estiver mais perto, isto é, polo norte para baixo. Se aplicarmos, novamente, uma corrente no condutor de palavra a magnetização da célula girará no sentido contrário aos ponteiros de relógio, do que resulta a indução de um sinal negativo no condutor de leitura acusando que o estado "0" estava armazenado na célula. Com esta técnica aplicada podemos, então, detetar a direção de magnetização da célula que representa o estado "0" ou o estado "1". Essa direção de magnetização permanece enquanto estivermos interrogando a célula com a aplicação de corrente no condutor de palavra, quando temos condição de saber se está armazenado o estado "0" ou o estado "1" através da polaridade do sinal induzido no condutor de leitura.

Uma boa vizualização da sequência dos sinais peculiares aos condutores de palavra, de bit e de leitura pode ser obtida através da Fig. 3.23. Comparando a técnica de leitura do estado de um *filme magnético*, verifica-se que, enquanto os estados "0" e "1", no *núcleo magnético*, são distinguidos na operação de leitura pela ausência ou pela presença de sinal, respectivamente, no condutor de leitura, os estados "0" e "1" são distinguidos no *filme magnético* pela polaridade do sinal captado pelo condutor de leitura. Chamamos atenção para a verificação dos valores e das polaridades das correntes e das tensões, encontrados nos diversos condutores, na Fig. 3.23.

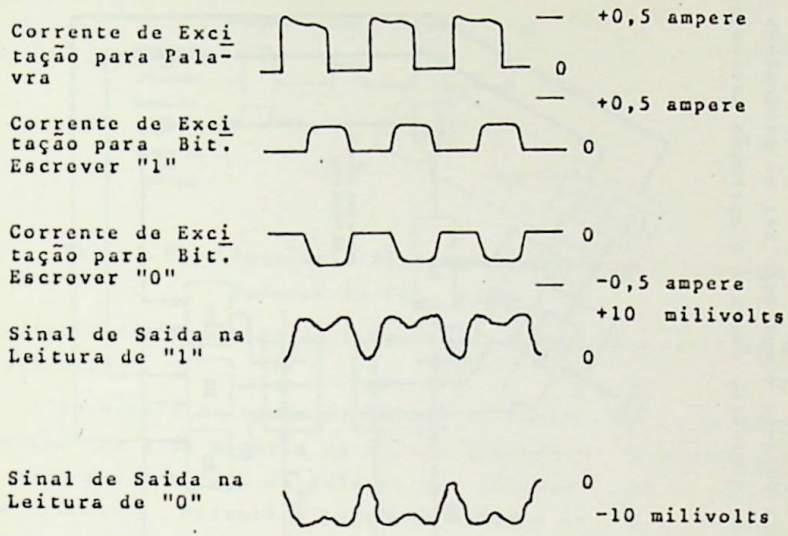


Fig. 3.23 - Formas de Onda de um Sistema de Memória de Filme Fino Magnético.

A aplicação da célula de filme fino magnético numa memória é vista na Fig. 3.24, enquanto que na Fig. 3.25 encontramos uma sequência típica dos pulsos com que são alimentados os diversos condutores do sistema. Observa-se que: as amplitudes dos pulsos para leitura são bem inferiores que as dos pulsos para escrita; não há incidência de pulsos nos condutores de bit durante a operação Ler; há inversão do pulso no condutor de bit conforme o estado do bit a escrever; há inversão do pulso no condutor de leitura conforme o estado do bit a ser lido.

A técnica aplicada neste tipo de memória não é a de correntes coincidentes (3D), mas, a de seleção linear (2D). Na sua forma mais simples o número de excitadores ou de condutores de palavra é igual ao número de palavras da memória o que quer dizer que para uma memória com a capacidade de 4.096 palavras, por exemplo, precisamos, na matriz seletora, de um circuito constituido de 12 entradas (12 flip-flops) e 4.096 saidas.

Há células de filme fino que têm sido confeccionadas para comutarem em alguns nanosegundos (1 nanosegundo = 10^{-9} segundo), porém,

Nota: O MDR é alimentado pelos sinais de saida dos Amplificadores de Leitura durante a operação Ler ou alimentado pelos sinais de informação durante a operação Escrever.

Simbologia

- MAR1, MAR2, ..., MAR_m = Registro de Endereço da Memória.
- DR/PS = Sinais de Excitação e de Controle.
- P0, P1, ..., $P2^m-1$ = Condutores de Palavra.
- B1, B2, ..., B_m = Excitadores de Bits.
- SA = Amplificador de Leitura.
- MDR1, MDR2, ..., MDR_m = Registro de Informação da Memória.

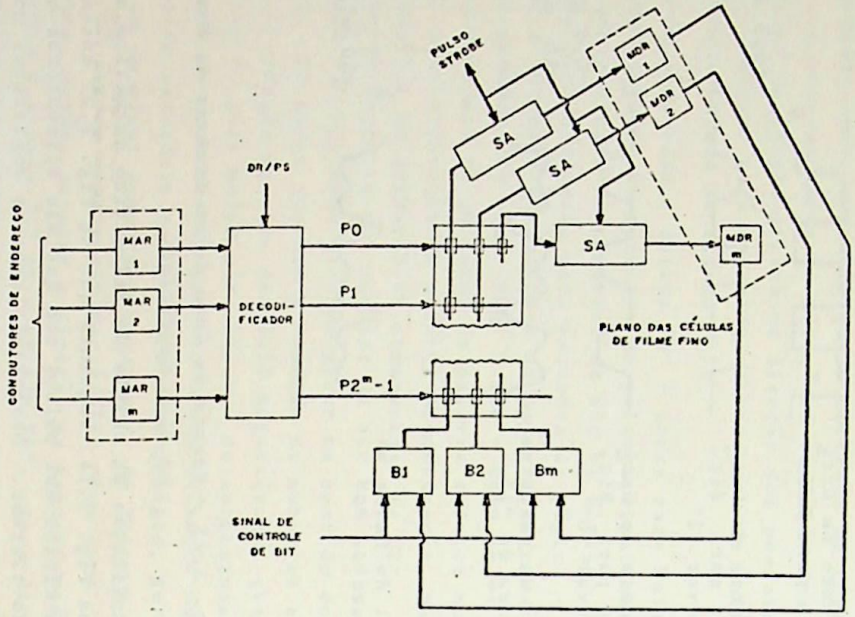


Fig. 3.24 - Diagrama da Composição de uma Memória com Filme Fino Magnético.

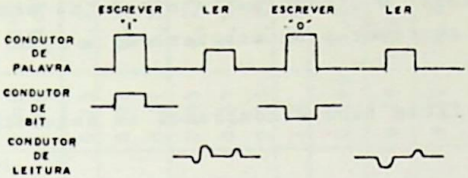


Fig. 3.25 - Sequência Típica dos Pulsos nos Diversos Condutores da Fig. 3.24.

a maioria das memórias de filme fino opera com o ciclo de 0,1 μseg. a 0,5 μseg.

A sequência de operação básica da memória de filme fino é quase a mesma que a da memória de núcleo magnético. O registro de endereço contem o endereço da palavra que desejamos ler ou na qual desejamos escrever. Durante a parte da leitura do ciclo da memória, as células de filme que constituem a palavra, são lidas por meio do deslocamento da direção de fácil magnetização para a direção de difícil magnetização. Os flip-flops assumem o estado "1" ou estado "0" conforme for a polaridade dos sinais de saida captados pelos condutores de leitura se a informação estiver sendo lida, e, esse flip-flops determinam a direção da corrente que deve fluir atravé de cada condutor de bit. Se uma nova informação estiver sendo lid os flip-flops controlam a direção de corrente através dos condutores de bit do mesmo modo como os flip-flops controlam o fluxo ou a ausência de corrente através dos condutores de inibição numa memória de correntes coincidentes. Contudo, nas memórias de filme fino, para realizar as operações ler ou escrever, não há necessidade do *ciclo de memória ler-escrever completo* como ocorre nas memórias de núcleo. Para a operação de leitura necessitamos somente da aplicação de uma corrente de meia amplitude no condutor de palavra e detetar a polaridade do sinal gerado pela rotação do campo. O campo de magnetização do filme gira em diferentes direções dependendo do que estiver armazenado, "1" ou "0". Isto representa uma grande vantagem da memória de filme fino uma vez que na operação leitura não se verifica a destruição do conteúdo da célula que está sendo lida, do que resulta não ser necessário restaurar (reescrever) a informação armazenada anteriormente. Por esta razão é que as memórias de filme fino são classificadas de *memórias de leitura não destrutiva* (NDRO). Identicamente, podemos armazenar uma informação

na memória sem necessidade de colocar, previamente, os conteúdos das células no estado "0", como seria o caso da memória com núcleo. Assim, a operação escrever pode ocorrer sob a ação de um único pulso.

Na memória de filme fino encontramos as seguintes características:

a) O número de condutores de palavras corresponde ao número das palavras.
b) Há um plano de memória e um condutor de bit para cada bit da palavra básica.
c) Há um condutor de leitura e um amplificador de leitura para cada bit da palavra básica.

Assim, se desejarmos u'a memória com a capacidade de 2.048 (2^{11}) palavras com 35 bits por palavra, ela deve consistir dos seguintes elementos:

a) 35 planos de bits.
b) 2048 condutores de palavras.
c) Um registro de endereços (MAR) possuindo 11 flip-flops.
d) 35 amplificadores de leitura.
e) Um registro de informações (MDR) com 35 flip-flops.

3.2.6

Características de Memórias de Núcleos Magnéticos

Na Fig. 3.8 os núcleos são atravessados por quatro condutores que estão dispostos da maneira mais comumente usada. Esta disposição tem a vantagem de apresentar um mínimo acoplamento entre os condutores de excitação e de leitura, uma ótima eliminação do ruido devido aos núcleos excitados por correntes de meia amplitude e uma distribuição uniforme dos terminais e dos circuitos de excitação em torno do plano de memória. Desde que os núcleos são, geralmente, muito pequenos, com diâmetro externo em torno de 20 milésimo a 50 milésimo da polegada, o tamanho total de uma memória de núcleos magnéticos pode ser bastante pequena. Cada plano de uma das memórias usadas no computador TX-2 do Lincoln Laboratory, por exemplo, possui 64x64 núcleos por plano, portanto, contem 4.096 núcleos; possui também 37 planos no conjunto e, consequentemente, 151.552 núcleos na composição total. O tamanho desta memória é 5 polegadas cúbicas. Com base nos dados apresentados sobre o computador TX-2, algumas características do mesmo tornam-se evidentes, como sejam: o número de planos usados (37 planos), geralmente indicam o número de

Tabela 11 - Sumário de Características de Núcleos Típicos

				TYPICAL OPERATING CONDITIONS AT 25°C						
				PULSE DRIVE CHARACTERISTICS			OUTPUT SIGNALS			
DESCRIPTION	MILS	TYPE	SIZE OD/ID/ht, mils	AMPLITUDE ma	DURATION µsec	RISE AND FALL TIME µsec	AMPLITUDE 1, mv	AMPLITUDE 0, mv	PEAK TIME µsec	SWITCH TIME µsec
Coincident Current	20	22-100	22/14/05	700/350	0,4	0,05	55	5	0,13	0,22
	30	31-103	31/20/07	580/290	0,5	0,1	61	8	0,23	0,37
		31-108	31/20/07	720/360	0,5	0,1	62	5	0,21	0,39
	50	52-106	50/30/15	500/250	2,0	0,2	90	9	0,43	0,75
		51-110	50/30/15	500/250	2,0	0,2	68	8	0,52	1,02
		51-119	50/30/15	400/200	2,0	0,5	90	5	0,75	1,25
	80	81-104	80/50/25	410/203	6,0	0,5	60	6	1,4	2,6
Coincident-current lithium for wide temperature range applications	20	24-100	22/14/05	780/390	0,4	0,05	40	4	0,145	0,270
	30	34-102	31/20/10	760/380	0,5	0,1	63	4	0,26	0,49
Coincident-current for 2 1/2D applications	20	22-101	22/14/04	850/425	0,4	0,05	60	5	0,12	0,20
	30	31-115	30/21/07	750/375	0,5	0,1	52	4	0,21	0,37

Courtesy of Electronic Memories, Inc.

bits de que é composta a palavra do computador, portanto, 37 bits; o número de condutores X (64) multiplicado pelo número de condutores Y (64) corresponde ao número de palavras que pode ser armazenado na memória, isto é, 4.096 palavras. Existem computadores usando memórias com capacidade superior a dez milhões de núcleos.

O ciclo de memória varia com os diferentes computadores, porém, os mais comerciais têm o ciclo de memória em torno de 0,5 a 8 microsegundo.

A Tabela 11 mostra as características de alguns núcleos produzidos pela Electronic Memories, Inc. Podemos destacar um exemplo dessa Tabela. Assim, o núcleo do tipo 31-103 com diâmetro externo (OD) de 31 mils é caracterizado por uma corrente de armazenagem de 580 mA e, consequentemente, possui 290 mA de corrente de meia amplitude; os pulsos para leitura e para armazenagem têm duração de 0,5 μseg. e tempos de subida e de descida iguais a 0,1 μseg. O sinal de saida no condutor de leitura é de 61 mV quando o fluxo do núcleo for comutado do estado "1" para o estado "0", e, é de 8 mV quando o núcleo armazenar o bit "0". O sinal de saida do condutor de leitura atinge seu valor máximo, após 0,23 μseg da aplicação do pulso de leitura. As dimensões do núcleo são:

- Diâmetro externo (OD) = 31 mils
- Diâmetro interno (ID) = 20 mils
- Espessura (ht) = 07 mils

A Fig. 3.26 mostra como são definidos os parâmetros dos sinais típicos de leitura de um núcleo no estado "1" e no estado "0". A nomenclatura usada na Fig. 3.26 é a seguinte:

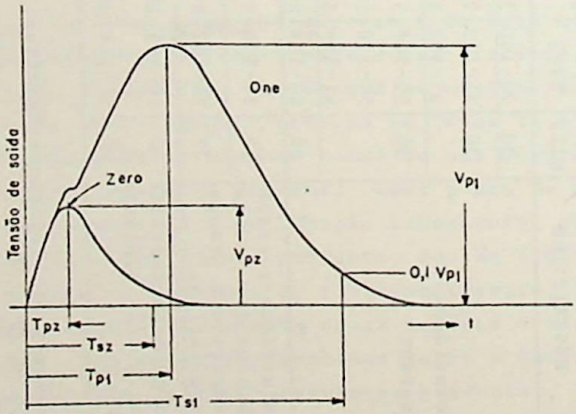


Fig. 3.26 - Sinais de Saida no Condutor de Leitura do Núcleo.

V_{PZ} = Tensão de pico de saida do condutor de leitura com o núcleo no estado "0".

T_{SZ} = Duração do sinal com o núcleo no estado "0".

T_{PZ} = Tempo do pico do sinal com o núcleo no estado "0".

V_{P1} = Tensão do pico do sinal de saida do condutor de leitura com o núcleo no estado "1".

T_{S1} = Duração do sinal de saida com o núcleo no estado "1".

T_{P1} = Tempo do pico do sinal de saida com o núcleo no estado "1".

3.2.7

Operação de uma Memória de Acesso Aleatório em face da Unidade de Processamento e Controle (CPU) de um Computador

É também bastante importante uma análise da operação das memórias RAM em face da unidade de processamento e controle (CPU) de um computador, embora sem levar em consideração os detalhes internos. A Fig. 3.27 nos mostra um *diagrama geral* do sistema.

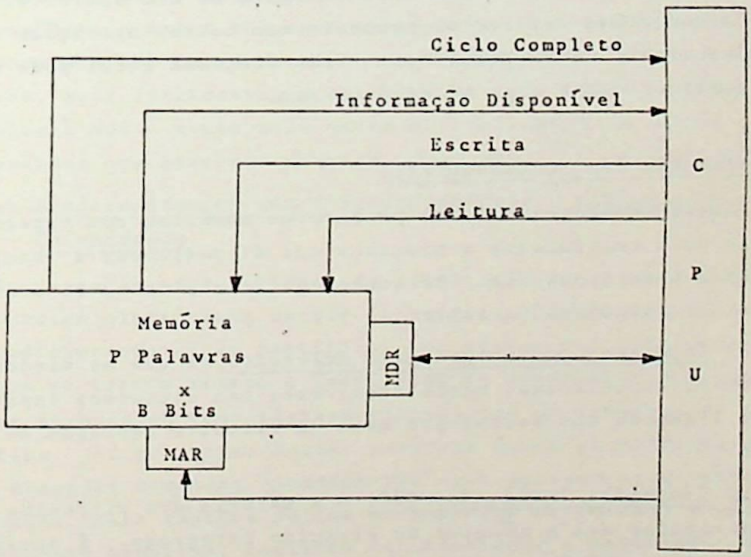


Fig. 3.27 - Diagrama Geral de uma Memória RAM.

A nossa preocupação, nessa análise, é situar a memória face ao CPU uma vez que já conhecemos o funcionamento da memória e, particularmente, do MAR e MDR.

Na operação de leitura o processador central do computador (CPU) carrega o endereço da palavra desejada no MAR e solicita a operação leitura por meio da aplicação de um pulso de corrente no condutor de leitura. Logo que a informação desejada for lida no MDR, a memória emite um pulso (informação disponível) indicando que a informação já se encontra no MDR. A memória, em seguida, restaura a informação e envia um sinal (ciclo completo) quando a operação for concluida e já esteja em condição de atender nova solicitação.

Na operação de escrita, o CPU carrega o endereço no MAR, a informação a ser armazenada no MDR, e solicita a operação de armazenagem aplicando um pulso de corrente no condutor de escrita. Então, a memória executa a operação leitura necessária a colocar o local desejado no estado "0". Só após essa operação é que armazena o conteúdo do MDR no referido local e, então, emite um sinal (ciclo completo) indicando que a operação terminou.

Os sinais *Ciclo Completo* e *Informação Disponível* são necessários porque a memória de núcleo é muito mais lenta do que a lógica do CPU e, seu sincronismo é, usualmente, independente do sincronismo do CPU. O procedimento usual consiste no CPU solicitar a operação da memória e esperar ou proceder com outras operações até que aqueles sinais sejam recebidos. Este diagrama geral pode ser usado por qualquer outro tipo de Memória RAM.

3.2.8

Memórias RAM com Semicondutores

Diante da necessidade do projeto de memórias com capacidade de operar mais rapidamente a presença dos dispositivos a semicondutores tornou-se imperiosa. Os semicondutores prestam-se a duas categorias de circuitos, a saber:

a) *Circuitos com componentes discretos* em que os diodos, transistores, capacitores, resistores, etc, são elementos separados e cujas ligações são feitas por meio de circuito impresso ou por condutor.

b) *Circuitos Integrados (IC)* - A maioria dos circuitos atualmente fabricados usa a técnica do circuito integrado. É assim que os transistores, diodos, resistores e outros componentes são fabricados, simultaneamente, usando a física do estado sólido, em uma única pastilha. Na técnica mais comum, chamada de *circuito integrado monolítico* numa única pastilha de silício, obedecendo uma sequência de vários processos, produz-se uma rede completa de diodos, transis

tores e resistores, convenientemente ligados entre si durante a fabricação, de modo a constituirem um ou mais circuitos lógicos ou flip-flops.

Na técnica do circuito integrado encontramos dois termos, usualmente, empregados. Um deles é o *MSI* (medium scale integration), isto é, um tipo de circuito integrado no qual se encontra mais do que 10 e menos do que 100 circuitos lógicos ou flip-flops condicionados numa única pastilha. Quando o número de circuitos lógicos ou flip-flops, produzidos numa única pastilha de circuito integrado, exceder a 100, o processo é chamado de LSI (large scale integration).

Independentemente dos vários níveis de integração, os circuitos são surpreendentemente similares no princípio, mas, há uma particularidade em que a técnica LSI tende a usar transistores MOSFET, enquanto que a técnica MSI e os circuitos integrados convencionais usam os já conhecidos transistores NPN convencionais (as vezes usam transistores PNP). A razão para essa diferença é que os transistores MOS requerem menor área numa pastilha e necessitam de muito pouca potência, cujas características são altamente importantes quando se considera o fator volume/complexidade. Por outro lado, os transistores NPN/PNP convencionais têm comutação mais rápida e são utilizados, mais facilmente, e muito menos delicados. Desta forma a tecnologia MOS é muito mais usada na fabricação de grande rede de componentes que pode ser encarada como uma unidade completa.

a) *Memória Scratch-pad a Semicondutores - Seleção por Corrente Coincidente*

Com base na possibilidade de fabricação de grandes redes de componentes eletrônicos usando técnica de processamento direto (LSI) e acondicionando-as em pastilhas, com preços bastante compensadores, foi que se tornou viável a fabricação de memórias a semicondutores, que se apresentam competitivas com relação às memórias de núcleo e de filme. As primeiras dessas memórias foram as *memórias com flip-flop* chamadas *memórias "scratch-pad"* que possuem alta velocidade de comutação (mais rápidas do que as memórias de núcleo) e são usadas em pequenas memórias: registro de informação e memórias operacionais. Uma pequena *memória "scratch-pad"* de flip-flop tem a capacidade de poucos milhares de bits e possuem tempo de acesso muito rápido - alguns nanosegundos - Estas memórias possuem leitura não destrutiva e são usadas, principalmente, em funções de armazenagem intermediária associadas com as operações aritméticas ou outras opera

ções externas de processamento de sinais com destino à memória principal de armazenagem. Um único flip-flop das memórias "scratch-pad" é usado para cada bit de armazenagem e os circuitos lógicos são usados na seleção de palavras de modo a permitirem a leitura nos flip-flops.

O diagrama lógico de uma memória a semicondutor de acesso aleatório com 16 bits é mostrado na Fig. 3.28. A memória consiste de

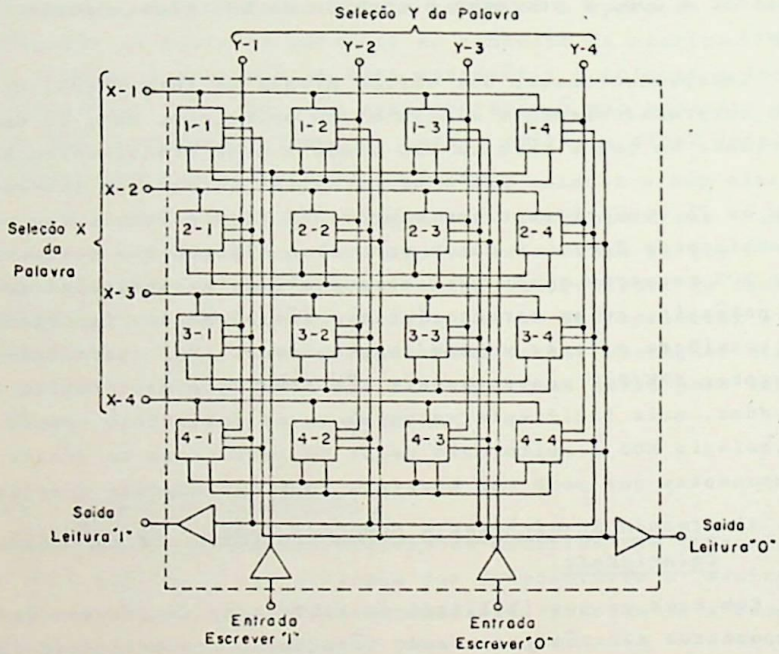


Fig. 3.28 - Memória "Scratch-Pad" com Circuito Integrado de Alta Velocidade e Seleção com Correntes Coincidentes.

uma única pastilha contendo 16 flip-flops RS dispostos de tal forma a constituir u'a matriz 4x4 endereçável. Esta estrutura permite a leitura não destrutiva de todos os 16 flip-flops. O endereçamento é feito através dos condutores X e Y que são ligados a oito terminais externos. O controle para leitura e escrita é realizado por quatro amplificadores internos. Cada flip-flop da matriz 4x4 é ligado, logicamente, à sua própria combinação de endereços X_mY_n e aos amplificadores de escrita e de leitura. A memória da Fig. 3.28 re-

presenta uma seção de 1 bit com a possibilidade de 16 palavras. É baseada na técnica de *correntes coincidentes*. A superposição de n destas seções, dispostas paralelamente, pode ser realizada no sentido de se conseguir u'a memória de 16 palavras com n bits. Podemos, outrossim, constituir memórias com capacidade bem maior de palavras, agrupando, convenientemente, várias dessas seções de 16 palavras.

A composição da seção de uma memória disponível para 16 palavras, conforme a Fig. 3.28, pode ser reproduzida conforme a disposição da Fig. 3.29, representando um circuito integrado da referida seção. Na Fig. 3.29 vemos 16 quadrados representando 16 flip-flops cuja seleção é feita conforme descrevemos a seguir. Os quatro condutores X (X_0, X_1, X_2 e X_3) de seleção e os quatro condutores Y (Y_0, Y_1, Y_2 e Y_3) de seleção estão normalmente no estado "0". A seleção de uma célula (flip-flop) da composição é feita escolhendo-se um único condutor X e um único condutor Y os quais são colocados no estado "1" e cuja interseção corresponde, exatamente, ao flip-flop desejado. Para escrever "1" no flip-flop escolhido o amplificador de escrita W_0 é colocado no estado "0" e o amplificador de escrita W_1 é colocado no estado "1". O flip-flop é escolhido selecionando-se, simultaneamente, as entradas X-Y correspondente. Para escrever "0" no flip-flop desejado, a célula é selecionada, W_0 é colocado no estado "1", e, W_1, no estado "0". Se tanto W_0 quanto W_1 forem mantidos no estado "0" e uma célula for selecionada pelo par de condutores X-Y correspondente, ou o condutor de leitura de S_1 ou o condutor de leitura de S_0 acusará um fluxo de corrente. Se a cé-

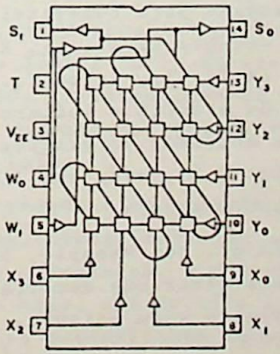


Fig. 3.29 - Memória Básica com CI para 16 palavras.

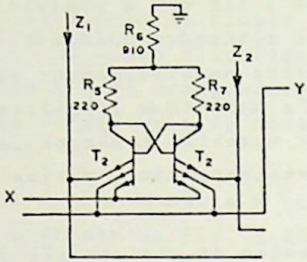


Fig. 3.30 - Célula da Memória Básica da Fig. 3.29.

lula (flip-flop) selecionada estiver no estado "1", então, o amplificador de leitura S_1 fornecerá corrente; se a célula selecionada estiver no estado "0", então o amplificador de leitura S_0 fornecerá corrente. Como a leitura é *não destrutiva* a informação lida não precisa ser reescrita no flip-flop. Observar na Fig. 3.29 que os triângulos nas linhas W_0 e W_1 representam amplificadores de escrita e nas linhas S_0 e S_1 representam amplificadores de leitura; enquanto que os triângulos nas linhas X_0, X_1, X_2 e X_3 representam amplificadores de seleção X e nas linhas Y_0, Y_1, Y_2 e Y_3 representam amplificadores de seleção Y.

Conforme já temos notificado cada célula da Fig. 3.29 é um flip-flop usando transistores TTL conforme a Fig. 3.30. Trata-se de uma célula do circuito integrado da Fig. 3.29. Este circuito integrado é um modelo de memória básica contendo 14 terminais e 16 bits (flip-flops), no qual estão incluidos os amplificadores de escrita e leitura.

Na Fig. 3.30, os elementos T_1 e T_2 constituem dois transistores TTL ligados convenientemente para constituirem um flip-flop. O terminal X diz respeito à seleção de X_0, X_1, X_2 ou X_3; o terminal Y diz respeito à seleção de Y_0, Y_1, Y_2 ou Y_3; o terminal Z_1 deve estar ligado às entradas de escrita e leitura (S_1, W_0), e o terminal Z_2 deve estar ligado às entradas de escrita e leitura (S_0, W_1). Os terminais T e V_{EE} da Fig. 3.29 devem ser ligados à terra e à fonte de alimentação DC, respectivamente.

Fazendo a composição de, por exemplo, 32 dos circuitos integrados da Fig. 3.29, podemos obter uma memória com a capacidade de 64 palavras (4x16) tendo 8 bits cada palavra. Esta composição é mostrada na Fig. 3.31.

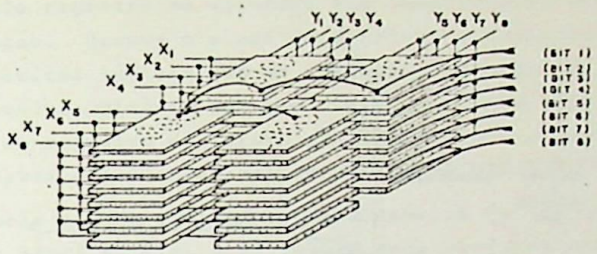


Fig. 3.31 - Memória de 64 palavras - 8 bits, com Módulos de Circuito Integrado da Fig. 3.29.

b) *Memória a Semicondutores - Seleção Linear*

O diagrama lógico de uma unidade de memória que usa flip-flops e circuitos lógicos é encontrado na Fig. 3.32. A unidade completa pode ser construida, fisicamente, com circuito integrado depositado em uma pastilha de semicondutor. A técnica de operação usada na memória é de *seleção linear*.

A unidade está prevista para operar com o reduzido número de quatro palavras (P0, P1, P2 e P3) constituidas de três bits (B1, B2 e B3) cada uma. Nela destacamos o elemento armazenador que chamamos de *célula binária*, tendo cada uma a capacidade de armazenar um bit de informação, sendo constituida por um flip-flop RS, três circuitos lógicos "E" e um circuito lógico inversor. Os circuitos lógicos "E" de entrada possibilitam a transferência de informação para o flip-flop quando o *sinal de escrever* assumir lógica "1". Um circuito lógico "E" de saida permite a leitura da informação armazenada no flip-flop ficar disponível na saida da célula quando o *sinal de ler* assumir a lógica "1". No diagrama essas células binárias são chamadas de BC. Pela análise do diagrama da Célula Binária vemos que os quatro condutores ligados em cada bloco BC representam três entradas e uma saída.

Já que estamos tomando como exemplo u'a memória com a capacidade de quatro palavras, necessitamos de um registro de endereço constituido de dois bits. Portanto, o MAR deve possuir dois flip-flops, que, no nosso caso, são do tipo D. Para a armazenagem de palavras de três bits, necessitamos de um registro de informação com três flip-flops, que são, também, do tipo D. Para a armazenagem da informação na memória, o primeiro passo é transferí-la para

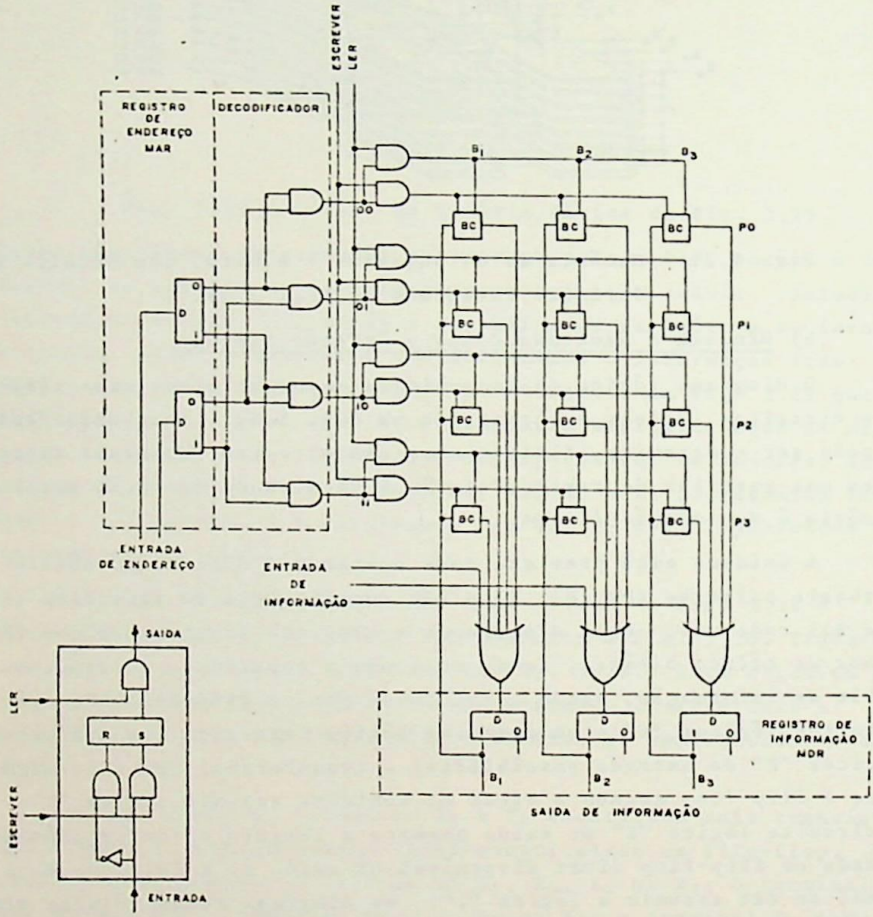


Fig. 3.32 - Unidade de Memória com Semicondutores - Circuito Integrado - Técnica de Seleção Linear.

o registro de informação. Enquanto que, a informação de saida lida da memória encontra-se disponível no registro de informação.

O endereço da palavra, que foi transferida para o registro de endereço, é aplicado ao circuito decodificador cuja saida é aplicada às entradas de dois circuitos lógicos "E". Um desses circuitos "E" recebe o sinal de *ler* enquanto o outro recebe o sinal de *escrever*. Quando o sinal de *ler* assumir o estado lógico "1" os circuitos que vão ter à entrada de ler na *célula binária* assumem, também,

estado lógico "1" e os conteúdos das três células da palavra selecionada pelo registro de endereço são transferidos para o registro de informação. Quando o sinal de escrever assumir estado lógico "1" os circuitos lógicos que se destinam à entrada do sinal de escrever da célula binária assumem, também, estado lógico "1" e os conteúdos do registro de informação são transferidos às três células da palavra selecionada pelo registro de endereço.

A exemplo do que ocorreu com as memórias de núcleo magnético, o *diagrama geral* da Fig. 3.27 também pode ser utilizado pela memória ora em estudo.

As maiores vantagens das *memórias RAM eletrônicas* em relação às *memórias de núcleos magnéticos* são:

1) Sua inerente compatibilidade na velocidade de operação e nos níveis de sinal com os circuitos lógicos.

2) O fato da leitura não ser destrutiva.

Estas memórias apresentam, contudo, uma grande desvantagem que é a *volatilidade*, sobre cuja característica já falamos no início do capítulo.

Na composição de memórias de maiores capacidades usando a técnica LSI os circuitos de decodificação para endereçamento das palavras podem ser construidos dentro da própria pastilha de LSI a fim de reduzir o número de condutores de entrada e saida. As memórias LSI tem ciclo de memória muito rápido, em torno de nanosegundos, que as faz muito úteis nas unidades de armazenagem intermediária necessária em muitos sistemas digitais.

3.2.9

As Memórias e os Computadores Digitais

O valor de um computador, de um modo geral, pode ser medido com base em algumas características básicas:

a) Capacidade da Memória - que é o número máximo de bits que pode ser armazenado numa memória. Esta característica é comumente descrita em termos de *X palavras*, em que cada palavra possui um *comprimento* medido em termos de *n bits*, ou de X números de *caracteres*, em que cada caracter possui um comprimento medido em termos de *n bits*.

b) Tempo de Acesso da Memória - Pode ser definido de várias maneiras: b1 - É o intervalo de tempo requerido para se estabelecer comunicação com a memória ou unidade de armazenagem do computador

digital; b2 - É o intervalo de tempo entre o instante no qual a unidade aritmética do computador solicita informação da memória e o instante no qual a informação é devolvida; b3 - É o intervalo de tempo necessário para realizar as operações de leitura ou de escrita de informações. Como já foi ventilado, *ler uma memória* é uma operação que consiste em solicitar informação da memória e obtê-la. Enquanto que *escrever em uma memória* é uma operação que consiste em apresentar informação à memória e armazená-la.

c) *Modos de Acesso* - Aleatório (RAM), Semi-aleatória (SRAM) e Sequencial (SM). Conforme já foi visto, o modo RAM é aquele no qual o tempo necessário para se alcançar a posição (endereço) da palavra na memória independe da última posição localizada, como é o caso, por exemplo, das memórias de núcleo e de filme fino; o modo SRAM é aquele no qual o tempo de acesso depende das posições relativas do endereço desejado e do último endereço, como é o caso das memórias de disco e de tambor; o modo SM é aquele no qual o acesso às informações armazenadas é possível somente obedecendo-se a sequência com que as informações forem armazenadas, como é o caso das memórias de fitas magnéticas. O acesso aleatório pode ser comparado à discagem de um número de telefone na qual o tempo para completar a chamada independe do último número discado; enquanto que o *acesso sequencial* pode ser comparado a um gravador "long-play" em que o tempo para se alcançar uma parte específica da música é função da posição da gravação que está sendo tocada.

d) *Custo por Bit* - O custo por bit de armazenagem está relacionada ao tipo e tamanho da memória. É obvio que a avaliação do custo é extremamente importante uma vez que o computador pode comportar armazenagem que compreende a faixa de 10^5 a 10^{11} bits.

e) *Volatilidade* - Se a alimentação do computador for desligada, as informações armazenadas permanecem intactas? Já vimos que no caso das memórias de núcleo e de filme fino, por exemplo, as informações permanecem intactas, pois, as memória magnéticas têm a capacidade de armazenar informações por tempo indeterminado sem o uso permanente da fonte de alimentação. Por isto é que são chamadas de memórias *não voláteis*. Por outro lado, as memórias a semicondutores (flip-flops) são *voláteis* porque somente à custa da presença da fonte de polarização dos semicondutores é que se consegue manter a armazenagem realizada.

A memória ideal seria aquela capaz de armazenar grande número de bits (acima de 10^{12} bits) de informação ao longo de anos, ou até

que a informação seja, deliberadamente, destruida; possuindo maior rapidez de operação do que a unidade aritmética, isto é, com tempo de acesso menor do que um milionésimo do segundo; com custo insignificante por cada bit armazenado. Infelizmente, essa memória ideal não existe. Dependendo da média de armazenagem, o custo por bit pode variar de uns poucos dólares a menos de um milésimo de cent e o tempo de acesso pode variar de muitos segundos a menos de 10^{-7} segundos. Diante dessas faixas de variações das características o projetista é levado a estabelecer vários compromissos entre os dispositivos de armazenagem *interna* e *externa* de modo a equilibrar a velocidade de operação, o custo e a capacidade em bits entre os diversos tipos de memória. Com o uso de vários tipos de memórias, durante as operações, as informações são transferidas de uma memória para outra, quando se fizer necessário.

A *palavra memória* é, normalmente, usada para identificar os *dispositivos de armazenagem interna* que possuem tempo de acesso mais curto, a fim de se distinguir dos dispositivos de armazenagem externa que possuem longo tempo de acesso e são dispositivos de armazenagem em massa, como sejam: fita de papel, cartões perfurados e fitas magnéticas.

3.3
MEMÓRIAS SOMENTE PARA LEITURA (ROM)

Muitos sistemas digitais usam um tipo de dispositivo de armazenagem chamado *Memória Somente Para Leitura*. A característica dessas memórias é que elas permitem a *leitura da informação* armazenada, porém, não são disponíveis para a *escrita de informações*. A informação armazenada nessas memórias são introduzidas, de tal maneira que a informação fique permanente ou semi-permanente. Algumas vezes a informação armazenada numa memória ROM é introduzida na memória durante sua fabricação; outras vezes usam-se dispositivos que permitem u'a mudança manual da informação, havendo, inclusive, memórias com possibilidades de mudar eletricamente seus conteúdos, porém, a operação é realizada em período relativamente longo.

Basicamente, u'a memória ROM é um dispositivo com várias entradas e várias saidas de tal modo que, para cada combinação das entradas, exista uma única combinação na saida. Assim, u'a memória ROM é a realização física de uma *tabela verdadeira* ou *tabela de combinações*, conforme a que é mostrada na Tabela 12.

Esta tabela de conversão relacionando valores de entrada e saida é, na realidade, a tabela de conversão do *Código Binário* ao *Cód*

Tabela 12 - Tabela de Conversão do Código Binário em Código Gray.

	Entrada (Binário)				Saida (Gray)			
Decimal	X_1	X_2	X_3	X_4	Z_1	Z_2	Z_3	Z_4
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

go Gray. É importante verificar que esta tabela pode ser olhada sob dois aspectos: a) como uma tabela para circuitos lógicos com quatro entradas e quatro saidas; b) como uma tabela de endereços, de 0 a 15, dados pelos valores de X (X_1, X_2, X_3, X_4) e os correspondentes conteúdos dados pelos valores de Z (Z_1, Z_2, Z_3, Z_4). Assim, podemos construir um circuito lógico, conforme a Fig. 3.33 que forneça a saida Z correta para cada combinação da entrada X. O referido circuito é constituido de três circuitos "OU Exclusivo". A Tabela poderia também ser realizada por uma memória de núcleo com a ca-

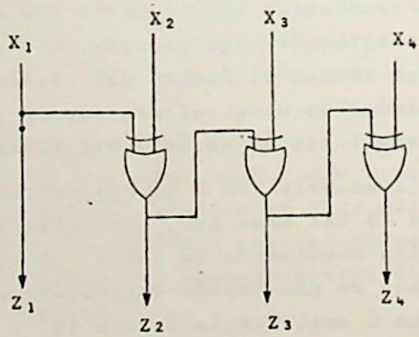


Fig. 3.33 - Circuito Lógico para Conversão do Código Gray ao Binário.

pacidade de 16 palavras tendo 4 bits cada palavra, em cuja memória leríamos a informação 0000 no endereço 0, a informação 0001 no endereço 1, a informação 0011 no endereço 2, e, assim, sucessivamente, até a informação 1000 no último endereço 15. Se jamais desejassemos *escrever* nessa memória de núcleo, ela seria uma *memória somente para leitura* e teria a mesma finalidade do circuito lógico da Fig. 3.32.

A Fig. 3.34 mostra um esquema para realização da tabela usando um circuito decodificador com quatro entradas X_1, X_2, X_3 e X_4 e um determinado número de diodos. Para uma dada combinação de entradas, que corresponde ao endereço da palavra, somente uma única saída do decodificador assume o estado "1". Vamos admitir as entradas com os valores $X_1 = 0$, $X_2 = 1$, $X_3 = 1$ e $X_4 = 1$. Esta combinação corresponde à saida 0111 do decodificador. Então, são ligados diodos na junção do condutor correspondente a esta saida e os condutores de saidas Z que devem assumir estado "1", enquanto que nenhum diodo é ligado nos condutores Z nos quais deve aparecer o estado "0". Desta forma para a entrada 0111 encontramos, na Fig. 3.34, um único diodo ligado ao condutor de saida Z_2 uma vez que a saida desejada deve ser 0100, isto é, $Z_1 = 0$, $Z_2 = 1$, $Z_3 = 0$ e $Z_4 = 0$. Similarmente, para a entrada 0110, nós ligamos diodos aos condutores de saida Z_2 e Z_4, uma vez que é saida deve ser 0101, isto é, $Z_1 = 0$,

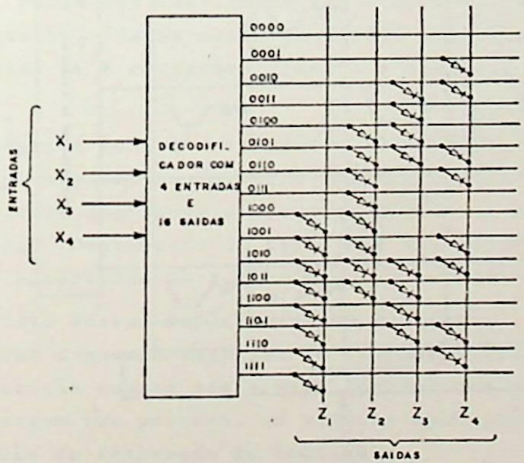


Fig. 3.34 - Memória Somente para Leitura com Diodos Semicondutores.

$Z_2 = 1$, $Z_3 = 0$ e $Z_4 = 1$.

A operação do circuito é da seguinte maneira: a) somente uma saida do decodificador assume o estado "1" de cada vez; b) a corrente flui desse condutor somente para aqueles condutores de saida nos quais os diodos estão ligados. Assim, para a entrada 0100, flui corrente somente nos condutores Z_2 e Z_3, do que resulta que Z_2 e Z_3 assumem estado "1", enquanto Z_1 e Z_4 assumem estado "0". A saida é 0110.

Pela análise do esquema da Fig. 3.34 vemos que a memória ROM é uma rede de circuitos lógicos, pré-interconectados, ou programados, de modo a desempenhar um conjunto particular de funções. É uma rede de armazenagem não volátil e não alterável. Poder-se-ia dizer, também que se trata de um grupo de circuitos lógicos combinacionais dispostos de forma a realizarem determinadas funções Booleanas.

A Fig. 3.35 mostra uma composição de memória ROM com aplicação de *transistores NPN* em que um transistor é usado para acoplamento com os bits. Em cada ponto onde o estado "1" deva ser armazenado o

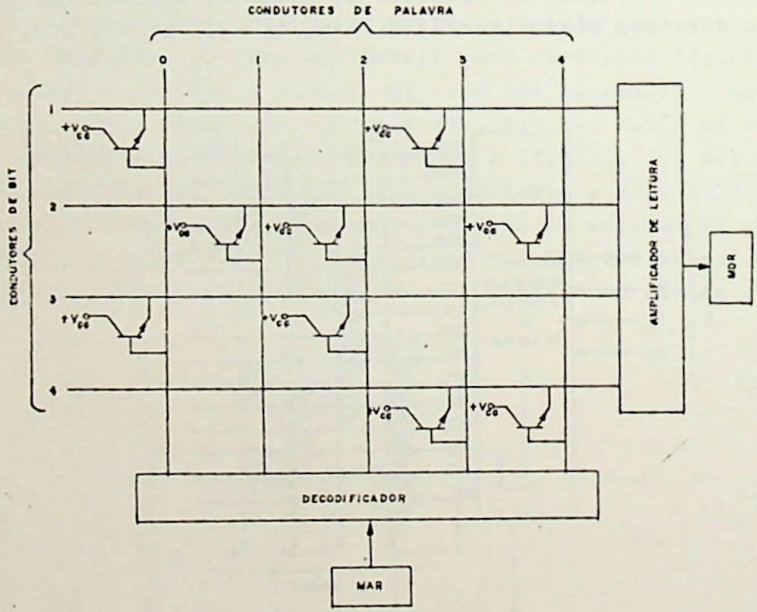


Fig. 3.35 - Memória ROM com Acoplamento a Transistores.

transistor é disposto de modo que o emissor fique ligado ao condutor de bit, a base no condutor de palavra, enquanto que todos os coletores fiquem ligados a uma fonte $+V_{cc}$ comum. Todos os condutores de palavra são mantidos, normalmente, a um nível suficientemente negativo de modo a levar todos os transistores ao corte. É assim que os condutores de bit ficam no nível de 0 volts. Quando um condutor de palavra é selecionado, este passa a assumir um nível de tensão, suficientemente, elevado de modo a permitir a condução do transistor correspondente, do que resulta que o respectivo condutor de bit, também, assume um nível positivo de tensão. Pela disposição dos transistores na Fig. 3.34 vemos que onde desejamos que exista o estado "0" na saida não ligamos transistor. De modo que, se selecionarmos a palavra 2, por exemplo, no registro de informação (MDR) teremos 0110, pois, só há transistores ligados entre o condutor da palavra selecionada e os bits 2 e 3, pois, nestas posições é que desejamos a armazenagem do estado "1".

Já há alguns anos este tipo de memória tem tido possibilidades de realização técnica, porém, somente com o advento do circuito integrado é que ela se tornou economicamente desejada. Pelo uso da técnica LSI, redes de portas lógicas constituindo memórias ROM podem ser fabricadas economicamente em pequenas pastilhas de semicondutores. Memórias, por exemplo, de 256 palavras, com 8 bits por palavra, podem ser fabricadas com dimensões iguais aos tamanhos médios usuais. Estas memórias de 256 palavras - 8 bits- corresponde à tabelas de 8 entradas ($256=2^8$) e 8 saidas fornecendo 256 combinações.

Memórias ROM, com circuitos integrados, podem ser realizadas ou com tipo bipolar ou com tipo MOS com capacidade de várias centenas de palavras incluindo o circuito lógico de decodificação na mesma pastilha. Dependendo do tipo, MOS ou bipolar, a faixa do tempo de acesso compreende de 1 microsegundo a menos de 50 nanosegundos.

O fato dessas memórias serem realizadas com semicondutores apresentam a grande vantagem da compatibilidade tanto na velocidade de comutação quanto nos níveis lógicos com os circuitos lógicos. A desvantagem que possuem, em algumas aplicações, é que elas não são possíveis de alteração do conteúdo.

O processo de fabricação das memórias ROM, geralmente, envolve a ligação de um transistor em cada uma das interseções palavra-bit e então desliga-se o emissor nas interseções onde o estado "0" deva ser armazenado. A maior parte dos fabricantes realiza estas memó-

rias com base numa dada Tabela Verdadeira e muitas vezes estocam-vários padrões de memórias baseadas em Tabelas Verdadeiras de uso muito frequente.

Existem outros tipos de memórias ROM, nos quais o acoplamento entre os condutores de palavra e os condutores de bit é feito por meio de resistores, capacitores e transformadores, cada um com suas peculiaridades. Entretanto, nós nos preocupamos, neste trabalho, somente com as memórias ROM a semicondutores tendo em vista a sua utilização como *chaves comutadoras de multiposições* muito importantes na seleção de palavras de memórias RAM. Além disto, na medida em que os custos forem decrescendo concomitantemente ao aumento de capacidade de armazenagem e da velocidade de comutação, em vista do contínuo desenvolvimento da tecnologia do circuito integrado, é provável que a supremacia das memórias ROM fique com aquela com acoplamento a transistores.

CONCLUSÕES

O desenvolvimento do Computador Eletrônico de alta velocidade de operação avança na medida do avanço conseguido nas pesquisas que objetivam maior velocidade de operação nos *Sistemas de Memória*. Dizer que u'a memória tem alta velocidade de operação significa dizer que essa memória opera com curto *tempo de acesso*, uma das suas características principais.

Quando, no entanto, se projeta u'a memória visando curto *tempo de acesso*, não se pode deixar de pensar numa outra característica importante que é a *capacidade de armazenagem* dessa memória, que é interpretada como o *número de palavras de n bits* que nela pode ser armazenado. Assim, costuma-se avaliar a memória, também, através do que se chama de *custo por bit* armazenado.

Então, para avaliação de u'a memória temos que estabelecer u compromisso entre *tempo de acesso* e *capacidade de armazenagem* o *custo por bit*, exatamente porque, na medida em que se pesquisa novas técnicas visando o aumento da velocidade de operação, encontramo-nos, geralmente, diante do crescimento do *custo por bit* da memória. É assim que, quando se consegue alta velocidade de operação temos que restringir a capacidade de armazenagem da memória, pois, caso contrário, o *custo por bit* tornar-se-ia proibitivo.

Pesquisando as memórias SRAM - Memórias de Disco e Tambor Magnéticos - e as memórias SM - Memórias de Fitas Magnéticas -, não analisadas no nosso trabalho, veremos que se trata de memórias cujo *custo por bit* é muito baixo, sendo consideradas memórias de alta capacidade de armazenagem. Por outro lado elas não se prestam ao desempenho das memórias internas uma vez que o *tempo de acesso* das mesmas é bastante longo, conforme se pode ver na Tabela 12 (Tabela de Características de Sistemas de Alta Capacidade de Armazenagem). Essas memórias além da vantagem do baixo custo apresentam as vanta-

gens de alta confiabilidade e alta densidade de concentração.

Vários Sistemas foram desenvolvidos com o fim de reduzir o *tempo de acesso* preservando, o mais possível, as características de

Tabela 12

Tabela de Características de Sistemas de Alta Capacidade de Armazenagem.

Tipo do Sistema	Tempo de Acesso (seg)		Capacidade
	Médio	Máximo	10^8 Bits
Fita Magnética - IBM 7340	96	385	13
Fita Magnética - Ampex TBM	11	45	500
Disco Magnético - CDC 853	0,097	0,170	0,25
Disco Magnético - Bryant 4000 Modelo 2A-C	0,130	0,215	38
Tambor Magnético - Univac Fastrand II	0,126	0,222	78

alta capacidade de armazenagem, alta confiabilidade, etc. Surgem, então, as memórias de núcleo (Um núcleo por bit) que chegam a atingir a capacidade de 10^6 bits com o *tempo de acesso* ocupando uma faixa de 0,1 a 0,3 microsegundo. São exatamente estas memórias, consideradas como memórias de capacidade média (faixa de 10^4 a 10^7 bits), que são aplicadas, principalmente, como *memórias internas*. Existem outros tipos de memórias usadas dentro desta faixa, porém, as de núcleo magnético são as que melhor satisfazem as exigências requeridas.

As memórias de Filme Magnético podem atingir a capacidade de até 10^6 bits além de apresentarem a vantagem de possuirem maior velocidade de operação do que as de núcleo. Assim, veem tornando-se , progressivamente, mais atraentes do que as de núcleo, entretanto, nos sistemas de velocidade média obtem-se maior vantagem com as de núcleo que continuam sendo mais solicitadas como *memórias internas*.

No extremo inferior da faixa de 10^4 a 10^7 já encontramos a presença competitiva dos sistemas de armazenagem a semicondutores, que se tornam, cada vez mais, solicitadas como *memórias internas*. Contudo, o custo dessas memórias só as faz realmente competitivas, em relação às memórias de núcleo, quando se deseja *alta velocidade de operação*.

A Tabela 13 (Tabela de Características de Sistemas de Capacidade Média de Armazenagem) mostra o relacionamento entre *tempo de acesso*, *tempo de ciclo de memória* e *capacidade* de vários tipos de

memórias.

Tabela 13

Tabela de Características de Sistemas de Capacidade Média de Armazenagem (10^5 a 10^7 bits)

Tipo do Sistema	Tempo Médio de Acesso (μseg).	Tempo de Ciclo (μseg)	Capacidade	
			Palavras	Bits
Núcleo de Ferrite - 2 1/2D	0,35	0,65	32.396	10^6
Núcleo de Ferrite - 2 1/2D	1,5	2,75	262.144	10^7
Núcleo de Ferrite - 3D	0,9	2,0	32.396	10^6
Filme Magnético	0,125	0,25	32.396	$7,5.10^5$
Filme Magnético	0,25	0,35	1.024	7.10^4
Semicondutor (Armazenagem com MOS)	0,12	0,15	16.198	$2,5.10^5$

Hoje todas as atenções estão voltadas para a grande perspectiva do Circuito Integrado baseado no que podemos esperar que tão logo a técnica LSI (Integração em Alta Escala) permita memórias com alta capacidade, a baixo custo, as memórias a semicondutores acabarão por assumir a liderança, até aqui ocupada pelas memórias de núcleo, no desempenho das *memórias internas*, embora, que se deva ressaltar, ainda, a existência de uma restrição. É que nas memórias a semicondutores deparamos com o problema da *volatilidade* que, como se sabe, não ocorre nas memórias com núcleo. Portanto, a preferência pelas memórias com núcleo, desempenhando a tarefa das memórias internas, continuará existindo sempre que se exigir a *não volatilidade*.