

UNIVERSIDADE FEDERAL DE ITAJUBÁ

DISSERTAÇÃO DE MESTRADO

**Projeto de um Misturador em Tecnologia CMOS de
0,25 μm .**

Autor : Fabrício Jorge Antunes Ferreira

Orientador : Prof. Tales Cleber Pimenta, PhD.

Co-Orientador: Prof. Robson Luis Moreno, PhD.

Dissertação apresentada à
Universidade Federal de Itajubá
como parte dos requisitos para
obtenção do título de Mestre em
Engenharia Elétrica.

Itajubá, 2 de Outubro de 2006.

Dedicatória

À minha noiva Lígia, que teve de suportar um noivo muitas vezes ausente, para que eu pudesse concluir esta dissertação,

às minhas irmãs Paty, Paula, Nany e Ró.

Especialmente aos meus pais, Jorge e Ildenir.

AGRADECIMENTOS

À Deus, por seu amparo nos momentos mais difíceis de minha vida.

Agradeço ao **Prof. Tales Cleber Pimenta** pela oportunidade de realizar esta dissertação e me iniciar no mundo RF.

Agradeço também ao **Prof. Robson Luis Moreno** e ao **Prof. Paulo César Crepaldi**, pela enorme paciência e boa vontade em me ajudar.

Agradeço ao **Prof. Jim Stiles** pela sua inestimável e inesperada ajuda.

Agradeço ao meu segundo pai e à minha segunda mãe, Seu Chiquinho e D. Bebel, por terem me “adotado” e me acolhido como um filho. Obrigado pelo carinho e pela paciência...

Agradeço à CAPES (Coordenação de Aperfeiçoamento de Pessoal de Nível Superior), que me outorgou uma bolsa de estudos e viabilizou a realização desse trabalho e à UNIFEI (Universidade Federal de Itajubá).

Agradeço aos amigos que, de alguma forma, contribuíram para a realização dessa tese.

RESUMO

As pesquisas na área de comunicações *wireless* experimentaram um notável crescimento na última década. Nos últimos anos, o comércio de telefonia móvel teve um crescimento significativo. Enquanto a indústria transitava da geração 2G para a geração 3G, um grande número de aplicações e funcionalidades foram introduzidas. O tamanho dos celulares foi reduzido ao mesmo tempo em que a taxa de transmissão de dados aumentou, possibilitando aplicações de multimídia que incluem fotos e vídeos, com uma maior duração das baterias. Todas essas vantagens, além da flexibilidade da ausência de conexões físicas tornaram a comunicação sem fio o objeto de desejo dos consumidores. Para suportar esse rápido crescimento na demanda de produtos na área de comunicação pessoal, precisou-se desenvolver transceptores de baixo custo/dimensão e baixo consumo para aplicações sem fio. Como uma alternativa para sistemas de baixo custo, a tecnologia CMOS tem se firmado cada vez mais como um padrão a ser seguido para desenvolvimento de sistemas transceptores de RF (*RF Front-End*) integrados, aliando a sua alta integrabilidade e baixo consumo, com velocidades de operação cada vez maiores.

Em transceptores de RF, o circuito misturador ocupa um papel de destaque, sendo encontrado tanto na etapa transmissora quanto na etapa receptora. O projeto de tais circuitos envolve um compromisso entre diversas figuras de mérito, como por exemplo, ganho de conversão, linearidade, figura de ruído, faixa dinâmica de operação e consumo. No caso específico de um circuito misturador, as três primeiras são de fundamental importância na avaliação do desempenho do circuito. Projetar um circuito misturador requer um compromisso entre as figuras de mérito citadas anteriormente. Isso tem se apresentado como um grande desafio para os projetistas, pois a existência de especificações de projeto conflitantes como ganho de conversão e linearidade, por exemplo, geralmente requer um compromisso durante a etapa de projeto.

Nesse contexto, estipulou-se como objetivo principal desse trabalho o projeto de um circuito misturador na frequência de 1,8 GHz (em virtude de um posterior projeto de um transceptor de RF completo, operando em 1,8 GHz) que apresentasse bons valores de ganho de conversão de potência e linearidade, com uma figura de ruído e consumo relativamente baixos. Durante a realização desse trabalho, esse objetivo mostrou-se bastante desafiador, exigindo certos artifícios para sua conclusão como a escolha da estrutura em Célula de Gilbert com balanceamento duplo,

uma rede de degeneração indutiva nos transistores do estágio de transcondutância e cargas ativas PMOS. Precisou-se utilizar uma rede de realimentação modo-comum devido à natureza completamente diferencial do circuito misturador utilizado. Projetou-se também um conversor de sinal diferencial para terminação simples integrado (balun) visando-se a ligação do misturador a um filtro em terminação simples. No projeto dos indutores integrados usados no esquema de degeneração utilizou-se o freeware ASITIC.

Baseado em trabalhos similares encontrados durante a pesquisa bibliográfica, os quais foram discutidos durante a dissertação, pode-se concluir que, com um ganho de conversão de potência de +12,1 dB, uma linearidade (representada aqui pelo ponto IIP_3) de +3,1 dBm, uma figura de ruído de +10,9 dB e um consumo de 8,25 mW, conseguiu-se atingir o objetivo principal desse trabalho. O *layout* do circuito misturador também é apresentado juntamente com várias medidas utilizadas visando-se melhorar o desempenho do circuito, tais como casamento de transistores e isolamento de ruído.

ABSTRACT

Researches in the wireless communication experienced an impressive growth in the last decade. The market demand for smaller and more functional devices opens new researches in the area of radio frequency – RF electronics.

The CMOS technology is a promising alternative for the development of RF transceivers, since it merges large circuit density and low consumption into ever increasing transistor speeds obtained from smaller technologies.

In radio frequency transceivers, the mixer occupies an important position, since it is found in receivers and transmitters.

Based on that, this work focused on the development of a mixer that optimizes two conflicting features, the gain and linearity. The gain is +12.1 dB and the linearity, given by the IIP3, of +3.1 dBm. The noise figure is approximately +10.9 dB and the power consumption is approximately 8.25 mW.

ÍNDICE

RESUMO	iv
ÍNDICE	vii
Índice de Figuras	ix
Índice de Tabelas.....	xi
CAPÍTULO 1	1
1 Introdução.....	1
1.1 Motivações	1
1.2 Objetivos	2
1.3 Organização da Dissertação	3
CAPÍTULO 2	4
2 2 Topologias de Receptores e o Circuito Misturador.....	4
2.1 2.1 Arquiteturas de Receptores	4
2.1.1 Receptor Super-Heteródino	5
2.1.2 Receptor Homódino ou com IF zero	6
2.1.3 Receptor de Dupla Conversão com FI de banda larga	6
2.1.4 Receptor com baixa IF	7
2.1.5 Tendências.....	7
2.2 2.2 O Misturador	8
2.2.1 Função do Circuito Misturador	8
2.2.2 Funcionamento do Misturador	9
2.3 2.3 Classificação do Circuito Misturador.....	10
2.4 2.4 Figuras de Mérito para Circuitos RF.....	12
2.4.1 Ganho de Conversão	12
2.4.2 Figura de Ruído	13
2.4.3 Linearidade.....	18
2.4.4 Isolamento entre Terminais	23
2.4.5 Perda de Retorno	24
2.4.6 Faixa Dinâmica de Operação	25
2.5 2.5 A Célula de Gilbert.....	26
CAPÍTULO 3	30
3 Implementação do Circuito Misturador	30
3.1 Projeto do Misturador.....	30
3.2 Estágio de Carga.....	31
3.3 Estágio de Chaveamento	34
3.4 Estágio de Transcondutância.....	34
3.5 Casamento de Impedância.....	35
3.5.1 Rede de Casamento de Impedância Discreta	36
3.5.2 Rede de Casamento de Impedância Integrado	37
3.6 Indutores Integrados	39
3.7 Rede de Realimentação Modo-Comum	41
3.8 Conversor Diferencial-Terminação Simples	44
3.9 A Linearidade do Misturador	46
CAPÍTULO 4	49
4 Simulações e <i>Layout</i>	49

4.1	Simulações	49
4.1.1	Simulações do Circuito Misturador.....	49
4.1.2	Simulações do BALUN Ativo.....	67
4.1.3	Simulações da rede CMFB.....	71
4.2	Layout.....	73
4.2.1	Circuito Misturador	73
4.2.2	Rede de Realimentação Modo-Comum	79
4.2.3	Balun Ativo	81
4.2.4	Capacitor para desvio de Ruído.....	82
4.2.5	<i>Pads</i>	83
CAPÍTULO 5	85
5	Conclusões	85
5.1	Recomendações para trabalhos futuros	86
6	REFERÊNCIAS BIBLIOGRÁFICAS	87

Índice de Figuras

Figura 1– Evolução da f_T para diversas tecnologias.	1
Figura 2– Arquitetura típica de uma etapa transceptora de um sistema sem fio.....	5
Figura 3 – Topologia típica do receptor Super-Heteródino.	5
Figura 4 - Topologia típica do receptor Homódino.....	7
Figura 5 - Topologia De dupla conversão dom IF de banda larga.	7
Figura 6 – Espectro de freqüência ideal do misturador.....	8
Figura 7 – Espectro de freqüência real do misturador.....	9
Figura 8 - Chaveamento de corrente em um misturador.	10
Figura 9 - Caminho da corrente para tensão positiva na entrada LO.	11
Figura 10 - Caminho da corrente para tensão negativa na entrada LO.	11
Figura 11 - Cálculo da figura de ruído de um sistema.	14
Figura 12 - O canal imagem.	16
Figura 13 - SSB NF.....	17
Figura 14 - DSB NF.	17
Figura 15 - Ação do filtro rejeita imagem.	17
Figura 16 - Harmônicos em um circuito não-linear.	18
Figura 17 - Duas frequências de entrada.	20
Figura 18 - Mais de duas frequências de entrada.	20
Figura 19 - Definição do IIP3.....	21
Figura 20 - Ponto de Compressão de 1dB.....	22
Figura 21 - Isolação entre terminais de um misturador.....	23
Figura 22 - Sinal incidente e refletido em um sistema.	24
Figura 23 - Faixa dinâmica de operação.	26
Figura 24 - Versão Bipolar da Célula de Gilbert.....	27
Figura 25 - Versão CMOS da Célula de Gilbert.	27
Figura 26 – Sinal multiplicador (a) domínio do tempo e (b) domínio da freqüência.....	28
Figura 27 – Célula de Gilbert Duplamente Balanceada.	31
Figura 28 – Misturador utilizando cargas ativas espelho de corrente PMOS.	32
Figura 29 - Polarização das cargas ativas PMOS e problema modo-comum.	33
Figura 30 - Redes de casamento de impedâncias discretas.	37
Figura 31 - Software Smith V2.03.	37
Figura 32 - Modelo para pequenos sinais de um MOSFET com degeneração da fonte.	38
Figura 33 - Modelo para casamento de impedância integrado.....	39
Figura 34 - Estrutura quadrada para indutor on-chip.	40
Figura 35 - Estrutura hexagonal para indutor on-chip.	40
Figura 36 - Modelo π banda estreita de um indutor integrado para altas frequências	40
Figura 37 - Modelo de indutor para altas frequências banda larga.	41
Figura 38 - Definição de alguns parâmetros de entrada para o ASITIC.	41
Figura 39 - Rede de realimentação modo comum.....	42
Figura 40 - Circuito de realimentação modo comum.....	43
Figura 41 - Misturador e rede CMFB.....	43
Figura 42 - BALUN ativo.	45
Figura 43 - BALUN ativo com degeneração indutiva.	45
Figura 44 - Misturador + BALUN ativo.	46

Figura 45 - Misturador com degeneração indutiva para linearização.	47
Figura 46 - Projeto completo.....	48
Figura 47 - Variação da transcondutância de M2 com sua tensão DC na porta.....	50
Figura 48 - Variação da transcondutância de M2 com a corrente de polarização.....	51
Figura 49 - Variação do ganho de conversão com a corrente de polarização.	52
Figura 50 - Variação da linearidade com a corrente de polarização.	53
Figura 51 - Variação do ganho com o nível de polarização dos transistores de chaveamento.	54
Figura 52 - Variação do IIP3 com o nível de polarização dos transistores de chaveamento.	54
Figura 53 - Variação do ganho com o nível de polarização dos transistores de transcondutância. ...	55
Figura 54 - Variação do IIP3 com o nível de polarização dos transistores de transcondutância.	56
Figura 55 - Variação no ganho com o W dos transistores de transcondutância.....	56
Figura 56 - Variação no IIP ₃ com o W dos transistores de transcondutância.	57
Figura 57 - Variação no ganho com a largura W dos transistores de chaveamento.	57
Figura 58 - Variação no IIP ₃ com a largura W dos transistores de chaveamento.	58
Figura 59 - Ponto de intercepto de 3ª ordem referido à entrada (IIP ₃).	58
Figura 60 - Ganho de conversão de potência.....	59
Figura 61 - Ganho de conversão com potência do oscilador local como um parâmetro.	60
Figura 62 - Variação do ganho com a potência do oscilador local.....	60
Figura 63 - Variação do IIP ₃ com a potência do oscilador local.	61
Figura 64 - Linearidade como função da potência do sinal RF.....	61
Figura 65 - Ganho de conversão como função da potência do sinal RF.	62
Figura 66 - Variação do ponto OIP ₃	63
Figura 67 - Variação do ponto OIP ₃ com a potência do oscilador local.....	63
Figura 68 - Figura de ruído.....	64
Figura 69 - Figura de ruído como função da frequência do sinal RF.....	65
Figura 70 - Comportamento do ganho com indutância de degeneração.	65
Figura 71 - Comportamento do ponto IIP ₃ com indutância de degeneração.....	66
Figura 72 - Perda de retorno do circuito misturador.....	67
Figura 73 - Curva de transferência do BALUN ativo.....	70
Figura 74 - Função de transferência do BALUN ativo.....	70
Figura 75 - Circuito utilizado para testar o ganho de malha aberta do CMFB.....	72
Figura 76 - Ganho em malha aberta da rede CMFB.....	72
Figura 77 - Efeito da rede CMFB.....	73
Figura 78 - Circuito misturador.....	74
Figura 79 - Estágio de transcondutância na estrutura Centróide Comum.	75
Figura 80 - Bloco do estágio de transcondutância.....	75
Figura 81 - Estágio de chaveamento.....	76
Figura 82 - Detalhe de 1 bloco do estágio de chaveamento.	77
Figura 83 - Estágio de carga.....	77
Figura 84 - Detalhe de 1 bloco do estágio de carga.	78
Figura 85 - <i>Layout</i> de 1 Resistor R _L	78
Figura 86 - Indutores.....	79
Figura 87 - Circuito da rede de realimentação modo-comum.	80
Figura 88 - <i>Layout</i> da rede CMFB.....	80
Figura 89 - Circuito <i>Balun</i> Ativo.....	81
Figura 90 - <i>Layout</i> do <i>Balun</i> ativo.	81
Figura 91 - <i>Layout</i> do capacitor de desvio.....	82

Figura 92 – <i>Layout</i> final do circuito.....	83
Figura 93 - Alteração na estrutura do misturador para melhorar a isolação entre os terminais RF e LO.....	86

Índice de Tabelas

Tabela 1 - Comparação entre estruturas <i>single-balanced</i> e <i>double-balanced</i> .	12
Tabela 2 - Principais características da tecnologia de 0,25 μm - TSMC.	30
Tabela 3 - Principais características de alguns misturadores desenvolvidos.	84

CAPÍTULO 1

1 Introdução

A comunicação através de sinais de rádio frequência - RF está cada vez mais presente. As pesquisas na área de comunicações sem fio (*Wireless*) experimentaram um notável renascimento na última década. Nos últimos anos, o comércio de telefonia móvel teve um crescimento significativo. Enquanto a indústria transitava da geração 2G para a geração 3G, um grande número de aplicações e funcionalidades foram introduzidas. O tamanho dos celulares foi reduzido ao mesmo tempo em que a taxa de transmissão de dados aumentou, possibilitando aplicações de multimídia que incluem fotos e vídeos, com uma maior duração das baterias. Todas essas vantagens, além da flexibilidade da ausência de conexões físicas tornaram a comunicação sem fio o objeto de desejo dos consumidores. Para suportar esse rápido crescimento na demanda de produtos na área de comunicação pessoal, precisou-se desenvolver transceptores de baixo custo/dimensão e baixo consumo para aplicações sem fio. Como uma alternativa para sistemas de baixo custo, a tecnologia CMOS tem se firmado cada vez mais como um padrão a ser seguido para desenvolvimento de sistemas transceptores de RF¹ (*RF Front-End*) integrados [1,2].

1.1 Motivações

A crescente exigência dos consumidores por sistemas sem fio (baseados em RF) como telefones celulares, sistemas completos de posicionamento global (*Global Positioning System* - GPS), redes de computadores sem fio, entre outros, obrigam os projetistas a procurarem novas tecnologias que permitam um alto grau de integração e um nível de consumo de potência cada vez menor, reduzindo a área (e com isso, as dimensões dos dispositivos), seu custo e aumentando a duração de suas baterias [1-4].

Os projetos em RF eram feitos tradicionalmente utilizando-se a tecnologia bipolar e suas variações como Si BJT/BiCMOS ou SiGe BJT/BiCMOS. Algumas vezes essas tecnologias eram mescladas com a tecnologia arseneto de gálio (GaAs HBT²). Em todos os casos, devido ao seu alto valor de f_T (frequência de ganho de corrente de curto-circuito unitário), obtinha-se um melhor

¹ Transceptor de RF é o bloco responsável pela transdução e conformação do sinal de RF, constituído de dois estágios: um estágio responsável pela transmissão e outro estágio responsável pela recepção.

² *Hetero-Junction Bipolar Transistor* – variação da tecnologia bipolar com alto f_T .

desempenho em termos de velocidade do circuito [14,20,32,37].

Entretanto, com o avanço da tecnologia CMOS (*Complementary Metal Oxide Semiconductor*), cada vez mais, o valor de f_T dos transistores MOS se equipara aos das tecnologias anteriormente citadas³, como pode ser visto na Figura 1 [14,20]. Aliado a isso, tem-se conseguido níveis de integração cada vez maiores (principalmente em circuitos digitais), níveis de consumo de potência cada vez menores e a possibilidade de projetos digitais e analógicos na mesma pastilha (*Chip*). Por todos esses motivos, a tecnologia CMOS tem se tornado muito atraente para projetos RF [1,3,4].

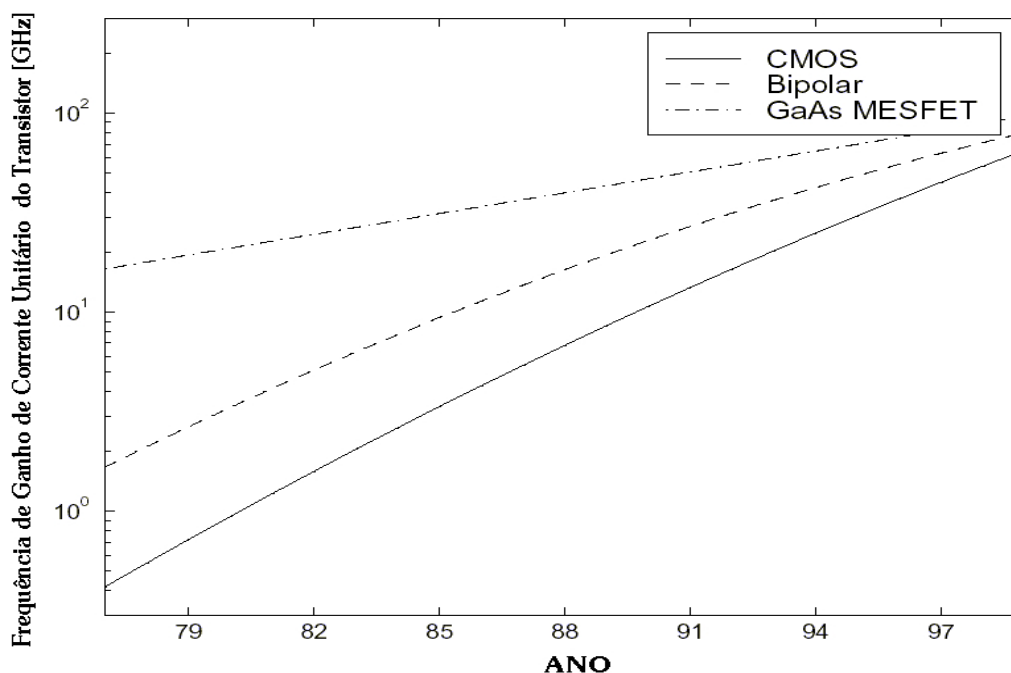


Figura 1 – Evolução da f_T para diversas tecnologias.

1.2 Objetivos

O objetivo desse trabalho é projetar e implementar (até a fase de *layout*) um circuito misturador conversor para baixo (*Down-Converter Mixer*) na frequência de 1,8 GHz utilizando-se a tecnologia de 0,25 μm CMOS da Taiwan Semiconductor Manufacturing Co. – TSMC, que utiliza cinco níveis de metal e um nível de silício policristalino.

Utilizando-se os equipamentos e softwares disponíveis no Grupo de Microeletrônica da Universidade Federal de Itajubá (UNIFEI), procurou-se atingir os seguintes objetivos:

- Pesquisar as diferentes arquiteturas de receptores e os diversos tipos de misturadores

³ Devido a diminuição do comprimento do canal dos transistores MOS [14].

- desenvolvidos, bem como o seu papel em um transceptor de RF;
- Selecionar uma estrutura e avaliá-la quanto ao seu desempenho, utilizando para isso, as diversas figuras de mérito para circuitos em RF;
 - Projetar, simular e desenvolver o misturador até a fase de *layout*.

1.3 Organização da Dissertação

Para auxiliar o leitor com respeito a organização dessa dissertação, a seguir é apresentado o conteúdo dos capítulos.

Capítulo 1 – É feita a apresentação do trabalho, objetivos e motivações;

Capítulo 2 – É feita uma descrição das arquiteturas de receptores para comunicação sem fio, o circuito misturador, sua função e o seu funcionamento, e as diversas figuras de mérito para avaliar circuitos em RF;

Capítulo 3 – Trata da descrição do projeto dos vários blocos integrantes do circuito misturador ;

Capítulo 4 – São apresentadas as simulações executadas visando-se atingir um desempenho ótimo para o circuito misturador, bem como o seu *layout* ;

Capítulo 5 – São apresentadas as principais conclusões sobre o trabalho realizado e algumas sugestões para trabalhos futuros.

CAPÍTULO 2

2 Topologias de Receptores e o Circuito Misturador

Este capítulo tem por objetivo descrever as diversas arquiteturas de transceptores, apresentar o circuito misturador, explicando a sua função e como ela é executada, suas classificações e as diversas figuras de mérito utilizadas para avaliar o seu desempenho.

2.1 Arquiteturas de Receptores

Os sistemas de comunicações na faixa de rádio frequência (RF) e microondas tem experimentado um elevado crescimento nas últimas décadas. A tecnologia sem fio (*wireless*) agora é capaz de atingir, virtualmente, qualquer localização sobre a face da terra. Tudo isso é fruto de uma evolução muito grande, principalmente, no campo da microeletrônica.

Tecnologias para fabricação de circuitos integrados cada vez menores e o desenvolvimento de circuitos que consomem cada vez menos potência, viabilizaram projetos de sistemas inteiros em um único *chip*. Como exemplo de tais sistemas pode-se citar os *paggers*, redes de computadores sem fio, telefonia móvel (celular), GPS, comunicações ópticas, etc.

Graças a essa constante miniaturização das tecnologias, hoje são comuns projetos mistos onde pode ser encontrado, em uma mesma pastilha de silício, circuitos analógicos e digitais, o que reduz o consumo de potência, o tamanho e o custo, aumentando assim o desempenho do sistema [1-4,14,20].

Com poucas diferenças, uma etapa de transcepção de um sistema de comunicação sem fio apresenta estruturas em comum. Vários dos blocos presentes em um transceptor, tais como amplificadores, filtros, osciladores e misturadores fazem parte tanto da etapa transmissora quanto da etapa receptora, como mostrado na Figura 2.

Como pode ser notado, a informação é processada digitalmente após um determinado número de etapas analógicas para transcepção e conformação do sinal. A tendência é que esse processamento digital fique cada vez mais próximo da antena, reduzindo custos e aumentando a flexibilidade do sistema [1,2].

Existem várias topologias de receptores¹ com várias vantagens e desvantagens de uma em relação a outra, dependendo das especificações a que se deseja atingir. Essas arquiteturas são:

¹ Como o projeto dessa dissertação é composto de um misturador conversor para baixo (*downconverter mixer*) encontrado apenas na etapa receptora, a etapa transmissora será, doravante, deixada de lado.

- Super-heteródina;
- Homódina ou FI zero;
- Dupla conversão com FI de banda larga;
- Baixa FI.

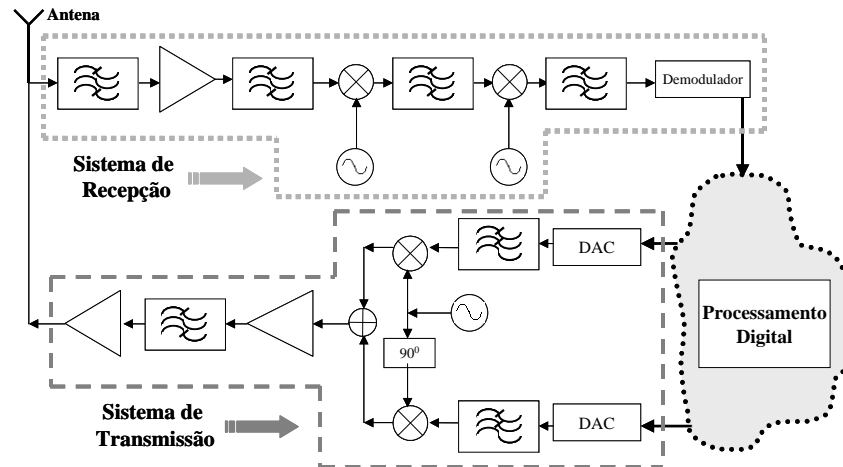


Figura 2– Arquitetura típica de uma etapa transceptora de um sistema sem fio.

2.1.1 Receptor Super-Heteródino

Essa é a topologia mais difundida, tida como a arquitetura clássica em termos de transceptores. O seu diagrama em blocos está mostrado na Figura 3 [1,2].

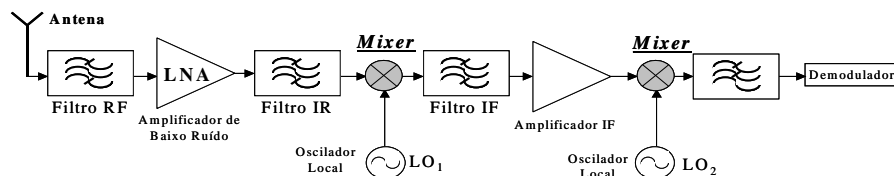


Figura 3 – Topologia típica do receptor Super-Heteródino.

O funcionamento dessa topologia consiste em levar um sinal em alta frequência (RF) captado pela antena para a frequência banda base² passando por uma frequência intermediária (IF – Intermediate Frequency), para posterior processamento digital.

No caminho de traslado de frequência, são encontrados vários blocos como misturadores, amplificador de baixo ruído (LNA – Low Noise Amplifier), oscilador local (LO – Local Oscillator)

² A banda base é uma faixa de frequências baixas e relativamente próximo de DC, onde está armazenada a informação a ser transportada [3].

e diversos filtros, dentre eles, o filtro para rejeição do canal imagem³ (IR – Image Reject) e o filtro para seleção da frequência intermediária.

As principais características desse tipo de receptor são a alta sensibilidade e seletividade, imunidade ao desvio de tensão/corrente DC (*DC Offset*) e problemas de fugas de sinais devido às diversas etapas de conversão. Como desvantagens, a necessidade de filtros com alto fator de qualidade (Q) para atingir especificações de seletividade dificultam a sua completa integração. Um maior consumo de potência devido aos diversos estágios também é uma desvantagem dessa topologia.

2.1.2 Receptor Homódino ou com IF zero

Esse receptor executa a translação do sinal RF direto para a banda base, sem passar pelo estágio de frequência intermediária, conforme mostrado na Figura 4, sem a necessidade dos filtros de IR e IF [34]. Como principais vantagens dessa arquitetura pode-se citar a eliminação do problema do canal imagem, visto que a etapa de IF, causadora do problema é eliminada e é mais fácil de integrar devido a ausência de alguns filtros.

Como desvantagens dessa arquitetura pode-se mencionar:

- Distorção de ordem par – interferência causada por produtos de intermodulação de segunda ordem (IM2), que serão discutidos posteriormente neste capítulo;
- *Offset DC* – nível de tensão/corrente contínua na saída do circuito misturador resultante do batimento (mistura ou, na realidade, multiplicação) do sinal do LO com uma parte do seu próprio sinal que retorna pela entrada do misturador e pela entrada do LNA;
- Ruído 1/f (*Flicker Noise*) – devido às frequências relativamente baixas encontradas nessa topologia, o ruído 1/f se torna um problema, principalmente porque os ganhos nos circuitos RF não são muito grandes.

2.1.3 Receptor de Dupla Conversão com FI de banda larga

Basicamente, é uma combinação do receptor Super-Heteródino com o receptor Homódino. Essa topologia executa uma primeira translação dos sinais de RF da banda do sistema para uma frequência intermediária mais baixa. Em uma segunda translação, há a seleção do canal e a sua conversão para banda base. Dessa forma, o oscilador local do primeiro misturador tem as suas especificações “relaxadas” no sentido de que poderá ser projetado com um Q menor, sendo dessa forma mais facilmente integrável [35].

³ A frequência do sinal imagem é uma frequência que possui uma distância da frequência f_{LO} idêntica à distância entre a frequência do sinal RF (f_{RF}) e o sinal LO (f_{LO}), sendo essa distância igual a f_{IF} . Ao passar pelo misturador, esse sinal imagem produzirá um sinal na frequência f_{IF} que poderá se sobrepor ao sinal desejado [3].

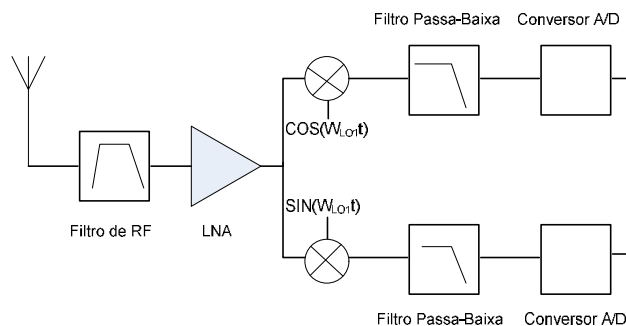


Figura 4 - Topologia típica do receptor Homódino.

Na segunda translação, utiliza-se um misturador rejeita imagem (discutido posteriormente, nesse capítulo), evitando-se o uso dos filtros para rejeição do canal imagem.

Como desvantagem dessa arquitetura, pode-se citar a necessidade do oscilador local varrer toda a banda de frequência do sistema que está presente no sinal de IF, visando a seleção de todos os canais dessa banda de frequência. A Figura 5 apresenta o diagrama de blocos dessa topologia.

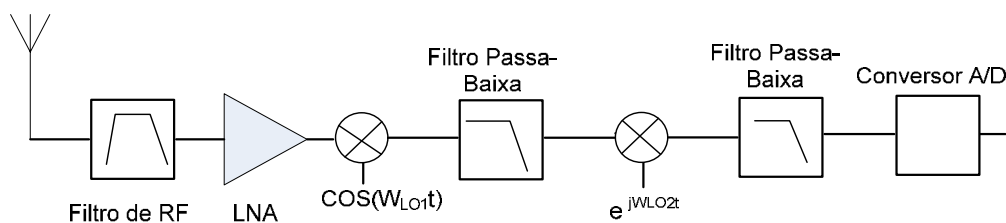


Figura 5 - Topologia De dupla conversão dom IF de banda larga.

2.1.4 Receptor com Baixa IF

Essa arquitetura é similar à do receptor de dupla conversão com IF de banda larga, exceto por algumas diferenças bem sutis [2,36].

Primeiramente, a frequência IF é escolhida tão baixa quanto possível. Como principais vantagens dessa baixa frequência pode-se citar a menor sensibilidade dessa topologia a problemas de *Offset-DC* e produtos de intermodulação de segunda ordem, a construção de filtros para rejeição do canal imagem e seletores de canal com baixo Q, o que torna essa arquitetura mais atraente para integração.

2.1.5 Tendências

Pelo que se pôde observar pela análise bibliográfica, há uma tendência, cada vez maior, de

se tornar o transceptor o mais digital possível. Com a evolução dos microprocessadores e das ferramentas e técnicas de processamento digital de sinais (*DSP*), as operações associadas à banda base (decodificação, amplificação, modulação, demodulação, etc.), serão realizadas digitalmente.

Como meta a ser atingida, pretende-se chegar a uma topologia na qual o sinal RF proveniente da antena seja digitalizado e processado digitalmente, para se obter o sinal de informação. Como todo o processamento é digital, essa arquitetura oferece maior flexibilidade e velocidade de evolução. Para se alterar ou mudar um padrão (DECT, CDMAIS-95, etc.), basta atualizar ou substituir o programa digital.

Infelizmente, o custo de fabricação de conversores A/D e microprocessadores que operem na velocidade necessária para uma correta operação de arquiteturas digitais inviabiliza o compromisso custo x benefício, e a digitalização à partir da antena ainda não é possível. Hoje, pode-se digitalizar o sinal a uma frequência intermediária mais baixa, deixando-se a digitalização um pouco longe da antena.

2.2 O Misturador

Esta seção apresenta inicialmente o circuito misturador, sua função em um sistema de comunicação e sua operação.

2.2.1 Função do Circuito Misturador

Na seção anterior, pôde-se ver que a etapa receptora de um transceptor é responsável por receber um sinal da antena e transladá-lo a uma frequência mais baixa para ser digitalizado e processado digitalmente [4,6,8,10,20]. O circuito misturador ilustrado na Figura 6 é o bloco encarregado dessa translação de frequência.

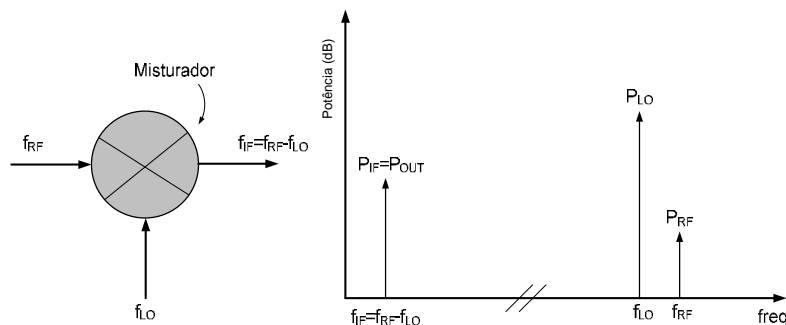


Figura 6 – Espectro de frequência ideal do misturador.

Como pode ser visto na Figura 6, em uma operação ideal, o misturador conversor para

baixo executa a translação de um sinal em uma alta frequência (f_{RF}) para um sinal em uma frequência mais baixa (f_{IF}), utilizando-se, para isso, uma frequência auxiliar (f_{LO}) proveniente de um bloco chamado oscilador local. Entretanto, devido a não-linearidades do circuito misturador, o circuito apresentará harmônicos e produtos de intermodulação (explicados posteriormente nesse capítulo) na sua saída, o que levará a um espectro de frequência mais poluído, como visto na Figura 7.

Como pode ser observado, o sinal na frequência desejada ($f_{IF} = f_{RF} - f_{LO}$) pode ser selecionado por meio de um filtro. Especial atenção é requerida para com os produtos de intermodulação de terceira ordem ($2f_{RF}-f_{LO}$ e $2f_{LO}-f_{RF}$), que podem cair na faixa de frequência f_{RF} e/ou f_{LO} . Se esses sinais estiverem muito próximos, torna-se difícil a sua remoção por filtros e começam a surgir distorções no funcionamento do circuito.

2.2.2 Funcionamento do Misturador

Basicamente, existem duas maneiras de se obter a ação de translação de frequências do circuito misturador [1,2,4,7,9,22,23]:

- Relação não-linear do comportamento I/V do dispositivo;
- Chaveamento do sinal de entrada (sistema variante no tempo).

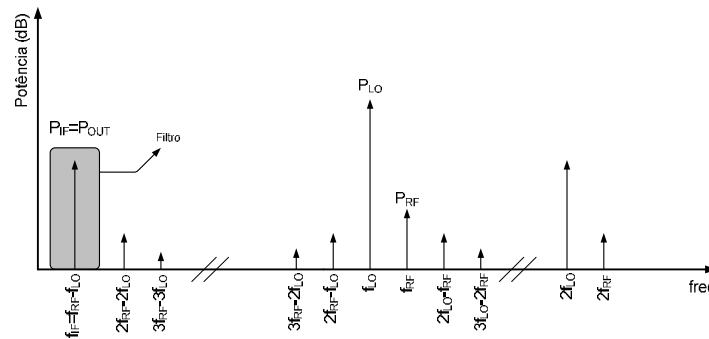


Figura 7 – Espectro de frequência real do misturador.

Na primeira, utiliza-se a relação não-linear existente na característica de transferência presente em qualquer diodo ou transistor, conforme indicado na Equação (2.1), bastando, para isso, excitar esses dispositivos em um nível de potência suficientemente alto.

$$V_o(t) = a_0 + a_1 v_{in}(t) + a_2 v_{in}^2(t) + a_3 v_{in}^3(t) + \dots \quad (2.1)$$

Como pode ser visto na Equação (2.1), para uma excitação senoidal, a saída poderá conter um termo dc, harmônicos do sinal de entrada e produtos de intermodulação, este último quando a entrada for excitada por múltiplas portadoras (frequências). Esse tipo de abordagem leva a um espectro de saída com muitos sinais em frequências espúrias não desejadas.

A abordagem por chaveamento de sinal (nesse caso, corrente), mostrada na Figura 8, conduz a um espectro de saída mais limpo, devido ao cancelamento de sinais espúrios inerente à topologia [4], a qual será discutida na próxima Seção. O seu funcionamento consiste em se guiar a corrente de sinal proveniente do estágio de transcondutância (conversão $V \Rightarrow I$) para o estágio de carga (conversão $I \Rightarrow V$ nos resistores R_L), através de um estágio de chaveamento que faz com que a polaridade da tensão de saída seja invertida na frequência f_{LO} .

Nas Figuras 9 e 10 [5], pode-se observar o sentido da corrente no circuito quando se tem uma tensão na entrada LO positiva (corrente em azul) e negativa (corrente em vermelho). Nesse tipo de misturador, que usa chaveamento para executar a sua função, dois detalhes devem ser observados. Em primeiro lugar, a corrente no estágio de transcondutância flui sempre no mesmo sentido, independente do estado do estágio de chaveamento. Em segundo lugar, a tensão nos resistores do estágio de carga tem a polaridade da sua tensão invertida periodicamente, na frequência f_{LO} .

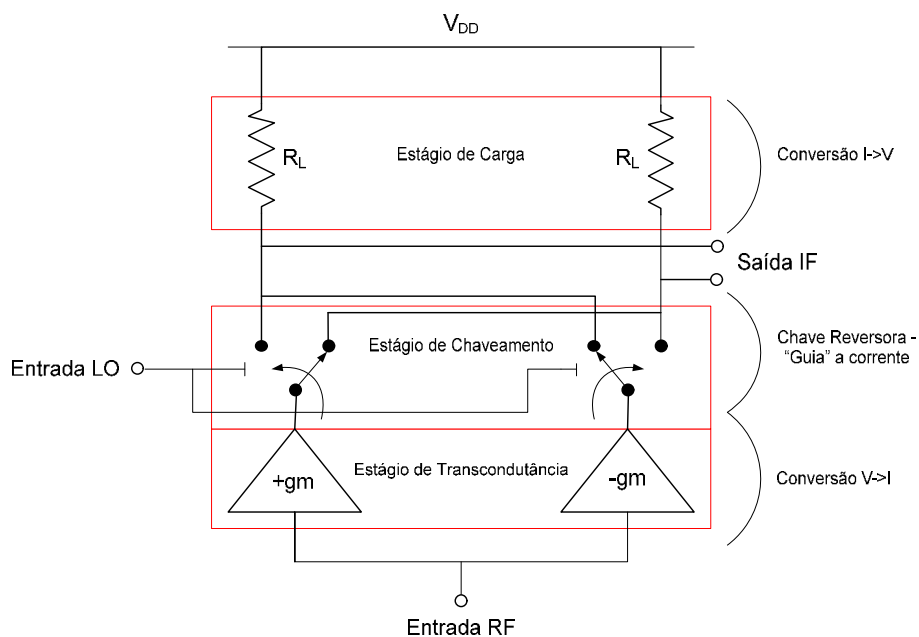


Figura 8 - Chaveamento de corrente em um misturador.

É justamente esta mudança no caminho da corrente, causando a inversão periódica na polaridade da tensão sobre os resistores de carga que produz o efeito de mistura entre os sinais RF e

LO (translação de frequência), como será visto na Seção 2.5.

2.3 Classificação do Circuito Misturador

O circuito misturador é um dispositivo não-linear que realiza uma translação de frequência. De acordo com a literatura, existem várias classificações para o misturador [1-4,12,15,20,27,28]. Um misturador pode ser classificado quanto ao ganho (ou perda) obtido(a) na conversão do sinal na frequência f_{RF} para um

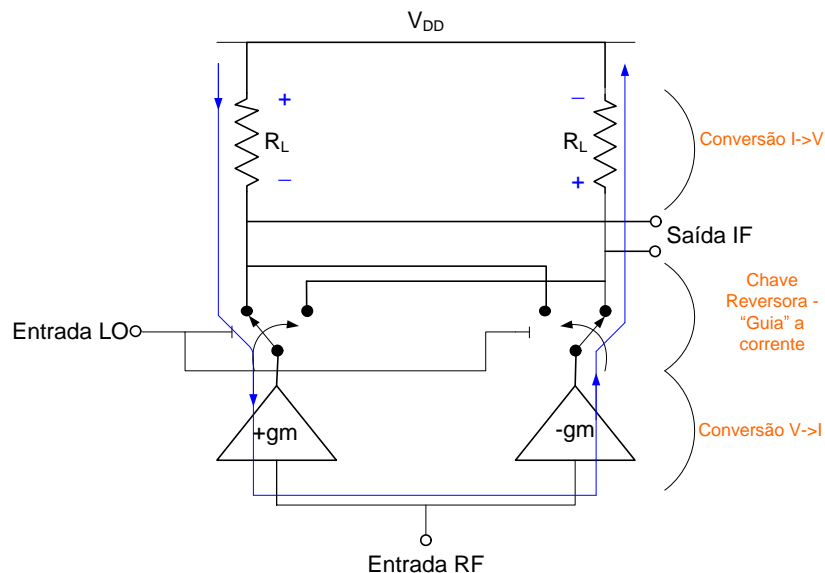


Figura 9 - Caminho da corrente para tensão positiva na entrada LO.

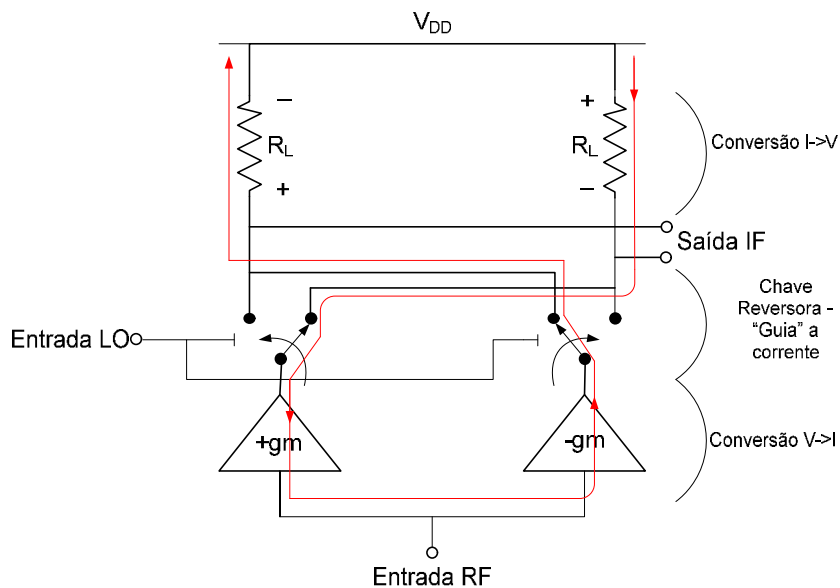


Figura 10 - Caminho da corrente para tensão negativa na entrada LO.

sinal na frequência f_{LO} ⁴. Dessa forma, o circuito misturador é classificado como ativo (apresenta *ganho na conversão* do sinal) ou passivo (apresenta *perda na conversão* do sinal).

Outra classificação muito utilizada diz respeito ao “balanceamento” do misturador. Esse balanceamento refere-se a relação entre as fases dos sinais RF e LO. Sendo assim, existem três possibilidades:

- Misturador desbalanceado (*unbalanced*);
- Misturador com balanceamento simples (*single balanced*);
- Misturador com balanceamento duplo (*double balanced*).

O resultado desse jogo de fase nas entradas do circuito misturador é uma mudança nas fases dos sinais de saída que, ao serem somados (ou subtraídos), provocam o cancelamento de alguns dos sinais espúrios. Como exemplo de tais sinais indesejáveis, pode-se citar os harmônicos do oscilador local (múltiplos inteiros de f_{LO}), o próprio sinal f_{LO} e o sinal f_{RF} , esses dois últimos devido ao acoplamento finito entre as portas IF-LO e IF-RF.

Seguindo-se a partir da configuração desbalanceada seqüencialmente até a configuração com balanceamento duplo, obtém-se uma progressiva melhora na eliminação de sinais espúrios na saída do circuito misturador. A tabela 2.1 mostra uma comparação entre as estruturas mencionadas [4,12].

Single-Balanced	Double-Balanced
Melhor Figura de Ruído	Maior eliminação de sinais espúrios
Menor consumo de Potência	Melhor linearidade e isolamento entre portas
Requer menor potência do sinal LO	Ocupa mais área

Tabela 1 - Comparação entre estruturas *single-balanced* e *double-balanced*.

2.4 Figuras de Mérito para Circuitos RF

Como em todo sistema eletrônico, deve existir uma forma de se comparar o desempenho entre circuitos que executam a mesma tarefa. Em RF, não é diferente. Essa comparação é obtida por meio das figuras de mérito em RF.

Existem várias figuras de mérito para se comparar sistemas RF, dentre os quais pode-se citar ganho de conversão, figura de ruído, linearidade (IIP_3 ou P_{1dB}), perda de retorno, potência do oscilador local, isolamento entre terminais, faixa dinâmica de operação, etc. Nas seções seguintes, será dada uma introdução a algumas dessas figuras de mérito, visto que serão usadas extensivamente ao

⁴ Característica chamada ganho (ou perda) de conversão.

longo desse material.

2.4.1 Ganho de Conversão

O ganho de conversão de um sistema é definido como a relação entre o nível do sinal de tensão (ou potência) na saída e o nível do sinal de tensão (ou potência) na entrada [1,3,4,5,28,30]. Se o nível do sinal de saída (tensão ou potência) é maior do que o nível de sinal na entrada, obtém-se um *ganho na conversão* do sinal. Caso contrário, se o nível do sinal de saída for menor do que o nível do sinal de entrada, tem-se uma *perda na conversão* do sinal. Matematicamente, essa figura de mérito pode ser expressa pelas Equações (2.2) e (2.3),

$$\text{Ganho_de_Tensão}(dB) = 20 \log_{10} \left(\frac{V_{OUT}}{V_{IN}} \right) \quad (2.2)$$

$$\text{Ganho_de_Potência}(dB) = 10 \log_{10} \left(\frac{P_{OUT}}{P_{IN}} \right) \quad (2.3)$$

sendo V_{OUT} , V_{IN} , P_{OUT} e P_{IN} , a tensão de saída, a tensão de entrada, a potência de saída e a potência de entrada do sistema, respectivamente. Se as impedâncias de entrada e saída do sistema estão casadas com as impedâncias da fonte e da carga, respectivamente, vale a seguinte relação entre os dois ganhos:

$$\text{Ganho_de_Potência}(dB) = \text{Ganho_de_Tensão}(dB) - 10 \log_{10} \left(\frac{R_L}{R_S} \right) \quad (2.4)$$

Um grande ganho de conversão é desejado, visando reduzir o impacto de ruído nos estágios subseqüentes, conforme será mostrado na próxima seção. Um grande ganho também ajuda a suprir as perdas em filtros passivos⁵ posteriores ao misturador. Entretanto, o ganho não pode ser aumentado indiscriminadamente, pois assim, poderá saturar estágios que o sucedem, além de aumentar o consumo de corrente e, conseqüentemente, de potência.

O ganho vai depender, principalmente, da impedância de carga do misturador, da transcondutância dos transistores do estágio de transcondutância e da potência do oscilador local.

2.4.2 Figura de Ruído

⁵ Esse efeito é chamado perda de inserção (*insertion loss*).

Essa figura de mérito determina a sensibilidade do misturador. Existe um determinado nível de sinal na entrada do circuito misturador (com uma relação sinal/ruído) que faz com que a relação sinal ruído na saída atinja o seu mínimo valor aceitável. Esse nível de sinal na entrada é indicado, principalmente, pela figura de ruído do misturador. Alternativamente, a figura de ruído é a medida de como a relação sinal/ruído é degradada por um dispositivo, neste caso, o circuito misturador, através do acréscimo de ruído ao sinal da informação [1,3,13,14,17-19,]. Ao contrário da relação sinal/ruído (SNR), que deve ser maximizada, a figura de ruído deve ser a menor possível.

A relação sinal/ruído (SNR) e a figura de ruído (em dB) são dadas pelas Equações (2.5) e (2.6), respectivamente.

$$SNR = \frac{S}{N} \quad (2.5)$$

$$NF(dB) = 10 \log_{10} \left(\frac{SNR_{IN}}{SNR_{OUT}} \right) \quad (2.6)$$

Para um melhor entendimento da figura de ruído, considere-se como um exemplo um bloco (ou sistema) que possui um ganho de potência G_{INT} e um ruído interno gerado por seus componentes N_{INT} [20,32,37]. Na entrada desse sistema, é aplicado um sinal com potência S_{IN} por meio de uma fonte de sinal com resistência interna R_S , produzindo um ruído térmico N_{IN} . Na saída desse sistema, tem-se um sinal com potência S_{OUT} e um ruído com potência N_{OUT} , como ilustrado na Figura 11.

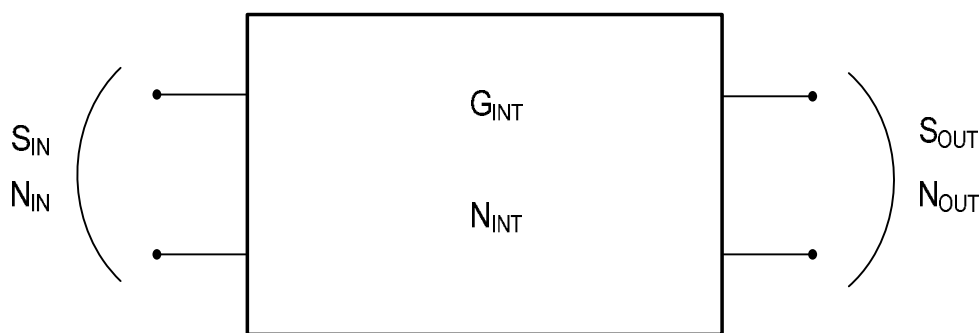


Figura 11 - Cálculo da figura de ruído de um sistema.

Para o cálculo da figura de ruído desse sistema, tem-se o fator de ruído (F), dado por:

$$F = \frac{SNR_{IN}}{SNR_{OUT}} = \frac{S_{IN}/N_{IN}}{S_{OUT}/N_{OUT}} \quad (2.7)$$

onde SNR_{IN} e SNR_{OUT} são as relações sinal/ruído na entrada e saída, respectivamente. A potência de ruído na saída do sistema é dada por:

$$N_{OUT} = N_{IN} \cdot G_{INT} + N_{INT} \quad (2.8)$$

Sendo a potência do sinal de saída dada por:

$$S_{OUT} = G_{INT} \cdot S_{IN} \quad (2.9)$$

Substituindo as Equações (2.8) e (2.9) na Equação (2.7), tem-se:

$$F = \frac{S_{IN}/N_{IN}}{S_{OUT}/N_{OUT}} = \frac{S_{IN}/N_{IN}}{G_{INT} \cdot S_{IN} / (G_{INT} \cdot N_{IN} + N_{INT})} = \frac{G_{INT} \cdot N_{IN} + N_{INT}}{G_{INT} \cdot N_{IN}} = 1 + \frac{N_{INT}}{G_{INT} \cdot N_{IN}} \quad (2.10)$$

Pode-se notar pela Equação (2.10), que o fator de ruído F , sempre será maior do que 1, visto que, em sistemas reais, invariavelmente $N_{INT} > 0$. Isso acontece devido ao ruído inerente aos componentes eletrônicos que compõe um circuito. Agora, pode ser notado que a expressão (2.6), nada mais é do que:

$$NF(dB) = 10 \log_{10}(F) \quad (2.11)$$

Neste ponto, definida a figura de ruído, pode-se mostrar a importância do ganho em um sistema *wireless*, onde, através da Equação (2.12), calcula-se a figura de ruído total NF_{TOTAL} :

$$NF_{TOTAL} = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \dots + \frac{NF_n - 1}{\prod_1^{n-1} G_k} \quad (2.12)$$

onde NF_n é a figura de ruído do n -ésimo bloco e:

$$\prod_1^{n-1} G_k = G_1 G_2 \dots G_{n-1} \quad (2.13)$$

Como geralmente em receptores de RF, o misturador é precedido por um amplificador de baixo ruído (LNA), que amplifica o sinal fraco captado pela antena acrescentando uma quantidade

mínima de ruído, tem-se pela Equação (2.12):

$$NF_{SISTEMA} = NF_{LNA} + \frac{NF_{MISTURADOR} - 1}{G_{LNA}} + \frac{NF_{BLOCO_SEGUINTE} - 1}{G_{LNA} G_{MISTURADOR}} \quad (2.14)$$

Observando-se a Equação (2.14), pode-se concluir que, quanto maior o ganho dos diversos blocos que compõem um receptor, menor a figura de ruído total do sistema. Pode-se perceber também, a importância de um LNA bem projetado, com um bom ganho e baixa figura de ruído, que conseqüentemente, alivia as especificações do misturador, tais como ganho de conversão e figura de ruído.

Existem dois tipos de figura de ruído. Entretanto, para poder defini-las, é necessário definir o canal imagem, que é um problema preocupante em praticamente todo sistema RF. Como indicado na Figura 2.11, a frequência central do canal imagem (f_{IM}) é uma frequência que está localizada f_{IF} Hz distante do oscilador local, exatamente como a frequência do sinal de interesse f_{RF} , mas em lados opostos. Dessa forma, ambas as frequências (f_{RF} e f_{IM}) serão convertidas para baixo na frequência f_{IF} . Como o sinal RF geralmente é um sinal com baixo nível de potência, esse sinal indesejável convertido para baixo na frequência f_{IF} , como indicado em vermelho na Figura 12, pode causar distorção no sinal de informação e comprometer o funcionamento do sistema já que a sua potência pode ser bem superior à do sinal na frequência desejada.

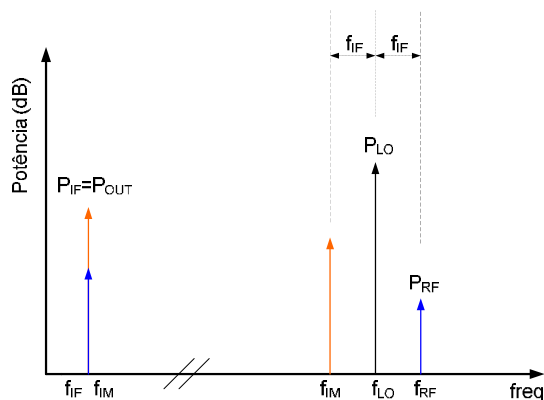


Figura 12 - O canal imagem.

A figura de ruído se divide em figura de ruído de banda lateral simples - SSB NF (*Single SideBand Noise Figure*) e figura de ruído de banda lateral dupla - DSB NF (*Double SideBand Noise Figure*). A diferença entre elas está no modo como são calculadas. A SSB NF leva em conta a potência de sinal apenas do canal de interesse (RF) e o ruído de ambos os canais (RF e imagem), indicado em vermelho nas Figuras 13 e 14, enquanto a DSB NF inclui a potência de sinal em ambos

os canais (RF e imagem), bem como a potência de ruído, também em ambos os canais. Os cálculos da SSB NF e da DSB NF podem ser visto nas Figuras 13 e 14, respectivamente.

De forma não muito óbvia, pode-se perceber pelas Figuras 13 e 14, que a figura de ruído de banda lateral simples (SSB NF) será aproximadamente o dobro da figura de ruído de banda lateral dupla (DSB NF), conforme apresentado pela Equação (2.15).

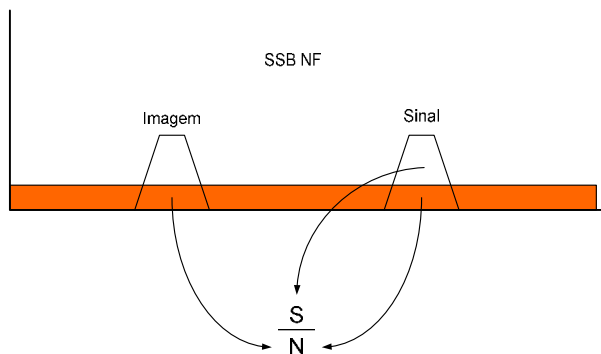


Figura 13 - SSB NF.

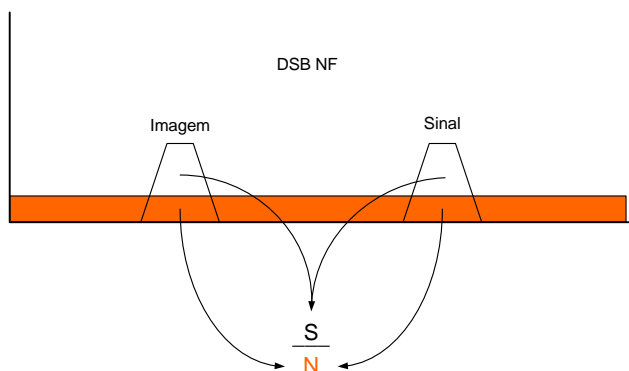


Figura 14 - DSB NF.

A SSB NF é aplicada em arquiteturas super-heteródinas, onde existem filtros rejeita imagem para eliminação do canal imagem, reduzindo o seu efeito na frequência f_{IF} , como mostrado na Figura 15. O DSB NF é aplicado em arquiteturas homódinas, onde o canal imagem é importante no desempenho do sistema.

A SSB NF é aproximadamente 2 vezes (3dB) maior que a DSB NF, ou seja:

$$SSB_NF(dB) \approx DSB_NF(dB) + 3dB \quad (2.15)$$

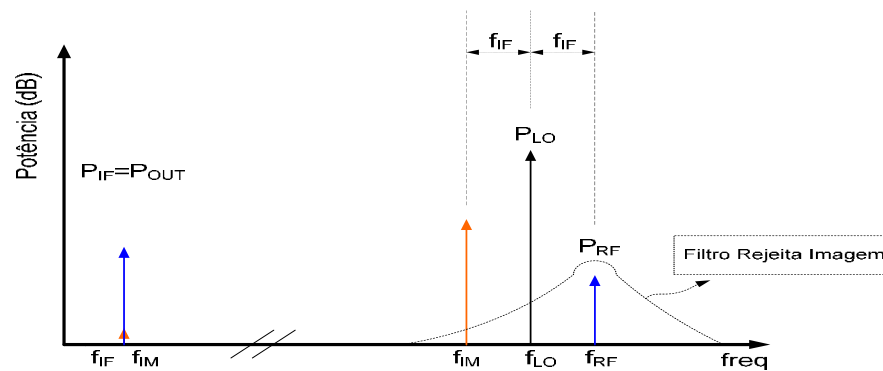


Figura 15 - Ação do filtro rejeita imagem.

2.4.3 Linearidade

A linearidade de um circuito é uma importante figura de mérito de projeto pois determina o desempenho com grandes sinais aplicados a entrada [1-5,12,15,20,26,27,37]. Em conjunto com a figura de ruído, a linearidade determina a faixa dinâmica de operação do misturador, como será visto posteriormente.

Dentre as distorções que afetam a linearidade de um circuito, pode-se citar os produtos de intermodulação e o ponto de compressão de 1 dB. Tradicionalmente, a literatura lida matematicamente com a linearidade de um sistema utilizando séries de potência (como mostrado na Equação 2.1) para sistemas sem memória e séries de Volterra para sistemas com memória⁶. Este último, por requerer cálculos complicados e geralmente complexos, geralmente precisam do auxílio de sistemas computacionais, que geram resultados mais precisos.

- Produtos de Intermodulação

Pode-se afirmar que em todo circuito eletrônico existe um comportamento não-linear, bastando para isso, acioná-lo com um nível suficientemente alto de tensão. No caso de um circuito com uma só entrada, tem-se geralmente na sua saída, uma componente dc, uma versão ampliada/reduzida da entrada, chamada frequência fundamental, bem como harmônicos do sinal de entrada, como mostrado na Figura 16.

Quando um circuito não-linear passa a ter mais de uma entrada, ele começa a lidar com mais de uma frequência, o que gera os chamados produtos de intermodulação.

A forma desses produtos de intermodulação dependerá de quantas frequências estarão

⁶ Em circuitos com memória, leva-se em consideração o efeito não-linear de dispositivos como indutores e capacitores.

presentes na(s) entrada(s) do circuito. Por exemplo, em um circuito misturador, tem-se sempre presente a frequência f_{LO} , que é utilizada na translação do sinal.

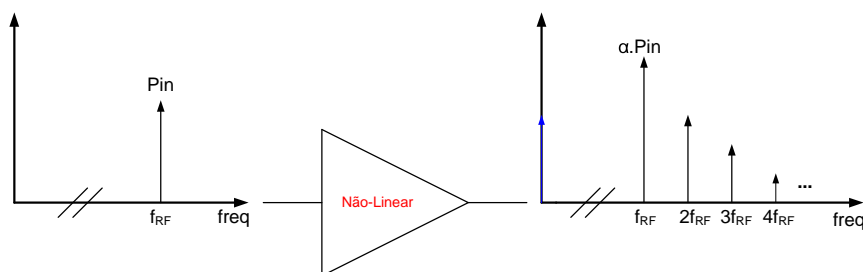


Figura 16 - Harmônicos em um circuito não-linear.

Há também um sinal a ser transladado, representado por f_{RF} . Entretanto, pode haver além da frequência de interesse, sinais interferentes em várias outras frequências que, inclusive, podem estar localizadas bem próximas do sinal de informação. Assim, serão apresentados dois casos. No primeiro considera-se apenas uma frequência de sinal (f_{RF}). No segundo são consideradas duas frequências, sendo uma um sinal desejado e a outra um possível sinal interferente f_{RF1} e f_{RF2} , respectivamente.

O caso com apenas a frequência de sinal é mostrado na Figura 17. Como pode-se notar, serão gerados sinais em frequências derivadas da Equação (2.16).

$$f = \pm m f_{RF} \pm n f_{LO} \quad (2.16)$$

Na Equação (2.16), m e n são inteiros. Pode-se perceber que as frequências na saída serão encontradas tomando-se as fundamentais (m igual a um, n igual a zero e vice-versa), as harmônicas (m igual a um inteiro não nulo, n igual a zero e vice-versa) e produtos de intermodulação (m e n iguais a inteiros não nulos) dos sinais de entrada.

Quando a entrada apresenta além do sinal de interesse, um sinal interferente, a saída apresentará sinais nas frequências dadas pela Equação (2.17):

$$f = (\pm m_1 f_{RF1} \pm m_2 f_{RF2}) \pm n f_{LO} \quad (2.17)$$

onde $m_1, m_2 = 1, 2, 3, \dots$ e $n = 1, 2, 3, \dots$

De acordo com a Equação (2.16) e como pode ser visto na Figura 17, as respostas desejadas, $\pm f_{RF} \pm f_{LO}$, vão ocorrer quando $m=n=1$. No caso de um misturador conversor para baixo, a única resposta desejada estará localizada em $f_{RF} - f_{LO}$, enquanto para um misturador conversor

para cima a única resposta desejada estará em $f_{RF} + f_{LO}$. Quando há um sinal interferente presente na entrada, conforme mostrado na Figura 18, os produtos de intermodulação são dados pela Equação (2.17).

Para cada sinal de RF que entra no misturador, f_{RF1} e f_{RF2} , produtos de intermodulação como os da Equação (2.17) irão aparecer, e define-se o grau da intermodulação de ordem N como $N=m_1+m_2$. Assim, para dois tons na entrada do circuito misturador f_{RF1} e f_{RF2} , os produtos de intermodulação de segunda ordem ($N=2$) serão a combinação $(\pm f_{RF1} \pm f_{RF2}) \pm f_{LO}$, e os produtos de intermodulação de terceira ordem ($N=3$) serão as combinações $(\pm 2f_{RF1} \pm f_{RF2}) \pm f_{LO}$ e $(\pm 2f_{RF2} \pm f_{RF1}) \pm f_{LO}$.

A figura de mérito responsável por avaliar quanto a distorção causada pelos produtos de intermodulação poderá afetar o sinal de informação desejado é o ponto de interseção de 3ª ordem referido à entrada (*Input-referred 3th order Intercept Point, IIP₃*).

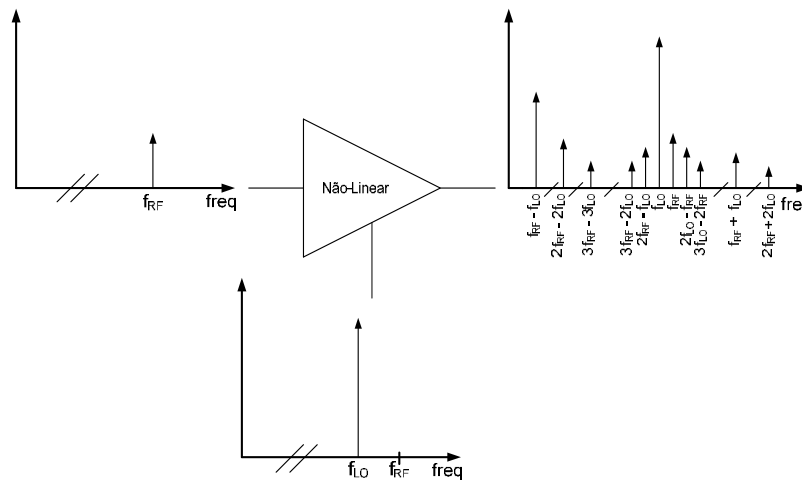


Figura 17 - Duas frequências de entrada.

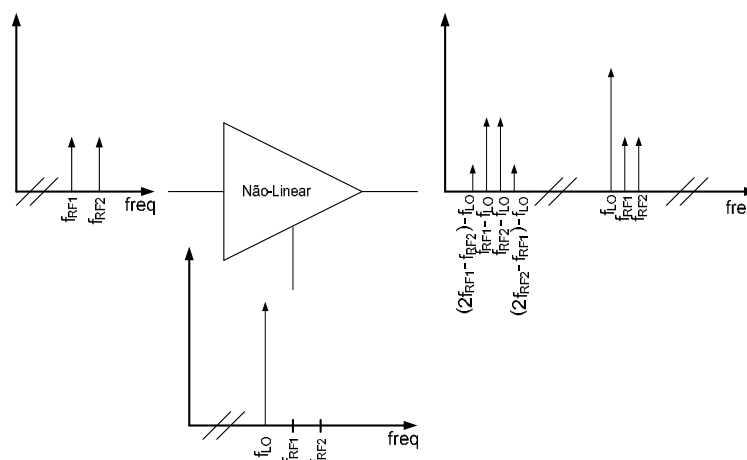


Figura 18 - Mais de duas frequências de entrada.

O IIP_3 é definido como o nível de potência na entrada onde a potência do produto de intermodulação de terceira ordem é igual à potência da saída desejada.

Como sinal de saída desejado, pode-se definir aquele sinal que, ao receber um incremento de potência de 1dB (na entrada do circuito) resultará em um incremento de 1dB de potência na sua saída. O sinal de intermodulação de terceira ordem é aquele sinal que, recebendo um incremento de potência de 1dB, resultará em um incremento de 3dB na sua potência de saída, como indicado na Figura 19.

Através da Figura 19 e um pouco de geometria analítica, pode-se provar que:

$$IIP_3 = Pin + \frac{Pout_1 - Pout_3}{2} \quad (2.18)$$

onde $Pout_1$ e $Pout_3$ são os níveis de potência do sinal de saída desejado e da distorção de terceira ordem, respectivamente, para uma determinada potência de entrada Pin .

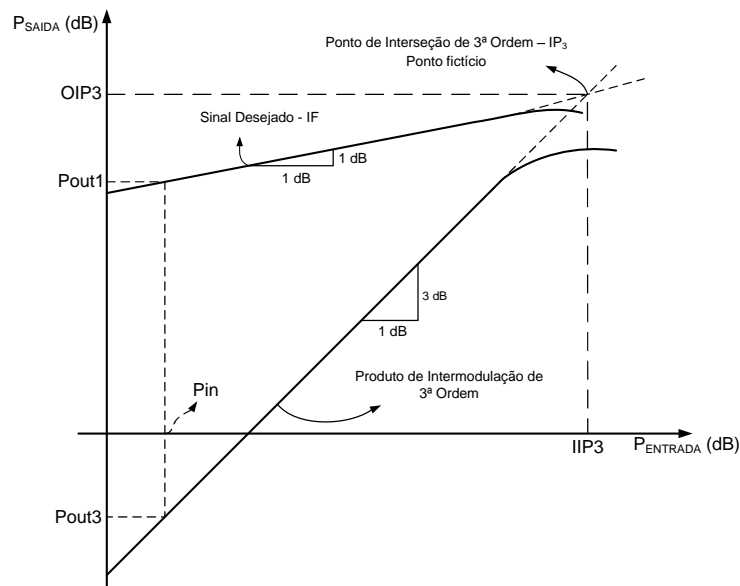


Figura 19 - Definição do IIP_3 .

O ponto de interseção de 3ª ordem referido à entrada (IIP_3), indica a capacidade de manuseio de grandes sinais na entrada do circuito misturador sem que se entre na fase de compressão do ganho, região onde as curvas saem de sua forma reta e começam a se nivelar. Assim, quanto maior for o IIP_3 , melhor a linearidade do circuito.

- Ponto de Compressão de 1 dB

Outra maneira de se comparar a linearidade de um sistema é através do ponto de compressão do ganho de 1dB ou simplesmente ponto de compressão de 1 dB (P_{1dB}).

Quando um sinal de relativamente grande amplitude é aplicado à entrada do circuito misturador, alguns transistores que o compõe podem sair da saturação, condição requerida para se obter um alto ganho de conversão. O P_{1dB} mede o nível de potência na entrada do circuito que provoca um desvio na resposta linear na saída do misturador de 1 dB e é geralmente expresso em dB_m , ou seja:

$$dB_m = 10 \log \left(\frac{P}{1mW} \right) \quad (2.19)$$

onde P é a potência expressa em Watts.

Como pode ser visto na Figura 20, em um determinado nível de potência do sinal de entrada (IP_{1dB}), a potência de saída real do circuito misturador (linha cheia) cai 1dB em relação ao seu valor ideal (linha pontilhada), devido, basicamente, ao comportamento não-linear dos componentes do circuito misturador.

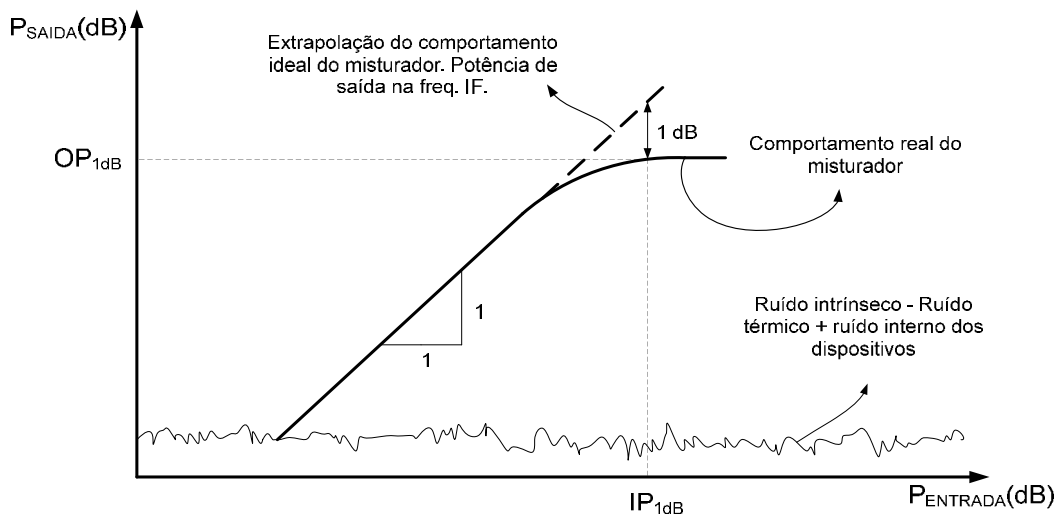


Figura 20 - Ponto de Compressão de 1dB.

É mostrado na Figura 20 também, o nível de ruído intrínseco que o misturador possui, ou seja, o ruído que é gerado termicamente e por imperfeições (resistências parasitas) nos componentes do circuito misturador. É impossível remover esse ruído, chamado de ruído mínimo (*Noise Floor*). Na seção sobre figura de ruído (2.4.2), no exemplo do amplificador, esse ruído foi chamado N_{INT} .

Da mesma forma que o IIP_3 , é desejável que o P_{1dB} seja o maior possível, para que o circuito misturador seja capaz de manusear eventuais sinais de alta amplitude (níveis maiores de potência). Quando o nível de potência na entrada do circuito não é relativamente alto, ou seja, quando os níveis de potência são inferiores ao IIP_3 , pode-se dizer que existe uma relação entre o P_{1dB} e o ponto de interseção de 3ª ordem referido a entrada (IIP_3) dada pela Equação (2.20) [1,3]:

$$P_{1dB} = IIP_3 - 9,6dB \quad (2.20)$$

onde tanto o P_{1dB} quanto o IIP_3 estão expressos em dB_m . Entretanto, a Equação (2.20) torna-se imprecisa para níveis de potência mais elevados.

2.4.4 Isolamento entre Terminais

O isolamento (ou isolação) entre os terminais de um sistema representa uma importante especificação de projeto, pois, dependendo do circuito a ser projetado, a presença de um sinal em uma outra porta do circuito (*feed-through*) pode afetar a linearidade e a figura de ruído do mesmo [1-4,13-15].

O isolamento entre uma porta A (com um sinal na frequência f_A) e uma outra porta B (com um sinal na frequência f_B) pode ser descrito matematicamente por

$$Isolamento_{A-B} (dB) = 10 \log_{10} \left(\frac{P_A |_{porta_B}}{P_A |_{porta_A}} \right) \quad (2.21)$$

onde $P_A |_{porta_B}$ representa a potência de um sinal gerado na porta A (com frequência f_A) presente na porta B . Utilizando a notação usada na Equação (2.21), pode-se definir os isolamentos mais importantes em um circuito misturador, os quais são apresentados na Figura 21.

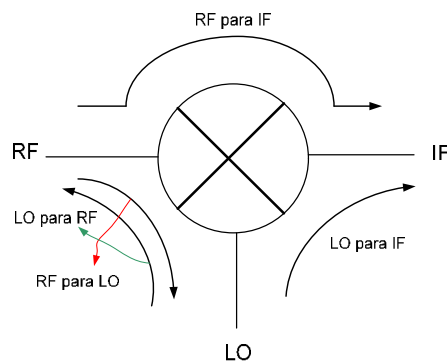


Figura 21 - Isolação entre terminais de um misturador.

Assim, o isolamento *RF para IF*, ou seja, a intensidade do sinal RF (na frequência f_{RF}) presente na porta IF é dada por

$$\text{Isolamento}_{RF-IF} (dB) = 10 \log_{10} \left(\frac{P_{RF} |_{\text{porta}_{IF}}}{P_{RF} |_{\text{porta}_{RF}}} \right) \quad (2.22)$$

Assim, quando se diz que um misturador possui um isolamento entre a porta RF e a porta IF, ou isolamento RF-IF, de -35 dB, significa que na porta IF há um sinal da porta RF (na frequência f_{RF}) 35 dB menor do que o sinal RF (na frequência f_{RF}) presente na porta RF, ou seja,

$$RF_em_IF = -35dB.(RF_em_RF) \quad (2.23)$$

Uma preocupação especial deve ser tomada com o isolamento entra a porta LO e as demais, devido ao relativamente alto nível de potência presente nessa porta. Quanto menor o valor dessa figura de mérito, melhor o isolamento entre as portas e o desempenho do circuito.

2.4.5 Perda de Retorno

Quando a impedância da porta de entrada de um circuito não está casada com a impedância interna da fonte, parte do sinal que incide sobre a porta, indicada em azul na Figura 22, será refletido e retornará para a fonte, como indicado em vermelho na mesma figura, onde o sistema é definido por sua matriz de parâmetros S (*S Parameters*) [1,3,4,8,11,12,15,22-25].

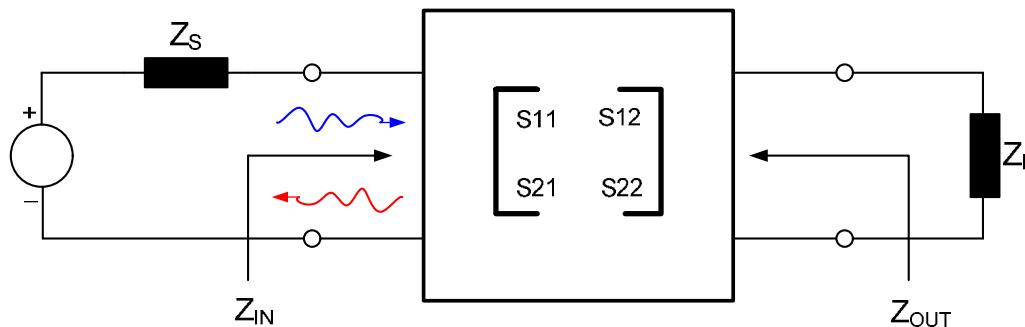


Figura 22 - Sinal incidente e refletido em um sistema.

Idealmente, espera-se que todo o sinal disponibilizado pela fonte para o circuito seja absorvido pelo mesmo para ser processado e entregue para a carga. Entretanto, pelo teorema da máxima transferência de potência, isso só aconteceria se a impedância da fonte fosse perfeitamente casada com a impedância de entrada do circuito. Em um caso mais geral, onde as impedâncias são

complexas, espera-se que

$$Z_{IN} = Z_S^* \quad (2.24)$$

onde Z_S^* representa o conjugado complexo da impedância da fonte.

Mesmo adicionando-se redes para casamento de impedância⁷, a Equação (2.24) nunca é perfeitamente satisfeita, o que dá origem a uma parcela do sinal incidente que será refletida de volta para a fonte.

A perda de retorno (*return loss*) é definida como a razão entre a potência refletida e a potência incidente sobre a porta de um sistema, ou seja,

$$Perda_de_Retorno(dB) = 10 \log_{10} \left(\frac{P_{refletida}}{P_{incidente}} \right) \quad (2.25)$$

Espera-se que esta figura de mérito seja a menor possível, para que a máxima quantidade de potência seja entregue para o circuito. É importante mencionar que tudo que foi dito especificamente sobre a porta de entrada, aplica-se as demais portas do circuito.

2.4.6 Faixa Dinâmica de Operação

A faixa dinâmica de operação (*dynamic range – DR*) define a faixa de potência em que os sinais de entrada devem permanecer para não gerar distorções (sinais indesejados) na saída do circuito [1-4,15]. Esta faixa de potências é definida por duas outras figuras já vistas anteriormente. O limite inferior (ou limite para sinais de entrada de baixa potência) está relacionado com a figura de ruído do circuito enquanto que o limite superior (ou limite para sinais de entrada de alta potência) está relacionado com o ponto de interseção de 3ª ordem⁸, como mostrado na Figura 23.

O limite inferior é o mínimo sinal detectável (*Minimum Signal Detected – MDS*) e é dado por:

$$MSD(dB) = 10 \log_{10} (KT\Delta f) + NF \quad (2.26)$$

onde MSD é o mínimo sinal detectável em dB (ou dB_m ⁹), NF é a figura de ruído e a 1ª parcela do

⁷ Circuitos que alteram a impedância de um nó em relação a outro.

⁸ Alguns trabalhos consideram o limite superior da faixa dinâmica o P_{1dB} . Entretanto, como o IIP_3 e o P_{1dB} estão relacionados pela Equação (2.20), isso não chega a ser um problema.

⁹ Sendo $dB = 10 \log P(W)$, pode-se mostrar facilmente que $1dB_m = 1dB + 30$.

segundo membro é o ruído térmico gerado pelo circuito na largura de banda Δf .

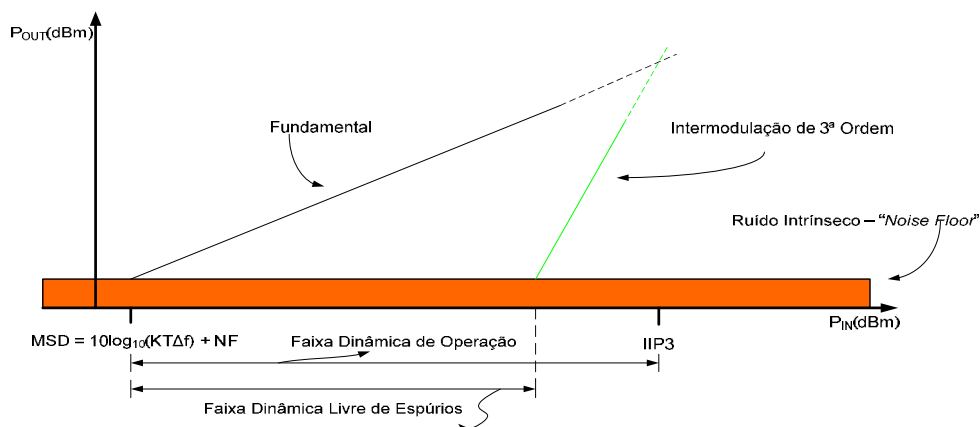


Figura 23 - Faixa dinâmica de operação.

Dessa forma, a Equação (2.26) mostra que o ruído total gerado pelo misturador é igual ao seu ruído térmico produzido na largura de faixa em que irá operar (Δf) mais a sua figura de ruído, que, como visto anteriormente, é o ruído adicionado pelos componentes do circuito.

Existe uma outra figura de mérito baseada na faixa dinâmica de operação chamada faixa dinâmica livre de sinais espúrios (*Spurious Free Dynamic Range – SFDR*). Esta nova faixa pode ser definida como aquela que possui o mesmo nível inferior da faixa anteriormente mencionada, mas terá como limite superior o nível de potência do sinal de entrada RF que irá gerar níveis de produtos de intermodulação de terceira ordem de valor igual ao nível de ruído intrínseco na saída do misturador. As duas figuras de mérito estão indicadas na Figura 23.

No projeto de um misturador, é desejável maximizar estas figuras de mérito, aumentando assim, a faixa de potência em que os sinais de entrada podem ser recebidos e processados sem problemas.

2.5 A Célula de Gilbert

A maioria dos circuitos misturadores ativos é baseada no circuito multiplicador de quatro quadrantes desenvolvido por Barrie Gilbert, razão pela qual esse circuito foi batizado como Célula de Gilbert [1-5,12,15,32,38]. Inicialmente, essa estrutura foi projetada utilizando-se a tecnologia bipolar, conforme mostrado na Figura 24, sendo posteriormente adaptada para a tecnologia CMOS, como visto na Figura 25.

O funcionamento dessa célula é baseado no chaveamento de corrente e apresenta uma topologia duplamente balanceada (*double balanced*), o que proporciona um cancelamento natural

de alguns sinais espúrios em sua saída.

A ação de chaveamento na corrente do circuito está indicada na Figura 25 [4,5]. Nela, pode-se perceber que as correntes de sinal nos transistores M1 e M2 fluem sempre no mesmo sentido, sendo positiva em M1 e negativa em M2.

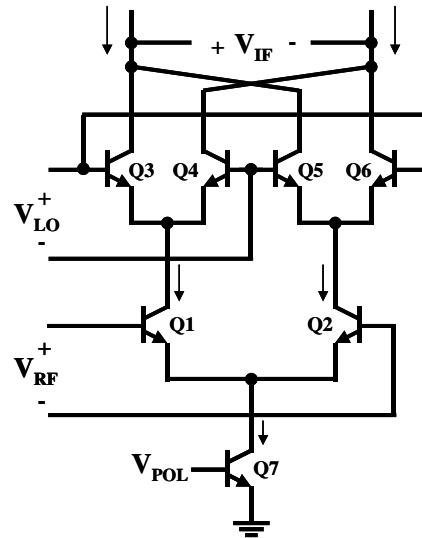


Figura 24 - Versão Bipolar da Célula de Gilbert.

No estágio de chaveamento (M3-M6) apenas dois transistores estão ligados por vez. Quando LO+ está mais positiva em relação a LO-, M3 e M6 estão ligados enquanto M4 e M5 estão desligados. Assim, a corrente em vermelho flui pelo circuito no sentido indicado. Quando LO- está mais positiva em relação a LO+, M4 e M5 estão ligados enquanto M3 e M6 estão desligados. Dessa forma, a corrente em azul flui pelo circuito no sentido indicado. A tensão de sinal sobre os resistores de carga está sempre sendo invertida na frequência f_{LO} .

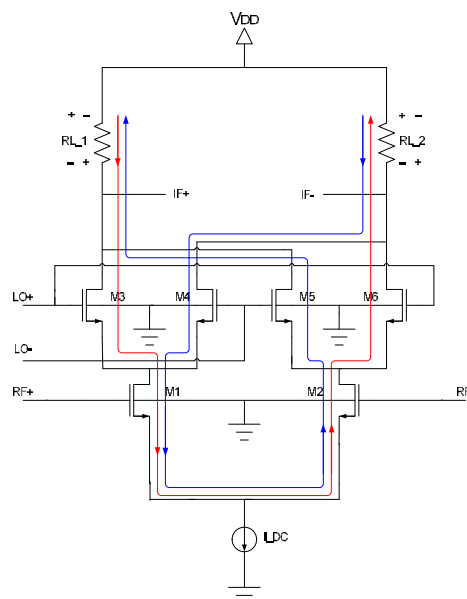


Figura 25 - Versão CMOS da Célula de Gilbert.

A ação de chaveamento, que resulta na constante inversão de polaridade na tensão de saída diferencial do misturador, é equivalente a multiplicar o sinal de entrada (RF) por uma onda quadrada com frequência f_{LO} , variando entre -1 e $+1$. É justamente dessa multiplicação de sinais que surge a translação de frequências produzida pelo circuito.

A inversão periódica na tensão sobre os resistores de carga (RL_1 e RL_2 na Figura 25) equivale a multiplicar a corrente proveniente do estágio de transcondutância pelo sinal descrito na Figura 26 tanto no domínio do tempo (Figura 26a) quanto no domínio da frequência (Figura 26b), o que leva a Equação (2.27).

$$V_{IF} = RI_{RF} \frac{4}{\pi} \sum_{n=1}^{\infty} \left(\frac{\text{sen}[(2n-1)\omega_{LO}t]}{2n-1} \right) \quad (2.27)$$

onde R representa os resistores de carga ($R=RL_1=RL_2$), I_{RF} representa a corrente proveniente do estágio de transcondutância, sendo igual a $g_{mRF} \cdot v_{RF}$, onde $v_{RF}=V_{RF} \cdot \cos(\omega_{RF} \cdot t)$. O termo g_{mRF} é a transcondutância dos transistores do estágio de transcondutância (M1 e M2) e V_{IF} é a tensão de saída diferencial do circuito misturador.

Nota-se que a Equação (2.27) nada mais é do que a representação do sinal mostrado na Figura 26a em sua Série de Fourier (Figura 26b). A Equação (2.27) mostra que apenas as harmônicas ímpares do sinal do oscilador local participarão do processo de multiplicação/mistura.

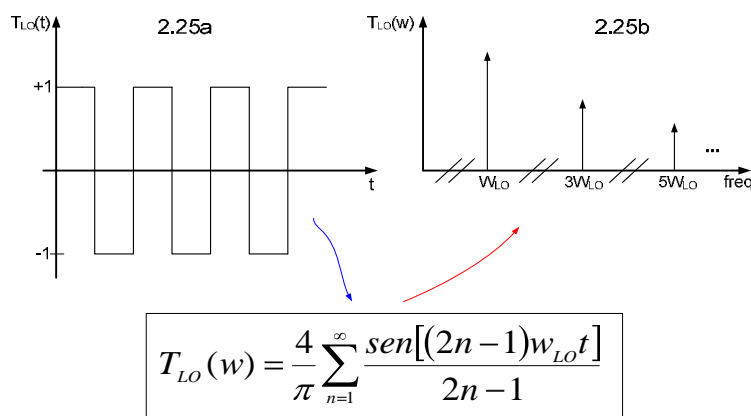


Figura 26 – Sinal multiplicador (a) domínio do tempo e (b) domínio da frequência.

Assim, a tensão diferencial na saída do circuito misturador (V_{IF}) será:

$$V_{IF} = R \cdot g_{mRF} \cdot V_{RF} \cdot \cos(\omega_{RF} \cdot t) \cdot \left[\text{sen}(\omega_{LO} \cdot t) + \frac{1}{3} \text{sen}(3 \cdot \omega_{LO} \cdot t) + \frac{1}{5} \text{sen}(5 \cdot \omega_{LO} \cdot t) + \dots \right] \quad (2.28)$$

Utilizando-se a identidade trigonométrica apresentada na Equação (2.29), pode-se obter a saída *ideal* do circuito misturador, que é apresentada na Equação (2.30) após o processo de filtragem.

$$\cos(A).\text{sen}(B) = \frac{1}{2} [\text{sen}(A+B) + \text{sen}(A-B)] \quad (2.29)$$

$$V_{IF} = V_{RF} \cdot R \cdot g_{mRF} \cdot \text{sen}[(\omega_{RF} - \omega_{LO})t] \quad (2.30)$$

O resultado apresentado pela Equação (2.30) considera um isolamento ideal entra as portas do circuito misturador e, por isso, justifica-se a ausência de termos dc e demais frequências (RF, LO e suas harmônicas) no espectro de saída do mesmo. Assume-se também, um misturador conversor para baixo. Assim, a componente de frequência $\omega_{RF} - \omega_{LO}$, está presente no espectro de saída do circuito.

CAPÍTULO 3

3 Implementação do Circuito Misturador

Este capítulo descreve os blocos integrantes do circuito misturador bem como o projeto/dimensionamento de seus componentes, tais como transistores, resistores e indutores.

3.1 Projeto do Misturador

Para a realização deste trabalho, considerou-se a frequência de 1,8 GHz para operação do circuito. Utilizou-se essa frequência em função do projeto de um sistema transceptor completo (LNA, Oscilador, Misturador e filtros) a ser realizado no Grupo de Microeletrônica da UNIFEI e inteiramente projetado na frequência de portadora de 1,8 GHz. Para a realização do mesmo, fez-se uso da tecnologia 0,25 μm CMOS da Taiwan Semiconductor Manufacturing Co. – TSMC, que utiliza cinco níveis de metal e um nível de silício policristalino. As suas principais características estão listadas na Tabela 3.1.

	NMOS	PMOS
μ_0	$3,0274 \times 10^{-2} \text{ [m}^2/\text{V.s]}$	$1,0405 \times 10^{-2} \text{ [m}^2/\text{V.s]}$
t_{ox}	5,6 [nm]	5,6 [nm]
C_{ox}	6,05 [fF/ μm^2]	6,05 [fF/ μm^2]
$ V_{\text{th0}} $	0,38 [V]	0,56 [V]

Tabela 2 - Principais características da tecnologia de 0,25 μm - TSMC.

O objetivo deste trabalho é projetar um circuito misturador que equilibre duas especificações de projeto mutuamente excludentes que são o ganho de conversão e a linearidade. Adicionalmente, procurou-se adicionar o mínimo possível de ruído ao circuito, ou seja, obter uma baixa figura de ruído.

Com essas especificações em mente, escolheu-se uma estrutura do tipo Célula de Gilbert duplamente balanceada, mostrada na Figura 27, pois possui um bom ganho de conversão e razoável linearidade. Para se obter o equilíbrio entre ganho e linearidade, fez-se necessária a utilização de um artifício que aumenta a linearidade do circuito, ao custo de uma redução no ganho de conversão.

Este artifício será explicado mais adiante neste trabalho.

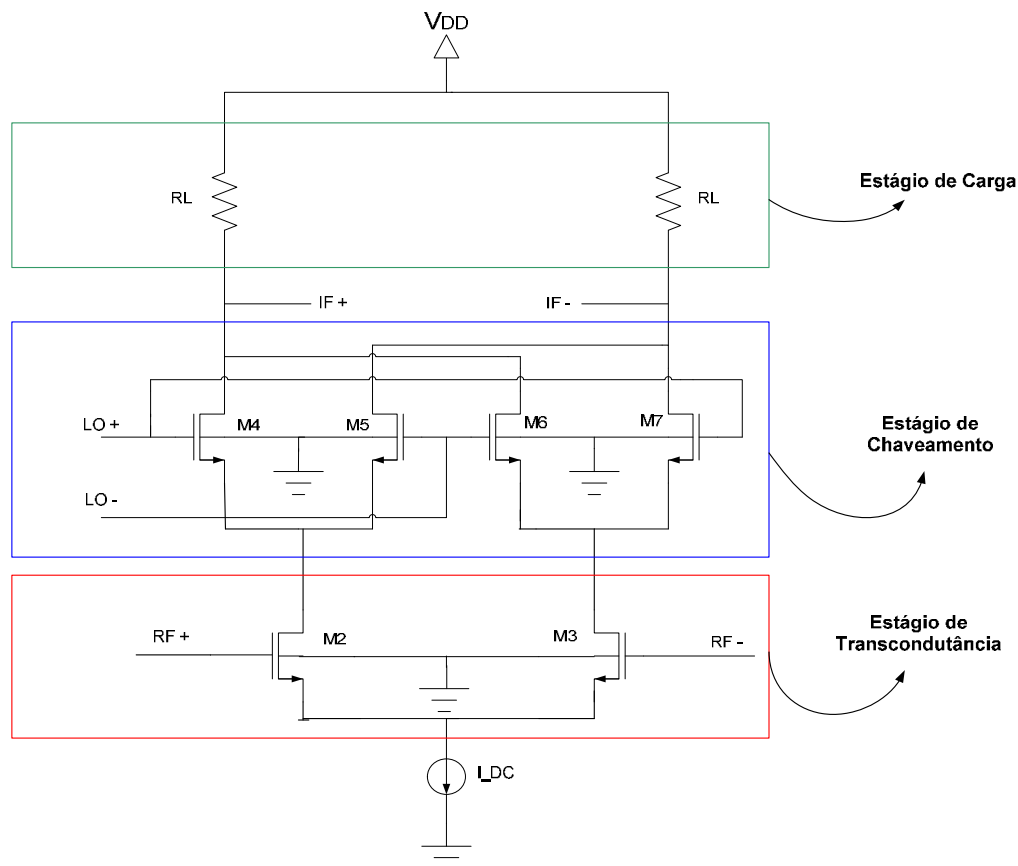


Figura 27 – Topologia Célula de Gilbert CMOS .

O circuito mostrado na Figura 27 consiste basicamente de três estágios: estágio de carga, estágio de chaveamento e estágio de transcondutância [2,4-6]. A seguir, será explicada a função de cada estágio além de como foi esboçado o seu dimensionamento inicial.

3.2 Estágio de Carga

Este estágio é responsável pela conversão do sinal de corrente proveniente do estágio de chaveamento em um sinal de tensão equivalente [2,4,6,7,8,10-12,20,38]. Seu princípio de funcionamento é baseado na Lei de Ohm ($V=R.I$) onde os resistores de carga, representados por R_L na Figura 27, são os responsáveis pela conversão corrente-tensão. Este estágio afeta várias figuras de mérito do misturador sendo, as mais relevantes para este trabalho, o ganho de conversão e a figura de ruído. Quanto maior o valor de R_L , maior o ganho de conversão. Contudo, quanto maior R_L , maior a quantidade de ruído adicionado à saída resultando em uma maior figura de ruído.

Uma alternativa para reduzir o problema do ruído é o uso de cargas ativas, ou seja, transistores PMOS operando como fontes de corrente, representados por $M8$ e $M9$ na Figura 28. Obtém-se assim uma considerável resistência de saída e minimiza-se a adição de ruído na saída do

circuito.

O dimensionamento desses transistores PMOS deve ser feito de forma cuidadosa. Esses transistores devem ser grandes o bastante para se atingir a especificação de ganho de conversão sem, no entanto, adicionar ruído em excesso. Outro problema com transistores muito largos é o aumento de capacitâncias parasitas que representarão uma carga maior para o circuito misturador e o estágio seguinte.

Dessa forma, partindo-se do princípio de que os transistores PMOS devem obrigatoriamente operar na região de saturação para apresentarem uma alta resistência de saída e reduzir o efeito da capacitância de realimentação C_{GD} , e preocupando-se em reduzir o consumo de potência e área de silício ao máximo, após várias simulações (as quais serão apresentadas no Capítulo 4) realizadas no simulador ADS (*Advanced Design System*) da Agilent, chegou-se aos valores ótimos de $W=450 \mu\text{m}$ e $L=2 \mu\text{m}$ para as dimensões de largura (W) e comprimento (L) de canal dos dois transistores. O valor de L dos transistores de carga foi maior do que o mínimo permissível pela tecnologia ($0,25 \mu\text{m}$) visando-se obter uma maior resistência de saída.

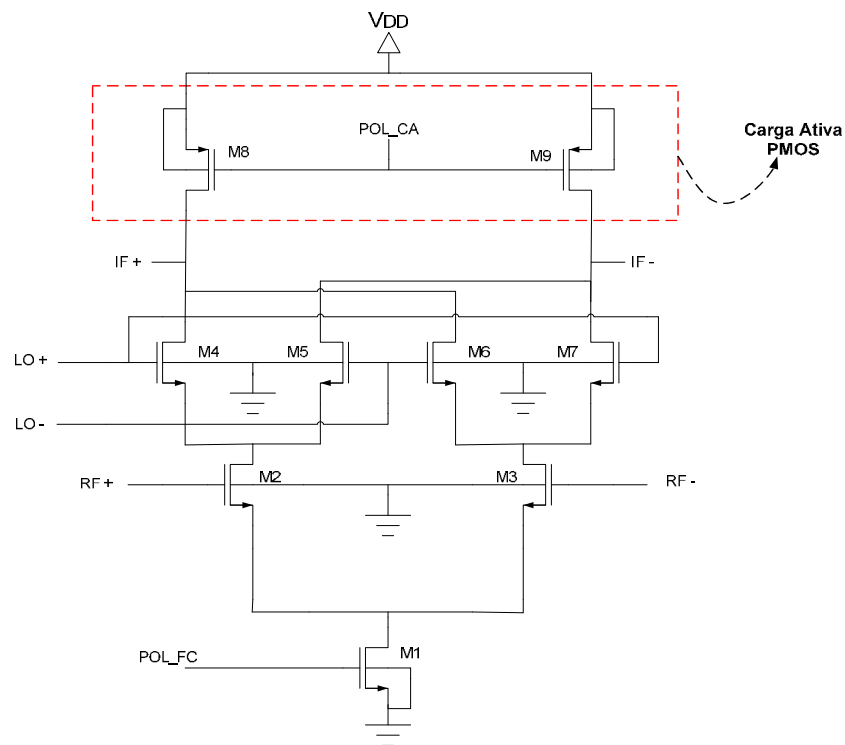


Figura 28 – Misturador utilizando cargas ativas PMOS.

A adição de cargas ativas PMOS também aumenta o consumo de tensão necessária para manter todos os transistores saturados. Devido ao maior número de transistores empilhados, esta topologia pode não ser viável em circuitos que operem com tensões de alimentação muito baixas. Neste trabalho, utilizou-se fonte de alimentação única de 2,5 V.

Um problema que não está muito aparente à primeira vista no circuito da Figura 28 é o valor da tensão modo comum na saída do circuito (portos IF+ e IF-). Para um melhor entendimento da origem desse problema, a Figura 29 ilustra uma provável configuração para se polarizar as cargas ativas PMOS.

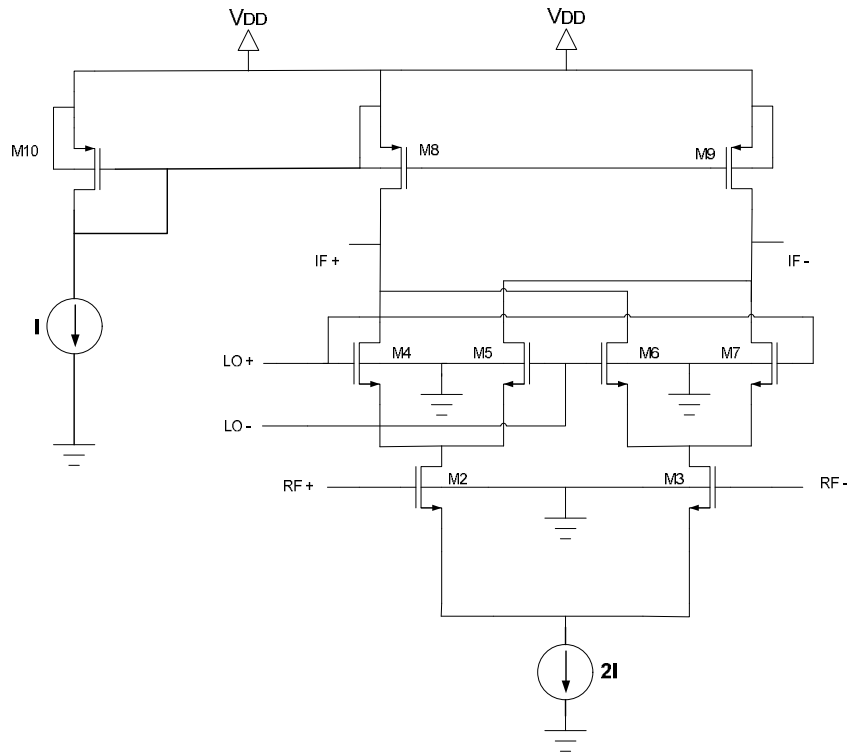


Figura 29 - Polarização das cargas ativas PMOS e problema modo-comum.

Idealmente, esperaria-se que os transistores M_8 - M_{10} conduzissem uma corrente I como os transistores M_2 e M_3 . Devido ao descasamento durante a fabricação dos transistores, a corrente em M_{10} poderá ser ligeiramente diferente da corrente em M_9 e ligeiramente diferente da corrente em M_8 , porque na prática, é difícil gerar uma corrente que seja perfeitamente a metade de uma outra e espelhá-la para outro ramo do circuito com amplitude perfeitamente igual.

O pequeno descasamento nas corrente fará com que as tensões modo-comum (DC) nos drenos de M_8 e M_9 se modifiquem de seu valor ideal ($V_{D8}=V_{D9}$) para atingir uma nova condição de equilíbrio. Essa mudança no sinal modo comum poderá tirar os transistores M_8 e/ou M_9 da saturação (M_4 - M_7 também podem deixar a saturação) entrando na região triodo, pois o V_{DS} (V_{SD}) desses transistores poderá se tornar muito pequeno. Quando isso ocorre, há uma queda considerável no ganho de conversão do misturador. A solução para este problema será apresentada na Seção 3.7. Além de se obter níveis modo-comum praticamente idênticos, será possível fixar a tensão dc nos drenos de M_8 e M_9 em um valor pré-determinado.

3.3 Estágio de Chaveamento

Este estágio é responsável por chavear a corrente proveniente do estágio de transcondutância para as cargas PMOS, conforme explicado no Capítulo 2 [2,4,6,7,8,10-12,20,38]. É composto pelos transistores M_4 - M_7 e estão indicados na Figura 27.

Esses transistores devem funcionar como chaves o mais perfeitas possível, evitando-se que pares de transistores conduzam (indevidamente) simultaneamente, como M_4, M_6 e M_5, M_7 . Nos pequenos intervalos de tempo em que essa condução simultânea ocorre, piora-se a linearidade e a figura de ruído do misturador.

As dimensões de largura (W) e comprimento (L) de canal dos quatro transistores dependem também da conexão entre o circuito que será ligado à porta LO do circuito. Esse circuito, um oscilador controlado por tensão – VCO (Voltage Controlled Oscilator) fornecerá uma onda senoidal¹³ que chaveará os transistores M_4 - M_7 entre os seus estados ligado e desligado [4,10,12]. Entretanto, não se deve projetar os transistores do estágio de chaveamento muito grandes para não se carregar demais as saídas do VCO.

Assim, utilizando-se uma tensão efetiva ($V_{GS} - V_{th}$) entre 100 mV e 200 mV para manter os transistores do estágio de transcondutância próximos do limite entre as condições on/off, ou seja, $V_{GS} \approx V_{th}$, e utilizando-se as Equações (3.1) e (3.2), obteve-se para os valores de $I_D=750 \mu\text{A}$ e $L=0,25 \mu\text{m}$, um $W \approx 91 \mu\text{m}$. Após várias simulações no simulador ADS, chegou-se ao valor ótimo de $W=100 \mu\text{m}$ e $L=0,25 \mu\text{m}$ para todos os transistores desse estágio.

$$V_{GS} \approx V_{th} + 0,15 \quad (3.1)$$

$$V_{GS} \approx \sqrt{\frac{2I_D}{\beta}} + V_{th} \quad (3.2)$$

Na Equação (3.2), $\beta = \mu C_{ox}(W/L)$.

3.4 Estágio de Transcondutância

Pode-se dizer que este é o estágio mais importante do misturador pois, praticamente define a linearidade e o ganho de conversão do circuito. Ele converte a tensão de sinal de entrada em uma

¹³ Pode-se trabalhar também com uma onda quadrada, obtendo-se inclusive melhores resultados em termos de linearidade ao custo de uma maior complexidade no circuito gerador do sinal.

corrente que alimenta o estágio de chaveamento [2,4,6,7,8,10-12,20,38]. Se os transistores do estágio de chaveamento estiverem operando aproximadamente como chaves ideais, a linearidade do misturador será quase que totalmente definida pelo estágio de transcondutância.

Devido à característica quadrática da corrente do transistor MOS, uma derivação analítica do ganho do misturador em função de parâmetros de projeto não é simples de se obter. Entretanto, pode-se provar que o ganho de conversão (GC) do circuito misturador é função da transcondutância dos transistores do estágio de transcondutância (gm_{RF}), da carga em sua saída (R_L), da potência de sinal do oscilador local (P_{LO}), e até um certo valor, do nível DC nas portas RF e LO (DC_{RF} e DC_{LO}) [1,3-13], ou seja,

$$GC = f(gm_{RF}, R_L, P_{LO}, DC_{RF}^*, DC_{LO}^*) \quad (3.3)$$

A transcondutância de um transistor MOS operando na saturação pode ser descrita pela Equação (3.4),

$$gm = \frac{2I_D}{(V_{GS} - V_{th})} \Big|_{W=cte} = \mu C_{OX} \frac{W}{L} (V_{GS} - V_{th}) \Big|_{I=cte} \quad (3.4)$$

onde pode-se concluir que quanto maior a corrente de polarização do transistor e menor a tensão efetiva ($V_{GS} - V_{th}$), maior a transcondutância e, desta forma, maior o ganho de conversão do misturador, mantendo-se o W do transistor constante. Isso permanece verdade até um certo limite, como será demonstrado pelas simulações.

Visando-se obter um equilíbrio entre linearidade e ganho de conversão, e realizando-se um grande número de simulações com o ADS, chegou-se aos valores para W e L destes transistores como sendo 300 μm e 0,25 μm , respectivamente.

3.5 Casamento de Impedância

O valor do ganho de conversão depende de quão bem o misturador está casado com suas cargas/acionadores [1-8,11,12,23-25,28,32]. De acordo com a teoria de circuitos, o máximo ganho somente é obtido se a(s) sua(s) entrada(s) e saída(s) estiverem casada(s) com o(s) circuitos acionadores e as suas cargas, respectivamente. Assim, deve-se ter especial cuidado com as impedâncias de entrada e saída do misturador.

Esse casamento de impedâncias vai depender da finalidade do projeto. Por exemplo, se o misturador for projetado pensando-se em testes isoladamente, ou seja, somente do misturador, deve-

se preocupar em casar as suas entradas e a sua saída para a impedância de entrada/saída dos aparelhos de teste, usualmente, um valor real igual a 50Ω .

Se o misturador for projetado pensando-se em utilizá-lo em um sistema transceptor, deve-se levar em consideração que a porta RF “enxergará” a impedância de saída de um LNA tipicamente capacitiva. A porta LO “verá” a impedância de saída de um VCO, também, tipicamente capacitiva. Enquanto que a porta IF, tipicamente “enxergará” a impedância de entrada de um filtro, podendo ser tanto capacitiva quanto indutiva, mas com módulo, tipicamente, variando entre 500Ω e $1,5 \text{ K}\Omega$, dependendo da frequência de operação.

O casamento de impedância pode ser tanto externo (off-chip) quanto interno (on-chip), sendo este último mais difícil de se realizar. Isto ocorre devido a dificuldade em se construir indutores integrados com um alto Q e também, devido a proibitivamente grande área de silício para se confeccionar indutores, capacitores e resistores.

Neste trabalho, projetou-se o misturador para se enquadrar dentro de um transceptor de RF. Assim, as entradas RF e LO foram conjugadamente casadas para máxima transferência de potência entre estágios (LNA e VCO, respectivamente). Como carga, utilizou-se um resistor de $1 \text{ K}\Omega$. A saída também foi casada com a carga. Todos os circuitos de casamento de impedância foram redes do tipo T (ou rede pi - Π) e/ou L, cujas áreas ocupadas impediriam a sua integração. Estes componentes seriam, portanto, componentes discretos.

A seguir, serão apresentados dois exemplos de casamento de impedância. O primeiro foi utilizado neste trabalho e é uma rede de casamento de impedância que seria implementada “off-chip”, devido ao tamanho dos indutores. Para determinação desta rede discreta, utilizou-se uma Carta de Smith, ferramenta esta que evita a manipulação de tediosas equações complexas.

O segundo exemplo ilustra como poderia ser realizado um casamento de impedância “on-chip”, ilustrando também como varia a impedância de entrada de um transistor MOS quando este tem a sua fonte ligada em série a algum elemento de degeneração.

3.5.1 Rede de Casamento de Impedância Discreta

Conforme mostrado na Figura 30, o valor de algumas indutâncias requeridas por esse esquema de casamento de impedância é muito alto, tornando inviável a sua utilização “on-chip”, o qual viabilizaria indutores de, no máximo, alguns poucos nH. Este esquema de casamento de impedâncias é facilmente realizado utilizando-se uma Carta de Smith ou até mesmo um software da área de RF como o ADS ou o Smith V2.03¹⁴, por exemplo. Este último, um *freeware* (*software* gratuito), é apresentado na Figura 31. Ele baseia-se na adição de elementos em série e/ou paralelo

¹⁴ Enviar e-mail para fritz.dellsperger@hti.bfh.ch.

formando-se uma rede T ou L, seguindo-se círculos de resistência e/ou condutância constantes na Carta de Smith.

As redes de casamento de impedância obtidas com este método não são únicas, existindo uma infinidade de outras possibilidades. Entretanto, todas elas levam a valores inviáveis de se realizar a rede de casamento de impedâncias “on-chip”.

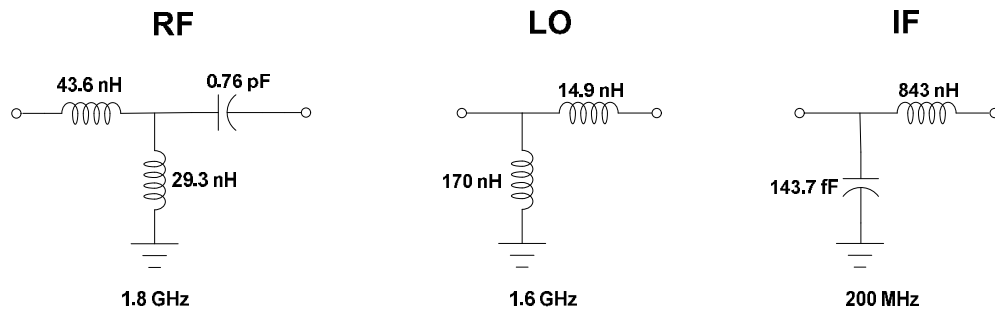


Figura 30 - Redes de casamento de impedâncias discretas.

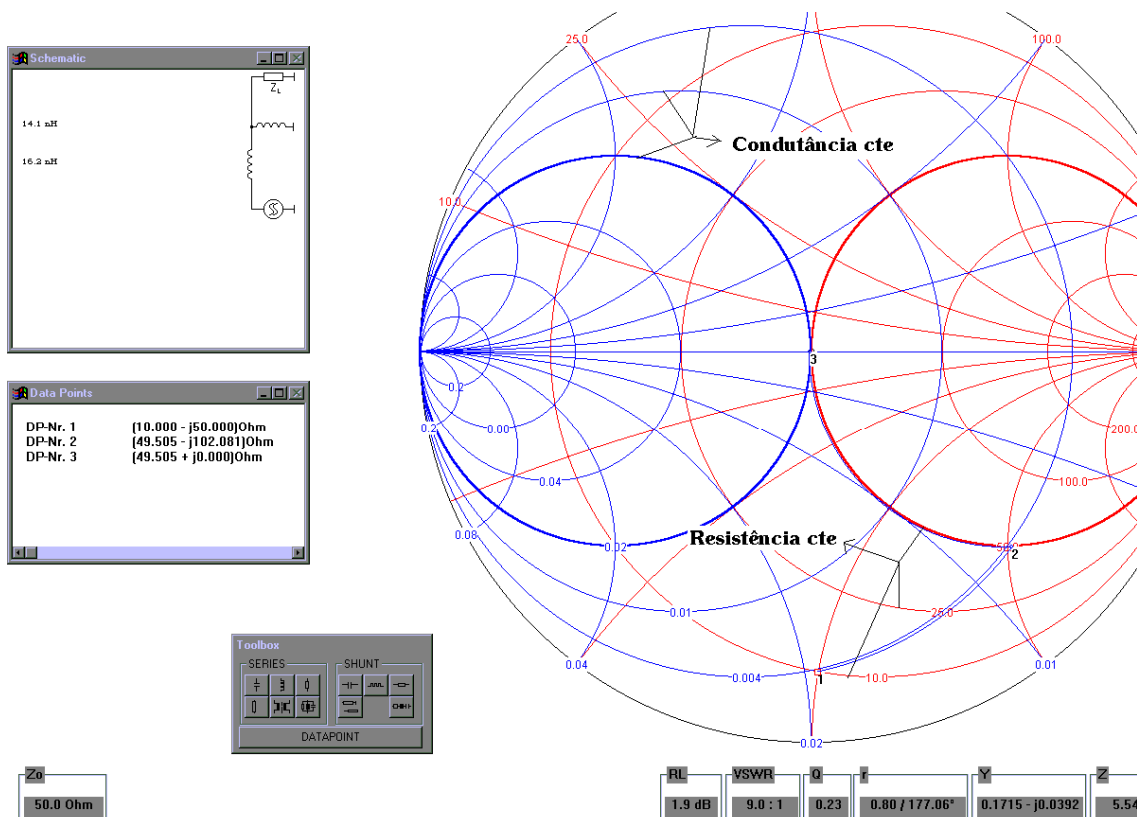


Figura 31 - Software Smith V2.03.

3.5.2 Rede de Casamento de Impedância Integrado

O modelo para pequenos sinais de um transistor MOS com base aterrada e negligenciando-

se a capacitância de realimentação porta-dreno (C_{GD}) é mostrado na Figura 32, em conjunto com um elemento de degeneração em série com a fonte do transistor.

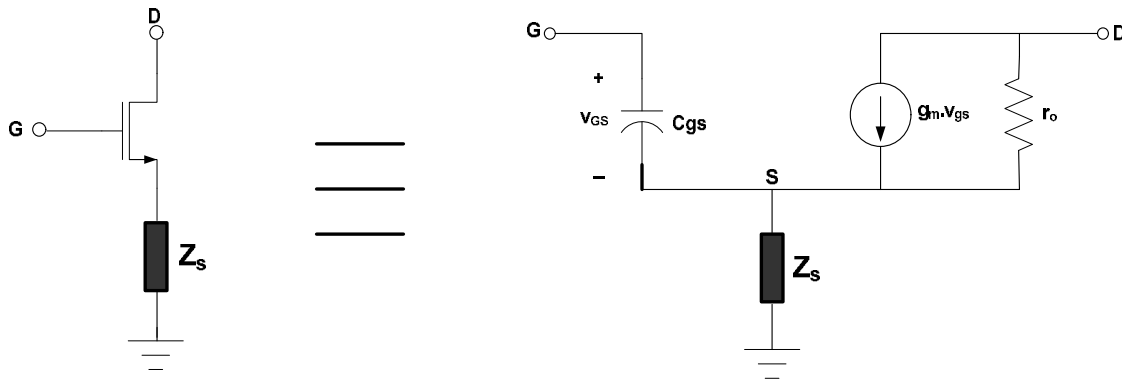


Figura 32 - Modelo para pequenos sinais de um MOSFET com degeneração da fonte.

De acordo com o elemento Z_S conectado à fonte do transistor, um resistor, um indutor ou um capacitor, a impedância de entrada ou Z_{IN} conforme Equação (3.5) será igual às Equações (3.6), (3.7) ou (3.8), respectivamente [4].

$$Z_{IN} = \frac{Z_S gm}{j\omega C_{GS}} + Z_S + \frac{1}{j\omega C_{GS}} \quad (3.5)$$

$$Z_{IN} = R + \left(\frac{W_T R}{j\omega} + \frac{1}{j\omega C_{GS}} \right) \quad (3.6)$$

$$Z_{IN} = \omega_T L + \left(\frac{1}{j\omega C_{GS}} + j\omega L \right) \quad (3.7)$$

$$Z_{IN} = \frac{-\omega_T}{\omega^2 C} + \left(\frac{1}{j\omega C_{GS}} + \frac{1}{j\omega C} \right) \quad (3.8)$$

onde ω_T é a frequência de ganho de corrente unitário e é igual a gm/C_{GS} .

Deve-se notar que com a adição de um capacitor em série com a fonte do transistor, ou seja, uma degeneração capacitiva, a parte real da impedância de entrada pode vir a se tornar negativa, o que levará a um circuito potencialmente instável. Essa condição é adequada para osciladores, mas não para misturadores. A adição de resistores é a melhor escolha em termos de

linearidade, mas adicionará ruído ao circuito. Sendo assim, a melhor escolha é o indutor [14]. Na realidade, devido ao baixo fator de qualidade dos indutores integrados, estará sendo efetivamente adicionado ao circuito uma indutância em série com uma resistência.

O esquema de degeneração mostrado na Figura 32, utilizando-se indutores como elemento degenerativo ($Z_S=L_S$), levará a valores inconvenientes de indutâncias. Isto pode ser remediado com a adição de mais um indutor, desta vez na porta do MOSFET, como ilustrado na Figura 33. Ainda assim, geralmente obtém-se valores muito diferentes para os dois indutores, resultando em um indutor muito grande e outro muito pequeno. Isso pode ser impraticável em algumas tecnologias. A solução para este contra-tempo é aumentar-se o grau de liberdade do circuito por meio da adição de um capacitor entre a porta e a fonte do MOSFET. Esse capacitor, se escolhido adequadamente, permite obter valores bem parecidos para ambas as indutâncias e tudo isso, ao custo de mais área de silício.

As Equações (3.9) e (3.10), que são apenas uma aplicação das leis de Kirchoff para tensão e corrente ao modelo para pequenos sinais da Figura 33, fornecem as equações para se dimensionar os indutores e o capacitor visando-se o casamento da impedância em uma dada frequência e para um dado valor. Estas expressões incluem as resistências em série dos indutores, R_S e R_G , decorrentes do baixo Q dos indutores integrados.

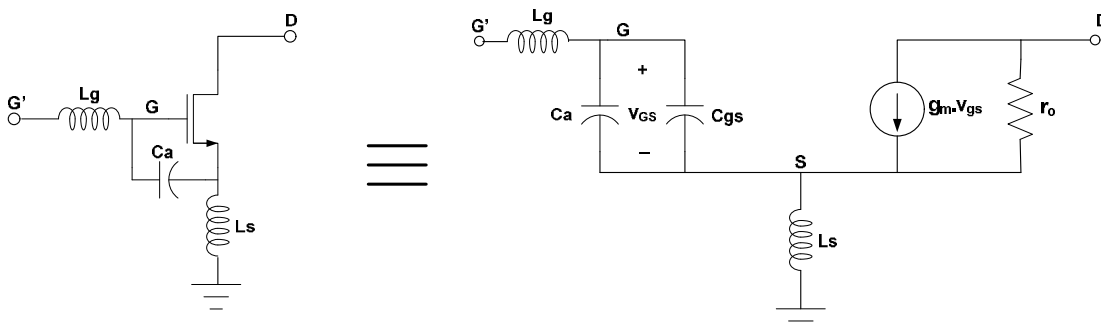


Figura 33 - Modelo para casamento de impedância integrado.

$$L_S = \frac{(C_{GS} + C_a)}{gm} (Z_{IN} - (R_S + R_G)) \quad (3.9)$$

$$L_G = \frac{1}{4\pi^2 f_c^2 (C_{GS} + C_a)} - \frac{(C_{GS} + C_a)}{gm} (Z_{IN} - (R_S + R_G)) \quad (3.10)$$

onde f_c é a frequência central do sinal de interesse.

3.6 Indutores Integrados

Nos transceptores de RF, tradicionalmente utilizam-se indutores externos ao chip (indutores *off-chip*) pois só assim obtinha-se indutores com alto fator de qualidade (Q) [2,4,11,12,26,27,32]. Indutores fabricados internos ao chip (indutores *on-chip*), possuíam Q muito baixo, devido basicamente às perdas por capacitâncias e resistências parasitas que acoplam as várias camadas de um circuito integrado.

Entretanto, os avanços tecnológicos neste campo levaram à realização de vários tipos de estruturas de indutores dentro de uma mesma pastilha de silício. As formas existentes mais publicadas na literatura são quadrada, hexagonal (mostradas nas Figuras 34 e 35, respectivamente), octogonal e até mesmo circular, sendo esta última de difícil implementação em algumas tecnologias.

Figura 34 - Estrutura quadrada para indutor “on-chip”.



Figura 35 - Estrutura hexagonal para indutor “on-chip”.

Devido aos elementos parasitas, um indutor em altas frequências não pode mais ser corretamente representado apenas por um determinado valor de indutância. Um circuito mais complexo deve ser utilizado. O tipo desse circuito irá depender se o circuito será utilizado em uma faixa estreita de frequências (*narrow-band*) ou em uma faixa ampla de frequências (*broad-band*), ambos indicados nas Figuras 36 e 37, respectivamente.

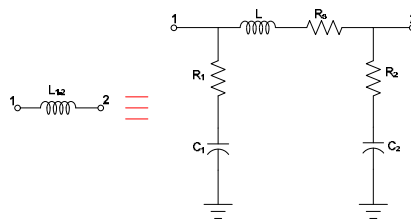


Figura 36 - Modelo π banda estreita de um indutor integrado para altas frequências .

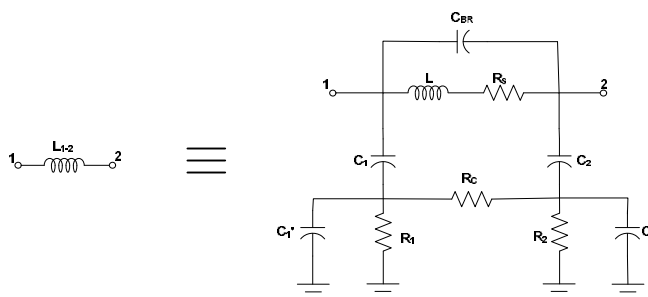


Figura 37 - Modelo de indutor para altas frequências banda larga.

Estes modelos são gerados pelo *software* ASITIC¹⁵. O valor dos diversos componentes desses modelos irão depender de diversos parâmetros, tais como geometria, frequência de trabalho, características de processo e dos materiais usados na realização do indutor.

O *software* ASITIC calcula os parâmetros do indutor, dados alguns parâmetros de entrada como d , s , w e n , indicados na Figura 38, e a frequência de operação. Uma vantagem desse *software* é que pode-se otimizar o indutor para um fator de qualidade específico, o qual poderá ser diretamente utilizado em uma simulação inicial de ganho de conversão e linearidade pelo *software* ADS.

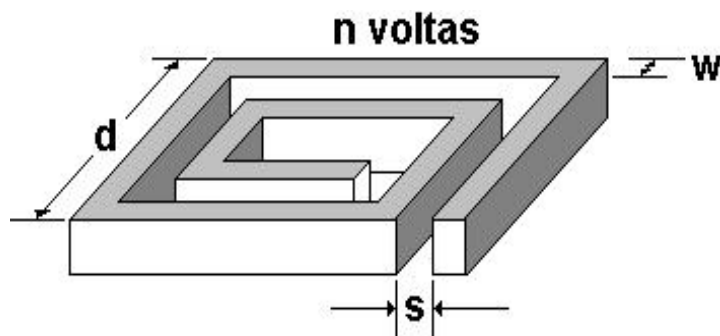


Figura 38 - Definição de alguns parâmetros de entrada para o ASITIC.

3.7 Rede de Realimentação Modo-Comum

Conforme mencionado na Seção 3.2, um problema com o misturador ocorre, devido ao fato desse circuito ser completamente diferencial [11,15]. Pequenos descasamentos, difíceis de se evitar pois sempre estão presentes, causam uma variação nas tensões de dreno dos transistores PMOS atuando como cargas ativas e/ou fontes de corrente. Essa variação pode tirar alguns transistores da saturação, fazendo com que o ganho de conversão caia drasticamente.

Uma solução para esse problema está graficamente descrita na Figura 39. Um circuito, apropriadamente denominado de rede de realimentação modo-comum – CMFB (*Common Mode*

¹⁵ Ajuda disponível em <http://rfic.eecs.berkeley.edu/~niknejad/doc-05-28-01/faq.html>.

FeedBack) é ligado à saída do circuito misturador por meio de um sensor (não mostrado na Figura 39). Este sensor avalia a tensão média entre os drenos dos transistores M_8 e M_9 e a compara com uma tensão de referência, cujo valor deseja-se estabelecer na saída do misturador.

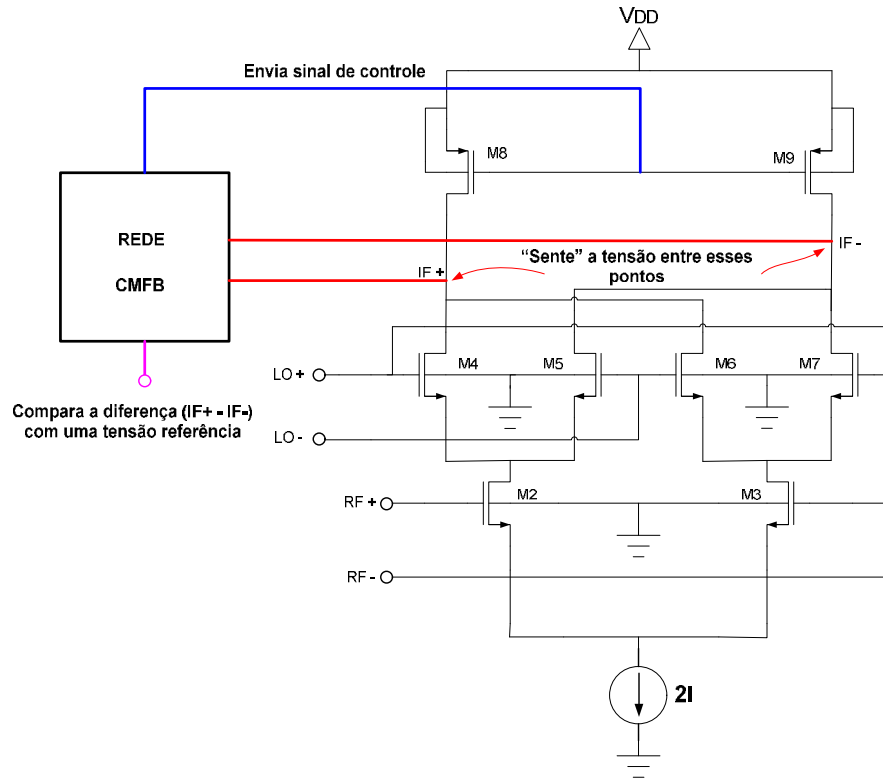


Figura 39 - Rede de realimentação modo comum.

A rede CMFB envia um sinal de controle às portas dos transistores M_8 e M_9 que forçam a tensão nos drenos de M_8 e M_9 em um valor estável muito próximo da tensão de referência. Este valor de tensão será estável mesmo com mudanças nas correntes do circuito, como será visto nas simulações.

Na verdade, a rede de realimentação modo comum nada mais é do que um circuito comparador que compara a tensão média entre as saídas do misturador com uma tensão de referência, como mostrado na Figura 40. Em seguida, envia um sinal de controle para restabelecer o equilíbrio.

Para o projeto desse circuito, buscou-se o mínimo consumo possível, no qual todos os transistores devem estar saturados e apresentem uma boa faixa de excursão para os sinais de entrada e saída.

Utilizando-se uma tensão efetiva de 400 mV para manter todos os transistores na saturação e utilizando-se as Equações (3.1) e (3.2), após várias simulações com o *software* ADS, chegou-se aos valores finais de $W_{15}=10 \mu\text{m}$, $W_{16}=W_{17}=75 \mu\text{m}$, $W_{18}=W_{19}=150 \mu\text{m}$, $L_{15}=0,5 \mu\text{m}$, $L_{16}=L_{17}=0,25$

Como pode ser visto na Figura 41, o circuito sensor consiste de dois resistores, denominados R_L . Esses resistores não podem ser muito pequenos pois também influenciam no ganho de conversão do misturador. Procurou-se um valor de R_L que fosse maior ou igual a $\min\{|Z_o|, |Z_{load}|\}$, ou seja, maior ou igual ao menor valor entre o módulo da impedância de saída do misturador e o módulo da impedância de carga a qual o circuito será ligado, pois estas impedâncias estão conectadas em paralelo.

Após várias simulações, escolheu-se o valor de 2 k Ω para esses resistores. A tensão referência foi escolhida para manter os transistores do misturador na saturação, permitindo uma boa excursão tanto na saída do misturador quanto na saída do BALUN ativo discutido na próxima seção, ou seja, 1,22 volts.

3.8 Conversor Diferencial-Terminação Simples

Outro bloco utilizado neste trabalho foi o conversor diferencial para terminação simples – BALUN (*BALUnced to UNbalanced*) [2,4,10-13]. Esta etapa de conversão foi adicionada em virtude da terminação simples (*single-ended*) dos filtros que costumam seguir o circuito misturador, ao contrário das entradas RF e LO, as quais recebem sinais tipicamente diferenciais.

Existem basicamente dois tipos de BALUN, passivo e ativo. O primeiro é geralmente construído a base de transformadores e não fornece ganho de potência ao sinal a ser processado. Por outro lado, o BALUN ativo, mostrado na Figura 42, pode fornecer ganho de potência além de ser integrável.

Apesar de poder contribuir com uma parcela do ganho de conversão, o ganho de conversão deste circuito é totalmente devido ao misturador. Isso foi garantido projetando-se o BALUN com ganho de potência igual a 1 (0 dB) na frequência de saída do circuito, ou seja, 200 MHz. Assim, pode-se verificar o ganho de conversão exclusivamente do circuito misturador. Deve-se mencionar, entretanto, que o BALUN ativo pode fornecer ganho de potência e aumentar o ganho total do sistema, ao custo de uma maior degradação na linearidade total (misturador + BALUN).

Contudo, pode-se melhorar a linearidade com a adição de degeneração indutiva no BALUN, como mostrado na Figura 43. Embora ocorra uma melhora na linearidade total do circuito, ela não superará a linearidade do caso sem o BALUN ativo. A Figura 44 apresenta o misturador seguido pelo BALUN ativo.

No dimensionamento dos transistores do BALUN ativo, o qual pode ser reconhecido simplesmente como o estágio diferencial de entrada de um amplificador operacional carregado por um espelho de corrente, procurou-se polarizar o BALUN de forma que ele obtivesse a maior excursão na entrada e na sua saída, bem como mantivesse todos os seus transistores sempre na

saturação com o menor consumo de corrente possível. A derivação da equação utilizada para o esboço do dimensionamento desses transistores será apresentada no Capítulo 4.

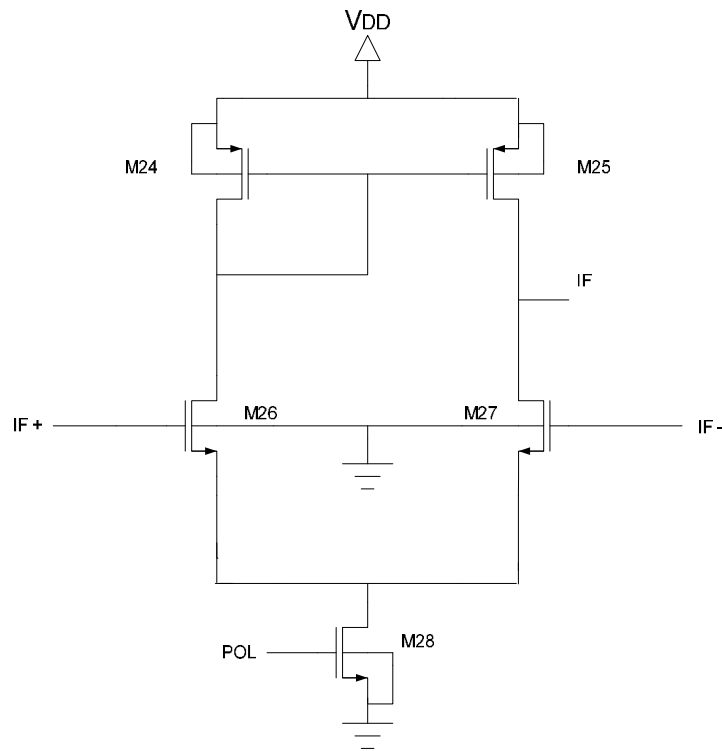


Figura 42 - BALUN ativo.

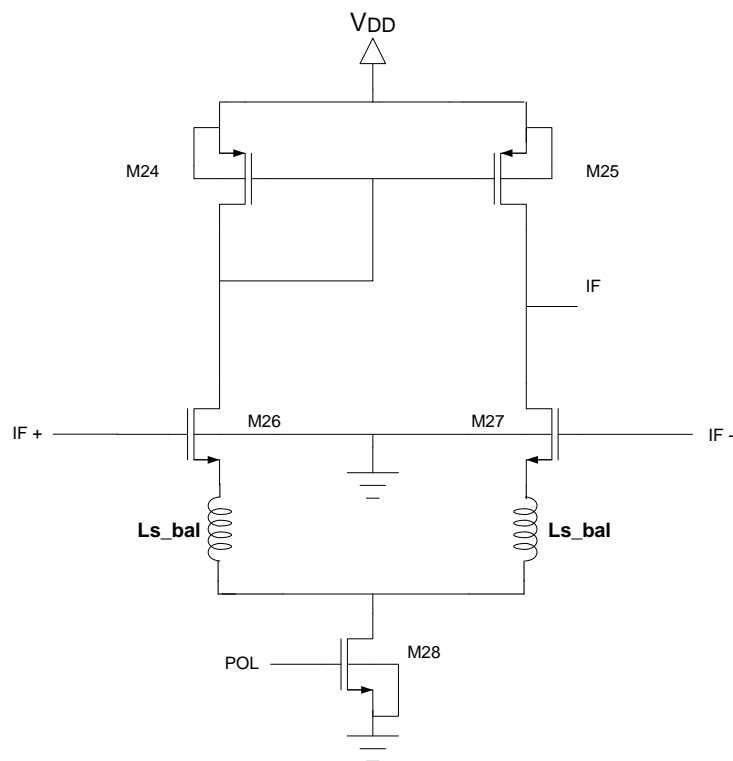


Figura 43 - BALUN ativo com degeneração indutiva.

Após simulações no *software* ADS, chegou-se aos valores de $W_{24}=W_{25}=100\ \mu\text{m}$, $W_{26}=W_{27}=50\ \mu\text{m}$, $W_{28}=20\ \mu\text{m}$, $L_{24}=L_{25}=0,5\ \mu\text{m}$, $L_{26}=L_{27}=0,25\ \mu\text{m}$ e $L_{28}=0,5\ \mu\text{m}$.

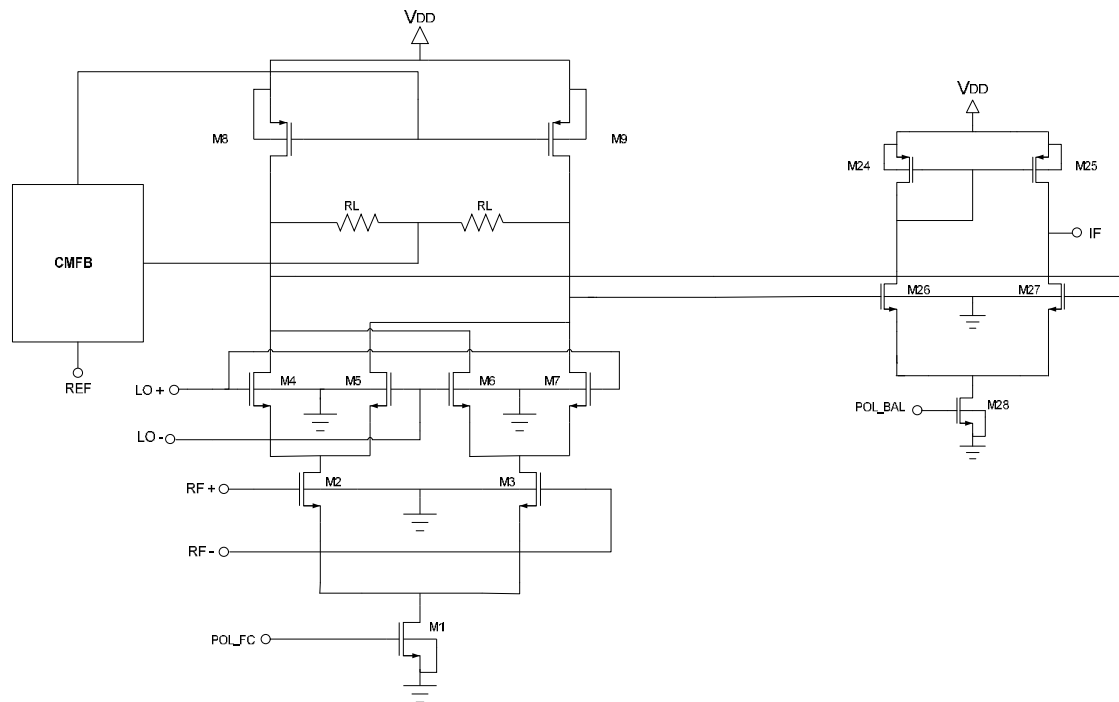


Figura 44 - Misturador + BALUN ativo.

3.9 A Linearidade do Misturador

Como mencionado anteriormente, ganho de conversão e linearidade são especificações de projeto conflitantes no sentido que aumentando uma, haverá necessariamente uma redução na outra.

No projeto realizado nesse trabalho procurou-se um equilíbrio entre essas duas especificações, com duas preocupações adicionais, baixa figura de ruído e baixo consumo. Assim, utilizou-se um método para tentar linearizar o circuito sem degradar excessivamente o ganho de conversão do mesmo. Mais ainda, tentou-se adicionar o mínimo de ruído e manter um baixo consumo de corrente no circuito. Esse se mostrou o grande desafio desse trabalho.

Diferente da tecnologia bipolar, onde a característica exponencial do transistor permite uma derivação relativamente simples de uma fórmula que relacione o IIP_3 a parâmetros de fabricação do dispositivo [15], a característica quadrática dos transistores MOS leva a uma derivação mais complicada. Entretanto, pode-se provar que a linearidade de um misturador utilizando a topologia de Célula de Gilbert depende, entre outras coisas, dos parâmetros apontados na Equação (3.9) [2,11-13,26,27,32], ou seja,

$$IIP_3 = f\left(\frac{1}{I_{BIAS}}, Z_S, DC_{RF}^*, DC_{LO}^*\right) \quad (3.11)$$

onde o parâmetro IIP_3 depende diretamente da impedância de degeneração da fonte dos transistores do estágio de transcondutância (Z_S), até certo ponto do aumento nas tensões DC nas portas RF e LO (DC_{RF} e DC_{LO} respectivamente) e inversamente da corrente de polarização (I_{BIAS}).

Baseado na Equação (3.11), o método utilizado neste trabalho para melhorar a linearidade do misturador foi a adição de um indutor nas fontes dos transistores do estágio de transcondutância, ou seja, uma degeneração indutiva, conforme mostrado na Figura 45.

Conforme será visto pelas simulações, vários valores de indutância foram testados e o ganho de conversão e a linearidade foram medidas. Outra medida para se melhorar a linearidade do circuito foi uma redução na corrente de polarização, ao custo de uma redução no ganho de conversão e um aumento na figura de ruído.

Tudo que foi exposto acima depende se os transistores do estágio de chaveamento estiverem se comportando como chaves o mais perfeita quanto possível. Se isso não ocorrer, haverá uma piora sensível no ganho de conversão, na linearidade e na figura de ruído do misturador.

A Figura 46 apresenta o esquemático completo do misturador projetado. O valor de indutância adicionada ao circuito visando uma melhora na sua linearidade foi escolhido com base em simulações do ponto IIP_3 e do ganho de conversão do circuito em função do valor de indutância utilizado na degeneração indutiva, mantendo-se constantes os demais parâmetros e ajustando-se o casamento de impedâncias quando necessário. Como resultado das simulações com o *software* ADS, utilizou-se um valor de indutância de 3,2 nH.

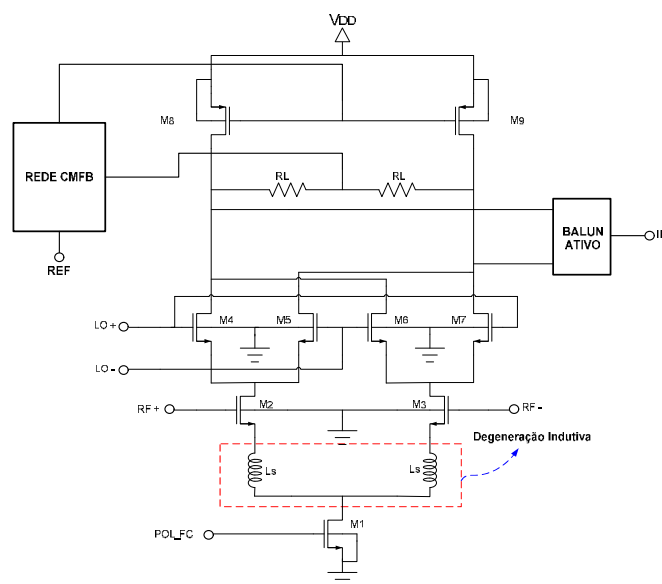


Figura 15 - Misturador com degeneração indutiva para linearização.

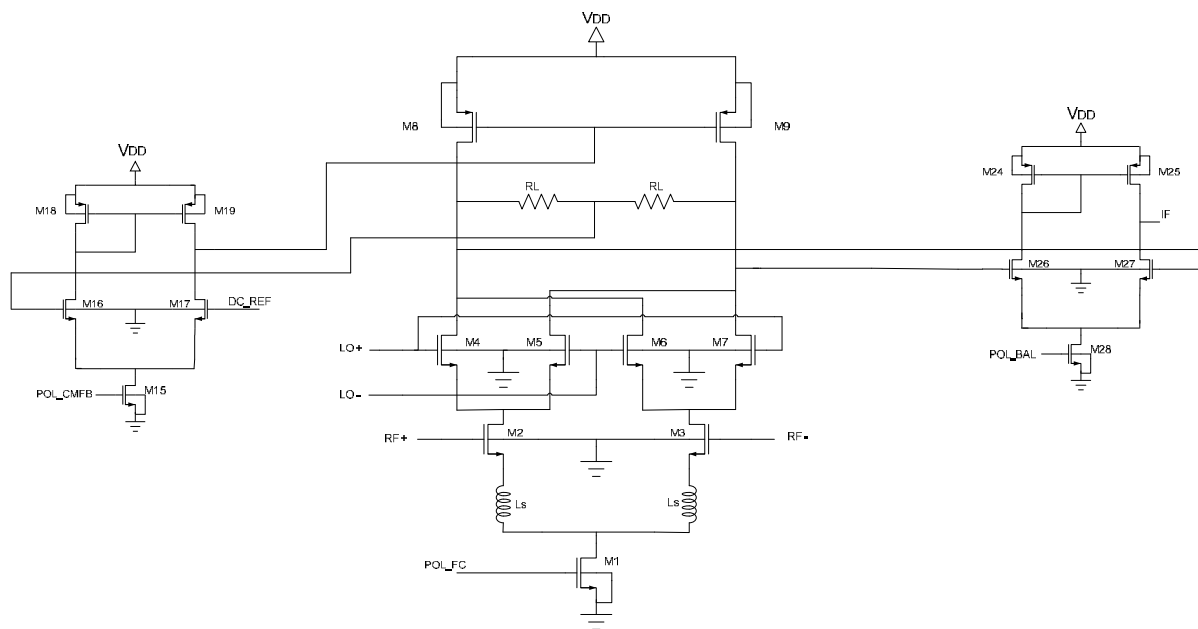


Figura 46 - Projeto completo.

CAPÍTULO 4

4 Simulações e *Layout*

Este capítulo apresenta as simulações realizadas durante a etapa de projeto bem como o *layout* do circuito final apresentado no Capítulo 3. Todas as simulações foram realizadas utilizando-se os softwares Advanced Design System – ADS e SmithV2.03. O *layout* foi realizado com a ferramenta ICStation da Mentor Graphics.

4.1 Simulações

As simulações são divididas em três etapas; circuito misturador, BALUN ativo e rede CMFB. Em cada parte são apresentadas análises dc, simulações de balanço harmônico e parâmetros-S, quando necessário.

4.1.1 Simulações do Circuito Misturador

Como mencionado no capítulo anterior, um circuito misturador possui duas especificações conflitantes: linearidade e ganho de conversão. Como será demonstrado nas simulações, uma melhora em uma delas leva necessariamente a uma piora na outra.

O misturador deste trabalho poderia ainda ter sido projetado para um alto ganho de conversão de potência (baixa linearidade) ou uma alta linearidade (baixo ganho de conversão). A opção escolhida depende das especificações do projeto em questão.

As demais figuras de mérito de um circuito misturador podem ser decisivas na escolha da topologia a ser utilizada, principalmente a figura de ruído e a perda de retorno. Como já explicado, a primeira é uma medida da quantidade de ruído adicionado pelo circuito misturador a um sistema transceptor de RF enquanto que a segunda representa quão bem as entradas e a saída do circuito estão casadas com uma determinada impedância.

4.1.1.1 Simulações dc

Por meio das simulações dc, pode-se avaliar variáveis tais como a transcondutância dos transistores do estágio de transcondutância (gm) e a impedância de saída dos transistores do estágio de carga. Pode-se ainda analisar como o ganho de conversão, a linearidade e a figura de ruído serão afetados pela variação de parâmetros tais como a corrente dc de polarização (I_{POL}), W dos transistores e tensões dc nas portas dos transistores do estágio de chaveamento (DC_LO) e do

estágio de transcondutância (DC_RF).

A Figura 47 apresenta a transcondutância dos transistores do estágio de transcondutância em função da tensão dc em suas portas (DC_RF). Considerando-se que a tensão nas fontes desses transistores varia muito pouco com a variação da tensão DC_RF em suas portas, pode-se considerar, sem muita perda de precisão que $DC_RF \cong V_{GS_M2} \cong V_{GS_M3}$, ou seja, DC_RF é aproximadamente igual à tensão porta-fonte (V_{GS}) desses transistores.

Conforme pode-se ver na Figura 47, mantendo-se constantes os demais parâmetros (W e I), a transcondutância de M2 cresce até atingir um valor máximo, a partir do qual começa a diminuir.

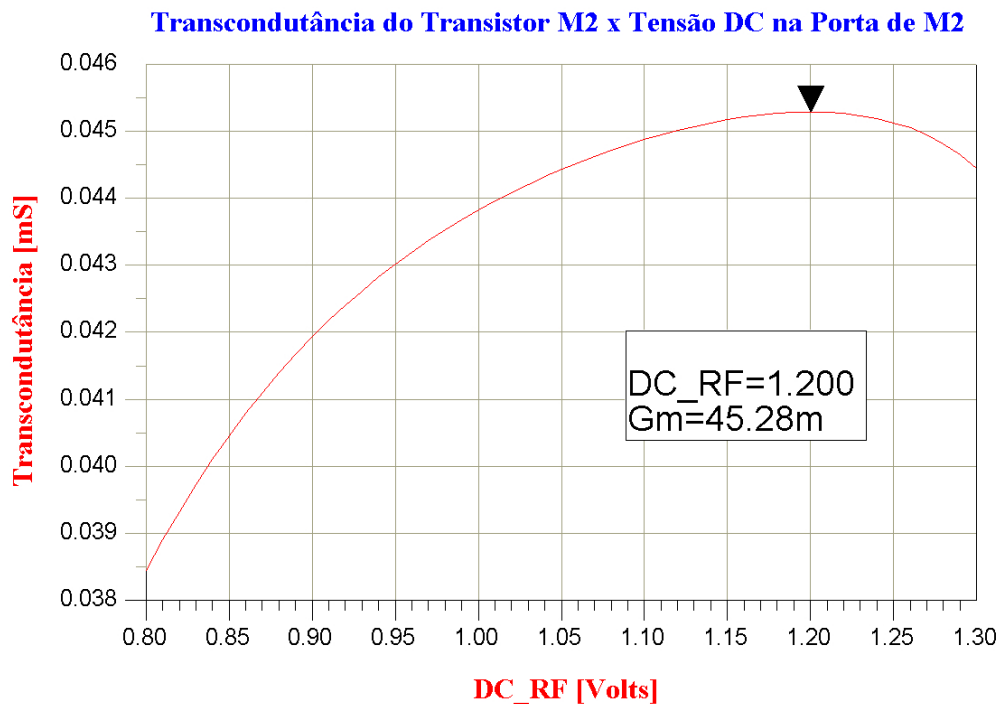


Figura 47 - Variação da transcondutância de M2 com sua tensão DC na porta.

Da análise teórica, sabe-se que o ganho de conversão do misturador depende diretamente da transcondutância dos transistores M2 e M3. Assim, é desejado que esse parâmetro seja o maior possível. Esse máximo valor de gm é obtido quando a tensão dc na porta de M2 (M3) é aproximadamente 1,2 Volts. Assim, este foi o valor adotado nas simulações.

Uma observação deve ser mencionada neste ponto: todos os transistores do misturador devem permanecer na saturação para a correta operação do circuito. Essa restrição de projeto foi exaustivamente conferida durante a variação de quaisquer parâmetros que teoricamente pudessem forçar algum transistor a deixar a saturação e entrar na região triodo.

Outra simulação realizada e apresentada na Figura 48 é a variação da transcondutância em

função da corrente de polarização do circuito. A corrente de dreno em M2 (I_D) é a metade da corrente de polarização do circuito, ou seja, $I_{D_M2}=0,5*I_{POLARIZAÇÃO}$.

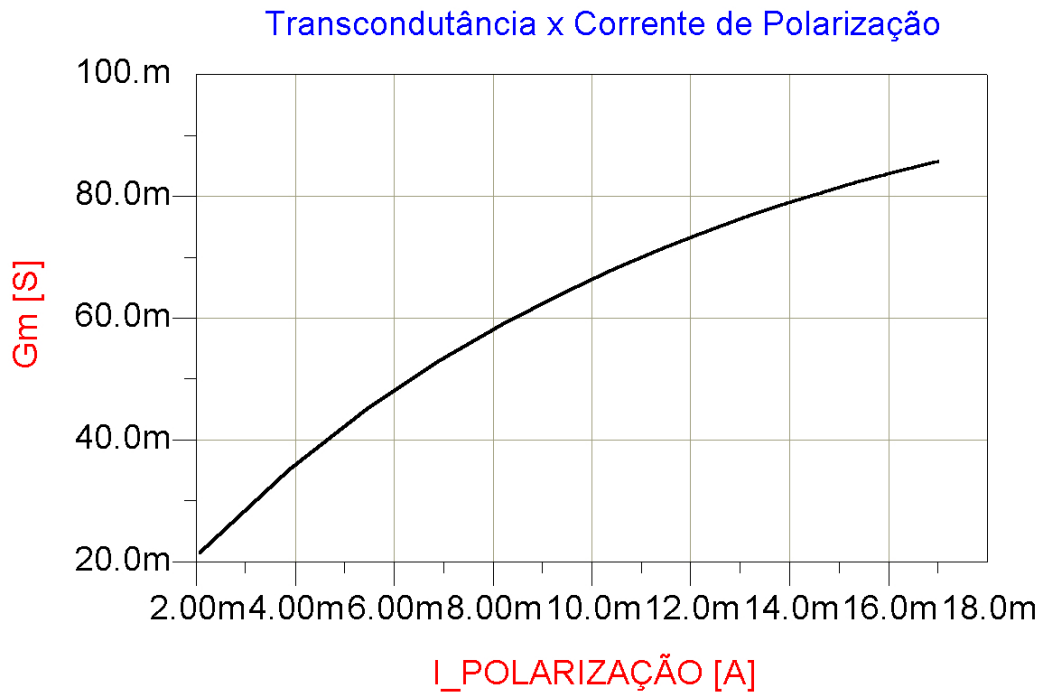


Figura 48 - Variação da transcondutância de M2 com a corrente de polarização.

Como pode-se perceber na Figura 48, o valor da transcondutância varia diretamente com a corrente de polarização, assim como acontece com a corrente de dreno do transistor. Isto está perfeitamente de acordo com a teoria, como pode-se notar através da Equação (4.1) [15,16],

$$gm = \frac{2I_D}{(V_{GS} - V_{th})} = \frac{I_{POLARIZAÇÃO}}{(V_{GS} - V_{th})} \quad (4.1)$$

onde se manteve constante o V_{GS} e o W do transistor.

4.1.1.2 Simulações de Balanço Harmônico

Em um circuito misturador, a simulação de balanço harmônico é essencial para o seu projeto, pois é ela que fornecerá informações no domínio da frequência, indispensáveis para se calcular o ganho de conversão, linearidade e a figura de ruído do circuito.

Durante a operação do misturador, várias frequências estarão envolvidas no processo de mistura devido, em essência, às harmônicas e aos produtos de intermodulação discutidos no Capítulo 2 [1-4,15,26,27,32,37]. Apenas algumas dessas várias frequências geradas deverão ser

utilizadas. Um simulador de balanço harmônico deve ser capaz de selecionar uma ou mais frequências em um espectro de frequências, bem como fornecer um meio de manipulá-las matematicamente.

O *software* ADS fornece em seu pacote para simulação de circuitos em rádio frequência, um simulador de balanço harmônico. Essa poderosa ferramenta permite determinar o ganho de conversão, o ponto IIP_3 (ou o ponto OIP_3 , se necessário for) e a figura de ruído de forma simples e rápida além de permitir uma estimativa da faixa dinâmica de operação do circuito.

O *software* ADS ainda permite associar uma simulação dc com uma simulação de balanço harmônico, para se testar como figuras de mérito tais como ganho, linearidade e figura de ruído variam em função de parâmetros dc como corrente de polarização, tensões dc e larguras e comprimentos de transistores MOS. Essa flexibilidade mostra-se uma ferramenta extremamente poderosa em uma etapa de projeto, onde, conhecendo-se a dependência de uma dada figura de mérito, pode-se buscar um refinamento em uma dada especificação variando-se de forma adequada o(s) parâmetro(s) necessários.

A Figura 49 apresenta o ganho de conversão como função da corrente de polarização. Como pode ser visto, o ganho de conversão cresce diretamente com a corrente de polarização até um certo ponto, a partir do qual começa a decrescer. Essa simulação foi realizada mantendo-se constante as demais variáveis (W , tensão DC , etc) do circuito.

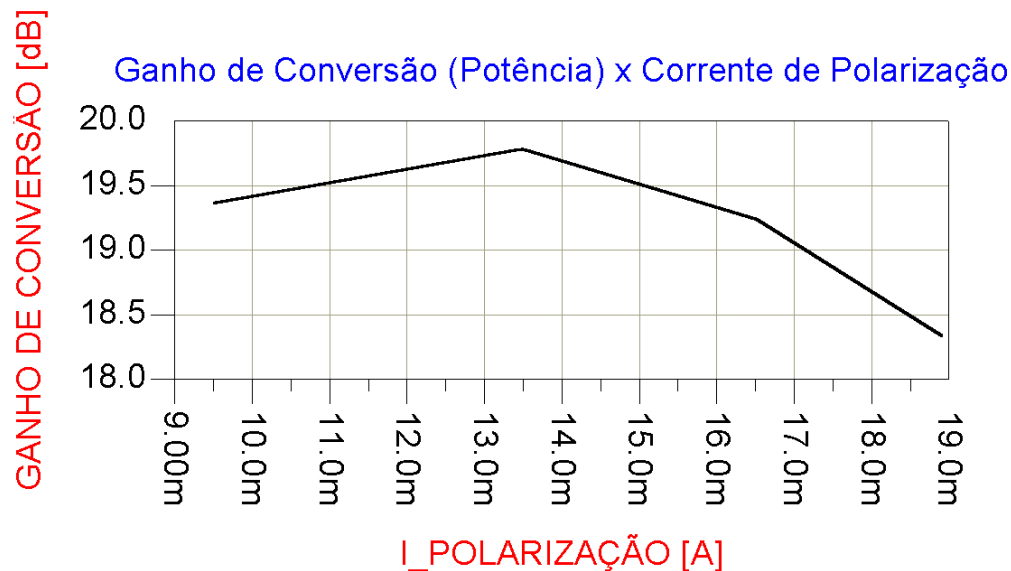


Figura 49 - Variação do ganho de conversão com a corrente de polarização.

Assim, aumentar indiscriminadamente a corrente do circuito pode não contribuir para um elevado valor de ganho de conversão, aumentando-se apenas o consumo do circuito. A Figura 50

apresenta a variação na linearidade do circuito, representada aqui pelo ponto IIP_3 , com a corrente de polarização do circuito. Como pode ser visto, este gráfico é aproximadamente o do gráfico da Figura 49. Isto era de se esperar, já que as duas figuras de mérito (ganho de conversão e linearidade) são inversamente proporcionais.

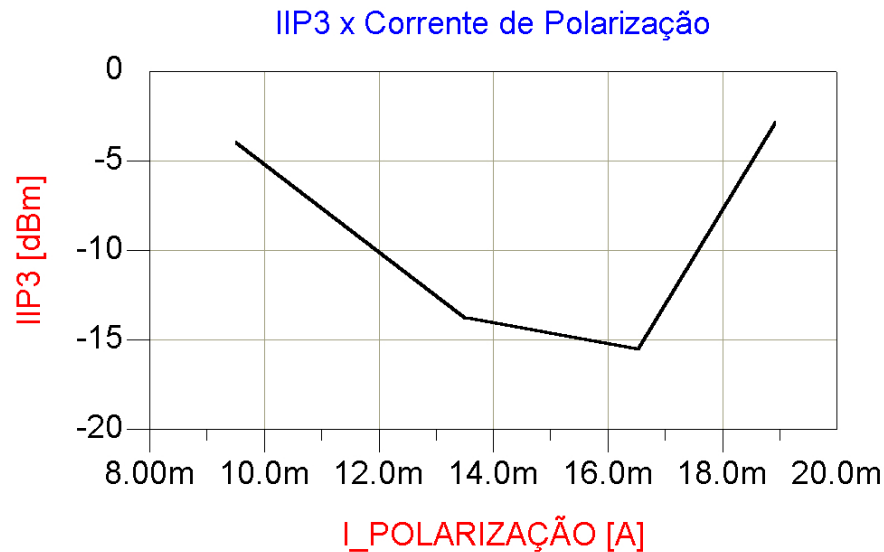


Figura 50 - Variação da linearidade com a corrente de polarização.

Das Figuras 49 e 50, pode-se concluir que, para se obter um circuito com baixo consumo e ainda assim atender às especificação de bom ganho de conversão e razoável IIP_3 ($+1 \text{ dBm} < IIP_3 < +5 \text{ dBm}$), deve-se escolher, mantendo-se constante as demais variáveis do projeto, uma corrente de polarização relativamente baixa. Na verdade, essa corrente de polarização foi escolhida como 3 mA.

A variação do ganho de conversão e do IIP_3 como uma função da tensão dc nas portas dos transistores do estágio de chaveamento (DC_LO) está indicada nas Figuras 51 e 52, respectivamente. Na Figura 51, pode-se notar que o aumento da tensão dc nas portas dos transistores do estágio de chaveamento aumenta o ganho de conversão até um certo ponto (cerca de 1,5 V), além do qual os transistores saem da saturação (para a tensão de dreno especificada pela rede CMFB) iniciando-se uma redução no ganho de conversão do misturador.

O ponto IIP_3 varia de maneira contrária ao ganho de conversão. Assim, enquanto o ganho de conversão começa a diminuir quando os transistores deixam a região de saturação e entram na região triodo, o IIP_3 começa a aumentar. Isso ocorre porque a região triodo é uma região de operação aproximadamente linear.

A variação no ganho e no ponto IIP_3 com o nível dc nas portas dos transistores do estágio

de transcondutância são apresentadas nas Figuras 53 e 54, respectivamente.

Como indicado na Figura 53, o aumento do nível de polarização dos transistores do estágio de transcondutância contribui para um aumento no ganho de conversão do circuito misturador até o ponto onde os transistores deixam a região de saturação ($V_G = V_D + V_{th}$).

A variação do ponto IIP_3 com o nível de polarização dos transistores do estágio de transcondutância se dá de forma análoga à dos transistores do estágio de chaveamento, com as mesmas observações.

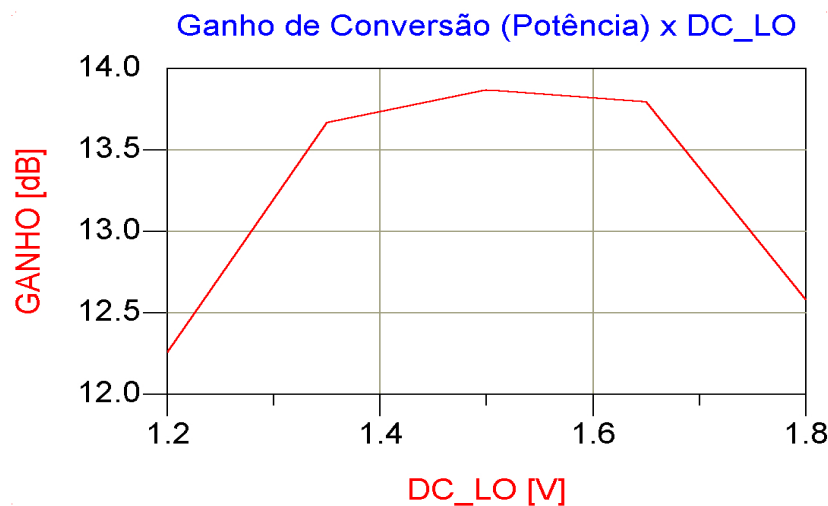


Figura 51 - Variação do ganho com o nível de polarização dos transistores de chaveamento.

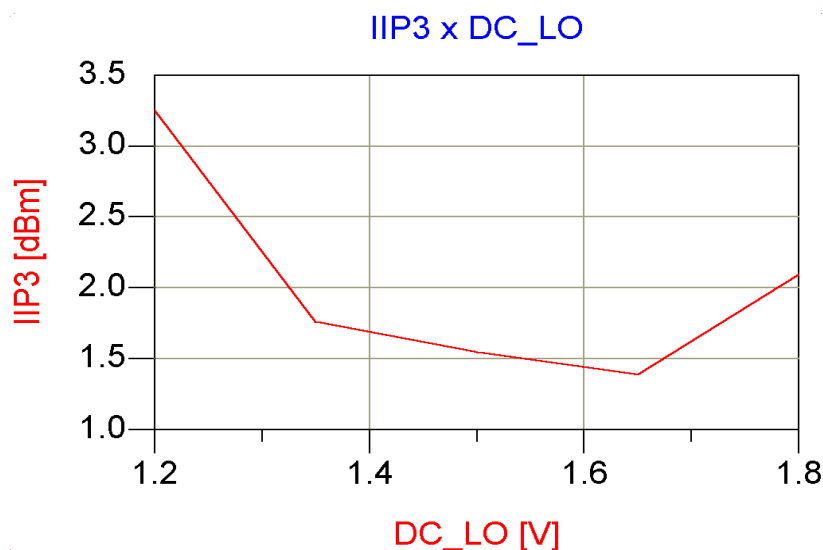


Figura 52 - Variação do IIP_3 com o nível de polarização dos transistores de chaveamento.

As simulações seguintes, apresentadas nas Figuras 55 e 56, auxiliaram no dimensionamento dos transistores do estágio de transcondutância. Nessas figuras, pode-se observar

a variação no ganho de conversão e no ponto IIP_3 como função da largura W dos transistores do estágio de transcondutância.

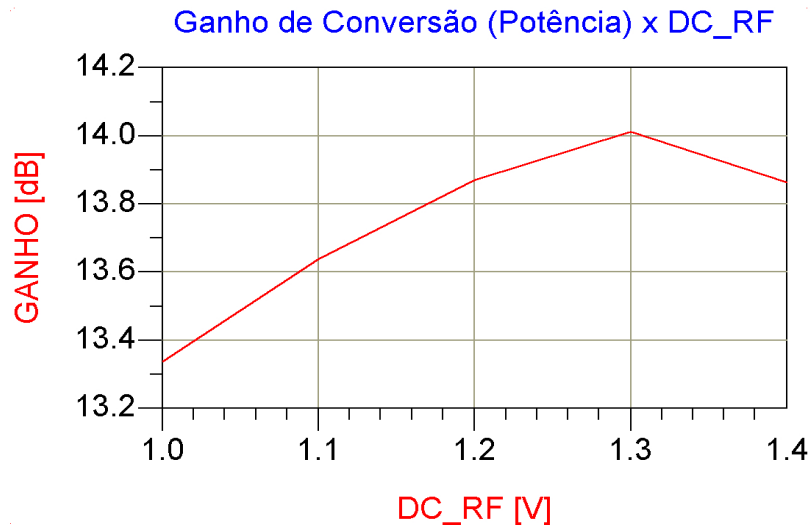


Figura 53 - Variação do ganho com o nível de polarização dos transistores de transcondutância.

Como indicado na Figura 55, quanto maior a dimensão W dos transistores, maior a sua transcondutância, mantendo-se constantes os demais parâmetros do projeto. Assim, o ganho de conversão do circuito misturador aumentará proporcionalmente com o W dos transistores do estágio de transcondutância. Essa situação continua enquanto os transistores mantiverem-se na região de saturação.

O IIP_3 varia de forma inversa ao ganho de conversão, ou seja, quanto maior a largura W dos transistores do estágio de transcondutância, menor o ponto IIP_3 do circuito misturador, conforme mostrado pela Figura 56.

As Figuras 57 e 58 mostram a variação no ganho de conversão e no ponto IIP_3 devido a variação na largura W dos transistores do estágio de chaveamento. Na Figura 57 pode-se notar que o ganho começa a cair para valores de W próximos de 200 μm . Isso ocorre porque com uma corrente de dreno e uma tensão de polarização na porta constantes, segundo a Equação (4.2), quando aumenta-se o W do transistor, a tensão porta-fonte (V_{GS}) diminui. Como a tensão na porta é fixa, para V_{GS} diminuir, a tensão na fonte deve aumentar, reduzindo-se assim a tensão V_{DS} do transistor e retirando-o da região de saturação. O ponto IIP_3 comporta-se de forma contrária, como indicado na Figura 58.

$$I_D = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{th})^2 \quad (4.2)$$

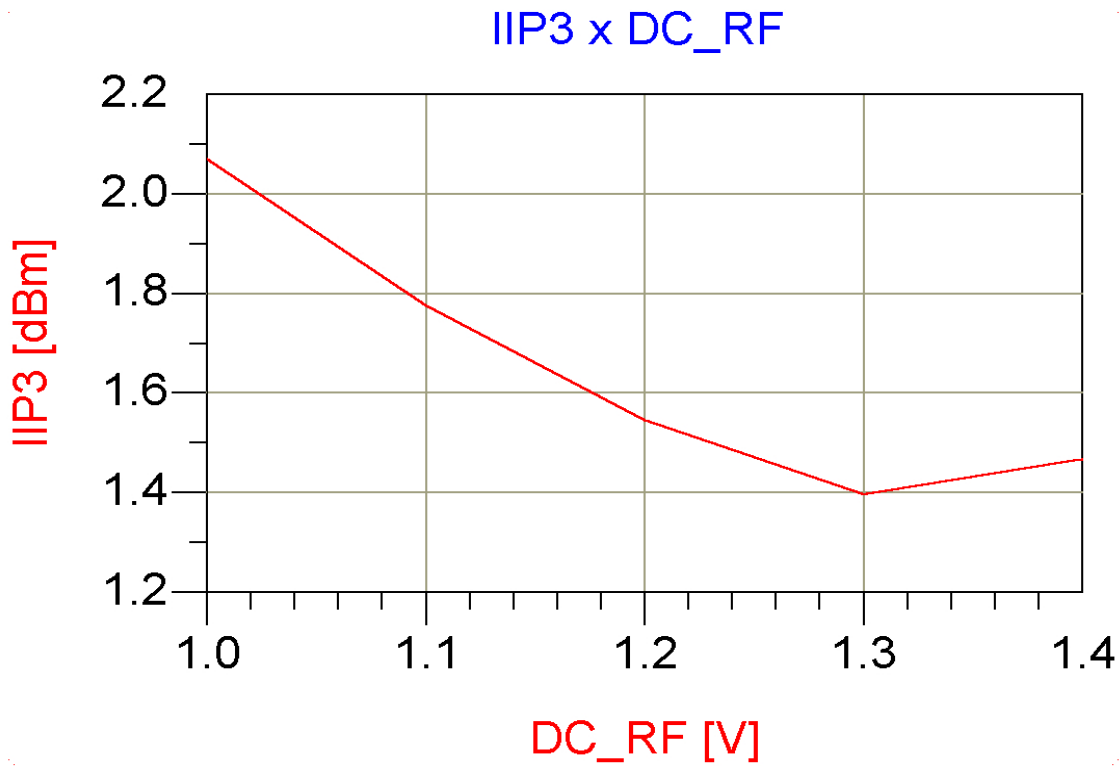


Figura 54 - Variação do IIP3 com o nível de polarização dos transistores de transcondutância.

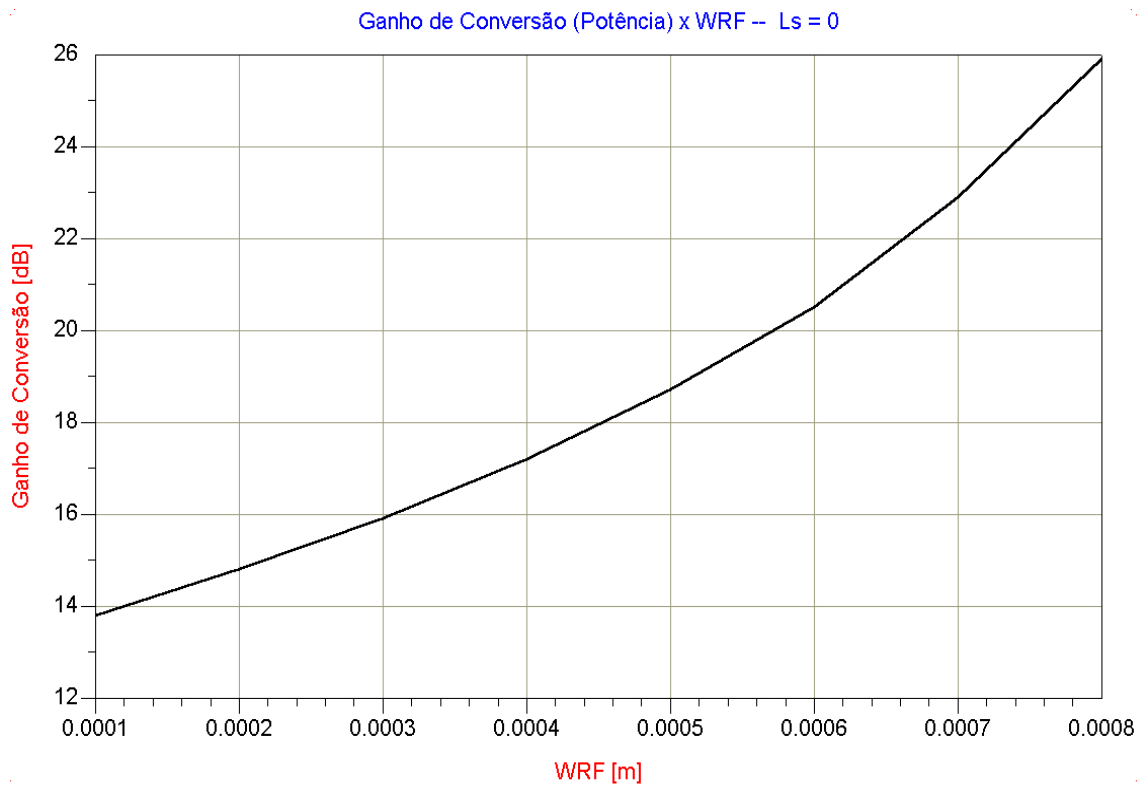


Figura 55 -Variação no ganho com o W dos transistores de transcondutância.

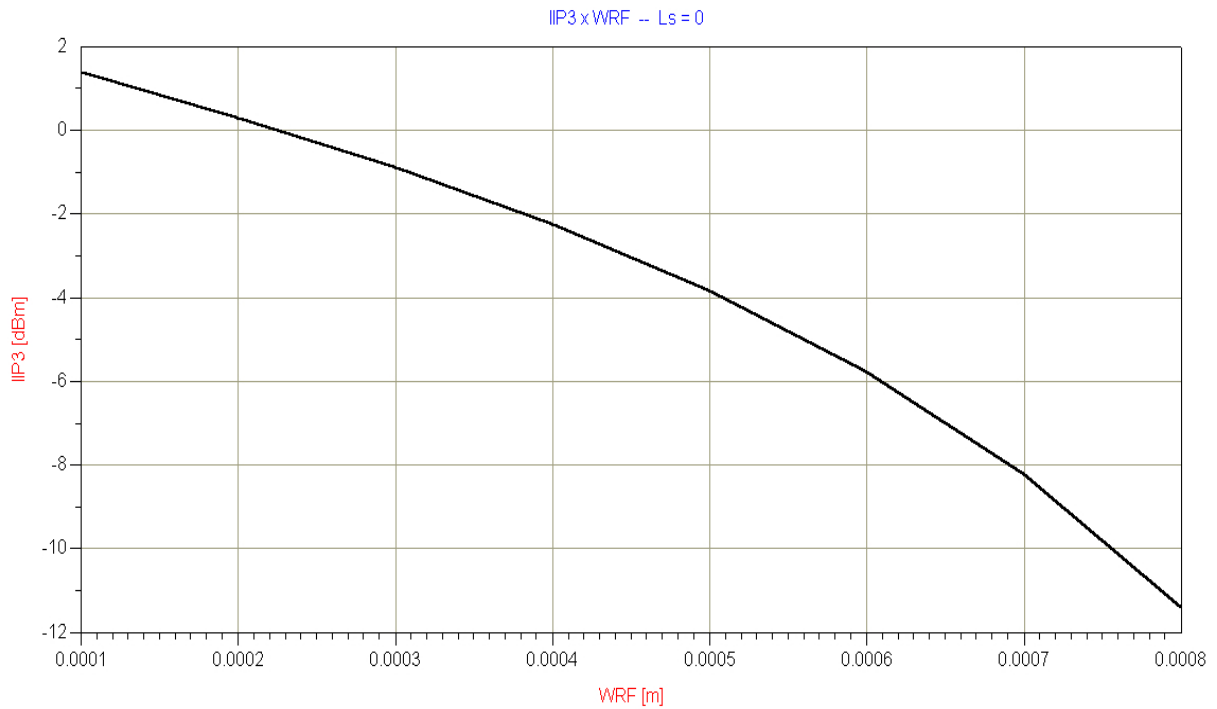


Figura 56 - Variação no IIP₃ com o W dos transistores de transcondutância.

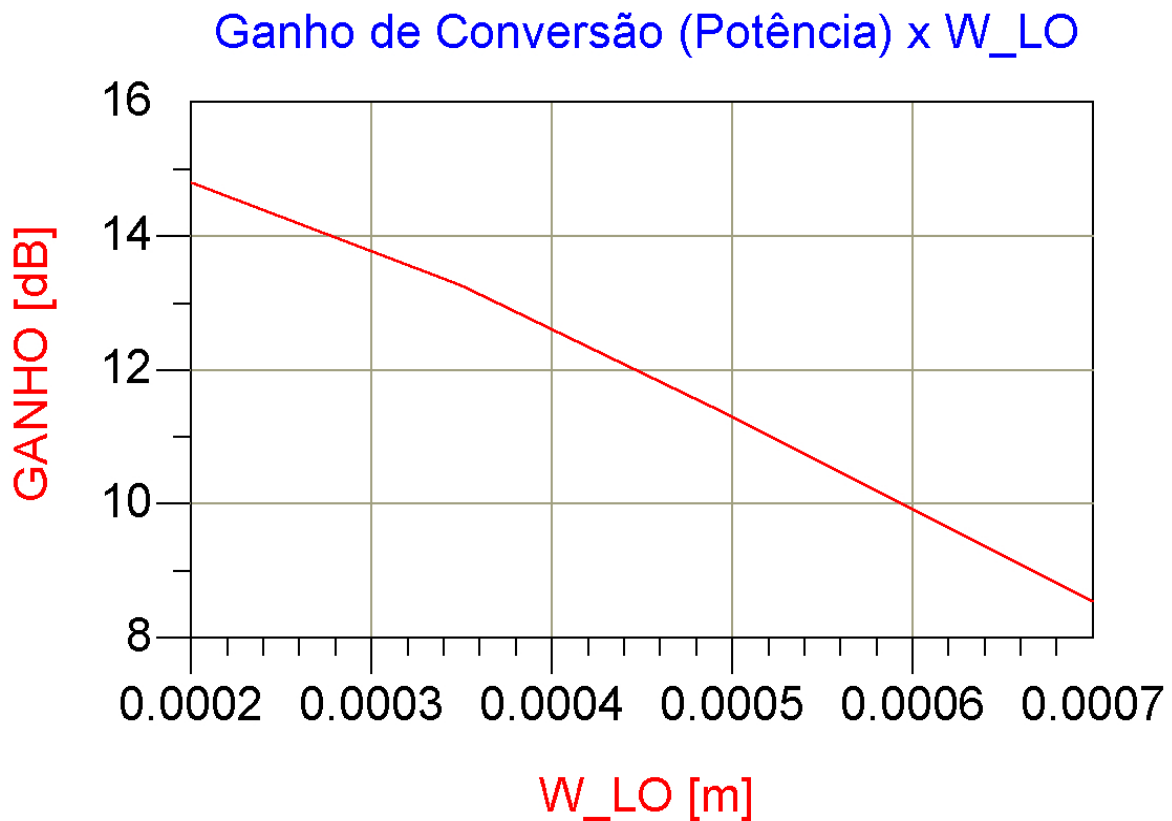


Figura 57 - Variação no ganho com a largura W dos transistores de chaveamento.

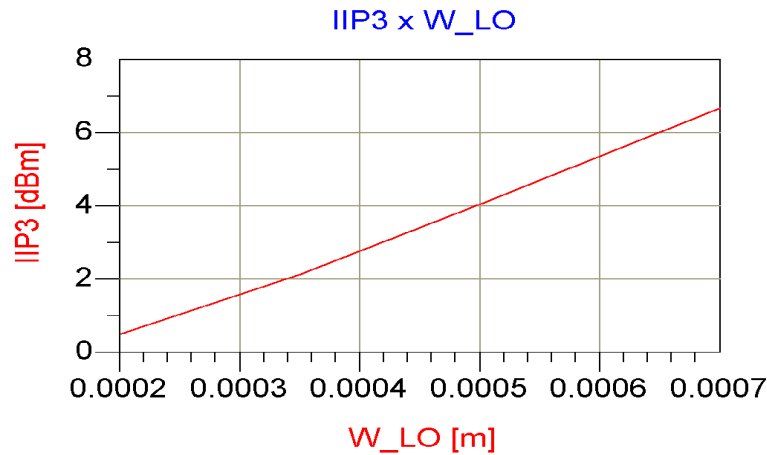


Figura 58 - Variação no IIP₃ com a largura W dos transistores de chaveamento.

A forma mais clássica de se apresentar o ponto IIP₃ e o ganho de conversão de um circuito estão apresentadas nas Figuras 59 e 60, respectivamente. Estas figuras apresentam a variação do ganho e do ponto IIP₃ como função da potência de entrada do sinal RF (PO_RF).

A Figura 59 mostra o ponto IIP₃ do circuito. Este gráfico apresenta as potências de saída em dBm relativas à frequência fundamental (em azul) e ao produto de intermodulação de terceira ordem (em rosa).

Pode-se observar pela Figura 60 que o ganho de conversão de potência permanece praticamente constante para níveis de potência na entrada RF tão altos quanto -15 dBm. Trabalhar com níveis de potência elevados é desejado, pois no caso de um circuito misturador para baixo, não se pode prever o nível de potência do sinal proveniente do LNA.

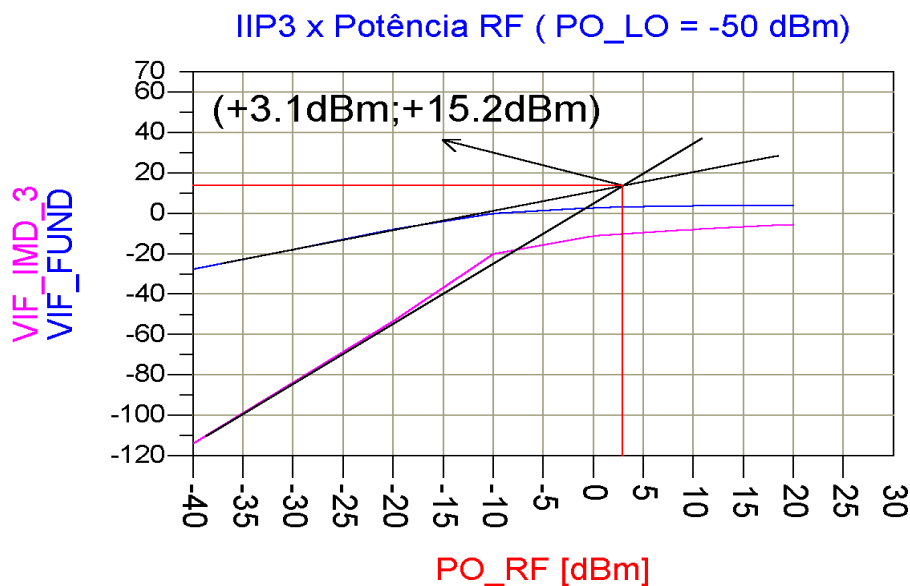


Figura 59 – Ponto de intercepto de 3ª ordem referido à entrada (IIP₃).

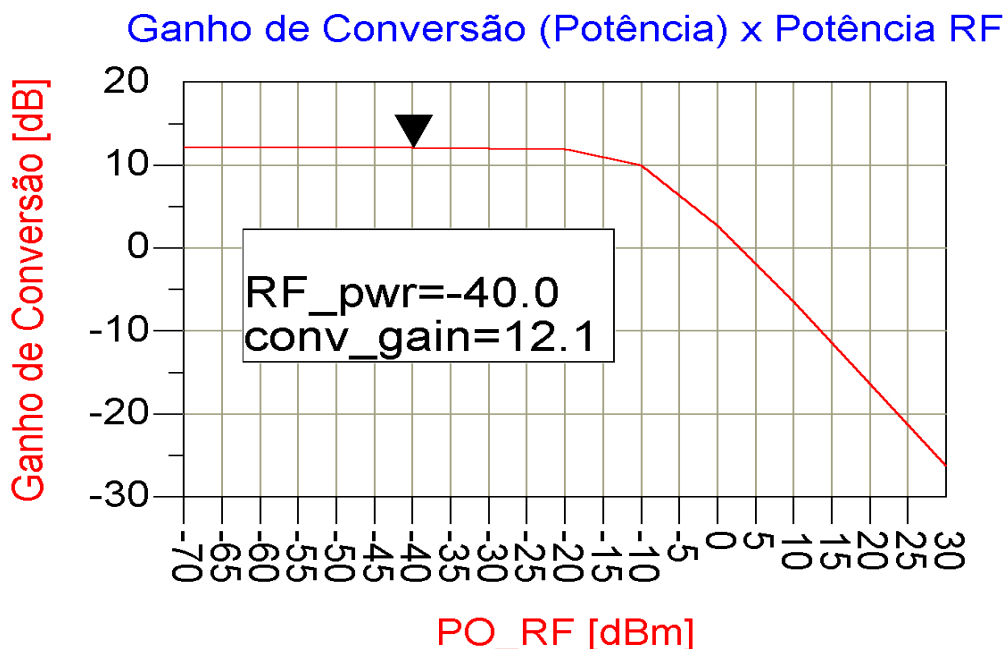


Figura 60 – Ganho de conversão de potência.

A seguir, apresenta-se o ganho de conversão de potência do circuito com a potência do oscilador local como um parâmetro. Pode-se perceber que quanto maior a potência do oscilador local (até um certo limite), maior o ganho de conversão do misturador, como pode ser visto na Figura 61.

A Figura 62 mostra o nível de potência limite do sinal do oscilador local, além do qual o ganho de conversão começa a decrescer. Além desse nível de potência (+5 dBm), futuros aumentos no nível de potência do oscilador local (PO_LO) causam uma redução no ganho de conversão do circuito. Essa queda no ganho de conversão devido a um super-acionamento dos transistores do estágio de chaveamento se deve a entrada do estágio de saída, por determinados instantes, na região de saturação.

Como um aumento no nível de potência do oscilador local tende a forçar os transistores do estágio de chaveamento na região triodo, pode-se esperar que ocorra uma melhora na linearidade do circuito, confirmada na Figura 63.

Outro parâmetro que afeta tanto a linearidade quanto o ganho de conversão do misturador é o nível dc de polarização na porta dos transistores do estágio de transcondutância, como já mencionado anteriormente (Figura 53). Esse valor deve ser cuidadosamente escolhido, pois no caso de uma tensão dc não satisfatória, o ganho de conversão de potência do misturador pode cair sensivelmente, a ponto de apresentar uma perda na conversão do sinal RF para o sinal IF.

Ganho de Conversão (Potência) x Potência RF (Parâmetro PO_LO)

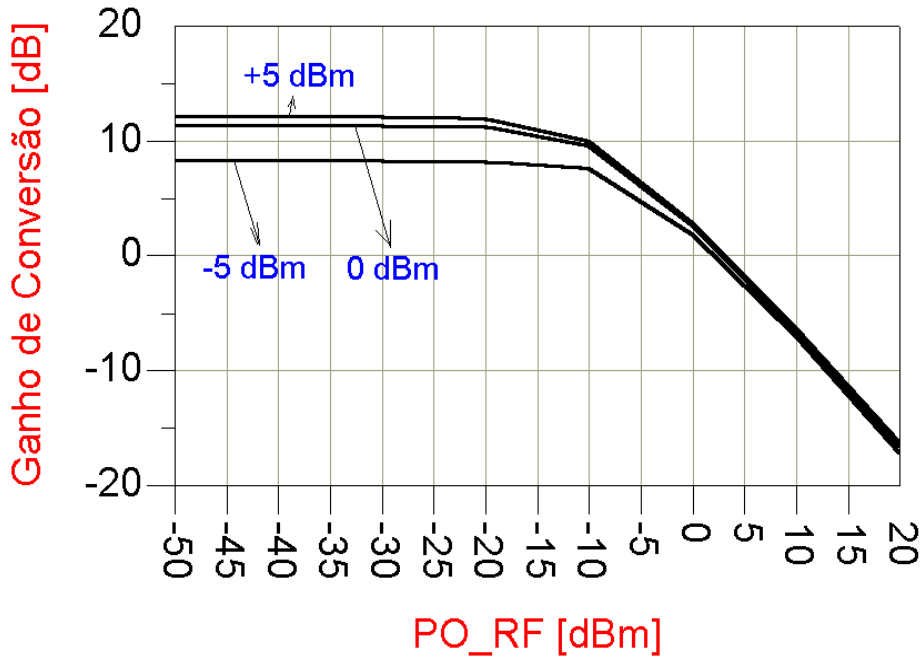


Figura 61 - Ganho de conversão com potência do oscilador local como um parâmetro.

Ganho de Conversão (Potência) x Potência LO (PO_RF=-50 dBm)

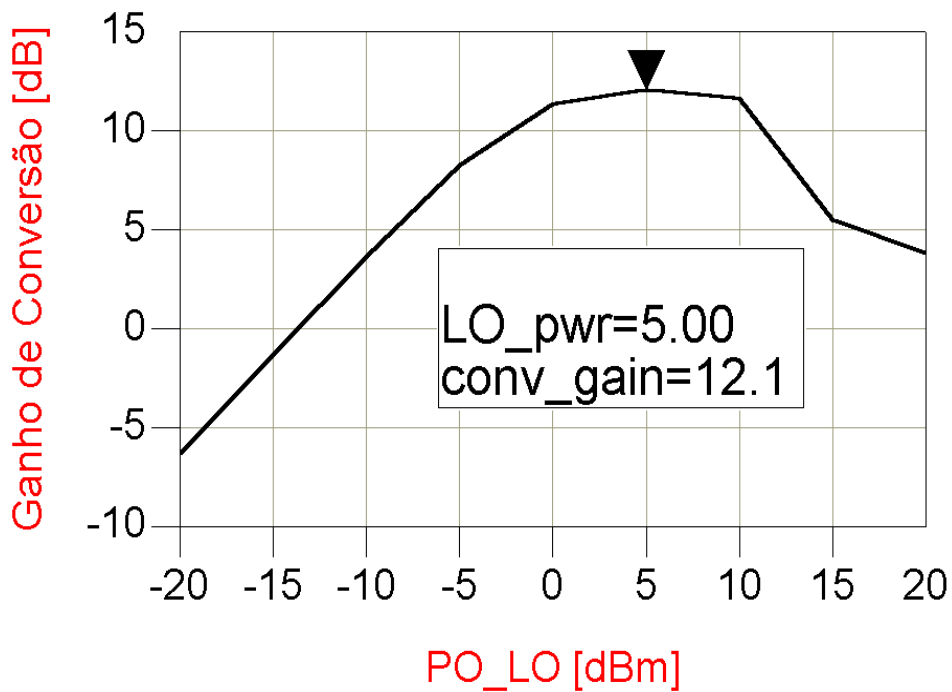


Figura 62 - Linearidade como função da potência do sinal RF.

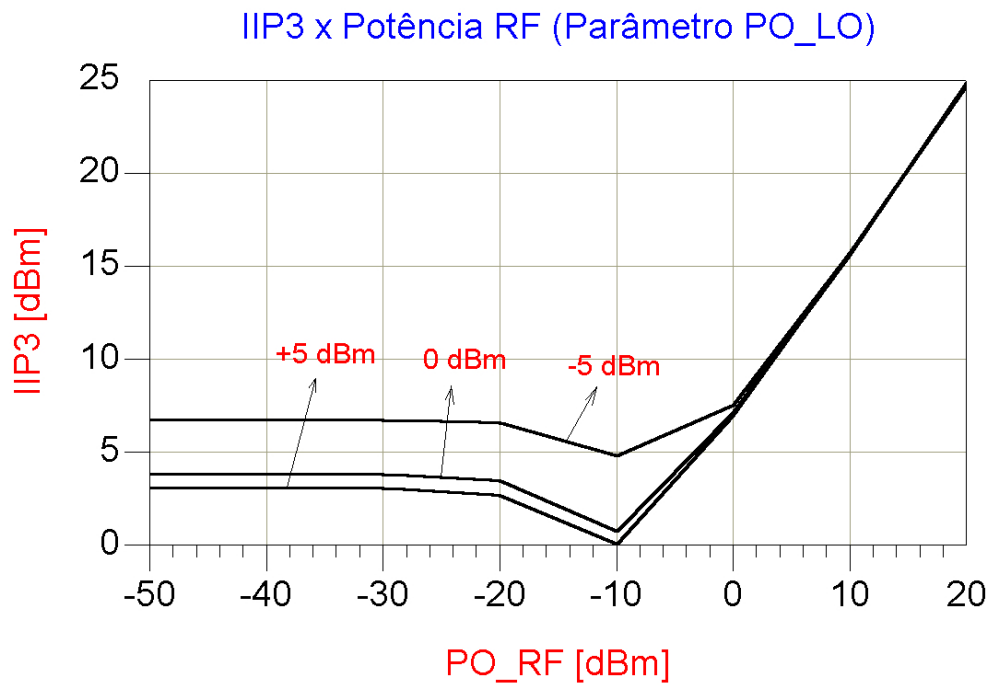


Figura 63 – Variação do IIP3 com o nível de potência do oscilador local.

Ganho de Conversão (Potência) x Potência RF (Parâmetro DC_RF)

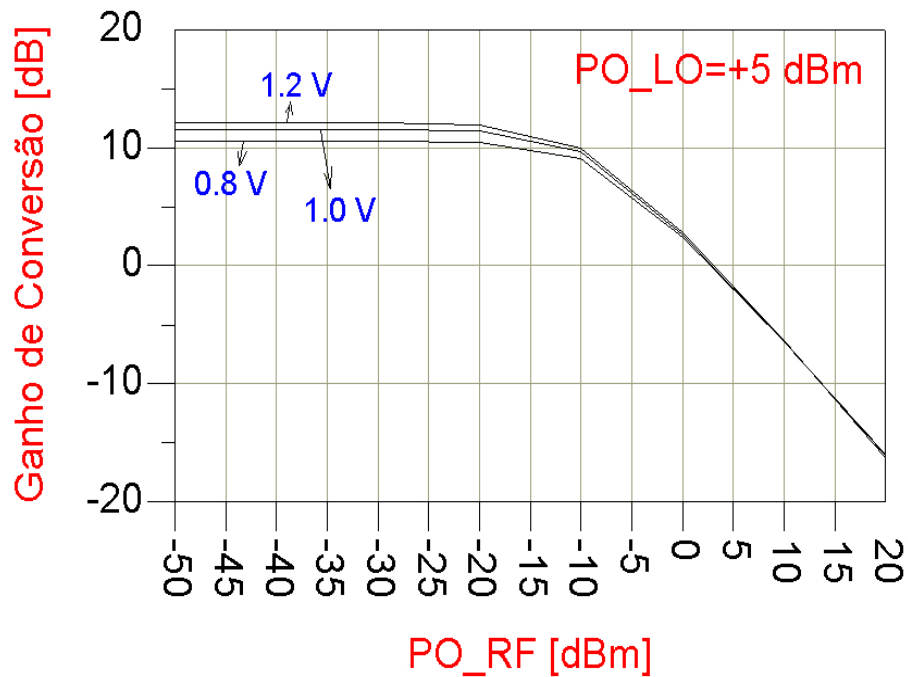


Figura 64 – Variação do ganho com a polarização RF.

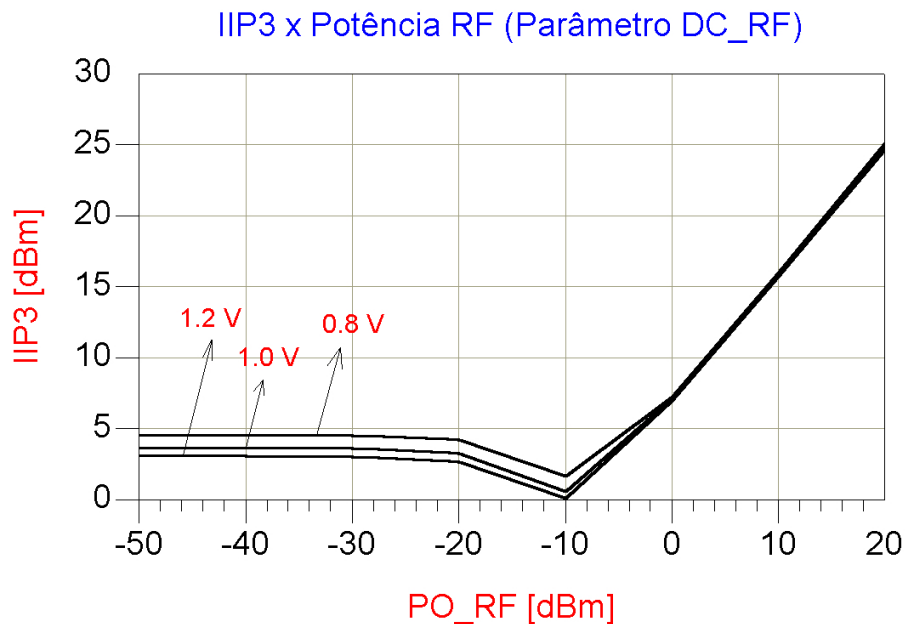


Figura 65 – Variação no ponto IIP3 com a polarização RF.

As Figuras 64 e 65 apresentam essa variação com o nível de polarização. Como pode ser observado, quando se reduz o nível de polarização nas portas dos transistores do estágio de transcondutância, obtém-se uma melhora na linearidade do circuito (um acréscimo no valor de IIP₃) ao mesmo tempo em que o valor do ganho de conversão do circuito diminui.

Isto está plenamente de acordo com a análise teórica realizada, pois, como já foi mencionado anteriormente, a linearidade e o ganho de conversão de potência são parâmetros conflitantes, no sentido de que um aumento em um, provocará necessariamente uma diminuição no outro.

A Figura 66 apresenta como o ponto OIP₃ varia com relação ao nível de potência na entrada RF. Na Figura 67 está indicado como o ponto OIP₃ varia tendo o nível de potência do oscilador local como um parâmetro. Pode-se provar que, até um certo nível da potência de entrada (PO_{RF}), o OIP₃ pode ser dado pela Equação (4.3) [1,3-4].

$$OIP_3 (dB_m) = IIP_3 (dB_m) + GC (dB) \quad (4.3)$$

Assim, quando o IIP₃ começar a aumentar e o ganho de conversão (GC) começar a diminuir a uma taxa maior do que o IIP₃, o OIP₃ começará a diminuir, como mostrado na Figura 66. A Equação (4.3) mostra claramente a característica mutuamente excludente do ganho de conversão e da linearidade do circuito misturador.

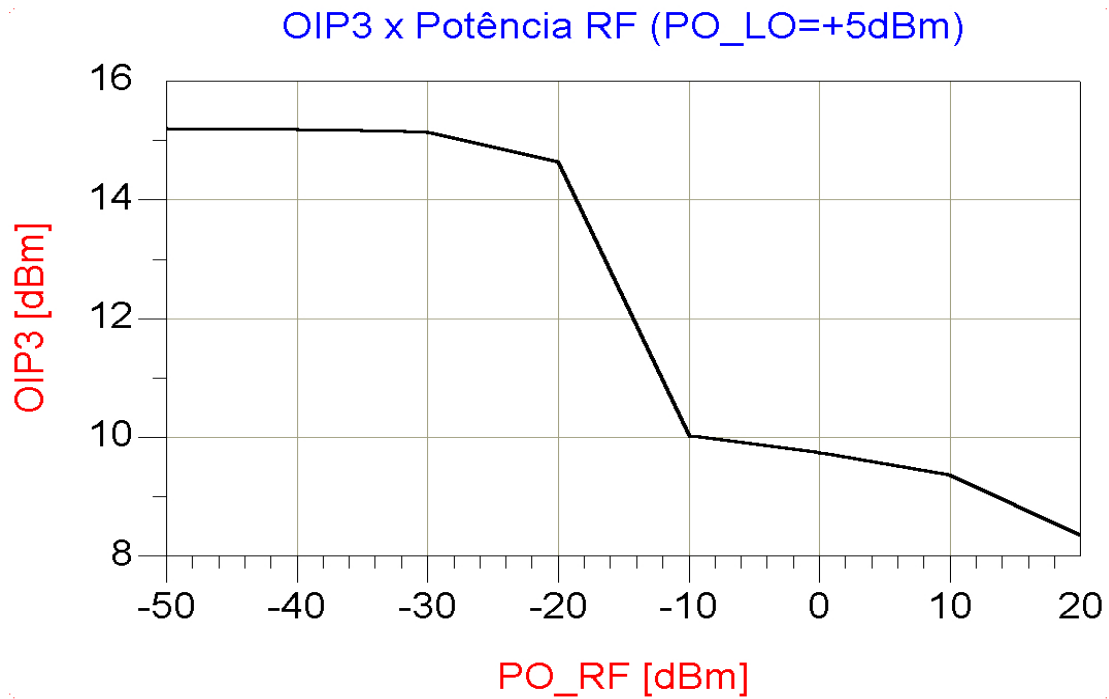


Figura 66 – Variação no ponto OIP3 com a potência RF.

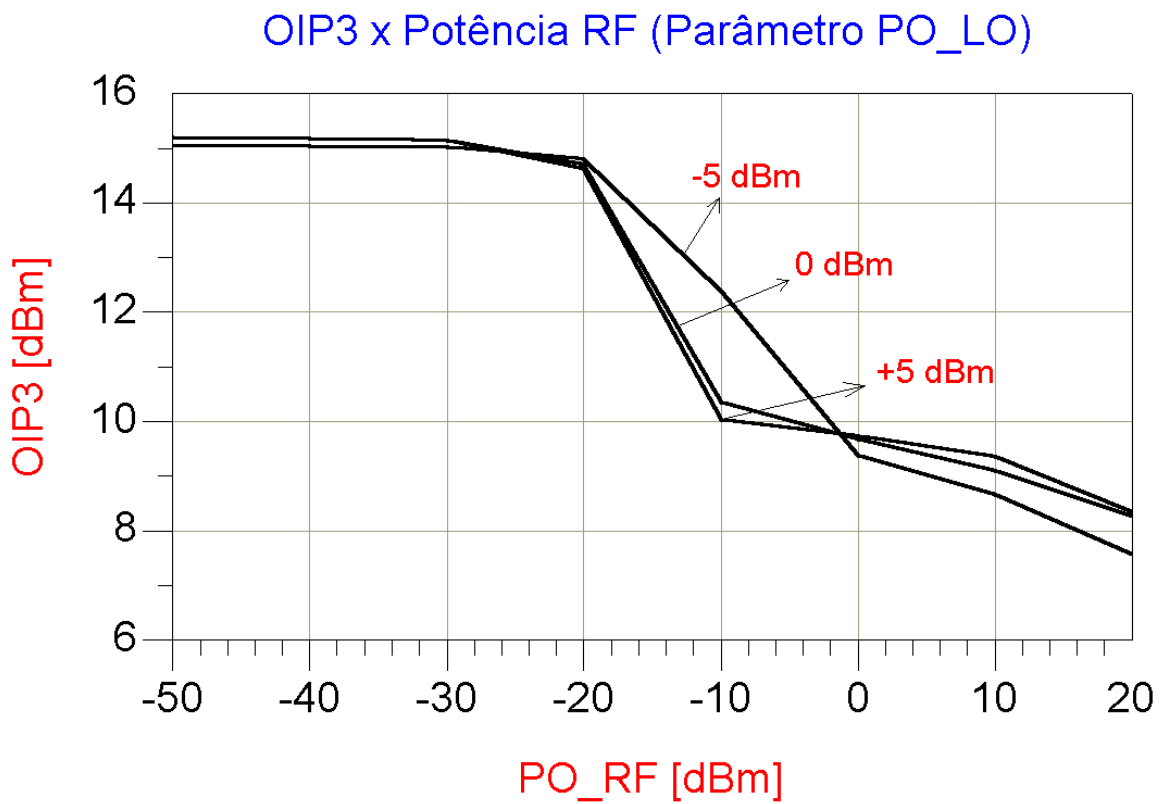


Figura 67 – Variação no ponto OIP3 com a potência LO.

Ainda utilizando-se o simulador de balanço harmônico (um pacote de ferramentas do ADS), pôde-se avaliar a figura de ruído do misturador. Na Figura 68, pode-se avaliar a figura de ruído em função do nível de potência do sinal RF. Esse cálculo foi realizado mantendo-se constante a frequência de saída na porta IF do misturador, ou seja, a frequência intermediária é 200 MHz. Nas condições medidas, a figura de ruído é cerca de aproximadamente +10,9 dB.

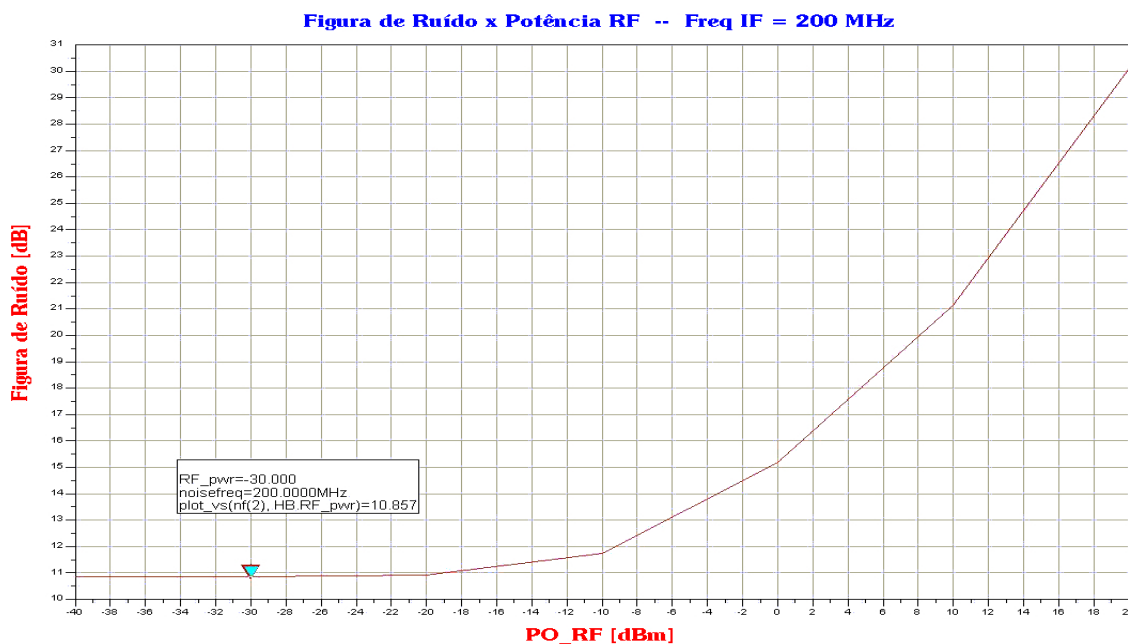


Figura 68 – Figura de ruído.

Na Figura 69, é apresentada a figura de ruído em uma função da frequência do sinal RF. Como pode-se perceber, quanto maior a frequência de operação do circuito, maior a contribuição de ruído devido, em parte, aos efeitos parasitas que tornam-se sensíveis com o aumento da frequência [17-19].

Para finalizar as simulações de balanço harmônico, as Figuras 70 e 71 apresentam a variação no ganho de conversão e na linearidade com o acréscimo de uma indutância de degeneração na fonte dos transistores do estágio de transcondutância. Como foi previsto nos Capítulos 2 e 3, a adição desses elementos de degeneração causam uma elevação no ponto IIP₃ ao custo de uma redução no ganho de conversão do misturador.

Ao contrário das simulações anteriores, onde a alteração de parâmetros como W, tensões de polarização DC e níveis de corrente de polarização não afetavam o casamento de impedância nas portas do misturador, cada simulação com um novo valor de indutância na fonte dos transistores forçou o projeto de uma nova rede de casamento de impedância, em especial para a porta RF, onde as mudanças no valor da impedância eram mais sensíveis. Nessa etapa de projeto fez-se extensivo

uso do software SmithV2.03, o qual permite um projeto rápido de redes de casamento de impedância banda estreita do tipo L, T ou “p”.

Figura de Ruído x Frequência RF -- Frequência IF fixada em 200 [MHz]

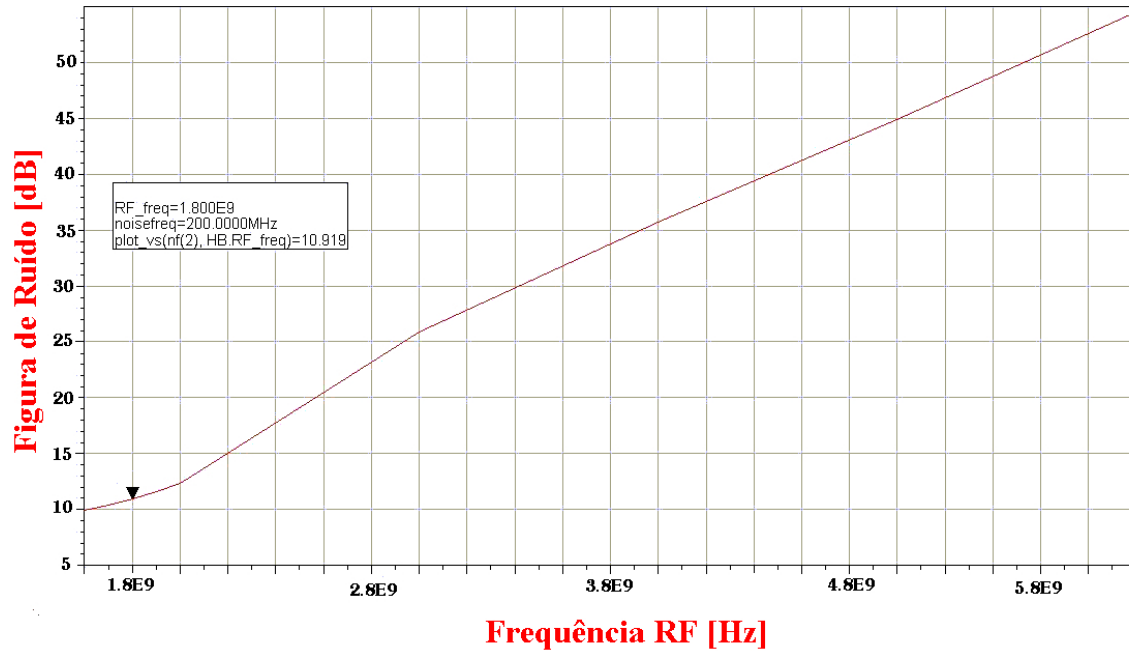


Figura 69 – Figura de ruído como função da frequência do sinal RF.

Ganho de Conversão (Potência) x Ls (Demais Parâmetros Constantes)

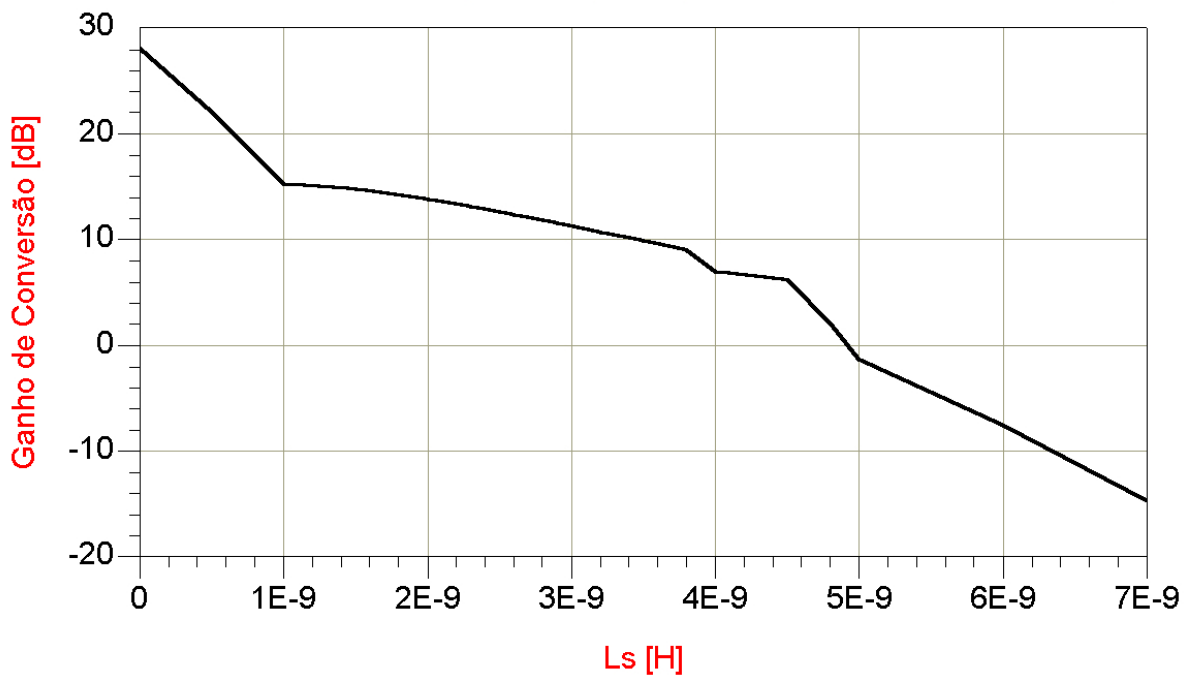


Figura 70 – Comportamento do ganho com indutância de degeneração.

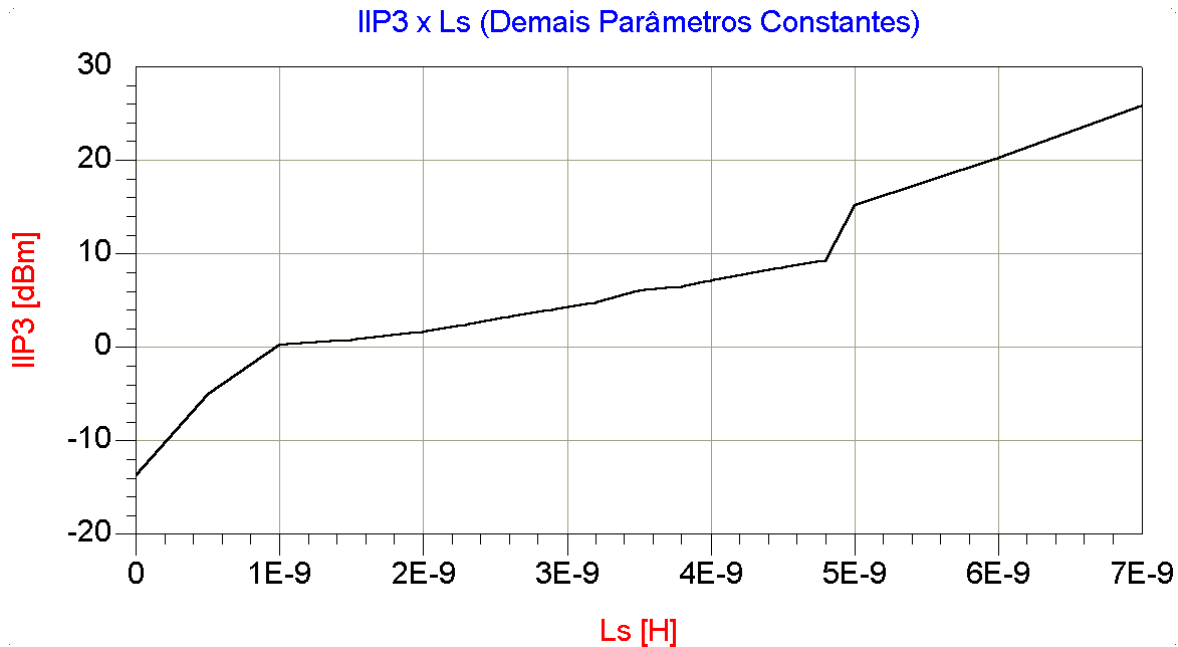


Figura 71 - Comportamento do ponto IIP₃ com indutância de degeneração.

Como pode ser visto na Figura 70, pode-se obter um ganho de conversão de potência máximo¹ de +28,1 dB acompanhado de um ponto IIP₃ -13,9 dBm, conforme indicado na Figura 71. Por outro lado, pode-se obter um ponto IIP₃ de +24,8 dBm, ao custo de um ganho de conversão de apenas -14,5 dB.

Para a escolha da faixa de indutâncias utilizadas na simulação ($0 \leq L_S \leq 7$ nH), levou-se em consideração a viabilidade de se construir indutores *on-chip*. Indutâncias acima de 7 nH já ocupam uma considerável área de silício, deixando de ser, dependendo da especificação, viável em um projeto.

4.1.1.3 Simulações de Parâmetros S

Simulações de parâmetros *S* (*S-Parameters*) são muito úteis em um projeto RF. Através dessa simulação pode-se determinar impedâncias em uma larga faixa de frequências, bem como permitir avaliar precisão de casamentos de impedância, isolamento entra portas e até ganho de dispositivos.

A perda de retorno das três portas do circuito misturador nas suas respectivas frequências de operação está apresentada na Figura 72. Esse gráfico é o resultado do casamento de impedâncias com uma indutância de 3 nH utilizada como elemento de degeneração nas fontes dos transistores do

¹ Para a faixa de indutâncias utilizadas.

estágio de transcondutância.

Pode-se perceber o ótimo casamento de impedâncias nas três portas do circuito, pois a perda de retorno é menor do que $-35,5$ dB para todas as portas, representando uma fração muito pequena do sinal refletido de volta para a fonte. Assim, praticamente todo o sinal enviado pelas fontes será absorvido pelo circuito.

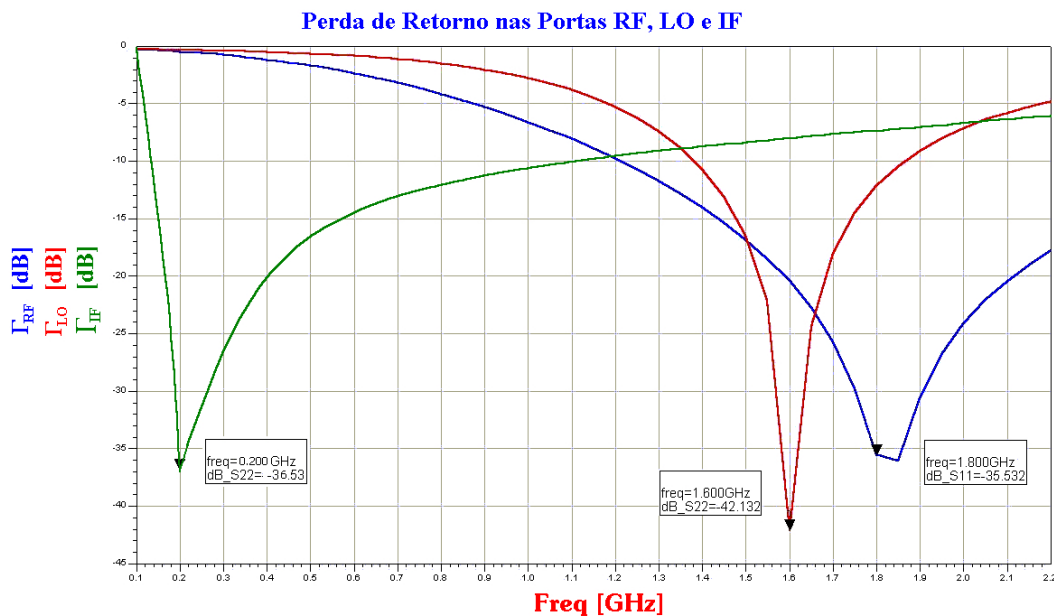


Figura 72 – Perda de retorno do circuito misturador.

4.1.2 Simulações do BALUN Ativo

Como já dito anteriormente nesse trabalho, a razão de se adicionar um BALUN para a saída do misturador é que, em geral, filtros de terminação simples (*single-ended*) são adicionados à saída do circuito para selecionar o canal de saída desejado, o qual, nesse projeto, está centrado na frequência de 200 MHz. Essa conversão seria normalmente realizada por meio de um transformador com derivação central. A implementação desse transformador *on-chip* é complicada, pois o baixo Q obtido para os enrolamentos primário e secundário do transformador bem como a considerável área ocupada pelo circuito tornam quase que obrigatória a sua implementação off-chip.

Assim, o acréscimo de um BALUN ativo é uma ótima alternativa de projeto, principalmente quando alta integração é necessária.

Embora um BALUN ativo possa contribuir para aumentar o ganho de conversão do misturador, neste trabalho ele foi projetado para contribuir com um ganho de aproximadamente 0 dB. Isso foi feito para poder se analisar a contribuição do ganho exclusivamente do circuito

misturador. Dessa forma, ganhos de conversão maiores são possíveis, à custa de uma sensível degradação na linearidade do circuito.

Foram realizadas duas simulações com o BALUN ativo: uma simulação dc e uma simulação ac. A primeira foi necessária para se determinar um ponto de polarização na entrada (e na saída) que permitisse a maior excursão possível do sinal proveniente do misturador e entregue para a carga. A segunda foi utilizada para garantir que, na frequência de 200 MHz, o ganho fosse próximo de 0 dB. Uma estimativa inicial para o dimensionamento dos transistores surgiu da derivação a seguir [20,21],

$$G_p = \frac{P_{OUT}}{P_{IN}} = \left| \frac{Z_{OUT} I_{OUT}^2}{Z_{IN} I_{IN}^2} \right| \quad (4.4)$$

onde G_p é o ganho de potência do circuito, Z_{OUT} e Z_{IN} são as impedâncias de saída e entrada, respectivamente e I_{OUT} e I_{IN} são as correntes na saída e na entrada do circuito.

Tomando-se o logaritmo na base dez de ambos os membros e multiplicando-se por dez, após algumas manipulações, obtém-se,

$$G_p (dB) = 10 \log \left(\left| \frac{Z_{OUT}}{Z_{IN}} \right| \right) + 20 \log \left(\left| \frac{I_{OUT}}{I_{IN}} \right| \right) \quad (4.5)$$

onde $G_p(dB)$ representa o ganho de potência expresso em dB. Sabe-se também que o ganho de corrente de um transistor MOS com a sua saída curto-circuitada é dado por,

$$G_c = \left(\frac{I_{OUT}}{I_{IN}} \right) = \frac{gm}{s(C_{GS} + C_{GD})} \quad (4.6)$$

onde $s = j\omega$ é a variável complexa de Laplace² avaliada em regime permanente, gm é a transcondutância, C_{GS} é a capacitância porta-fonte e C_{GD} é a capacitância porta-dreno do MOSFET.

Fazendo-se a Equação (4.5) igual a zero, pois deseja-se que o circuito possua um ganho de potência de 0 dB e notando-se que,

² Na verdade, $s = \sigma + j\omega$. Em regime permanente, $\sigma = 0$ pois cessaram-se os transitórios no circuito.

$$\left| \frac{I_{OUT}}{I_{IN}} \right| = |G_C| \quad (4.7)$$

chega-se à seguinte equação que deve ser satisfeita para se obter um ganho de potência igual a 0 dB:

$$|G_C| = \sqrt{\frac{Z_{IN}}{Z_{OUT}}} \quad (4.8)$$

Dessa forma, tomando-se o módulo da Equação (4.6), substituindo-a na Equação (4.8) e isolando-se o termo gm , chega-se a:

$$gm = 2\pi f_c (C_{GS} + C_{GD}) \sqrt{\frac{Z_{IN}}{Z_{OUT}}} \quad (4.9)$$

O módulo da Equação (4.6) é igual a,

$$\left| \frac{I_{OUT}}{I_{IN}} \right| = \frac{gm}{\omega(C_{GS} + C_{GD})} = \frac{gm}{2\pi f_c (C_{GS} + C_{GD})} \quad (4.10)$$

onde $s = j\omega = j2\pi f_c$ cujo módulo é igual a ω . Assim, com o resultado obtido na Equação (4.9) e utilizando-se a Equação (4.1), para uma corrente I_D de 200 μA , obtém-se $(W/L) \approx 275$. Tomando-se o menor L possível pela tecnologia ($L = 0,25 \mu\text{m}$), o valor necessário para a largura do transistor é $W \approx 69 \mu\text{m}$.

A curva de transferência do BALUN ativo é apresentada na Figura 4.27. Esta curva auxiliou na escolha do valor dc de tensão que polariza os transistores de entrada do BALUN. Como se pode observar, esta tensão é o nível modo-comum presente na saída do circuito misturador e que é definida pela tensão de referência utilizada na rede CMFB. Dessa forma, ajustar essa tensão resume-se a utilizá-la na rede CMFB, considerando-se que o ganho em malha aberta dessa rede seja muito grande, como será discutido mais adiante neste trabalho.

Como mostrado na Figura 73, escolheu-se um ponto próximo ao meio da curva de

³ Nesta dedução, f_c representa a frequência na qual o ganho de potência é calculado, ou seja, 200 MHz.

transferência, propiciando uma boa excursão de sinal tanto na entrada quanto na saída.

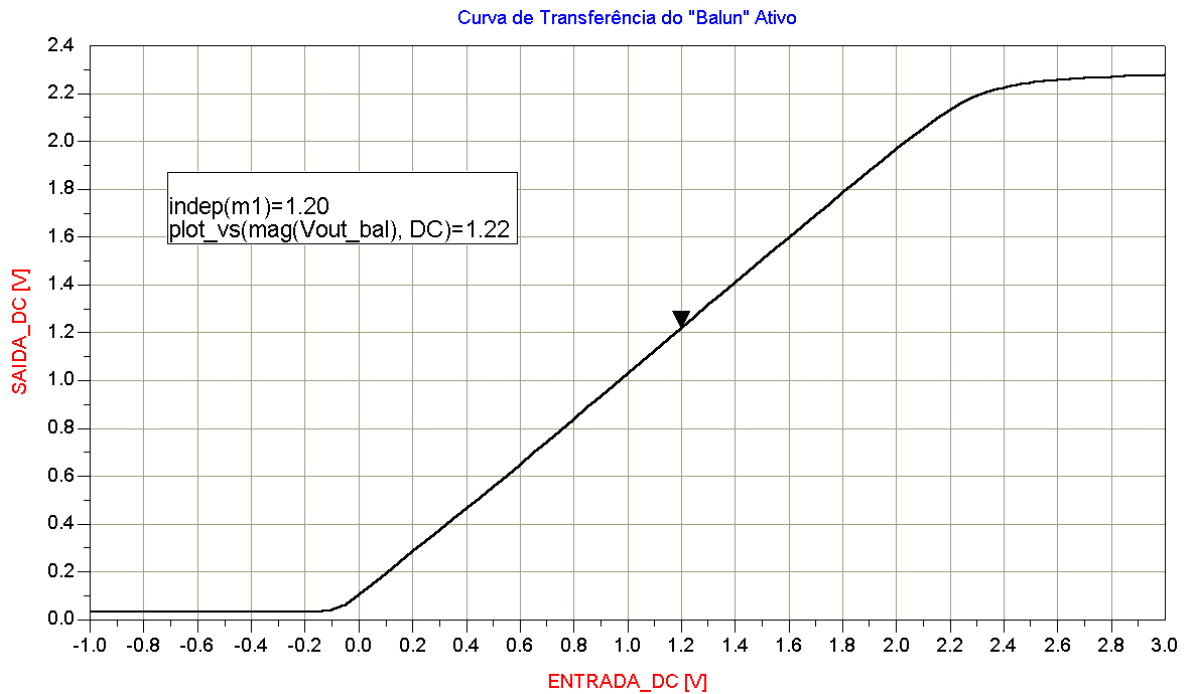


Figura 73 – Curva de transferência do BALUN ativo.

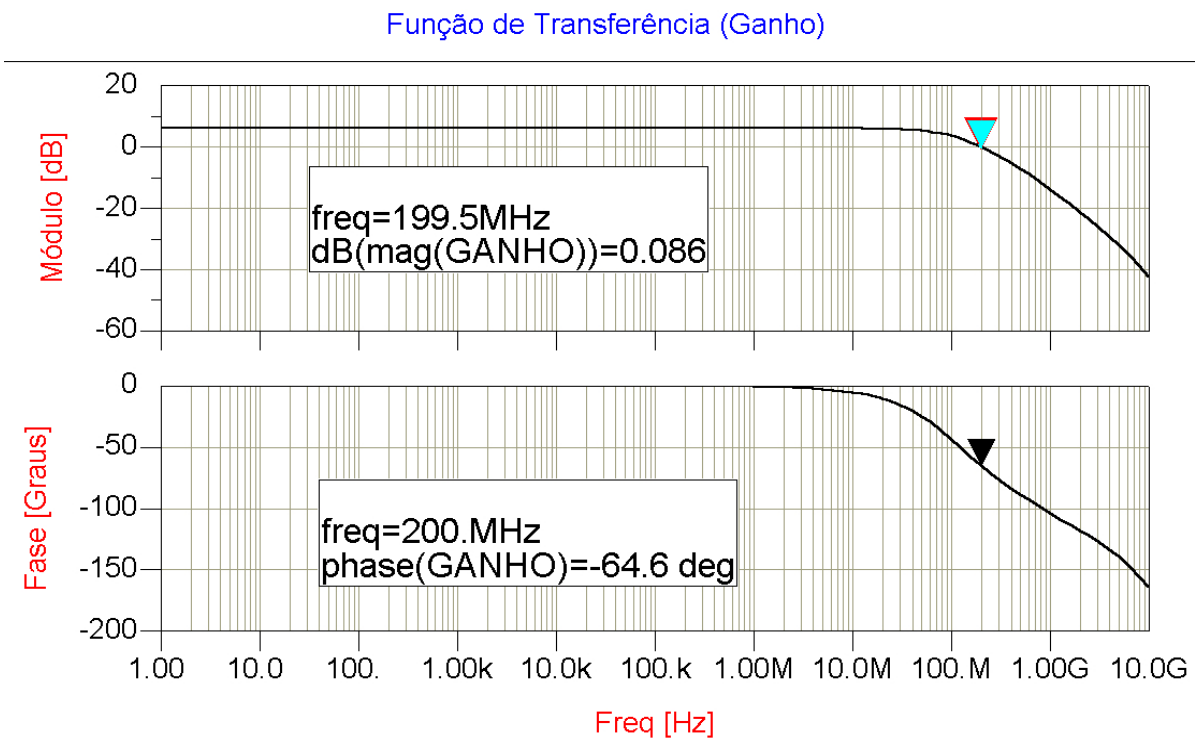


Figura 74 – Função de transferência do BALUN ativo.

Na Figura 74, pode-se notar, através de uma simulação ac, que o valor do módulo do ganho de potência do misturador na frequência de 200 MHz é de aproximadamente 0 dB (exatamente 0,086 dB). Deve-se lembrar que a contribuição do BALUN ativo para o ganho de conversão total do circuito pode ser bem significativa, podendo ser inclusive bem maior do que a contribuição do misturador. Entretanto, um aumento no ganho do BALUN será acompanhado de uma degradação significativa na linearidade do circuito, mesmo com a adição de um elemento de degeneração na fonte dos transistores de entrada, artifício este que foi utilizado no projeto do circuito misturador.

Como pode-se observar, o BALUN ativo possui uma margem de fase de 115,4° sendo incondicionalmente estável nas frequências de interesse.

4.1.3 Simulações da rede CMFB

Observando-se a rede de realimentação em modo-comum (CMFB), pode-se perceber que o circuito se trata basicamente de um comparador CMOS, que avalia uma tensão dc e a compara com uma tensão de referência. De acordo com o resultado dessa comparação, um sinal de controle é gerado em sua saída.

Os requerimentos para o correto funcionamento desse bloco são elevado ganho em malha aberta (acima de +20 dB se mostrou suficiente) e a permanência de todos os seus transistores na região de saturação. A Figura 75 apresenta o circuito utilizado para a simulação do ganho em malha aberta, onde uma grande indutância está conectada entre a saída e uma das entradas, e uma grande capacitância está conectada entre essa entrada e o terra. A idéia por trás dessa montagem é que, em dc, o circuito estará ligado como um “buffer” e se auto polarizará. O capacitor se comporta como um circuito aberto. Para qualquer frequência além de dc, o indutor se comportará como um circuito aberto e o capacitor se comportará como um curto-circuito.

Assim, elimina-se a realimentação do circuito e o ganho em malha aberta pode ser calculado. O grande capacitor garante que uma das entradas esteja aterrada para sinais ac. Os valores utilizados para a indutância e a capacitância foram 1 KH e 100 F, respectivamente.

A Figura 76 apresenta o módulo e a fase do ganho do circuito simulado na Figura 75. Nela pode-se perceber que o ganho do circuito em malha aberta é de +22,5 dB na faixa de frequências de interesse. Entretanto, a única frequência que interessa é a frequência de 0 Hz (DC).

A Figura 77 ilustra o efeito da rede CMFB. Pode-se notar que, apesar da grande variação na corrente de dreno do transistor M8, a tensão em seu dreno (e portando a sua tensão V_{SD}) permanece praticamente constante.

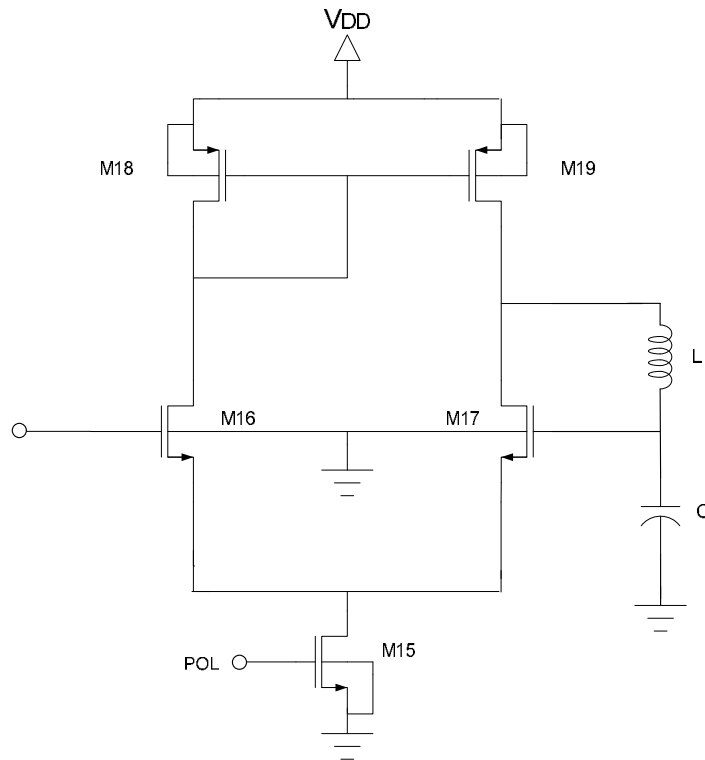


Figura 75 – Circuito utilizado para testar o ganho de malha aberta do CMFB.

Função de Transferência (Ganho)

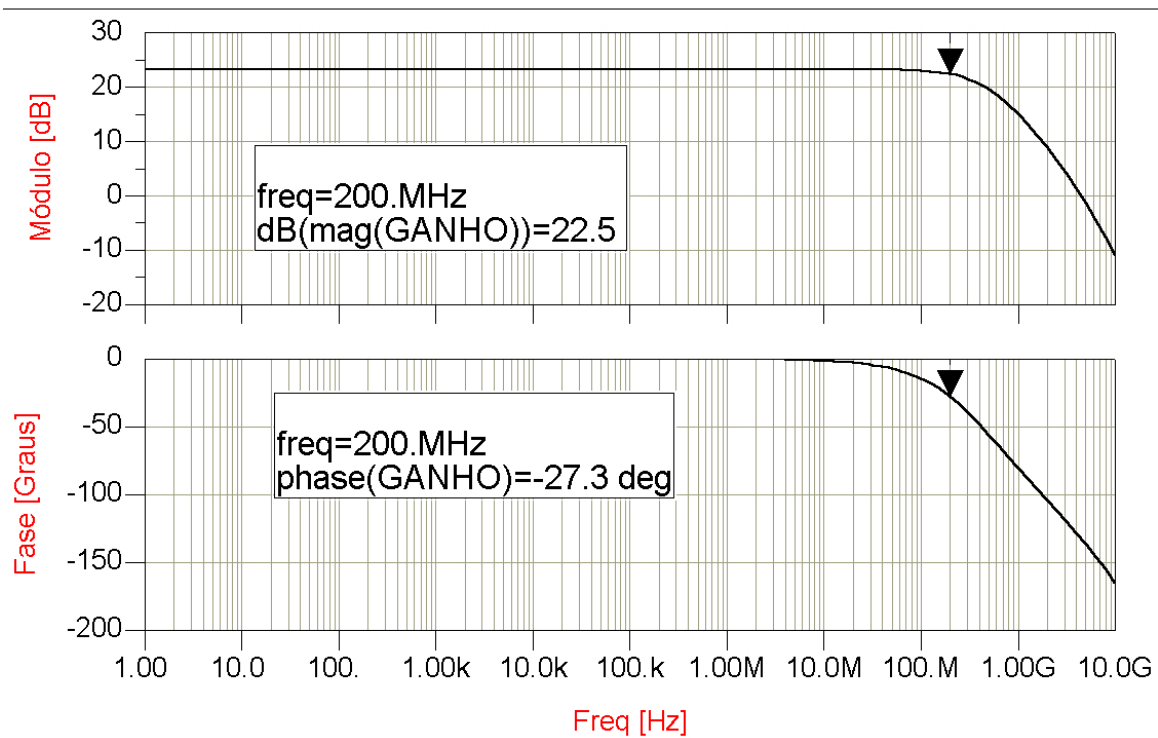


Figura 76 – Ganho em malha aberta da rede CMFB.

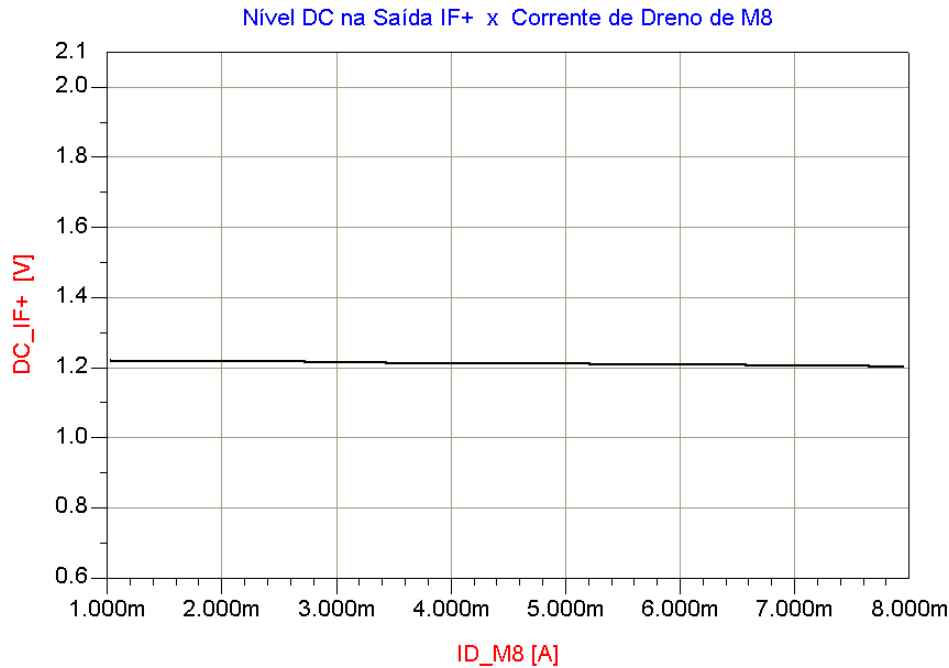


Figura 77 – Efeito da rede CMFB.

4.2 Layout

A tecnologia utilizada na confecção do *layout* foi a tecnologia CMOS 0,25 μm *DEEP SUB-MICRON* da TSMC a qual possui como características principais, cinco níveis de metal, um nível de polisilício, uma camada de metal com alta capacitância por unidade de área ($1 \text{ fF}/\mu\text{m}^2$) utilizada para fabricação de capacitores, uma camada adequada a fabricação de resistores e a possibilidade de trabalhar com dois níveis de tensões de alimentação diferentes, 2,5 e 3,3 V. Isso é possível através da utilização de uma camada de óxido mais grossa, adicionada quando se utiliza uma camada extra durante a realização do *layout* chamada *thick oxide*.

4.2.1 Circuito Misturador

O circuito misturador apresentado na Figura 78, se divide em estágio de transcondutância, estágio de chaveamento e estágio de carga.

4.2.1.1 Estágio de Transcondutância

Esse estágio é composto por dois transistores, M_2 e M_3 conforme apresentado na Figura 78. Para melhorar a linearidade do circuito, a simetria é de fundamental importância. Assim, adotou-se a estrutura centróide comum (*Common-Centroid*) que auxilia no casamento dos transistores.

Os arquivos de projeto (*Design Kit*) fornecidos pela MOSIS que foram utilizados nesse *layout* não trabalham com a unidade de comprimento padrão (μm), mas sim com uma “unidade”

específica chamada λ . Essa unidade é adimensional e depende da tecnologia utilizada sendo igual a $0,12 \mu\text{m}$ no *design kit* utilizado neste trabalho. Dessa forma, um transistor com dimensões ($300 \mu\text{m}/0,25 \mu\text{m}$) torna-se ($2500\lambda / 2\lambda$).

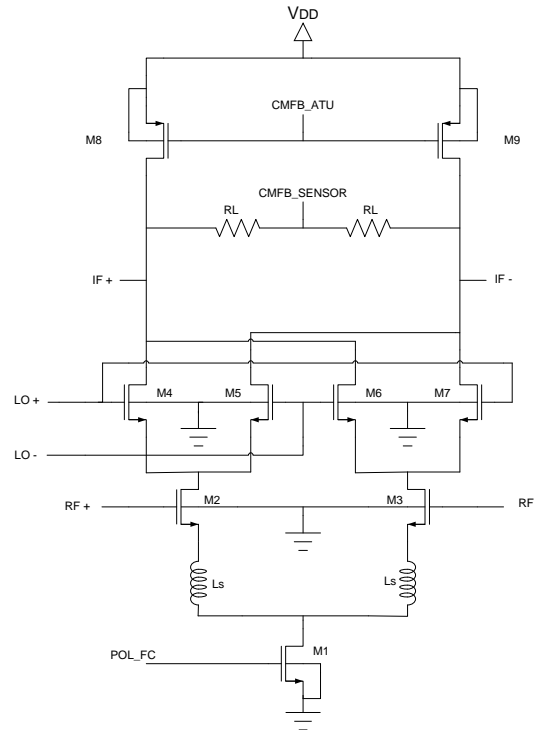


Figura 78 - Circuito misturador.

Como mostrado na Figura 79, cada transistor do estágio de transcondutância foi quebrado em trinta e dois transistores menores através da divisão do transistor em quatro blocos, cada um dos quais contendo oito dedos com dimensões ($78\lambda / 2\lambda$).

A disposição dos transistores em cada bloco é invertida a cada bloco, ou seja, no primeiro bloco tem-se M_2 e M_3 , no segundo bloco tem-se M_3 e M_2 , e assim sucessivamente. Dessa forma, possíveis descasamentos são parcialmente compensados.

Todos os transistores NMOS são cercados por um anel de guarda sendo todo o grupo cercado por uma estrutura poço N (*N-Well*). Tenta-se com essas medidas isolar ao máximo os transistores dentro de cada estágio, bem como um estágio do outro, evitando assim acoplamentos indesejados e adulteração do sinal por ruído externo ao circuito.

Para redução do ruído, ligou-se as duas extremidades das portas dos transistores. Pode-se provar que o *layout* dos transistores com vários dedos e a união das extremidades das portas dos dispositivos reduz a resistência da porta para $\frac{1}{4}$ do seu valor total [15,16,20].

Essa resistência, em altas frequências, pode adicionar um ruído considerável ao circuito,

degradando a sua figura de ruído.

Para evitar-se o roteamento de sinais com linhas de polisilício que possui uma alta resistência de folha ($\sim 55 \Omega / \square$), utilizou-se a segunda camada de metal denominada *metal2*. A Figura 80 apresenta em detalhes um dos quatro blocos do estágio de transcondutância.

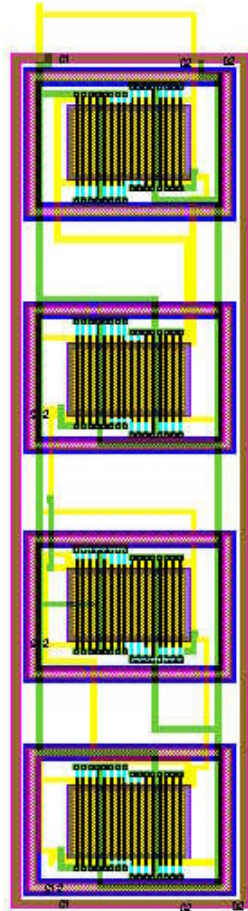


Figura 79 – Estágio de transcondutância na estrutura Centróide Comum.

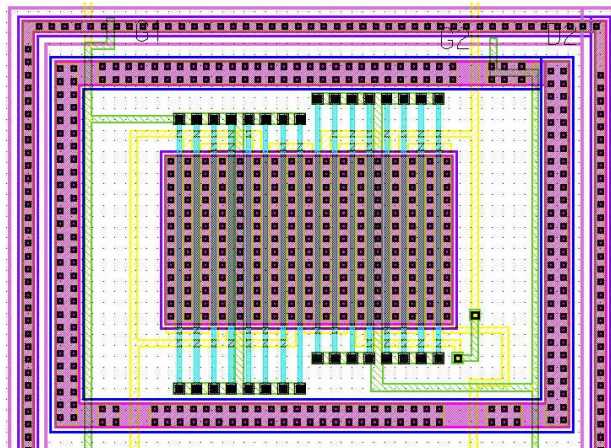


Figura 80 – Bloco do estágio de transcondutância.

4.2.1.2 Estágio de Chaveamento

Esse estágio é composto por dois pares diferenciais [M₄-M₅ e M₆,M₇], como mostrado na Figura 78. O *layout* desse estágio se fez de forma análoga ao do estágio de transcondutância possuindo, entretanto, o dobro de transistores.

Nesse estágio, dividiu-se cada par diferencial (M₄,M₅ e M₆,M₇) em quatro blocos com oito dedos cada um, quatro dedos para cada transistor dentro do bloco, como mostrado nas Figuras 81 e 82. Assim, temos dezesseis transistores em paralelo com dimensões ($52\lambda / 2\lambda$). Todas as observações feitas a respeito do estágio de transcondutância se aplicam igualmente ao estágio de chaveamento.

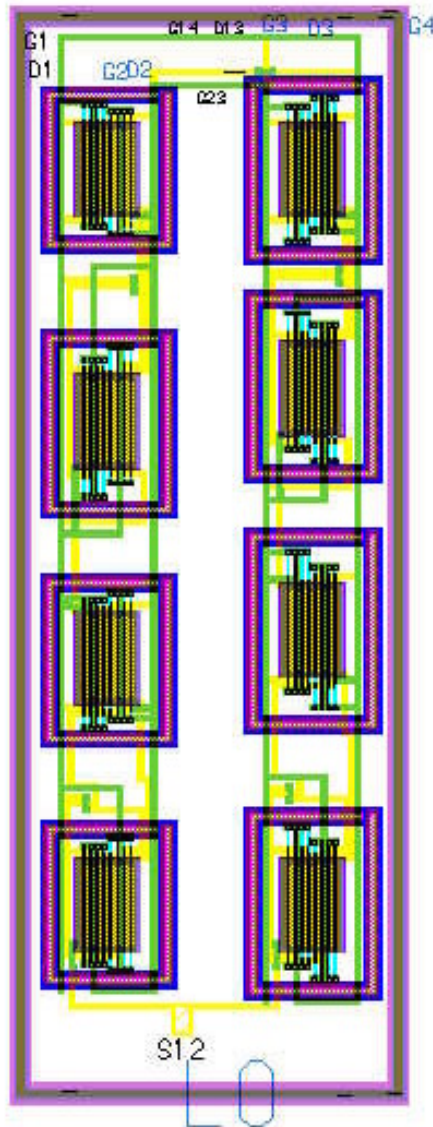


Figura 81 - Estágio de chaveamento.

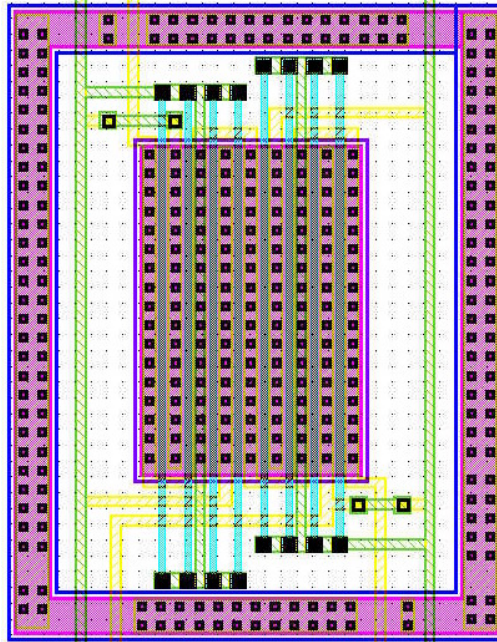


Figura 82 – Detalhe de 1 bloco do estágio de chaveamento.

4.2.1.3 Estágio de Carga

O *layout* desse estágio difere levemente dos anteriores por se tratar de transistores PMOS. Cada transistor PMOS foi realizado dentro de um poço N, diferente dos estágio anteriores que foram cercados por um poço N, como pode ser visto nas Figuras 83 e 84. Para isolamento, cada transistor foi envolvido por um anel de guarda, pelos motivos citados anteriormente. Da mesma forma, as portas dos transistores foram conectadas de forma análoga aos estágios anteriores.

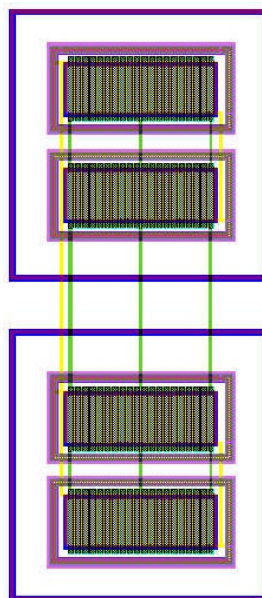


Figura 83 - Estágio de carga.

Cada transistor desse estágio foi dividido em dois blocos com vinte transistores cada, com dimensões ($135,5\lambda / 16,5\lambda$).

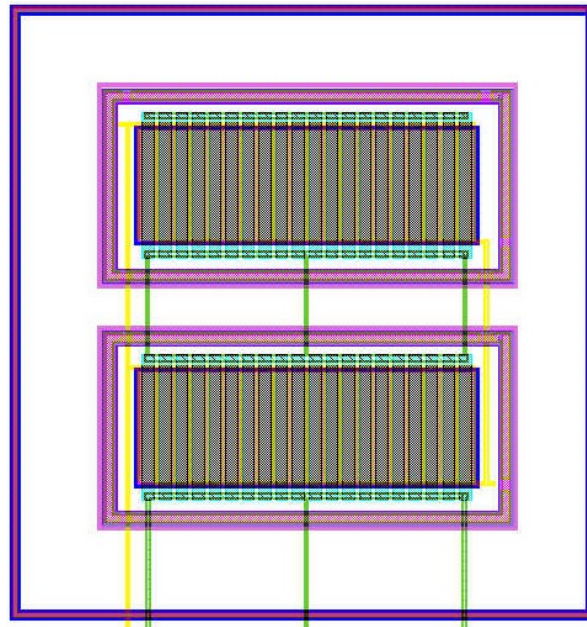


Figura 84 - Detalhe de 1 bloco do estágio de carga.

4.2.1.4 Resistores R_L

Os resistores R_L , utilizados para avaliar a tensão modo-comum média na saída do misturador foram realizados utilizando-se uma camada especial chamada *Silicide Block* (a região retangular preenchida com “x” na Figura 85). Esta camada produz resistores com uma menor variação percentual na sua resistência comparada a outras camadas como poço-N, implante N+/P+ e polisilício. Possui também uma razoável resistência de folha de aproximadamente $170 \Omega / \square$. O *layout* de um resistor foi realizado com polisilício (retângulos verdes) sobre *Silicide Block* em formato de serpentina, visando-se reduzir o efeito dos *corners*, como mostrado na Figura 85.

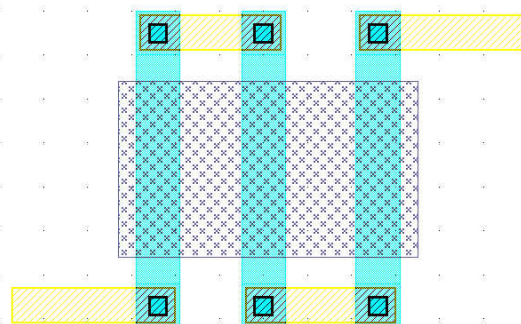


Figura 85 - *Layout* de 1 Resistor R_L .

Cada resistor possui $12 \square$ totalizando 2050Ω . O fato da resistência ser um pouco maior do que a inicialmente projetada é benéfica ao desempenho do circuito, pois aumenta o ganho de conversão. Entretanto, contribui também para um aumento na figura de ruído do circuito.

4.2.1.5 Indutores

O *layout* dos indutores foi obtido através do software ASITIC. Nessa ferramenta, pode-se otimizar um indutor para área, fator de qualidade (Q) ou indutância. Como área inicialmente não apresentava-se como uma restrição de projeto, optou-se pela otimização do valor da indutância.

Como resultado final, obteve-se um valor de 3,19 nH com um Q de 2,7. Os indutores, apresentados na Figura 86, foram realizados utilizando-se a camada de metal mais afastada do substrato (*metal5*), visando-se reduzir as perdas por acoplamentos e parasitas. Como poderá ser verificado posteriormente, os indutores ocupam a maior área de silício dentre todos os componentes.

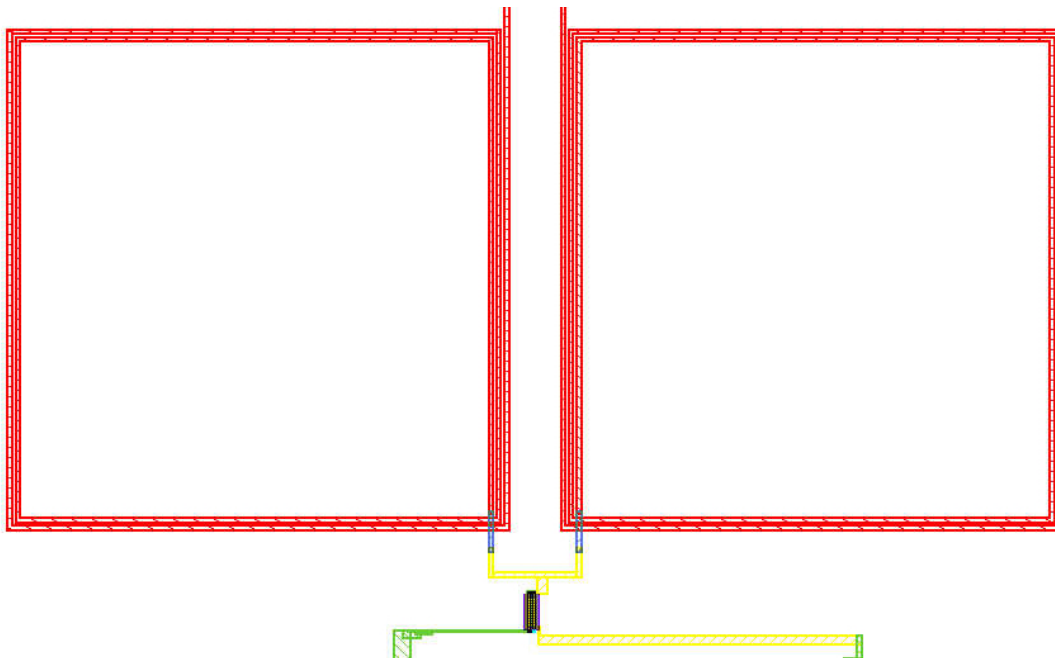


Figura 86 - Indutores.

4.2.2 Rede de Realimentação Modo-Comum

O *layout* da rede de realimentação modo-comum, mostrada na Figura 87, seguiu todas as observações feitas para os blocos anteriores, sendo elas, segmentação em vários dedos, curto nas extremidades das portas dos transistores, anéis de guarda e poço-N quando necessário.

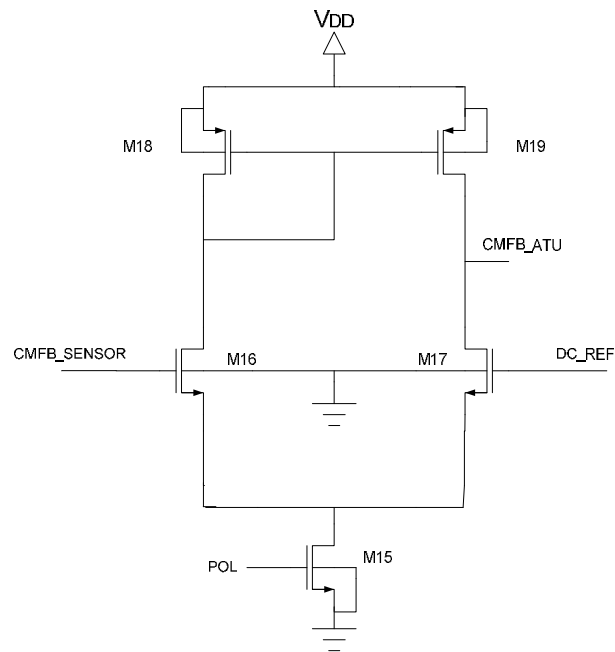


Figura 87 – Circuito da rede de realimentação modo-comum.

Conforme pode ser visto na Figura 88, o transistor M_{15} possui quatro dedos e dimensões $(21\lambda / 4\lambda)$, M_{16}, M_{17} possuem dez dedos $(62,5\lambda / 2\lambda)$ e M_{18}, M_{19} possuem dez dedos $(125\lambda / 4\lambda)$.

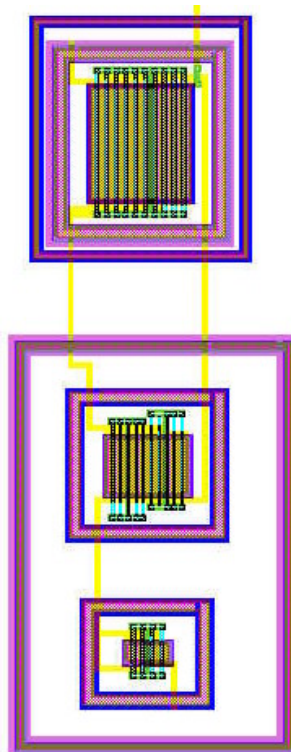


Figura 88 – Layout da rede CMFB.

4.2.3 Balun Ativo

O *layout* do *balun* ativo mostrado na Figura 89, é muito similar ao *layout* da rede CMFB. Assim, observações feitas para o *layout* da rede de realimentação modo-comum se aplicam sem modificações ao *balun* ativo, apresentado na Figura 90.

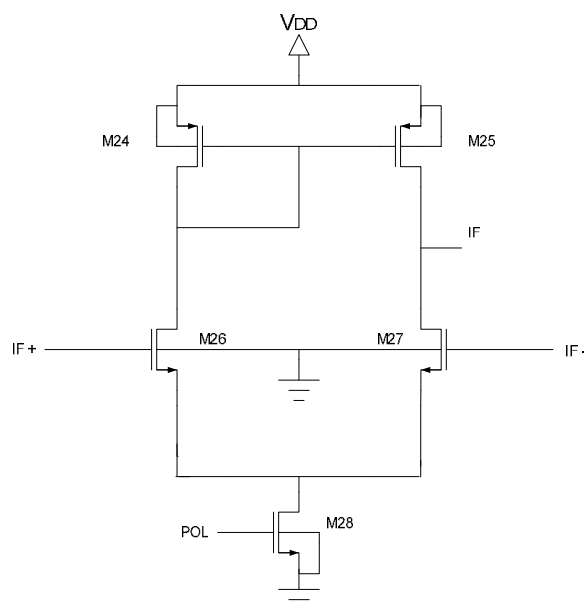


Figura 89 – Circuito Balun Ativo.

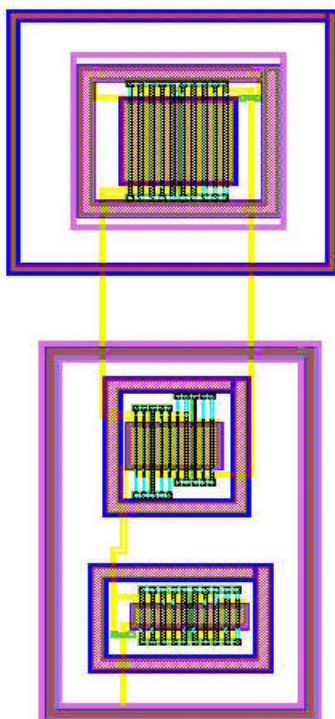


Figura 90 - Layout do Balun ativo.

4.2.4 Capacitor para desvio de Ruído

Utilizando-se a área livre da pastilha, desenvolveu-se um capacitor entre as linhas VDD e GND, com uma capacitância de aproximadamente 96,2 pF, conforme mostrado nas Figuras 91 e 92. Nas frequências de interesse, esse capacitor apresentará uma impedância entre VDD e GND muito menor do que o circuito misturador, desviando assim o ruído da fonte de alimentação.

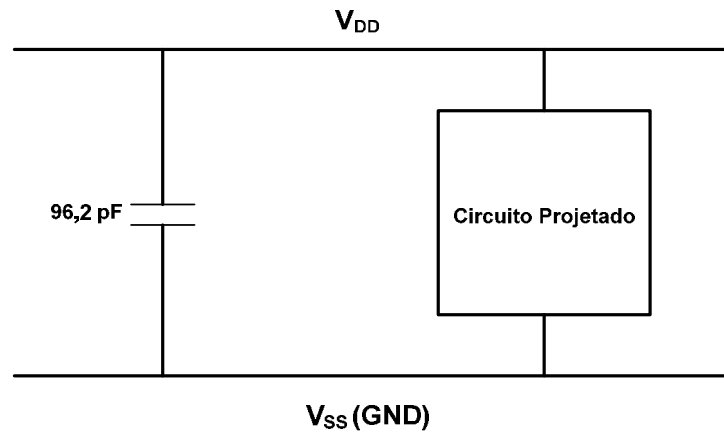


Figura 91 – Capacitor de desvio.

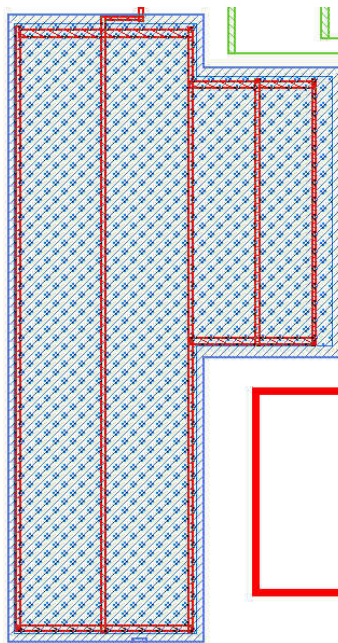


Figura 92 – Layout do capacitor de desvio.

Conforme pode ser visto na Figura 92, esse capacitor foi realizado tendo a placa inferior composta de *metal4* e a placa superior composta por uma camada de metal especial denominada *CAP_TOP_METAL*, a qual oferece uma capacitância de $1 \text{ fF} / \mu\text{m}^2$. Existe ainda uma camada de

óxido entre as duas camadas de metal.

4.2.5 Pads

Utilizou-se o conjunto de *pads* padrão da TSMC, fornecido pela MOSIS. Dentre os *pads* fornecidos destacam-se os *pads* para VDD, GND e I/O. A Figura 93 apresenta o layout final, incluindo-se o *pad-frame*. Suas dimensões, excluindo-se o *pad-frame*, são 930 μm x 890 μm .

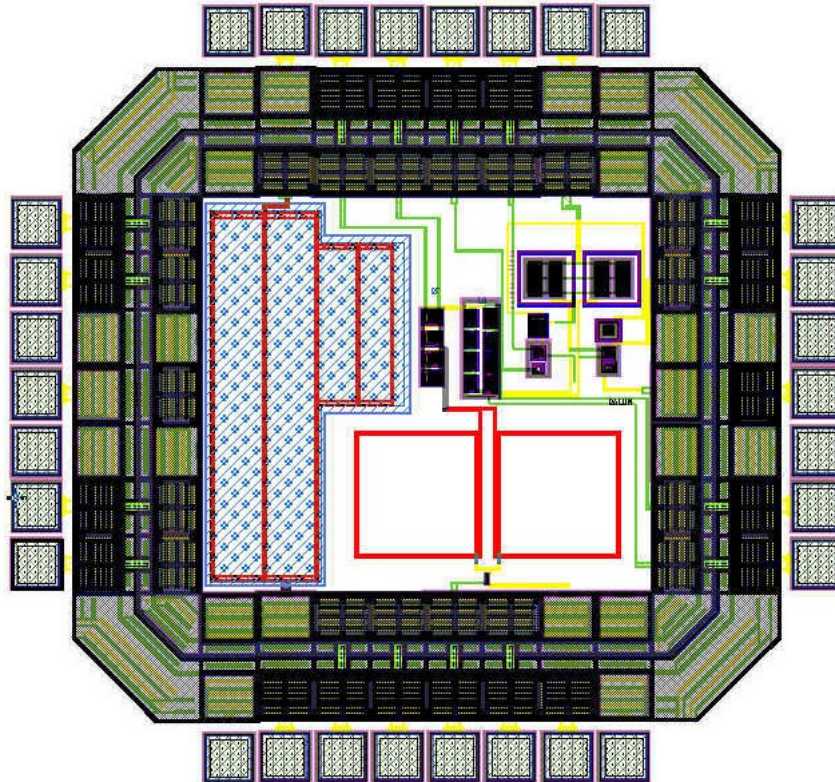


Figura 93 – Layout final do circuito.

Para finalizar este capítulo, foi feita uma análise da bibliografia com respeito aos misturadores realizados em tecnologia CMOS, com os principais trabalhos resumidos na Tabela 3. Na última linha desta tabela estão apresentados os resultados obtidos neste trabalho, para realizar-se comparações entre este trabalho e os demais.

Os dados apresentados nesta tabela estão relacionados com as principais características do misturador, tais como: fonte de alimentação, frequências dos diferentes sinais de entrada, potência do oscilador local, consumo de corrente, ganho de conversão e IIP_3 .

Através da Tabela 3, pode-se perceber a dificuldade em se equilibrar o ganho de conversão de potência e a linearidade do misturador (representada aqui pelo ponto IIP_3), como mostrado pelos trabalhos [25], [29], [30], [31] e [32]. Pode ser comprovada também a relação teórica entre a

corrente de polarização e as especificações ganho de conversão de potência e linearidade, conforme os trabalhos [22] e [23]. A figura de ruído não foi apresentada na Tabela 3, mas também é uma figura de mérito importante no projeto do circuito misturador. Nas condições de tensão de alimentação e consumo do misturador realizado nessa dissertação, uma figura de ruído menor do que 17 dB pode ser considerada muito boa [17-19].

Comparando-se os resultados obtidos com os demais trabalhos encontrados, pode-se dizer que o misturador projetado possui consumo razoável, um bom ganho e uma boa linearidade. E mais, na frequência de 1,8 GHz, atingiu-se o objetivo de equilibrar o ganho de conversão e a linearidade do circuito, com uma figura de ruído de +10,9 dB. Os trabalhos assinalados com um (*) apresentam o ganho de conversão de tensão enquanto os demais apresentam o ganho de conversão de potência.

Fonte	Vdd (Volt)	Freq. RF (GHz)	Freq. LO (GHz)	Potência LO [dBm]	Corrente [mA]	Ganho [dB]	IIP ₃ [dBm]	Tecnologia [μm]
[22]	3,0	1,8	1,65	-2	5,2	+10,4	-6	0,35 CMOS
[22]	3,0	1,8	1,65	+7		-7,5	+16	0,35 CMOS
[23]	3,0	0,90	1,0		0,5	-8,4	+26	0,8 CMOS
[23]	2,0	0,90	1,0		1,5	-2,2	+6	0,5 CMOS
[24]		2,4	2,4	0	4,0	+6,4	+17	- CMOS
[26]*	1,8	2,42	2,45	-25		+27	-3,7	0,18 CMOS
[26]*	1,8	2,42	2,45	-25		+32	-12	0,18 CMOS
[27]	1,8	2,1			3,2		+48,8	0,18 CMOS
[28]	1,8	2,1			4,0	0	+66	0,18 CMOS
[25]	1,8	2,1	2,1	0		-7,1	+7	0,25 CMOS
[29]*	2,8	1,3	1,16		3,0	+17	+5,5	0,35 CMOS
[30]	1,8	2,4	2,3	-8	3,3	+6,7	-7,5	0,35 CMOS
[31]	3,0	0,90	0,45	-15,4	1,72	+13	-10,6	0,35 CMOS
[32]	3,3	2,4	2,398	+4	1,02	+12	-1,8	0,35 CMOS
Este Trabalho	2,5	1,8	1,6	+5	3,0	+12,1	+3,1	0,25 CMOS

Tabela 3 - Principais características de alguns misturadores desenvolvidos.

Nesse ponto, vale a pena destacar o fato deste trabalho ter sido aceito em dois congressos internacionais IEEE, sendo eles o *IEEE APCCAS 2006 (IEEE Asia Pacific Conference on Circuits and Systems)* e o *IEEE TENCON 2006 (IEEE Tenth Region Conference)*, comprovando-se assim, a qualidade do circuito misturador desenvolvido.

CAPÍTULO 5

5 Conclusões

Este trabalho de mestrado foi desenvolvido no grupo de microeletrônica da Universidade Federal de Itajubá, consistindo de estudo, projeto, simulação e *layout* de um circuito misturador para baixo (*downconverter mixer*).

Utilizando-se a tecnologia CMOS 0,25 μ m da Taiwan Semiconductor Manufacturing Co. – TSMC, desenvolveu-se o projeto com o auxílio de ferramentas de simulação (ADS e VSmith2.03) e *layout* (Mentor Graphics e ASITIC). Através do software ASITIC obteve-se o modelo “p” dos indutores utilizados bem como o fator de qualidade Q utilizado pelo software ADS durante a simulação. Como estrutura básica do misturador foi utilizada a célula de Gilbert. Um estágio para melhorar a linearidade, uma rede de realimentação modo-comum e um circuito para conversão de sinais diferenciais ou balanceados para sinais em terminação simples (*balun* ativo) foram utilizados no circuito projetado. Estágios de casamento de impedância de entrada e saída foram utilizados durante as simulações deste circuito.

Buscou-se atingir como meta nesse trabalho um equilíbrio entre ganho de conversão de potência e linearidade, além de consumo e figura de ruído tão baixos quanto possível. Cuidados especiais foram tomados durante a etapa de *layout*, buscando-se otimizar ao máximo a performance pós-*layout* do circuito.

Durante as simulações utilizou-se os valores de polarização nas portas RF e LO, 1,2V e 1,4V, respectivamente. A frequência dos sinais RF e LO foram 1,8 GHz (devido a intenção do grupo de desenvolver um transceptor completo operando em 1,8 GHz) e 1,6 GHz, respectivamente. A tensão de alimentação do circuito foi de 2,5V. O nível de potência utilizado na entrada LO foi de +5 dBm. Como resultado, obteve-se um ganho de conversão de potência de +12,1 dB e um IIP₃ de +3,1 dBm, bem como uma figura de ruído do bloco misturador de +10,9 dB. A corrente de polarização utilizado no circuito misturador foi 3 mA, com um consumo total de 8,25 mW. Pode-se dizer que, baseado em resultados obtidos em projetos similares (ver Tabela 3) encontrados na literatura, os resultados obtidos são bastante satisfatórios.

Vale a pena destacar o fato deste trabalho ter sido aceito em dois congressos internacionais IEEE, sendo eles o **IEEE APCCAS 2006** (*IEEE Asia Pacific Conference on Circuits and Systems*)

e o *IEEE TENCON 2006 (IEEE Tenth Region Conference)*, comprovando-se assim, a qualidade do circuito misturador desenvolvido.

5.1 Recomendações para trabalhos futuros

O circuito misturador pode ser alterado em alguns pontos, visando-se melhorar uma ou outra figura de mérito, tais como:

- Utilização de diferentes tipos de carga ativa, buscando um melhor desempenho de ganho, figura de ruído e faixa dinâmica de operação.

- Utilização de uma topologia modificada da célula de Gilbert como *micromixer* e *folded mixer* [2,13,39]. Cada uma dessas topologias possuem vantagens e desvantagens com relação a célula de Gilbert básica.

- Para o circuito misturador para baixo pode-se adicionar na sua saída um filtro passa-baixa, o qual permitiria a eliminação de frequências não desejadas, além de fixar a carga total na saída do misturador.

- Realização de um estágio de cascode diferencial no circuito (transistores M10 e M11 na Figura 93), o qual permitirá um maior isolamento entre os terminais RF e LO.

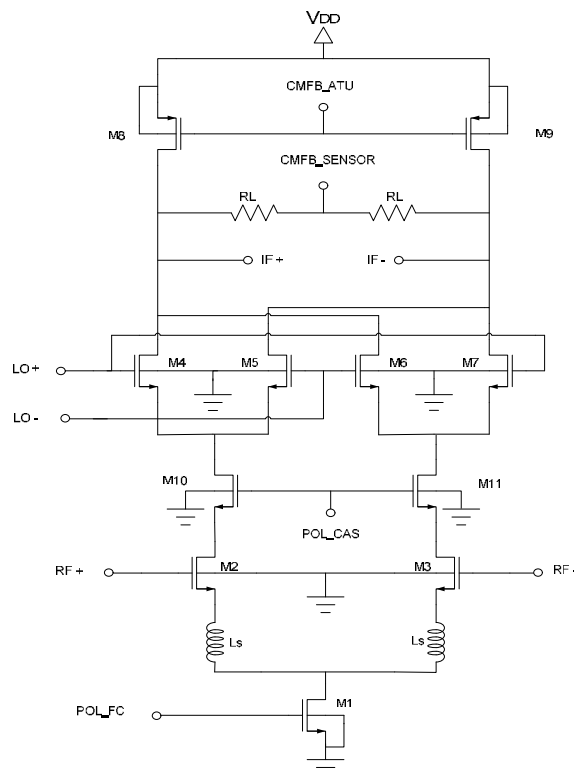


Figura 93 - Alteração na estrutura do misturador para melhorar a isolamento entre os terminais RF e LO.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] LEE, T. H. The Design of CMOS Radio-Frequency Integrated Circuits. Cambridge University Press, 1998. 598p.
- [2] M. Everson, “Projeto de Misturador com topologia Célula de Gilbert utilizando pHEMT”, Tese de Doutorado apresentada na Universidade Estadual de Campinas – UNICAMP.
- [3] B. Razavi, RF Microelectronics, Prentice-Hall, 1998.
- [4] L. Steve, RFIC MOS Gilbert Cell Mixer Design, Design Seminar Agilent Technologies, <http://www.agilent.com/seminar>.
- [5] M. A. Leonard, M. Tajinder, “A Low Voltage and Low Power Integrated Radio Frequency Mixer”, IEEE Canadians Conference on Electrical and Computer Engineering Shaw Conference Center, pp.525-526, 1999.
- [6] F. Sveto, V. Della Torre, R.Castello, “A Low Voltage Topology for CMOS RF Mixers”, IEEE
- [7] Anh-Tuan Phan, Chang-Wan Kim, Moon-Suk Jung, Yun-A Shim, Jae-Yung Kim, Sang-Gug Lee, “A Novel 1.5V DC Offset Cancellation CMOS Down Conversion Mixer”, Electronics and Telecommunications Research Institute-Korea.
- [8] K. Kivekas, et al, “Design of Low Voltage Active Mixer for Direct Conversion Receivers”, IEEE International Symposium on Circuits and Systems (ISCAS), Vol 4. Jun 2001.
- [9] S.G. Lee, et al, “Current-reuse bleeding mixer”, Electronics Letters, Vol 36, Nº 8, April 2000.
- [10] P. J. Sullivan, B. A. Xavier, W. H. Ku, “Low Voltage Performance of a Microwave CMOS Gilbert Cell Mixer”, IEEE NSF ICAS Center Award, 1007.
- [11] F. Ge, T. Roque, “A Double Balanced 0.25 μm Mixer for Low-IF Receiver”, Report of ASU EEE524.
- [12] J. P. Silver, “Gilbert Cell Mixer Design Tutorial”, RF, RFIC & Microwave theory Design, <http://www.rfic.co.uk>.
- [13] J. W. Wang, “A Current Folded Down Conversion Mixer in 0.18 μm CMOS”.
- [14] FONG, Keng Leong. Design and Optimization for Monolithic RF Downconversion Mixers. 1997. 104 p. Ph.D Dissertation – Department of Electrical Engineering and Computer Sciences, University of California, Berkeley. 1997.
- [15] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, 2000.

- [16] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS – Circuit Design, Layout and Simulation", IEEE Press, 1998.
- [17] Tuan-Anh Phan, Chang-Wang Kim, Min-Suk Kang and Sang-Gug Lee, "Low Noise and High Gain CMOS Down Conversion Mixer", REME Lab, 2004.
- [18] Hooman Darabi and Asad A. Abidi, "Noise in RF VMOS Mixers: A Simple Physical Model", IEEE Transactions on Solid State Circuits, 2000.
- [19] Manolis T. Terrovitis, Robert G. Meyer, "Noise in Current-Commutating CMOS Mixers", IEEE Journal of Solid, -State Circuits, 1999.
- [20] John Wiley & Sons, Inc., "High-Frequency Analog Integrated Circuit Design", Ravender Goyal, 1995.
- [21] Sedra & Smith, "Microeletrônica", 4ª Edição, Makron Books, 2000.
- [22] GEFROY, Vicent. Conception de Circuits Integres Radiofrequences sur Technologie CMOS pour des Applications sans fil Grand Public: Application aux Melanguers, 2002. 253 p. These Doctorat – École Nationale Supérieure des Télécommunications. Oct 2002.
- [23] KAN, T. et. al. A 2-V 900-MHz CMOS Mixer for GSM Receivers. IEEE International Symposium on Circuit and Systems. Geneva, Switzerland, p. 327-330, Jun. 2000.
- [24] LEHNE, M.; Stonick, J.; Moon, U. An Adaptive Offset Cancellation Mixer for Direct Conversion Receivers in 2.4GHz CMOS, IEEE International Symposium on Circuit and Systems, Geneva, Switzerland, v. I, p. 319-322, May. 2000.
- [25] PIHL, Jacob; CHRISTENSEN, Kare Tais; BRUUN, Erik. Direct Downconversion with Switching CMOS Mixer. Proc. IEEE International Symposium on Circuits and Systems. Sydney, Australia, p. 117-120, May 2001.
- [26] LI, Q.; YUAN, J. S. Linearity Analysis and Design Optimization for 0.18 μ m CMOS RF Mixer, IEE Proc. Circuits Devices Syst., v. 149, n. 2, Apr. 2002.
- [27] MANSTRETTA, D.; SVELTO, F. Analysis and Optimization of IIP2 in CMOS Direct Down-Converters. IEEE Custom Integrated Circuits Conference. Orlando, USA, p. 243-246, 2002.
- [28] MANSTRETTA, Danilo. et. al. A 0.18 μ m CMOS Direct-Conversion Receiver Front-End for UMTS. IEEE International Solid-State Circuits Conference, San Francisco, USA, p. 461-463, 2002.
- [29] SVELTO, Francesco. et. al. Implementation of CMOS LNA Plus Mixer for GPS Application with External Component. IEEE Trans. on VLSI Systems, v. 9, n. 1, p. 100-104, Feb. 2001.
- [30] TANG, Chih-Chun. et. al. A 2.4-GHz CMOS Down-Conversion Doubly Balanced Mixer with Low Supply Voltage. The International Symposium on Circuits and Systems, Sydney, p. 794-797, May. 2001.

- [31] ZHANG, Z.; CHEN, Z.; LAU, J. A 900MHz CMOS Balanced Harmonic Mixer for Direct Conversion Receivers. Proc. IEEE Radio and Wireless Conference 2000 (RAWCON2000), Denver, USA, p. 219-222, Sept. 2000.
- [32] Dario, Rubén. “Estudo e Projeto de um Misturador CMOS para RF”, Dissertação de mestrado apresentada à Escola Politécnica da Universidade de São Paulo, 2003.
- [33] Abidi, A. A., “Direct-Conversion Radio Transceivers for Digital Communications.”, IEEE Journal of Solid-States Circuits, Vol 30, nº 12, pp. 1399-1410, December 1995.
- [34] Mirabbasi, S.; Martin, K., “Classical and Modern Receiver Architectures.”, IEEE Communications Magazine, pp. 132-139, November 2000.
- [35] Rudell, J. C.; Ou, J.; Cho, T. B.; Chien, G.; Briant, F.; Weldon, J. A.; Gray, P. R., “A 1.9 GHz wide-band IF double conversion CMOS receiver for cordless telephone applications”, IEEE Journal of Solid-States Circuits, Vol 32, nº 12, pp. 2071-2088, December 1997.
- [36] Crols, J.; Steyaerd, M. S. J., “A single chip 900 MHz CMOS receiver front-end with a high performance Low-IF topology”, IEEE Journal of Solid-States Circuits, Vol 30, nº 12, pp. 1438-1492, December 1995.
- [37] Stiles, J., University of Kansas, <http://www.ittc.ku.uc>, Handouts nº 1-25, 30-36, December 2001.
- [38] Gilbert, B., “A Precise Four-Quadrant multiplier with subnanosecond response”, IEEE Journal of Solid-States Circuits, SC-3, pp. 365-373, 1968.
- [39] Gilbert, B., “The Micromixer: A highly linear variant of the Gilbert mixer using a bisymmetric class-AB input stage”, IEEE Journal of Solid-States Circuits, Vol 32, pp. 1412-1423, September 1997.