

César William Vera Casañas

# **Uma técnica de polarização para um comparador de corrente CMOS**

Brasil

2022

César William Vera Casañas

# **Uma técnica de polarização para um comparador de corrente CMOS**

Tese submetida ao programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Doutor em Ciências em Engenharia Elétrica.

Universidade Federal de Itajubá – UNIFEI

Instituto de Engenharia de Sistemas e Tecnologia da Informação - IESTI

Programa de Pós-Graduação

Orientador: Prof. Dr. Robson Luiz Moreno

Coorientador: Prof. Dr. Osamu Saotome

Brasil

2022

*Para elas:  
Maria Eugênia, Lílana, e Natália.*

# Agradecimentos

Este trabalho foi possível em primeiro lugar ao professor Tales Cleber Pimenta, ele me abriu a porta do programa de pós-graduação em Engenharia Elétrica da UNIFEI. Professor, fico muito agradecido. Agradeço também aos professores do grupo de microeletrônica Luis Henrique, Gustavo, e Odilon porque sempre esclareceram minhas dúvidas. Muito obrigado a meus colegas e amigos Enock, Paulo e Thainann que me auxiliaram em diferentes formas. Foi fundamental a excelente convivência com meus amigos da república: Cristian, Franco, Raul, Tiago, Cláudio e Julito, gente, muito obrigado. Fico grato com Luciana de Lorenzo. Ao grupo de suporte técnico: Helaine, Patrícia, Anderson e Nedson, obrigado pelo valioso suporte . Prezado professor Osamu Saotome, pela oportunidade oferecida do projeto CISB, muito obrigado. Agradeço a CAPES, FAPEMIG, e IMEC por promover o suporte financeiro necessário para o desenvolvimento deste trabalho. Professor Gabriel Fanelli, pelas grandíssimas e oportunas contribuições, muito obrigado. Por último, e precisamente por isso, porque os últimos são os primeiros, deixo por aqui meu sentimento de infinita gratidão ao professor Robson Luiz Moreno, na verdade faltam palavras para gratificar o trabalho feito por e com o senhor.

*“All Things are Difficult Before they are Easy.”  
(Thomas Fuller)*

# Resumo

Neste trabalho é apresentada uma técnica para polarizar um comparador de corrente CMOS. O circuito comparador de corrente utiliza o bloco seguidor de tensão dobrado (*flipped voltage follower - FVF*) como estágio de entrada, e uma estrutura cascode é proposta para polarizar de forma adequada este estágio. São apresentadas alternativas para polarizar o bloco de entrada, sendo demonstrado o compromisso que existe entre o tempo de resposta e a impedância de entrada do circuito. A tecnologia CMOS do processo *Taiwan Semiconductor Manufacturing Company* (TSMC) 0,18  $\mu\text{m}$  foi utilizada para projetar e fabricar o circuito. Os resultados da simulação pós-leiaute mostram que o comparador de corrente, com a estrutura proposta para polarizar o estágio de entrada, exibe um tempo de propagação de 7,5 ns com um consumo de potência de 47  $\mu\text{W}$  quando a entrada é uma corrente pulsada de amplitude  $\pm 2 \mu\text{A}$  com frequência de 50 MHz. O valor da impedância de entrada é de 50  $\Omega$  na frequência de operação. A corrente mínima, nas baixas frequências, que o circuito pode detectar é de 200 pA. A estrutura cascode, proposta para polarizar o bloco FVF, fornece um valor de tensão de 1,01 V com um coeficiente de variação de  $\pm 0,001\%$ . Os resultados da caracterização do protótipo fabricado confirmam que a técnica proposta para polarizar o circuito de entrada do comparador de corrente é apropriada e funcional.

**Palavras-chave:** CMOS, TSMC, FVF, tempo de propagação, impedância de entrada, potência, pós-leiaute.

# Abstract

In this work a technique to bias a CMOS current comparator is presented. The current comparator circuit uses the flipped voltage follower (FVF) block as input stage, and a cascode structure is proposed to bias properly this stage. Alternatives to bias the input block are presented, demonstrating the trade-off between the response time and the input impedance of the circuit. The circuit was developed using the CMOS technology of the Taiwan Semiconductor Manufacturing Company (TSMC) 0.18  $\mu\text{m}$  process. The post-layout simulation results show that the current comparator, with the proposed structure to bias the input stage, exhibits a propagation time of 7.5 ns with a power consumption of 47  $\mu\text{W}$  when the input is a pulsed current amplitude  $\pm 2 \mu\text{A}$  with a frequency of 50 MHz. The input impedance value is 50  $\Omega$  at the operating frequency. The minimum current, at low frequencies, that the circuit can detect is 200 pA. The cascode structure, proposed to bias the FVF block, provides a voltage value of 1.01 V with a coefficient of variation of  $\pm 0.001\%$ . The results of the characterization of the manufactured prototype confirm that the current comparator, with the proposed technique to bias the input circuit, is appropriate and functional.

**Key-words:** CMOS, TSMC, FVF, time propagation, input impedance, power, post-layout.

# Resumen

En este trabajo es presentada una técnica para polarizar un comparador de corriente CMOS. El comparador de corriente utiliza el circuito seguidor de tensión doblado (*flipped voltage follower - FVF*) como entrada, y una estructura apilada es propuesta para polarizar de forma adecuada este circuito. Son abordadas alternativas para polarizar el circuito de entrada, siendo demostrado el compromiso que existe entre el tiempo de respuesta y la impedancia de entrada sistema. El circuito fue implementado utilizando el proceso *Taiwan Semiconductor Manufacturing Company* (TSMC) 0,18  $\mu\text{m}$  de la tecnología CMOS. Los resultados de la simulación *post-layout* indican que el comparador de corriente, con la estructura propuesta para polarizar el circuito de entrada, presenta un tiempo de propagación de 7,5 ns con un consumo de potencia de 47  $\mu\text{W}$  cuando la señal de entrada es una corriente de  $\pm 2 \mu\text{A}$  con frecuencia de 50 MHz. El valor de la impedancia de entrada es 50  $\Omega$  en la frecuencia de operación. La corriente mínima, en baja frecuencia, que el circuito puede detectar es de 200 pA. La estructura apilada, propuesta para polarizar al circuito FVF, proporciona un valor de tensión de 1,01 V con coeficiente de variación de  $\pm 0,001 \%$ . Los resultados de las medidas, obtenidas en el laboratorio, del circuito fabricado confirman que el comparador de corriente, utilizando la técnica propuesta para polarizar el circuito de entrada, es adecuada y funcional.

**Palabras clave:** CMOS, TSMC, FVF, tiempo de propagación, impedancia de entrada, potencia, *post-layout*.

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>14</b>
1.1	Justificativa	15
1.2	Objetivos	17
1.3	Estrutura do trabalho	18
<b>2</b>	<b>REFERENCIAL BIBLIOGRÁFICO</b>	<b>19</b>
2.1	Comparadores de Corrente	19
<b>3</b>	<b>PROPOSTA PARA POLARIZAR O CIRCUITO FVF</b>	<b>26</b>
<b>3.1</b>	<b>Polarização por meio de resistor passivo</b>	<b>26</b>
3.1.1	Descrição funcional do CC	26
3.1.2	Impedância de entrada	29
3.1.3	Polarização do bloco FVF	32
3.1.4	Amplificador Inversor	34
3.1.5	Inversor digital	35
<b>3.2</b>	<b>Polarização por intermédio de uma estrutura cascode</b>	<b>37</b>
<b>3.3</b>	<b>Polarização mediante transistor composto</b>	<b>41</b>
<b>4</b>	<b>RESULTADOS DAS SIMULAÇÕES PÓS-LEIAUTE E DAS MEDIÇÕES REALIZADAS NO LABORATÓRIO</b>	<b>47</b>
<b>4.1</b>	<b>Leiaute do circuito CC</b>	<b>47</b>
4.1.1	Resultados pós-leiaute	48
4.1.2	Resultados experimentais	53
<b>5</b>	<b>CONCLUSÕES E TRABALHOS FUTUROS</b>	<b>59</b>
	<b>ANEXOS</b>	<b>61</b>
	<b>ANEXO A – MÉTODO DE PROJETO <math>g_m/I_D</math></b>	<b>62</b>
	<b>ANEXO B – SIMULAÇÃO E CARACTERIZAÇÃO DA IMPEDÂNCIA DE ENTRADA</b>	<b>69</b>
B.1	Avaliação utilizando os parâmetros $S$	69
B.2	Medição física da impedância de entrada	71
	<b>REFERÊNCIAS</b>	<b>75</b>

# Lista de ilustrações

Figura 1.1 – Circuito <i>Flipped Voltage Follower</i> (FVF) utilizado como estágio de entrada. . . . .	15
Figura 1.2 – Polarização de $M_2$ e $M_4$ mediante um espelho de corrente adicional ( $M_B$ ). . . . .	16
Figura 1.3 – Polarização de $M_2$ e $M_4$ por meio de resistor passivo $R_x$ . . . . .	16
Figura 1.4 – Polarização de $M_2$ e $M_4$ por intermédio de $M_6$ (resistor ativo). . . . .	17
Figura 2.1 – Comparador de corrente Träff. . . . .	19
Figura 2.2 – Comparador de corrente Tang. . . . .	20
Figura 2.3 – Comparador de corrente Lin. . . . .	21
Figura 2.4 – Comparador de corrente Min-Kim. . . . .	22
Figura 2.5 – Bloco FVF utilizado como estágio de entrada porque oferece uma baixa impedância de entrada: entre $20\ \Omega$ e $100\ \Omega$ . . . . .	22
Figura 2.6 – Comparador de corrente reportado por Solis. . . . .	23
Figura 2.7 – Comparador de corrente reportado por Bchir. . . . .	23
Figura 2.8 – Circuito subtrator conectado ao CC. . . . .	25
Figura 3.1 – Comparador de corrente utilizando o resistor $R_x$ para gerar a polarização dos transistores $M_2$ e $M_4$ do estágio de entrada FVF. . . . .	27
Figura 3.2 – Circuito FVF, estágio de entrada do CC. . . . .	27
Figura 3.3 – Comportamento elétrico nos nós do estágio FVF. A corrente de entrada $i_{in}$ é convertida em uma tensão na saída do circuito no nó $v_Y$ . . . . .	28
Figura 3.4 – Modelo de pequenos sinais do estágio de entrada FVF. O nó $V_B$ é adotado como terra <i>ac</i> . . . . .	30
Figura 3.5 – Curva da equação 3.7: $z_{in}$ vs $g_{dsX}$ . . . . .	32
Figura 3.6 – Blocos FVF e AI. . . . .	34
Figura 3.7 – Circuito CC total utilizando resistor passivo para gerar a polarização dos transistores $M_2$ e $M_4$ . . . . .	36
Figura 3.8 – Resposta transiente: tempo de propagação $t_P \approx 3$ ns, $C_{load} = 25$ fF. . . . .	37
Figura 3.9 – Circuito CC utilizando a estrutura cascode proposta para polarizar o estágio da entrada. . . . .	38
Figura 3.10 – Modelo de pequenos sinais do bloco de entrada da Figura 3.9. . . . .	38
Figura 3.11 – Comparação da variação da tensão $V_B$ vs. $i_{in}$ utilizando resistor passivo $R_x$ e dispositivo ativo $M_B$ . . . . .	39
Figura 3.12 – Resposta transiente: tempo de propagação $t_P \approx 2,5$ ns, $C_{load} = 25$ fF. . . . .	40
Figura 3.13 – Circuito FVF com um virtual elemento ativo de alta impedância de saída com baixo comprimento de canal. . . . .	41
Figura 3.14 – Transistor composto e Transistor simples equivalente. . . . .	42
Figura 3.15 – Comparação das curvas $I_D$ vs. $V_{DS}$ dos transistores $T_C$ e $T_S$ . . . . .	43

Figura 3.16–Polarização do bloco FVF por meio de TC. . . . .	43
Figura 3.17–Resposta transiente: tempo de propagação $t_P \approx 38$ ns, $C_{load}=25$ fF. . .	45
Figura 3.18–Tempo de propagação como função da amplitude do sinal de entrada. . .	45
Figura 4.1 – Leiaute do circuito CC empregando a estrutura cascode proposta para polarizar o estágio de entrada FVF. . . . .	47
Figura 4.2 – Variação da tensão $V_B$ no caso típico (TT). . . . .	48
Figura 4.3 – Resposta transiente: tempo de propagação $t_P \approx 7,5$ ns, $C_{load} = 25$ fF. .	49
Figura 4.4 – Característica $v_{out}$ vs. $i_{in}$ . A corrente de entrada mínima para permutar a saída é de $\pm 200$ pA. . . . .	50
Figura 4.5 – <i>Corners</i> da característica $v_{out}$ vs. $i_{in}$ . . . . .	50
Figura 4.6 – Resultados da análise Monte Carlo. Em todos os casos foram executadas 1000 rodadas. . . . .	51
Figura 4.7 – CC conectado ao circuito <i>buffer</i> , que foi projetado para carregar e descarregar uma capacitância $C_{total}$ , estimada em 30 pF. . . . .	52
Figura 4.8 – Leiaute do circuito <i>buffer</i> . . . . .	52
Figura 4.9 – Leiaute do CC conectado ao circuito <i>buffer</i> . Uma estrutura de proteção ESD, em destaque, foi adicionada. . . . .	53
Figura 4.10–Micrografia do protótipo fabricado. Em destaque o circuito CC projetado neste trabalho. A cadeia de inversores ocupa aproximadamente 2/3 da área total do circuito . . . . .	54
Figura 4.11–Configuração da bancada de teste usando fonte de tensão pulsada e resistor para gerar a corrente de entrada pulsada. . . . .	54
Figura 4.12–Protótipo fabricado, sobreposto na placa PCB e dentro de um modelo de gaiola de Faraday. . . . .	55
Figura 4.13–Característica DC $V_{OUT}$ vs. $I_{IN}$ medida com um <i>Agilent B1500A Semiconductor Device Analyzer</i> . . . . .	56
Figura 4.14–Análise transiente medida com um <i>Keysight Infiniium Series Oscilloscope</i> . O tempo de propagação médio é aproximadamente 9 ns. . . . .	56
Figura 4.15–Medida da $Z_{in}$ vs. a frequência realizada com um analisador de rede vetorial <i>Keysight VNA N9923A</i> . . . . .	57
Figura 4.16–Resposta transiente do circuito CC na frequência de 50 MHz - simulação pós-leiaute. . . . .	58
Figura 5.1 – Conversor SAR ADC em modo corrente reportado por Dlugosz O circuito utiliza como CC dois inversores. . . . .	60
Figura A.1– $g_m/I_D$ vs $V_{GS}$ de um transistor NMOS. Modelo BSIM (v4.5), $L=0,2$ $\mu\text{m}$ , $V_{DS}=1,5$ V, $V_{SB}=0$ V, $V_{TH} \approx 550$ mV. . . . .	62
Figura A.2–Estágio de ganho intrínseco. . . . .	63
Figura A.3–Modelo de pequenos sinais do estágio de ganho intrínseco. . . . .	63

Figura A.4–Ganho intrínseco de um transistor NMOS vs eficiência da transcondutância. . . . .	64
Figura A.5–Frequência transiente do transistor vs eficiência da transcondutância. Para obter unidades em Hz, $\omega_u$ é dividida por $2\pi$ . . . . .	65
Figura A.6– <i>Setup</i> de simulação para realizar uma varredura multidimensional. Os parâmetros do dispositivo, como $g_m$ , $g_{mb}$ , $g_{ds}$ , etc, são coletados e salvos num arquivo com ajuda da ferramenta Matlab. . . . .	66
Figura A.7–Ganho de tensão obtido com a análise AC do simulador SPICE. . . . .	68
Figura B.1–Circuito esquemático de teste com elemento <i>port</i> (em destaque) para medir a impedância de entrada por intermédio da análise <i>sp</i> . . . . .	69
Figura B.2–Configuração da análise <i>sp</i> utilizada para avaliar a impedância de entrada do CC. Em destaque o recurso <i>Select</i> para escolher o correspondente porto no circuito esquemático de teste. . . . .	70
Figura B.3–Trajeto <i>Results/Direct Plot/Main Form</i> no ADE para visualizar o resultado da análise <i>sp</i> . . . . .	71
Figura B.4–Janela <i>Direct Plot Form</i> . Após apertar sob <i>Z11</i> é plotada a curva da $Z_{in}$ . . . . .	72
Figura B.5–Impedância de entrada $Z_{in}$ vs. frequência obtida com a análise <i>sp</i> (no caso típico). A $Z_{in}$ , no ponto quiescente, é aproximadamente de 2,2 k $\Omega$ . . . . .	72
Figura B.6–O circuito CC é o correspondente <i>Device Under Test</i> . . . . .	73
Figura B.7– <i>Keysight Vector Network Analyzer 9923A</i> . . . . .	73

# Lista de tabelas

Tabela 2.1 – Comparadores de corrente - Parâmetros de desempenho. . . . .	24
Tabela 3.1 – Dimensões do bloco de entrada do CC da Figura 3.1. . . . .	29
Tabela 3.2 – Parâmetros para traçar a curva apresentada na Figura 3.5. . . . .	32
Tabela 3.3 – Dimensões do CC com resistor (Figura 3.7). . . . .	35
Tabela 3.4 – <i>Corners</i> do CC empregando resistor passivo(Figura 3.7). . . . .	36
Tabela 3.5 – Dimensões do CC utilizando transistor cascode para polarizar o circuito FVF (Figura 3.9). . . . .	40
Tabela 3.6 – <i>Corners</i> do CC com transistor cascode (Figura 3.9). . . . .	40
Tabela 3.7 – Dimensões do CC utilizando TC para polarizar o circuito FVF. . . . .	44
Tabela 3.8 – <i>Corners</i> do circuito CC empregando TC (Figura 3.9). . . . .	44
Tabela 3.9 – Resumo dos resultados obtido dos circuitos CC explanados. . . . .	45
Tabela 4.1 – <i>Corners</i> do CC com transistor cascode (Figura 3.9). . . . .	49
Tabela 4.2 – Dimensões dos inversores do circuito <i>buffer</i> , $L = 0.18 \mu\text{m}$ . . . . .	51
Tabela 4.3 – Valores utilizados na bancada de testes. . . . .	55
Tabela 4.4 – Parâmetros de desempenho do CC projetado neste trabalho e outros. . . . .	58

# Lista de Abreviaturas e Siglas

$I_B$  Corrente de polarização.

$I_D$  Corrente de dreno.

$V_B$  Tensão de polarização.

$V_{DD}$  Tensão de alimentação.

$V_{TH}$  Tensão *threshold* do transistor.

$f_T$  Frequência onde o ganho de corrente do transistor é unitário.

$g_m$  *Transcondutância do transistor*.

**ADC** Conversor analógico-digital.

**ADE** *Analog Design Environment*.

**ATI** Amplificador de transimpedância.

**BSIM** *Berkeley Short-channel IGFET Model*.

**CC** Comparador de corrente.

**CI** circuito integrado.

**CMOS** *Complementary metal-oxide semiconductor*.

**DUT** *Device Under Test*.

**EMI** Interferência eletromagnética.

**FVF** *Flipped Voltage Follower*.

**PCB** *Printed Circuit Board*.

**TC** Transistor Composto.

**TS** Transistor Simples.

**TSMC** *Taiwan semiconductor manufacturing company*.

# 1 Introdução

Na microeletrônica, o contínuo avanço das tecnologias de fabricação dos circuitos integrados provoca uma contínua mudança nas características e especificações dos circuitos. O comprimento de canal cada vez mais reduzido na tecnologia *Complementary metal-oxide semiconductor* (CMOS), propicia o incremento do número de transistores que podem ser integrados em uma pastilha de silício (ou *wafers*), como também possibilita transistores mais rápidos e com maior largura de banda. Dimensões reduzidas, também, impõem o uso de níveis de tensão de alimentação menores, portanto o consumo de potência é menor e a faixa dinâmica disponível na entrada e saída dos circuitos igualmente diminui.

Os projetistas envolvidos na microeletrônica têm o desafio de migrar circuitos projetados em uma tecnologia antiga para outra com menor comprimento de canal. Um dos inconvenientes a contornar neste processo de atualização é o nível reduzido da faixa dinâmica. Uma alternativa para resolver essa consequência da evolução da tecnologia é projetar os circuitos em modo corrente [1].

A literatura apresenta diferentes aplicações que se beneficiaram dos circuitos em modo corrente, como por exemplo filtros para processamento de imagens [2], circuito para amostragem e retenção [3], calibração digital [4], detector de pico [5], conversores analógico-digital (ADC) [6, 7], como técnica de compensação [8], etc.

Entre os diferentes blocos que estruturam as aplicações citadas é de interesse neste trabalho o comparador de corrente (CC). A função desse circuito é, na presença de duas correntes, determinar qual a maior (ou menor) e apresentar a decisão como um dos níveis lógicos, tipicamente representados como '0' ou '1' [7].

Uma baixa impedância de entrada, uma rápida resposta, e um baixo consumo de potência são os principais requerimentos no projeto de um CC [9]. Conciliar uma resposta rápida do circuito com um consumo moderado de potência é de interesse no projeto de um CC, isto por causa do compromisso que existe entre o consumo de potência e a velocidade de resposta dos transistores.

Diferentes projetos de circuitos CC foram publicados. Em 1993, Träff [10] propôs um CC com realimentação não linear e seguidor de fonte como estágio de entrada. Esse circuito apresenta resposta rápida por causa da realimentação e baixa impedância por causa do bloco usado como circuito de entrada, porém, quando a amplitude da corrente de entrada é pequena demais o circuito experimenta uma zona morta e a impedância de entrada se torna grande, isto incrementa o tempo de resposta. Para reduzir essa zona morta, Tang [11] propôs aplicar polarização através de fontes de corrente. A estrutura proposta pelo autor reduz a zona morta, mas em contrapartida incrementa o consumo de

potência.

Em 2000, Lin [12] utilizou um par de transistores MOS conectados como diodo para melhorar a impedância de entrada. Esse circuito apresentou problemas de robustez nas variações de processo. Banks [13] reportou em 2008 um CC baseado no circuito de Träff [10]. Um melhor tempo de resposta e um menor consumo de potência foram as especificações atingidas por este CC, contudo, o circuito sofreu da zona morta, essa mesma deficiência foi apresentada pelo CC proposto por Tang [14].

## 1.1 Justificativa

Para alcançar o requisito de baixa impedância, Solis [9] e Bchir [15] utilizaram o bloco FVF como estágio de entrada. O circuito FVF, apresentado na Figura 1.1, oferece uma impedância de entrada entre  $20 \Omega$  e  $100 \Omega$  [16]. As setas utilizadas simbolizam o fluxo da corrente  $i_{in}$  entrando e saindo no nó  $v_{IN}$ . Os transistores  $M_2$  e  $M_4$  devem ser polarizados com um valor adequado da tensão  $V_B$ . Solis [9] e Bchir [15] não reportaram a informação relacionada à estratégia de polarização dos transistores  $M_2$  e  $M_4$ .

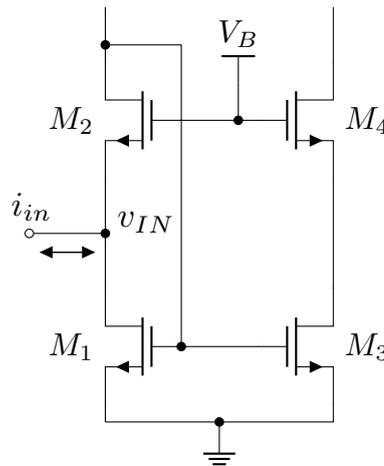


Figura 1.1 – Circuito FVF [16] utilizado como estágio de entrada.

A utilização de um espelho de corrente adicional, como ilustrado na Figura 1.2, para a polarização  $M_2$  e  $M_4$  acarreta maior consumo de potência [17].

A Figura 1.3 apresenta a polarização de  $M_2$  e  $M_4$  por meio de um resistor passivo. Com este método o valor da tensão  $V_B$  é impreciso devido à tolerância dos resistores integrados ( $\approx 30\%$  [19]), que é prejudicada pelas variações do processo e temperatura, além disto, dependendo do valor de  $R_x$ , esta solução pode se tornar inviável, devido à grande área de silício necessária.

Neste trabalho será mostrado que a impedância de entrada do circuito FVF é favorecida quando o dreno do transistor  $M_2$  é conectado a um nó de alta impedância. A

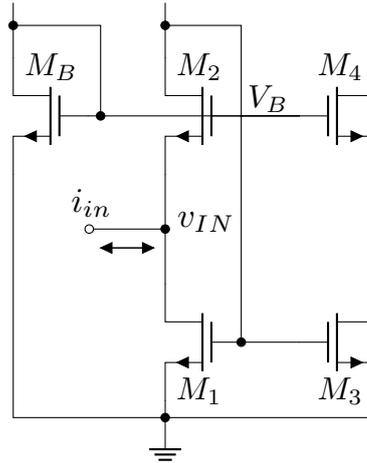


Figura 1.2 – Polarização de  $M_2$  e  $M_4$  mediante um espelho de corrente adicional ( $M_B$ ) [18].

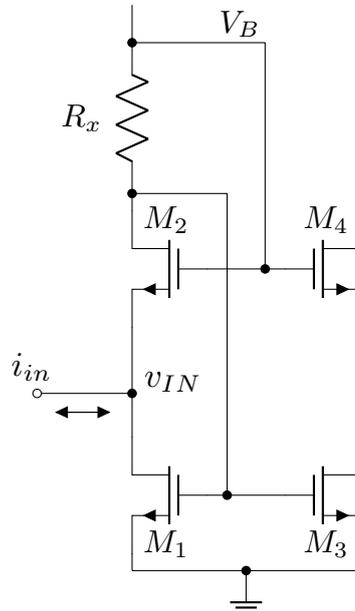


Figura 1.3 – Polarização de  $M_2$  e  $M_4$  por meio de resistor passivo  $R_x$  [20].

Figura 1.4 apresenta uma solução que utiliza o transistor  $M_6$  como resistor ativo [18] para polarizar  $M_2$  e  $M_4$ . Esta estrutura fornece uma impedância de aproximadamente  $1/g_{m6}$  no dreno de  $M_2$ , assim esta alternativa é desconsiderada.

Neste cenário, propor uma estrutura para polarizar apropriadamente os dispositivos  $M_2$  e  $M_4$  do circuito FVF, visualizou-se neste trabalho como uma oportunidade de contribuição e pesquisa. Por conseguinte, este trabalho apresenta como tese uma técnica para polarizar a arquitetura FVF, e para validar-a é utilizada como estágio de entrada em um circuito CC. A estrutura proposta possibilita a polarização dos transistores  $M_2$  e  $M_4$  sem comprometer os principais requerimentos de projeto nem a simplicidade do circuito.

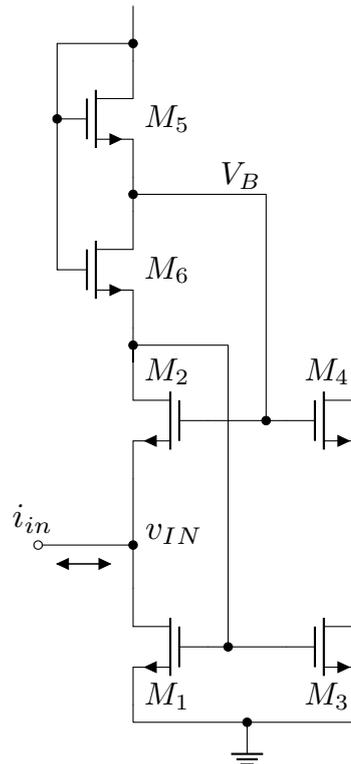


Figura 1.4 – Polarização de  $M_2$  e  $M_4$  por intermédio de  $M_6$  (resistor ativo) [20].

## 1.2 Objetivos

Validar a técnica proposta como tese para polarizar o circuito FVF é o grande objetivo deste trabalho. Para alcançar-o, se faz necessário:

- Abordar alternativas para polarizar os transistores  $M_2$  e  $M_4$  do circuito FVF utilizado como estágio de entrada de um CC.
- Verificar as alternativas abordadas através de simulações dos circuitos esquemáticos a nível de transistor.
- Posteriormente, elaborar o leiaute de pelo menos umas das alternativas para realizar as respectivas simulações no nível pós-leiaute.
- Enviar para fabricação na tecnologia CMOS 0,18  $\mu\text{m}$  da *foundry Taiwan Semiconductor Manufacturing Company* (TSMC).
- Caracterizar no laboratório o circuito fabricado.
- Finalmente, publicar os resultados obtidos nas simulações e coletados no laboratório em revista conceituada.

A ferramenta de simulação usada para o desenvolvimento do projeto foi *Synopsys*® com o simulador HSPICE e o modelo do transistor empregado foi o BSIM (v4.5). Neste

documento foi adotada a notação de sinais seguida por Allen [21]. Assim, os pequenos sinais (*ac*) são representados por caixas e índices baixos tal como  $i_{in}$ . Os níveis de polarização (*DC*) são grafados com caixas e índices altos, como por exemplo  $V_{DD}$ . A componente ac mais a componente DC de um sinal é simbolizada por caixa baixa com índice em caixa alta, tal como  $v_A$ .

### 1.3 Estrutura do trabalho

Este documento está constituído de cinco capítulos. Um referencial teórico é apresentado no segundo capítulo, onde são aprofundados de forma mais detalhada os CC mencionados na presente introdução. São mostrados os benefícios e as deficiências das arquiteturas divulgadas. Uma tabela com resultados reportados na literatura de recentes circuitos CC finaliza o capítulo dois.

Em seguida, no capítulo três, a técnica proposta como tese para polarizar o circuito FVF é apresentada junto com as análises, equacionamento, e resultados de simulação do circuito. Também, nesse capítulo, são apresentadas mais duas alternativas de polarização, resultando uma de elas como um potencial trabalho futuro.

Os resultados das simulações pós-leiaute e das medições realizadas no laboratório, são reportados no capítulo quatro. Ademais, são apresentados os leiautes confeccionados para fabricação do circuito, como também foto do protótipo fabricado.

Finalmente, no capítulo cinco estão registradas as conclusões e trabalhos futuros visados neste trabalho.

## 2 Referencial Bibliográfico

Neste capítulo são apresentados CCs publicados na literatura. São mostrados os benefícios e as deficiências das diferentes arquiteturas divulgadas. Uma tabela comparativa com os resultados das especificações reportadas na literatura de recentes circuitos CC finaliza este capítulo.

### 2.1 Comparadores de Corrente

A função de um comparador de corrente (CC) é, na presença de duas correntes, determinar qual a maior (ou menor) e apresentar a decisão como um de dois níveis de tensão, geralmente, representados como níveis lógicos '0' e '1'. Uma das correntes frequentemente é constante e é chamada de corrente de referência. Pelo fato da saída do CC ser em tensão, também, é chamado de Amplificador de transimpedância (ATI).

A Figura 2.1 apresenta o CC reportado por Träff [10] em 1993. Na estrutura proposta, os transistores  $M_3$  e  $M_4$  estão conectados como um inversor, mas a função é amplificar o sinal de tensão  $v_{in}$  gerado pelo fluxo da corrente  $i_{in}$  entrando ou saindo do nó  $v_{in}$ , como ilustrado pelas setas da Figura 2.1.  $M_1$  e  $M_2$  estabelecem um laço de realimentação positiva, com o intuito de aprimorar a velocidade de resposta, além disto, estão conectados como seguidor de fonte, para obter baixa impedância na entrada.

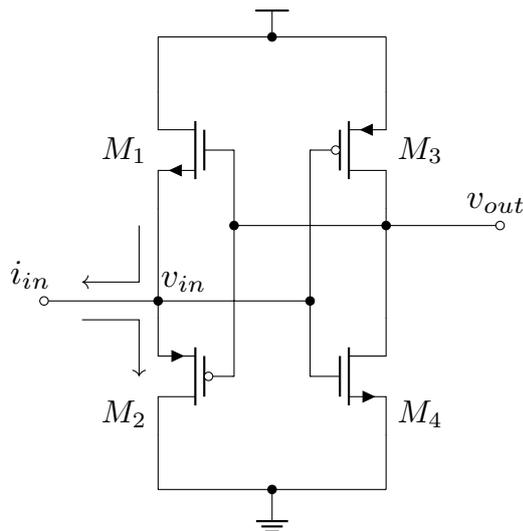


Figura 2.1 – Comparador de corrente Träff [10].

O circuito possui baixa complexidade, porém, o CC é afetado por uma zona morta que acontece quando a amplitude da corrente de entrada é pequena demais para gerar uma variação significativa tanto do valor da tensão  $v_{in}$ , quanto do valor da tensão  $v_{out}$ ,

isto limita a velocidade de resposta do circuito. Outra desvantagem desse CC, também associada ao nó  $v_{in}$ , surge por causa do nó não atingir o valor máximo ou o valor mínimo da fonte de alimentação  $V_{DD}$ , portanto  $M_3$  e  $M_4$  nunca estão totalmente desligados, logo, o consumo de potência é prejudicado [22].

Para corrigir a zona morta do CC anterior, foi reportado por Tang [11] o CC apresentado na Figura 2.2. A proposta baseia-se em polarizar os transistores que compõem o estágio de entrada,  $M_1$  e  $M_2$ , através das fontes de corrente  $I_{B1}$  e  $I_{B2}$ , e os transistores conectados como diodos  $M_5$  e  $M_6$ , respectivamente. O circuito consegue diminuir a zona morta, em contrapartida, ele é mais complexo que o circuito anterior e ainda incrementa o consumo de potência.

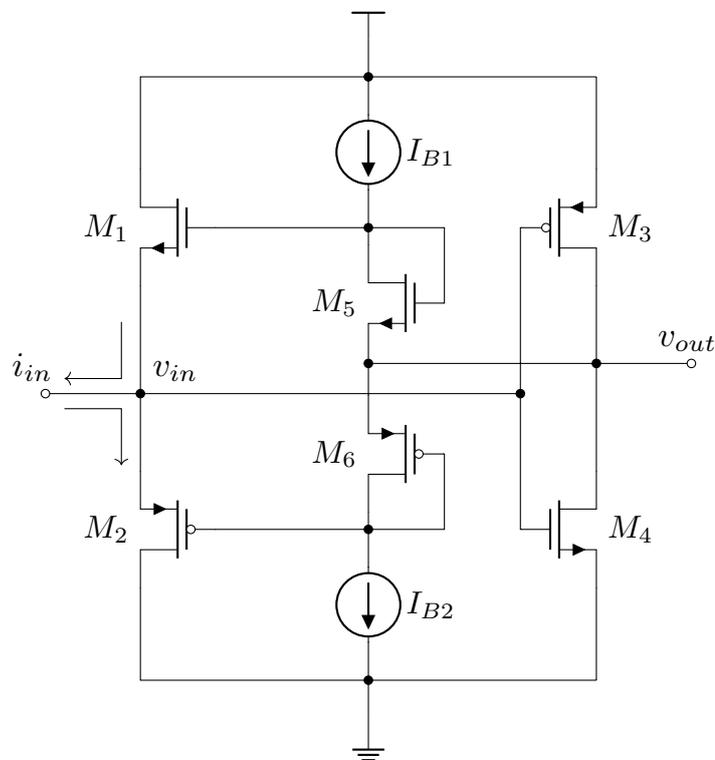


Figura 2.2 – Comparador de corrente Tang [11].

A arquitetura da Figura 2.3, proposta por Lin [12], mantém o bloco seguidor de fonte como estágio de entrada. Ao invés de dois transistores, o circuito utiliza apenas um,  $M_5$ , que é conectado como diodo para gerar as tensões de polarizações dos transistores  $M_1$  e  $M_2$ . Essa estratégia é adotada com o intuito de minimizar a zona morta. O dreno e a fonte de  $M_5$  são conectados às portas de  $M_6$  e  $M_7$  respectivamente, para fornecer a corrente de carga e descarga das portas dos transistores  $M_8$  e  $M_9$  e, assim, aumentar a velocidade de resposta do circuito. Os dispositivos  $M_N$  e  $M_P$  são usados para ajustar a tensão *threshold* do inversor ( $M_8$ ,  $M_9$ ) [12]. A topologia proposta é ainda mais elaborada que a arquitetura base e, além disto, aumenta o consumo de potência.

As estruturas de CCs mencionadas até aqui compartilham duas características:

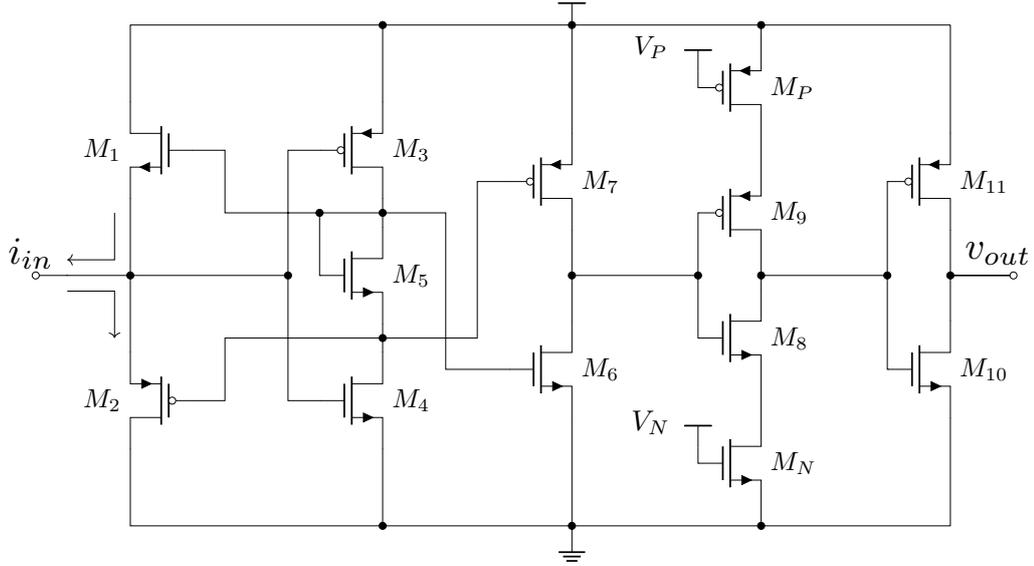


Figura 2.3 – Comparador de corrente Lin [12].

a primeira, para o estágio de entrada é utilizada a topologia seguidor de fonte, estágio por natureza de baixa impedância de entrada, aproximadamente de  $1/g_m$  [21], onde  $g_m$  corresponde à transcondutância do transistor. A segunda característica desses CCs é que usam inversores como amplificadores.

Outro tipo de CC utiliza amplificadores inversores antes dos inversores como o CC reportado por Min [23] e apresentado na Figura 2.4. O transistor  $M_R$  está conectado na configuração porta comum e atua como uma rede de realimentação resistiva reduzindo a impedância no nó  $x$ . O sinal de tensão gerado no nó  $x$  pelo fluxo da corrente de entrada  $i_{in}$  é amplificado pelo conjunto de transistores  $(M_3, M_4)$  e  $(M_5, M_6)$  que atuam como amplificadores inversores. O inversor do estágio de saída,  $M_7$  e  $M_8$ , é o responsável de digitalizar o sinal.

Este circuito poderia ser usado para aplicações de baixa potência já que os ramos deste circuito poderiam ser polarizados com um  $V_{DD_{min}} = V_{DS_{sat}} + V_{GS}$  e o inversor ( $M_7$ ,  $M_8$ ) operaria como amplificador [9].

Nos CCs, a impedância de entrada é determinante na resolução, sendo definida como a mínima diferença de corrente na entrada que o CC consegue responder [7]. Portanto, para obter uma alta resolução, é requerida uma baixa impedância de entrada. O bloco *flipped voltage follower* (FVF), mostrado na Figura 2.5, é uma solução como estágio de entrada que oferece uma baixa impedância, entre  $20 \Omega$  e  $100 \Omega$ , descrita pela equação 2.1 [16, 9], onde  $g_{ds2}$  corresponde à condutância do transistor  $M_2$ ,  $g_{m1}$  e  $g_{m2}$  às transcondutâncias dos dispositivos  $M_1$  e  $M_2$  respectivamente.

$$Z_{in} \approx \frac{g_{ds2}}{g_{m1}g_{m2}}. \quad (2.1)$$

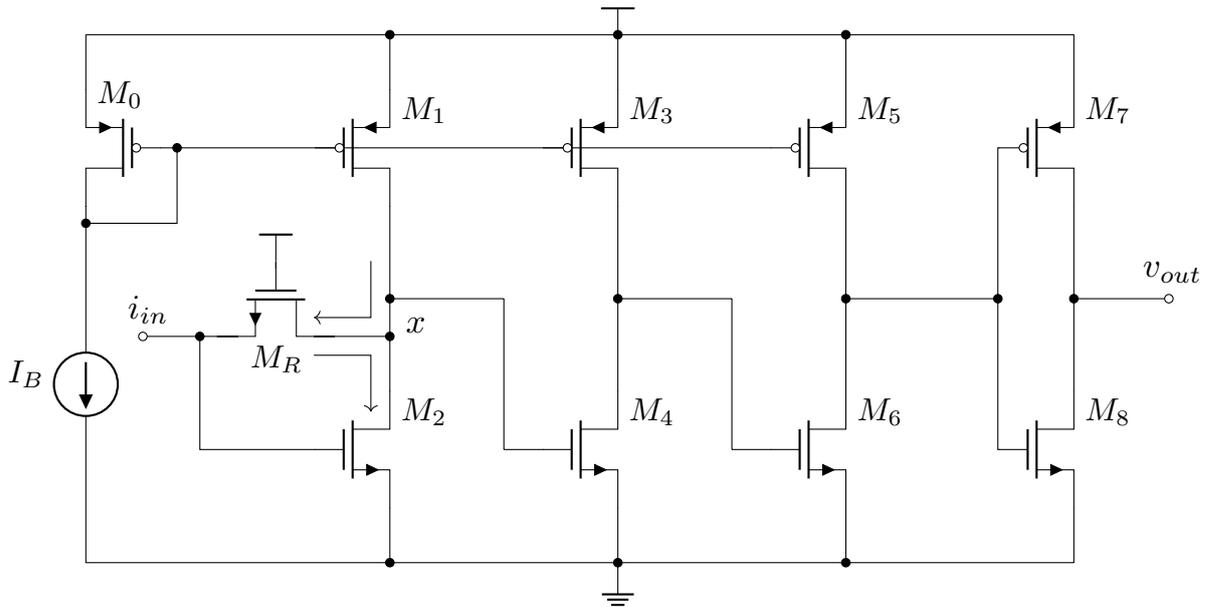


Figura 2.4 – Comparador de corrente Min-Kim [23].

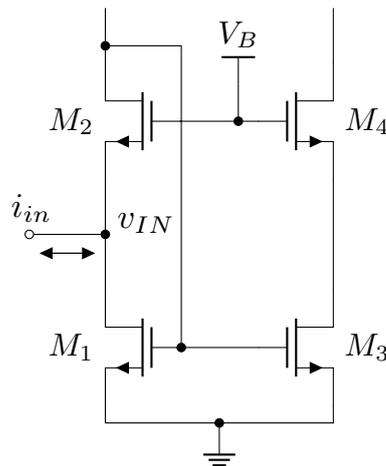


Figura 2.5 – Bloco FVF utilizado como estágio de entrada porque oferece uma baixa impedância de entrada: entre  $20 \Omega$  e  $100 \Omega$ .

Os transistores  $M_2$  e  $M_4$  da Figura 2.5, além de ser devidamente dimensionados, devem ser polarizados com um valor adequado da tensão  $V_B$  para atingir uma baixa impedância. Observando a Figura 2.5, o valor da tensão  $V_B$  deve cumprir a equação 2.2.

$$V_B = V_{GS_2} + V_{DS_1} = V_{GS_4} + V_{DS_3}. \quad (2.2)$$

Os CCs reportados por Solis [9] e Bchir [15], apresentados nas Figuras 2.6 e 2.7 respectivamente, utilizam o bloco FVF como estágio de entrada para se beneficiar da baixa impedância que este bloco fornece. Nas Figuras 2.6 e 2.7 aparecem em destaque as tensões necessárias para polarizar os transistores em questão, mas os autores não mencionam o método empregado para polarizar o circuito. A utilização de um espelho de corrente

adicional para atender a polarização, como ilustrado na Figura 1.2, provocaria maior consumo de potência [17] e, provavelmente, uma área maior de circuito integrado.

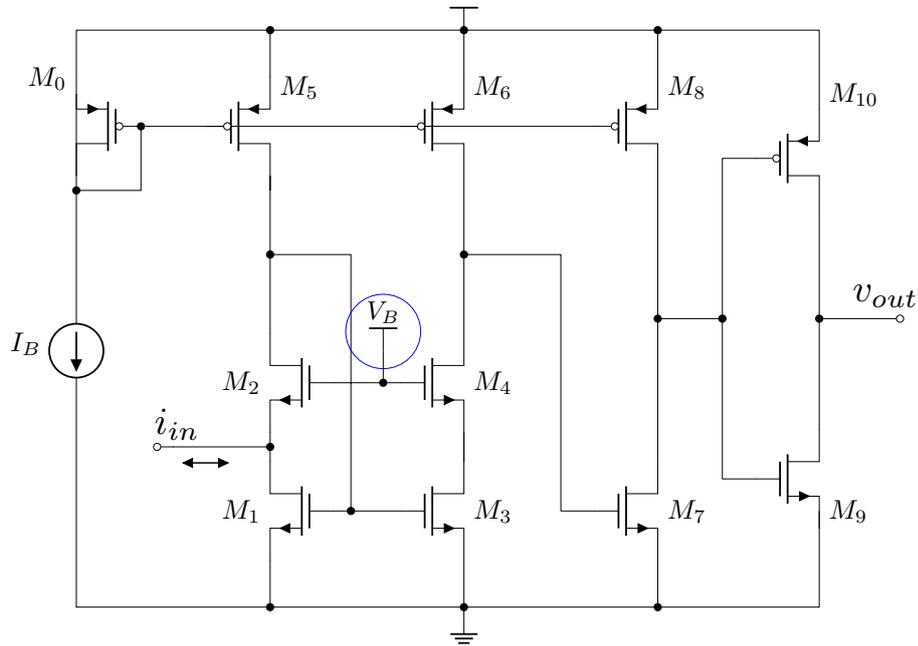


Figura 2.6 – Comparador de corrente reportado por Solis [9].

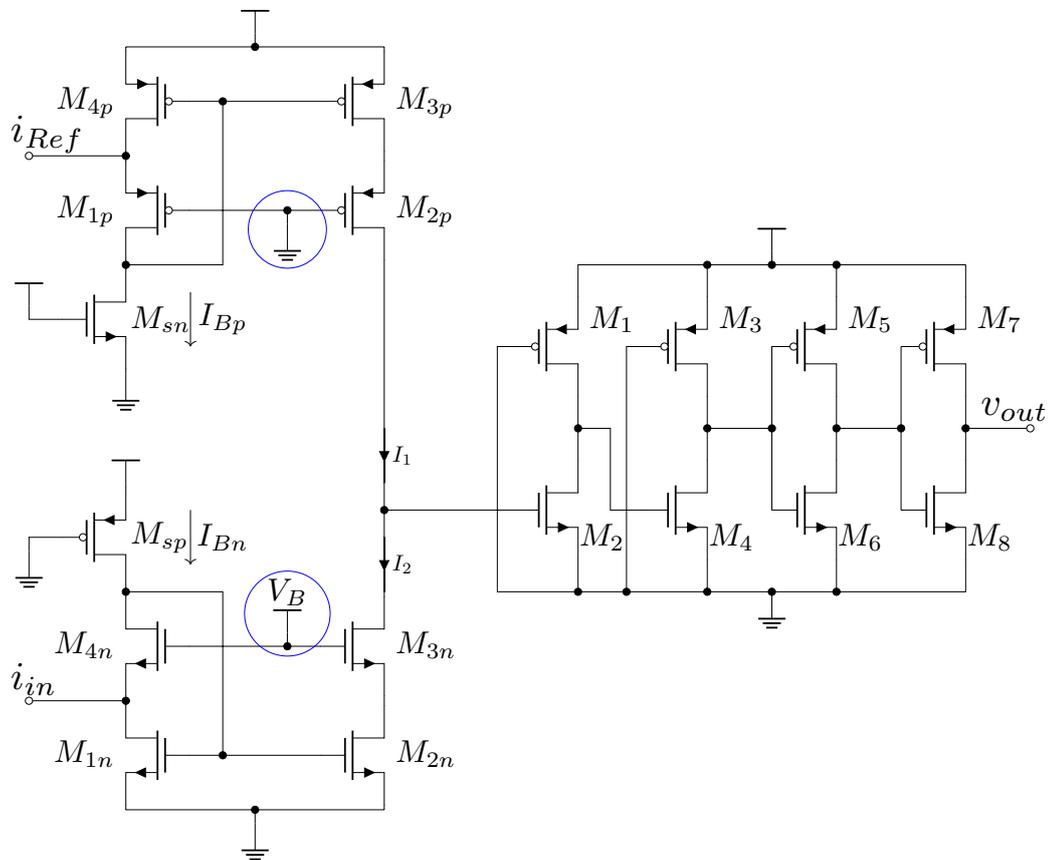


Figura 2.7 – Comparador de corrente reportado por Bchir [15].

Utilizar resistor, como apresentado na Figura 1.3, é outra alternativa para gerar a tensão de polarização de  $M_2$  e  $M_4$ . Com este método o valor da tensão  $V_B$  é impreciso devido às variações do processo e temperatura que apresentam os resistores integrados. Este método, dependendo do valor de  $R_x$ , pode se tornar inviável, devido à grande área de silício necessária para integrar resistores passivos.

A Figura 1.4 apresenta uma solução que utiliza o transistor  $M_6$  como um resistor ativo [18]. Esta estrutura fornece uma baixa impedância, de aproximadamente  $1/g_{m6}$ , no dreno de  $M_2$ , isto, como será demonstrado no Capítulo três deste trabalho, prejudica a impedância de entrada do circuito FVF.

Polarizar diretamente com uma fonte de tensão externa é uma solução que exige mais um pino do projeto, isto compromete a viabilidade para fabricar sistemas maiores. Assim, é de interessante fornecer internamente a polarização do circuito.

Este trabalho apresenta como tese uma estratégia para polarizar os transistores  $M_2$  e  $M_4$  do circuito FVF. Um CC, que utiliza a arquitetura FVF como estágio de entrada com a estrutura proposta de polarização, foi projetado, simulado e caracterizado no laboratório. Os resultados obtidos validam a tese proposta.

Foram selecionados da literatura diversos circuitos CC, os resultados reportados para as principais figuras de mérito estão resumidos na Tabela 2.1. O CC de Solis [9] foi desenvolvido no processo  $0,35 \mu\text{m}$  e é um dos poucos CC fabricados e testados. Os resultados publicados por Yu [24] correspondem às simulações pós-leiaute, os outros resultados representam a simulação em nível esquemático.

Tabela 2.1 – Comparadores de corrente - Parâmetros de desempenho.

Autor	Chavoshisani [25]	Solis [9]	Patro [26]	Kawatra [27]	Kundu [28]	Yu [24]
Ano	2010	2016	2017	2018	2018	2020
Tecnologia [ $\mu\text{m}$ ]	0,18	0,35	0,18	0,09	0,03*	0,18
$V_{DD}$ [V]	1,8	1	1,8	0,9	1	1
$Z_{in}$ [ $\Omega$ ]	NA	50	NA	NA	NA	NA
$i_{in}$ [ $\mu\text{A}$ ]	0,1	1	0,1	2000	NA	10
Mínima corrente $i_{in}$ [nA]	50	5	4	2000	NA	10
$t_d$ [ns]	0,4	15	0,9	0,15	9,2	0,53
Potência [ $\mu\text{W}$ ]	158	30	270	1000	305	59
Produto atraso-potência [pJ]	0,06	0,45	0,24	0,15	2,8	0,03
Frequência [MHz]	25	1	1000	6700	108	50

\* Tecnologia FinFET

O circuito CC reportado por Kawatra [27] é o mais rápido, porém, também é o que mais consome potência. Assim como o CC publicado por Solis [9] é o de menor consumo de potência e o mais lento no tempo de resposta. Apesar de que esses dois CC foram desenvolvidos na mesma tecnologia (CMOS) mas em processos diferentes ( $0,09 \mu\text{m}$  e  $0,35 \mu\text{m}$  respectivamente), é notório o compromisso entre o tempo de atraso e o consumo de potência nos transistores da tecnologia CMOS.

Para finalizar este capítulo, vale mencionar que a corrente de entrada de um CC deve

ser a diferença entre dois sinais de corrente. No entanto, o circuito que realiza tal subtração não foi mencionado nos CCs relatados, exceto no trabalho de Bchir [15]. Um espelho de corrente Wilson aprimorado foi usado por Kasemsuwan [29] para as duas correntes da entrada. O desempenho do circuito foi degradado por uma corrente de deslocamento na entrada, uma vez que os dois nós de entrada não eram totalmente simétricos.

O CC de Bchir [15] utilizou como bloco subtrator dois circuitos FVF conectados em paralelo como mostrado na Figura 2.7. O trabalho publicado por Yu [24] em 2020, propõe utilizar dois espelhos de corrente idênticos como bloco subtrator, assim, para minimizar os efeitos de descasamento, é necessário seguir uma guia de boas práticas na elaboração dos leiautes destes espelhos.

Para os testes do CC deste trabalho foi cogitada a implementação do circuito subtrator apresentado na Figura 2.8, entretanto, o circuito subtrator está fora do propósito deste trabalho. Para simplificar as análises optou-se por utilizar a fonte de corrente ideal que fornece a ferramenta de simulação.

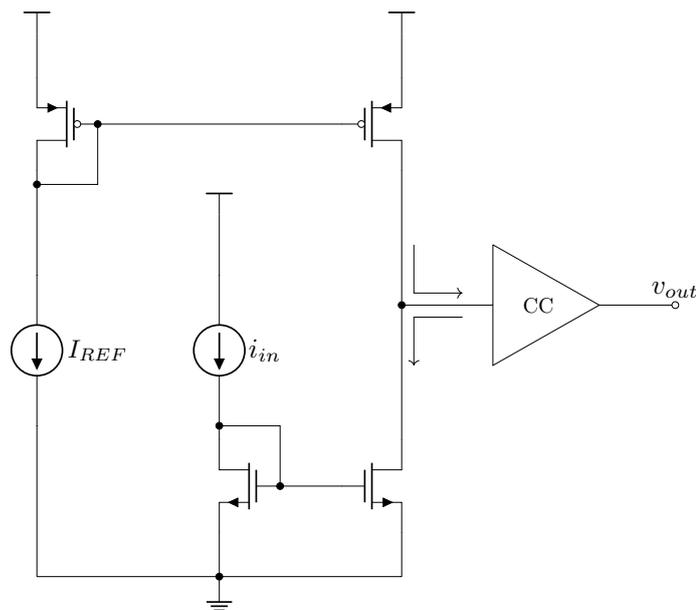


Figura 2.8 – Circuito subtrator conectado ao CC.

No seguinte capítulo é apresentada a técnica proposta como tese para polarizar o circuito FVF junto com as análises, o equacionamento, e os resultados de simulação do circuito. Inclusive, é demonstrado o compromisso entre a impedância de entrada e o tempo de resposta do circuito. Também, são analisadas mais duas alternativas para polarizar o estágio FVF.

## 3 Proposta para polarizar o circuito FVF

O bloco FVF é utilizado como estágio de entrada nos circuitos CC publicados por Solis [9] e Bchir [15]. A questão que surge é como gerar a tensão de polarização dos transistores  $M_2$  e  $M_4$  do circuito FVF. Polarizar diretamente com uma fonte de tensão externa é uma solução que necessitaria de mais um pino para desenvolver o projeto, e isto é inconveniente para fabricar dentro de um circuito integrado (CI) do tipo *core-limited*, onde o número de pinos é limitado [30]. Na Introdução deste trabalho foram apresentadas e ilustradas outras opções (ver Figuras 1.2, 1.3 e 1.4) para polarizar os dispositivos  $M_2$  e  $M_4$ . Esses métodos apresentam deficiências que prejudicariam o desempenho do circuito FVF utilizado como estágio de entrada em um CC.

Neste capítulo, além da técnica proposta para polarizar o estágio FVF, são abordadas mais duas alternativas para resolver esse desafio. Também é apresentada uma descrição funcional do circuito FVF utilizado como estágio de entrada do CC, e são incluídos resultados de simulação e uma análise da impedância de entrada.

### 3.1 Polarização por meio de resistor passivo

A primeira ideia que foi explorada consiste em utilizar um resistor passivo  $R_x$ , como ilustrado na Figura 3.1, e junto com a corrente de polarização ( $I_B$ ), gerar a queda da tensão  $V_B$  para polarizar os transistores em questão. Akbari [20] apresenta este método para polarizar um espelho de corrente cascode.

Como já foi dito, este método apresenta duas desvantagens. Primeiro, dependendo do valor do resistor  $R_x$  o tamanho da área de integração pode ser relevante. Segundo, o resistor passivo experimenta alterações com as variações de processo e temperatura, isto geraria um valor impreciso da tensão na porta dos transistores  $M_2$  e  $M_4$ . Assim, esta alternativa não foi considerada para a fabricação do *chip*, mas para realizar as primeiras análises funcionais e equacionamento do circuito CC.

#### 3.1.1 Descrição funcional do CC

Para realizar a análise e descrição funcional do circuito CC, esquematizado na Figura 3.1, é apropriado dividir o circuito em blocos. O circuito de entrada FVF, junto com o resistor  $R_x$  e os transistores  $M_5$  e  $M_6$  formam o primeiro bloco, que, basicamente, se comporta como um conversor de corrente para tensão, denominado Amplificador de transimpedância (ATI). O bloco subsequente, construído com os transistores  $M_7$  e  $M_8$ , é um amplificador inversor (AI), e como bloco final, os dispositivos  $M_9$  e  $M_{10}$  que estão

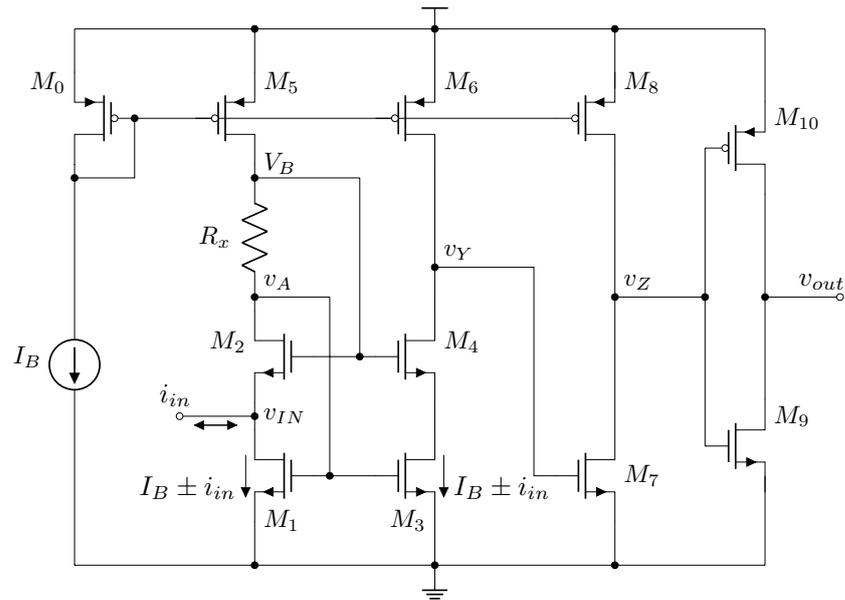


Figura 3.1 – Comparador de corrente utilizando o resistor  $R_x$  para gerar a polarização dos transistores  $M_2$  e  $M_4$  do estágio de entrada FVF.

conectados como um inversor digital. O espelho de corrente, configurado com o dispositivo  $M_0$  e a fonte de corrente  $I_B$ , fornecem a corrente de polarização dos circuitos FVF e AI.

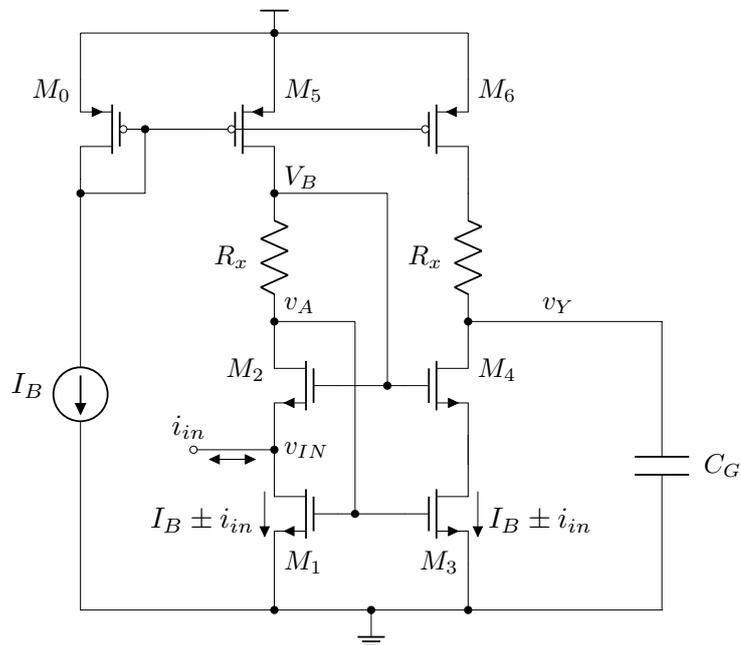


Figura 3.2 – Circuito FVF, estágio de entrada do CC.

Na Figura 3.2 é ilustrado o primeiro bloco junto com o espelho de corrente. Foi adicionado outro resistor  $R_x$  entre o dreno de  $M_6$  e o dreno de  $M_4$  para equilibrar as correntes e as tensões no ponto quiescente do circuito. A dinâmica deste primeiro bloco é descrito a seguir com ajuda da Figura 3.3.

Quando uma corrente  $i_{in}$  é injetada no nó  $v_{in}$ , a corrente  $i_{D1}$  é  $I_B + i_{in}$ , esse aumento de corrente, como ilustrado na Figura 3.3.a, proporciona um aumento da tensão no nó  $v_A$ , como mostrado na Figura 3.3.b, conseqüentemente, a corrente  $i_{D3}$  também aumenta. A corrente  $i_{D4}$  é igual à corrente  $i_{D3}$  (Figura 3.3.c) portanto, a tensão no dreno do  $M_3$  diminui, como apresentado na Figura 3.3.d. O transistor  $M_4$  está conectado como porta comum, assim, a tensão no nó  $v_Y$  também diminui, ver Figura 3.3.f. O contrário acontece quando a corrente  $i_{in}$  sai do nó  $v_{in}$ :  $i_{D1}$  é  $I_B - i_{in}$ ,  $v_A$  e  $i_{D3}$  ( $i_{D3} = i_{D4}$ ) decrescem,  $v_{D3}$  aumenta e  $v_Y$  aumenta.

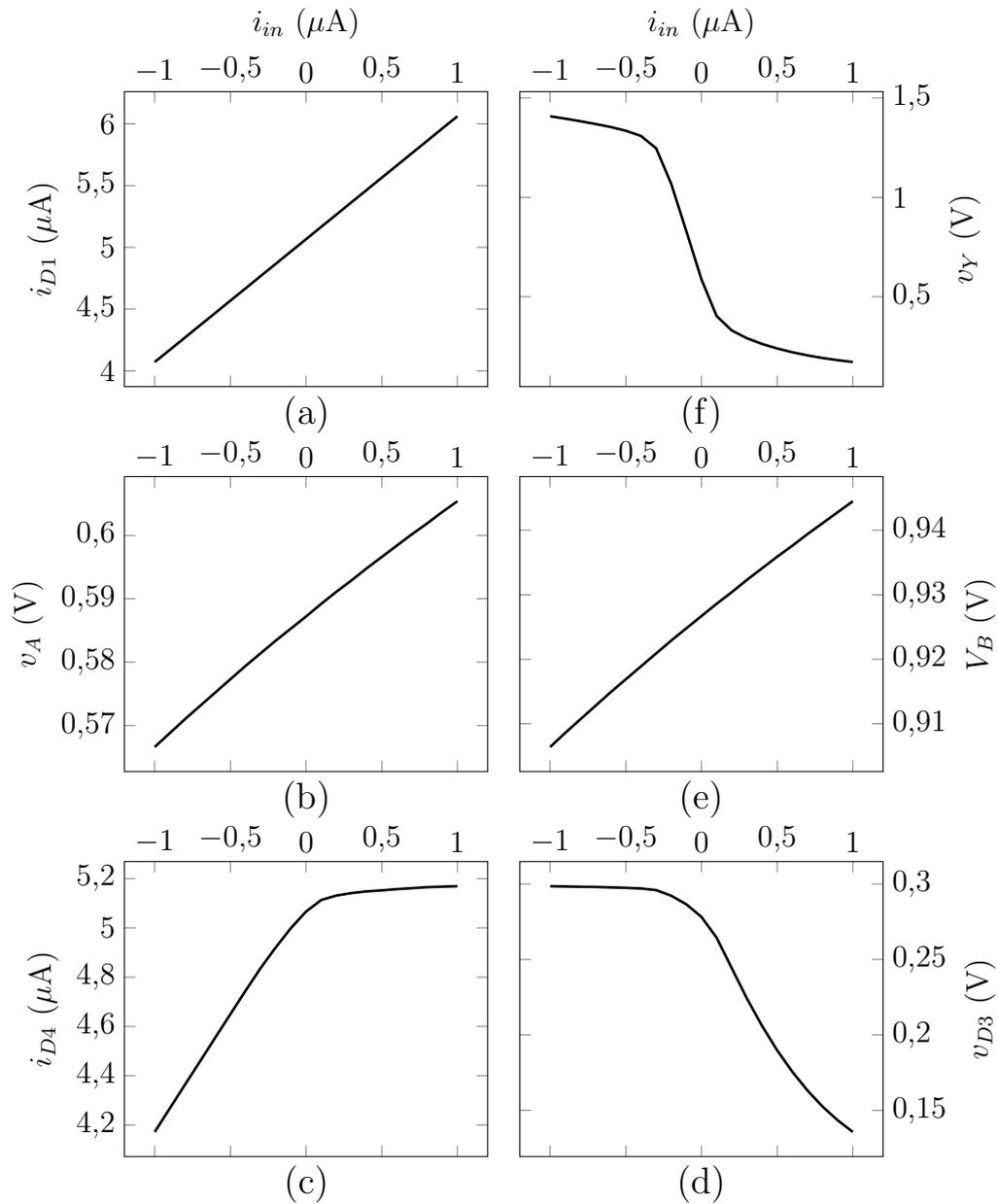


Figura 3.3 – Comportamento elétrico nos nós do estágio FVF. A corrente de entrada  $i_{in}$  é convertida em uma tensão na saída do circuito no nó  $v_Y$ .

Na Figura 3.3.e observa-se que o valor da tensão  $V_B$  varia em torno do ponto de operação ( $\sim 925 \text{ mV} \pm 20 \text{ mV}$ ), o que equivale a uma variação de  $\pm 2\%$  do valor do ponto quiescente. Foi verificado que, se o valor do resistor  $R_x$  aumenta, o valor da tensão  $V_B$  varia menos, além disto, é, conveniente, um valor alto do resistor  $R_x$  para beneficiar a impedância de entrada, como será demonstrado.

A corrente  $i_{D1}$  varia entre 4 e 6  $\mu\text{A}$ , como ilustrado na Figura 3.3.a, isto porque foi configurada uma corrente de polarização  $I_B$  de 5  $\mu\text{A}$  e uma corrente de entrada  $i_{in}$  de  $\pm 1 \mu\text{A}$ . Vale ressaltar que nesta primeira solução foram utilizadas as dimensões mínimas permitidas pela tecnologia para o conjunto de transistores  $M_1$ - $M_4$  com o objetivo de obter uma rápida resposta. Por esta razão, observa-se diferenças entre as correntes  $i_{D1}$  e  $i_{D4}$ , e entre as tensões  $v_A$  e  $v_Y$ .

As dimensões do grupo de transistores  $M_0$ - $M_6$ , os valores do resistor  $R_x$ , da tensão de alimentação  $V_{DD}$  e da corrente de polarização  $I_B$  utilizados para gerar as curvas da Figura 3.3 estão reportados na tabela 3.1.

Tabela 3.1 – Dimensões do bloco de entrada do CC da Figura 3.1.

	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
$M_1$ - $M_4$	0,22	0,18
$M_0$ = $M_5$ = $M_6$	4	1
$R_x = 67 \text{ k}\Omega$ , $I_B = 5 \mu\text{A}$ , $V_{DD} = 1,8 \text{ V}$		

Até aqui, como foi descrito, uma corrente de entrada  $\pm i_{in}$  gera uma variação de tensão no nó  $v_Y$ , ou seja, o bloco de transistores  $M_1$ - $M_6$ , em conjunto com os resistores  $R_x$ , comportam-se como um amplificador de transimpedância. É de interesse conhecer o impacto do resistor  $R_x$  na impedância de entrada do bloco FVF.

### 3.1.2 Impedância de entrada

Uma baixa impedância de entrada é essencial no projeto do CC. Carvajal [16] reporta que o circuito FVF fornece uma impedância de entrada entre 20  $\Omega$  e 100  $\Omega$ . Isto depende da polarização e do dimensionamento dos transistores. O modelo de pequenos sinais do circuito de entrada, esquematizado na Figura 3.4, auxilia na análise do impacto que pode causar o resistor  $R_x$  na impedância de entrada. Para simplificar esta análise, em este modelo foi adotado o nó  $V_B$  como uma terra *ac*, isto presumindo um comportamento DC puro nesse nó.

No modelo de pequenos sinais, o capacitor  $C_1$  corresponde à soma das capacitâncias  $C_{GS2}$ ,  $C_{SB2}$  e  $C_{DB1}$ ; O capacitor  $C_2$  representa a capacitância  $C_{GD1}$  e o capacitor  $C_3$  é equivalente à somatória das capacitâncias  $C_{GS1}$ ,  $C_{GS3}$ ,  $C_{GD2}$  e  $C_{DB2}$ . A transcondutância do transistor  $M_p$  é representada por  $g_{mp}$  (onde  $p=1$  ou  $2$ ). A condutância do dispositivo  $M_p$  é equivalente a  $g_{dsp} = 1/r_{op}$ , onde  $r_{op}$  corresponde à impedância de saída de  $M_p$ .

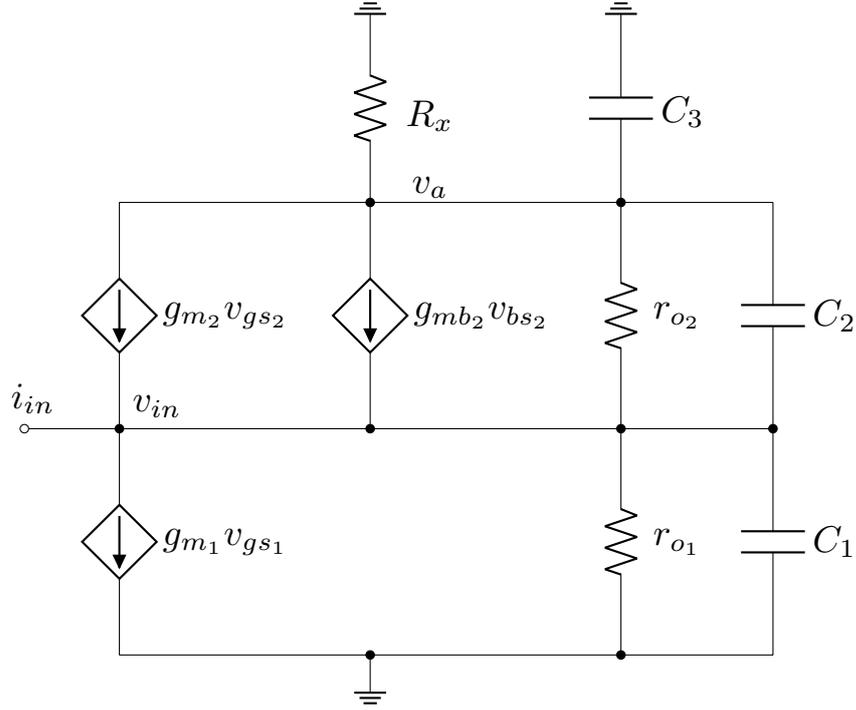


Figura 3.4 – Modelo de pequenos sinais do estágio de entrada FVF. O nó  $V_B$  é adotado como terra *ac*.

Para estabelecer as equações dos nós  $v_a$  e  $v_{in}$ , é necessário conhecer as expressões para as tensões  $v_{gs2}$ ,  $v_{bs2}$  e  $v_{gs1}$ ; essas grandezas estão agrupadas em (3.1) e são obtidas a partir do circuito esquemático da Figura 3.2.

$$\left. \begin{aligned} v_{gs2} &= -v_{in} \\ v_{bs2} &= -v_{in} \\ v_{gs1} &= v_a \end{aligned} \right\} \quad (3.1)$$

A condutância formada por  $r_{o1}$  e  $C_1$  é denominada como  $Y_1$ ; como  $Y_2$  é nomeada a condutância formada por  $r_{o2}$  e  $C_2$  e a condutância gerada por  $R_x$  e  $C_3$  é designada como  $Y_3$  e suas expressões equivalentes estão reunidas em 3.2.

$$\left. \begin{aligned} Y_1 &= g_{ds1} + sC_1 \\ Y_2 &= g_{ds2} + sC_2 \\ Y_3 &= g_{dsx} + sC_3 \end{aligned} \right\} \quad (3.2)$$

As equações das correntes nos nós  $v_a$  e  $v_{in}$ , grafados na Figura 3.4, são estabelecidas de acordo com (3.3) e (3.4), respectivamente.

$$v_a(Y_3 + Y_2) - v_{in}(g_{m2} + g_{mb2} + Y_2) = 0. \quad (3.3)$$

$$v_a(g_{m1} - Y_2) + v_{in}(g_{m2} + g_{mb2} + Y_2 + Y_1) = i_{in}. \quad (3.4)$$

Agrupando as equações (3.3) e (3.4) e substituindo a soma dos parâmetros  $g_{m2}$  e  $g_{mb2}$  por  $G_2$  resulta em (3.5).

$$\left. \begin{aligned} 0 &= v_a(Y_3 + Y_2) - v_{in}(G_2 + Y_2) \\ i_{in} &= v_a(g_{m1} - Y_2) + v_{in}(G_2 + Y_1 + Y_2) \end{aligned} \right\} \quad (3.5)$$

Depois de resolver o sistema de equações 3.5, o quociente  $v_{in}/i_{in}$  que representa a impedância de entrada ( $Z_{in}$ ) é:

$$Z_{in} \approx \frac{g_{ds2} + g_{dsx} + s(C_2 + C_3)}{(g_{m2} + sC_2)(g_{m1} - sC_2) + [g_{m2} + s(C_1 + C_2)][g_{ds2} + g_{dsx} + s(C_2 + C_3)]}. \quad (3.6)$$

No ponto quiescente do circuito (frequência de 0 Hz), a expressão 3.6 se reduz a 3.7.

$$Z_{in} \approx \frac{g_{ds2} + g_{dsx}}{g_{m2}g_{m1} + g_{m2}(g_{ds2} + g_{dsx})}. \quad (3.7)$$

Considerando o produto  $g_{m2}(g_{ds2} + g_{dsx}) \ll g_{m2}g_{m1}$  (isto, porque frequentemente em um transistor MOS sua condutância é muito menor que sua transcondutância) a equação 3.7 se reduz à expressão 3.8.

$$Z_{in} \approx \frac{g_{ds2} + g_{dsx}}{g_{m2}g_{m1}}. \quad (3.8)$$

Na aproximação 3.8, se por dimensionamento dos dispositivos são estabelecidas as condutâncias, tais que  $g_{dsx} \ll g_{ds2}$ , a equação pode ser reescrita como:

$$Z_{in} \approx \frac{g_{ds2}}{g_{m2}g_{m1}}. \quad (3.9)$$

Lembrando que, a equação (3.9) também corresponde à expressão da impedância de entrada do bloco FVF (equação 2.1), então, é conveniente um valor pequeno de  $g_{dsx}$  (ou seja, um valor grande de  $R_x$ ) para beneficiar o valor da impedância de entrada. Também é conveniente, observando as equações 3.8 e 3.9, incrementar o valor das transcondutâncias  $g_{m1}$  e  $g_{m2}$ . Murmman [31] mostra que existe um compromisso entre a eficiência da transcondutância ( $g_m/ID$ ) dos transistores MOSFET e o tempo de resposta deles. Portanto, 3.8 e 3.9 também apontam um compromisso entre a impedância de entrada e o tempo de resposta do circuito FVF.

A curva traçada na Figura 3.5 foi gerada para averiguar o comportamento da equação (3.8) quando a condutância  $g_{dsx}$  varia. Ela confirma que, para valores baixos do resistor  $R_x$ , a impedância de entrada do circuito é incrementada. Na Tabela 3.2 estão listados os valores utilizados para traçar esse gráfico. As grandezas empregadas para os parâmetros  $g_{m1}$ ,  $g_{m2}$  e  $g_{ds2}$  correspondem a dispositivos dimensionados com valores mínimos permitidos pela tecnologia.

Elevados valores do resistor  $R_x$ , para reduzir a impedância de entrada, resultam em uso de uma maior área para integrar em um CI. Além disto, os resistores da tecnologia

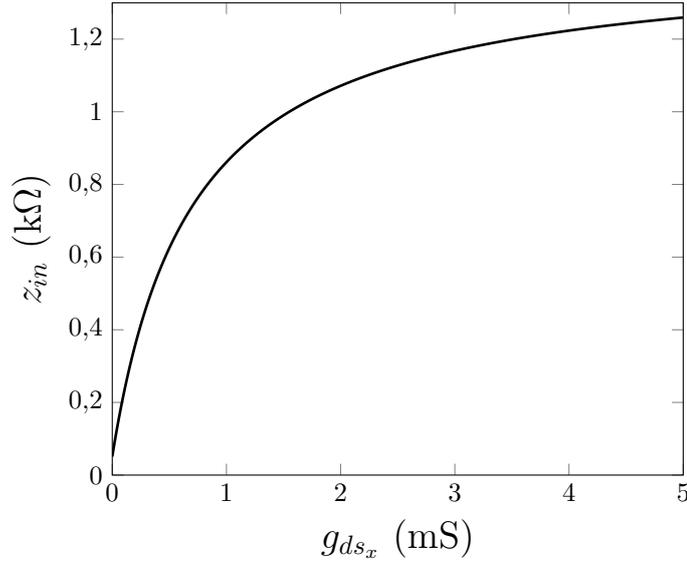


Figura 3.5 – Curva da equação 3.7:  $z_{in}$  vs  $g_{ds_x}$ .

Tabela 3.2 – Parâmetros para traçar a curva apresentada na Figura 3.5.

$g_{m_1}$ [ $\mu\text{S}$ ]	$g_{m_2}$ [ $\mu\text{S}$ ]	$g_{ds_2}$ [ $\mu\text{S}$ ]	$g_{ds_x}$ [ $\mu\text{S}$ ]
700	700	25	0:5000

sofrem variações no processo ( $\approx 30\%$ ), isto tornaria imprecisa a tensão na porta dos transistores  $M_2$  e  $M_4$ , como também apresentaria desequilíbrio nas correntes e nas tensões do circuito.

Conforme a frequência do sinal de entrada aumenta, uma análise qualitativa mostra que a expressão 3.6 se reduz à equação 3.10. Esta aproximação revela uma situação favorável para a impedância de entrada do circuito FVF à medida que se incrementa a frequência do sinal.

$$Z_{in} \approx \frac{C_2 + C_3}{s[(C_1 + C_2)(C_2 + C_3) - C_2^2]}. \quad (3.10)$$

### 3.1.3 Polarização do bloco FVF

O quesito é determinar a tensão  $V_B$  que polariza, de forma apropriada, os dispositivos  $M_2$  e  $M_4$ . De forma geral, a tensão  $V_B$ , em qualquer região de operação, deve satisfazer a equação (3.11).

$$V_B = V_{GS_2} + V_{DS_1}. \quad (3.11)$$

No circuito ATI, a queda de tensão no resistor  $R_x$  é descrita pela equação (3.12). Os transistores  $M_1$  e  $M_2$  são polarizados pela mesma corrente  $I_B$ , logo, o valor da tensão  $V_{GS_1}$ , que é a mesma tensão no nó  $V_A$ , e o valor da tensão  $V_{GS_2}$  devem ser iguais.

$$V_B - V_A = I_B R_x. \quad (3.12)$$

Os resistores integrados em uma tecnologia possuem tolerância de aproximadamente 30% [19], assim, a equação (3.12) evidencia a imprecisão da polarização do circuito FVF se é utilizado resistor passivo.

Isolando-se  $V_B$  nas equações (3.11) e (3.12) e igualando-se o resultado, obtém-se que o produto  $I_B R_x$  deve corresponder à tensão  $V_{DS_1}$ . Já, a tensão  $V_{GS_2}$  é a diferença das tensões  $V_B$  e  $V_{DS_1}$  como representada na equação (3.13).

$$V_{GS_1} = V_{GS_2} = V_B - V_{DS_1}. \quad (3.13)$$

A tensão  $V_{GS_1}$  para manter o dispositivo  $M_1$  no regime de saturação é definida pela equação (3.14), em que  $V_{TH}$  representa a tensão *threshold* do dispositivo e  $V_{DS_1}$  é o valor mínimo da tensão dreno-fonte para saturar  $M_1$ .

$$V_{GS_1} = V_{DS_1} + V_{TH}. \quad (3.14)$$

Assim, igualando-se as equações (3.13) e (3.14), resulta na equação (3.15), que indica o valor mínimo da tensão  $V_B$  para polarizar de forma adequada os dispositivos  $M_2$  e  $M_4$  no regime da saturação.

$$V_B = 2V_{DS_1} + V_{TH}. \quad (3.15)$$

O valor da tensão  $V_A$  ( $V_{GS_1}$ ) é uma função que depende da corrente de polarização ( $I_B$ ), da região de operação, e das dimensões do transistor  $M_1$  ( $W_1$  largura do canal,  $L_1$  comprimento do canal). Isolando-se  $V_B$  da equação (3.12) e representando  $V_A$  como uma função, obtém-se:

$$V_B = I_B R_x + f_{V_A}(I_B, W_1, L_1). \quad (3.16)$$

Na inversão forte, por exemplo,  $f_{V_A}$  é diretamente proporcional à raiz quadrada da corrente de polarização como indicado na equação 3.17.

$$f_{V_A} = \sqrt{\frac{2L_1 I_B}{W_1 \beta}} + V_{TH}, \quad (3.17)$$

em que,  $\beta$  representa o produto de  $\mu$  (a mobilidade dos elétrons/lacunas de um transistor de canal N/P) com  $C_{ox}$  (capacitância por unidade de área). Na equação (3.17), o termo dentro da raiz quadrada descreve a tensão  $V_{DS_1}$  mínima para saturar  $M_1$  na inversão forte [21]. Assim, a equação (3.16) iguala à equação (3.15), porque o produto  $I_B R_x$  é igual à tensão  $V_{DS_1}$ .

A equação 3.16 possui, além da região de operação, três variáveis: a corrente de polarização  $I_B$ , o resistor  $R_x$  e as dimensões do transistor  $M_1$ . Portanto, diversas soluções podem ser determinadas pelo projetista.

Nesta primeira solução foi escolhido como especificação de projeto o tempo de resposta do circuito. Isto é, o tempo que demora a saída do circuito em cambiar de estado quando ocorre uma variação mínima detetável do sinal de entrada. Assim, para obter uma rápida resposta foram utilizadas as dimensões mínimas permitidas pela tecnologia para o conjunto de transistores que processam o sinal, no caso do estágio de entrada os dispositivos  $M_1$ - $M_4$ .

### 3.1.4 Amplificador Inversor

A Figura 3.6 apresenta o bloco FVF seguido pelos transistores  $M_7$  e  $M_8$  que estão configurados como um amplificador inversor (AI). As variações de tensão no nó  $v_Y$ , geradas pelo fluxo da corrente de entrada  $i_{in}$ , são amplificadas pelo AI como descrito pela equação (3.18), que representa o ganho de tensão em pequenos sinais do AI.

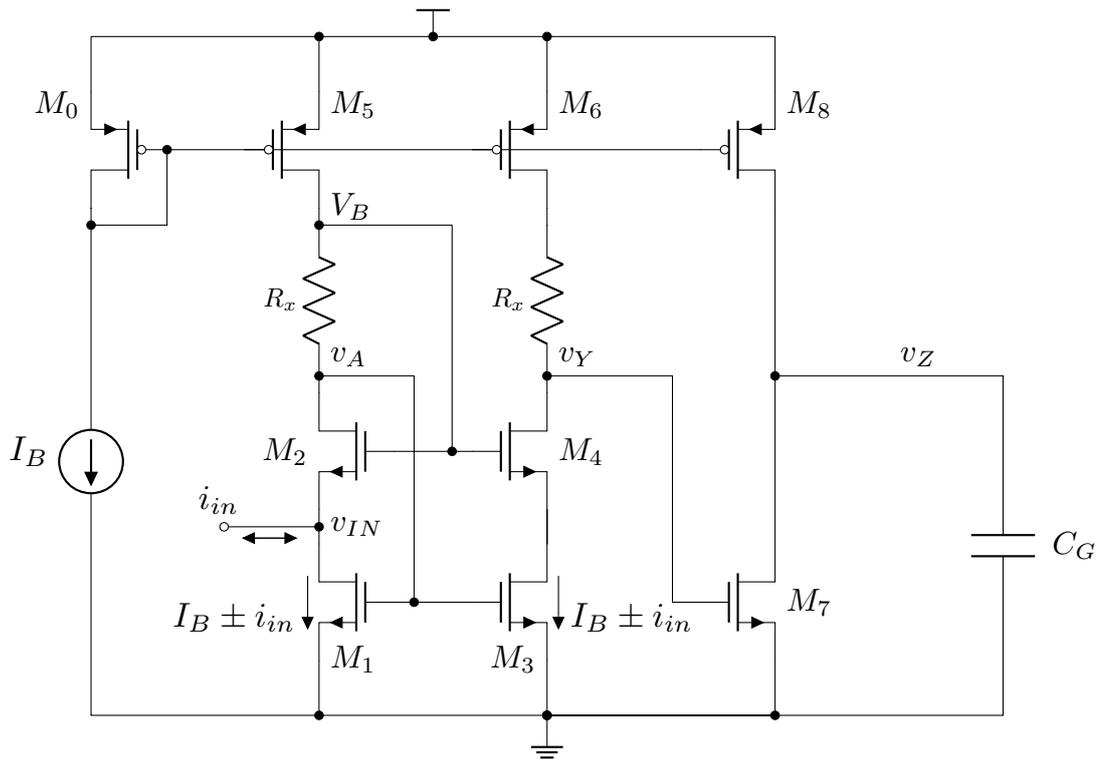


Figura 3.6 – Blocos FVF e AI.

Murmann et al. [31] apresentam o dimensionamento do AI com o método de projeto  $g_m/I_D$ . O valor DC de  $V_Y$  determina a região de operação do dispositivo  $M_7$ , e a tensão  $V_{SG_0}$  (que é igual a  $V_{SG_5}$  e  $V_{SG_6}$ ) define a região de operação de  $M_8$ . Esses valores, junto com a equação (3.18), auxiliam o método  $g_m/I_D$  para dimensionar  $M_7$  e  $M_8$ . No anexo A deste trabalho é apresentada uma breve descrição desse método de projeto.

$$\frac{v_z}{v_y} = \frac{-g_{m7}}{g_{ds7} + g_{ds8}}. \quad (3.18)$$

Com os valores reportados na tabela 3.1, o bloco FVF fornece as tensões de 587 mV DC para  $V_Y$  e de 640 mV DC para  $V_{SG_0}$ . Com estes valores de tensões, os transistores  $M_7$  e  $M_8$  ficam polarizados na região da inversão moderada, já que a tensão *threshold* de  $M_7$  é  $\sim 560$  mV e de  $\sim 500$  mV para  $M_8$ . Assim, com os valores das tensões fornecidas pelo circuito ATI, foi projetado o AI para estabelecer um valor de aproximadamente  $V_{DD}/2$  no nó  $V_Z$  do circuito no ponto quiescente.

Neste trabalho, notou-se que vários AI conectados em cascata, com ganhos de tensão gradativamente aumentados, podem ser utilizados quando o nó  $v_Y$  torna-se sensível às variações do processo.

### 3.1.5 Inversor digital

A Figura 3.7 apresenta o CC completo. O circuito inversor, configurado com os transistores  $M_9$  e  $M_{10}$ , é o bloco que fornece o valor digital na saída do CC. O ganho de tensão em pequenos sinais desse inversor corresponde à equação 3.19.

$$\frac{v_{out}}{v_z} = \frac{-(g_{m9} + g_{m10})}{g_{ds9} + g_{ds10}}. \quad (3.19)$$

As dimensões dos transistores do circuito CC, utilizando resistor passivo para gerar a polarização do estágio de entrada, e as grandezas da tensão de alimentação  $V_{DD}$  e da corrente de polarização  $I_B$  estão agrupadas na Tabela 3.3. O resistor escolhido da tecnologia foi do tipo NWell com largura de  $2,4 \mu\text{m}$  e comprimento de  $8,4 \mu\text{m}$ . Para os outros tipos de resistores da tecnologia ocorria erro na simulação por falta do modelo correspondente na ferramenta.

Tabela 3.3 – Dimensões do CC com resistor (Figura 3.7).

	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
$M_1=M_3$	0,22	0,18
$M_2=M_4$	0,22	0,18
$M_0=M_5=M_6$	4	1
$M_7$	0,22	0,18
$M_8$	2	0,18
$M_9$	1,2	0,24
$M_{10}$	3	0,18
$R_x = 67 \text{ K}\Omega, I_B = 5 \mu\text{A}, V_{DD} = 1,8 \text{ V}$		

Para validar a funcionalidade desse primeiro CC, utilizando resistor para polarizar o circuito FVF, foram feitas simulações de transiente e DC. A resposta transiente, no caso

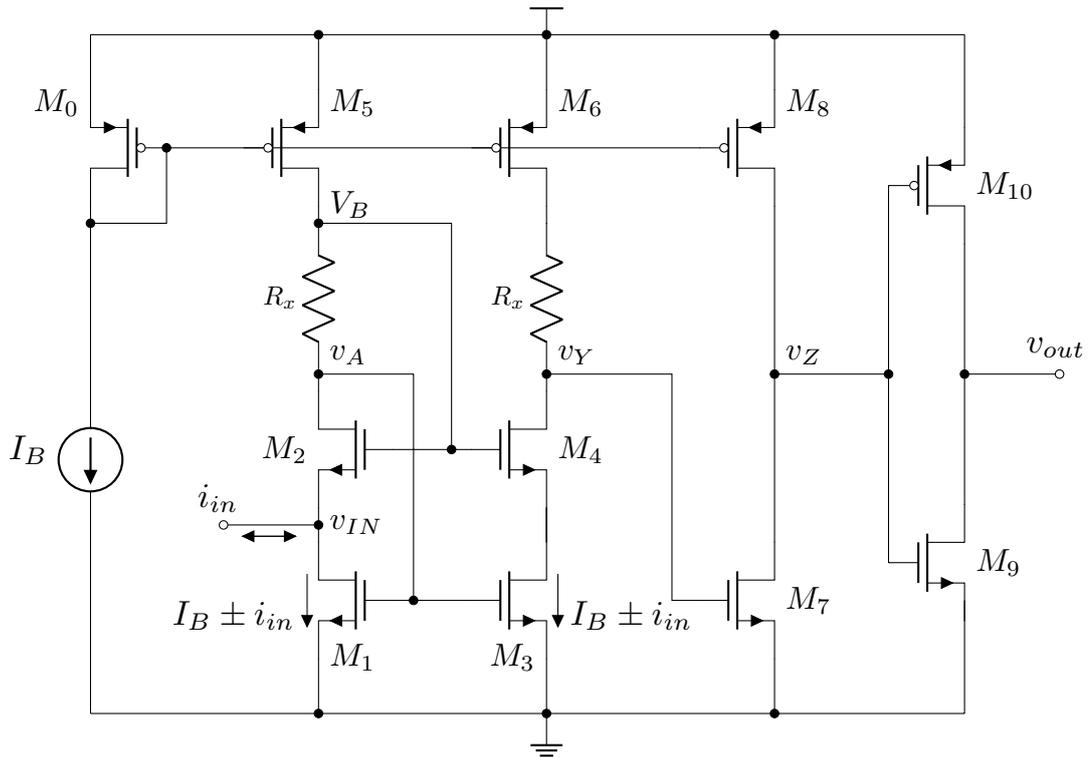


Figura 3.7 – Circuito CC total utilizando resistor passivo para gerar a polarização dos transistores  $M_2$  e  $M_4$ .

típico, foi obtida configurando uma corrente de entrada com amplitude  $\pm 2 \mu\text{A}$  e frequência de 2 MHz.

Na Tabela 3.4 estão reportados os resultados obtidos para as principais especificações de projeto como também o comportamento da tensão  $V_B$  nas simulações realizadas nos diferentes *corners*: *slow* (SS), nominal ou típica (TT) e *fast* (FF). Os *corners* representam as condições extremas que podem gerar as maiores variações possíveis de corrente no transistor [31].

Tabela 3.4 – *Corners* do CC empregando resistor passivo(Figura 3.7).

	FF	TT	SS
$Z_{in}$ [k $\Omega$ ]	3,6	5,4	8,1
Atraso [ns]	2,8	3,1	3,5
Potência [ $\mu\text{W}$ ]	42	40	39
$V_B$ [mV]	858	927	994
$i_{in} = \pm 2 \mu\text{A}$ , Frequência 2 MHz			

O valor da impedância de entrada é alto, em contrapartida o tempo de resposta é curto com um consumo moderado de potência. O valor da tensão  $V_B$  apresentou uma variação de  $\pm 7,3\%$ .

Para melhorar a impedância de entrada (5,4 k $\Omega$ ) é necessário aumentar o valor do resistor  $R_x$ , isto também representaria uma menor variação da tensão  $V_B$ , em contrapartida

uma maior área de silício seria requerida.

O resultado da simulação transiente é mostrado na Figura 3.8. O tempo de atraso entre os pontos de 50% da entrada e saída dos estados baixo para alto e de alto para baixo são rotulados como  $t_{PLH}$  (*time propagation low to high*) e  $t_{PHL}$  (*time propagation high to low*) respetivamente. Assim, os tempos de atraso  $t_{PLH}$  e  $t_{PHL}$  foram de aproximadamente 2 ns e 4 ns, portanto o tempo de atraso médio é de 3 ns.

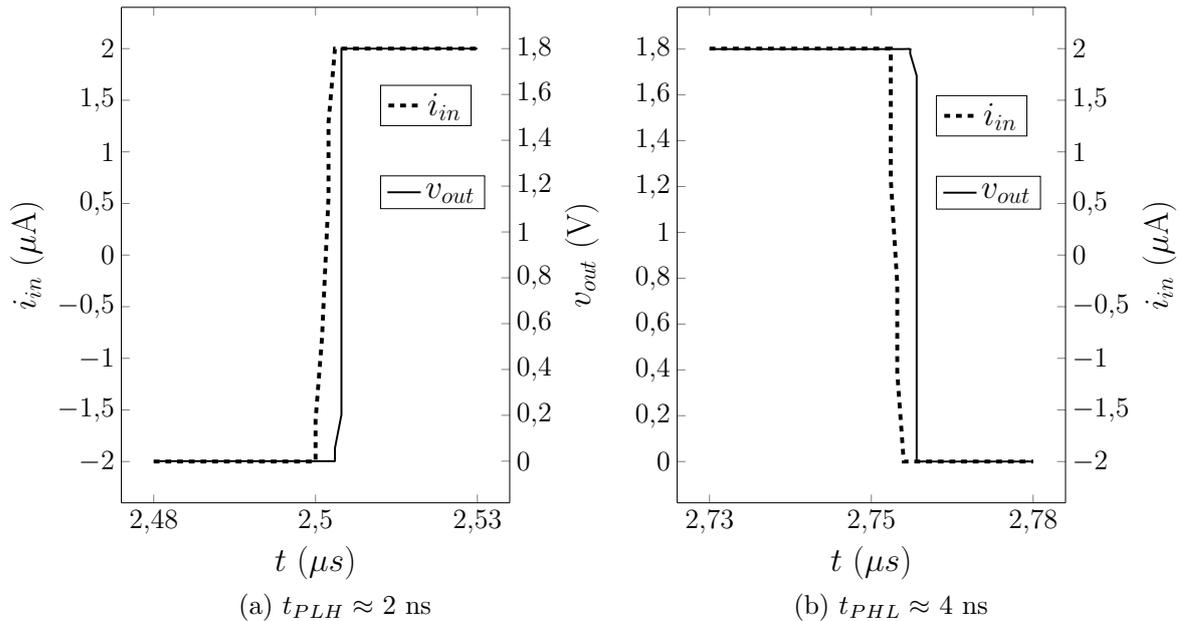


Figura 3.8 – Resposta transiente: tempo de propagação  $t_P \approx 3$  ns,  $C_{load} = 25$  fF.

## 3.2 Polarização por intermédio de uma estrutura cascode

Uma alternativa para superar as deficiências do CC explanado previamente é substituir os elementos passivos por elementos ativos, como apresentado na Figura 3.9. Os resistores  $R_x$  foram substituídos pelos dispositivos  $M_{B_1}$  e  $M_{B_2}$  e são polarizados por meio do transistor  $M_B$  que está conectado como diodo. Deste modo, é configurada a estrutura cascode proposta para polarizar o circuito de entrada FVF.

Seguem observações do circuito CC empregando a estrutura cascode proposta. Primeiro, o funcionamento do novo circuito continua idêntico ao descrito na seção 3.1.1. O assunto para analisar é o efeito do transistor  $M_{B_1}$  na impedância de entrada do circuito. A Figura 3.10 corresponde ao modelo de pequeno sinais do bloco de entrada da Figura 3.9, utilizado na resolução dessa questão.

Ao comparar as Figuras 3.10 e 3.4 resultam idênticas se o resistor  $R_x$  é substituído pelo  $r_{o_{B_1}}$ . As capacitâncias  $C_1$ ,  $C_2$ , e  $C_3$  se correspondem de igual forma como reportado

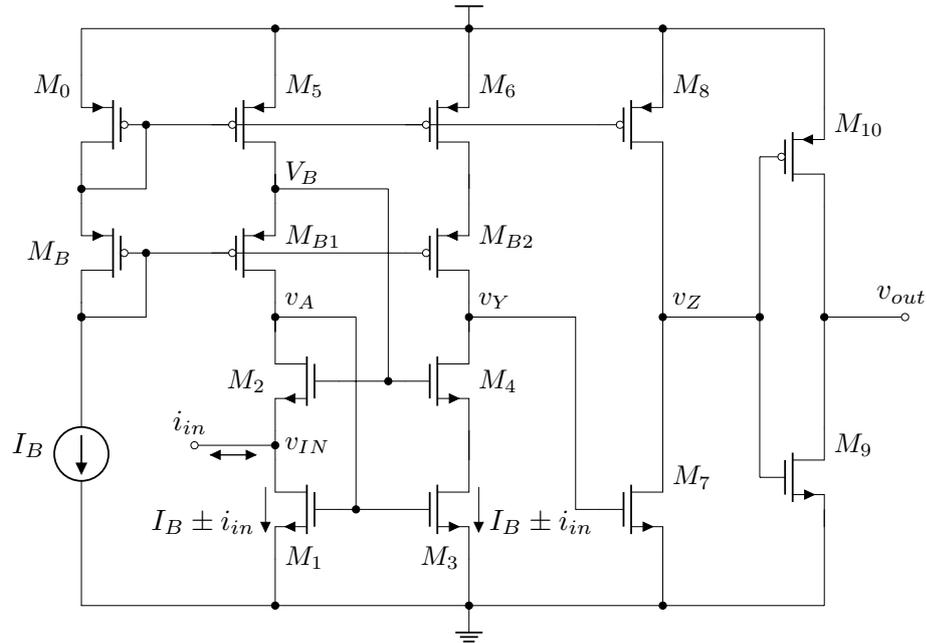


Figura 3.9 – Circuito CC utilizando a estrutura cascode proposta para polarizar o estágio da entrada.

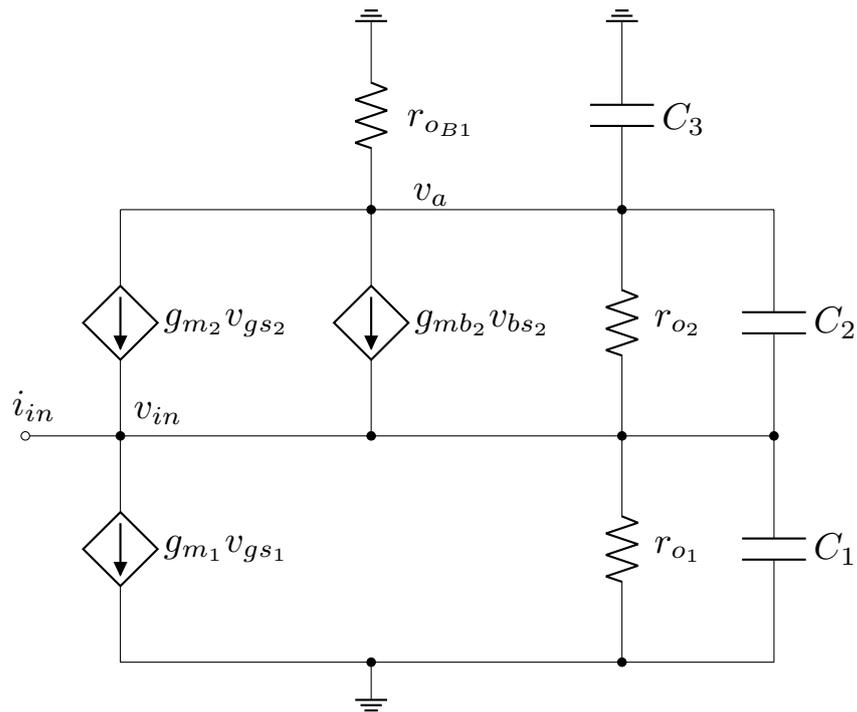


Figura 3.10 – Modelo de pequeno sinais do bloco de entrada da Figura 3.9.

na seção 3.1.2. Portanto, de forma análoga ao equacionamento feito na seção 3.1.2, a equação para a impedância de entrada na frequência de 0 Hz resulta como em (3.20).

$$Z_{in} \approx \frac{g_{ds2} + g_{dsB1}}{g_{m2}g_{m1}}. \quad (3.20)$$

Portanto, é conveniente dimensionar  $M_{B1}$  com um valor grande do comprimento de canal,  $L_{B1}$ , para obter uma baixa condutância  $g_{dsB1}$  e, desse modo, beneficiar a impedância de entrada. A consequência de incrementar o comprimento de canal, é uma redução na frequência transiente  $f_T$ , que está associada à velocidade de resposta do transistor [31]. Assim, o compromisso entre a impedância de entrada e o tempo de resposta do circuito FVF é fortalecido quando o elemento envolvido na polarização é um dispositivo ativo.

Uma segunda observação, é a dinâmica da tensão  $V_B$  durante a operação do circuito. A Figura 3.11 apresenta o resultado obtido da tensão  $V_B$  em função da corrente de entrada  $i_{in}$ . A variação desta tensão, gerada com o circuito cascode proposto, foi de  $\pm 0,001\%$ , muito menor que a variação de  $\pm 2\%$  obtida utilizando o resistor  $R_x$ . Isto porque o transistor  $M_{B1}$ , no ponto de operação, fornece uma condutância  $g_{dsB1}$  de aproximadamente  $1,9 \mu S$ , que representa um resistor  $r_{dsB1}$  de  $526 K\Omega$ , enquanto o valor de  $R_x$  é menor:  $67 K\Omega$ .

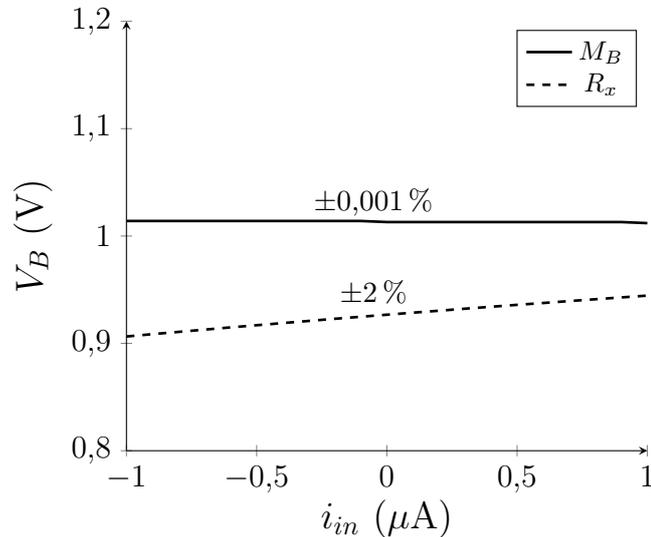


Figura 3.11 – Comparação da variação da tensão  $V_B$  vs.  $i_{in}$  utilizando resistor passivo  $R_x$  e dispositivo ativo  $M_B$ .

Outra observação está relacionada ao dimensionamento dos dispositivos. O grupo de transistores  $M_1$ - $M_4$ ,  $M_7$  e  $M_{B1}$ - $M_{B2}$  foram projetados com os valores mínimos da tecnologia, na Tabela 3.5 estão reportadas as dimensões empregadas nos dispositivos.

Na Tabela 3.6 estão listados os resultados obtidos para as principais especificações de projeto como também o comportamento da tensão  $V_B$  nas simulações realizadas nos diferentes *corners*. Em comparação com o circuito CC utilizando resistor passivo, observa-se que o valor da impedância de entrada melhorou, por causa do valor do comprimento de canal do transistor  $M_{B1}$ , em contrapartida, o tempo de resposta foi afetado, como também, a frequência de operação. Analogamente, a variação da tensão  $V_B$  foi menor ( $\pm 4\%$ ) e o consumo de potência praticamente foi igual nos dois circuitos CC.

A Figura 3.12 corresponde à resposta transiente no caso típico. Para esta simulação,

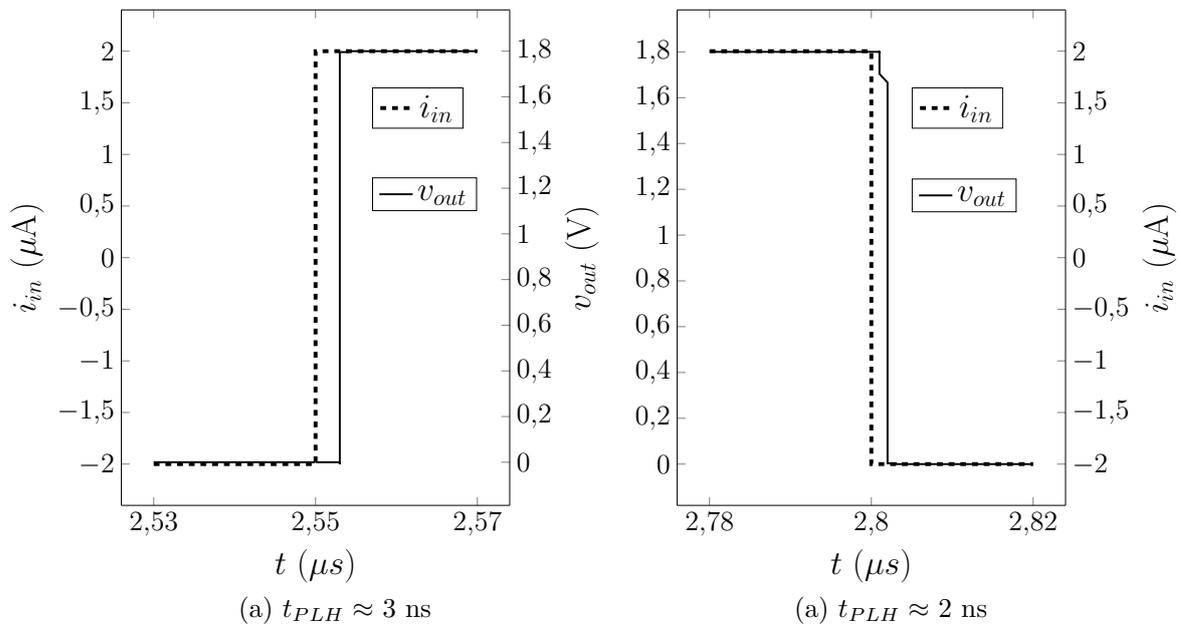
Tabela 3.5 – Dimensões do CC utilizando transistor cascode para polarizar o circuito FVF (Figura 3.9).

transistor	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
$M_0=M_5=M_6$	3,68	1
$M_B$	0,65	1
$M_1-M_4$	0,22	0,18
$M_{B1}=M_{B2}$	0,22	0,18
$M_7$	0,22	0,18
$M_8$	0,82	0,18
$M_9$	1,2	0,24
$M_{10}$	3	0,18
$I_B = 5 \mu\text{A}$ , $V_{DD} = 1,8 \text{ V}$		

Tabela 3.6 – *Corners* do CC com transistor cascode (Figura 3.9).

corner	FF	TT	SS
$Z_{in}$ [k $\Omega$ ]	2,7	2,2	2,5
Atraso [ns]	2,2	2,5	2,9
Power [ $\mu\text{W}$ ]	58	51	39
$V_B$ [V]	0,98	1,01	1,05
$i_{in} = \pm 2 \mu\text{A}$ , Frequência 2 MHz			

foi configurada uma corrente de entrada de amplitude  $\pm 2 \mu\text{A}$  com frequência de 2 MHz. Os tempos de atraso obtido para  $t_{PLH}$  e  $t_{PHL}$  foram de aproximadamente 3 ns e 2 ns, respectivamente, assim, o tempo de atraso médio é 2,5 ns.

Figura 3.12 – Resposta transiente: tempo de propagação  $t_P \approx 2,5 \text{ ns}$ ,  $C_{load} = 25 \text{ fF}$ .

Até aqui, foram investigadas duas alternativas para polarizar os transistores  $M_2$  e  $M_4$  do bloco FVF usado como estágio de entrada em um circuito CC. Na primeira opção,

foi gerada a tensão  $V_B$  mediante um resistor passivo  $R_x$ . Foi observado que, o valor de  $R_x$  deve ser grande para favorecer a impedância de entrada do CC. Os prováveis riscos de utilizar resistor passivo integrado são um maior consumo da área de silício, e a tolerância nas variações do processo que afetariam a precisão do valor da tensão  $V_B$ .

Substituir o resistor passivo  $R_x$  por um transistor  $M_{B_1}$  foi apontado como segunda alternativa. Neste caso, é essencial que o comprimento de canal,  $L_{B_1}$ , seja menor para obter uma resposta rápida do circuito. Nesta situação, a impedância de entrada do CC é degradada. É necessário aumentar a impedância de saída do dispositivo  $M_{B_1}$ , ou seja, aumentar  $L_{B_1}$ , para reduzir a impedância de entrada do CC, porém, o tempo de resposta do circuito é prejudicado.

### 3.3 Polarização mediante transistor composto

Como foi visto, existe um compromisso entre a impedância de entrada e o tempo de resposta do CC que utiliza o circuito FVF como estágio de entrada. Logo, uma célula, para conectar no dreno de  $M_2$  tal que ofereça uma alta impedância de saída, como ilustrado na Figura 3.13, com um baixo comprimento de canal, é requerida. A literatura apresenta uma célula candidata: o Transistor Composto (TC) [32, 33].

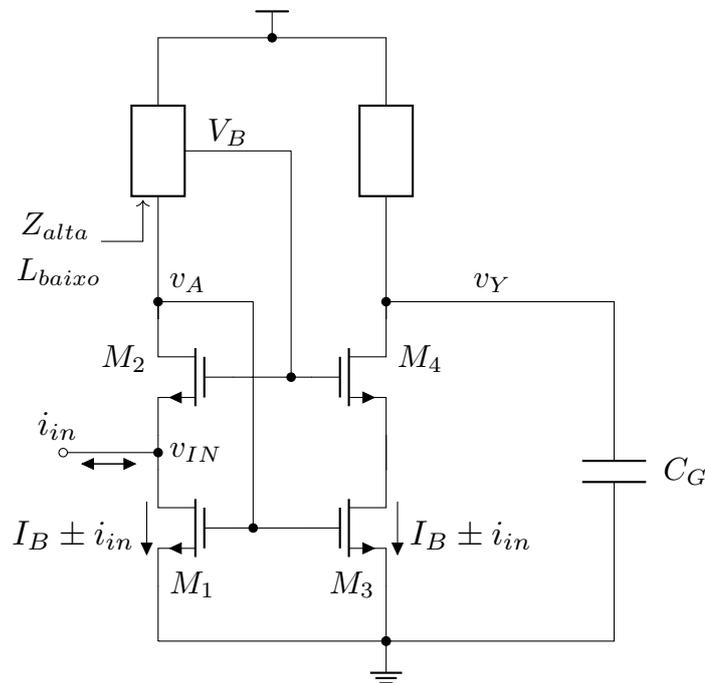


Figura 3.13 – Circuito FVF com um virtual elemento ativo de alta impedância de saída com baixo comprimento de canal.

Um TC com comprimento de canal curto fornece uma impedância de saída equivalente à fornecida por um transistor simples com comprimento de canal longo [32]. Na Figura 3.14 aparece esquematizada a ideia de um TC de dois transistores conectados em

série, o dispositivo  $M_D$  providencia o terminal de dreno e o transistor  $M_S$  proporciona o terminal da fonte. O dispositivo  $M_{eq}$  representa o transistor simples (TS) equivalente.

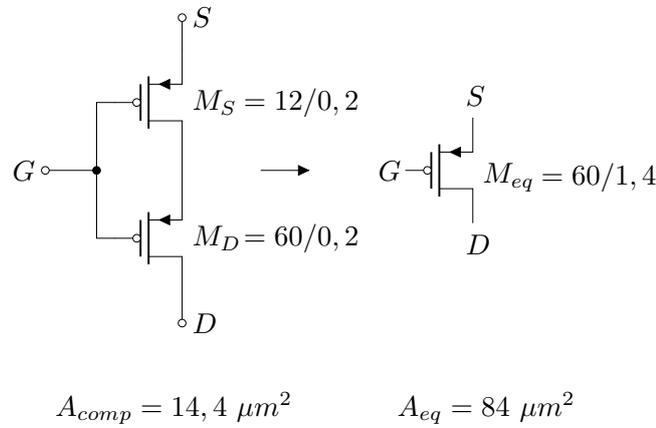


Figura 3.14 – Transistor composto e Transistor simples equivalente.

Mais informação e outros arranjos de TC, assim como o conjunto de equações 3.21 e 3.22 que estabelecem a relação de tamanho entre o TC e seu equivalente TS, são explanados por Galup [32].

$$\left. \begin{aligned} W_{eq} &= W_D \\ L_{eq} &= L_D + mL_S \end{aligned} \right\} \quad (3.21)$$

$$m = \frac{(W/L)_D}{(W/L)_S} \quad (3.22)$$

Para verificar a equivalência elétrica entre um TC e seu correspondente TS, foram traçadas as curvas da Figura 3.15 que correspondem à característica corrente de dreno,  $I_D$ , versus tensão fonte-dreno,  $V_{SD}$ . As dimensões utilizadas estão grafadas na Figura 3.14.

Foi observado que o valor do comprimento de canal do TS equivalente, segundo a equação (3.21), necessitou de um ajuste para obter uma característica próxima do TC, como na Figura 3.15. Também observa-se que a área requerida pelo TC para atingir o comportamento elétrico do TS é quase seis vezes menor.

A equação (3.23) modela a impedância de saída que produz o TC, onde  $g_{m_D}$  caracteriza a transcondutância do transistor  $M_D$ ,  $r_{ds_D}$  e  $r_{ds_S}$  representam as resistências dreno-fonte dos dispositivos  $M_D$  e  $M_S$ , respetivamente.

$$r_{out} \approx g_{m_D} r_{ds_D} r_{ds_S}. \quad (3.23)$$

Assim, é inserido o TC no circuito CC como esquematizado e ressaltado na Figura 3.16. O dispositivo TC  $M_6$ , construído com os transistores  $M_{6D}$  e  $M_{6S}$  é adicionado para preservar o equilíbrio elétrico do circuito FVF.

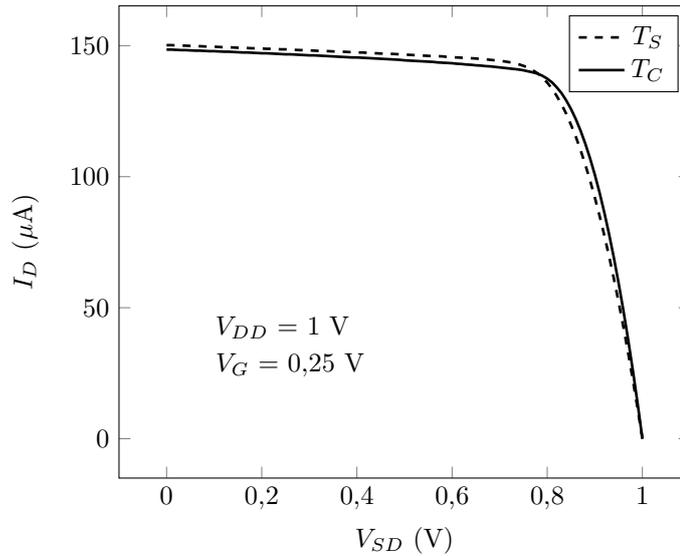
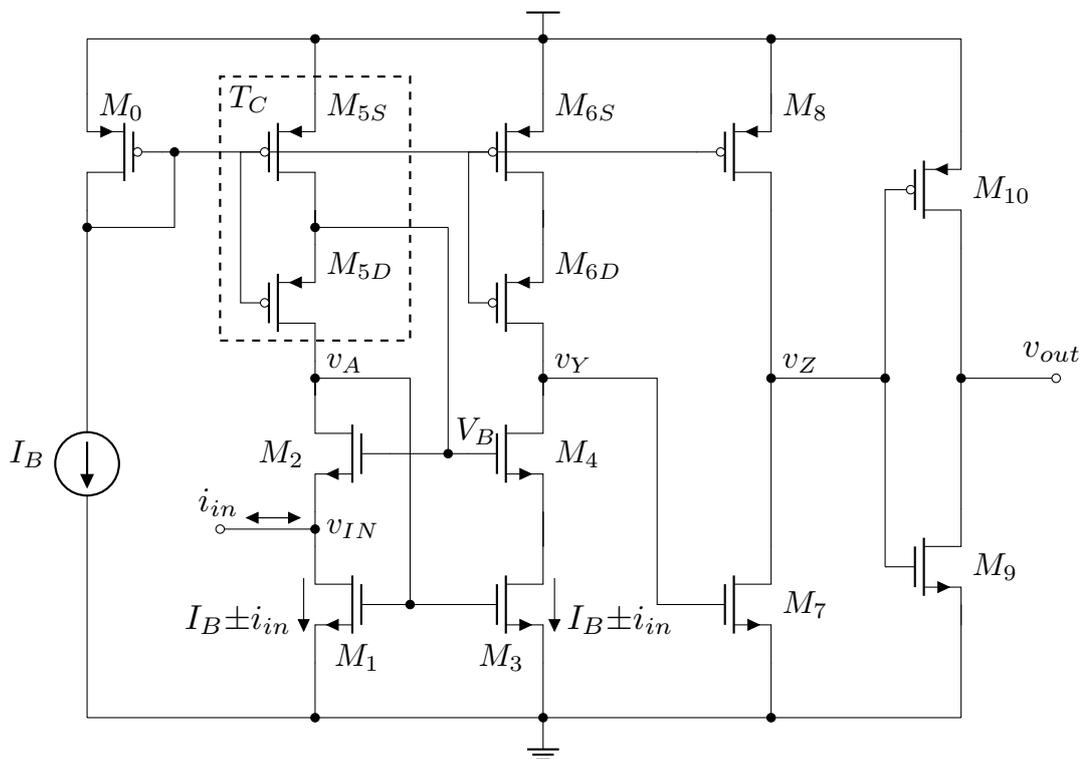

 Figura 3.15 – Comparação das curvas  $I_D$  vs.  $V_{DS}$  dos transistores  $T_C$  e  $T_S$ .


Figura 3.16 – Polarização do bloco FVF por meio de TC.

Realizando a análise do modelo de pequenos sinais, semelhante como nas seções anteriores, é determinada a expressão para a impedância de entrada do estágio FVF do circuito CC utilizando TC. A equação (3.24) é obtida, onde  $g_{dsTC5}$  representa a condutância fornecida pelo TC  $M_5$ , essa condutância corresponde ao inverso da equação 3.23.

$$Z_{in} \approx \frac{g_{ds2} + g_{dsTC5}}{g_{m2}g_{m1}}. \quad (3.24)$$

Utilizando a equação (3.24) junto com o método de projeto  $g_m/I_D$  (ver anexo A) foram re-dimensionados os transistores do estágio de entrada com o objetivo de atingir um valor de baixa impedância no ponto quiescente. As dimensões obtidas estão listadas na Tabela 3.7.

Tabela 3.7 – Dimensões do CC utilizando TC para polarizar o circuito FVF.

transistor	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
$M_0$	4	1
$M_{5_S}=M_{6_S}$	12	0,2
$M_{5_D}=M_{6_D}$	60	0,2
$M_1-M_4$	20	0,2
$M_7$	10,6	0,19
$M_8$	6	0,2
$M_9$	1,6	0,24
$M_{10}$	4	0,18
$V_{DD} = 1,8 \text{ V}, I_B = 5 \mu\text{A}$		

Os resultados obtidos nos diferentes *corners* estão resumidos na Tabela 3.8. Comparando com os resultados obtidos para o circuito CC com transistor cascode (e reportados na Tabela 3.6), confirmam o compromisso existente entre a impedância de entrada,  $Z_{in}$  e o tempo de atraso do circuito.

Tabela 3.8 – *Corners* do circuito CC empregando TC (Figura 3.9).

<i>corner</i>	FF	TT	SS
$Z_{in}$ [ $\Omega$ ]	44	56	80
Atraso [ns]	21	35	50
Potência [ $\mu\text{W}$ ]	182	148	120
$V_B$ [V]	1,72	1,72	1,72
$i_{in} = \pm 2 \mu\text{A}$ , Frequência 2 MHz			

A Figura 3.17 corresponde à resposta transiente no caso típico. A corrente de entrada  $i_{in}$  foi configurada com uma amplitude  $\pm 2 \mu\text{A}$  de frequência 2 MHz. Os tempos de atraso obtidos para  $t_{PLH}$  e  $t_{PHL}$  foram de aproximadamente 28 ns e 48 ns, respectivamente, logo, o tempo de atraso médio é 38 ns.

Uma alternativa para diminuir o tempo de atraso é incrementar a amplitude do sinal de entrada, como ilustrado na Figura 3.18. No entanto, após um limite superior, o aumento na amplitude do sinal de entrada não afetará mais o tempo de atraso [21].

Neste capítulo foram apresentadas três soluções para polarizar os transistores  $M_2$  e  $M_4$  do bloco FVF utilizado como estágio de entrada para um circuito CC. As três soluções mostraram ser funcionais. Foi mostrado que existe um compromisso entre a impedância de entrada e o tempo de resposta do circuito. Assim, cabe ao projetista optar pelo método de polarização que melhor se adéque às especificações requeridas. Na tabela 3.9 estão

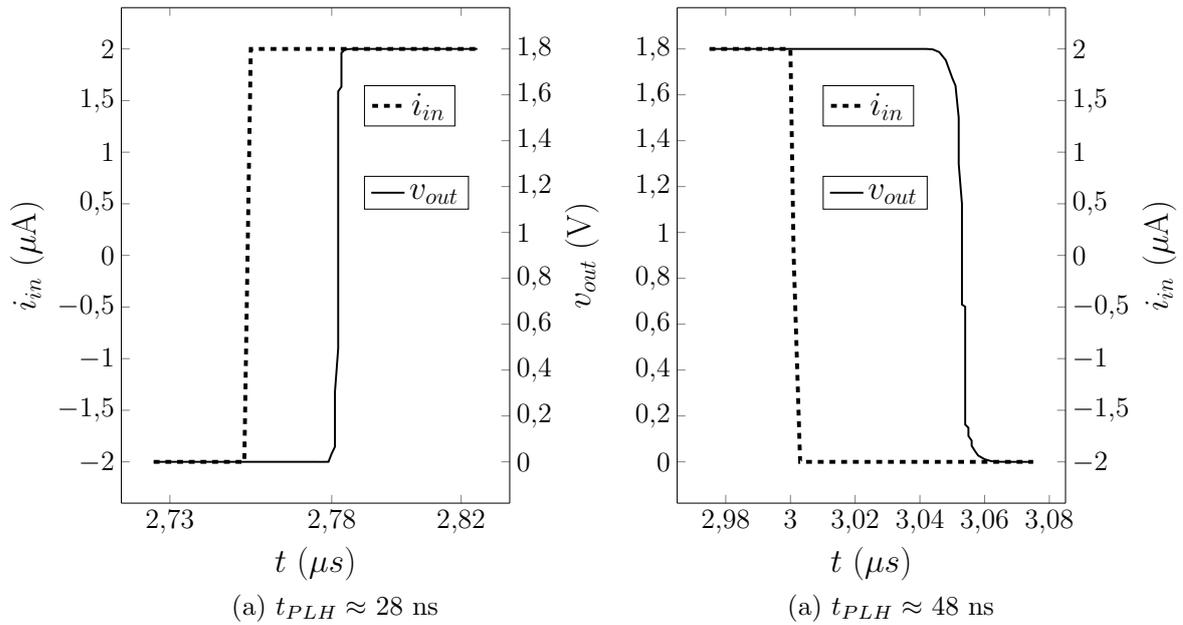
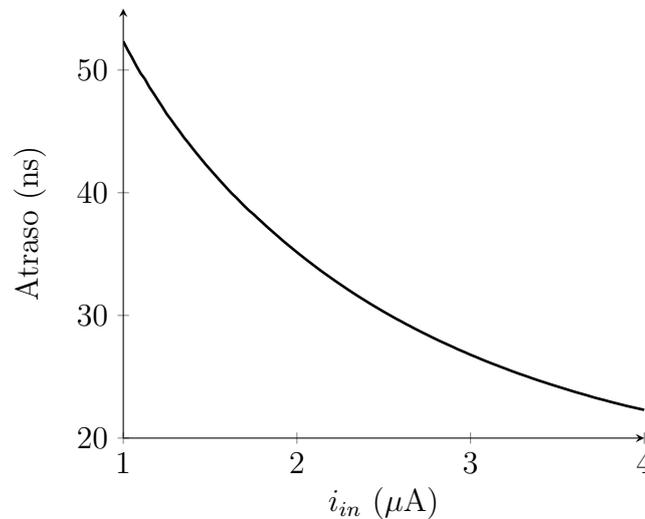

 Figura 3.17 – Resposta transiente: tempo de propagação  $t_P \approx 38$  ns,  $C_{load}=25$  fF.


Figura 3.18 – Tempo de propagação como função da amplitude do sinal de entrada.

resumidos os resultados obtidos para os três métodos. O circuito CC com TC apresentou a melhor impedância de entrada no ponto de operação, mas foi o pior tempo de atraso, confirmando o compromisso existente entre essas especificações no circuito.

Tabela 3.9 – Resumo dos resultados obtido dos circuitos CC explanados.

Arquitetura	$Z_{in}$	Atraso [ns]	Potência [ $\mu$ W]	$V_B$ [ $\pm\%$ ]
CC com resistor passivo	5,4 k $\Omega$	3,1	40	7,3
CC com dispositivo ativo	2,2 k $\Omega$	2,5	51	3,5
CC com transistor composto	56 $\Omega$	35	148	0,002

$i_{in} = \pm 2 \mu A$ , Frequência 2 MHz,  $I_B = 5 \mu A$ ,  $V_{DD} = 1,8$  V.

Para validar a tese deste trabalho foi projetado um circuito CC, empregando a estrutura cascode para polarizar o estágio de entrada. No capítulo seguinte são apresentados os resultados obtidos das simulações pós-leiaute de *corners*, Monte Carlo, transiente e das medições coletadas no laboratório.

## 4 Resultados das simulações pós-leiaute e das medições realizadas no laboratório

Em um circuito CC que utiliza o bloco FVF como estágio de entrada existe um compromisso entre a impedância de entrada e o tempo de atraso do circuito. O projetista decide a qual dar preferência segundo as especificações requeridas. Neste trabalho, para projetar, fabricar e caracterizar um circuito CC, utilizando a estrutura cascode proposta para polarizar o estágio de entrada, foi escolhido como requisito o menor tempo de atraso. Assim, as dimensões mínimas permitidas pela tecnologia foram adotadas para os transistores que processam o sinal de entrada. Na Tabela 3.5 estão listadas as dimensões adotadas para o circuito CC.

Este capítulo apresenta os resultados obtidos das simulações pós-leiaute do circuito CC projetado e as medições coletadas em laboratório do protótipo fabricado.

### 4.1 Leiaute do circuito CC

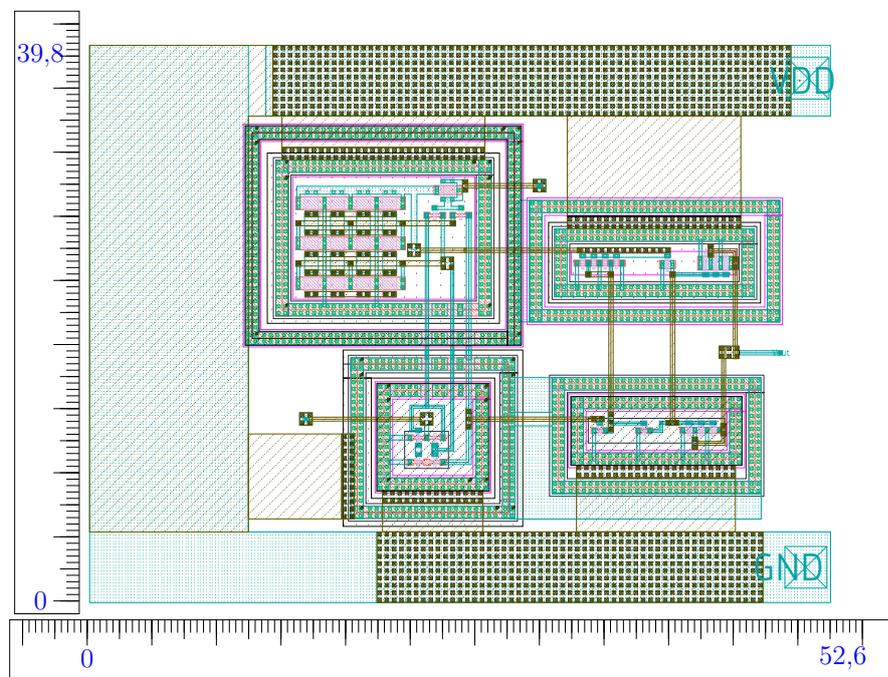


Figura 4.1 – Leiaute do circuito CC empregando a estrutura cascode proposta para polarizar o estágio de entrada FVF.

A Figura 4.1 apresenta o leiaute confeccionado do circuito CC a partir do diagrama esquemático ilustrado na Figura 3.9. Para minimizar os efeitos de ruído induzido foram

tomados cuidados na realização do leiaute. Por exemplo, os transistores PMOS, alocados em dois grupos na parte superior, foram circundados por anéis de guarda tipo N e os transistores NMOS, dispostos em dois grupos na parte inferior, foram contornados com anéis do tipo P. Desta forma, o leiaute realizado ocupa uma área aproximada de  $40 \mu\text{m} \times 52 \mu\text{m}$ .

Os dispositivos alocados no grupo da parte superior à esquerda correspondem aos transistores do tipo PMOS  $M_0$ ,  $M_5$ ,  $M_6$ ,  $M_B$ ,  $M_{B1}$  e  $M_{B2}$ . O leiaute dos dispositivos  $M_1$ - $M_4$  do tipo NMOS foram posicionados na parte inferior à esquerda. Na parte superior à direita estão alocados os transistores PMOS  $M_8$  e  $M_{10}$ , e na parte inferior direita estão localizados os transistores NMOS  $M_7$  e  $M_9$ .

#### 4.1.1 Resultados pós-leiaute

A Figura 4.2 apresenta o resultado obtido do valor da tensão  $V_B$  em relação à corrente de entrada  $i_{in}$ . O valor da tensão  $V_B$  apresentou uma variação de  $\pm 0.001\%$  na faixa de  $-1 \mu\text{A}$  até  $1 \mu\text{A}$ . Esse resultado foi, praticamente, igual ao obtido com simulação no nível de esquemático (ver Figura 3.11).

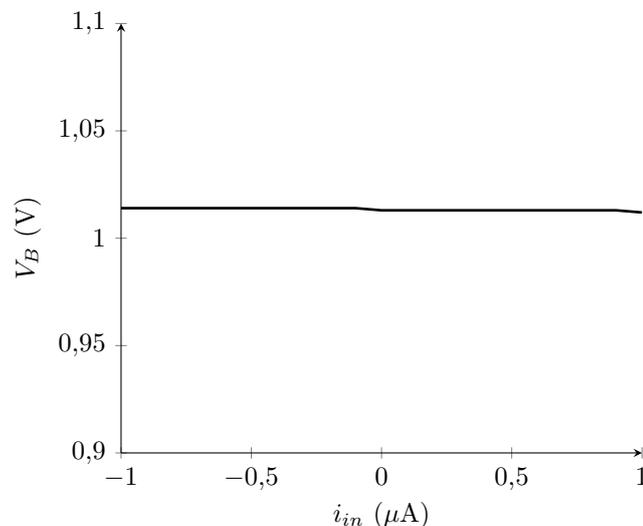


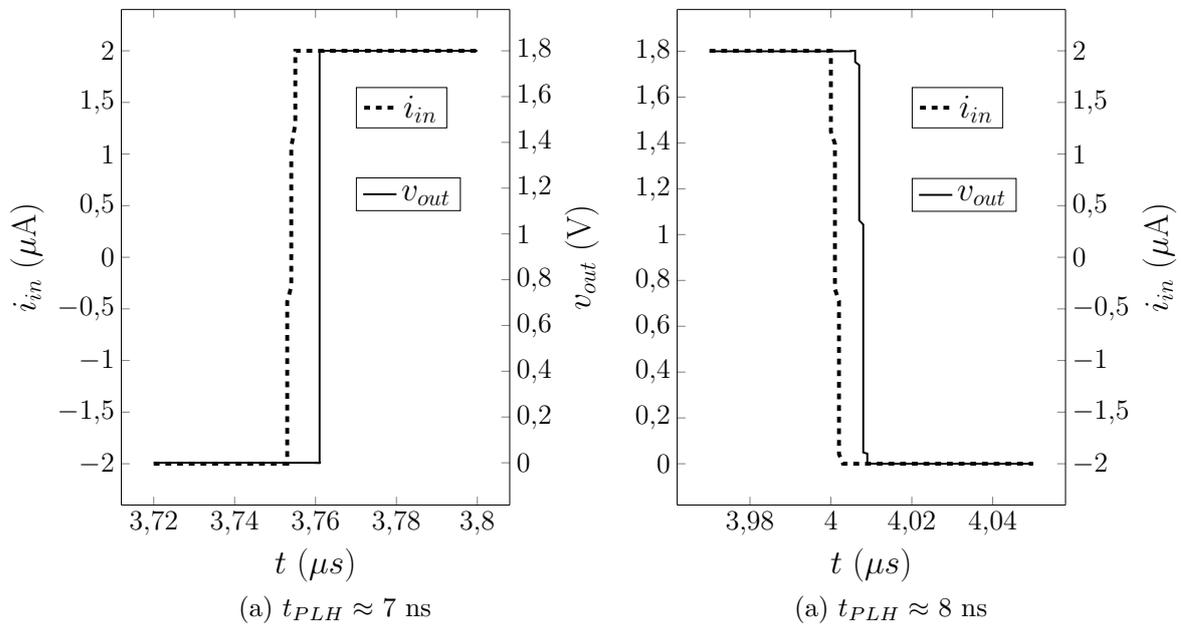
Figura 4.2 – Variação da tensão  $V_B$  no caso típico (TT).

Na Tabela 4.1 estão resumidos os resultados das simulações nas variações de processo. O tempo de atraso teve um incremento em comparação com os resultados reportados na Tabela 3.6. Isto se explica pelos componentes parasitas inerentes ao leiaute. O valor da tensão  $V_B$  apresentou uma variação de  $\pm 1\%$  e o consumo de potência continua na ordem dos  $50 \mu\text{W}$ . Os valores da impedância de entrada foram obtidos mediante a simulação dos parâmetros S, e confirmam que a equação 3.20 é válida para avaliar essa especificação nas baixas frequências. No anexo B é apresentado o procedimento seguido para executar a análise dos parâmetros S.

Tabela 4.1 – Corners do CC com transistor cascode (Figura 3.9).

<i>corner</i>	FF	TT	SS
$Z_{in}$ [k $\Omega$ ]	2,8	2,1	2,4
Atraso [ns]	6,1	8,8	7,8
Potência [ $\mu$ W]	55	47	40
$V_B$ [V]	1	1,01	1,02
$i_{in} = \pm 2 \mu\text{A}$ , Frequência 2 MHz			

A Figura 4.3 corresponde à resposta transiente no caso típico. A corrente de entrada  $i_{in}$  foi configurada com uma amplitude de  $\pm 2 \mu\text{A}$  e frequência igual a 2 MHz. Os tempos de atraso obtidos para  $t_{PLH}$  e  $t_{PHL}$  foram de aproximadamente 7 ns e 8 ns, respetivamente, portanto, o tempo de atraso médio é 7,5 ns.

Figura 4.3 – Resposta transiente: tempo de propagação  $t_P \approx 7,5$  ns,  $C_{load} = 25$  fF.

Uma especificação dos CC reportada na literatura é a corrente mínima que pode detectar o circuito. A Figura 4.4, que representa a tensão de saída  $v_{out}$  vs.  $i_{in}$ , revela que o circuito CC polarizado com a estrutura cascode proposta apresenta um *offset* de corrente de 200 pA e uma resolução de  $\pm 100$  pA.

A Figura 4.5 apresenta a característica  $v_{out}$  vs.  $i_{in}$  nas variações de processo. O resultado desta simulação indica que as respostas transientes para os casos típico (TT) e rápido (FF) devem possuir ciclos de trabalho próximos a 50%.

A simulação Monte Carlo foi configurada para analisar o comportamento do circuito nas possíveis variações de processo e descasamento originadas pela fabricação. Os histogramas obtidos dessa análise estão registrados na Figura 4.6. A tensão  $V_B$  apresentou um valor médio ( $\mu$ ) de 1,022 V com uma variação ( $\sigma$ ) de 1,2 mV, como ilustrado na Figura

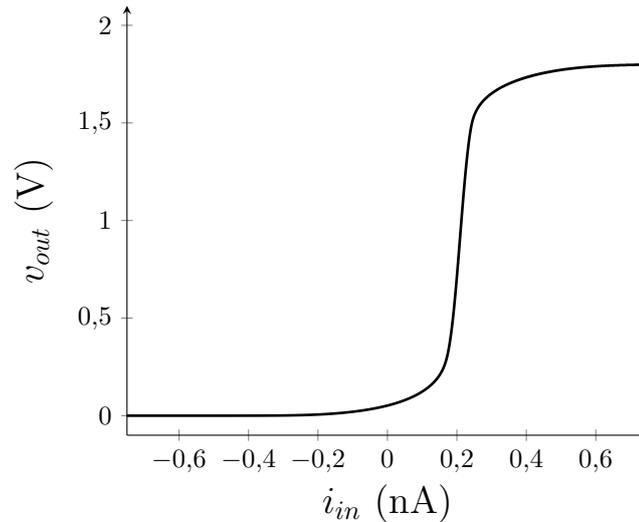


Figura 4.4 – Característica  $v_{out}$  vs.  $i_{in}$ . A corrente de entrada mínima para permutar a saída é de  $\pm 200$  pA.

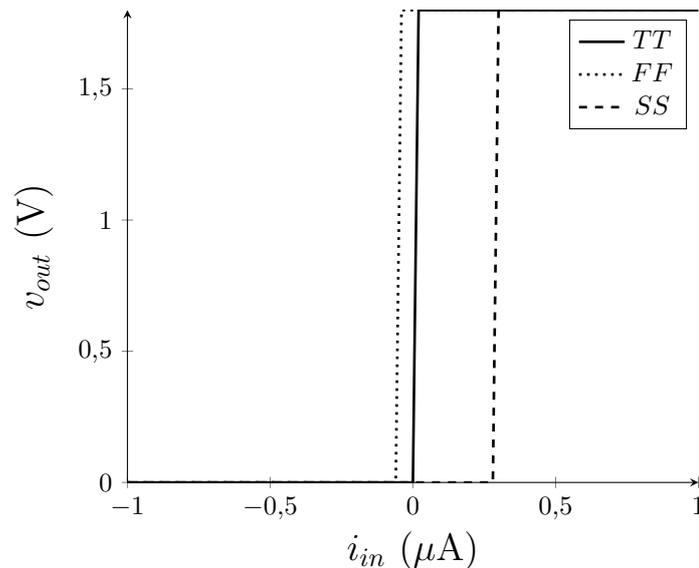
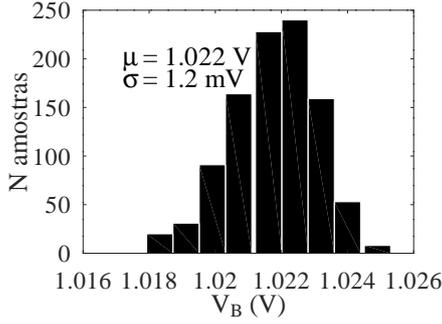
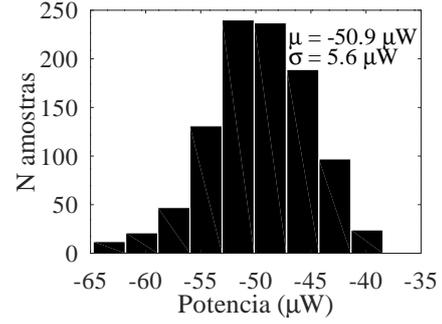


Figura 4.5 – *Corners* da característica  $v_{out}$  vs.  $i_{in}$ .

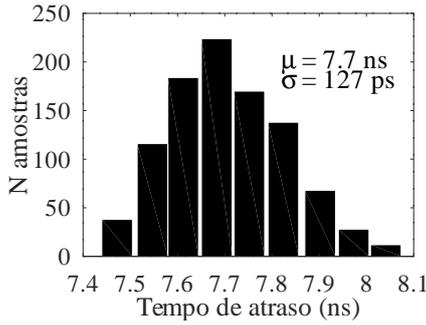
4.6.a, assim, a estrutura cascode proposta exibe um coeficiente de variação ( $\sigma/\mu$ ) de 0,1%.

A Figura 4.6.b indica que o tempo de propagação apresenta uma média de 7,7 ns com uma variação de 127 ps. O circuito CC consome em média  $50,9 \mu\text{W}$  com uma variação de  $5,6 \mu\text{W}$  e apresenta uma impedância de entrada média, no ponto de operação, de  $2,24 \text{ k}\Omega$  e  $200 \Omega$  de variação, como indicado nas Figuras 4.6.c e 4.6.d, respectivamente.

Visando a caracterização em laboratório do circuito CC projetado neste trabalho, foram levadas em consideração as capacitâncias do PAD, da placa PCB e das pontas de teste. Assim, foi estimado um valor de  $30 \text{ pF}$  para a capacitância de carga total. Tendo em vista que o CC foi projetado para carregar e descarregar uma capacitância equivalente de uma porta digital ( $\approx 25 \text{ fF}$ ), foi necessário projetar um circuito *buffer* (uma cadeia de

(a) Análise Monte Carlo para a tensão  $V_B$ .

(c) Análise Monte Carlo para a potência.



(b) Análise Monte Carlo para o tempo de atraso.

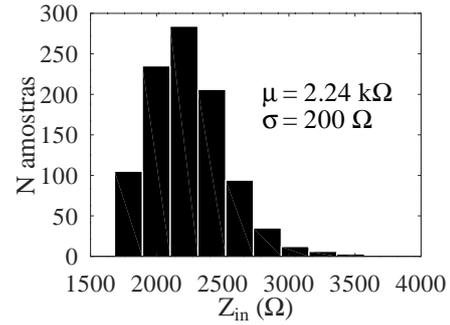
(d) Análise Monte Carlo para  $Z_{in}$ .

Figura 4.6 – Resultados da análise Monte Carlo. Em todos os casos foram executadas 1000 rodadas.

inversores digitais) para realizar as medidas no laboratório. Deste modo, uma cadeia de quatro inversores foram dimensionados seguindo o procedimento apresentado por Baker [34]. Os valores obtidos para as dimensões dos inversores estão listados na Tabela 4.2.

Tabela 4.2 – Dimensões dos inversores do circuito *buffer*,  $L = 0.18 \mu\text{m}$ .

Dispositivo	$W[\mu\text{m}]$
$M_{P_2}$	15
$M_{P_3}$	75
$M_{P_4}$	375
$M_{P_5}$	1875
$M_{N_2}$	4,5
$M_{N_3}$	22,5
$M_{N_4}$	112,5
$M_{N_5}$	561,5

A Figura 4.7 apresenta o diagrama esquemático do circuito CC conectado à entrada do circuito *buffer*.

O leiaute construído do circuito *buffer* está ilustrado na Figura 4.8. Como medida preventiva, também, foram adicionados anéis de guarda à estrutura. O leiaute do circuito *buffer* possui dimensões de  $58 \mu\text{m} \times 122 \mu\text{m}$ .

Os leiautes dos circuitos CC e *buffer* já conectados e alocados no anel de PAD's

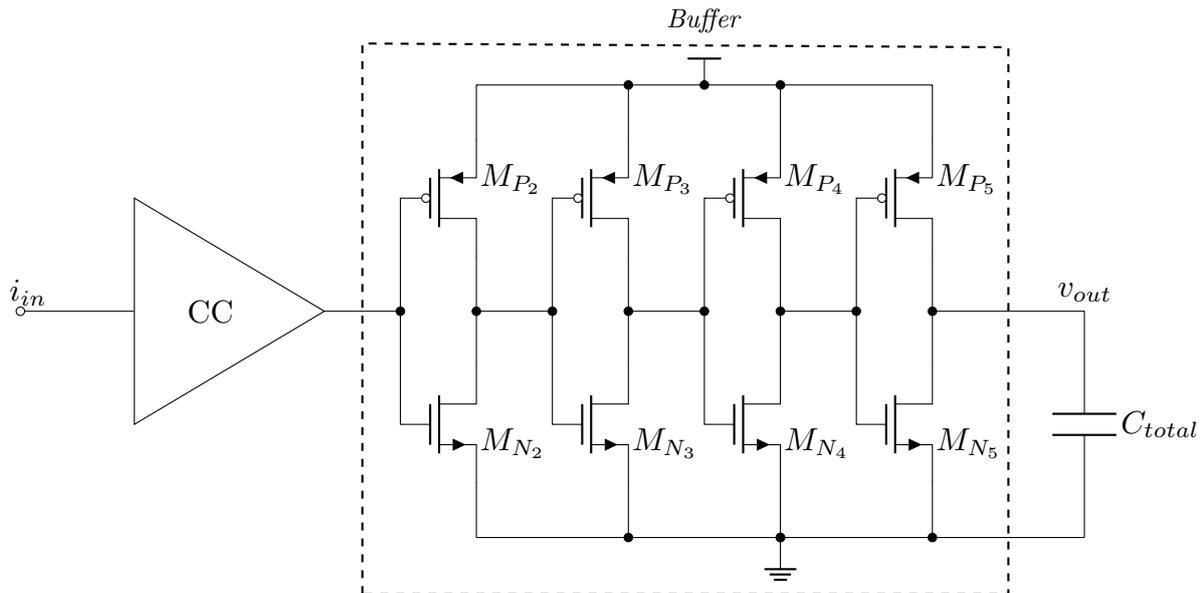


Figura 4.7 – CC conectado ao circuito *buffer*, que foi projetado para carregar e descarregar uma capacitância  $C_{total}$ , estimada em 30 pF.

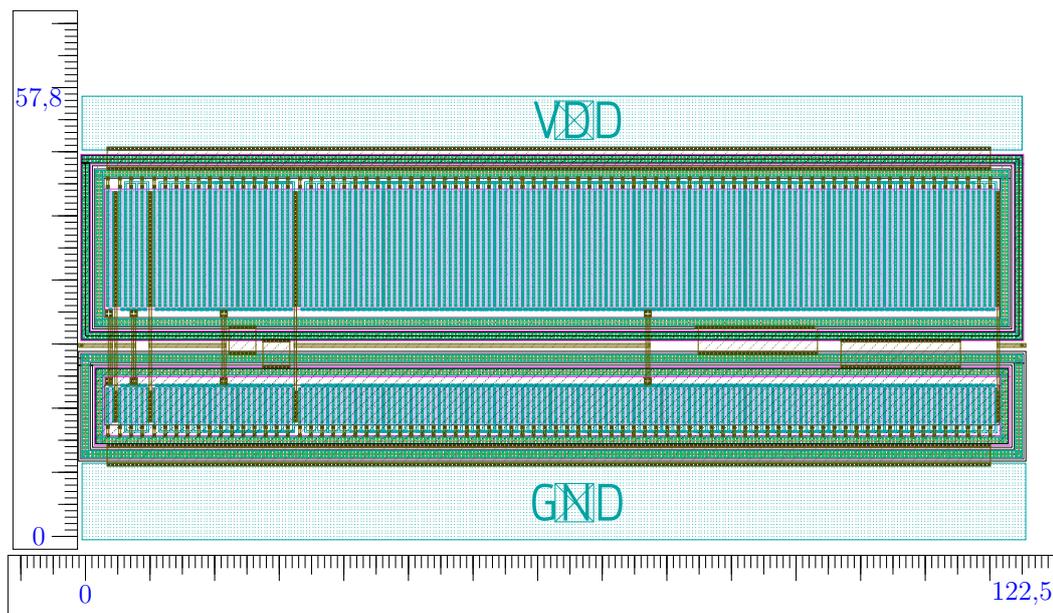


Figura 4.8 – Leiaute do circuito *buffer*.

estão apresentados na Figura 4.9. Nesta figura pode-se observar uma estrutura de proteção (ESD) que foi adicionado para conectar a porta do transistor  $M_B$  (ver Figura 3.7) ao PAD e, assim, eliminar o efeito antena reportado pela ferramenta DRC. Na Figura 4.9 também é ilustrado o diagrama esquemático da estrutura ESD. Vale mencionar que esse circuito de proteção foi realizado e fornecido pelo professor Dalton Martini Colombo, da Universidade Federal de Minas Gerais (UFMG).

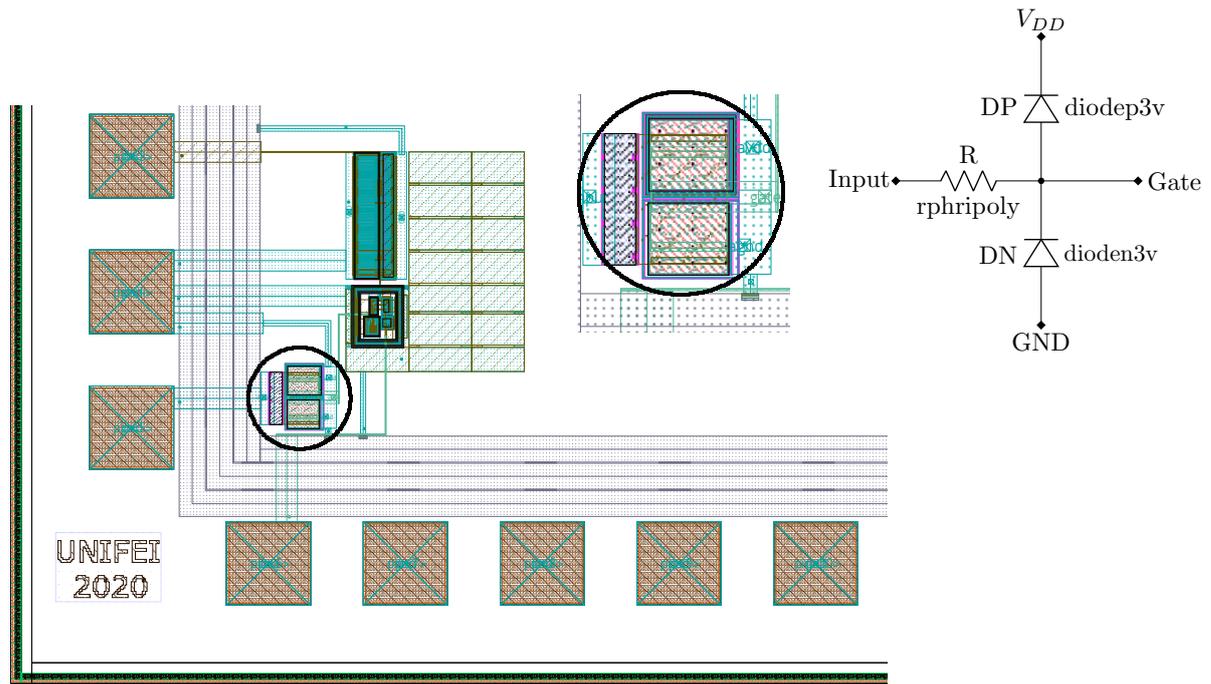


Figura 4.9 – Leiaute do CC conectado ao circuito *buffer*. Uma estrutura de proteção ESD, em destaque, foi adicionada.

#### 4.1.2 Resultados experimentais

O circuito CC com a estrutura cascode proposta para polarizar o estágio FVF foi fabricado na tecnologia CMOS no processo TSMC 180 nm. A Figura 4.10 exibe uma microfotografia do *chip* fabricado. O circuito CC projetado, conectado ao *buffer*, aparece em destaque, e ocupam uma área total de  $50 \mu\text{m} \times 170 \mu\text{m}$ .

Para realizar a caracterização em laboratório, é necessário, um gerador de corrente pulsada, entretanto, o mesmo não está disponível no laboratório do grupo de microeletrônica da UNIFEI. Uma solução para esta situação é utilizar o método ilustrado na Figura 4.11. Solis [9] reportou os resultados da caracterização utilizando este método.

Os valores utilizados para configurar a bancada de testes, seguindo o método descrito, estão reportados na Tabela 4.3. O valor de  $V_{IN}$  corresponde ao valor da tensão  $V_{DS1}$  do transistor  $M_1$  do circuito CC (ver Figura 3.7) no ponto de polarização. Portanto, primeiro, é feita uma simulação DC para conhecer este valor. A amplitude da corrente  $i_{in}$  é determinada pelo valor da amplitude da tensão  $v_{in}$ , junto com o resistor  $R_{in}$ . Assim, com a combinação de 200 mV de amplitude para  $v_{in}$  e um valor de 100 k $\Omega$  para o resistor  $R_x$ , obtém-se, uma corrente de entrada de amplitude  $\pm 2 \mu\text{A}$ .

A interferência eletromagnética (EMI) degrada o desempenho dos circuitos eletrônicos. Uma blindagem eletromagnética contra os efeitos da EMI pode ser gerada por intermédio de uma gaiola de Faraday, que é basicamente uma gaiola construída com um material condutor, que impede a entrada de perturbações oriundas tanto de campos ele-

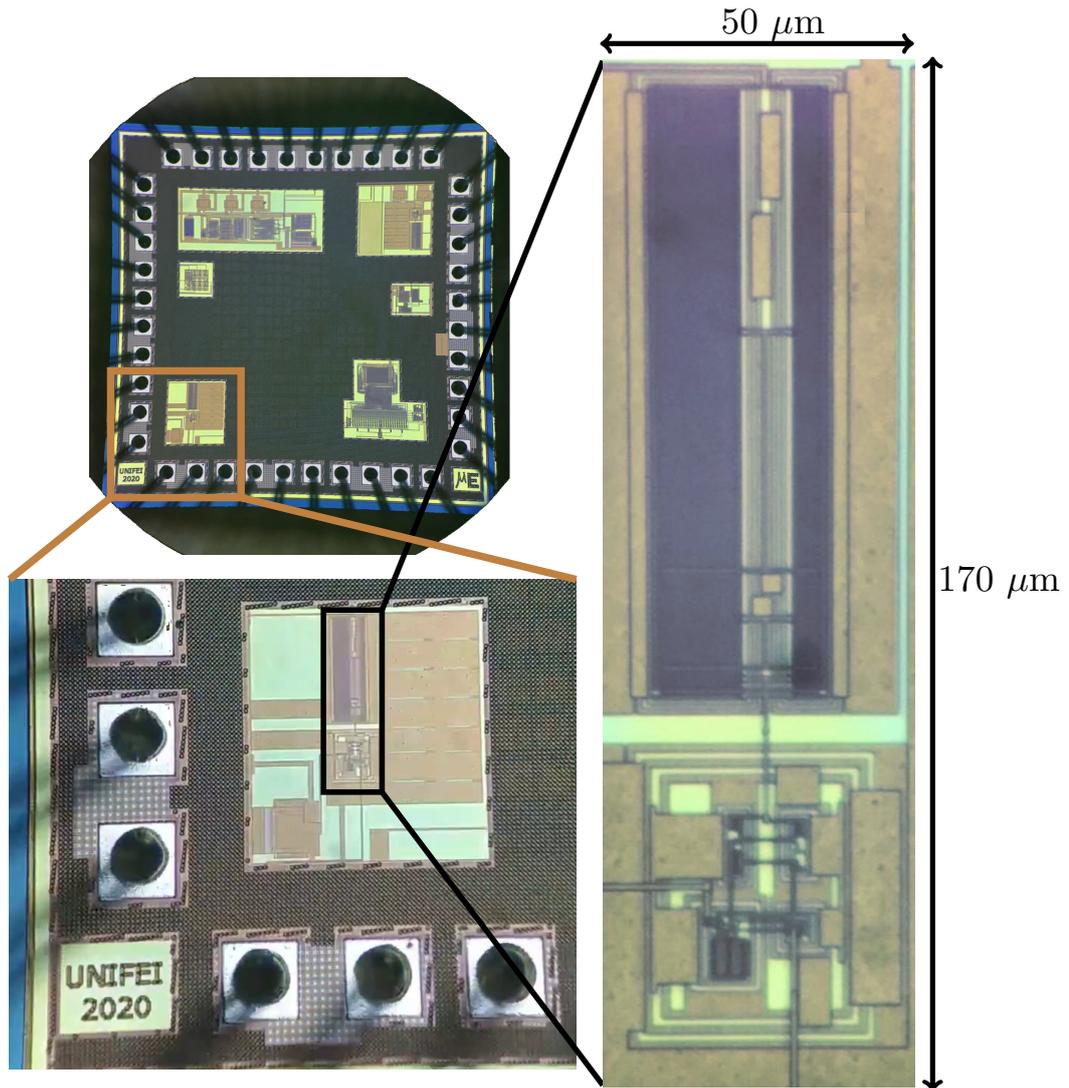


Figura 4.10 – Micrografia do protótipo fabricado. Em destaque o circuito CC projetado neste trabalho. A cadeia de inversores ocupa aproximadamente  $2/3$  da área total do circuito

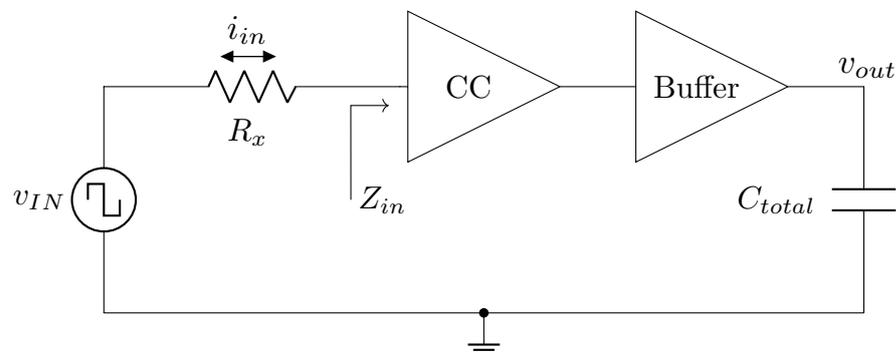


Figura 4.11 – Configuração da bancada de teste usando fonte de tensão pulsada e resistor para gerar a corrente de entrada pulsada.

trostáticos quanto de campos eletromagnéticos [35]. Assim, para contornar possíveis ruídos

Tabela 4.3 – Valores utilizados na bancada de testes.

$R_{in}$ [k $\Omega$ ]	100
$v_{in}$ [mV]	200
$V_{IN}$ [mV]	350
$f_s$ [MHz]	2
$C_{total}$ [pF]	30
$i_{in} = \pm 2 \mu A$	

gerados pela EMI, o protótipo fabricado em este trabalho, foi caracterizado empregando um exemplar de gaiola de Faraday.

A Figura 4.12 apresenta uma foto do *chip* fabricado, montado sob a placa PCB, e o conjunto todo dentro de um modelo de gaiola de Faraday.

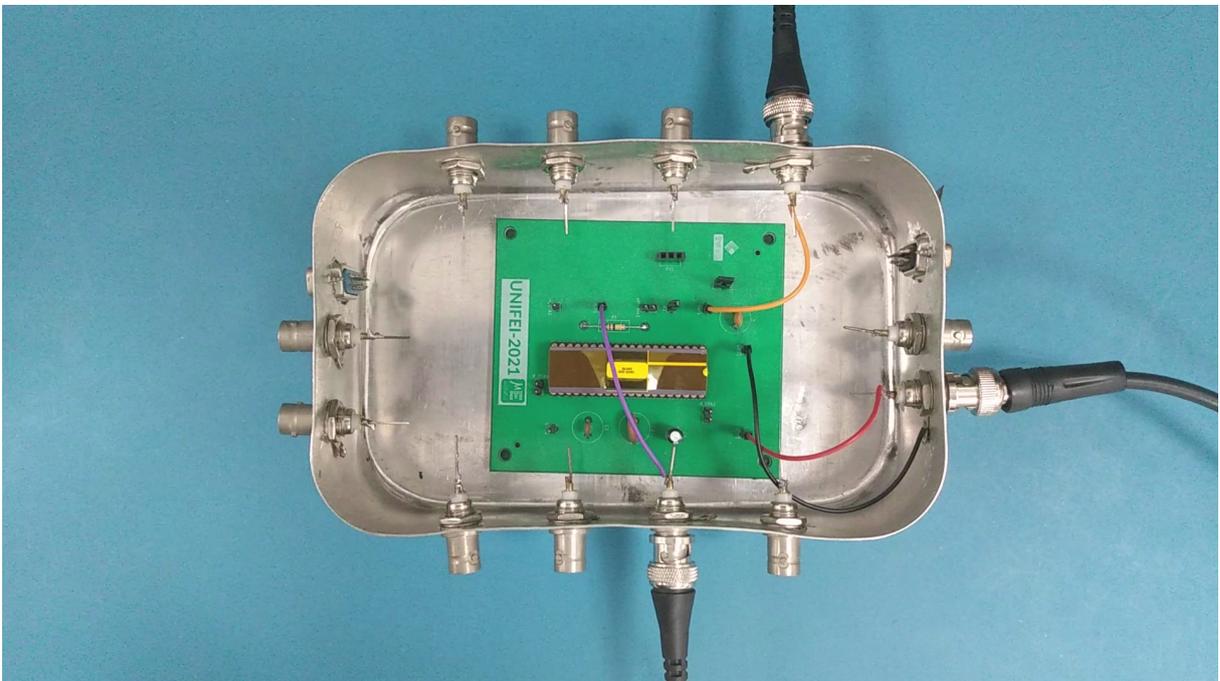


Figura 4.12 – Protótipo fabricado, sobreposto na placa PCB e dentro de um modelo de gaiola de Faraday.

A característica DC  $V_{OUT}$  vs.  $I_{IN}$  foi realizada com um *Agilent B1500 A Semiconductor Device Analyzer*. O resultado obtido está ilustrado na Figura 4.13. Este resultado indica que o circuito CC fabricado tem um *offset* de corrente de 2,5 nA com igual resolução. A diferença com o resultado pós-leiaute, Figura 4.4, é por causa do circuito *buffer*.

Um osciloscópio *A Keysight Infiniium Series* foi utilizado para medir o tempo de atraso do circuito CC. O resultado está registrado na Figura 4.14. O circuito apresenta um tempo de atraso médio de 9 ns aproximadamente. Para gerar o pulso de corrente foi utilizado um gerador de funções *Tektronix AFG3252*. O máximo valor de frequência que foi possível medir no laboratório foi de 2 MHz.

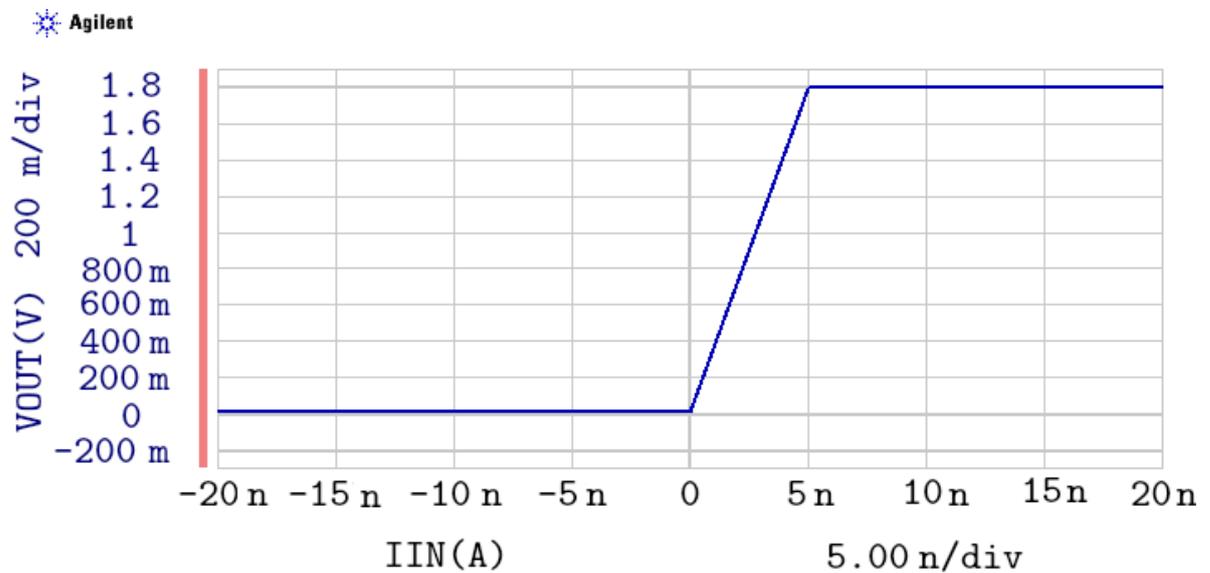


Figura 4.13 – Característica DC  $V_{OUT}$  vs.  $I_{IN}$  medida com um *Agilent B1500A Semiconductor Device Analyzer*.

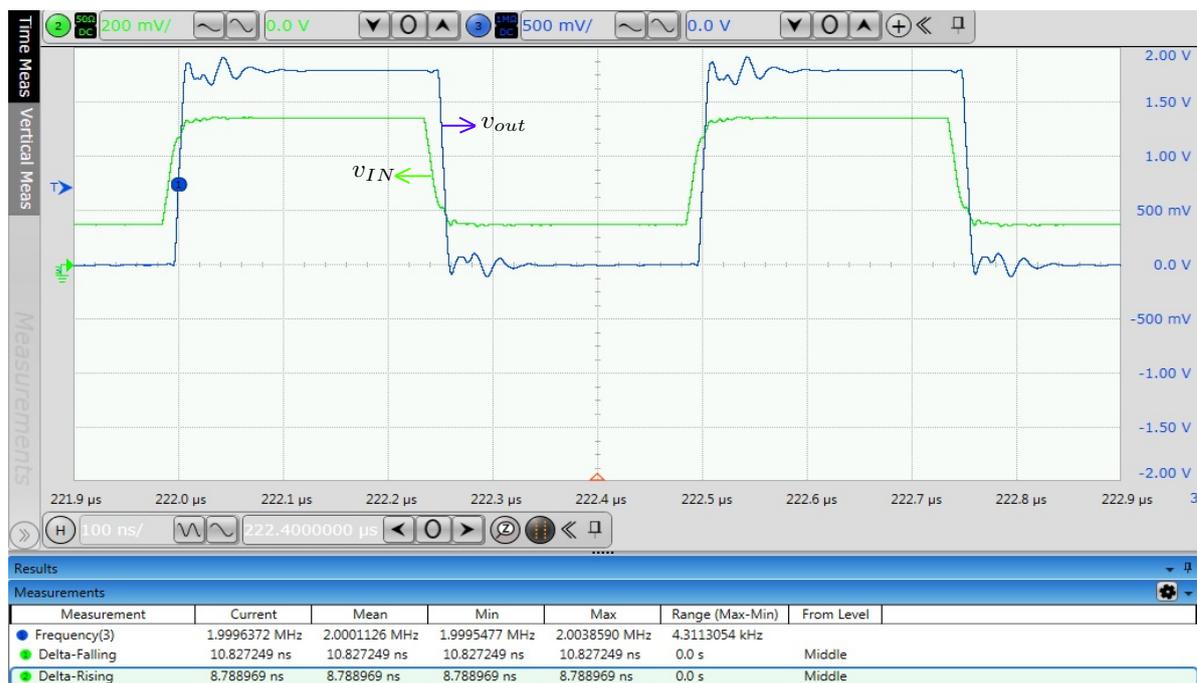


Figura 4.14 – Análise transiente medida com um *Keysight Infiniium Series Oscilloscope*. O tempo de propagação médio é aproximadamente 9 ns.

O circuito CC apresenta um consumo de potência estática de  $47 \mu$ W, este valor não inclui o consumo de potência do circuito *buffer*, lembrando que este último foi projetado para auxiliar a caracterização do CC no laboratório.

A impedância de entrada  $Z_{in}$  do circuito CC foi medida com um analisador de

rede vetorial *Keysight Vector Network Analyzer (VNA) N9923*. No anexo B é descrito o procedimento que foi seguido para realizar essa medida. O circuito exibe uma  $Z_{in}$  de 1,37 K $\Omega$  na frequência de 2 MHz (frequência mínima permitida pelo aparelho), como mostrado na Figura 4.15, e o valor chega a 50  $\Omega$ , valor considerado como de baixa impedância [9], na frequência de 50 MHz. O barrido feito até 200 MHz confirma o comportamento descrito pela equação (3.10), exceto pelos picos ocorridos na faixa de 120 MHz até 160 MHz. Em esta medida o aparelho leva em consideração a capacitância do PAD do pino de entrada do circuito, como também a capacitância da placa PCB. No modelamento da impedância de entrada só foram consideradas as capacitâncias do modelo do transistor.

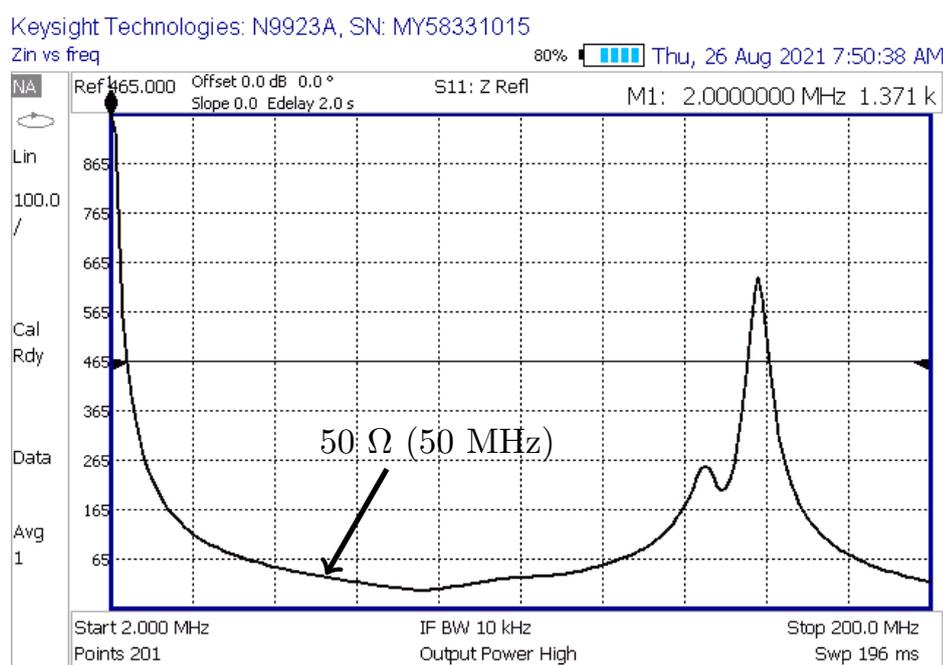


Figura 4.15 – Medida da  $Z_{in}$  vs. a frequência realizada com um analisador de rede vetorial *Keysight VNA N9923A*.

O circuito CC foi caracterizado na frequência de 2 MHz, porém, as simulações realizadas mostram que consegue discriminar sinais com até 50 MHz, como mostra o resultado da análise transiente ilustrado na Figura 4.16. Nesta frequência o CC apresenta um tempo de atraso médio de 7,5 ns.

Os resultados obtidos neste trabalho e de diversos e recentes CCs, selecionados da literatura, estão resumidos na Tabela 4.4. O CC de Solis [9] foi desenvolvido no processo 0,35  $\mu\text{m}$  e é um dos poucos CC fabricados e testados. Os resultados publicados por Yu [24] correspondem às simulações pós-leiaute, os outros resultados representam a simulação em nível esquemático. A partir dos resultados registrados observa-se que o CC proposto neste trabalho possui um dos menores consumos de energia, e a menor entrada de corrente mínima, que é uma consequência direta da estrutura proposta para polarizar o circuito

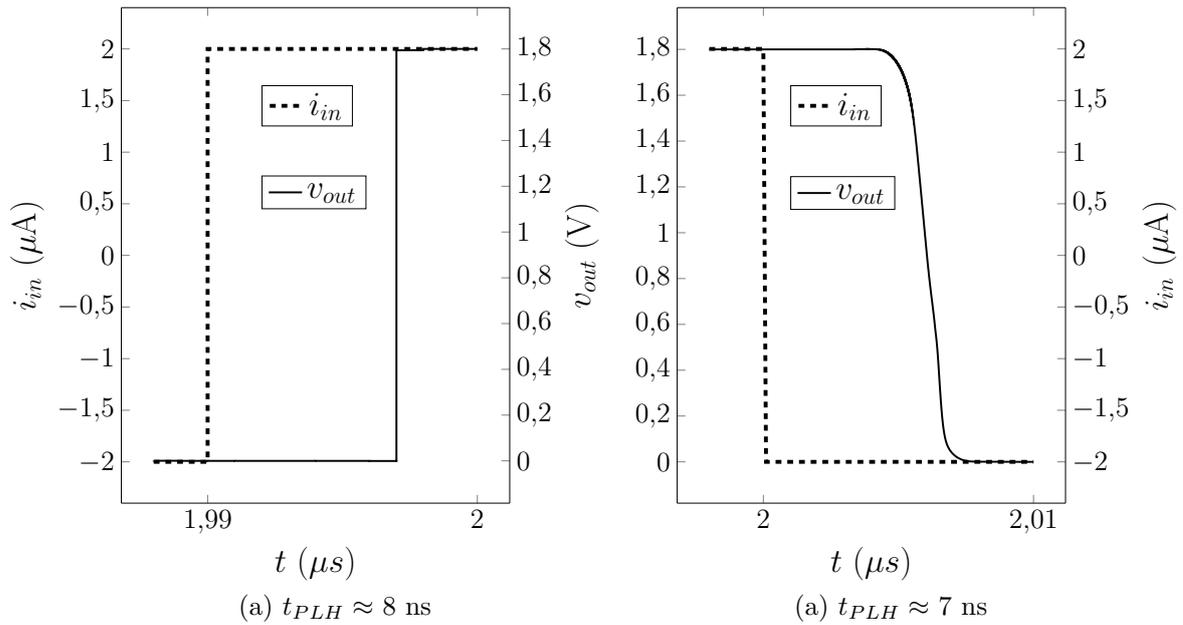


Figura 4.16 – Resposta transiente do circuito CC na frequência de 50 MHz - simulação pós-leiaute.

FVF.

Tabela 4.4 – Parâmetros de desempenho do CC projetado neste trabalho e outros.

Parâmetro	Solis [9]	Patro [26]	Kawatra [27]	Kundu [28]	Yu [24]	Este trabalho
Ano	2016	2017	2018	2018	2020	2022
Tecnologia [ $\mu\text{m}$ ]	0,35	0,18	0,09	0,03*	0,18	0,18
$V_{DD}$ [V]	1	1,8	0,9	1	1	1,8
$Z_{in}$ [ $\Omega$ ]	50	NA	NA	NA	NA	50
$i_{in}$ [ $\mu\text{A}$ ]	1	0,1	2000	NA	10	0,35
Mínima $i_{in}$ [nA]	5	4	2000	NA	10	0,2
$t_d$ [ns]	15	0,9	0,15	9,2	0,53	7,5
Potência [ $\mu\text{W}$ ]	30	270	1000	305	59	47
Produto atraso-potência [pJ]	0,45	0,24	0,15	2,8	0,03	0,35
Frequência [MHz]	1	1000	6700	108	50	50
Área [ $\mu\text{m} \times \mu\text{m}$ ]	30x30	NA	NA	NA	NA	40x50

\* FinFET technology

## 5 Conclusões e Trabalhos Futuros

Neste trabalho foi apresentada como tese uma técnica para polarizar o circuito seguidor de tensão dobrado (*flipped voltage follower* - FVF), utilizado como estágio de entrada de um comparador de corrente CMOS.

Mediante uma análise teórica foi demonstrado o compromisso que existe entre a impedância de entrada e o tempo de propagação do comparador de corrente que utiliza o circuito FVF como estágio de entrada. Os resultados obtidos das simulações confirmaram o estudo teórico.

Além da técnica proposta, foram abordadas alternativas para polarizar o circuito FVF. Utilizar um resistor passivo tornaria impreciso o valor da tensão de polarização do circuito de entrada devido a que esses dispositivos são prejudicados pelas variações de processo e temperatura.

Uma estrutura cascode é proposta como tese para polarizar o circuito de entrada do CC. Os resultados das simulações mostram que a estrutura proposta fornece um valor de tensão 1,01 V no caso típico. O coeficiente de variação na simulação dos *corners* é de 1%, de 0,1% na análise de Monte Carlo, e de 0,001% quando a corrente de entrada varia. Assim, a estrutura apresentada para polarizar o estágio entrada mostrou-se adequada e funcional.

Um comparador de corrente, com a estrutura proposta para polarizar o circuito de entrada, foi implementado na tecnologia CMOS do processo TSMC 0,18  $\mu\text{m}$ . Na simulação pós-leiaute o circuito exibe um tempo de propagação de 7,5 ns e uma impedância de entrada de 50  $\Omega$  quando a corrente de entrada tem amplitude de  $\pm 2 \mu\text{A}$  com frequência de 50 MHz. O Circuito consome 47  $\mu\text{W}$  e deteta uma corrente mínima de 200 pA.

Um protótipo do circuito comparador de corrente, com a técnica proposta para polarizar o bloco FVF, foi fabricado e caracterizado no laboratório. Os resultados obtidos das medições demonstram que a técnica proposta para polarizar o circuito da entrada é apropriada e operacional.

Os resultados obtidos das simulações e as medições coletadas no laboratório do protótipo fabricado, polarizado com a técnica proposta, foram publicados pela revista *Microelectronics Journal* (MEJ) [36].

O circuito comparador de corrente projetado, caracterizado e publicado neste trabalho, empregando a técnica proposta para polarizar o estágio de entrada, é um candidato confiável para se utilizar como bloco funcional de circuitos em modo corrente. Desta maneira, é proposto como trabalho futuro a utilização deste circuito CC em aplicações



# Anexos

## ANEXO A – Método de projeto $g_m/I_D$

Dimensionar os transistores MOS de um circuito, para atingir as especificações requeridas, exige tempo e cuidado do projetista. Uma estratégia disponível na literatura, inicialmente proposta por Silveira [38], que auxilia nesta tarefa, é a metodologia de projeto  $g_m/I_D$ . Outros autores têm contribuído na depuração e fortalecimento do método, e.g. [39, 31, 40, 41, 42].

A base do método é utilizar a relação entre um parâmetro de pequenos sinais, a transcondutância do transistor ( $g_m$ ), com um parâmetro de grandes sinais, a corrente de dreno ( $I_D$ ). Esta relação  $g_m/I_D$ , que também é chamada de eficiência da transcondutância, se caracteriza por ser independente da largura de canal do transistor, pois  $g_m$  e  $I_D$  aumentam se a largura de canal aumentar e vice-versa [38].

A figura  $g_m/I_D$  também se caracteriza por ser um indicador da região de operação do dispositivo, como pode ser observado na Figura A.1. Para valores da tensão porta-fonte  $V_{GS}$  maiores que a tensão limiar  $V_{TH}$  o dispositivo opera na inversão forte. Para grandezas de  $V_{GS}$  próximas ou menores da tensão limiar, o transistor opera na região moderada ou fraca [21]. Assim, a Figura A.1 aponta que a eficiência da transcondutância também é um parâmetro representante do nível de inversão do transistor. Valores baixos de  $g_m/I_D$  representam a inversão forte, valores médios correspondem à inversão moderada e a inversão fraca é caracterizada pelas maiores grandezas da eficiência da transcondutância.

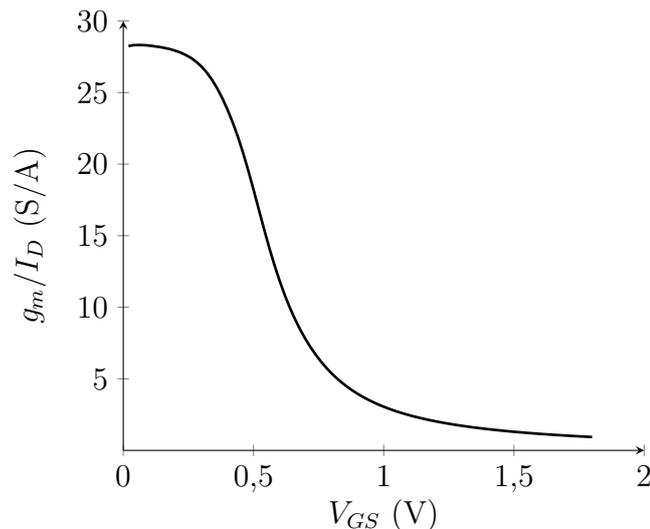


Figura A.1 –  $g_m/I_D$  vs  $V_{GS}$  de um transistor NMOS. Modelo BSIM (v4.5),  $L=0,2 \mu\text{m}$ ,  $V_{DS}=1,5 \text{ V}$ ,  $V_{SB}=0 \text{ V}$ ,  $V_{TH} \approx 550 \text{ mV}$ .

A Figura A.1 foi traçada utilizando um transistor NMOS da tecnologia TSMC 0.18  $\mu\text{m}$  com dimensões  $10 \mu\text{m}$  e  $0.2 \mu\text{m}$  de largura e comprimento de canal, respectivamente.

O dispositivo é conectado na configuração porta comum com tensão dreno fonte  $V_{DS}$  de 1.5 V e tensão fonte-corpo  $V_{SB}$  de 0 V. O valor da tensão limiar  $V_{TH}$  desse dispositivo é aproximadamente 550 mV.

Outra figura chave que contribui com esta técnica de projeto é a densidade de corrente, definida como a razão entre a corrente de dreno e a largura de canal,  $I_D/W$ , e será nomeada como  $J_D$ . Segue uma breve descrição da forma de executar esta estratégia de projeto.

O objetivo, para o caso mais simples (esquemático na Figura A.2), é determinar as dimensões do transistor e a corrente de dreno que cumpram com uma especificação requerida de resposta em frequência. O circuito, conectado na configuração fonte comum, é carregado com uma capacitância  $C_{load}$  e polarizado com uma corrente de dreno  $I_D$ . A fonte na entrada,  $v_{IN}$ , corresponde à soma da tensão de polarização porta-fonte e o sinal de entrada. Este circuito também é chamado de estágio de ganho intrínseco [39].

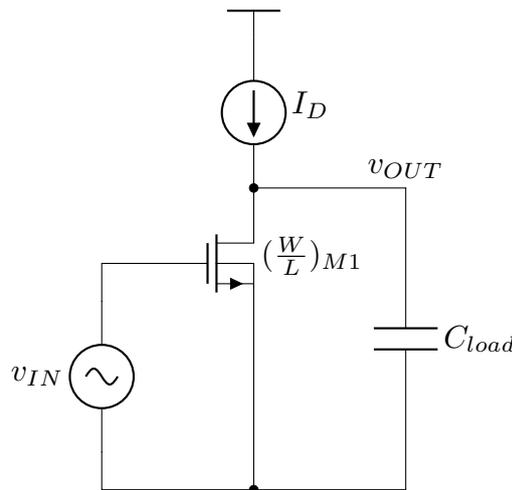


Figura A.2 – Estágio de ganho intrínseco.

O modelo de pequeno sinais do circuito anterior, ilustrado na Figura A.3, é utilizado para determinar as figuras de mérito do ganho intrínseco e das frequência de ganho unitário para tensão e corrente,  $\omega_u$  e  $\omega_T$ , respectivamente.

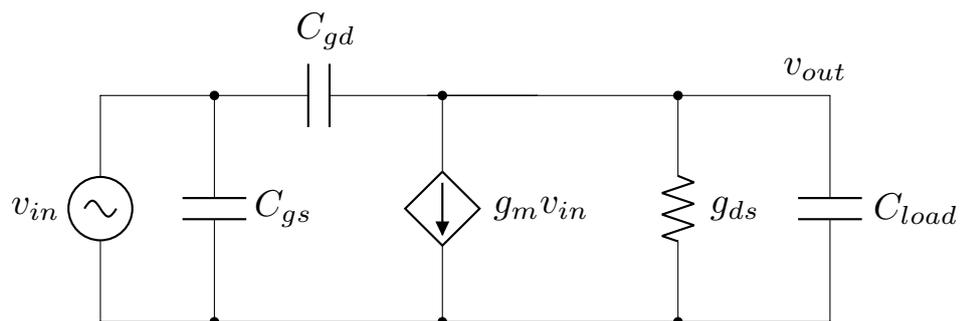


Figura A.3 – Modelo de pequenos sinais do estágio de ganho intrínseco.

Realizando-se as somas das correntes no nó  $v_{out}$  e calculando o ganho de tensão  $v_{out}/v_{in}$  resulta na expressão:

$$A_v(\omega) = \frac{v_{out}}{v_{in}} = -\frac{g_m}{g_{ds} + \omega C_{load}}. \quad (\text{A.1})$$

Da Equação A.1 observa-se que o ganho intrínseco do circuito em DC, baixas frequências, é dado pela equação A.2.

$$A_0 = -\frac{g_m}{g_{ds}}. \quad (\text{A.2})$$

A Figura A.4 apresenta o ganho intrínseco de um transistor para diferentes valores do comprimento de canal, como função da relação  $g_m/I_D$ . Observa-se que com um aumento da eficiência da transcondutância e do comprimento de canal o ganho intrínseco também aumenta. Em contrapartida, comprimentos de canal longos geram um efeito adverso na resposta em frequência do dispositivo.

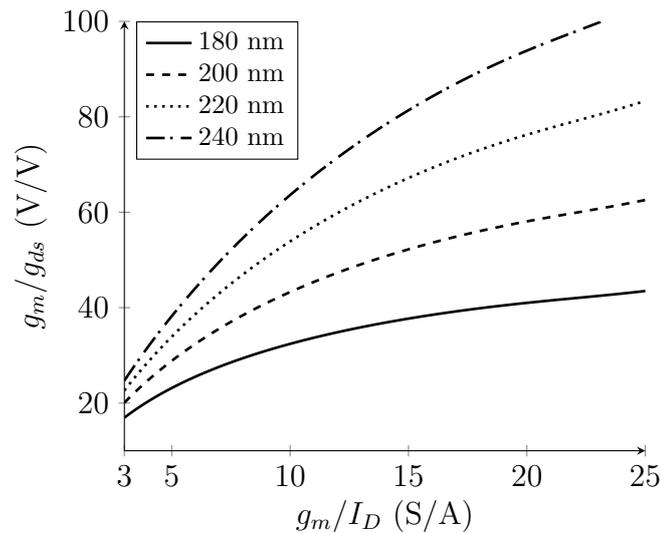


Figura A.4 – Ganho intrínseco de um transistor NMOS vs eficiência da transcondutância.

Em altas frequências o termo  $g_{ds}$  da Equação A.1 é desconsiderado, assim, a frequência de ganho de tensão unitário  $\omega_u$  é representada pela expressão:

$$\omega_u = \frac{g_m}{C_{load}}. \quad (\text{A.3})$$

A Equação A.3 aponta que o produto da capacitância de carga, que é conhecida ou estimada, pela frequência  $\omega_u$ , que geralmente é uma especificação de projeto, resulta na transcondutância requerida para o transistor.

A Equação A.4 representa o ganho de corrente, e é estabelecida como em [34].

$$A_i = \frac{i_{out}}{i_{in}} = \frac{g_m}{\omega(C_{GS} + C_{GD})}. \quad (\text{A.4})$$

Resolvendo-se a Equação A.4 para a frequência em que o ganho é unitário, chamada de frequência transiente [43], resulta na Equação A.5, em que  $C_{GG}$  corresponde à soma das capacitâncias  $C_{GS}$  e  $C_{GD}$ .

$$\omega_T = \frac{g_m}{C_{GG}}. \quad (\text{A.5})$$

Na Figura A.5, pode-se observar que a frequência transiente é grande para valores pequenos da eficiência da transcondutância, o que representa um dispositivo operando na inversão forte. Por outro lado, dimensionar um transistor para atuar na inversão fraca, se traduz em uma queda significativa da resposta em frequência.

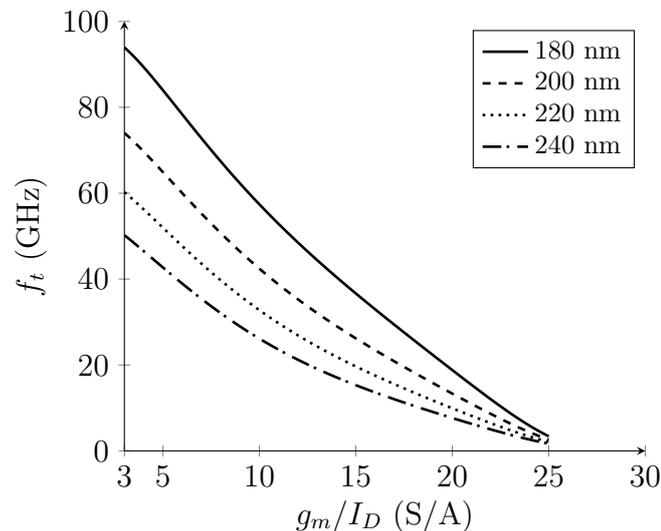


Figura A.5 – Frequência transiente do transistor vs eficiência da transcondutância. Para obter unidades em Hz,  $\omega_u$  é dividida por  $2\pi$ .

Assim, as Figuras A.4 e A.5 evidenciam uma relação de compromisso entre o ganho intrínseco e o tempo de resposta do transistor MOS. Portanto, um dispositivo projetado com um valor alto de  $g_m/g_{ds}$  terá sua resposta em frequência degradada, e se é requerido um dispositivo de resposta rápida, deve-se projetá-lo para operar na inversão forte com um baixo valor da relação  $g_m/g_{ds}$ .

Com as premissas registradas até aqui, o dimensionamento do transistor segue o seguinte fluxo [31]:

1. Determinar o valor da transcondutância,  $g_m$ , do requerimento da frequência  $\omega_u$ , ver equação A.3. O valor da capacitância de carga  $C_{load}$  é conhecido ou estimado.
2. Escolher o valor do comprimento de canal (segundo as Figuras A.4 e A.5):

- Comprimento de canal longo possibilita um ganho intrínseco grande;
  - Comprimento de canal curto permite um dispositivo de resposta rápida e pequena área.
3. Escolher o valor da eficiência da transcondutância (segundo as Figuras A.4 e A.5):
    - Com um valor grande, o transistor é de baixa potência;
    - Com um valor baixo, o dispositivo é de resposta rápida e pequena área.
  4. Calcular a corrente de dreno  $I_D$  a partir do valor de  $g_m$  e do valor de  $g_m/I_D$  escolhido no ponto anterior.

$$I_D = \frac{g_m}{g_m/I_D} \quad (\text{A.6})$$

5. Estabelecer a largura de canal  $W$  com base na corrente de dreno  $I_D$  e da densidade de corrente  $I_D/W$ .

$$W = \frac{I_D}{J_D} = \frac{I_D}{I_D/W} \quad (\text{A.7})$$

Murmann e Jesper [31] reportaram uma sistematização do método através do uso de dados tabulados e armazenados num arquivo. Os autores apresentam um procedimento, auxiliado com a ferramenta Matlab, apropriado para gerar e acessar os dados.

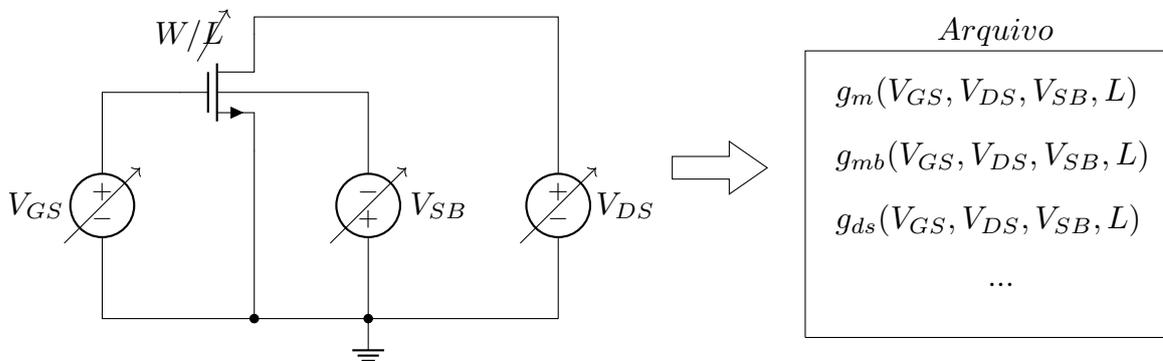


Figura A.6 – *Setup* de simulação para realizar uma varredura multidimensional. Os parâmetros do dispositivo, como  $g_m$ ,  $g_{mb}$ ,  $g_{ds}$ , etc, são coletados e salvos num arquivo com ajuda da ferramenta Matlab.

Os dados são gerados com ajuda de um simulador de circuitos, e.g. SPICE, através de uma varredura DC das tensões  $V_{GS}$ ,  $V_{DS}$ ,  $V_{SB}$ , e do comprimento de canal  $L$ , como esboçado na Figura A.6. Para cada iteração, os parâmetros mais representativos do transistor ( $g_m$ ,  $g_{mb}$ ,  $g_{ds}$ , etc) são obtidos e tabulados em uma matriz de dimensão 4 que é salva num arquivo para uso e consulta posterior. A largura de canal poderia também ser variável, mas neste processo é fixada com um valor maior ao mínimo permitido pela tecnologia, pois, os diferentes parâmetros,  $g_m$ ,  $I_D$ ,  $C_{GS}$ , etc, são escalados de forma linear com  $W$  [31].

Para procurar no universo de dados gerados, o arquivo que contém a matriz de dimensão 4 deve ser carregada numa variável assim:

```
» nome_variavel = load("nome_arquivo")
```

A função “lookup”, fornecida pelos autores, extrai o valor requerido do conjunto de dados. Esta função interpola quando os pontos solicitados estão fora da grade de simulação. A função tem a seguinte sintaxe geral:

```
output = lookup(nome_variavel, outvar, varargin)
```

onde *outvar* representa a variável procurada e *varargin* corresponde ao subconjunto de pesquisa. Assim, por exemplo, o comando para determinar a corrente de dreno de um NMOS polarizado com 750 mV de tensão  $V_{GS}$ , 900 mV de tensão  $V_{DS}$  e com comprimento de canal de 200 nm é:

```
» ID = lookup(N180, 'ID', 'VGS', 0.75, 'VDS', 0.9, 'L', 0.2)
ID = 4.8175e-04
```

onde N180 corresponde a *nome\_variavel*, 'ID' representa *outvar*, e o subconjunto 'VGS', 0.75, 'VDS', 0.9, 'L', 0.2 equivale a *varargin*. As unidades para as tensões estão em Volts e para o comprimento de canal em  $\mu\text{m}$ . Previamente foi executado o comando:

```
» N180 = load(180nch.mat)
```

onde 180nch.mat é o arquivo que contém o universo de dados.

A função *lookup* também permite calcular proporções do tipo  $g_m/I_D$ ,  $g_m/C_{GG}$ ,  $I_D/W$ , etc. Por exemplo, os comandos para encontrar o ganho intrínseco e a frequência transiente, ver as Equações A.1 e A.5, em relação à eficiência da transcondutância são:

```
» wt = lookup(N180, 'GM_CGG', 'GM_ID', 5:0.5:25, 'VDS', 0.9, 'L', 0.2);
» A0 = lookup(N180, 'GM_GDS', 'GM_ID', 5:0.5:25, 'VDS', 0.9, 'L', 0.2);
```

Dessa forma, foram traçadas as Figuras A.4 e A.5.

Para terminar, será dimensionado o circuito da Figura A.2 com as seguintes especificações: comprimento de canal de 200 nm, operando na inversão moderada com um valor da eficiência da transcondutância de 13 S/A, com frequência unitária 1 GHz e carga  $C_{load} = 1$  pf. Os valores das tensões  $V_{DS}$  e  $V_{BS}$  são 900 mV e 0 V, respectivamente.

Como apresentado previamente, o primeiro passo é calcular a transcondutância do transistor  $g_m$  e em seguida a corrente de dreno  $I_D$ , assim:

```
gm = 2*pi*fu*CL; % Equação A.3.
gm = 6.2832e-03
ID = gm/gmID % Equação A.6.
ID = 4.8332e-04
```

É necessário encontrar a densidade de corrente  $J_D$  para calcular a largura de canal  $W$ . Utilizando a função *lookup* tem-se:

```
JD = lookup(N180, 'ID_W', 'GM_ID', gmID, 'VDS', 0.9, 'L', L);
W = ID/JD % Equação A.2.
```

$$W = 40.612$$

Para calcular o ganho intrínseco é utilizada a função lookup assim:

$$Av0 = \text{lookup}(N180, 'GM\_GDS', 'GM\_ID', gmID, 'VDS', 0.9, 'L', L)$$

$$Av0 = 49.086$$

O valor da tensão porta-fonte  $V_{GS}$  requerida para polarizar o dispositivo é determinada pela função lookupVGS, também fornecida pelos autores.

$$VGS = \text{lookupVGS}(N180, 'GM\_ID', gmID, 'VDS', 0.9, 'L', L)$$

$$VGS = 0.5972$$

Os resultados da análise DC obtidos do simulador no ponto de operação são:

$$V_{GS} = 588,556 \text{ mV},$$

$$V_{DS} = 900,059 \text{ mV},$$

$$I_D = 483,029 \mu\text{A},$$

$$g_m = 6,19379 \text{ mS},$$

$$g_{ds} = 123,425 \mu\text{S}.$$

O resultado da análise ac é apresentado na Figura A.7.

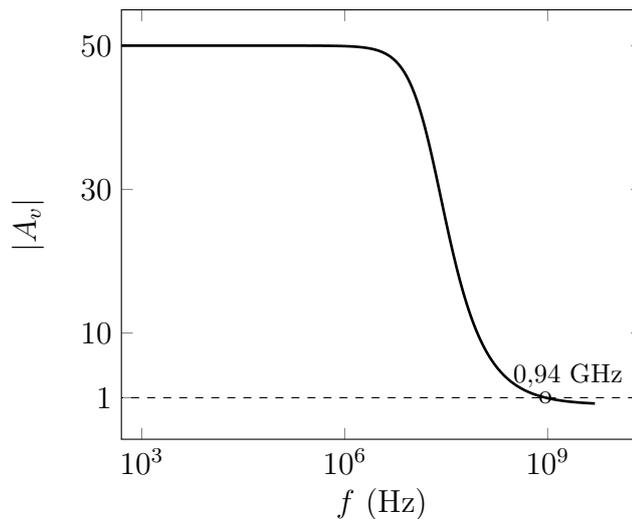


Figura A.7 – Ganho de tensão obtido com a análise AC do simulador SPICE.

Dos resultados da simulação DC tem-se que o resultado de  $g_m/I_D$  é 12,83 S/A, valor próximo de 13 S/A. O resultado de  $g_m/g_{ds}$  é 50,18 V/V, valor concordante com a Figura A.7. Em geral, os resultados calculados e simulados são semelhantes.

Ao leitor com a intenção de aprofundar no conhecimento deste método de projeto é indicado para consultar as referências [31] e [39].

# ANEXO B – Simulação e caracterização da impedância de entrada

Para o circuito esquemático do CC a impedância de entrada  $Z_{in}$  foi avaliada com auxílio da equação 3.20, já para o circuito simulado com a vista extraída, ou seja, a simulação pós-leiaute,  $Z_{in}$  foi estimada utilizando a análise *sp* (*scattering parameters*).

A caracterização da  $Z_{in}$  foi realizada utilizando um analisador de rede vetorial *Keysight VNA N9923A*. Em este anexado é relatado o método seguido para avaliar  $Z_{in}$  na simulação pós-leiaute e o procedimento executado para medir a impedância de entrada do circuito CC fabricado.

## B.1 Avaliação utilizando os parâmetros $S$

A análise *sp* (*scattering parameters*) foi utilizada para determinar a impedância de entrada com a vista extraída do circuito CC. Segue um breve relatório da configuração utilizada.

Primeiro, no circuito esquemático de teste é adicionado um elemento chamado de porta e conetado na entrada do CC, como ilustrado na Figura B.1. As propriedades do dispositivo porta, com os valores predefinidos, foram conservadas.

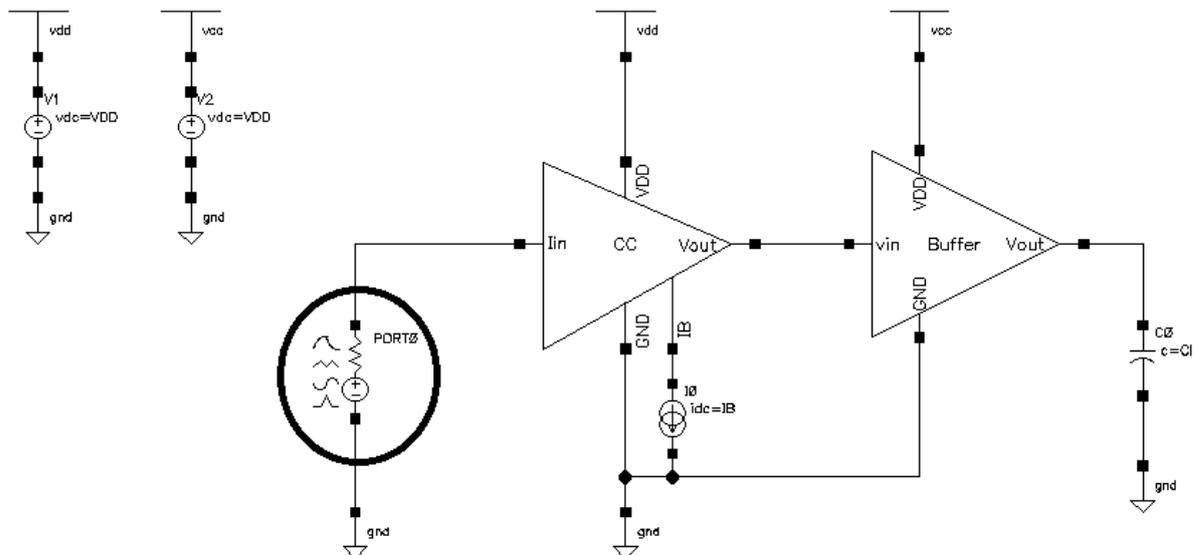


Figura B.1 – Circuito esquemático de teste com elemento *port* (em destaque) para medir a impedância de entrada por intermédio da análise *sp*.

Logo, depois de carregar o *Analog Design Environment (ADE)*, foi escolhido o tipo

de análise sp e configurado como mostrado na Figura B.2. A porta */PORT0* é selecionada depois de apertar sob o botão *Select* e no circuito esquemático é escolhido o correspondente elemento. Já que o interesse é conhecer o valor da impedância de entrada do circuito CC no ponto quiescente, ou seja na frequência 0 Hz, a varredura da análise começa em zero.

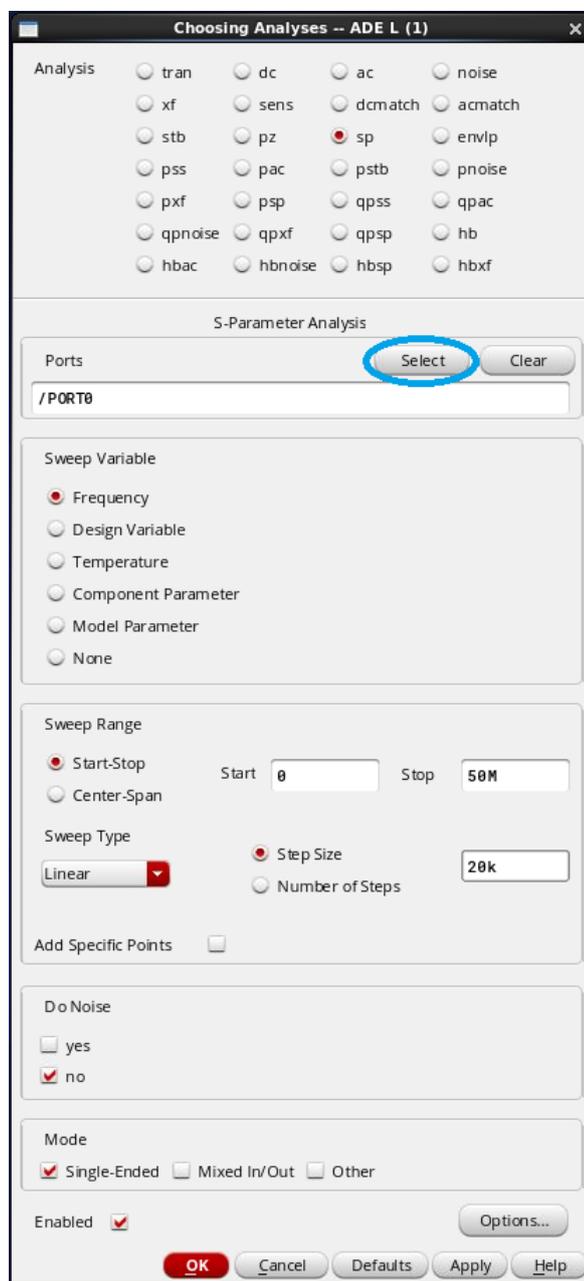


Figura B.2 – Configuração da análise sp utilizada para avaliar a impedância de entrada do CC. Em destaque o recurso *Select* para escolher o correspondente porto no circuito esquemático de teste.

Após rodar a simulação no ADE, o resultado é visualizado como segue. No menu da ferramenta de simulação é seguido o trajeto *Results/Direct Plot/Main Form*, como ilustrado na Figura B.3.

Subsequentemente, é carregada a janela intitulada *Direct Plot Form* (ver Figura

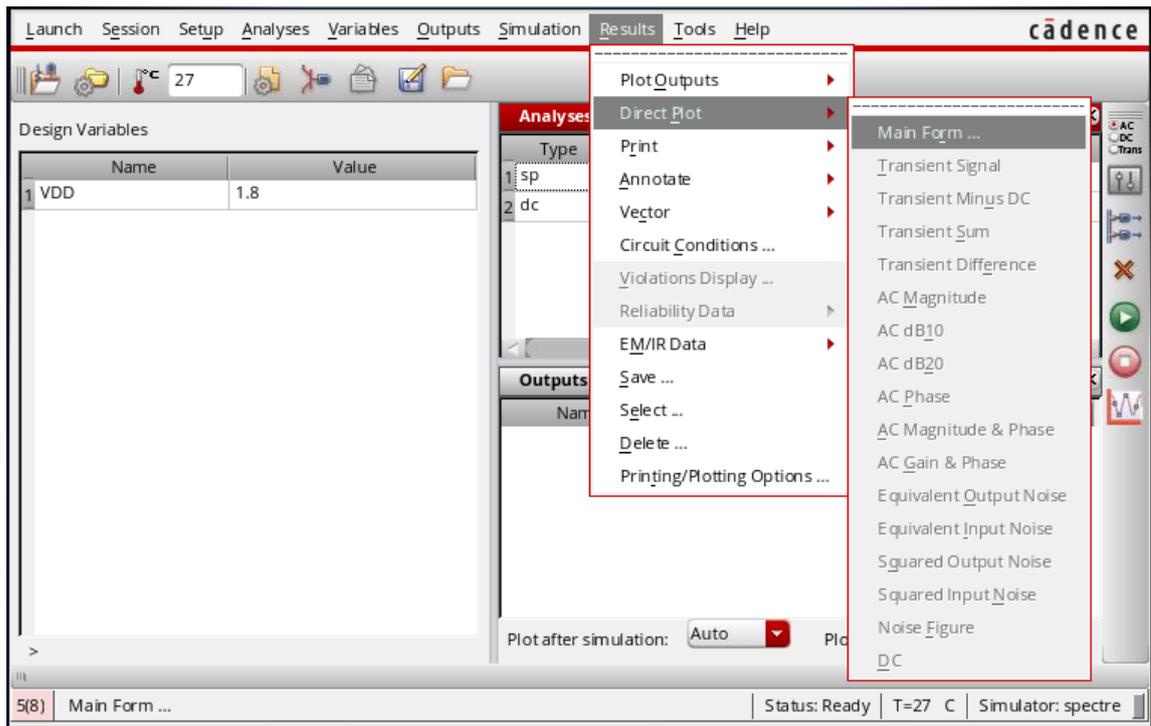


Figura B.3 – Trajeto *Results/Direct Plot/Main Form* no ADE para visualizar o resultado da análise sp.

B.4), onde é escolhido o parâmetro  $Z$  selecionando a função  $ZP$ . Também nessa janela são checadas a magnitude e a caixa de *Add To Outputs*.

Finalmente, depois de apertar sob  $Z11$  é plotada a curva da Figura B.5. A magnitude da impedância de entrada do CC, com vista extraída, no ponto quiescente do circuito é de aproximadamente  $2,2 \text{ k}\Omega$ .

## B.2 Medição física da impedância de entrada

A caracterização da impedância de entrada, do circuito CC fabricado, foi realizada utilizando um analisador de rede vetorial *Keysight VNA N9923A*. O manual do usuário desse aparelho [44] auxilia neste procedimento.

A Figura B.6 ilustra de forma geral o procedimento para realizar a essa medição. A entrada (saída) do *Device Under Test* (DUT), neste caso o circuito CC, é conetada na porta *Port 1* (*Port 2*) do aparelho.

Uma imagem, da vista frontal e superior, do VNA N9923A é apresentada na Figura B.7. A interface das portas no equipamento se dá através de conectores coaxiais fêmea do tipo N. Já os conectores da gaiola de Faraday, empregada para realizar as medições, é do tipo baioneta Neil-Concelman (BNC) fêmea. Assim, o cabo coaxial utilizado para conetar o circuito CC, localizado dentro da gaiola de Faraday (como ilustrado na Figura 4.12), ao

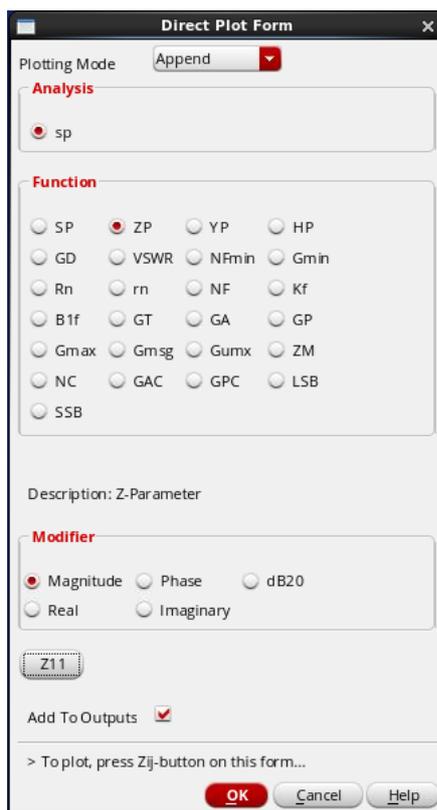


Figura B.4 – Janela *Direct Plot Form*. Após apertar sob  $Z11$  é plotada a curva da  $Z_{in}$ .

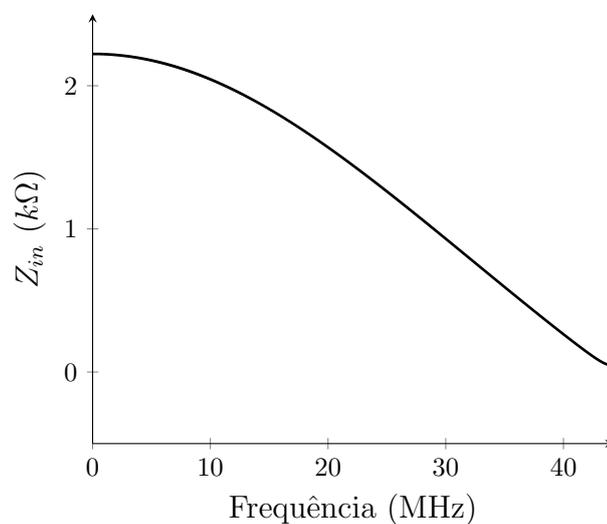


Figura B.5 – Impedância de entrada  $Z_{in}$  vs. frequência obtida com a análise sp (no caso típico). A  $Z_{in}$ , no ponto quiescente, é aproximadamente de 2,2  $k\Omega$ .

VNA, emprega em um extremo um conector tipo N macho e do outro extremo um conector tipo BNC macho.

Para medir o parâmetro  $Z11$ , correspondente à impedância de entrada do circuito CC, foram seguidos os seguintes passos:

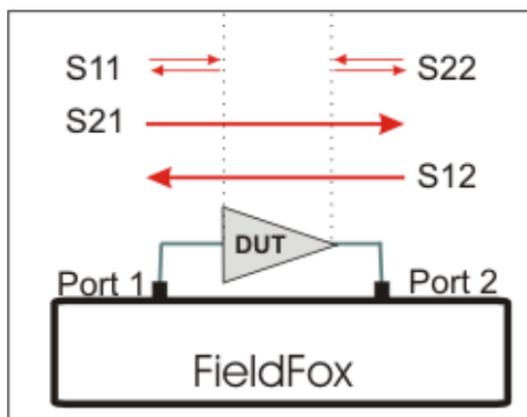


Figura B.6 – O circuito CC é o correspondente *Device Under Test* [44].



Figura B.7 – *Keysight Vector Network Analyzer 9923A* [44].

- Apertar o botão *Mode*: Selecionar NA (*Network Analyzer*)
- Pressionar o botão *Measure*

- Escolher *More*, seguido optar por *Conversion*, e então selecionar a opção *Auto*.

A opção *Auto* apresenta os parâmetros  $S$  convertidos aos equivalentes parâmetros  $Z$  [44].

Desta maneira foi medida a impedância de entrada  $Z_{in}$ , associada ao parâmetro  $Z_{11}$  do VNA, do circuito CC fabricado (ver Figura 4.15).

Dentre outras especificações é conveniente mencionar que a faixa da frequência de operação do *Keysight* VNA 9923A é dos 2 MHz até 4 GHz [44].

# Referências

- 1 ANALOGUE, I. C. Design: The Current-Mode Approach. *Edited by C. Toumazou et al., Peter Peregrinus Ltd., London, 1990.*
- 2 BANKS, D. J.; DEGENAAR, P.; TOUMAZOU, C. Distributed current-mode image processing filters. *Electronics Letters, IET*, v. 41, n. 22, p. 1201–1202, 2005.
- 3 SUGIMOTO, Y.; GOHDA, Y.; TANAKA, S. A 35MS/s and 2V/2.5 V current-mode sample-and-hold circuit with an input current linearization technique. In: IEEE. *2005 IEEE Asian Solid-State Circuits Conference*. [S.l.], 2005. p. 445–448.
- 4 CHAJI, G. R.; NATHAN, A. A current-mode comparator for digital calibration of amorphous silicon AMOLED displays. *IEEE Transactions on Circuits and Systems II: Express Briefs, IEEE*, v. 55, n. 7, p. 614–618, 2008.
- 5 KIM, J.-H. et al. 5-Gb/s peak detector using a current comparator and a three-state charge pump. *IEEE Transactions on Circuits and Systems II: Express Briefs, IEEE*, v. 58, n. 5, p. 269–273, 2011.
- 6 ELKAFRAWY, A.; ANDERS, J.; ORTMANN, M. Design and validation of a 10-bit current mode SAR ADC with 58.4 dB SFDR at 50 MS/s in 90 nm CMOS. *Analog Integrated Circuits and Signal Processing, Springer*, v. 89, n. 2, p. 283–295, 2016.
- 7 SRIDHAR, R. et al. High speed high resolution current comparator and its application to Analog to Digital converter. *Journal of The Institution of Engineers (India): Series B, Springer*, v. 97, n. 2, p. 147–154, 2016.
- 8 TAGHIZADEH, A.; KOOZEHKANANI, Z. D.; SOBHI, J. A new high-speed low-power and low-offset dynamic comparator with a current-mode offset compensation technique. *AEU-International Journal of Electronics and Communications, Elsevier*, v. 81, p. 163–170, 2017.
- 9 SOLIS, J. E. M. et al. Low input resistance CMOS current comparator based on the FVF for low-power applications. *Canadian Journal of Electrical and Computer Engineering, IEEE*, v. 39, n. 2, p. 127–131, 2016.
- 10 TRAFF, H. Novel approach to high speed CMOS current comparators. *Electronics Letters, IET*, v. 28, n. 3, p. 310–312, 1992.
- 11 TANG, A. T. K.; TOUMAZOU, C. High performance CMOS current comparator. *Electronics Letters, IET*, v. 30, n. 1, p. 5–6, 1994.
- 12 LIN, H.; HUANG, J.-H.; WONG, S.-C. A simple high-speed low current comparator. In: IEEE. *2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings (IEEE Cat No. 00CH36353)*. [S.l.], 2000. v. 2, p. 713–716.
- 13 BANKS, D.; TOUMAZOU, C. Low-power high-speed current comparator design. *Electronics Letters, IET*, v. 44, n. 3, p. 171–172, 2008.

- 14 TANG, X.; PUN, K.-P. High-performance CMOS current comparator. *Electronics Letters*, IET, v. 45, n. 20, p. 1007–1009, 2009.
- 15 BCHIR, M.; HASSEN, N.; BESBES, K. Low voltage low power current comparator circuit. In: IEEE. *2017 18th International Conference on Sciences and Techniques of Automatic Control and Computer Engineering (STA)*. [S.l.], 2017. p. 168–172.
- 16 CARVAJAL, R. G. et al. The flipped voltage follower: A useful cell for low-voltage low-power circuit design. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 52, n. 7, p. 1276–1291, 2005. ISSN 10577122.
- 17 BROOKS, T. L.; RYBICKI, M. A. *Self-biased cascode current mirror having high voltage swing and low power consumption*. [S.l.]: Google Patents, 1994.
- 18 NDJOUNTCHE, T. *CMOS analog integrated circuits: high-speed and power-efficient design*. [S.l.]: CRC Press, 2011.
- 19 MALOBERTI, F. *Analog design for CMOS VLSI systems*. [S.l.]: Springer Science & Business Media, 2006. v. 646.
- 20 AKBARI, M.; JAVID, A.; HASHEMIPOUR, O. A high input dynamic range, low voltage cascode current mirror and enhanced phase-margin folded cascode amplifier. In: IEEE. *2014 22nd Iranian Conference on Electrical Engineering (ICEE)*. [S.l.], 2014. p. 77–81.
- 21 ALLEN, P. E.; HOLBERG, D. R. *CMOS analog circuit design*. [S.l.]: Elsevier, 2002.
- 22 SARKAR, S.; BANERJEE, S. 500 MHz differential latched current comparator for calibration of current steering DAC. In: IEEE. *Proceedings of the 2014 IEEE Students' Technology Symposium*. [S.l.], 2014. p. 309–312.
- 23 MIN, B.-m.; KIM, S.-w. High performance CMOS current comparator using resistive feedback network. *Electron lett*, IET, v. 34, n. 22, p. 2074–2076, 1998.
- 24 YU, F. et al. A 1 V, 0.53 ns, 59  $\mu$ W current comparator using standard 0.18  $\mu$ m CMOS technology. *Wireless Personal Communications*, Springer, v. 111, n. 2, p. 843–851, 2020.
- 25 CHAVOSHISANI, R.; HASHEMIPOUR, O. A high-speed current conveyor based current comparator. *Microelectronics Journal*, Elsevier, v. 42, n. 1, p. 28–32, 2011. ISSN 00262692. Disponível em: <<http://dx.doi.org/10.1016/j.mejo.2010.09.007>>.
- 26 PATRO, B. S. et al. 1 GHz High Sensitivity Differential Current Comparator for High Speed ADC. *Journal of Digital Integrated Circuits in Electrical Devices*, v. 2, n. 1, p. 7–12, 2017.
- 27 KAWATRA, A.; BHATIA, V. A Reference Generating Voltage Wide Range Low Power Current Comparator. *Proceedings - IEEE 2018 International Conference on Advances in Computing, Communication Control and Networking, ICACCCN 2018*, IEEE, p. 788–791, 2018.
- 28 KUNDU, D. et al. High speed finfet traff comparator based function generator. In: IEEE. *2018 International Conference on Computation of Power, Energy, Information and Communication (ICCPEIC)*. [S.l.], 2018. p. 414–418.

- 29 KASEMSUWAN, V.; KHUCHAROENSIN, S. High-speed low input impedance CMOS current comparator. *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, The Institute of Electronics, Information and Communication Engineers, v. 88, n. 6, p. 1549–1553, 2005.
- 30 HASTINGS, A. The art of analog layout prentice hall. *Upper Saddle River, NJ*, 2001.
- 31 JESPER, P. G.; MURMANN, B. *Systematic Design of Analog CMOS Circuits*. 1. ed. Cambridge University: Cambridge University Press, 2017.
- 32 GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. B. Series-parallel association of FET's for high gain and high frequency applications. *IEEE Journal of Solid-State Circuits*, IEEE, v. 29, n. 9, p. 1094–1101, 1994.
- 33 FERREIRA, L. H. d. C. Uma Referência de Tensão CMOS Baseada na Tensão Threshold em Ultra-Baixa Tensão e Ultra-Baixa Potência. *Universidade Federal de Itajubá*, 2008.
- 34 BAKER, R. J. *CMOS: circuit design, layout, and simulation*. [S.l.]: John Wiley & Sons, 2019.
- 35 PULA, K. et al. Analysis of shielding effectiveness of a faraday cage for high voltage laboratory. In: IEEE. *2019 IEEE Indian Conference on Antennas and Propagation (InCAP)*. [S.l.], 2019. p. 1–4.
- 36 CASAÑAS, C. W. et al. Low power current comparator circuit using a cascode transistor structure for bias generation. *Microelectronics Journal*, Elsevier, p. 105359, 2022.
- 37 INIEWSKI, K. D. R. Flexible architecture of ultra-low-power current-mode interleaved successive approximation analog-to-digital converter for wireless sensor networks. *VLSI Design*, Hindawi, v. 2007, 2007.
- 38 F. Silveira D. Flandre; JESPER, P. G. A  $g_m/I_D$  Based Methodology for the Design of CMOS Analog Circuits and its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA. *IEEE Solid-State Circuits*, v. 31, n. 9, p. 1314–1319, 1996.
- 39 JESPER, P. G. *The  $g_m/I_D$  Methodology, a sizing tool for low-voltage analog CMOS Circuits*. 1. ed. Boston, MA: Springer, 2010.
- 40 Mostafa N. Sabry Hesham Omran; DESSOUKY, M. Systematic design and optimization of operational transconductance amplifier using gm/ID design methodology. *ELSEVIER Microelectronics Journal*, n. 75, p. 87–96, 2018.
- 41 Jack Ou; FERREIRA, P. M. A  $g_m/I_D$ -Based Noise Optimization for CMOS Folded-Cascode Operational Amplifier. *IEEE Transactions on Circuits and Systems*, v. 61, n. 10, p. 783–787, 2014.
- 42 Jack Ou Pietro M. Ferreira; LEE, J.-C. Experimental Demonstration of  $g_m/I_D$  Based Noise Analysis. *Scientific Research Circuits and Systems*, n. 5, p. 69–75, 2014.
- 43 LEE, T. H. *The design of CMOS radio-frequency integrated circuits*. [S.l.]: Cambridge university press, 2003.

---

44 Keysight Technologies . *RF Network Analyzers N9923A. User's Guide*. 2022.  
Disponível em: <<https://www.keysight.com/us/en/assets/9018-02698/user-manuals/9018-02698.pdf>> Último acesso 29/06/2022.