

UNIVERSIDADE FEDERAL DE ITAJUBÁ

DISSERTAÇÃO DE MESTRADO

**Uma Topologia CMOS Miller OTA Modificada
com a Excursão de Sinal de Pólo-a-Pólo da
Fonte de Alimentação em Ultra-Baixa Tensão e
Ultra-Baixa Potência**

por

Luís Henrique de Carvalho Ferreira

Orientador: Tales Cleber Pimenta, Ph.D.

Dissertação apresentada a Universidade Federal de Itajubá como parte dos requisitos necessários para a obtenção de título de Mestre em Engenharia Elétrica.

Dezembro de 2004

Aos meus pais, Amadeu e Maria das Graças, e irmãos, Adriano e Rodrigo, dedico.

*“Se não posso fazer tudo que devo,
devo fazer tudo que posso”.*

Santo Agostinho

Agradecimentos

Agradeço a Deus pelas oportunidades na minha vida.

A todos os meus familiares, especialmente aos meus pais e irmãos, por seu incondicional incentivo e amor.

Ao professor orientador, Tales Cleber Pimenta, pelo crédito, pela confiança, pela amizade e pela ajuda na realização desse trabalho.

Ao professor Robson Luiz Moreno e aos colegas do Grupo de Microeletrônica da UNIFEI, pelas constantes sugestões e pelas contribuições para esse trabalho.

Aos amigos, por seu incontestável apoio, pelos momentos de descontração e, principalmente, pela paciência.

Ao CNPq, que, através do programa “Demanda Social”, viabilizou a realização desse trabalho.

Meus mais sinceros agradecimentos.

Resumo

O termo “baixa tensão” começou a ser empregado na literatura CMOS para os circuitos analógicos e digitais que trabalhavam com tensões de alimentação abaixo de 3V, em processos cuja alimentação nominal era, no mínimo, de 5V. Com a tendência de operação em baixa tensão e baixa potência, a resposta em frequência, a tensão de alimentação e o consumo são as especificações principais no projeto dos circuitos, em especial, os analógicos. Porém, a maior limitação para a implementação de circuitos em baixa tensão é a tensão *threshold*. Uma vez que a tensão *threshold* não regride de forma satisfatória, criou-se a necessidade de buscar novas arquiteturas que minimizem os seus efeitos.

Esse trabalho apresenta uma nova e simples topologia para o Miller OTA com excursão de sinal de pólo-a-pólo da fonte de alimentação em ultra-baixa tensão e ultra-baixa potência, com o par diferencial na configuração acionado pelo substrato e deslocadores DC de tensão. Para esse desenvolvimento é apresentada uma metodologia para a determinação dos parâmetros DC do modelo BSIM3v3. Também é apresentada uma metodologia para o projeto do circuito, onde há uma maior otimização da especificação no comportamento do transitório do sinal na saída, segundo o modelo AC em pequenos sinais. Com os transistores operando em inversão fraca, essa topologia é capaz de operar numa tensão de alimentação de apenas 600mV com um consumo de 550nW para um processo de CMOS TSMC 0,35 μ m padrão.

Abstract

The term “low voltage” was initially used for digital and analog CMOS circuits working under 3V, on processes that used to work on a 5V power supply. When considering the market trend towards low-voltage and low-power, the frequency response, the power supply voltage and consumption are the main specifications of the analog circuit design. Unfortunately, the main limitation on low-voltage circuits is the threshold voltage. Since the threshold voltage does not reduce satisfactorily, there is a need of new architectures that minimize its effect.

This work describes a new and simple rail-to-rail Miller OTA architecture for ultra low-voltage and ultra low-power. The topology uses bulk-driven differential pair and DC voltage shifters. It is presented a methodology for the extraction of DC parameters from BSIM3v3 model that was used in the development of this new amplifier topology. It is also presented a methodology for the design of the circuit that optimizes the output signal transient behavior, according to the small signal AC model. Since all transistors work on weak inversion, the presented topology is capable of running on a 600mV power supply voltage and a power consumption of just 550nW, for a standard 0.35 μ m CMOS TSMC process.

Índice

Capítulo 1: Introdução	1
1.1. Considerações Gerais	1
1.2. Justificativas	2
1.3. Objetivos	3
1.4. Estrutura do Trabalho	4
Capítulo 2: Extração de Parâmetros DC do BSIM3v3 para o Cálculo Manual de Circuitos ..	6
2.1. Considerações Gerais	6
2.2. O Método dos Mínimos Quadrados	8
2.3. Modelo do Transistor MOS	9
2.3.1. Saturação em Inversão Forte	10
2.3.2. Saturação em Inversão Fraca	12
2.4. Extração de Parâmetros	13
2.4.1. Saturação em Inversão Forte	14
2.4.2. Saturação em Inversão Fraca	18
2.5. Equacionamento do Modelo	21
2.5.1. Saturação em Inversão Forte	21
2.5.2. Saturação em Inversão Fraca	22
2.5.3. A Transcondutância do Substrato g_{mb}	22

Capítulo 3: <i>Uma Arquitetura Miller OTA Modificada para Operar de Pólo-a-Pólo</i>	24
3.1. Considerações Gerais	24
3.2. Par Diferencial Acionado pelo Substrato	26
3.3. Circuito Miller OTA Modificado	30
3.3.1. Resistor como Deslocador DC	32
3.3.2. Amplificador Gate-Comum como Deslocador DC	35
Capítulo 4: <i>O Miller OTA como um Sistema Linear e Invariante no Tempo</i>	38
4.1. Considerações Gerais	38
4.2. Miller OTA como um Sistema LTI	40
4.3. Realimentação em um Sistema LTI	41
4.4. Análise no Domínio do Tempo	42
4.5. Análise no Domínio da Frequência	45
4.6. Sistemas de Ordem Superior	46
Capítulo 5: <i>Especificação, Projeto, Simulação e Medida de um Miller OTA Modificado</i>	47
5.1. Considerações Gerais	47
5.2. Especificação do Miller OTA	48
5.3. Projeto do Miller OTA	50
5.4. Simulações do Miller OTA	56
5.5. Testes e Medidas do Miller OTA	62
Capítulo 6: <i>Conclusões e Trabalhos Futuros</i>	69
Apêndice A: <i>Descrição SPICE do Miller OTA Modificado</i>	72
Apêndice B: <i>Macromodelo do Miller OTA Modificado</i>	74
Apêndice C: <i>Artigos Publicados</i>	76
<i>Referências Bibliográficas</i>	77

Lista de Figuras

Figura 2.1 – Polarização do transistor <i>n</i> MOS.....	16
Figura 2.2 – Polarização do transistor <i>p</i> MOS.....	16
Figura 2.3 – I_{DS} vs V_{GS} com V_{DS} de 2,60V do transistor <i>n</i> MOS 100 μ m/1 μ m.....	17
Figura 2.4 – I_{DS} vs V_{GS} com V_{DS} de 0,35V do transistor <i>n</i> MOS 100 μ m/1 μ m.....	20
Figura 3.1 – Arquitetura Miller OTA convencional.....	25
Figura 3.2 – Par diferencial complementar, acionado pelo <i>gate</i>	27
Figura 3.3 – Par diferencial acionado pelo substrato.....	28
Figura 3.4 – Polarização de um transistor <i>n</i> MOS pelo <i>gate</i>	29
Figura 3.5 – Polarização de um transistor <i>n</i> MOS pelo substrato.	29
Figura 3.6 – Comparação entre o acionamento pelo <i>gate</i> e pelo substrato.	30
Figura 3.7 – Circuito Miller OTA modificado.	31
Figura 3.8 – Circuito Miller OTA com resistor como deslocador DC.....	32
Figura 3.9 – Modelo AC do Miller OTA modificado.	33
Figura 3.10 – Circuito Miller OTA com <i>gate</i> -comum como deslocador DC.....	36
Figura 3.11 – Modelo AC do Miller OTA modificado.	36
Figura 4.1 – Modelo comportamental de um amplificador operacional.	38
Figura 4.2 – Realimentação negativa de um sistema LTI.	41
Figura 4.3 – Resposta temporal subamortecida.....	43
Figura 5.1 – Circuito Miller OTA modificado (dimensões em μ m).	54
Figura 5.2 – <i>Layout</i> do Miller OTA proposto.	55

Figura 5.3 – Análise DC do Miller OTA modificado.	57
Figura 5.4 – Análise AC do Miller OTA modificado.	58
Figura 5.5 – Transiente em pequenos sinais.	59
Figura 5.6 – Transiente do Miller OTA em excursão linear.	60
Figura 5.7 – Transiente do Miller OTA em excursão máxima.	61
Figura 5.8 – Circuito Miller OTA modificado (200 vezes ampliado).	63
Figura 5.9 – Transiente do Miller OTA modificado em pequenos sinais.	64
Figura 5.10 – Transiente do Miller OTA modificado em excursão linear.	64
Figura 5.11 – Transiente do Miller OTA modificado em excursão máxima.	65
Figura 5.12 – Transiente do Miller OTA no <i>slew-rate</i> de subida.	65
Figura 5.13 – Transiente do Miller OTA no <i>slew-rate</i> de descida.	66
Figura 5.14 – Medida da frequência de ganho unitário.	67
Figura 6.1 – Proposta BiCMOS para o Miller OTA modificado.	70
Figura A.1 – Representação esquemática da descrição SPICE.	72

Lista de Tabelas

Tabela 2.1 – Coeficientes otimizados em inversão forte ($L = 1\mu\text{m}$).....	17
Tabela 2.2 – Coeficientes do transistor $n\text{MOS}$ em função do comprimento do canal.....	18
Tabela 2.3 – Coeficientes otimizados em inversão fraca ($L = 1\mu\text{m}$).....	20
Tabela 2.4 – Coeficientes do transistor $n\text{MOS}$ em função do comprimento do canal.....	21
Tabela 5.1 – Especificação do Miller OTA modificado.....	49
Tabela 5.2 – Transistores e elementos do Miller OTA modificado.....	53
Tabela 5.3 – Cálculos vs Simulações BSIM3v3.....	56
Tabela 5.4 – Simulações no histórico do processo.....	59
Tabela 5.5 – MCP604x da Microchip vs Miller OTA modificado.....	62
Tabela 5.6 – Medidas realizadas nos protótipos.....	67

Lista de Símbolos

A_o	Ganho DC em malha aberta.
A_f	Ganho DC em malha fechada.
C_C	Capacitor de realimentação.
C_L	Capacitor de carga.
$CMRR$	Razão de rejeição em modo comum.
C_{ox}	Capacitância do óxido do <i>gate</i> .
f_z	Frequência do zero.
f_d	Frequência do pólo dominante.
f_f	Frequência natural de oscilação em malha fechada.
f_n	Frequência do pólo não-dominante.
f_o	Frequência natural de oscilação em malha aberta.
f_u	Frequência de ganho unitário.
g_m	Transcondutância.
g_{mb}	Transcondutância do substrato.
g_o	Condutância de saída.
I_{D0}	Corrente característica em inversão fraca.
I_{DS}	Corrente de dreno.
K_P	Ganho de transcondutância.
L	Largura do canal do transistor.
MF	Margem de fase.

M_P	Máximo pico de elevação.
n	Inclinação da curva em inversão fraca.
$PSRR$	Razão de rejeição da fonte de alimentação.
R_C	Resistor de realimentação.
SR	Taxa de variação do sinal (<i>slew-rate</i>).
TBJ	Transistor bipolar de junção.
THD	Distorção harmônica total.
t_s	Tempo de acomodação.
t_r	Tempo de subida.
U_T	Tensão térmica.
V_{BB}	Tensão de substrato.
V_{DB}	Tensão de dreno-sustrato.
V_{DD}	Tensão de dreno.
V_{DS}	Tensão de dreno-fonte.
V_{GB}	Tensão de <i>gate</i> -substrato.
V_{GG}	Tensão de <i>gate</i> .
V_{GS}	Tensão de <i>gate</i> -fonte.
V_{SB}	Tensão de fonte-substrato.
V_{SS}	Tensão de fonte.
V_{TH}	Tensão de limiar (tensão <i>threshold</i>).
V_{T0}	Tensão <i>threshold</i> quando V_{SB} for nulo.
W	Largura do canal do transistor.
γ	Coefficiente de modulação de efeito de corpo.
δ	Função da tensão de canal-substrato.
ζ_f	Coefficiente de amortecimento em malha fechada.
ζ_o	Coefficiente de amortecimento em malha aberta.
θ	Coefficiente de modulação da mobilidade elétrica dos portadores.
λ	Coefficiente de modulação do comprimento de canal.
μ	Mobilidade elétrica dos portadores.
σ	Erro em regime estacionário.
v_{max}	Velocidade máxima dos portadores.
Φ_F	Potencial de Fermi.
χ	Coefficiente de efeito de corpo.

Capítulo 1

Introdução

1.1. Considerações Gerais

O termo “baixa tensão” começou a ser empregado na literatura CMOS para os circuitos analógicos e digitais que trabalhavam com tensões de alimentação abaixo de 3V, em processos cuja tensão de alimentação nominal era de 5V, no mínimo. Hoje em dia sabe-se que as tensões de alimentações estão na ordem de 3,3V; 2,5V; 1,8V e até 1,2V em processos mais recentes de 0,13 μ m; fazendo com que haja uma reformulação no conceito de CMOS em baixa tensão. Baseado nas características dos transistores nos processos CMOS, provavelmente seja mais interessante mostrar uma topologia que opere com 1V em um processo com a tensão de alimentação de 3,3V do que uma outra que opere com 0,8V em um processo com a tensão de alimentação de 1,2V devido às diferenças das características de condução.

A redução da tensão de alimentação e da potência consumida pelo circuito faz com que as baterias tenham uma duração mais prolongada sem a necessidade de recarga. O uso de aparelhos portáteis, comuns no dia-a-dia, seria um exemplo de aplicação de circuitos

em baixa tensão e baixa potência. Mas estes circuitos têm ganhado um destaque especial no meio industrial, principalmente no condicionamento de sinais de transdutores físicos no local onde estes se encontram instalados. Dessa forma, é possível integrar junto ao transdutor todo o condicionamento de sinal, podendo ser analógico ou mesmo digital, de forma que o sistema seja capaz de compatibilizar informações ou até mesmo tomar algumas decisões. Tudo aliado ao baixo consumo de energia, podendo o sistema funcionar durante dias ou mesmo semanas com somente a tensão de alimentação de uma pilha.

Com a tendência de operação em baixa tensão e baixa potência, a resposta em frequência, as tensões de alimentação e o consumo são as especificações principais no projeto dos circuitos, em especial, os analógicos [1]. Para os circuitos CMOS digitais, uma redução na tensão de alimentação permite uma frequência de operação maior para um dado consumo. Para os circuitos analógicos isso nem sempre é verdade e a relação sinal/ruído é prejudicada. Com uma tensão de alimentação menor, o conceito de baixa potência torna-se acessível, uma vantagem para aplicações com baterias. Porém, a maior limitação para a implementação de circuitos CMOS em baixa tensão é a tensão de limiar (tensão *threshold*). Para uma redução da tensão de alimentação de 5V para 1,2V a tensão *threshold* caiu de 0,8V para 0,35V; um valor satisfatório para os projetos digitais, porém alarmantes para os analógicos, mesmo que estes estejam trabalhando na região de inversão fraca. Uma vez que a tensão *threshold* não regride de maneira satisfatória, criou-se a necessidade de buscar novas arquiteturas que minimizem os seus efeitos, principalmente na limitação da excursão dos sinais [2].

1.2. Justificativas

Existe uma “função de custo” entre a excursão linear do sinal e a resposta em frequência de um amplificador operacional, devido as correntes de polarização exigidas. Caso se deseje uma frequência de operação elevada, correntes maiores são necessárias para acionar uma mesma carga, o que geralmente dá origem a quedas de tensão V_{DS} maiores. Tensões V_{DS} maiores nos transistores implicam em uma menor excursão linear do sinal. Em inversão fraca, a excursão do sinal é maior do que na inversão forte, devido aos pequenos valores das tensões V_{DS} no cascadeamento dos dispositivos, mas a resposta em frequência é reduzida, devido os níveis de corrente serem muito baixos. Baixas correntes implicam em um baixo consumo de energia e uma baixa potência é exigida da fonte de alimentação. Em inversão fraca, a resposta

em frequência estará limitada a poucos kilohertz; um valor satisfatório para aplicações em equipamentos de áudio, em regulador de tensão, comuns em celulares ou no condicionamento de sinais de transdutores físicos, que na sua grande maioria, possuem a dinâmica mais lenta do que kilohertz [1].

Como se deseja um circuito que opere em ultra-baixa tensão e em ultra-baixa potência, adotou-se a operação em inversão fraca neste trabalho. Para o desenvolvimento do circuito, foi escolhido o processo CMOS de $0,35\mu\text{m}$ da TSMC, devido suas características de condução em inversão fraca, segundo o modelo BSIM3v3 caracterizado pela MOSIS [3]. A MOSIS é uma organização americana que propicia uma interface comum com várias fábricas CMOS, dando suporte aos projetos de pequena escala e de pesquisa universitária. O processo da CMOS TSMC de $0,35\mu\text{m}$ tem o código de SCN4ME_SUBM [3], ou seja, as regras estão otimizadas para as dimensões sub-mícron. Um inconveniente aos projetos analógicos é que a MOSIS não modela os parâmetros de ruído, nem a variação estatística do processo; apenas o caso típico dos transistores.

Algumas medidas realizadas em um protótipo digital de uma dissertação de mestrado pela UFSC mostraram que o modelo BSIM3v3 caracterizado pela MOSIS retrata de forma satisfatória a região de saturação em inversão fraca, sendo viável o uso em simulações para prototipagem [4]. Dessa maneira, além de utilizar um processo de dimensões sub-mícron, visa-se validar a arquitetura proposta para o Miller OTA em um processo de custo acessível, se comparado com os processos mais recentes na tecnologia CMOS.

1.3. Objetivos

O objetivo principal dessa dissertação é o desenvolvimento da topologia de um Miller OTA modificado, com a capacidade de excursão do sinal de pólo-a-pólo da fonte de alimentação, para aplicações em ultra-baixa tensão e ultra-baixa potência.

Para esse desenvolvimento, uma nova abordagem é descrita para a extração dos parâmetros DC do modelo BSIM3v3, a qual melhora a precisão dos cálculos manuais, quando se utiliza o canal com dimensões sub-mícron. Um estudo comportamental do circuito também é proposto, onde a otimização das características dinâmicas é realizada em uma etapa anterior

ao projeto dos transistores, com a utilização de macromodelos no domínio da frequência. Os macromodelos capturam toda a dinâmica, sem entrar nos níveis de transistores.

Utilizando apenas transistores MOS em inversão fraca e elementos passivos, o circuito deve ser capaz de operar com tensões de alimentação muito baixas, bem menores que a tensão de alimentação nominal da tecnologia CMOS e com consumo da ordem de centenas de nanowatts, não chegando à ordem de microwatts. Toda a idéia é simplificar a topologia dos amplificadores operacionais para aplicações que não exijam frequências elevadas, diminuindo assim as dimensões finais, o consumo e os custos de fabricação.

Busca-se também a validação dos métodos aplicados para o projeto do circuito do amplificador, assim como a confiabilidade do modelo BSIM3v3 fornecido pela MOSIS ao projeto de circuitos analógicos na região de inversão fraca.

1.4. Estrutura do Trabalho

O trabalho está organizado em seis capítulos, sendo um de introdução, um de conclusão e os demais de desenvolvimento.

O Capítulo 2 apresenta um estudo sobre o modelo BSIM3v3, em especial para as dimensões sub-mícron, para a obtenção de um modelo simplificado do transistor MOS em inversão forte e em inversão fraca. Os parâmetros DC desses modelos simplificados, baseados no BSIM3v3, são determinados pelo método dos mínimos quadrados, o que torna os cálculos das dimensões dos transistores mais otimizados para uma aproximação manual.

O Capítulo 3 apresenta uma arquitetura Miller OTA modificada, desenvolvida para trabalhar em ultra-baixa tensão e ultra-baixa potência, com a excursão de pólo-a-pólo da fonte de alimentação. Os problemas encontrados na arquitetura do Miller OTA, especialmente em aplicações em baixa tensão, e as soluções adotadas na literatura são apresentadas, de onde surge uma nova proposta de implementação para o amplificador operacional.

O Capítulo 4 apresenta um estudo sobre a dinâmica do circuito do amplificador operacional em um macromodelo comportamental, baseada na análise em pequenos sinais. As

especificações do projeto são baseadas na resposta da saída no transitório, na configuração de *buffer* de ganho unitário ou seguidor de tensão. Essa especificação do circuito, baseada na sua resposta no transitório, é uma abordagem proposta neste trabalho.

O Capítulo 5 apresenta os cálculos das dimensões, as simulações e as medidas de caracterização dos protótipos (difundidos pela MOSIS), onde pode-se verificar a eficiência dos métodos apresentados e a funcionalidade do projeto, dentro de tudo o que foi proposto nas especificações pelo modelo comportamental do circuito do Miller OTA modificado.

O Capítulo 6 apresenta as conclusões e as sugestões de trabalhos futuros que podem ser implementados, principalmente com a versão BiCMOS do circuito.

Capítulo 2

Extração de Parâmetros DC do BSIM3v3 para o Cálculo Manual de Circuitos

2.1. Considerações Gerais

A história dos transistores MOS (*metal-oxide-semiconductor*) começou no ano de 1962, quando este dispositivo foi implementado por dois engenheiros, Steven R. Hofstein e Frederic P. Heiman, nos laboratórios de pesquisa da RCA, a *Radio Corporation of America*. As primeiras fábricas (*foundries*) com a tecnologia utilizavam processos com comprimento de canal de 25 μ m; valor, no mínimo, 200 vezes maior que os processos atuais. Baseada na teoria de efeito de campo de Willian B. Shockley foi proposto o primeiro modelo para o transistor MOS, conhecido como modelo nível 1 ou de Schichman-Hodges. Com a crescente evolução da tecnologia ao longo de quatro décadas, o comprimento de canal dos transistores se tornou cada vez menor e muitos dos fenômenos de interação entre os campos elétricos no canal não poderiam ser mais ignorados das equações que modelam o transistor MOS, mesmo que seja somente para cálculos manuais, onde o modelo nível 1 original ainda tem aplicação.

O modelo nível 1 considera somente a operação em inversão forte, isso devido às características dos transistores sobre-mícron para qual ele foi proposto; mas é o padrão dos livros-texto para se fazer os cálculos manuais dos circuitos na tecnologia CMOS [5] [6] [7]. O modelo não considera a operação na região de sub-limiar (ou *subthreshold*), onde a tensão de *gate-fonte* V_{GS} é menor do que a tensão *threshold* V_{TH} , considerando o transistor totalmente cortado. Porém, um modelo simples e fiel para a região *subthreshold*, em especial na inversão fraca, vem se tornando cada vez mais uma necessidade para os cálculos de circuitos em baixa tensão e/ou baixa potência, uma vez que pequenos valores da tensão de dreno-fonte V_{DS} são capazes de levar transistores a operarem na saturação, havendo assim um ganho de excursão de sinal e, conseqüentemente, uma redução na tensão da fonte de alimentação.

Somando os esforços de vários pesquisadores ao longo desses anos, chegou-se a um equacionamento cada vez mais preciso para o transistor MOS. Com o entendimento de fenômenos físicos entre os campos elétricos no semicondutor, o nível 2 e, posteriormente, o nível 3 foram propostos para incluírem os efeitos ligados às dimensões cada vez menores [8]. Aliado ao desenvolvimento do simulador SPICE (*Simulation Program with Integrated Circuit Emphasis*) pela Universidade da Califórnia, os modelos do transistor MOS convergiram para a família do BSIM3v3 [9]; padrão utilizado por fábricas, por projetistas e muitos simuladores comerciais. O modelo é baseado na equação de Poisson, dando origem a uma relação I vs V (corrente vs tensão) única com considerações semi-empíricas. Hoje, a MOSIS ainda fornece o modelo nível 3 para o CMOS AMIS 1,5 μ m devido ao comprimento de canal ser considerado longo, mas apenas a caráter de estudo. Para os processos de dimensões sub-mícron, a MOSIS fornece o BSIM3v3 (versão 3.1) como modelo de simulação, independente da fábrica.

O modelo BSIM3v3 é constituído de um conjunto intrincado de equações com mais de cem parâmetros. Fica evidente que um modelo tão complexo é inadequado ao cálculo manual de circuitos ou mesmo para a extração de parâmetros pela análise das equações. Mas, também é claro que as simulações realizadas com tal modelo possuem uma boa aproximação com o transistor real, dentro do universo de aplicação. Tanto é verdade que as empresas como a Intel, IBM, AMD, TSMC, AMIS, entre várias outras, utilizam o modelo BSIM3v3 para seus projetos internos e de clientes usuários [9].

Com base no exposto acima, o escopo deste capítulo é determinar um modelo simplificado para o transistor MOS, operando na saturação em inversão forte ou em inversão

fraca, mas baseado na curva do BSIM3v3, para se determinar a transcondutância g_m (visto que a do efeito de corpo g_{mb} pode ser minimizada no circuito, sendo função de g_m) e a condutância de saída g_o [5]; trazendo assim maior precisão nos cálculos manuais do projeto dos circuitos CMOS analógicos ou digitais.

2.2. O Método dos Mínimos Quadrados

O método dos mínimos quadrados foi proposto inicialmente pelo matemático, astrônomo e físico alemão Carl F. Gauss para se determinar os melhores coeficientes da órbita de um asteroide de trajetória conhecida, tendo como base para o cálculo uma massa de dados provida de observações com lunetas; portanto, com desvios entre os valores reais e os valores observados. Os mínimos quadrados não determinam o modelo, mas os melhores coeficientes que ajustam o modelo proposto aos valores observados, segundo demonstra Triola [10].

Conceitualmente, os mínimos quadrados resumem-se em fazer com que a soma de todos os erros quadráticos e_i entre os valores medidos y_i e os respectivos valores calculados \hat{y}_i , a partir do modelo, seja a mínima possível. A soma dos erros quadráticos e_i é expressa pela equação (2.1), onde o número de observações deve ser maior do que o número de parâmetros a serem estimados, ou seja, um sistema sobredeterminado.

$$\sum e_i^2 = \sum (y_i - \hat{y}_i)^2 \quad (2.1)$$

O ponto de mínimo da função dos erros quadráticos se dá quando as derivadas parciais em relação a cada parâmetro do modelo \hat{y}_i for igual a zero. O sistema formado pelas equações das derivadas parciais tem sua solução na forma matricial, dada pela equação (2.2). O vetor X dos melhores coeficientes que se ajustam ao modelo só terá solução verdadeira se a matriz inversa da matriz $A^T A$ (produto de A transposta e A) existir.

$$A^T Y = A^T A X \quad (2.2)$$

Para modelos lineares, a matriz $A^T A$ é simétrica, definida positiva e existe a sua inversa. A equação (2.2) admite uma única solução, que é o ponto crítico do sistema, que por sua vez é o ponto de mínimo da equação (2.1), como desejado. Embora esteja contextualizado

para equações lineares, é possível prever os parâmetros de uma equação multi-variável e/ou não-linear, desde que se expressem as variáveis como vetores linearmente independentes. As matrizes A e Y são expressas de uma forma geral pelas equações (2.3), onde f e g são funções, linearmente independentes, formadas pelas medidas ou amostras das variáveis do modelo.

$$A = \begin{pmatrix} 1 & f(a_1, \dots, b_1) & \cdots & g(a_1, \dots, b_1) \\ 1 & f(a_2, \dots, b_2) & \cdots & g(a_2, \dots, b_2) \\ \vdots & \vdots & \ddots & \vdots \\ 1 & f(a_n, \dots, b_n) & \cdots & g(a_n, \dots, b_n) \end{pmatrix} \quad Y = \begin{pmatrix} y_1 \\ y_2 \\ \vdots \\ y_n \end{pmatrix} \quad (2.3)$$

A principal vantagem do método dos mínimos quadrados, quando comparado a outros métodos propostos para os transistores MOS [7] [11] [12], é que os mínimos quadrados consideram todos os pontos medidos da curva e não somente alguns pontos isolados. Assim, é possível determinar os “melhores” coeficientes que aproximam as medidas com os resultados do modelo. Embora os mínimos quadrados não determinem o melhor modelo, eles fornecem uma análise qualitativa da representatividade do mesmo. Com isso, é possível prever qual é a significância do modelo a que os dados são submetidos através de um índice de determinação r^2 , expresso pela equação (2.4), sendo \tilde{y}_i a média dos valores medidos y_i (amostras) [10].

$$r^2 = 1 - \frac{\sum (y_i - \hat{y}_i)^2}{\sum (y_i - \tilde{y}_i)^2} \quad (2.4)$$

O índice r^2 tem imagem real, definida no intervalo de 0 a 1 na estatística. Se for igual a 0, o modelo não possui nenhum significado, pois tem a mesma representatividade da média dos valores. Se for igual a 1, o modelo representa fielmente os dados. Com a análise qualitativa é possível, além de saber a representatividade de um modelo qualquer, comparar dois modelos distintos (em relação à média dos valores) e assim decidir qual deles é o melhor para uma determinada aplicação de interesse.

2.3. Modelo do Transistor MOS

Para o projeto de amplificadores lineares na tecnologia CMOS, a saturação em inversão forte normalmente é utilizada; mas a saturação em inversão fraca vem obtendo cada

vez mais papel de destaque [7]. Nessas regiões, um modelo simples e compacto, distinto para cada região, pode ser proposto a fim de se capturar a dinâmica dominante da relação I vs V do BSIM3v3, facilitando tanto o cálculo das dimensões dos transistores quanto o entendimento do comportamento dominante do circuito em desenvolvimento.

2.3.1. Saturação em Inversão Forte

Uma boa aproximação física para a relação I vs V do transistor MOS pode ser obtida pelo modelo de densidade de cargas [6] [13], dando origem ao modelamento nível 1 do dispositivo. Para a operação dos transistores na região linear ou triodo, em inversão forte, a corrente de dreno I_{DS} é expressa pela equação (2.5), sendo o coeficiente δ função da tensão de canal-substrato, segundo Tsividis [13]. A mobilidade elétrica dos portadores μ é considerada uma constante nesta dedução.

$$I_{DS} = \mu C_{ox} \left(\frac{W}{L} \right) \left(|V_{GS}| - |V_{TH}| - \frac{1+\delta}{2} |V_{DS}| \right) |V_{DS}| \quad (2.5)$$

A tensão *threshold* V_{TH} é expressa na equação (2.6), sendo V_{T0} o valor mínimo da tensão *threshold* no processo, que é função dos parâmetros do processo, γ o coeficiente de modulação de efeito de corpo e Φ_F o potencial de Fermi. Caso o substrato possa ser conectado a fonte do dispositivo, a tensão de fonte-substrato V_{SB} será nula, eliminando o efeito de corpo do transistor MOS e fazendo com que a tensão *threshold* assumo o valor mínimo do processo. Essa condição deve ser buscada na polarização dos transistores [5] [6].

$$V_{TH} = V_{T0} + \gamma (\sqrt{2\Phi_F - V_{SB}} - \sqrt{2\Phi_F}) \quad (2.6)$$

Com o aumento da tensão V_{DS} , o canal do transistor estrangula no dreno, num fenômeno conhecido como *pinch-off* [5] [6]. O dispositivo deixa de operar na região linear e passa a operar na região de saturação, onde a corrente de dreno I_{DS} não sofre mais influência significativa da tensão de dreno-fonte. A tensão V_{DS} na qual o transistor passa da região linear para a região de saturação é expresso pela equação (2.7), segundo Tsividis [13].

$$V_{DS} = \frac{|V_{GS}| - |V_{TH}|}{1+\delta} \quad (2.7)$$

Dessa forma, a corrente de dreno I_{DS} na saturação em inversão forte é expressa pela equação (2.8). Esse modelo é obtido pela substituição da tensão V_{DS} da equação (2.7) na corrente de dreno I_{DS} na região triodo, expressa na equação (2.5).

$$I_{DS} = \frac{1}{2(1+\delta)} \mu C_{ox} \left(\frac{W}{L} \right) (|V_{GS}| - |V_{TH}|)^2 \quad (2.8)$$

Embora não seja expresso nas equações (2.5) e (2.8) por se tratarem do modelo nível 1 do transistor, a mobilidade elétrica dos portadores μ sofre uma grande influência dos campos elétricos transversal e longitudinal (oriundos respectivamente das tensões V_{GS} e V_{DS}) em relação ao comprimento do canal do dispositivo. Quanto menor o comprimento do canal, mais esta influência se somará à dinâmica dominante do transistor. De certa forma, tal efeito é modelado por δ , uma vez que a tensão de canal-substrato também é função das tensões V_{GS} e V_{DS} [13]. Dessa forma, este efeito não pode ser ignorado e mesmo considerado constante sem que haja um prejuízo ao modelamento. Vários modelos analíticos ou mesmo semi-empíricos foram propostos para modelar o efeito elétrico na mobilidade elétrica [5] [8] [9]. De modo a simplificar tanto a análise quanto o modelo, uma função semi-empírica da mobilidade elétrica μ do BSIM3v3 [9] é expandida na Série de Taylor, sendo esta truncada na primeira derivada da função (segundo termo da série), gerando assim um modelo linear em torno do ponto de polarização. Assim, a mobilidade elétrica dos portadores pode ser expressa pela equação (2.9), sendo θ o coeficiente de modulação da mobilidade elétrica e v_{max} a velocidade máxima dos portadores. Se estes efeitos forem introduzidos no modelo nível 1 do transistor, a precisão dos cálculos manuais melhora para as dimensões sub-mícron.

$$\mu = \frac{\mu_o}{1 + \theta (|V_{GS}| + |V_{TH}|) - \mu_o |V_{DS}| / v_{max} L} \quad (2.9)$$

Um outro efeito a ser considerado é a modulação do comprimento de canal que ocorre na região de saturação em inversão forte a medida em que se aumenta o valor da tensão V_{DS} [5] [6] [7] [8] [9]. O efeito da modulação do comprimento canal na corrente de dreno I_{DS} pode ser expresso pela equação (2.10), segundo Antoneggti e Massobrio [8]. No modelo vê-se que quem modula é o canal e não a corrente de dreno, como normalmente apresentado.

$$I_{DS} = \frac{1}{2(1-\Delta L/L)} \mu C_{ox} \left(\frac{W}{L} \right) (|V_{GS}| - |V_{TH}|)^2 \quad (2.10)$$

Observações feitas nas curvas do BSIM3v3 na região de saturação em inversão forte mostram uma grande correlação linear de $\Delta L/L$ com a tensão V_{DS} . Dessa forma, adota-se para a modulação do comprimento de canal um modelo linear, dado na equação (2.11), sendo λ o coeficiente de modulação do comprimento de canal.

$$\Delta L/L = \lambda |V_{DS}| \quad (2.11)$$

Contudo, a principal consideração realizada para a modificação proposta para o modelo nível 1 quando comparado ao BSIM3v3, é que o comprimento de canal influencia nos parâmetros das equações (2.5) a (2.11) quanto ao modelamento matemático. Uma variação do comprimento de canal implica na variação de todos os coeficientes destas equações. Dessa maneira, o valor do comprimento do canal passa a ser o primeiro parâmetro considerado, pois os coeficientes do modelo dependem dele diretamente. Finalizando as considerações, quanto maior o valor do comprimento de canal, mais o BSIM3v3 tende ao modelo nível 1 original e os seus coeficientes tendem realmente a constantes, como já era de se esperar, uma vez que o nível 1 foi desenvolvido para transistores com dimensões sobre-mícron, onde o percentual de influência se torna irrelevante.

2.3.2. Saturação em Inversão Fraca

Se o transistor MOS estiver operando em inversão fraca (região *subthreshold*), a relação I vs V deixa de ter uma lei quadrática na saturação e passa a ter um comportamento exponencial [14] [15]. A corrente de dreno I_{DS} pode ser expressa pela equação (2.12), sendo n a inclinação da curva, V_{GB} a tensão de *gate*-substrato, V_{DB} a tensão de dreno-substrato e U_T é a tensão térmica, uma função da temperatura do dispositivo e que vale aproximadamente 26mV a temperatura ambiente de 300K.

$$I_{DS} = I_{D0} \left(\frac{W}{L} \right) \exp \left(\frac{|V_{GB}|}{nU_T} \right) \left[\exp \left(-\frac{|V_{SB}|}{U_T} \right) - \exp \left(-\frac{|V_{DB}|}{U_T} \right) \right] \quad (2.12)$$

A corrente característica I_{D0} é o valor mínimo da corrente de dreno, para uma tensão V_{GB} nula, e é função dos parâmetros do processo, segundo Vittoz e Fellrath [14]. Caso a fonte seja conectada ao substrato do transistor MOS, o modelo passa a ser representado pela equação (2.13), onde o efeito de corpo é eliminado do dispositivo.

$$I_{DS} = I_{D0} \left(\frac{W}{L} \right) \exp \left(\frac{|V_{GS}|}{nU_T} \right) \left[1 - \exp \left(- \frac{|V_{DS}|}{U_T} \right) \right] \quad (2.13)$$

Na operação em inversão fraca, o transistor estará saturado quando $V_{DS} \geq 3 U_T$. Assim, a influência da tensão V_{DS} na corrente de dreno I_{DS} é mínima, podendo ser desprezada do equacionamento. Dessa forma, a relação passa a ser expressa pela equação (2.14). A tensão saturada V_{DS} em inversão fraca é menor do que em inversão forte, uma característica desejada nos circuitos operando em baixa tensão, pois isso aumenta a excursão do sinal. Contudo, a inclinação da curva se altera com a temperatura, pois a tensão U_T é diretamente proporcional a ela, sendo que para baixas tensões V_{GS} , o efeito será maior na relação exponencial.

$$I_{DS} = I_{D0} \left(\frac{W}{L} \right) \exp \left(\frac{|V_{GS}|}{nU_T} \right) \quad (2.14)$$

Na saturação em inversão fraca, o efeito de modulação de canal também está presente e não pode ser ignorado. Observações feitas nas curvas do BSIM3v3 mostram uma grande correlação linear de $\Delta L/L$ com a tensão V_{DS} . Dessa maneira, adota-se para a modulação do comprimento de canal o mesmo modelo dado na equação (2.11). Seu efeito na corrente de dreno I_{DS} pode ser expresso pela equação (2.15).

$$I_{DS} = \frac{I_{D0}}{1 - \Delta L/L} \left(\frac{W}{L} \right) \exp \left(\frac{|V_{GS}|}{nU_T} \right) \quad (2.15)$$

Novamente, a principal consideração realizada para o modelo proposto quando comparado ao BSIM3v3, é que o comprimento do canal influencia nos parâmetros da equação (2.15). Quanto maior for o comprimento do canal, mais o BSIM3v3 tende a equação (2.14) e o seu percentual de influência se torna irrelevante nos parâmetros.

2.4. Extração de Parâmetros

O método dos mínimos quadrados embora seja um método estatístico destinado ao tratamento de massas de dados com erros de medida, tem a capacidade de considerar o erro do modelo como um erro incorporado às medidas e tende a minimizar seus efeitos. Esse fato

faz com que a metodologia seja eficaz na simplificação de modelos complexos, capturando a dinâmica dominante, com a otimização dos seus coeficientes.

2.4.1. Saturação em Inversão Forte

Adicionando à equação da corrente de dreno I_{DS} as considerações das equações (2.9) e (2.11) para incluir efeitos ligados as dimensões sub-mícron, o modelo proposto para a saturação em inversão forte pode ser expresso pela equação (2.16), onde os parâmetros foram fatorados para eliminar a tensão V_{TH} do seu denominador. Os coeficientes K_P , θ , λ e V_{TH} são funções do comprimento do canal; uma das características do modelo BSIM3v3 negligenciada pelo modelo nível 1. Essa dependência deve ser considerada nos cálculos dos transistores para uma maior precisão na previsão das dimensões no projeto do circuito integrado, uma vez que o modelo é uma aproximação que tende a capturar a dinâmica principal do BSIM3v3.

$$I_{DS} = \frac{1}{2} \frac{K_P}{(1 + \theta |V_{GS}|)(1 - \lambda |V_{DS}|)} \left(\frac{W}{L} \right) (|V_{GS}| - |V_{TH}|)^2 \quad (2.16)$$

Com o aumento excessivo da tensão V_{DS} , ocorre à saturação de velocidade nos portadores no canal [5] [6] [7]. Esta característica não é modelada na equação (2.16), por ser um fenômeno evitado na polarização dos transistores no projeto do circuito.

Uma vez que os coeficientes a serem estimados são função do comprimento do canal, o mais natural a se fazer é fixar seu valor para estimar os parâmetros. Esta consideração não é crítica para projetos, pois o comprimento sempre é adotado para se calcular a largura do transistor. Dessa maneira, pode-se adotar um comprimento de canal comum ao circuito, ou mesmo valores otimizados por partes, segundo algum fenômeno ou critério de interesse, tais como minimização de ruído, tensão de *offset*, espelhos de corrente, entre outros.

O modelo expresso pela equação (2.16) é função das tensões V_{GS} e V_{DS} . Assim, a regressão dos coeficientes pode ser realizada usando o teorema da superposição das fontes, onde é possível analisar a dependência de cada tensão de uma forma isolada. Primeiramente, fazendo a tensão V_{GS} constante e variando a tensão V_{DS} , ambos nas condições de saturação em inversão forte, o modelo pode ser reescrito na equação (2.17). Os vetores dessa forma gerados são linearmente independentes, condição suficiente e necessária para que se aplique o método

dos mínimos quadrados. Esta expressão se comporta como uma reta, sendo o seu coeficiente angular, o valor do coeficiente de modulação do comprimento de canal λ .

$$I_{DS} = \frac{1}{2} \frac{K_P}{1 + \theta |V_{GS}|} \left(\frac{W}{L} \right) (|V_{GS}| - |V_{TH}|)^2 + \lambda |V_{DS}| I_{DS} \quad (2.17)$$

As matrizes A e Y para este modelo são expressas pelas equações (2.18), onde cada linha representa uma medida realizada nas curvas de operação do BSIM3v3 na saturação em inversão forte; a solução da equação (2.2) fornece os coeficientes do modelo.

$$A = \begin{pmatrix} 1 & |V_{DS_1}| & I_{DS_1} \\ 1 & |V_{DS_2}| & I_{DS_2} \\ \vdots & \vdots & \vdots \\ 1 & |V_{DS_n}| & I_{DS_n} \end{pmatrix} \quad Y = \begin{pmatrix} I_{DS_1} \\ I_{DS_2} \\ \vdots \\ I_{DS_n} \end{pmatrix} \quad (2.18)$$

Fazendo a tensão V_{DS} constante e variando a tensão V_{GS} dentro das condições de saturação em inversão forte, o modelo pode ser reescrito na equação (2.19). Uma vez que o coeficiente λ foi determinado e as dimensões são conhecidas, os demais parâmetros podem ser calculados. Os vetores assim gerados são linearmente independentes, a condição suficiente e necessária para que se aplique o método dos mínimos quadrados.

$$I_{DS} = \frac{1}{2} \frac{K_P}{1 - \lambda |V_{DS}|} \left(\frac{W}{L} \right) (|V_{GS}| - |V_{TH}|)^2 - \theta |V_{GS}| I_{DS} \quad (2.19)$$

As matrizes A e Y para este modelo são expressas pelas equações (2.20), onde cada linha representa uma medida realizada nas curvas de operação do BSIM3v3 na saturação em inversão forte; a solução da equação (2.2) fornece os coeficientes do modelo.

$$A = \begin{pmatrix} 1 & |V_{GS_1}| & |V_{GS_1}|^2 & |V_{GS_1}| I_{DS_1} \\ 1 & |V_{GS_2}| & |V_{GS_2}|^2 & |V_{GS_2}| I_{DS_2} \\ \vdots & \vdots & \vdots & \vdots \\ 1 & |V_{GS_n}| & |V_{GS_n}|^2 & |V_{GS_n}| I_{DS_n} \end{pmatrix} \quad Y = \begin{pmatrix} I_{DS_1} \\ I_{DS_2} \\ \vdots \\ I_{DS_n} \end{pmatrix} \quad (2.20)$$

Dessa forma, a extração de parâmetros é realizada numa abordagem matricial, onde se obtém os coeficientes otimizados do modelo. Para o modelo BSIM3v3 fornecido pela MOSIS, do processo CMOS TSMC 0,35 μ m, são feitas simulações DC variando-se as tensões

V_{GS} e V_{DS} , com o cuidado de sempre manter o transistor MOS na região de saturação, porém sem atingir a saturação de velocidade dos portadores com o aumento excessivo da tensão V_{DS} do dispositivo. A Figura 2.1 é mostra a polarização DC para o transistor n MOS.

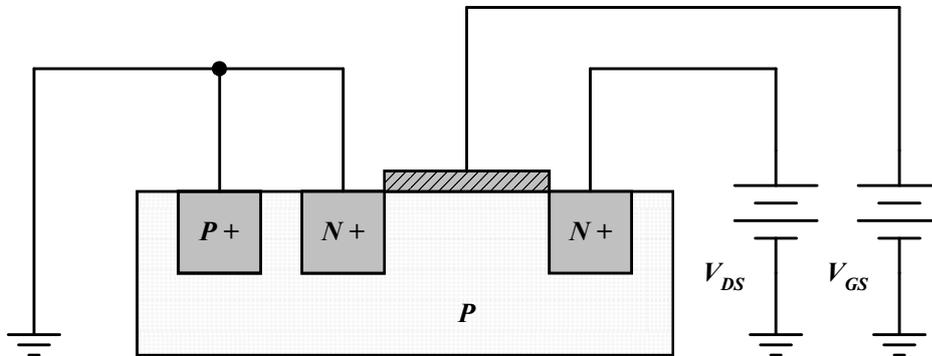


Figura 2.1 – Polarização do transistor n MOS.

Como o transistor MOS é simétrico, a fonte é o ponto ligado ao substrato. Com essa polarização, a regressão da curva fica facilitada por se apresentar em um formato em que a fonte seja a referência do sinal. Na Figura 2.2 é mostrada a polarização DC para o transistor complementar p MOS. Dessa forma, a fonte fica sendo a referência do sinal e a padronização dos cálculos pode ser utilizada tanto para o n MOS e para o p MOS.

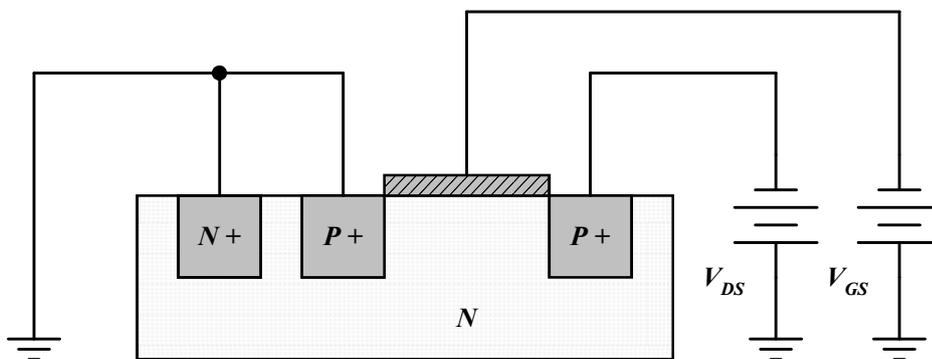


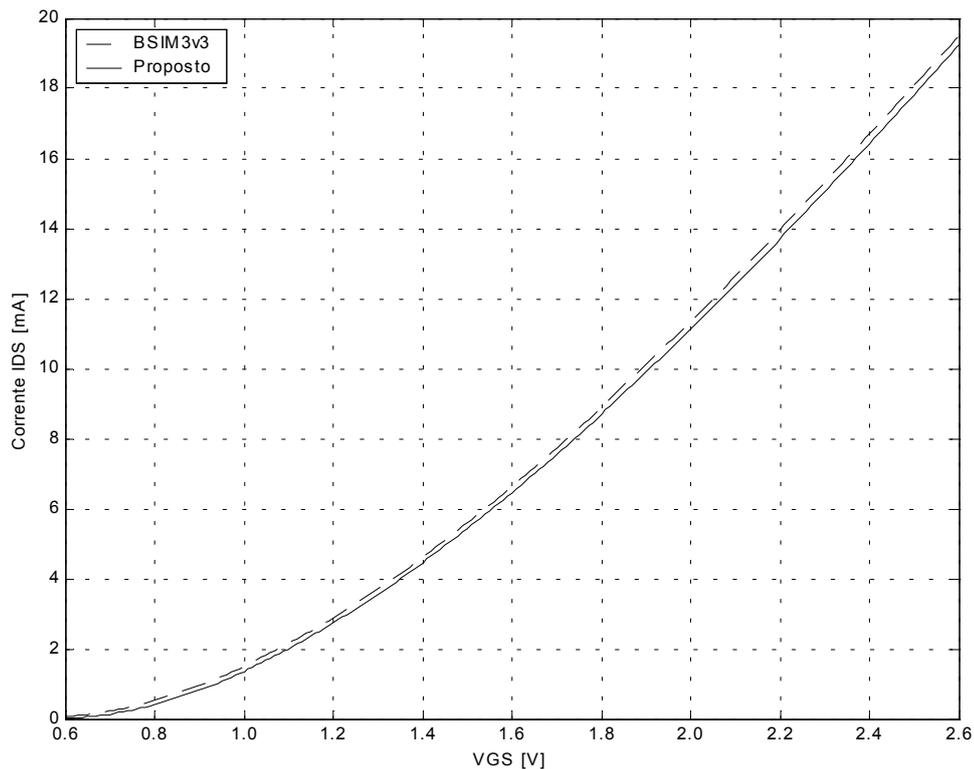
Figura 2.2 – Polarização do transistor p MOS.

Realizadas as simulações DC, os parâmetros extraídos dos transistores n MOS e p MOS são mostrados na Tabela 2.1, para as dimensões (W/L) de $100\mu\text{m}/1\mu\text{m}$, do processo CMOS TSMC em questão e sobre a condição de saturação em inversão forte. Uma variação da largura do canal de $10\mu\text{m}$ a $1000\mu\text{m}$ não provocou mudanças significativas nos parâmetros listados; uma das características que mostra que o modelo proposto é constante para essa dimensão do transistor. Assim, ele se aplica de maneira eficaz na previsão da largura do canal, o objetivo da metodologia, uma vez que o comprimento de canal já foi pré-determinado.

Tabela 2.1 – Coeficientes otimizados em inversão forte ($L = 1\mu\text{m}$).

Parâmetros	CMOS TSMC 0,35 μm	
	$n\text{MOS}$	$p\text{MOS}$
$K_P [\mu\text{A}/\text{V}^2]$	+ 236,52	- 78,208
$V_{TH} [\text{V}]$	+ 0,5758	- 0,7279
$\theta [\text{V}^{-1}]$	+ 0,6347	- 0,5071
$\lambda [\text{V}^{-1}]$	+ 0,0219	- 0,0426

O modelo BSIM3v3 foi simulado em PSpice, Eldo, SMASH, e comparado com o modelo proposto, sendo mostrado na Figura 2.3 o caso do transistor $n\text{MOS}$, de dimensões $100\mu\text{m}/1\mu\text{m}$. O coeficiente de determinação r^2 , no pior caso, é 0,9878. Ou seja, 98,78% dos pontos do BSIM3v3 podem ser explicados pelo modelo proposto. Não significa coincidência dos pontos com o modelo e sim a tendência das curvas. O mesmo método foi aplicado no modelo nível 1, no qual o coeficiente de determinação r^2 é de no máximo 84,63%.

Figura 2.3 – I_{DS} vs V_{GS} com V_{DS} de 2,60V do transistor $n\text{MOS}$ $100\mu\text{m}/1\mu\text{m}$.

Para o processo CMOS TSMC 0,35 μm foram realizadas algumas variações do valor do comprimento do canal, sendo mostrada na Tabela 2.2 a variação dos parâmetros para o caso do transistor $n\text{MOS}$, cujo a largura do canal é constante em $100\mu\text{m}$.

Tabela 2.2 – Coeficientes do transistor *n*MOS em função do comprimento do canal.

Comprimento L	9μm	5μm	2μm	1μm	0,5μm
$K_P [\mu A/V^2]$	+ 165,02	+ 168,34	+ 186,36	+ 236,52	+ 245,32
$V_{TH} [V]$	+ 0,5239	+ 0,5283	+ 0,5461	+ 0,5758	+ 0,6159
$\theta [V^{-1}]$	+ 0,1438	+ 0,1728	+ 0,3000	+ 0,6347	+ 2,5218
$\lambda [V^{-1}]$	+ 0,0139	+ 0,0159	+ 0,0189	+ 0,0219	+ 0,0435

Dessa maneira, pelo método dos mínimos quadrados, é possível mostrar que o modelo nível 1, isto é, um polinômio de segundo grau com raízes reais iguais, não representa satisfatoriamente a curva do transistor, a menos que o comprimento de canal seja bem grande, como indica a tendência da Tabela 2.2. Pelos valores é possível mostrar a dependência desses coeficientes com o comprimento de canal, como sugere a análise do BSIM3v3 [9].

2.4.2. Saturação em Inversão Fraca

Com a corrente de dreno I_{DS} expressa na equação (2.15) e a consideração para a modulação do comprimento de canal, o modelo proposto para a saturação em inversão fraca pode ser expresso pela equação (2.21). Os coeficientes I_{D0} e λ são funções do comprimento do canal, assim como na proposta para a saturação em inversão forte.

$$I_{DS} = \frac{I_{D0}}{1 - \lambda |V_{DS}|} \left(\frac{W}{L} \right) \exp\left(\frac{|V_{GS}|}{nU_T} \right) \quad (2.21)$$

Uma vez que os coeficientes a serem estimados são função do comprimento do canal, o mais natural a se fazer é fixar seu valor para estimar os parâmetros, assim como visto na saturação em inversão forte.

O modelo expresso pela equação (2.21) é função das tensões V_{GS} e V_{DS} . Assim, a regressão dos coeficientes é feita separadamente, onde é possível analisar a dependência de cada tensão de forma isolada.

Fazendo a tensão V_{GS} constante e variando a tensão V_{DS} , ambos nas condições de saturação em inversão fraca, o modelo pode ser reescrito na expressão (2.22). Os vetores gerados são linearmente independentes, a condição suficiente e necessária para que se aplique o método dos mínimos quadrados.

$$I_{DS} = I_{D0} \left(\frac{W}{L} \right) \exp \left(\frac{|V_{GS}|}{nU_T} \right) + \lambda |V_{DS}| I_{DS} \quad (2.22)$$

As matrizes A e Y para este modelo são expressas pelas equações (2.23), onde cada linha representa uma medida realizada nas curvas de operação do BSIM3v3 na saturação em inversão fraca; a solução da equação (2.2) fornece os coeficientes do modelo.

$$A = \begin{pmatrix} 1 & |V_{DS_1}| & I_{DS_1} \\ 1 & |V_{DS_2}| & I_{DS_2} \\ \vdots & \vdots & \vdots \\ 1 & |V_{DS_n}| & I_{DS_n} \end{pmatrix} \quad Y = \begin{pmatrix} I_{DS_1} \\ I_{DS_2} \\ \vdots \\ I_{DS_n} \end{pmatrix} \quad (2.23)$$

Fazendo a tensão V_{DS} constante e variando a tensão V_{GS} dentro das condições de saturação em inversão fraca, o modelo pode ser expresso de maneira linear pela equação (2.24), dada pelo logaritmo neperiano. Como o coeficiente λ foi determinado e as dimensões são conhecidas, os parâmetros podem ser calculados.

$$\ln(I_{DS}) = \ln \left(\frac{I_{D0}}{1 - \lambda |V_{DS}|} \left(\frac{W}{L} \right) \right) + \frac{|V_{GS}|}{nU_T} \quad (2.24)$$

Os vetores assim gerados são linearmente independentes, condição suficiente e necessária para que se aplique o método dos mínimos quadrados. As matrizes A e Y para este modelo são expressas pelas equações (2.25), onde cada linha representa uma medida realizada nas curvas de operação do BSIM3v3 na saturação em inversão fraca.

$$A = \begin{pmatrix} 1 & |V_{GS_1}| \\ 1 & |V_{GS_2}| \\ \vdots & \vdots \\ 1 & |V_{GS_n}| \end{pmatrix} \quad Y = \begin{pmatrix} \ln(I_{DS_1}) \\ \ln(I_{DS_2}) \\ \vdots \\ \ln(I_{DS_n}) \end{pmatrix} \quad (2.25)$$

Dessa forma, a extração de parâmetros é realizada numa abordagem matricial, onde se obtém os coeficientes otimizados do modelo. Para o modelo BSIM3v3 fornecido pela MOSIS, do processo CMOS TSMC 0,35 μ m, são feitas simulações DC, variando-se as tensões V_{GS} e V_{DS} , mantendo sempre o dispositivo operando na saturação. A polarização DC é feita da mesma forma que a apresentada na inversão forte.

Realizadas as simulações DC, os parâmetros extraídos dos transistores n MOS e p MOS são mostrados na Tabela 2.3, para as dimensões (W/L) de $100\mu\text{m}/1\mu\text{m}$, do processo CMOS TSMC em questão e sobre a condição de saturação em inversão fraca. Aqui também, variando-se a largura do canal de $10\mu\text{m}$ a $1000\mu\text{m}$ não provocou mudanças significativas nos parâmetros listados.

Tabela 2.3 – Coeficientes otimizados em inversão fraca ($L = 1\mu\text{m}$).

	CMOS TSMC 0,35 μm	
	n MOS	p MOS
I_{D0} [fA]	+ 176,43	- 0,5796
nU_T [V]	+ 0,0380	+ 0,0369
λ [V^{-1}]	+ 0,1711	- 0,1630

O modelo BSIM3v3 foi simulado em PSpice, Eldo, SMASH, e comparado com o modelo proposto, sendo mostrado na Figura 2.4 o caso do transistor n MOS, de dimensões $100\mu\text{m}/1\mu\text{m}$. O coeficiente de determinação r^2 , no pior caso, é 0,9959. Ou seja, 99,59% dos pontos do BSIM3v3 podem ser explicados pelo modelo. Vale a pena ressaltar que para o nível de cálculos manuais, não existe um modelo nível 1 para a operação em inversão fraca.

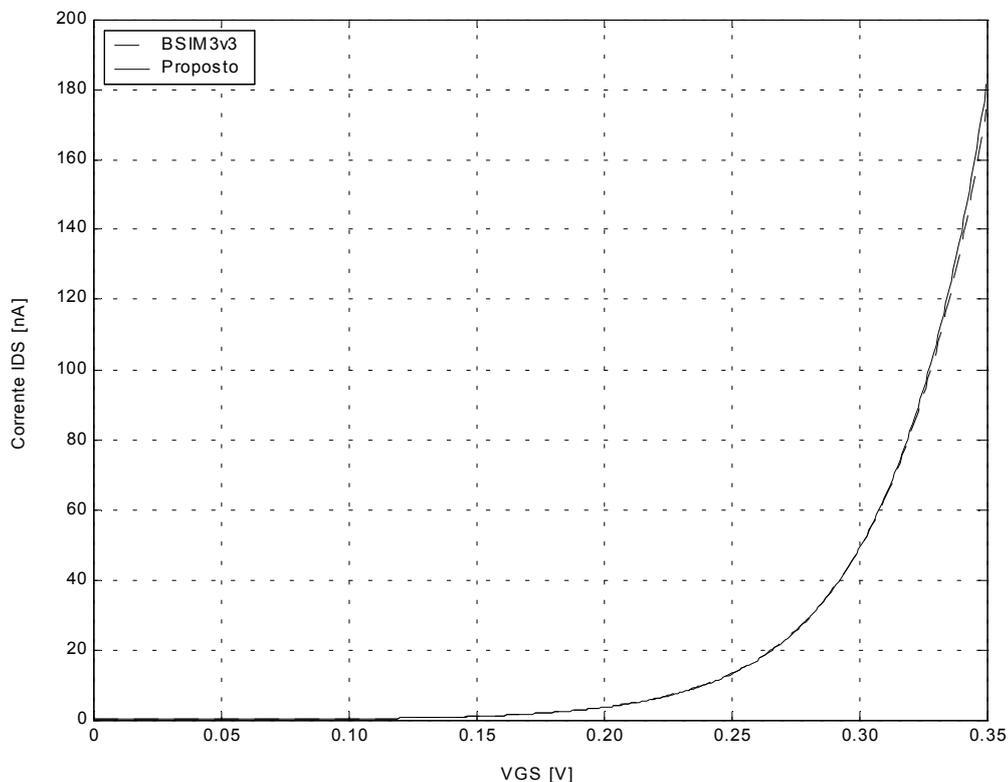


Figura 2.4 – I_{DS} vs V_{GS} com V_{DS} de 0,35V do transistor n MOS $100\mu\text{m}/1\mu\text{m}$.

Para o processo CMOS TSMC 0,35 μm foram realizadas algumas variações do valor do comprimento do canal, sendo mostrado na Tabela 2.4 a variação dos parâmetros para o caso do transistor $n\text{MOS}$, cujo a largura do canal é constante em 100 μm .

Tabela 2.4 – Coeficientes do transistor $n\text{MOS}$ em função do comprimento do canal.

Comprimento L	9 μm	5 μm	2 μm	1 μm	0,5 μm
I_{D0} [fA]	+ 871,78	+ 736,17	+ 423,23	+ 176,43	+ 36,988
nU_T [V]	+ 0,0384	+ 0,0383	+ 0,0382	+ 0,0380	+ 0,0378
λ [V^{-1}]	+ 0,0561	+ 0,0789	+ 0,1256	+ 0,1711	+ 0,3316

Assim, pelo método dos mínimos quadrados, é possível mostrar que o modelo representa a curva do transistor de maneira satisfatória e que, para as pequenas dimensões, o comprimento de canal tem influência na corrente característica I_{D0} e no efeito da modulação do comprimento de canal λ , como indica a tendência da Tabela 2.4, e não tem influência na inclinação da curva nU_T , como esperado pela teoria.

2.5. Equacionamento do Modelo

Definido os modelos que melhor aproximam a região de saturação em inversão forte e em inversão fraca com o modelo do BSIM3v3, a transcondutância g_m e a condutância de saída g_o podem ser calculadas, segundo estes conceitos definidos para o transistor, como mostrado por Laker e Sansen [5], para garantir uma maior precisão nos cálculos.

2.5.1. Saturação em Inversão Forte

Uma vez determinado o modelo e os coeficientes que o melhor aproxima do BSIM3v3 na saturação em inversão forte, os valores da transcondutância g_m e condutância de saída g_o podem ser calculados. Pelas definições dadas por Laker e Sansen [5] (a derivada em torno do ponto de polarização) e dado o modelo proposto neste capítulo, tais grandezas são dadas pelas equações (2.26) e (2.27), respectivamente.

$$g_m = \frac{2I_{DS}}{|V_{GS}| - |V_{TH}|} - \frac{\theta I_{DS}}{1 + \theta |V_{GS}|} \quad (2.26)$$

$$g_o = \frac{\lambda I_{DS}}{1 - \lambda |V_{DS}|} \quad (2.27)$$

No caso da transcondutância g_m , uma parcela de correção na equação (2.26) é introduzida quando comparada as equações apresentadas na literatura, enquanto a condutância de saída g_o passa por uma modificação no seu denominador [5] [6] [7].

2.5.2. Saturação em Inversão Fraca

Uma vez determinado o modelo e os coeficientes que o melhor aproxima do BSIM3v3 na saturação em inversão fraca, os valores da transcondutância g_m e condutância de saída g_o podem ser calculados. Pelas definições dadas por Laker e Sansen [5] e dado o modelo proposto, tais grandezas são dadas pelas equações (2.28) e (2.29), respectivamente.

$$g_m = \frac{I_{DS}}{nU_T} \quad (2.28)$$

$$g_o = \frac{\lambda I_{DS}}{1 - \lambda |V_{DS}|} \quad (2.29)$$

Vale ressaltar que a transcondutância g_m na inversão fraca depende apenas da corrente de dreno I_{DS} , estando diretamente relacionadas. Já a condutância de saída g_o possui a mesma forma que a apresentada na inversão forte.

2.5.3. A Transcondutância do Substrato g_{mb}

Considerando o modelo simplificado para se calcular a transcondutância g_{mb} do substrato, a mesma pode ser diretamente relacionada à transcondutância g_m , independente da região de operação ser a saturação em inversão forte ou inversão fraca [5] [6] [7]. Esta relação é dada pela equação (2.30), sendo χ o coeficiente de efeito de corpo do modelo nível 1, pelo qual se torna possível calcular o valor de g_{mb} a partir do valor de g_m e vice-versa. Através de simulações DC de ponto de polarização, o valor do coeficiente de efeito de corpo χ fica em torno de 0,21 (média) para o processo CMOS TSMC 0,35 μ m.

$$g_{mb} = \chi g_m \quad (2.30)$$

Concluindo, a extração dos parâmetros por mínimos quadrados a partir de um modelo é feita de uma forma otimizada e simples, podendo ser aplicada a outros modelos do transistor, como ACM, EKV, BSIM4 ou até mesmo ao transistor real, com apenas a utilização de voltímetros e amperímetros, desde que seja possível acessar os seus terminais.

Capítulo 3

Uma Arquitetura Miller OTA Modificada para Operar de Pólo-a-Pólo

3.1. Considerações Gerais

Uma das mais populares arquiteturas dos amplificadores operacionais CMOS é conhecida como Miller OTA (*operational transconductance amplifier*). O circuito é mostrado na Figura 3.1 para o caso do par diferencial p MOS, uma vez que o processo CMOS da TSMC é do tipo poço n . Com essa medida é possível ligar a fonte de cada transistor ao seu substrato, eliminando o efeito de corpo do circuito. A implementação dual, com o par diferencial n MOS, pode ser realizada no processo, mas sofrendo de efeito de corpo nos transistores Q_1 e Q_2 . Vale a pena ressaltar que a transcondutância g_m é constante quando a fonte está ligada ao substrato, já que variações na polarização não afetam a tensão *threshold* do transistor MOS.

O amplificador Miller OTA é formado por dois estágios amplificadores e pela malha RC de realimentação. Uma corrente de referência I_{ref} é gerada externamente ou em um

circuito de polarização, como a *bandgap*, e espelhada para os transistores Q_5 e Q_7 através do transistor Q_R , formando espelhos de correntes. O primeiro estágio amplificador, denominado estágio diferencial, é formado pelo transistor Q_5 , que fornece a corrente de polarização para os transistores do par diferencial Q_1 e Q_2 , acionados pelo *gate*. O par diferencial tem como carga ativa os transistores Q_3 e Q_4 , outro espelho de corrente. O segundo estágio amplificador é um amplificador fonte-comum, formado pelo transistor Q_6 e tem o transistor Q_7 como carga ativa, que também espelha a corrente I_{ref} para a saída do amplificador operacional.

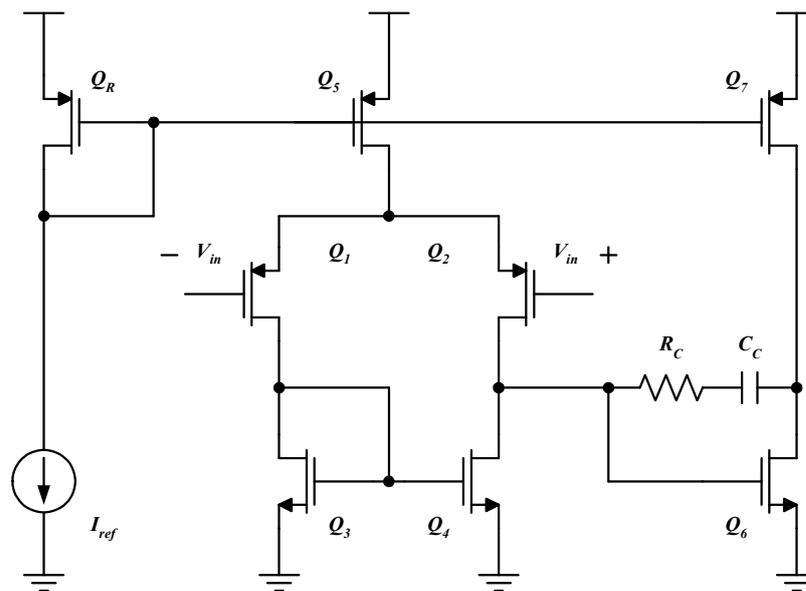


Figura 3.1 – Arquitetura Miller OTA convencional.

A compensação em frequência é feita pela malha RC, formada pelo capacitor C_C e o resistor R_C da malha Miller. Essa malha se faz necessária para que haja uma separação efetiva dos pólos do circuito, obtendo assim uma maior estabilidade. O resistor R_C , além de melhorar a resposta em frequência, modificando o zero da função de transferência, evita que a saída do segundo estágio entre em curto-circuito com a do estágio diferencial em frequências mais elevadas, via o capacitor C_C da malha Miller da realimentação.

Duas características são herdadas do amplificador fonte-comum. A primeira é a elevada resistência de Thévenin na saída. Com isso, o circuito tem a resposta degradada para cargas de caráter resistivo, o que faz a topologia ser preferida para acionamentos internos ao *chip*, onde predomina a alta impedância de entrada dos transistores. A segunda é a diferença na taxa de variação (*slew-rate*) entre a subida e a descida do sinal na saída, já que para a carga do capacitor tem-se uma fonte de corrente constante e para a descarga do mesmo, um circuito

amplificador ligado à mesma fonte de corrente já citada; dois equivalentes com características diferentes em grandes sinais.

O amplificador operacional Miller OTA apresenta algumas não-linearidades. A primeira delas ocorre no par diferencial acionado pelo *gate*. A configuração limita a variação da tensão de entrada, uma vez que a transcondutância g_m não é constante em toda a faixa de excursão, distorcendo assim a função de transferência. Outra não-linearidade acontece com a carga ativa do par diferencial. Para os baixos valores no sinal de entrada em relação ao pólo GND, a carga ativa começa a se desligar. Assim, a arquitetura possui uma saturação tanto no pólo V_{DD} quanto no pólo GND, o que prejudica a excursão do sinal de pólo-a-pólo da fonte de alimentação. As conclusões também são válidas para o dual par diferencial *n*MOS.

Saturações implicam em perdas na excursão do sinal. Normalmente as perdas são fixas quando comparadas com a tensão de alimentação, pois as perdas são fixadas com a polarização do transistor. Assim, reduzindo a tensão de alimentação, as perdas permanecem e acabam ficando na mesma ordem de grandeza da própria tensão de alimentação. Este fato faz com que haja um aproveitamento na excursão linear de sinal bem baixo. Com isso, buscam-se novas arquiteturas que sejam capazes de ter uma excursão do sinal de pólo-a-pólo para uma tensão de alimentação reduzida, visando diminuir as tensões de polarização dos dispositivos, necessárias para manter os transistores ligados na região de operação desejada.

3.2. Par Diferencial Acionado pelo Substrato

Pode-se afirmar que o “coração” de um amplificador operacional está em seu estágio diferencial de entrada, onde a entrada inversora e a entrada não-inversora podem estar na configuração par diferencial acionado pelo *gate* ou acionado pelo substrato, de uma forma simples ou complementar.

Para a operação linear de pólo-a-pólo da fonte de alimentação do amplificador operacional, foi proposto trabalhar inicialmente na configuração par diferencial acionado pelo *gate*, mas complementar [16] [17] [18], como mostra a Figura 3.2. Considerando as condições de saturação em inversão forte, sabe-se que o transistor MOS necessita uma tensão V_{GS} maior do que a tensão V_{TH} para se ter o canal formado e entrar em condução.

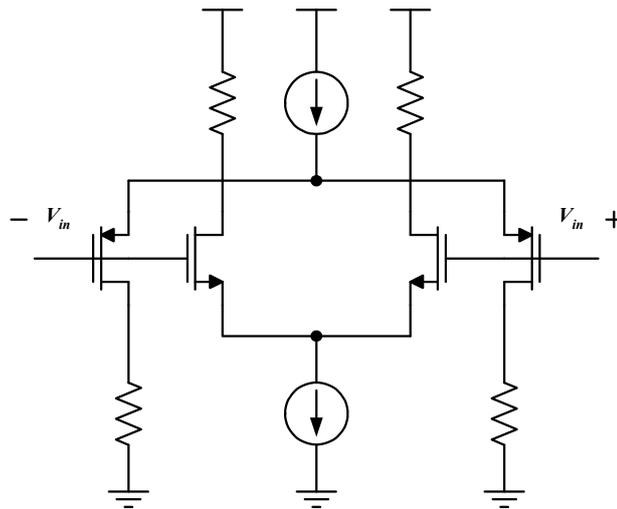


Figura 3.2 – Par diferencial complementar, acionado pelo *gate*.

O par diferencial *nMOS* conduz melhor para uma entrada próxima do pólo V_{DD} do que próxima do GND. O par diferencial *pMOS* opera de forma complementar, conduzindo melhor para uma entrada próxima do pólo GND do que próxima do V_{DD} . As saídas de cada par diferencial são conectadas a um ou mais estágios amplificadores, onde os seus efeitos são somados, ocasionando a excursão de pólo-a-pólo. A tensão de alimentação mínima tem que ser maior do que a tensão V_{TH} do transistor do par diferencial acrescida das tensões V_{DS} dos transistores que implementam a fonte de corrente e a carga ativa.

De acordo com o exposto, para tensões mais próximas de GND, o *pMOS* está em condução com g_m constante e o *nMOS* está em corte. Para tensões mais próximas de V_{DD} , o *pMOS* está em corte e o *nMOS* está em condução com g_m constante. Nas tensões medianas, os dois transistores estão em condução, somando os efeitos. Essa descrição é realizada para a condução dos transistores na saturação em inversão forte, mas efeitos semelhantes ocorrem com o g_m na saturação em inversão fraca, devido à relação exponencial da curva I vs V , onde o uso de pares complementar também se torna necessário para que a excursão pólo-a-pólo seja possível, porém com uma vantagem sobre a inversão forte, pois a tensão de alimentação mínima não depende mais da tensão *threshold* V_{TH} dos transistores do par diferencial e sim do nível de condução pela lei exponencial.

O uso do par diferencial complementar ocorre também para o TBJ, o transistor bipolar de junção, uma vez que a curva I vs V é bem semelhante a do MOS na saturação em inversão fraca. A transcondutância g_m deve ser constante em toda excursão, pois a dinâmica do circuito (abordagem em pequenos sinais) está intimamente ligada a tal parâmetro.

Dessa maneira, alguns métodos foram propostos para o controle do g_m do par diferencial em toda a faixa de excursão, onde se destaca o controle de g_m por chaveamento de corrente, o controle do g_m por um circuito da raiz quadrada da corrente [16] [17], o controle de g_m por uma fonte de tensão, o controle de g_m por um zenner eletrônico ou por dois diodos, o controle de g_m por múltiplos pares diferenciais de entrada [17] e o controle de g_m através da sobreposição das regiões de transição [18].

Porém, uma outra solução para circuitos CMOS em baixa tensão com excursão de pólo-a-pólo, é a utilização do par diferencial acionado pelo substrato, devido ao fato deste permitir uma maior excursão do sinal, sem desligar os transistores. Na configuração mostrada na Figura 3.3, o par diferencial n MOS sempre está com a tensão V_{GS} maximizada, uma vez que os *gates* estão conectados no pólo V_{DD} . Dessa forma, os transistores envolvidos no par diferencial não desligam para uma variação da tensão V_{BB} de pólo-a-pólo [1].

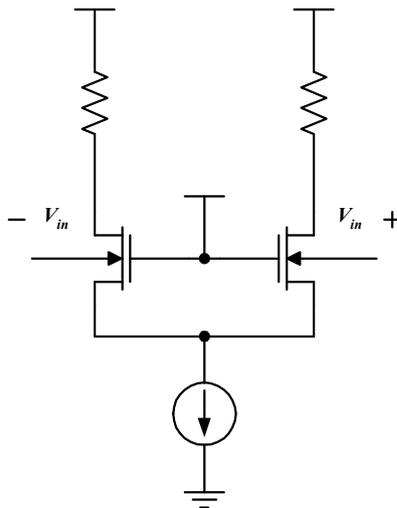


Figura 3.3 – Par diferencial acionado pelo substrato.

Esse efeito pode ser observado analisando o modelo equivalente de polarização da Figura 3.4 para o caso do transistor n MOS acionado pelo *gate*. Fazendo a tensão V_{SS} igual à metade da tensão do pólo V_{DD} e variando de pólo-a-pólo a tensão V_{GG} , a região de saturação do transistor n MOS fica garantida, em inversão forte e em inversão fraca. O transistor entrará em condução em inversão forte quando a tensão V_{GG} for maior que a soma das tensões V_{SS} e V_{TH} , limitando assim a excursão do sinal. Para uma tensão V_{GG} menor que a soma citada, o transistor estará na condução *subthreshold*, passando pela inversão moderada e fraca, até que a tensão V_{GG} atinja o valor da tensão V_{SS} , ou seja, com a tensão V_{GS} nula, o valor para qual o transistor está desligado.

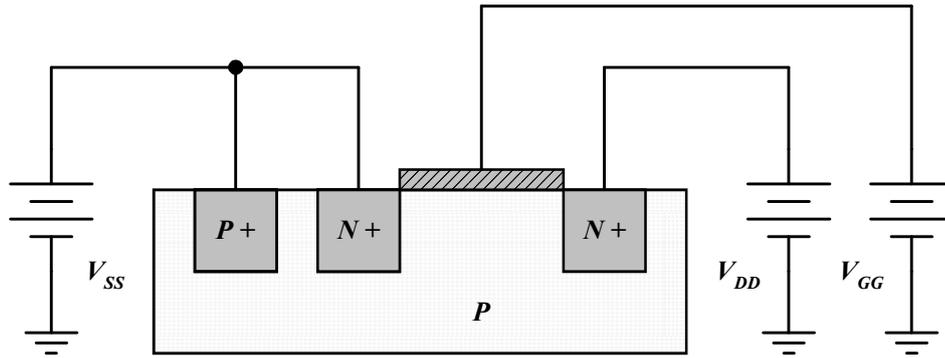


Figura 3.4 – Polarização de um transistor *nMOS* pelo *gate*.

Agora, para o modelo equivalente de polarização da Figura 3.5 para o caso do transistor *nMOS* acionado pelo substrato, fazendo a tensão V_{SS} igual à metade da tensão do pólo V_{DD} e variando de pólo-a-pólo a tensão V_{BB} , a condição de saturação do transistor *nMOS* também fica garantida, em inversão forte e em inversão fraca. O transistor está em condução em toda a faixa de excursão, pois a tensão V_{GS} sempre é maior que a tensão V_{TH} , desde que a tensão V_{DD} assim permita. Dessa forma, o canal está sempre formado. Caso a tensão V_{DD} seja menor, mesmo assim transistor se encontra em condução nas condições *subthreshold* e todas as conclusões discutidas também são válidas.

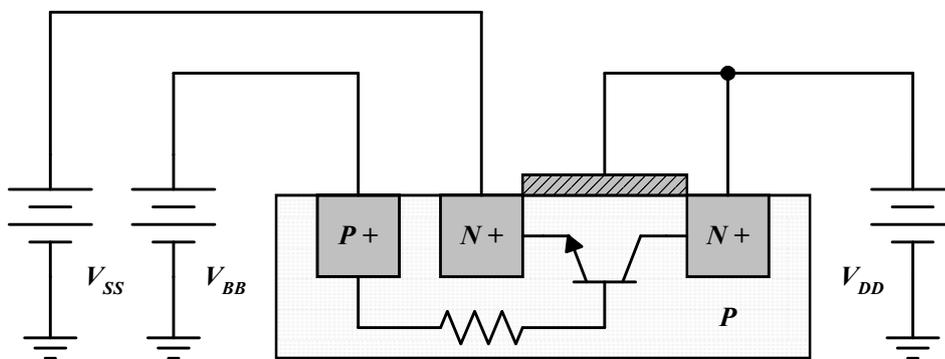


Figura 3.5 – Polarização de um transistor *nMOS* pelo substrato.

Na Figura 3.6 é mostrada essa análise para um transistor *nMOS* do processo CMOS TSMC 0,35 μm com dimensões (W/L) iguais a 100 $\mu\text{m}/1\mu\text{m}$ e uma alimentação de 3V, a fim de comparação entre os dois tipos de polarização.

Comparando a polarização nos dois casos é possível concluir que, conforme a Figura 3.6, o acionamento pelo substrato mantém o transistor em nível de condução superior ao acionamento pelo *gate* em toda a faixa de excursão. O par diferencial complementar deixa de ser uma necessidade para a operação pólo-a-pólo da fonte de alimentação do amplificador

operacional. Em outras palavras, a tensão *threshold* que antes era um empecilho à excursão do sinal, passa a ser uma aliada na modulação do sinal de entrada do par diferencial.

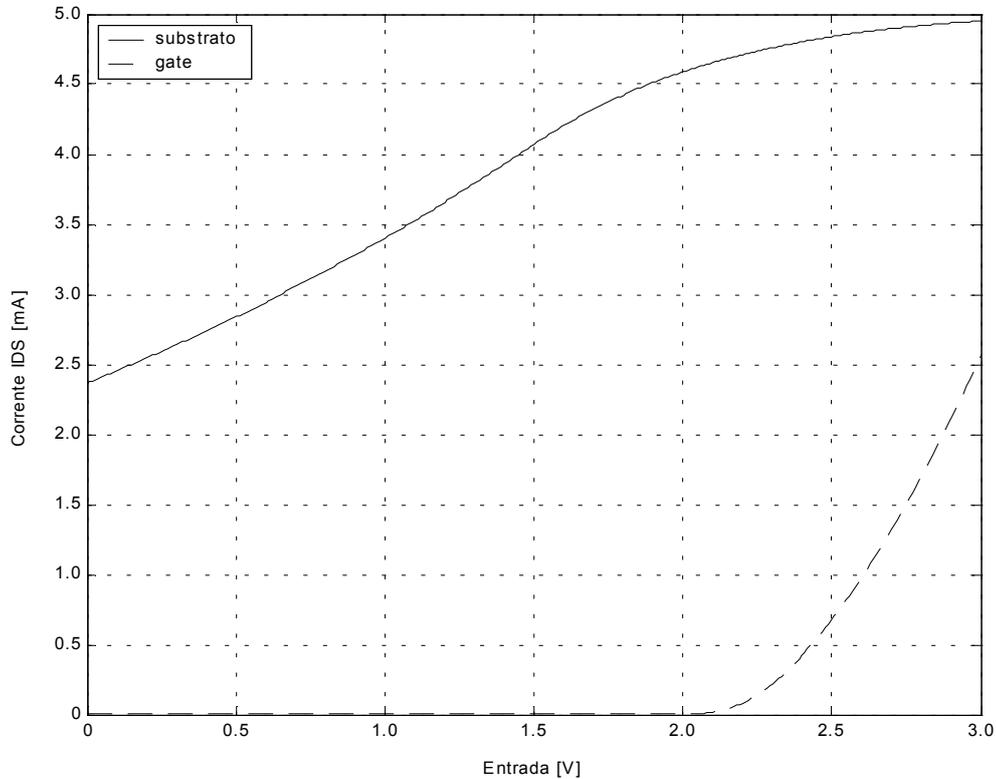


Figura 3.6 – Comparação entre o acionamento pelo *gate* e pelo substrato.

Graficamente, a transcondutância é definida pela reta tangente às curvas. Como já era de se esperar, a transcondutância do substrato g_{mb} é menor do que a transcondutância do *gate* g_m . Uma outra desvantagem do uso do acionamento pelo substrato é a menor impedância de entrada quando comparado ao acionamento pelo *gate*, porém ainda superior ao equivalente estágio com o TBJ. Isto pode ser observado na própria Figura 3.5, onde TBJ parasita está em paralelo com a resistência do canal do *nMOS*.

3.3. Circuito Miller OTA Modificado

Tomando como base o amplificador operacional Miller OTA da Figura 3.1 e utilizando o par diferencial acionado pelo substrato ao invés do convencional acionado pelo *gate*, o circuito do amplificador já se torna capaz de operar com alimentação reduzida com

uma excursão de sinal além da normal. Esta condição vem do fato que o transistor *p*MOS polarizado pelo substrato e com tensão de *gate* no pólo GND estar sempre em condução.

Se a tensão de entrada em modo comum estiver mais próxima do pólo V_{DD} , o amplificador tem uma resposta linear. Porém, se estiver mais próximo do pólo GND, o estágio diferencial distorce a resposta, uma vez que a carga ativa começa a desligar. Para solucionar esse problema da estrutura é proposto o uso de duas baterias em série com a carga ativa, o que dá origem ao deslocamento DC do sinal, como mostra a Figura 3.7. Os transistores Q_3 e Q_4 da carga ativa estarão numa condição onde a tensão V_{GS} difere da tensão V_{DS} pelo valor da tensão da bateria. Dessa maneira, a carga ativa permanece ligada mesmo para os baixos valores da tensão de entrada, contornando a situação de não-linearidade.

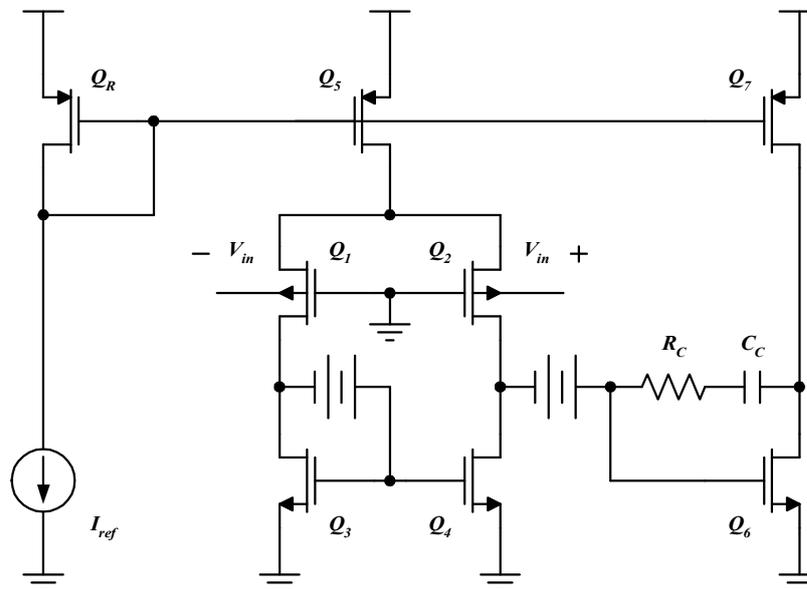


Figura 3.7 – Circuito Miller OTA modificado.

O circuito é mostrado novamente para o par diferencial *p*MOS, uma vez que o processo é poço *n*. Assim, além de ser possível ligar a fonte ao substrato dos transistores, eliminando o efeito de corpo, o substrato isolado do *p*MOS garante a implementação do par diferencial acionado pelo substrato, uma vez que o substrato do *n*MOS é comum a todos os transistores nesta tecnologia CMOS TSMC 0,35 μ m.

Embora seja possível o uso de baterias no circuito, o mesmo não é viável em circuitos integrados, em especial, devido à dificuldade de implementação. Alguns circuitos foram propostos para resolver esse impasse, mas com complexidade e perdas no caminho do

projetados, preferencialmente, casados para que não haja um desbalanceamento da estrutura do par diferencial, eliminando as tensões de *offset* de natureza sistemática no estágio.

Outro cuidado com o projeto do amplificador operacional para que não se gere uma tensão de *offset* sistemática na saída vem do ajuste dos níveis DC de polarização entre os estágios amplificadores. Mantendo as entradas do Miller OTA em modo comum com a média da tensão de alimentação e os transistores casados, a corrente de dreno I_{D5} se dividirá entre os transistores Q_1 e Q_2 igualmente. O transistor Q_4 conduzirá as correntes de dreno I_{D2} e de I_{D9} . Como a tensão V_{GS4} é igual à tensão V_{GS6} no equilíbrio DC, o transistor Q_6 conduz a corrente de dreno I_{D6} , proporcional a corrente de dreno I_{D4} , na relação de espelhos. Para que a tensão de *offset* seja nula, a corrente de dreno I_{D6} deve ser igual a corrente de dreno I_{D7} . Assim, com o equacionamento das correntes em função das dimensões dos transistores, conclui-se que não haverá a tensão de *offset* de natureza sistemática no circuito do Miller OTA modificado se a relação da equação (3.1) for respeitada como uma otimização de projeto.

$$\frac{(W/L)_6}{(W/L)_4} = 2 \frac{(W/L)_7}{(W/L)_5 + 2(W/L)_9} \quad (3.1)$$

O modelo AC do amplificador em pequenos sinais é definido pelos elementos dos nós dominantes no caminho do sinal. Com o modelo π dos transistores envolvendo as capacitâncias inerentes, o modelo AC em pequenos sinais pode ser representado pelo circuito equivalente dado na Figura 3.9, sendo os valores de g_m , g_{mb} e g_o determinados no equilíbrio DC de polarização, e C_{n1} e C_{n2} as capacitâncias parasitas dos nós do resistor R_B .

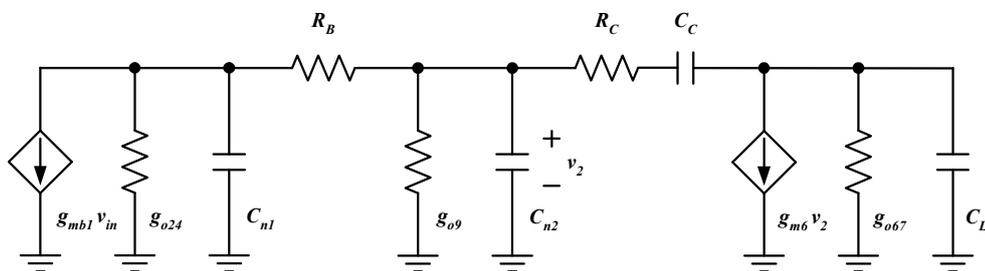


Figura 3.9 – Modelo AC do Miller OTA modificado.

Aplicando a transformada de Laplace nos elementos, considerando a separação dos pólos e ignorando as capacitâncias parasitas dos outros nós, o circuito acima tem como modelo em frequência um ganho, dois pólos reais e um zero, conforme a equação (3.2).

$$A_o(s) = A_o \frac{\left(1 - \frac{s}{2\pi f_z}\right)}{\left(1 - \frac{s}{2\pi f_d}\right)\left(1 - \frac{s}{2\pi f_n}\right)} \quad (3.2)$$

Como o ganho A_o tem uma definição independente da frequência, é possível considerar os capacitores um circuito aberto no modelo equivalente. Equacionando-se os nós sem as capacitâncias, tem que o ganho em malha aberta é dado pela equação (3.3).

$$A_o = \frac{g_{mb1} g_{m6}}{g_{o67} (g_{o24} + g_{o24} g_{o9} R_B + g_{o9})} \quad (3.3)$$

Do equacionamento dos nós do modelo equivalente da Figura 3.9, tem-se que o valor da frequência do pólo dominante f_d é dada pela equação (3.4). Se o produto $g_{o24} R_B$ for bem menor que a unidade (geralmente verdade), então a frequência do pólo dominante pode ser simplificada, conforme a mesma expressão. As frequências do pólo não-dominante f_n e do zero f_z da mesma função são dados pela equação (3.5).

$$f_d = -\frac{g_{mb1}}{2\pi A_o C_C (1 + g_{o24} R_B)} \quad f_d \approx -\frac{g_{mb1}}{2\pi A_o C_C} \quad (3.4)$$

$$f_n = -\frac{g_{m6}}{2\pi C_L} \quad f_z = -\frac{1}{2\pi C_C (R_C - 1/g_{m6})} \quad (3.5)$$

Essas mudanças no modelo AC não alteram a posição do pólo não-dominante e nem a do zero, se comparados com o modelo do Miller OTA convencional [5]. Mas o ganho em malha aberta é maior que o do original, o que faz com que o pólo dominante se distancie ainda mais do pólo não-dominante, aumentando o desacoplamento entre si; uma característica desejada e que aumenta a precisão das expressões que o modelam. O resistor R_C permite uma maior flexibilidade no posicionamento do zero na função do amplificador. Caso seu valor seja igual ao inverso da transcondutância g_{m6} , então a posição do zero será o infinito, eliminando o seu efeito na resposta em frequência do amplificador.

Com base no modelo dado na equação (3.2), os pólos e o zero são negativos, já que transcondutância, capacitância e resistência são definidas positivas. Esta característica do modelo o define como de fase mínima [19] [20], condição necessária a validação do critério

de estabilidade pelos diagramas de Bode. Como o pior caso de compensação em frequência é a da configuração *buffer* de ganho unitário [7], tem-se que a frequência de ganho unitário f_u e a margem de fase MF são dadas pelas equações (3.6), considerando que o zero da função de transferência se encontra no infinito.

$$f_u = -A_o f_d \qquad MF = \tan^{-1} \left(-\frac{f_n}{f_u} \right) \qquad (3.6)$$

A taxa de variação do sinal (*slew-rate*) tem a determinação complexa. Como os transistores do par diferencial nunca estão em corte, a corrente de dreno I_{D5} nunca passa em apenas um transistor. Assim, o SR interno é dado pela diferença das correntes dos transistores após a transição na entrada, como o SR externo, dados pelas equações (3.7). Estas correntes não são de fácil definição no modelo simplificado, pois envolvem a condução com a variação da tensão do substrato. Porém, pela análise do ponto de operação do circuito pelas simulações, a determinação desses valores é uma tarefa trivial.

$$SR_{in} = \frac{I_{D1} - I_{D2}}{C_C} \qquad SR_{ex} = \frac{I_{D7} - (I_{D1} - I_{D2})}{C_L} \qquad (3.7)$$

Uma desvantagem do circuito apresentado é a implementação dos resistores. Tais elementos possuem uma resistência muito alta devido aos baixos valores desejados as correntes que os polarizam. Os resistores ocupam uma área considerável de silício na pastilha, além de ser complexo manter seus valores casados, principalmente em processos destinados a fabricação de circuitos digitais.

3.3.2. Amplificador *Gate-Comum* como Deslocador DC

Uma outra opção é substituir a bateria por um amplificador *gate-comum*, com os transistores amplificadores na configuração diodo, e com isso emular a bateria. Em termos do modelo DC, o transistor na configuração diodo tem o modelo de um resistor de valor dado pelo inverso das somas de suas transcondutâncias. Como essa configuração modela o resistor, conseqüentemente tem-se o modelo da bateria. Mas no modelo AC, o mesmo transistor é uma carga ativa, com ganho de amplificador; fato este que modifica a resposta em frequência do circuito pela inclusão de mais um estágio amplificador entre os dois estágios tradicionalmente

já existentes na arquitetura, conforme mostra a Figura 3.10. Esta é a arquitetura utilizada para a especificação do projeto do amplificador a ser implementado.

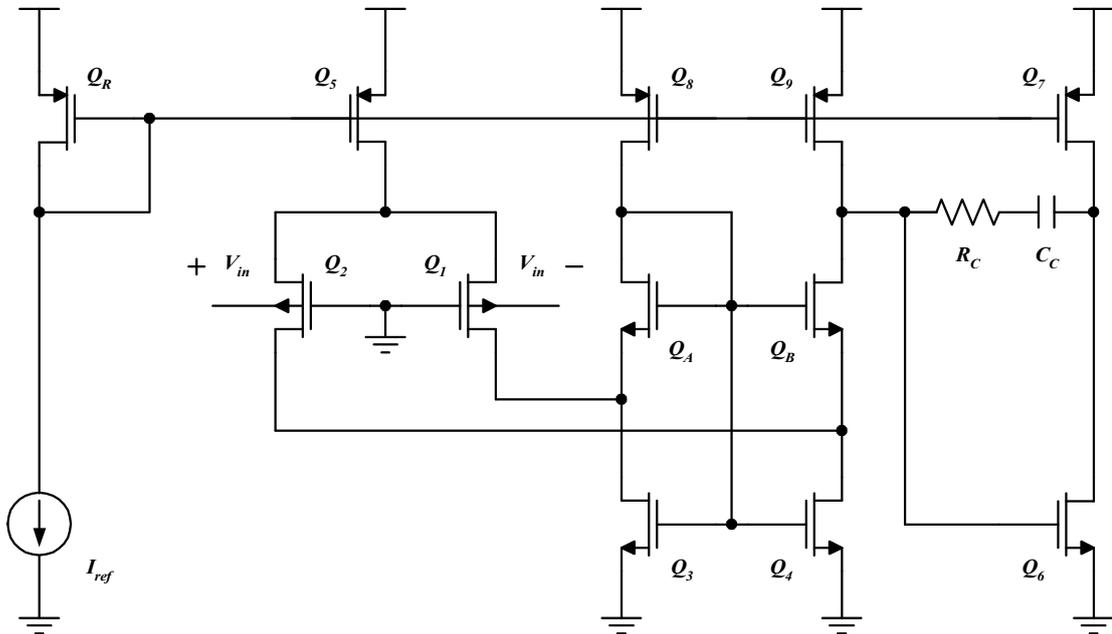


Figura 3.10 – Circuito Miller OTA com *gate-comum* como deslocador DC.

O modelo AC do amplificador em pequenos sinais é definido pelos elementos dos nós dominantes no caminho do sinal. Com o modelo π dos transistores envolvendo as capacitâncias inerentes, o modelo AC em pequenos sinais pode ser representado pelo circuito equivalente dado na Figura 3.11, sendo os valores de g_m , g_{mb} e g_o determinados no equilíbrio DC de polarização, e C_{n1} e C_{n2} as capacitâncias parasitas dos nós, respectivamente, da fonte e do dreno de Q_B , o transistor responsável pelo deslocamento DC.

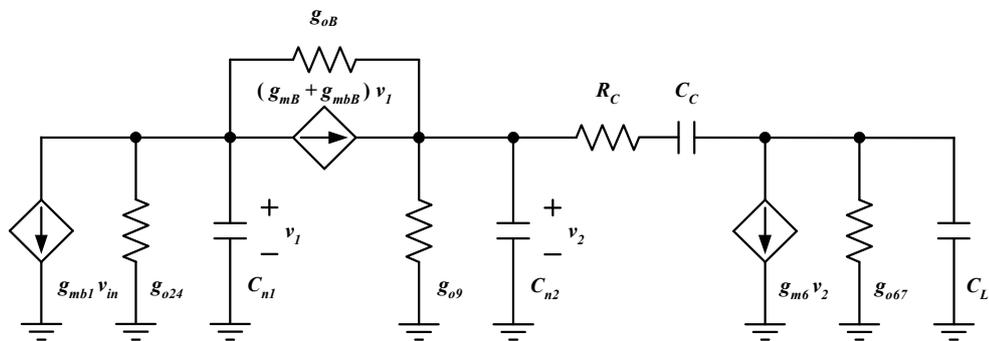


Figura 3.11 – Modelo AC do Miller OTA modificado.

Comparando este modelo AC e as tradicionais equações do Miller OTA [5] [6] [7], conclui-se que neste caso a inclusão do amplificador *gate-comum* não altera a ordem do

sistema, nem a dinâmica do pólo não-dominante e a do zero, mas aumenta mais o valor do ganho em malha aberta A_o , diminui mais a frequência do pólo dominante, aumentando mais a separação dos pólos, como é o desejado. Dessa maneira, o OTA com o *gate-comum* melhora a resposta do amplificador, pois aumenta o ganho A_o e a separação dos pólos se torna ainda mais efetiva que o tradicional e do amplificador com o deslocador DC passivo.

Como o ganho A_o tem uma definição independente da frequência, é possível considerar os capacitores um circuito aberto no modelo equivalente. Equacionando-se os nós sem as capacitâncias, tem que o ganho A_o é dado pela equação (3.8).

$$A_o = \frac{g_{mb1}g_{m6}}{g_{o67} \left(\frac{g_{oB} + g_{o9}}{g_{mB} + g_{mbB} + g_{oB}} g_{o24} + g_{o9} \right)} \quad (3.8)$$

Do equacionamento dos nós do modelo equivalente da Figura 3.11, tem-se que o valor da frequência do pólo dominante é dado pela equação (3.9). Se a transcondutância g_{o24} for menor que a soma das transcondutâncias g_{mB} , g_{mbB} e da condutância de saída g_{oB} , então o pólo dominante pode ser simplificado, conforme a mesma expressão.

$$f_d = -\frac{g_{mb1}}{2\pi A_o C_C \left(1 + \frac{g_{o24}}{g_{mB} + g_{mbB} + g_{oB}} \right)} \quad f_d \approx -\frac{g_{mb1}}{2\pi A_o C_C} \quad (3.9)$$

Com isso, o estudo sobre circuito do amplificador operacional está concluído. Sua aplicação pode ser feita tanto com transistores na saturação em inversão forte, quanto na inversão fraca. As duas propostas para a operação de pólo-a-pólo da alimentação são viáveis de serem integradas, sendo uma opção simples e eficiente em aplicações analógicas em baixa tensão, onde amplificadores operacionais possuem uma infinidade de aplicações.

Capítulo 4

O Miller OTA como um Sistema Linear e Invariante no Tempo

4.1. Considerações Gerais

O comportamento de um amplificador linear MOS é modelado por uma função de transferência $A_o(s)$ em Laplace, de ordem definida pelas capacitâncias dominantes para o sinal. No caso de um amplificador operacional, este pode ser modelado pela mesma função de transferência, onde há uma subtração de suas entradas, conforme mostra o diagrama de blocos da Figura 4.1. Os modelos comportamentais são úteis na análise de sistemas mais complexos, principalmente na especificação dos circuitos que os compõe.

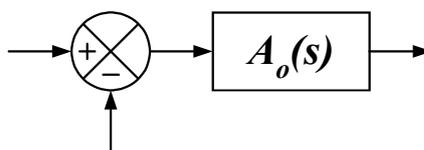


Figura 4.1 – Modelo comportamental de um amplificador operacional.

Analisando a Figura 4.1, é evidente a semelhança do amplificador operacional com a estrutura em malha aberta de um sistema LTI, isto é, linear e invariante no tempo. Sem muito esforço é possível notar que, quando o amplificador operacional está configurado como *buffer* de ganho unitário, é o mesmo que fazer a realimentação negativa e unitária no circuito, ou seja, a abordagem clássica da teoria de sistemas de controle realimentados.

Na literatura MOS muito se é conhecido na determinação dos pólos e dos zeros que constituem a função de transferência do amplificador, através do modelo π do transistor, no modelo equivalente AC em pequenos sinais. Contudo, quando se refere à análise da função de transferência, obtida em malha aberta, pouco é explorado quanto ao seu comportamento. Toda a teoria clássica dos sistemas de controle realimentados para sistemas SISO (*single input and single output*), com poucas modificações, pode ser aplicada no estudo de estabilidade do circuito do amplificador operacional. A especificação do Miller OTA pode ser obtida baseada no comportamento do sinal no transitório; o objetivo principal do estudo deste capítulo.

A frequência do pólo ou do zero é função da transcondutância do transistor e da impedância do nó, onde se torna possível alocar, tanto os pólos quanto os zeros da função de transferência no eixo real imaginário pelo dimensionamento dos transistores. Esta alocação determina o regime transitório e o permanente do circuito, ditando o seu comportamento. Vale a pena ressaltar que o transistor tem um comportamento não-linear, como pode ser observado nas equações dos modelos no Capítulo 2. Assim, as conclusões sobre o comportamento do circuito são válidas apenas para o ponto de linearização no qual se obtém as transcondutâncias dos transistores envolvidos, imposto pela polarização. Caso o ponto de polarização varie ou a condição de pequenos sinais não se cumpra, as relações comportamentais terão uma variação dentro da faixa de excursão do sinal. A estrutura da função de transferência não vai se alterar, mas sim os valores de seus coeficientes, modificando toda a dinâmica.

De modo a obter uma análise sobre o comportamento médio linear, a função de transferência é obtida sobre uma polarização mediana entre as tensões de alimentação, que é o ponto no qual se faz a polarização do circuito, mantendo as entradas inversora e não-inversora em modo comum e polarizadas pela metade da tensão de alimentação. Esta premissa foi usada na obtenção dos modelos equivalentes AC para a análise em pequenos sinais do Capítulo 3. Dessa forma, foi desenvolvida uma abordagem de especificação e projeto para o amplificador operacional Miller OTA modificado, baseada na sua função de transferência e na resposta ao

degrau unitário, onde é possível controlar e especificar o transitório e o regime permanente do circuito em malha fechada, a partir das características em malha aberta.

4.2. Miller OTA como um Sistema LTI

Analisando o modelo AC do Miller OTA modificado no Capítulo 3, é possível observar que este amplificador operacional tem uma função de transferência em malha aberta $A_o(s)$, expressa na equação (4.1), dada por um ganho DC, dois pólos reais e um zero.

$$A_o(s) = A_o \frac{\left(1 - \frac{s}{2\pi f_z}\right)}{\left(1 - \frac{s}{2\pi f_d}\right)\left(1 - \frac{s}{2\pi f_n}\right)} \quad (4.1)$$

Para uma resposta em frequência simplificada, faz-se com que o zero da função de transferência do circuito posicione-se no infinito, deixando de ter influência na dinâmica do sinal. Se essa condição for satisfeita, a função de transferência passa a ser dada pelo ganho A_o e pelos dois pólos reais, dados pela equação (4.2). O posicionamento do zero no infinito é de simples implementação, onde, com um valor otimizado do resistor R_C se consegue o efeito, conforme a equação (3.5), que é função dos elementos do circuito.

$$A_o(s) = A_o \frac{1}{\left(1 - \frac{s}{2\pi f_d}\right)\left(1 - \frac{s}{2\pi f_n}\right)} \quad (4.2)$$

Tal implementação simplifica a análise da resposta do amplificador. O sistema assim definido possui somente dois pólos reais, ou seja, a sua resposta tem a característica de dois sistemas de 1ª ordem em série. De uma forma padrão, um sistema de 2ª ordem pode ser expresso pela equação (4.3), sendo A_o o ganho DC, f_o a frequência natural de oscilação e ζ_o o coeficiente de amortecimento, todos referenciados em malha aberta.

$$A_o(s) = A_o \frac{f_o^2}{\left(\frac{s}{2\pi}\right)^2 + 2f_o\zeta_o\left(\frac{s}{2\pi}\right) + f_o^2} \quad (4.3)$$

Com a análise da função de transferência do sistema, pela resposta ao degrau unitário, é possível especificar o seu comportamento do sinal no transitório do circuito. Com a análise da resposta em frequência, é possível definir os critérios de estabilidade, segundo os diagramas de Bode (módulo e fase em função da frequência), uma vez que todos os pólos são negativos, definindo um conceito de sistema de fase mínima [19], para qual as conclusões da estabilidade por Bode se aplicam [19] [20].

4.3. Realimentação em um Sistema LTI

O amplificador operacional configurado como um *buffer* de ganho unitário, ou seguidor de tensão, representa o caso onde o circuito deve ser o mais linear possível, devido à característica unitária da realimentação negativa, sendo o objeto de estudo para no projeto dos amplificadores operacionais de uso geral. Satisfeita essa estabilidade, por consequência, todas as outras configurações de realimentação com ganho serão estáveis.

A realimentação negativa pode ser representada conforme a Figura 4.2 para o caso mais geral. Com a realimentação negativa e real, um sistema LTI não altera a sua ordem, permanecendo com a mesma ordem da função de transferência de malha aberta, mas sim as suas características dinâmicas, que, se bem especificadas no projeto, modificam a sua resposta no tempo e na frequência e, por consequência, a sua estabilidade.

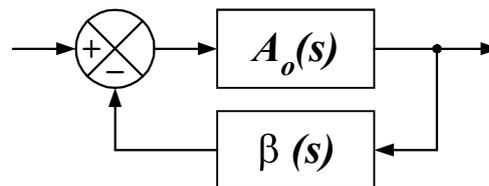


Figura 4.2 – Realimentação negativa de um sistema LTI.

De maneira geral, a função de transferência em malha fechada $A_f(s)$ pode ser determinada pela equação (4.4) a partir da Figura 4.2, sendo $\beta(s)$ a função de transferência da realimentação. Para o *buffer* de ganho unitário, a realimentação é real e unitária.

$$A_f(s) = \frac{A_o(s)}{1 + \beta(s)A_o(s)} \quad (4.4)$$

Padronizando a função de transferência em malha fechada, tem-se a equação (4.5), sendo A_f o ganho DC, f_f a frequência natural e ζ_f o coeficiente de amortecimento, todos referenciados em malha fechada.

$$A_f(s) = A_f \frac{f_f^2}{\left(\frac{s}{2\pi}\right)^2 + 2f_f\zeta_f\left(\frac{s}{2\pi}\right) + f_f^2} \quad (4.5)$$

Vale a pena ressaltar que essa função é válida para a realimentação negativa e real, que é o caso de estudo do *buffer* de ganho unitário. A função de transferência em malha fechada também só é válida sobre as condições de pequenos sinais em torno da polarização, uma consequência da linearização. Uma variação das condições em pequenos sinais será mais crítica nesse caso, porque a realimentação causa variações na tensão da entrada inversora. Os coeficientes em malha fechada podem ser referenciados em malha aberta, conforme mostra as equações (4.6). As características dinâmicas são bem diferentes, uma vez que o ganho DC em malha aberta é muito grande.

$$A_f = \frac{A_o}{1 + A_o} \quad f_f = f_o \sqrt{1 + A_o} \quad \zeta_f = \frac{\zeta_o}{\sqrt{1 + A_o}} \quad (4.6)$$

Dessa forma, é possível com especificações em malha fechada, obter a função de transferência em malha aberta e, por consequência, projetar as dimensões dos transistores do amplificador operacional Miller OTA proposto.

4.4. Análise no Domínio do Tempo

Com a análise no domínio do tempo, a solução da função de transferência da equação (4.5) para uma entrada do tipo degrau unitário, pela transformada inversa de Laplace, é expressa pela equação (4.8) para um sistema LTI subamortecido, ou seja, com o coeficiente de amortecimento ζ_f menor que 1, sendo $y_f(t)$ a saída realimentada e $u_I(t)$ a definição no tempo do degrau unitário [19] [20].

$$\theta = \cos^{-1}(\zeta_f) \quad (4.7)$$

$$y_f(t) = A_f \left(1 - \frac{\exp(-2\pi f_f \zeta_f t)}{\sqrt{1-\zeta_f^2}} \operatorname{sen}(2\pi f_f \sqrt{1-\zeta_f^2} t + \theta) \right) u_1(t) \quad (4.8)$$

Com esta resposta no tempo, é possível definir algumas grandezas importantes da resposta subamortecida. A resposta pode ser vista de forma normalizada na Figura 4.3, onde a assíntota inferior também está representada [7] [19] [20].

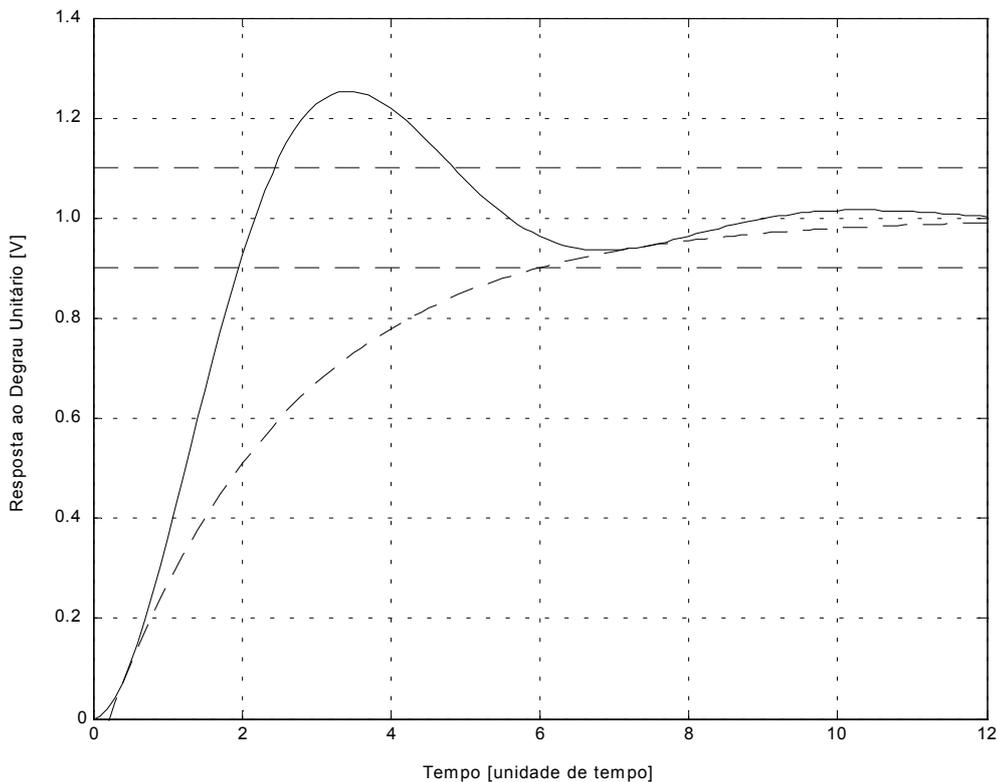


Figura 4.3 – Resposta temporal subamortecida.

Para definição do transitório do sistema subamortecido, três pontos; o máximo pico de elevação, o tempo de acomodação e o tempo de subida podem ser determinados. O máximo pico do sinal é matematicamente definido como o primeiro ponto de máximo, isto é, a derivada de $y_f(t)$ igual a zero. Dessa maneira, o máximo pico M_p pode ser dado pela equação (4.9), onde a dependência se dá apenas pelo coeficiente de amortecimento ζ_f [19] [20].

$$M_p = \exp\left(-\frac{\pi \zeta_f}{\sqrt{1-\zeta_f^2}}\right) \quad (4.9)$$

O tempo de acomodação do sinal pode ser determinado pela assíntota inferior, uma vez que próximo do valor de acomodação a assíntota representa o sinal $y_f(t)$. Definido o erro σ em regime estacionário em relação ao valor final, o tempo de acomodação t_s pode ser dado pela equação (4.10), sendo função da frequência natural de oscilação f_f e do coeficiente de amortecimento ζ_f .

$$t_s = -\frac{\ln(\sigma \sqrt{1-\zeta_f^2})}{2\pi f_f \zeta_f} \quad (4.10)$$

O tempo de subida t_r do sinal para um sistema subamortecido da Figura 4.3 é definido como tempo necessário para o sinal variar de 0 a 100% do valor final do degrau em pequenos sinais [19] [20]. O tempo de subida pode ser expresso pela equação (4.11), função da frequência natural de oscilação f_f e do coeficiente de amortecimento ζ_f .

$$t_r = \frac{\pi - \theta}{2\pi f_f \sqrt{1-\zeta_f^2}} \quad (4.11)$$

O *slew-rate* de um amplificador operacional é uma grandeza válida em grandes sinais e definido em malha aberta, que tem como objetivo quantificar o comportamento a uma variação máxima do sinal na entrada não-inversora de pólo-a-pólo da fonte alimentação, isso se a entrada inversora ficar polarizada com o valor médio da tensão de alimentação.

Embora seja definido em grandes sinais, o *slew-rate* em pequenos sinais tem um comportamento médio do *slew-rate* em grandes sinais, por causa da linearização estar nas mesmas condições de polarização.

Ainda sim, o *slew-rate* médio em malha fechada será igual o de malha aberta, por causa da abordagem em pequenos sinais. Isso não se comprova na abordagem em grandes sinais, uma vez que as condições de polarização não se mantêm constantes. Com o teorema do valor médio [19] tem-se que o *slew-rate* do circuito pode ser definido como a taxa de variação do sinal no transitório em pequenos sinais, dado pela equação (4.12).

$$SR = \frac{1}{t_r} \int_0^{t_r} \frac{\partial y_f(t)}{\partial t} dt \quad (4.12)$$

De acordo com o exposto, é possível determinar o *slew-rate* do amplificador em termos do comportamento de sua função de transferência. O valor é expresso pela equação (4.13), função da frequência natural de oscilação f_f e do coeficiente de amortecimento ζ_f e dos limites da fonte de alimentação.

$$SR = \frac{2\pi f_f \sqrt{1 - \zeta_f^2}}{\pi - \theta} (V_{\max} - V_{\min}) \quad (4.13)$$

A partir das conclusões da análise no domínio do tempo é possível concluir que as grandezas definidas são funções dos parâmetros f_f e ζ_f , os quais definem toda a dinâmica em malha fechada, que podem ser referenciadas para a malha aberta.

4.5. Análise no Domínio da Frequência

Numa análise no domínio da frequência, a função de transferência da equação (4.3), pode ser aproximada pela função de transferência dada pela equação (4.14) se o ganho DC A_o for muito maior do que 1, acima de 40dB, segundo a realimentação unitária.

$$A_o(s) \approx \frac{f_f^2}{\left(\frac{s}{2\pi}\right) \left[\left(\frac{s}{2\pi}\right) + 2f_f\zeta_f \right]} \quad (4.14)$$

Com essa simplificação, a frequência de ganho unitário e a margem de fase do sinal podem ser calculadas. A definição matemática destas grandezas são dadas nas equações (4.15), como demonstra Ogata [19].

$$|A_o(j2\pi f_u)| \equiv 1 \quad MF \equiv 180^\circ + \angle A_o(j2\pi f_u) \quad (4.15)$$

Por se tratar de um *buffer* de ganho unitário, a frequência onde os ganhos de malha aberta e de malha fechada se cruzam é a frequência de ganho unitário, dada na equação (4.15) e com solução na equação (4.16) para o caso da função de transferência em questão.

$$f_u \approx f_f \sqrt{\sqrt{4\zeta_f^4 + 1} - 2\zeta_f^2} \quad (4.16)$$

A margem de fase MF na configuração *buffer* de ganho unitário, por se tratar de uma realimentação real, é definida sobre o limite de 180° de fase, sendo dada na equação (4.15) e com solução na equação (4.17) para a mesma função de transferência.

$$MF \approx \tan^{-1} \left(\frac{2\zeta_f f_f}{f_u} \right) \quad (4.17)$$

Com base no exposto, é possível concluir que o *slew-rate*, a margem de fase e a frequência de ganho unitário não são especificações independentes, como é mostrado na literatura [5] [6] [7], mas dependentes de apenas dois outros parâmetros: o amortecimento e a frequência natural de oscilação. Dessa forma, não há como se fazer à maximização das três condições de projeto acima, existindo aí uma função de custo, onde uma otimização voltada para o transitório é proposta no equacionamento deste capítulo.

4.6. Sistemas de Ordem Superior

Uma vez determinada à especificação para o Miller OTA, visando uma melhor otimização, a metodologia proposta pode ser facilmente generalizada para um sistema LTI de ordem n no domínio de Laplace. Caso o sistema seja de ordem 3 ou superior, este pode ser decomposto em sistemas de ordem 1 e 2 [19], conforme a equação (4.18).

$$A_f(s) \approx A_f \frac{\prod \left(1 - \frac{s}{2\pi f_z} \right)}{s^n \prod \left(1 - \frac{s}{2\pi f_n} \right) \prod \left[\left(\frac{s}{2\pi} \right)^2 + 2f_f \zeta_f \left(\frac{s}{2\pi} \right) + f_f^2 \right]} \quad (4.18)$$

Os pólos e os zeros são de simples manipulação, pois estes são dados por especificações de transistores, podendo fazer, pela alocação, dois pólos como dominantes (o sistema de ordem 2) e os demais com constantes de tempo pequenas se comparadas com o dominante, não afetando assim a dinâmica final do circuito. Se esta proposta for possível, a análise da função de transferência pode ser feita apenas com o par de pólos dominante e as equações propostas são válidas.

Capítulo 5

Especificação, Projeto, Simulação e Medida de um Miller OTA Modificado

5.1. Considerações Gerais

No Capítulo 2 foi mostrado um modelo simplificado para o transistor MOS em duas das regiões de operação; a saturação em inversão forte e em inversão fraca, e a “melhor” forma de se obter os coeficientes do modelo. O projeto do amplificador operacional pode ser desenvolvido em ambas as regiões, mas com características bem distintas. O próprio nome de cada região já dá uma idéia de como o transistor irá operar. Deste ponto em diante será dada ênfase ao projeto na região de inversão fraca, onde as correntes são de menor intensidade do que as da inversão forte; uma vantagem ao projeto em baixa potência, que é o foco do projeto desta presente dissertação.

Nessa região, é possível manter o transistor saturado com uma baixa tensão V_{DS} e, conseqüentemente, menores tensões de alimentação são exigidas. Por outro lado, a resposta

em frequência é limitada à ordem de kilohertz. Dessa forma, as aplicações desse amplificador operacional são para sistemas de dinâmica lenta, com baixo consumo. O condicionamento de sinais físicos no próprio transdutor é uma das áreas de aplicação visada pela especificação.

5.2. Especificação do Miller OTA

Com base nas equações que modelam o amplificador operacional no tempo e na frequência em pequenos sinais, descritas no Capítulo 4, a especificação do circuito passa a ser o transitório do sinal de saída na configuração *buffer* de ganho unitário, quando se aplica uma entrada do tipo degrau unitário.

Dessa forma, é possível especificar o máximo pico de elevação e o tempo de acomodação em pequenos sinais e malha fechada, e a partir destes determinar os parâmetros conhecidos como frequência de ganho unitário, margem de fase e *slew-rate*. Para que isto seja possível, a metodologia apresentada pode ser resumida em quatro passos:

Passo 1 – com base no transitório da resposta para uma entrada degrau unitário, mostrada na Figura 4.3, é possível especificar o máximo pico de elevação M_p e o tempo de acomodação t_s que se deseja para o sinal de saída do amplificador operacional configurado como *buffer* de ganho unitário, dado um erro σ em regime estacionário. Com apenas este passo, se encerram as especificações do circuito quanto ao comportamento do amplificador operacional.

Passo 2 – o coeficiente de amortecimento ζ_f e a frequência natural de oscilação f_f são obtidos pelas expressões, respectivamente, da equação (4.9) e equação (4.10), parâmetros estes que determinam a dinâmica do circuito do *buffer* de ganho unitário (malha fechada). Para facilitar a visualização do método, essas expressões são repetidas nas equações (5.1).

$$M_p = \exp\left(-\frac{\pi \zeta_f}{\sqrt{1-\zeta_f^2}}\right) \quad t_s = -\frac{\ln(\sigma \sqrt{1-\zeta_f^2})}{2\pi f_f \zeta_f} \quad (5.1)$$

Passo 3 – os parâmetros *slew-rate* SR , margem de fase MF e frequência de ganho unitário f_u podem ser calculados em função de ζ_f e f_f e expressos, respectivamente, pelas equações (4.13),

(4.16) e (4.17). Tais grandezas irão determinar as correntes de polarização e o posicionamento de pólos e/ou zeros da função de transferência do Miller OTA modificado. Novamente, essas expressões são repetidas nas equações (5.2) e (5.3) para facilitar a visualização.

$$SR = \frac{2\pi f_f \sqrt{1 - \zeta_f^2}}{\pi - \theta} (V_{\max} - V_{\min}) \quad (5.2)$$

$$f_u \approx f_f \sqrt{\sqrt{4\zeta_f^4 + 1} - 2\zeta_f^2} \quad MF \approx \tan^{-1} \left(\frac{2\zeta_f f_f}{f_u} \right) \quad (5.3)$$

Passo 4 – a metodologia proposta passa a ser, daqui em diante, igual às tradicionalmente conhecidas na literatura [5] [6] [7], porém com a vantagem de que o transitório do sinal em malha fechada passa a ser a especificação e não uma das condições na qual o projeto do Miller OTA deve cumprir.

Para o circuito do Miller OTA modificado da Figura 3.10 com os transistores operando em inversão fraca, é especificado um amplificador operacional que, na configuração *buffer* de ganho unitário, seja capaz de operar de maneira linear com uma onda quadrada, na frequência máxima de 1kHz e com excursão de sinal de pólo-a-pólo da fonte de alimentação. Para isso, adota-se um tempo de acomodação de 60 μ s (com o erro em regime estacionário de 1%) e um pico máximo de elevação em torno de 2%. Essa especificação gera os parâmetros listados na Tabela 5.1, de acordo com os quatro passos sugeridos no início dessa seção. Para o cálculo do *slew-rate*, é considerada a tensão de alimentação de 600mV. Simulações iniciais mostraram que os transistores do processo CMOS TSMC 0,35 μ m são capazes de operar nesta condição da fonte de alimentação, se corretamente polarizados em inversão fraca.

Tabela 5.1 – Especificação do Miller OTA modificado.

Tensão de alimentação	600mV
Coeficiente de amortecimento	0,78
Frequência natural de oscilação	17,26kHz
<i>Slew-rate</i> (médio)	16,5V/ms
Margem de fase	69°
Frequência de ganho unitário	10,33kHz

Para os transistores na banda de frequência especificada, a densidade de ruído terá basicamente componentes térmica e *flicker* [5]. Pelas próprias características de condução

em inversão fraca, a parcela *flicker* é minimizada, uma vez que as dimensões dos transistores serão na ordem de centena de micron. Para completar a especificação, é desejável que o ganho em malha aberta seja maior do que 70dB para uma carga capacitiva C_L de 15pF. Uma vez que objetivo desse amplificador é o acionamento de cargas internas a um circuito integrado, este valor de carga parece estar além do necessário. Entretanto, para caracterização do protótipo, o acionamento desse valor se faz necessário devido aos instrumentos de medição.

5.3. Projeto do Miller OTA

Com base na especificação do amplificador operacional é calculado o valor das dimensões de cada transistor. No caso do transistor operando na saturação em inversão fraca, é possível notar que, pela equação (2.28), a transcondutância g_m é diretamente proporcional a corrente de dreno I_{DS} . Dessa forma, determinando o g_m , a corrente de dreno I_{DS} estará sendo determinada e vice-versa. Esse fato faz com que alguns parâmetros da especificação, listados na Tabela 5.1, sejam funções uns dos outros, não podendo ser determinados independente, como se sugere. Esse conceito deve ser bem entendido, pois o mesmo não acontece com as equações na saturação em inversão forte, a região de operação habitual em projetos, onde tais parâmetros podem ser independentemente determinados.

Inicialmente, olhando para o *slew-rate* interno e externo, pelas equações (3.7), nota-se que não é uma tarefa simples a sua determinação como um parâmetro de projeto, mas que o funcionamento ótimo do circuito depende desta grandeza. Para uma abordagem inicial, fazendo-se algumas simulações preliminares na arquitetura proposta para o Miller OTA, com os modelos do processo, é possível concluir que, variando-se as dimensões dos transistores e a corrente de polarização do par diferencial, na média, a corrente de dreno I_{D1} fica em torno de 80% da corrente de dreno I_{D5} , enquanto que a corrente de dreno I_{D2} fica em torno de 20% da corrente de dreno I_{D5} , na transição brusca da entrada do pólo mais negativo ao mais positivo da fonte de alimentação. Com isso, o valor da corrente de dreno I_{D5} de polarização necessária pode ser calculado, expresso na equação (5.4), sendo que o *slew-rate* interno é utilizado para que se cumpra a especificação nos cálculos.

$$SR_{in} = \frac{0,8I_{D5} - 0,2I_{D5}}{C_C} \quad I_{D5} \approx 1,6 SR C_C \quad (5.4)$$

Assim, a corrente de dreno I_{D5} é função do capacitor da malha Miller C_C e do *slew-rate*. O valor desse capacitor é adotado como sendo um terço da carga especificada para o circuito, ou seja, 5pF. Embora o seu valor seja bem alto, isto se faz necessário, uma vez que as capacitâncias parasitas dos nós terão valores elevados. Adotando o capacitor nesta ordem de grandeza, diminui-se a influência das capacitâncias parasitas nos cálculos se comparadas com as simulações. O valor da corrente de dreno I_{D5} é dado na equação (5.5).

$$I_{D5} = 1,6 * 16,5.10^3 * 15.10^{-12} \qquad I_{D5} = 132 \text{ nA} \qquad (5.5)$$

A corrente de dreno I_{D5} será arredondada para 130nA. No equilíbrio DC em modo comum, com as entradas polarizadas com a tensão de 300mV (na metade da tensão de alimentação), esta corrente se divide igualmente entre os transistores do par diferencial Q_1 e Q_2 . Assim as correntes de dreno I_{D1} e I_{D2} , no equilíbrio, assumem o valor de 65nA. Conforme explanado, uma vez determinada as correntes de dreno, as transcondutâncias g_{m1} e g_{m2} estarão determinadas. Os valores das transcondutâncias g_{m1} e g_{m2} são dados nas equações (5.6), assim como os valores das transcondutâncias do substrato g_{mb1} e g_{mb2} , uma vez que o coeficiente do efeito de corpo χ vale aproximadamente 0,21 para o processo.

$$g_{m1} = g_{m2} = 1,757.10^{-6} \text{ S} \qquad g_{mb1} = g_{mb2} = 3,689.10^{-7} \text{ S} \qquad (5.6)$$

Como a transcondutância do substrato g_{mb1} e o capacitor da malha Miller C_C são conhecidos, então de acordo com a equação (3.9) simplificada, a frequência de ganho unitário também já está determinada, conforme expressa pela equação (5.7). Comparando o valor obtido com a especificação, vê-se que pela condição imposta ao *slew-rate*, a frequência de ganho unitário também está satisfeita.

$$f_u = \frac{g_{mb1}}{2\pi C_C} \qquad f_u = 11,743 \text{ kHz} \qquad (5.7)$$

Passando agora a determinar os demais ramos de referência, faz-se com que as correntes de dreno dos deslocadores DC I_{D8} e I_{D9} sejam a metade da corrente de dreno I_{D5} (no intuito de minimizar o consumo quiescente) e que a corrente de dreno do segundo estágio I_{D7} seja quatro vezes a corrente de dreno I_{D5} . Com esse valor de corrente, o *slew-rate* externo terá valor superior a o *slew-rate* do interno, segundo as equações (3.7), cumprindo assim o valor da especificação. No equilíbrio DC de polarização, a corrente de dreno I_{D6} é igual a corrente

de dreno I_{D7} (imposição para que a tensão de *offset* sistemática seja mínima), o que determina a transcondutância g_{m6} , expressos nas equações (5.8).

$$I_{D6} = I_{D7} = 520 \text{ nA} \quad I_{D8} = I_{D9} = 65 \text{ nA} \quad g_{m6} = 1.368 \cdot 10^{-5} \text{ S} \quad (5.8)$$

A transcondutância g_{m6} e a frequência de ganho unitário f_u são conhecidas. Nas equações (3.5) e equações (3.6), a margem de fase MF também está determinada. O valor está além do especificado, o que fará com que o circuito tenha uma resposta mais amortecida, isto se o zero estiver posicionado no infinito. Para que o zero do sistema se posicione no infinito, o resistor de realimentação da Malha Miller R_C deve ser igual ao inverso da transcondutância g_{m6} , de acordo com as equações (3.5). Dessa forma, o zero não terá influência na dinâmica do circuito, simplificando a dinâmica do amplificador operacional. O valor da margem de fase MF e do resistor R_C são expressos nas equações (5.9).

$$MF = 85,376^\circ \quad R_C = 73.100 \Omega \quad (5.9)$$

De acordo com o exposto nesta seção, a especificação inicial do circuito foi cumprida quanto aos cálculos das transcondutâncias. Como já são conhecidas as correntes de polarização de cada transistor, suas dimensões já podem ser determinadas. Os parâmetros para o modelo proposto para o transistor MOS estão listados na Tabela 2.3 e estes serão a base dos cálculos destas dimensões, junto com as tensões de polarização.

Para os transistores Q_1 e Q_2 do par diferencial, a corrente de dreno é de 65nA. Sendo os mesmos do tipo *p*MOS e adotando-se uma tensão V_{GS} de 0,48V e uma tensão V_{DS} de 0,40V (valores compatíveis com a condução na saturação em inversão fraca), tem-se o valor das dimensões, expresso pela equação (5.10).

$$(W/L)_{Q1} = \frac{65 \cdot 10^{-9} (1 - 0,1630 \cdot 0,40)}{0,5796 \cdot 10^{-15} \exp\left(\frac{0,48}{0,0369}\right)} \quad (W/L)_{Q1} = 235 \mu\text{m} / 1 \mu\text{m} \quad (5.10)$$

Para o transistor Q_6 do segundo estágio do amplificador operacional, a corrente de dreno é 520nA. Sendo o mesmo do tipo *n*MOS e adotando-se uma tensão V_{GS} de 0,34V e uma tensão V_{DS} de 0,30V (valores compatíveis com a condução na saturação em inversão fraca), tem-se o valor das dimensões, expresso pela equação (5.11).

$$(W/L)_{Q_6} = \frac{520 \cdot 10^{-9} (1 - 0,1711 \cdot 0,30)}{176,43 \cdot 10^{-15} \exp\left(\frac{0,34}{0,0380}\right)} \quad (W/L)_{Q_6} = 364 \mu\text{m}/1 \mu\text{m} \quad (5.11)$$

Para os deslocadores DC, adotou-se uma corrente de polarização de metade do valor da corrente do par diferencial, uma vez que é desejável que o consumo DC destes ramos seja pequeno. Para as dimensões dos transistores do *gate*-comum são adotados valores iguais ao do transistor Q_6 , sendo o deslocamento DC de tensão ajustado por simulação, otimizando a excursão e o ganho em malha aberta. Os espelhos de corrente são feitos com transistores de comprimento de canal mais longo, ajustado para $9 \mu\text{m}$. Com isso, consegue-se uma maior impedância de saída no canal dos transistores dos espelhos e uma relação mais estável entre as correntes espelhadas. Como as correntes de polarização são múltiplas, os transistores dos espelhos de corrente também são construídos com dimensões de mesma multiplicidade.

Por fim, os transistores da carga ativa Q_3 e Q_4 são dimensionados de acordo com a equação (3.1). Segundo as dimensões conhecidas, tem-se que o valor das dimensões de Q_3 e Q_4 deve ser quatro vezes menor que o valor das dimensões do transistor Q_6 . Se isso for cumprido no projeto, a tensão de *offset* sistemática da estrutura será minimizada.

Uma vez determinadas às dimensões iniciais dos transistores, as mesmas foram refinadas no simulador, de modo a aproximar as especificações das simulações, usando-se o modelo BSIM3v3. Assim, foi possível concluir as dimensões finais dos transistores, listados na Tabela 5.2 junto com os valores dos capacitores e da corrente de referência.

Tabela 5.2 – Transistores e elementos do Miller OTA modificado.

$(W/L)_{Q_1}$	$250 \mu\text{m}/1 \mu\text{m}$	$(W/L)_{Q_2}$	$250 \mu\text{m}/1 \mu\text{m}$
$(W/L)_{Q_3}$	$100 \mu\text{m}/1 \mu\text{m}$	$(W/L)_{Q_4}$	$100 \mu\text{m}/1 \mu\text{m}$
$(W/L)_{Q_5}$	$200 \mu\text{m}/9 \mu\text{m}$	$(W/L)_{Q_6}$	$400 \mu\text{m}/1 \mu\text{m}$
$(W/L)_{Q_7}$	$800 \mu\text{m}/9 \mu\text{m}$	$(W/L)_{Q_8}$	$100 \mu\text{m}/9 \mu\text{m}$
$(W/L)_{Q_9}$	$100 \mu\text{m}/9 \mu\text{m}$	$(W/L)_{Q_A}$	$400 \mu\text{m}/1 \mu\text{m}$
$(W/L)_{Q_B}$	$400 \mu\text{m}/1 \mu\text{m}$	$(W/L)_{Q_R}$	$200 \mu\text{m}/9 \mu\text{m}$
C_C	5pF	R_C	–
C_L	15pF	I_{ref}	130nA

O resistor de compensação R_C foi retirado do circuito, pois a sua contribuição é de apenas 4° na margem de fase geral. Como o sistema tem uma margem de fase muito alta, maior que a especificação, o custo de implementação do resistor não compensa a área que o

mesmo ocupa. O circuito final dimensionado é mostrado na Figura 5.1, onde é possível ver a multiplicidade das dimensões dos transistores, o que auxilia um bom casamento. A descrição SPICE para o Miller OTA modificado é apresentado no Apêndice A, com todas as dimensões dos transistores e seus efeitos parasitas.

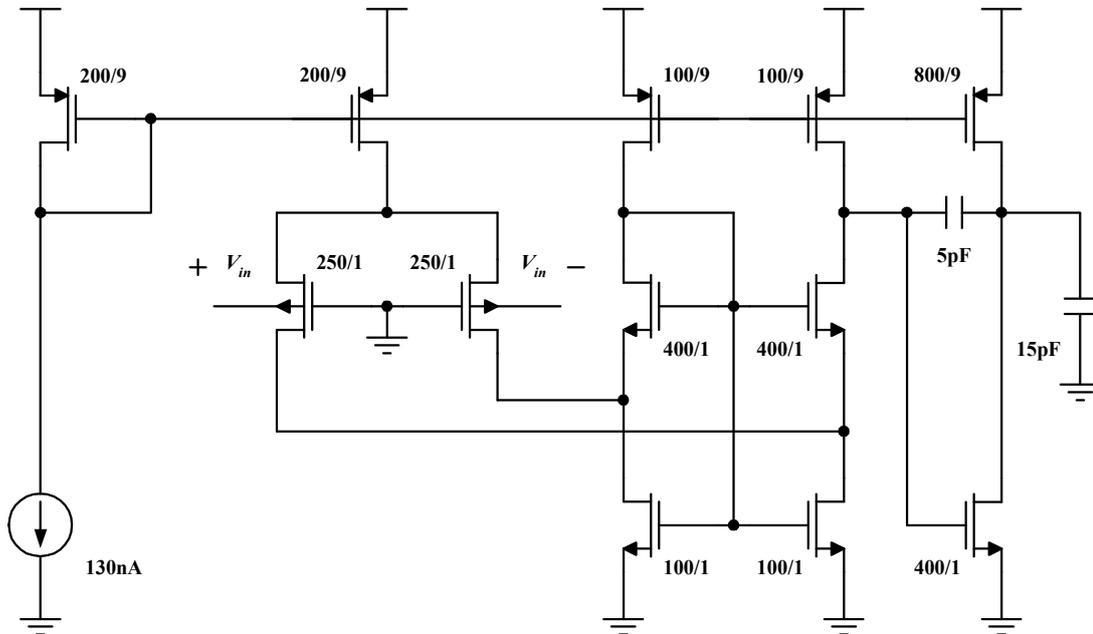


Figura 5.1 – Circuito Miller OTA modificado (dimensões em microm).

Finalizado o dimensionamento e as simulações iniciais, onde as especificações foram alcançadas, confeccionou-se o *layout* do Miller OTA modificado baseado nas regras de projeto padronizadas pela Mosis [3]. O *layout* é mostrado na Figura 5.2, contendo quatro circuitos na pastilha, na qual procura-se identificar principalmente as interferências entre dois ou mais amplificadores operacionais, quando estão operando em funções diferentes ou mesmo em conjunto, além de aumentar a quantidade de protótipos disponíveis para testes. O mesmo possui 30 *pads* de acesso e ocupa a área de $1,62\text{mm}^2$. Cada circuito Miller OTA modificado tem as dimensões de $300\mu\text{m} \times 200\mu\text{m}$.

Algumas preocupações na construção do *layout* foram tomadas, principalmente com relação aos transistores casados. Como todas as larguras de canal dos transistores são múltiplas de $50\mu\text{m}$, esta dimensão foi tomada como a de um transistor padrão e cada transistor foi montado como um arranjo paralelo do padrão. Esta medida permite o cruzamento entre os transistores casados (principalmente no centróide comum do par diferencial), diminuindo os níveis da tensão de *offset* aleatório do circuito. Uma outra preocupação foi com a simetria das tensões de alimentação entre os pontos do circuito, de forma que o fluxo da corrente pelos

transistores casados esteja todo no mesmo sentido, evitando assim que haja um aquecimento desigual destes dispositivos.

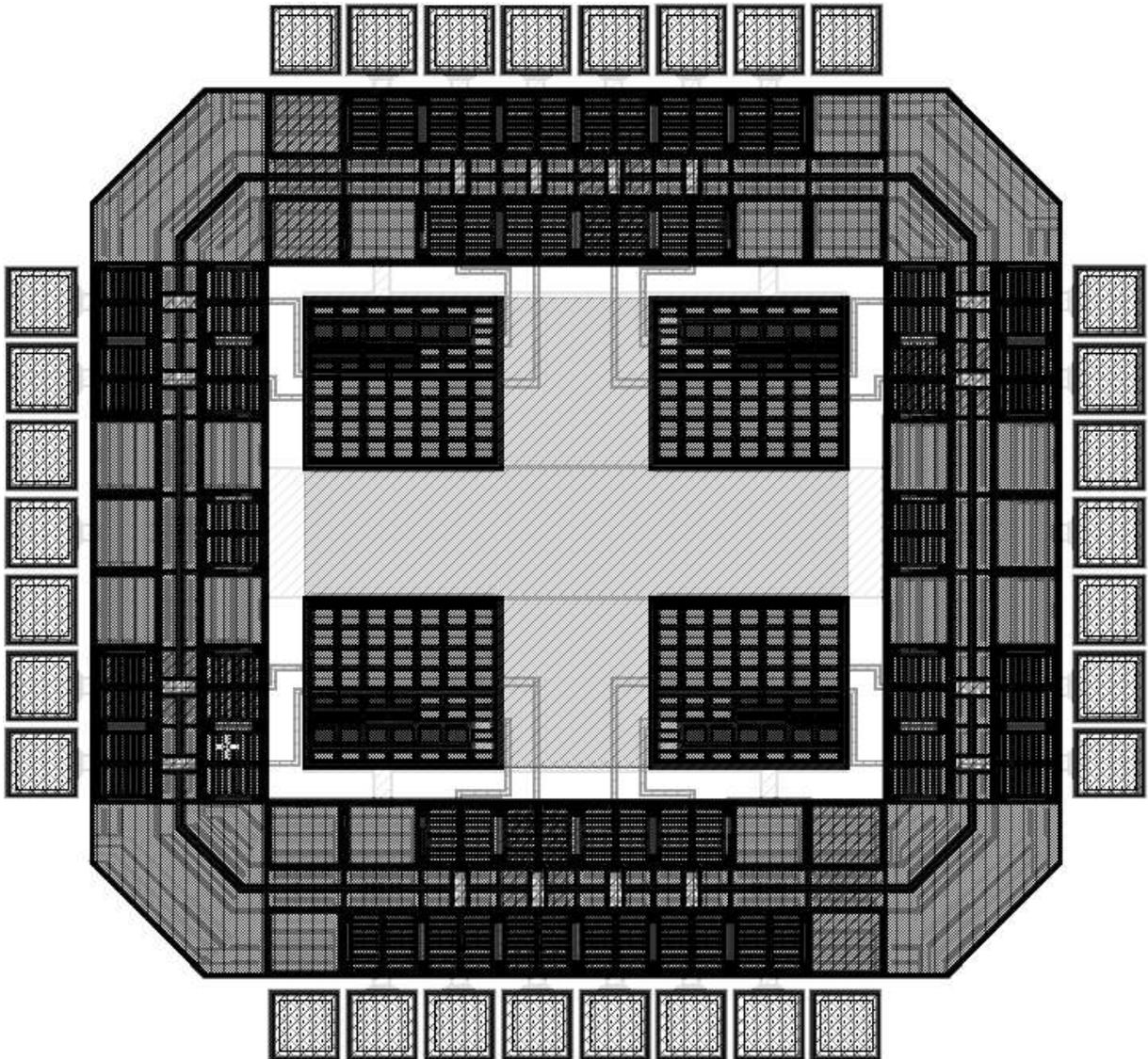


Figura 5.2 – *Layout* do Miller OTA proposto.

O capacitor de realimentação C_C da malha Miller foi implementado com um capacitor de *poly-poço* devido à área ocupada ser menor do que a do capacitor de *poly-poly2*; além de que na tecnologia digital a camada *poly2* não existe, sendo uma exclusividade para os processos com propósito para analógicos [3]. Um anel de guarda em volta do operacional foi introduzido de forma a isolar um circuito do outro e assim minimizar os efeitos de ruídos que se propagam pelo substrato comum.

Quanto à proteção eletrostática, os *pads* fornecidos pela MOSIS possuem uma proteção primária montada sobre dois transistores configurados como diodo e um resistor de

100 Ω em série com o sinal. Os *pads* são projetados para uma variação de $-0,3\text{V}$ a $+3,6\text{V}$ da tensão aplicada.

Terminado o *layout*, o circuito é novamente simulado, porém com a inclusão de parâmetros extraídos e efeitos parasitas de interação entre os dispositivos e trilhas, onde se busca uma maior proximidade dos resultados simulados com os que serão obtidos na prática com a prototipagem do circuito integrado.

5.4. Simulações do Miller OTA

As dimensões finais dos transistores do amplificador operacional definem a sua dinâmica de funcionamento. Dessa forma, alguns dos parâmetros-chave da especificação são recalculados segundo estas dimensões. Os resultados são mostrados na Tabela 5.3, junto com os respectivos valores das simulações com o BSIM3v3 da MOSIS para o processo CMOS em questão, para uma tensão de alimentação de 600mV na temperatura de 27°C. Tais simulações foram realizadas com o modelo da rodada de abril de 2004, ou seja, duas rodadas anteriores a da prototipagem do circuito. Os valores das correntes também foram listados para uma melhor comparação entre as especificações e as simulações.

Tabela 5.3 – Cálculos vs Simulações BSIM3v3.

	Cálculos	Simulação
Ganho em malha aberta	79,80dB	79,80dB
Frequência de ganho unitário	9,56kHz	9,85kHz
Margem de fase	86,2°	80,9°
Taxa de subida (<i>slew-rate</i>)	14,8V/ms	14,7V/ms
Máximo pico de elevação	–	–
Tempo de acomodação ($\sigma = 1\%$)	55,6 μs	56,8 μs
Corrente de polarização I_{D5}	130nA	128nA
Corrente de polarização I_{D7}	520nA	536nA
Tensão de <i>offset</i> (<i>buffer</i>)	102 μV	296 μV

Uma pequena variação nos valores calculados (considerando as capacitâncias parasitas dos nós que se somam a C_C e C_L) e simulados da frequência de ganho unitário e da margem de fase, vem do fato dos pólos não serem completamente desacoplados, como escrito na dedução das fórmulas. As simulações consideram o efeito do resistor R_C da malha Miller, o

qual não existe no circuito a ser implementado. A tensão de *offset* apresentada para o *buffer* na Tabela 5.3 refere-se apenas ao erro teórico dado pela malha de realimentação.

A tensão de saída do Miller OTA modificado na configuração *buffer* de ganho unitário é mostrada na Figura 5.3, onde é possível observar que não existe saturação no sinal de entrada com a excursão de pólo-a-pólo da fonte de alimentação, assim como que próximo destes pólos, o erro em regime aumenta, devido à distorção do sinal nestes pontos, havendo aí uma limitação da região linear de excursão.

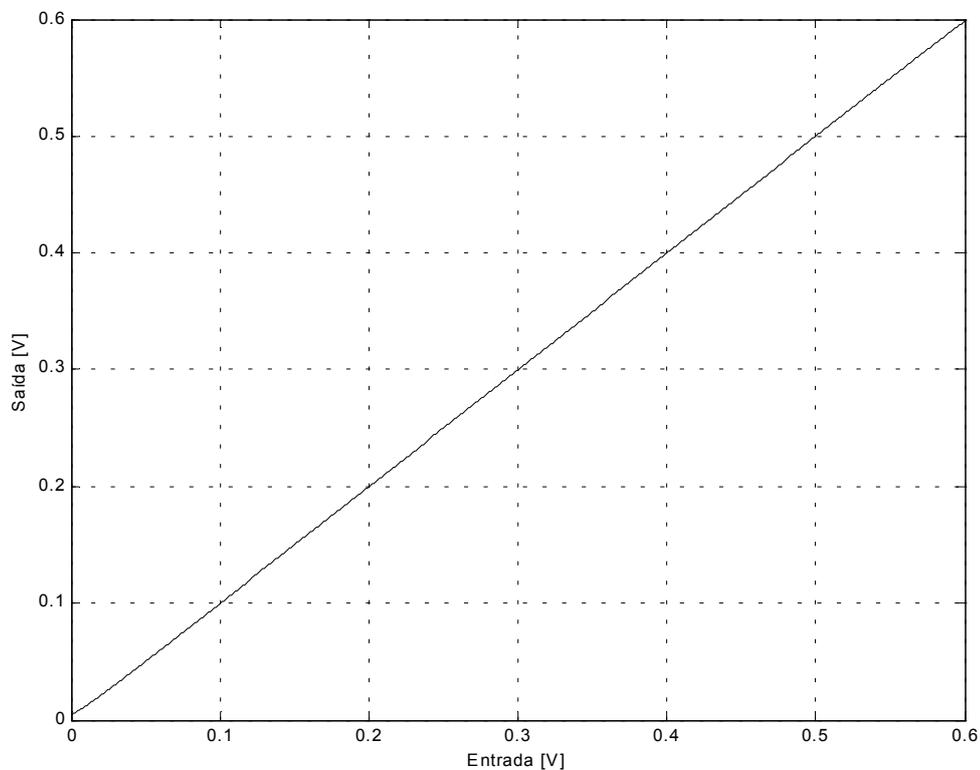


Figura 5.3 – Análise DC do Miller OTA modificado.

A análise AC obtida do circuito Miller OTA modificado é mostrada na Figura 5.4. Pelo diagrama de Bode é possível observar a posição dos dois pólos reais do sistema. O pólo não-dominante se encontra em uma frequência bem mais elevada do que a frequência de ganho unitário (mais de uma década acima), onde se pode concluir que o sistema tem um comportamento bem próximo de um sistema de primeira ordem quando realimentado, um fato bem visto por causa das características dinâmicas sempre estáveis e com alta margem de fase nas condições do ganho unitário, o pior caso de estabilidade.

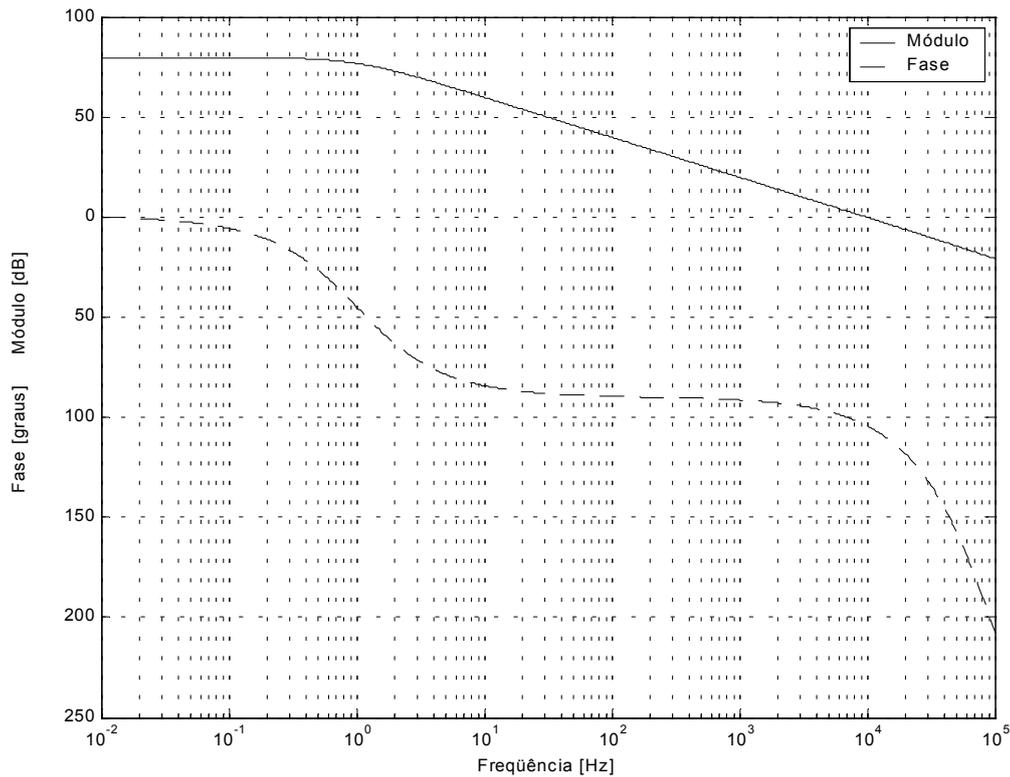


Figura 5.4 – Análise AC do Miller OTA modificado.

Comparando os cálculos com as simulações, dados na Tabela 5.3, fica evidente a eficácia do método apresentado para o projeto do amplificador operacional na condição dos transistores estarem operando na saturação em inversão fraca.

Infelizmente a MOSIS, ao medir e caracterizar os transistores das suas rodadas oferece apenas o modelo para o caso típico para a concepção do projeto do circuito. Para uma melhor robustez nas simulações do amplificador operacional, os modelos para o pior caso de potência e para o pior caso de velocidade também deveriam ser fornecidos. Porém, como isso não é possível e visando dar uma maior confiabilidade as simulações, estas também foram realizadas com os modelos dos transistores das 11 últimas rodadas da MOSIS para o processo CMOS TSMC 0,35 μ m antes da rodada de envio do protótipo para difusão, não apresentando mudanças significativas. Os resultados são apresentados na Tabela 5.4 para os modelos da rodada de simulação de projeto, da rodada de validação (uma rodada anterior a do protótipo de verificação das simulações) e para a rodada do protótipo, sendo dentre as rodadas a de pior valor foi a rodada de difusão do protótipo, dentro dos casos típicos ao longo de 12 meses do histórico do processo.

Tabela 5.4 – Simulações no histórico do processo.

	Projeto	Validação	Protótipo
Ganho em malha aberta	79,80dB	79,91dB	79,20dB
Frequência de ganho unitário	9,85kHz	9,19kHz	8,86kHz
Margem de fase	75,9°	76,9°	77,0°
Excursão máxima do sinal	0 a 600mV	0 a 600mV	0 a 600mV
Tensão de <i>offset</i>	4,34mV	5,27mV	6,50mV
Excursão linear	40 a 560mV	40 a 560mV	40 a 560mV
Erro linear	306,7 μ V	465,1 μ V	720,1 μ V
Taxa de subida (<i>slew-rate</i>)	14,7V/ms	14,3V/ms	13,4V/ms
CMRR @ DC	130,82dB	127,91dB	123,03dB
PSRR @ DC	73,02dB	73,63dB	75,68dB
Potência consumida	550nW	551nW	552nW
Distorção harmônica total THD ₃	0,13%	0,19%	0,23%

Os resultados mostram que mesmo para diferenças entre as rodadas, o circuito se mantém dentro de um limite de funcionamento estável, com um baixo desvio com relação à média das simulações. Para demonstrar o seu funcionamento, sinais senoidais nas simulações transiente são mostrados na Figura 5.5, na Figura 5.6 e na Figura 5.7 a resposta para pequenos sinais, para a excursão linear e para a excursão máxima, respectivamente.

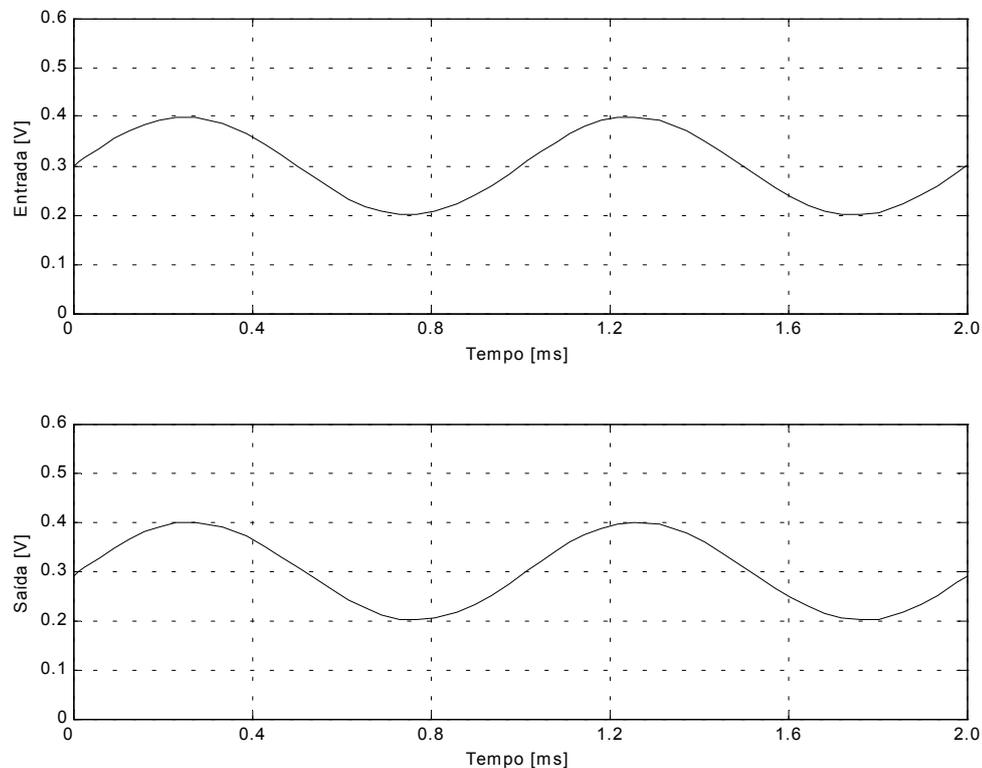


Figura 5.5 – Transiente em pequenos sinais.

Para pequenos sinais, com uma amplitude do sinal de entrada de 100mV de pico em torno de um valor DC de 300mV, o sinal de saída se mantém com a menor distorção harmônica, mostrando-se mais linear quanto mais próximo do ponto de polarização.

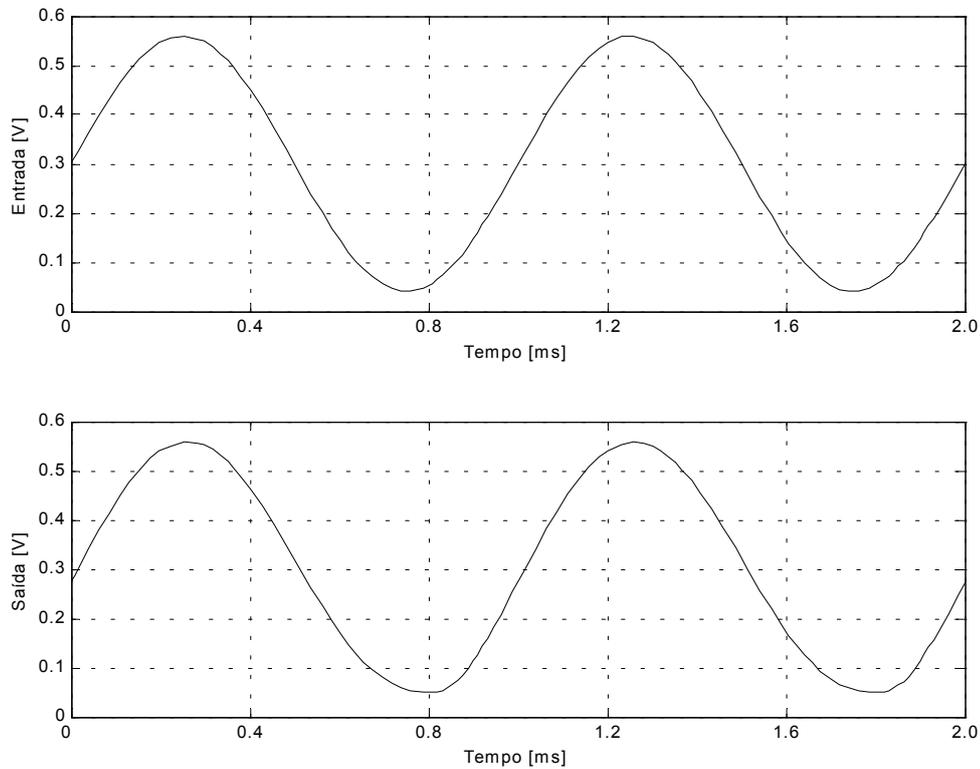


Figura 5.6 – Transiente do Miller OTA em excursão linear.

Para excursão linear, com uma amplitude do sinal de entrada 260mV em torno de um valor DC de 300mV, o sinal de saída se mantém com uma tensão de *offset* baixa, mas a distorção harmônica começa a ser visível. Dentro de um limite aceitável, imposto pela THD, a especificação é cumprida, visto a dependência entre as grandezas que estão listadas na Tabela 5.3, onde se cumpre o transitório imposto, uma vez que as equações, tanto as do amplificador quanto às da metodologia, são aproximações das que modelam fielmente o circuito do Miller OTA modificado.

Pela Figura 5.6 é possível observar que para as tensões de entrada mais baixas a distorção é maior do que para as tensões mais altas, porque os transistores da carga ativa deixam de operar na saturação. Essa é uma característica do par diferencial *p*MOS acionado pelo substrato quando se incluem os deslocadores DC.

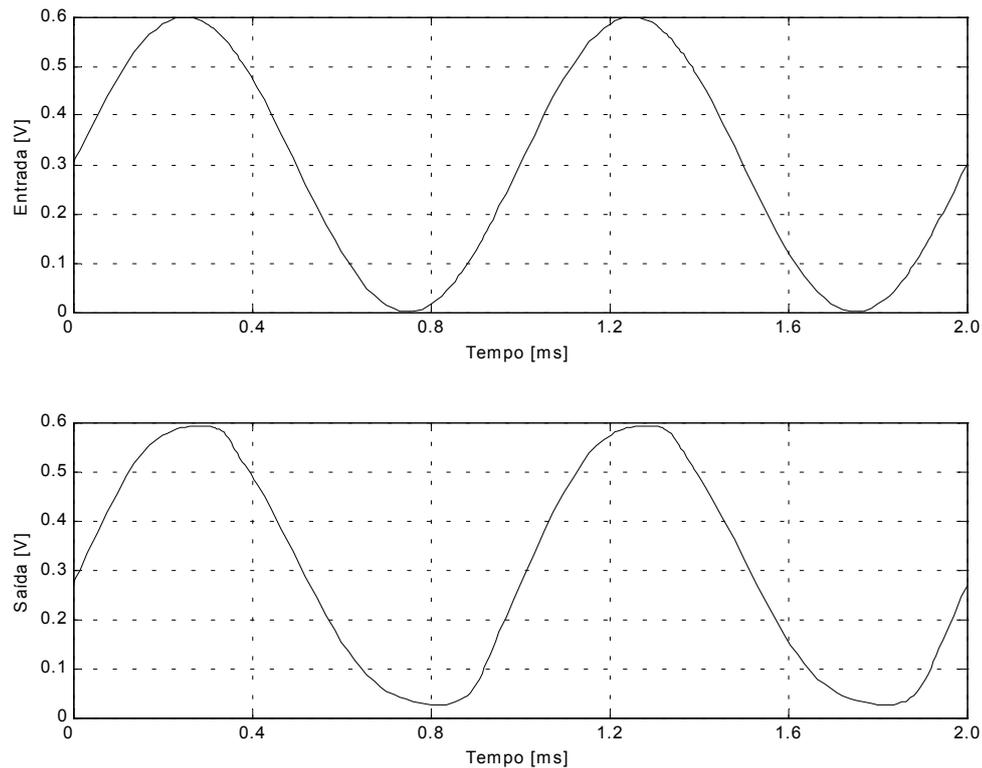


Figura 5.7 – Transiente do Miller OTA em excursão máxima.

Para excursão máxima, com uma amplitude do sinal de entrada de 300mV em torno de um valor DC de 300mV, representando a excursão em toda a faixa de alimentação. O sinal de saída tem maior distorção quanto mais próximo dos pólos da fonte de alimentação, sendo o pior caso para as tensões mais baixas, uma característica do par diferencial pMOS. Mas mesmo assim o sinal acompanha a entrada, sem saturações o que caracteriza a excursão de pólo-a-polo da fonte de alimentação do circuito projetado.

O projeto do Miller OTA proposto é comparado com um circuito comercial da Microchip™ [21] denominado CMOS MCP604x. Sua arquitetura interna do amplificador não é aberta pela empresa, mas as características comportamentais estão disponíveis na folha de dados fornecida aos usuários. Na Tabela 5.5 são listados os parâmetros-chave para efeitos de comparação, onde os valores da análise DC são os menores obtidos dentro da faixa possível da tensão de alimentação e os valores da análise AC são obtidos com a tensão de alimentação máxima. Vale a pena ressaltar que os valores do amplificador MCP604x são reais de medidas, garantidas pela Microchip™ nas folhas de dados e os do circuito Miller OTA modificado, até o momento, são os valores de simulação.

Tabela 5.5 – MCP604x da Microchip vs Miller OTA modificado.

	MCP604x	Proposto
Tensão de alimentação	1,4 a 5,5V	0,6 a 1,5V
Corrente consumida	300 a 1000nA	910nA
Corrente de polarização na entrada	$\approx 1\text{pA}$	$\approx 8\text{pA}$
Temperatura de operação	- 40 a 85°C	- 40 a 80°C
Ganho em malha aberta	$\approx 115\text{dB}$	$\approx 86\text{dB}$
Frequência de ganho unitário	$\approx 14\text{kHz}$	$\approx 14\text{kHz}$
Margem de fase	$\approx 65^\circ$	$\approx 71^\circ$
Excursão máxima da saída	10 a $V_{DD} - 10\text{mV}$	0 a V_{DD}
Excursão linear da saída	100 a $V_{DD} - 100\text{mV}$	40 a $V_{DD} - 40\text{mV}$
Taxa de subida	$\approx 3\text{V/ms}$	$\approx 13\text{V/ms}$
CMRR @ DC	80dB	142dB
PSRR @ DC	85dB	100dB

O amplificador operacional MCP604x da Microchip™ possui um consumo de corrente variável com a tensão de alimentação, fato este que não acontece com o Miller OTA modificado, o que faz com que a dinâmica seja mais estável, uma vez que as referências são em corrente para os circuitos CMOS. Comparando os dois circuitos, nota-se uma semelhança no comportamento, sendo o Miller OTA modificado uma alternativa para menores tensões de alimentação.

5.5. Testes e Medidas do Miller OTA

De posse dos protótipos, a estratégia de testes e medidas foi dividida em duas categorias; uma de funcionalidade e outra de caracterização. Com os testes de funcionalidade visa-se conhecer o comportamento da topologia dentro do esperado nas simulações. Com as medidas de caracterização, visa-se conhecer o quanto o protótipo cumpre as especificações do projeto, validando assim os métodos empregados para sua construção.

Para o funcionamento do circuito, a referência de corrente é externa. Com isso, um potenciômetro é conectado ao terminal I_{ref} e ao pólo terra. Dessa maneira, a resistência é ajustada para que se tenha uma corrente de 130nA, como é a especificação. Tanto os terminais de entrada quanto os de saída são projetados para uma variação de - 0,3V a + 3,6V da tensão (garantidos pela fábrica), valores bem superiores à alimentação de 600mV para o Miller OTA modificado em discussão.

A foto do circuito do Miller OTA modificado é mostrada na Figura 5.8, tirada no microscópio com uma ampliação de 200 vezes do tamanho real.

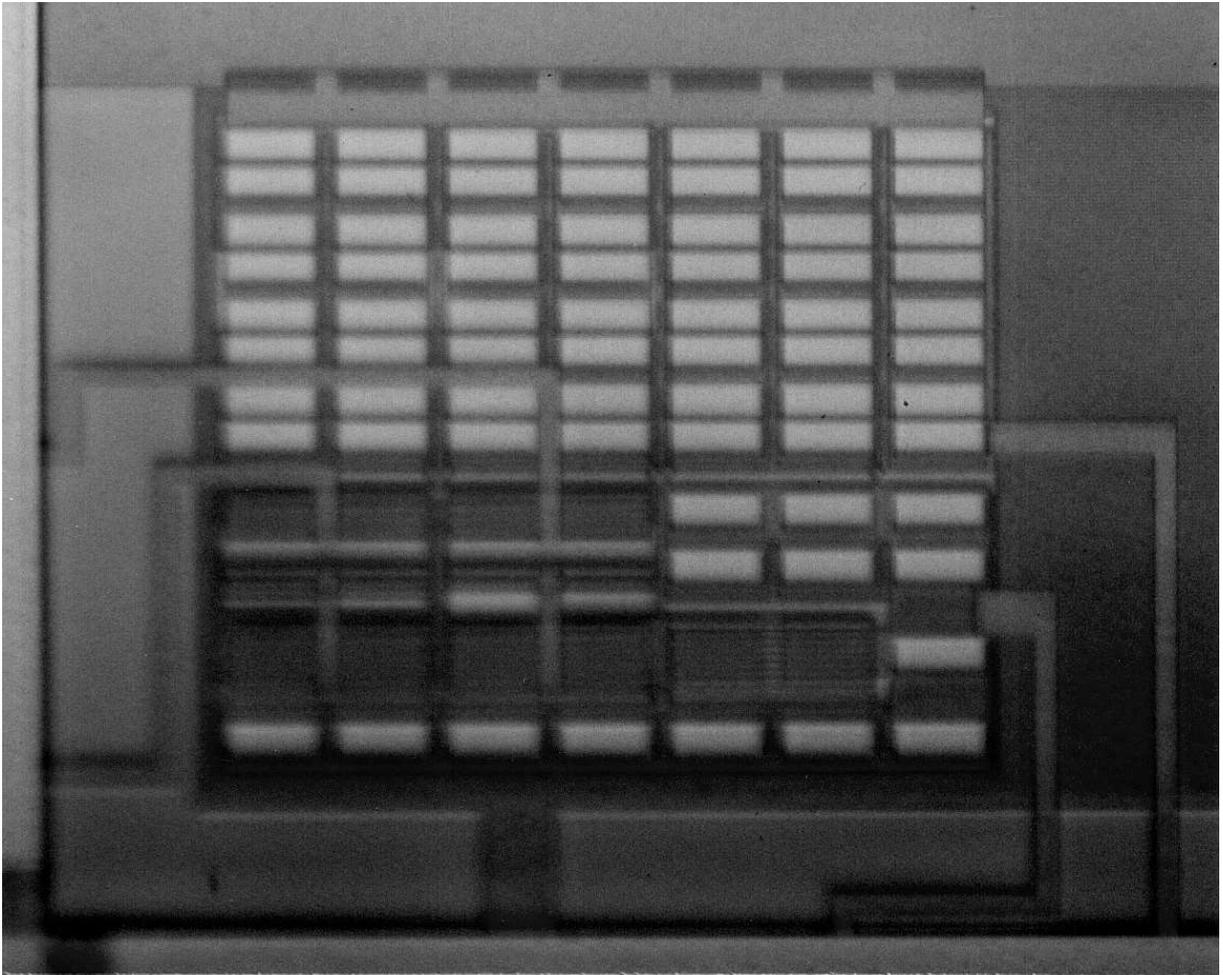


Figura 5.8 – Circuito Miller OTA modificado (200 vezes ampliado).

Quanto aos testes de funcionalidade do Miller OTA modificado, os resultados estão de acordo com os valores simulados, mostrando que o circuito é funcional na estrutura, estável na excursão do sinal de pólo-a-pólo e viável na sua implementação. Tanto as tensões de alimentação mínima e máxima, quanto as correntes consumidas estão como o esperado nas simulações. Conforme o projetado, a frequência de operação para o *buffer* de ganho unitário é de 1kHz. A Figura 5.9, a Figura 5.10 e a Figura 5.11 mostram as medidas para a excursão de um sinal senoidal em pequenos sinais com amplitude de 100mV, na linear com amplitude de 260mV e na máxima com amplitude de 300mV, respectivamente, na frequência especificada. Pelas medidas é possível ver a semelhança com as simulações da Figura 5.5, da Figura 5.6 e da Figura 5.7, respectivamente na seção anterior, mostrando uma boa aproximação do modelo com os resultados obtidos. O cenário das medidas é o mesmo das simulações.

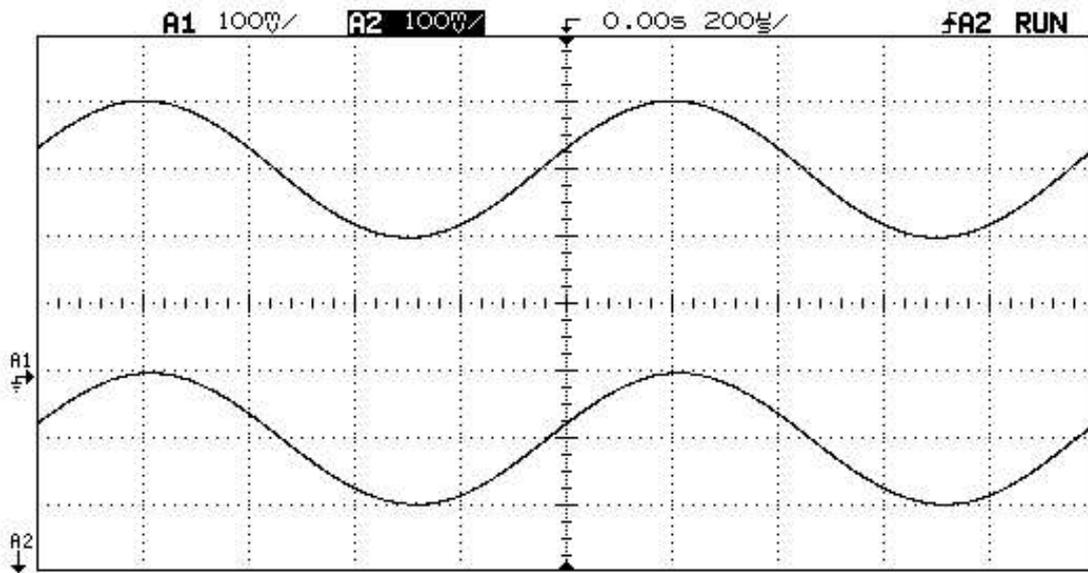


Figura 5.9 – Transiente do Miller OTA modificado em pequenos sinais.

Comparando a simulação da Figura 5.5 com a medida da Figura 5.9 é possível notar a grande semelhança entre elas, mostrando que o circuito se mantém funcionando como esperado. O sinal possui uma tensão média de 300mV para compatibilizar com a alimentação assimétrica do circuito.

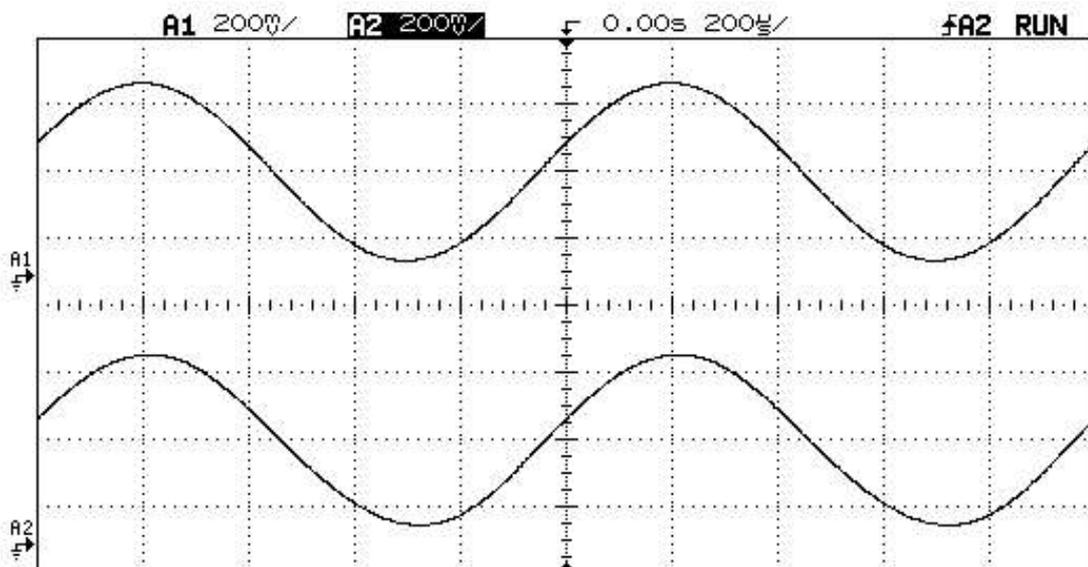


Figura 5.10 – Transiente do Miller OTA modificado em excursão linear.

Comparando a excursão linear medida e a simulada na Figura 5.6, é possível observar que há uma maior linearidade nas medidas, mostrando um funcionamento melhor que o esperado nas simulações, e que, de certa forma, os modelos apresentam um pior caso de operação. O mesmo pode ser observado na Figura 5.11 com a excursão máxima do sinal.

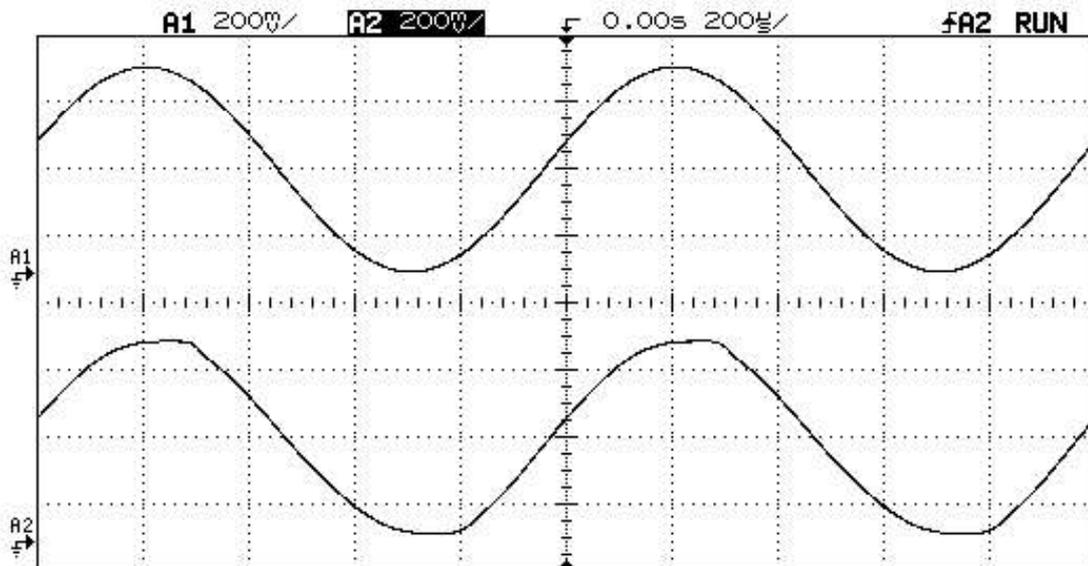


Figura 5.11 – Transiente do Miller OTA modificado em excursão máxima.

Uma vez visto que a topologia era funcional e condizente com as simulações, os testes passaram para uma etapa de medidas e caracterização. Algumas configurações foram montadas para se medir as grandezas do Miller OTA modificado de acordo com as realidades do laboratório. Polarizando o amplificador operacional em malha aberta e medindo a resposta a uma onda senoidal de frequência variável, é possível medir a frequência de ganho unitário, a margem de fase e, em excursão máxima, o *slew-rate*, tanto na subida quanto na descida do sinal na saída do amplificador. Na Figura 5.12 e na Figura 5.13 são mostrados os *slew-rate* de subida e de descida, respectivamente, do circuito Miller OTA modificado. As figuras mantêm as mesmas escalas das medidas realizadas no osciloscópio.

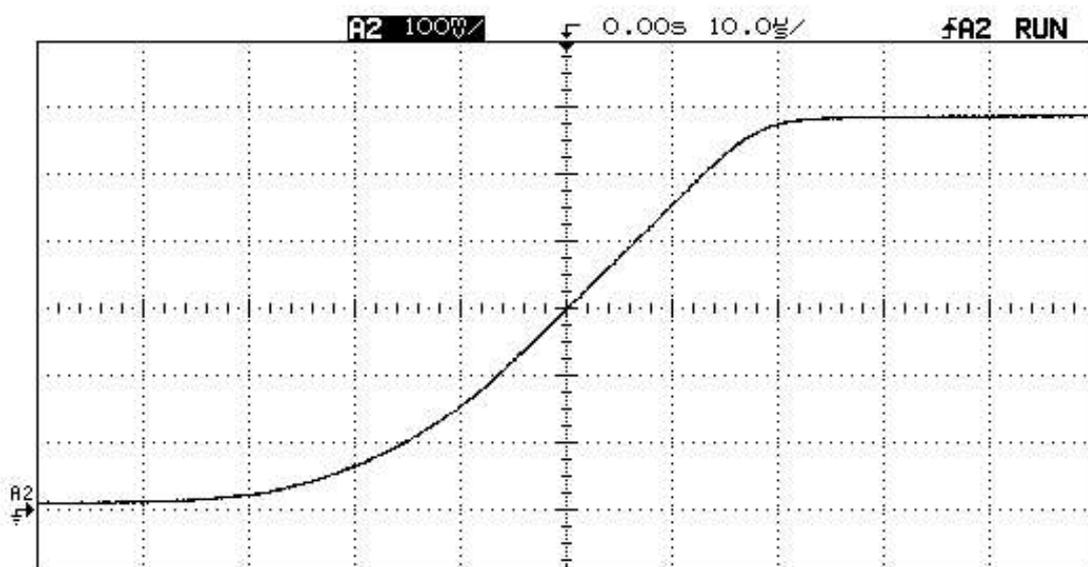


Figura 5.12 – Transiente do Miller OTA no *slew-rate* de subida.

Conforme explanado no Capítulo 3, o *slew-rate* na transição de subida do sinal é constante, devido a configuração ser uma fonte de corrente e estar conectada diretamente na carga, com uma taxa de subida constante. O *slew-rate* deve ser medido em malha aberta e estando a entrada inversora na metade da tensão da fonte de alimentação. Nestas condições, são reproduzidas as mesmas condições da análise da função de transferência do circuito, que é mostrada no Capítulo 4. Assim, as previsões podem ser comparadas com as medidas.

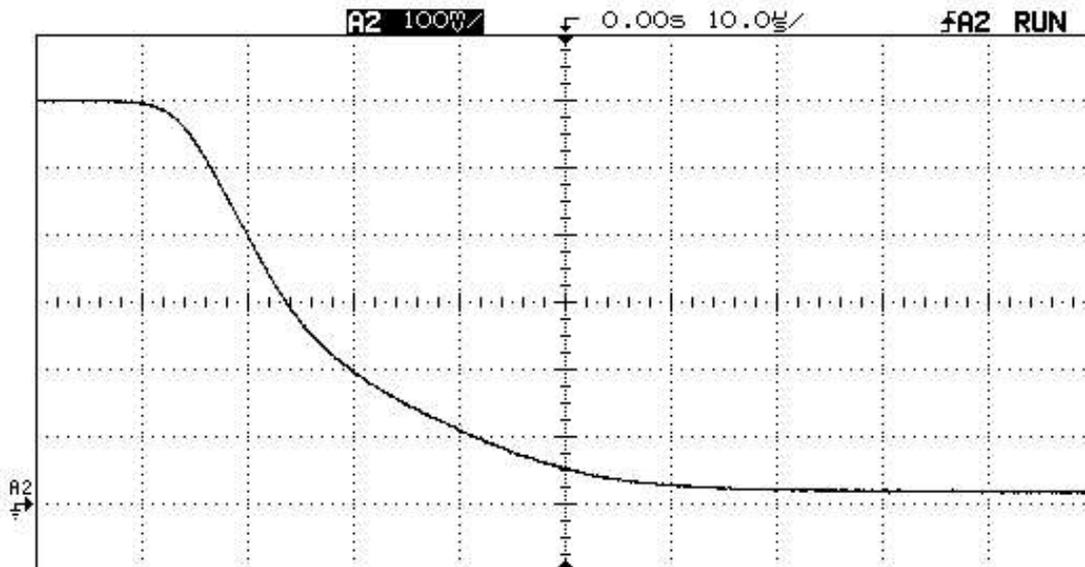


Figura 5.13 – Transiente do Miller OTA no *slew-rate* de descida.

O *slew-rate* na transição de descida do sinal tem um decaimento mais acentuado no começo, mas depois começa a cair mais vagarosamente, sendo, na média, igual ao *slew-rate* de subida. Esse comportamento típico já era previsto por se tratar de um estágio fonte-comum na saída, onde para carga tem-se um espelho de corrente e para a descarga, um transistor drenando a fonte de corrente e o capacitor.

A frequência de ganho unitário é mostrada na Figura 5.14, ou seja, a frequência na qual as amplitudes de entrada de saída são iguais. Nesta frequência tem-se uma defasagem entre os sinais que caracteriza a atraso de fase do sinal de saída com relação ao de entrada (a referência), e conseqüentemente, a margem de fase do circuito no ponto de operação para qual a função de transferência foi descrita (normalmente essa polarização é a metade da tensão de alimentação do circuito Miller OTA, mantendo o mesmo padrão da análise comportamental do Capítulo 4). Vale a pena ressaltar que a entrada tem que ser a menor possível, pois senão as condições AC para pequenos sinais não serão válidas, levando a resultados errôneos.

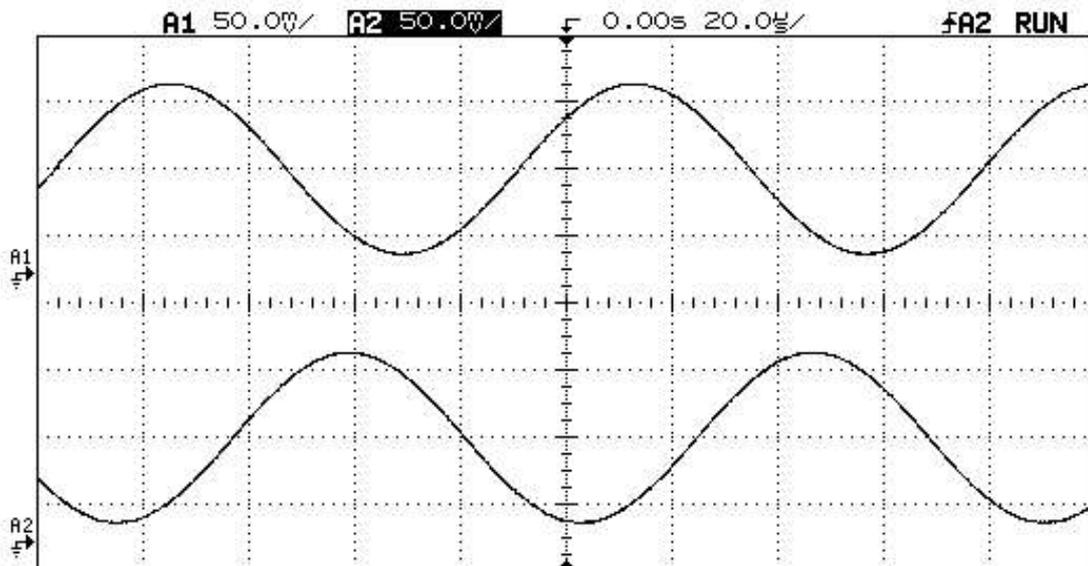


Figura 5.14 – Medida da frequência de ganho unitário.

Para estas medidas, foram utilizadas três amostras. Os resultados são mostrados na Tabela 5.6. A carga estimada é maior do que a de simulação devido às características dos instrumentos de medição utilizados, sendo a capacitância da ponta de prova, do *pad* de I/O e da entrada do osciloscópio. Os valores são na ordem de uma capacitância de 25pF e com uma resistência de 1M Ω .

Tabela 5.6 – Medidas realizadas nos protótipos.

	Protótipo A	Protótipo B	Protótipo C
Frequência de ganho unitário	11,20kHz	11,05kHz	11,15kHz
Margem de fase	70,1°	69,7°	70,5°
Excursão máxima do sinal	0 a 600mV	0 a 600mV	0 a 600mV
Tensão de <i>offset</i> (máximo)	9,20mV	9,85mV	9,35mV
Excursão linear do sinal	40 a 560mV	40 a 560mV	40 a 560mV
Tensão de <i>offset</i> (linear)	2,95mV	3,05mV	2,80mV
<i>Slew-rate</i> (médio)	14,4V/ms	14,3V/ms	14,4V/ms
Potência consumida	548nW	537nW	551nW
Corrente de referência	130nA	130nA	130nA
Tempo de acomodação	52 μ s	58 μ s	53 μ s

As medidas de caracterização se mostraram bem condizentes com os valores de simulação, mostrando uma boa aproximação do modelo BSIM3v3 da MOSIS com a realidade do circuito projetado em inversão fraca. Tanto os valores de frequência quanto os de *slew-rate* são funções inversamente proporcionais da impedância de carga, onde os valores medidos se mostram muito bons, mesmo para uma carga maior do que para qual o circuito foi projetado.

A tensão de *offset* tem um valor bem mais elevado que o projetado. Os ruídos da fonte de alimentação e dos equipamentos utilizados certamente estão influenciando; mas, mesmo assim, com os valores medidos, estes estão nos mesmos níveis dos garantidos pela Microchip™ no amplificador operacional utilizado como comparação das especificações. O circuito se mostra funcional e condizente com o esperado na saturação em inversão fraca, verificando assim a confiabilidade do modelo do transistor e dos métodos apresentados para a sua construção.

Com todos transistores operando em inversão fraca, essa topologia é capaz de operar numa tensão de alimentação de apenas 600mV com um consumo de somente 550nW para um processo de CMOS TSMC 0,35 μ m padrão. As tensões *thresholds* são da ordem de 690mV para o *p*MOS e de 490mV para o *n*MOS (valores medidos pela MOSIS [3]), o que mostra que a arquitetura opera além do limite imposto pela tensão *threshold*, com o uso de apenas transistores e capacitores. O circuito Miller OTA projetado é capaz de operar com uma tensão de alimentação de até 1,50V; onde ainda mantém as especificações de projeto. Para tensões superiores, a resposta em frequência começa a se degradar, principalmente quanto à margem de fase. O valor da tensão de alimentação mínima simulada e medida é de 500mV, mas a resposta em frequência se degrada, principalmente em relação ao ganho.

Um macromodelo em SPICE para o Miller OTA modificado foi criado para descrever o comportamento do circuito, baseado na sua função de transferência e algumas das suas características medidas, sendo apresentado no Apêndice B. Tais modelos são úteis na simulação de sistemas maiores, onde o uso do amplificador operacional desenvolvido está inserindo. Essas simulações de sistemas dispensam o conhecimento de microeletrônica, sendo uma abordagem destinada aos usuários do circuito.

Capítulo 6

Conclusões e Trabalhos Futuros

Esta presente dissertação apresenta uma nova e simples topologia para o Miller OTA em tecnologia CMOS com excursão de sinal de pólo-a-pólo da fonte de alimentação em ultra-baixa tensão e ultra-baixa potência, com o par diferencial na configuração acionado pelo substrato e deslocadores DC de tensão. Estes deslocadores DC podem ser implementados com elementos passivos ou com um amplificador *gate-comum*.

Para este desenvolvimento foi apresentada uma metodologia para se determinar os parâmetros DC do modelo BSIM3v3. O modelo apresentado representa os transistores com uma maior precisão que a dos modelos tradicionais nível 1 [6] [13]; as correções nas equações da transcondutância g_m e da condutância de saída g_o melhoram a precisão de cálculos manuais para os transistores de canais curtos (dimensões sub-mícron). Também foi apresentada uma metodologia para o projeto do amplificador, onde há uma maior otimização da especificação no comportamento do transitório do sinal de saída, segundo o modelo AC em pequenos sinais. Dessa forma, é possível mostrar que o *slew-rate* e a resposta em frequência não são de total independência, como proposto na literatura, mas obedecem a uma restrição e entrelaçamento, as quais se verificam no equacionamento do trabalho.

Com todos transistores operando em inversão fraca, essa topologia é capaz de operar numa tensão de alimentação de apenas 600mV com um consumo de somente 550nW para um processo de CMOS TSMC 0,35 μ m padrão. As tensões *thresholds* são na ordem de 690mV para o *p*MOS e de 490mV para o *n*MOS, o que mostra que a arquitetura opera além do limite pela tensão *threshold*, com o uso de apenas transistores e capacitores. O circuito do Miller OTA tem o seu uso em sistemas com grande constante de tempo, como as *bandgaps*, transdutores físicos, controle de processos, sistemas de proteção e em portáteis, com o uso de pequenas baterias.

Uma implementação alternativa BiCMOS ao circuito, dada na Figura 6.1, pode ser feita com a substituição dos transistores Q_3 , Q_4 , Q_6 , Q_A e Q_B por transistores bipolares NPN, permitindo que a descarga dos capacitores seja mais rápida, trazendo como melhorias: o aumento do ganho e da frequência de operação do circuito do amplificador operacional.

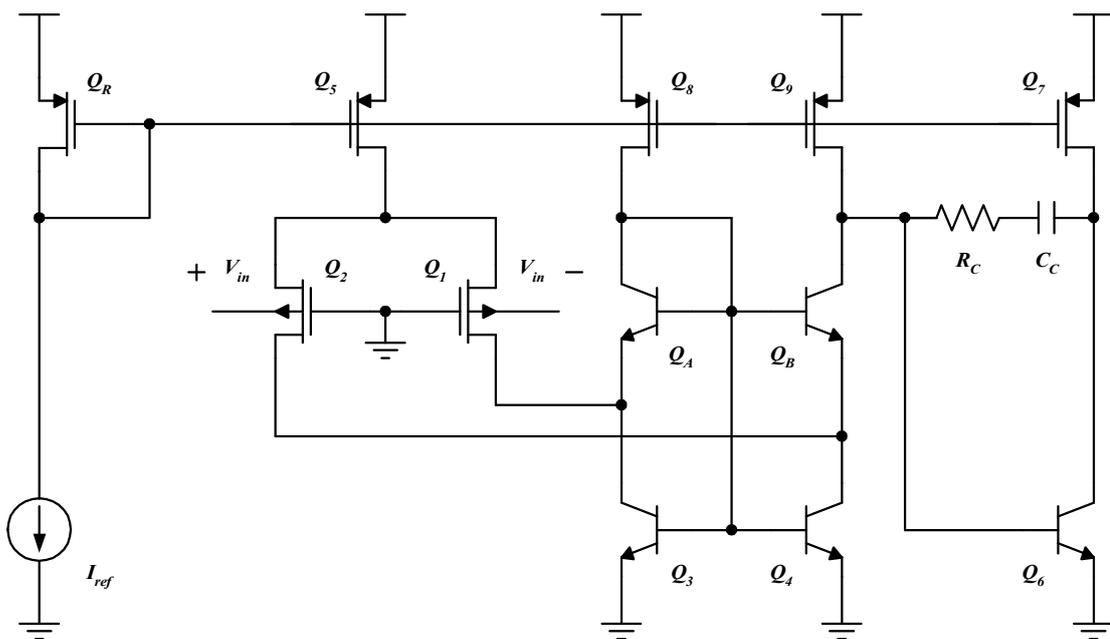


Figura 6.1 – Proposta BiCMOS para o Miller OTA modificado.

A extração dos parâmetros por mínimos quadrados é feita de uma forma otimizada e simples, podendo ser aplicada a outros modelos do transistor MOS (como EKV ou BSIM4) ou até ao transistor real com apenas a utilização de voltímetros e amperímetros de precisão, desde que seja possível acessar os terminais do transistor. Outros modelos para o transistor em pontos de operação diferentes podem ser propostos, aplicando-se os mínimos quadrados para a extração de parâmetros otimizados, havendo uma melhor caracterização do fenômeno de interesse ou das regiões da curva do MOS.

O processo de difusão CMOS é dinâmico, com variações de parâmetros a cada rodada. Os melhores resultados de simulação sempre serão com os modelos pelo qual se fez o projeto, devido à otimização das equações para tal. Pelas medidas realizadas, os modelos dos transistores caracterizados pela MOSIS com alguns cuidados descritos, podem ser usados para o projeto de circuitos analógicos em inversão fraca.

Pensando em sistemas mais complexos, uma crescente área de aplicação é a dos autômatos em miniatura, onde a lógica e o controle possuem uma dinâmica lenta e o consumo baixo é a principal característica desejada. Assim, é possível com o uso de pequenas baterias controlar todo o sistema, tanto nos sensores quanto nos atuadores.

Apêndice A

Descrição SPICE Miller OTA Modificado

Abaixo é descrito o circuito SPICE do Miller OTA modificado, otimizado para o simulador SMASH. A biblioteca dos transistores é a fornecida pela MOSIS para o processo CMOS TSMC 0,35 μm , sendo a rodada do protótipo a MOSIS T46C de 25 de agosto de 2004. Visando uma maior compreensão visual da descrição SPICE, uma representação esquemática simplificada é mostrada na Figura A.1, onde se destaca as ligações das tensões de polarização e a carga capacitiva.

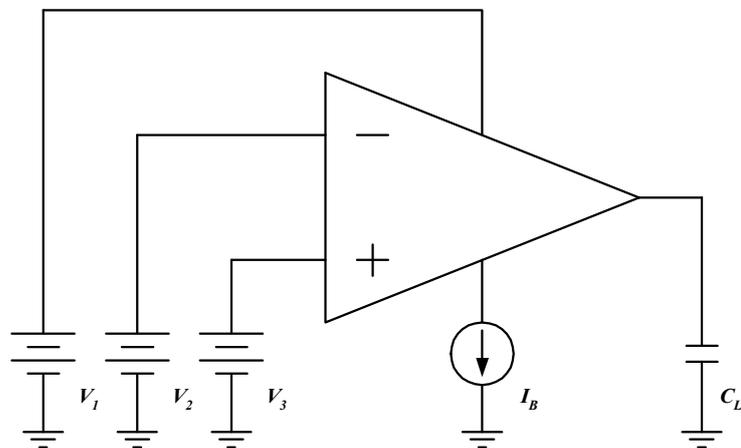


Figura A.1 – Representação esquemática da descrição SPICE.

```

*****
**                               Descrição SPICE Miller OTA Modificado                               **
*****
.LIB ".\TSMC35.LIB"
*****
**                               Fontes de Polarização                                       **
*****
IB 8 0 130N
V1 A 0 0.60
V2 1 0 0.30
V3 2 0 0.30
*****
**                               Descrição dos Elementos do Circuito                               **
*****
M1 5 0 3 1 MODP L=1U W=250U AD=275P AS=275P PD=253U PS=253U
M2 4 0 3 2 MODP L=1U W=250U AD=275P AS=275P PD=253U PS=253U
M3 4 6 0 0 MODN L=1U W=100U AD=110P AS=110P PD=103U PS=103U
M4 5 6 0 0 MODN L=1U W=100U AD=110P AS=110P PD=103U PS=103U
M6 8 7 0 0 MODN L=1U W=400U AD=440P AS=440P PD=403U PS=403U
MA 6 6 4 0 MODN L=1U W=400U AD=440P AS=440P PD=403U PS=403U
MB 7 6 5 0 MODN L=1U W=400U AD=440P AS=440P PD=403U PS=403U
M5 3 9 A A MODP L=9U W=200U AD=220P AS=220P PD=203U PS=203U
M7 8 9 A A MODP L=9U W=800U AD=880P AS=880P PD=803U PS=803U
M8 6 9 A A MODP L=9U W=100U AD=110P AS=110P PD=103U PS=103U
M9 7 9 A A MODP L=9U W=100U AD=110P AS=110P PD=103U PS=103U
MR 9 9 A A MODP L=9U W=200U AD=220P AS=220P PD=203U PS=203U
CC 7 9 05P
CL 9 0 15P
*****
.END

```

Com a descrição podem ser repetidos todos resultados simulados no decorrer dessa dissertação para o circuito do Miller OTA modificado.

Apêndice B

Macromodelo do Miller OTA Modificado

Abaixo é descrito o macromodelo SPICE do Miller OTA modificado, baseado na função de transferência do circuito na Figura 3.11, com as limitações de excursão linear e a tensão de *offset*, obtidos pelas medidas e simulações com os modelos BSIM3v3.

O modelo AC, no qual se baseia o macromodelo, é uma linearização em torno do ponto de polarização, válido em quanto os transistores mantiverem as transcondutâncias constantes. Pelas simulações com o modelo BSIM3v3, sabe-se que nos extremos dos pólos da fonte de alimentação a transcondutância dos transistores varia, surgindo assim as saturações na excursão do sinal. Visando incluir esse efeito no macromodelo, diodos ideais são incluídos de forma que, atingido os extremos da excursão linear, o sinal de saída sature, incluindo dessa forma a saturação do sinal no modelo AC. Os valores dos resistores, capacitores e das fontes dependentes são os obtidos pela análise de ponto de operação do circuito simulado.

Com o macromodelo SPICE do Miller OTA modificado é possível simular o amplificador em conjunto com outras partes do sistema, tendo uma idéia do funcionamento do Miller OTA modificado sem entrar em detalhes do projeto, poupando as análises e até mesmo

tempo de processamento. Macromodelos são muito eficientes para a análise funcional do topo de projetos de sistemas mais complexos.

```

*****
**                               Macromodelo SPICE Miller OTA Modificado                               **
*****
**                               **
** VP - nó 1 - entrada não-inversora                               **
** VN - nó 2 - entrada inversora                               **
** VO - nó 3 - saída                               **
** VDD - nó 4 - tensão de alimentação                               **
** GND - nó 0 - tensão de alimentação                               **
**                               **
*****
.SUCKT MOTA 1 2 3 4
*****
**                               Tensão de Offset e Polarização                               **
*****
R1 1 4 3.75e+10
R2 2 4 3.75e+10
V1 2 5 3.00e-03
*****
**                               Função de Transferência                               **
*****
R3 6 0 3.44e+06
R4 6 7 8.70e+07
R5 7 0 4.18e+08
R6 3 0 8.91e+06
C1 6 0 5.00e-13
C2 7 0 5.00e-13
C3 7 3 5.00e-12
G1 6 0 1 5 3.40e-07
G2 6 7 6 0 2.19e-06
G3 3 0 7 0 1.36e-05
*****
**                               Saturação no Sinal de Saída                               **
*****
D1 3 8 DIODO
D2 9 3 DIODO
V2 4 8 4.00e-02
V3 9 0 4.00e-02
*****
**                               Modelo do Diodo                               **
*****
.MODEL DIODO D (IS=1.00e-10 N=1.00e-02)
*****
.ENDS MOTA

```

Apêndice C

Artigos Publicados

Dois artigos relacionados aos métodos propostos foram publicados na 11th International Conference Mixed Design of Integrated Circuits and Systems, MIXDES 2004. O congresso foi realizado na cidade de Szczecin, na Polônia em junho de 2004.

- ✓ A New Methodology to Design OTA Based on Feedback Control Systems Theory.
- ✓ Extraction of DC Parameters from BSIM3v3 MOS Transistor Model Using Minimum Square Method for Quick Design.

E mais três artigos foram publicados no 2004 IEEE Asia-Pacific Conference on Circuits and Systems, APCCAS 2004. O congresso foi realizado na cidade de Tainan, em Taiwan em dezembro de 2004.

- ✓ Spice Model 1 Parameters from BSIM3v3 for Fast Manual Circuit Design.
- ✓ A New OTA Design Methodology Based on Feedback Control Systems Theory.
- ✓ An Ultra Low-Voltage Ultra Low-Power Rail-to-Rail CMOS OTA Miller.

Referências Bibliográficas

- [1] Troy Stockstad and Hirokasu Yoshizawa, “A 0.9V 0.5 μ A Rail-to-Rail CMOS Operational Amplifier”, IEEE Journal Solid-State Circuits, Vol. 37, N°3 pp.286-292, March 2002.
- [2] Benjamin J. Blalock, Philip E. Allen and Gabriel A. Rincon-Mora, “Designing 1V Op Amps Using Standard Digital CMOS Technology”, IEEE Transaction Circuits and System II, Vol 45, N° 7 pp. 769-780, July 1998.
- [3] The MOSIS Service. www.mosis.org
- [4] Luiz Alberto Pasini Melek. “Operação de Circuitos Lógicos CMOS de Ultra-Baixo Consumo”. Dissertação de Mestrado. UFSC, Fevereiro de 2004.
- [5] Kenneth R. Laker and Willy M. C. Sansen, “Design of Analog Integrated Circuits and Systems”, McGraw Hill, inc., 1994.
- [6] Adel S. Sedra and Kenneth C. Smith, “Microeletronic Circuits”, 4th Edition, Oxford Univertisy Press, inc., 1998.
- [7] Philip E. Allen and Douglas R. Holberg, “CMOS Analog Circuits Design”, 2nd Edition, Oxford Univertisy Press, inc., 2000.
- [8] Paolo Antoneggti and Giuseppe Massobrio, “Semiconductor Device Modeling with SPICE”, 2nd Edition, McGraw Hill, inc., 1993.
- [9] Yuhua Cheng, Mansun Chan, Kelvin Hui, Min-chie Jeng, “BSIM3v3 Manual”, University of California, Berkeley, 1999.
- [10] Mario F. Triola, “Elementary Statistic”, 7th Edition, Addison Wesley Longman, inc., 1998.
- [11] Peter R. Karlsson and Kjell O. Jeppson, “An Analytical Strategy for Fast Extraction of MOS Trasistor DC Parameters Applied to the SPICE MOS3 and BSIM Models”, IEEE 1992 Int. Conference on Microeletronic Test Structures, Vol 5, N° 9 pp. 78-83, March 1992.

- [12] Dou Xunjin, Zhang Lingxiao, Yang Jiem Ki Lijiu and Gu Jun, "Parameter Extraction of BSIM Based on S^3 Theory", 4th International Conference on ASIC, pp. 708-711, October 2001.
- [13] Yannis Tsividis, "Operation and Modeling of the MOS Transistor", 2nd Edition, McGraw Hill, inc., 1999.
- [14] E. A. Vittoz and J. Fellrath, "CMOS Analog Integrated Circuits Based on Weak Inversion Operation", IEEE Journal of Solid-State Circuits, Vol. SC-12, N° 3 pp. 231-244, June 1977.
- [15] Christian C. Enz, François Krummenacher and Eric A. Vittoz, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current", Journal Analog Integrated Circuits and Signal Processing, Vol. 8, N° 1 pp 83-114, July 1995.
- [16] Satoshi Sakurai and Mohammed Ismail, "Low-voltage CMOS Operational Amplifiers: Theory, Design and Implementation", Kluwer Academic Publisher, 1995.
- [17] Ron Hogervorst and Johan H. Huijsing, "Design of Low-voltage, Low-power Operational Amplifier Cells", Kluwer Academic Publisher, 1996.
- [18] Minsheng Wang, Terry L. Mayhugh, Sherif H. K. Embabi and Edgar Sánchez-Sinencio, "Constant-gm Rail-to-Rail CMOS Op-Amp Input Stage with Overlapped Transition Regions", IEEE Journal Solid-State Circuits, Vol. 34, N°2 pp.148-156, February 1999.
- [19] Katsuhiko Ogata, "Modern Control Engineering", 4th Edition, Prentice Hall, 2001.
- [20] Charles L. Philips and Royce D. Harbor, "Feedback Control Systems", 4th Edition, Prentice Hall, 1999.
- [21] MCP604x Datasheet. Microchip Semiconductor. www.microchip.com