

## Resumo

A grande tendência atual vem sendo a redução da tensão de alimentação dos circuitos integrados. Fatores como tecnologia, consumo e exigência de mercado direcionam para esta tendência. A operação em baixa tensão permite a utilização de um número menor de baterias, maior integração dos componentes, e ainda traz benefícios relacionados com a confiabilidade e o consumo. Isto leva os projetistas de circuitos a considerar este aspecto e direcionar seus circuitos para esta tendência de redução da tensão de operação.

As técnicas convencionais para se obter fator de transcondutância constante para o estágio de entrada complementar requerem muitos circuitos de controle e tornam relativamente complexo o projeto de um amplificador operacional direcionado para operação em baixa tensão. Estas técnicas degradam a resposta em frequência e a razão de rejeição de modo comum (CMRR). Para superar estes problemas, é proposta uma técnica de projeto econômica e eficiente que se baseia na sobreposição das regiões de transição dos pares diferenciais, e desta forma garante a estabilização do fator de transcondutância com melhoria de CMRR e da resposta em frequência.

Também é apresentado, como aplicações do amplificador proposto, um circuito amostra-e-retém e um conversor analógico-digital. Neste trabalho é implementada uma interessante técnica de conversão e outras características de projeto que, possibilitam operação com tensão de alimentação reduzida e atendem os requisitos de precisão e de velocidade de transmissão para os circuitos de processamento atuais.

## Abstract

Over the years, the reduction of the power supply voltage has become a main trend in the design of VLSI integrated circuits. This has been driven individually or collaboratively by technology, power management and market demands. The low voltage operation is essential in modern portable electronic systems to guarantee a smaller number of batteries on the power supply and another benefits such as reliability and consumption. Circuit designers are forced to reconsider and redesign circuits and even develop new analog circuit cells for low voltage operation.

Conventional techniques to achieve a constant- $g_m$  rail-to-rail complementary N-P differential input stage require complex additional circuitry. In addition, the frequency response and common-mode rejection ratio (CMRR) are degraded. An economical but efficient design technique to overcome these problems is proposed. The proposed technique strategically overlaps the transition regions of the tail currents for the N and P-pairs to achieve constant overall transconductance with improved CMRR and frequency response.

This work shows, as application of proposed operational amplifier, the design of a sample-and-hold circuit and an analog-to-digital converter. It is implemented an interesting converter technique that allows the low voltage operation and meet the needs of precision and transmission speed required by digital signal processing circuits.

# INTRODUÇÃO

Nos projetos de sistemas eletrônicos, o termo baixa tensão é utilizado para circuitos capazes de operar com um valor de tensão de alimentação entre 1 e 3V. A definição do mínimo valor de tensão de alimentação do circuito dependerá dos parâmetros específicos de projeto, tais como a tensão de limiar ( $V_t$ ) e a região de polarização. Circuitos integrados em operação com baixa tensão e baixa potência são utilizados em diversas aplicações, como em sistemas eletrônicos alimentados por bateria, dispositivos biomédicos, equipamentos de telecomunicações, etc.

Existem três razões principais que justificam a necessidade de utilização de circuitos em baixa tensão e baixa potência. A primeira é o fato da progressiva diminuição do comprimento de canal dos transistores em função dos processos existentes e da espessura do óxido. Isto faz com que o valor da fonte de alimentação tenha que ser reduzido para garantir perfeito funcionamento e maior confiabilidade do dispositivo. A segunda razão provém do aumento da densidade de componentes no chip. Como um chip de silício pode dissipar uma quantidade limitada de potência, deve-se reduzir a potência dissipada para evitar sobreaquecimento do componente [1]. A terceira razão se refere a aplicação destes circuitos em equipamentos portáteis que são alimentados por bateria, onde a redução de potência e tensão de alimentação é necessária para aumentar a vida útil da bateria.

A operação em baixa tensão e baixa potência causa um forte impacto na relação sinal-ruído de circuitos analógicos. Isto acontece pelo fato dos níveis de tensão do sinal serem menores e também porque o nível de ruído aumenta devido ao baixo nível de corrente no circuito [2]. Para se maximizar a relação sinal-ruído, a capacidade de excursão de sinal deverá ser a maior possível, ou seja, o circuito deve aproveitar toda a faixa de tensão disponível. Em particular, para o amplificador operacional em baixa tensão e baixa potência, os estágios de entrada e saída devem ser projetados especialmente para satisfazer esta condição.

Neste trabalho será apresentado um amplificador operacional que satisfaz esta condição de operação. A maior dificuldade no projeto deste amplificador reside no estágio de entrada. Este estágio é constituído por um par diferencial tipo N e outro par diferencial tipo P. O maior problema deste estágio está na estabilização do valor do fator de transcondutância, fator este que está diretamente ligado com parâmetros importantes do amplificador como: ganho, margem de fase, etc. Para maior entendimento do problema, o par diferencial será amplamente discutido no Capítulo 1. Será apresentado seu princípio de operação, suas equações fundamentais, gráficos e também algumas formas de onda resultantes de

simulações. No Capítulo 2 será apresentado um projeto completo de um amplificador operacional com estágio de entrada diferencial e operação em baixa tensão. O circuito apresenta uma solução satisfatória para o problema do controle do fator de transcondutância. A principal característica deste circuito é a utilização de pares diferenciais de entrada complementares com regiões de transição sobrepostas. A sobreposição destas regiões é realizada através de circuitos deslocadores de nível de tensão nas entradas do par diferencial tipo P. Todos estes conceitos serão discutidos e também serão apresentados resultados simulados de cada estágio do amplificador. Serão ainda, apresentadas duas aplicações práticas para o amplificador operacional proposto. A primeira aplicação será um circuito amostra-e-retém e a segunda será um conversor analógico-digital. O circuito amostra-e-retém será apresentado no Capítulo 3 e utiliza o amplificador como buffer de entrada e opcionalmente como buffer de saída.

Atualmente os conversores A/D têm uma grande importância em diversas áreas de aplicação. Sua função é transformar uma grandeza física qualquer em sinais digitais que possam ser transmitidos ou processados em um meio digital de processamento, como por exemplo, um computador. Na área de comunicações, o processamento de sinais digitais tem grande vantagem sobre o processamento analógico. Em diversas áreas que utilizam processamento de sinais, a utilização dos conversores é inevitável. O conversor analógico-digital é apresentado no Capítulo 4 e utiliza tanto o amplificador quanto o circuito amostra-e-retém. O circuito amostra-e-retém é utilizado na entrada do conversor, na preparação do sinal a ser convertido para a forma digital. O conversor utiliza o amplificador proposto nos comparadores e nos circuitos de subtração de sinais de tensão. Será discutida a técnica de conversão e serão apresentados os circuitos auxiliares utilizados neste processo. Conforme as simulações apresentadas, o circuito pode operar com valores de tensão de entrada de amplitude de aproximadamente 3 Volts e tem uma resolução de 8 bits, ou seja, pode identificar até 256 níveis distintos de tensão. As conclusões e orientações de estudos futuros são apresentados no Capítulo 5.

# CAPÍTULO 1

## O PAR DIFERENCIAL EM BAIXA TENSÃO

### 1.1 Considerações Iniciais

Nos projetos de sistemas eletrônicos, o termo baixa tensão é utilizado para relacionar circuitos capazes de operar com um valor de tensão de alimentação entre 1 e 3V. A definição do mínimo valor de tensão de alimentação do circuito dependerá dos parâmetros específicos de projeto, tais como a tensão de limiar ( $V_t$ ) e a região de polarização. A menor tensão de alimentação pode ser obtida polarizando-se os transistores MOS na região de inversão fraca, pois desta forma obtém-se a menor tensão gate-fonte ( $V_{GS}$ ) do transistor. No entanto, para aplicações em alta-frequência ou para alta “slew-rate” é necessário que os transistores sejam polarizados na região de inversão forte [1].

A operação em baixa tensão e baixa potência causa um forte impacto na relação sinal/ruído de circuitos analógicos. Isto ocorre pelo fato dos níveis de tensão do sinal serem menores e também pelo fato do aumento dos níveis da tensão do ruído devido ao baixo nível de corrente no circuito [2]. Para maximizar a relação sinal/ruído, a excursão de sinal deverá ser a maior possível, preferencialmente de pólo a pólo. Em particular, no projeto de amplificador operacional em baixa tensão e baixa potência, deve-se ter estágios de saída e entrada pólo a pólo, sendo este último, necessário apenas em configurações de seguidor-de-tensão.

O primeiro estágio de um amplificador operacional é o par diferencial que será discutido na Seção 1.2. As expressões universais para as correntes presentes no par diferencial simples são apresentadas na Seção 1.3. Porém, em baixa tensão, é utilizado um par diferencial complementar no estágio de entrada. A Seção 1.4 apresenta o seu princípio de operação utilizando expressões matemáticas e ainda discute o problema da duplicação do fator de transcondutância.

### 1.2 O Par Diferencial (DP)

O par diferencial (DP) é a célula analógica básica mais utilizada e se apresenta em diversas aplicações, tais como nos amplificadores operacionais, OTA, conversores V-I, multiplicadores, circuitos amostra-e-retém, etc. A Figura 1.1 apresenta um par diferencial NMOS básico.

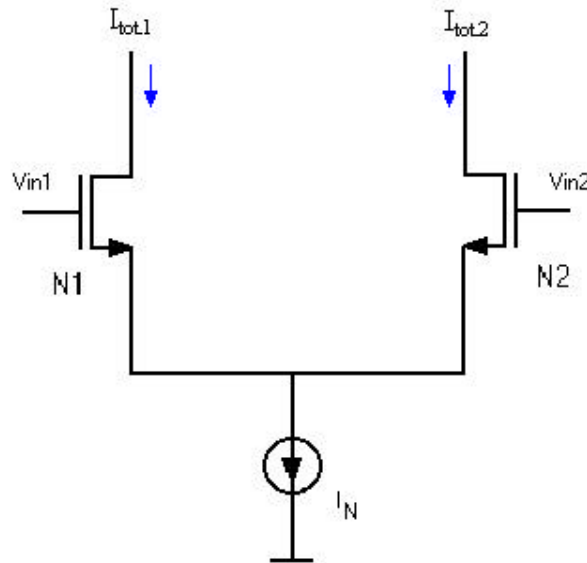


Figura 1.1 - Par Diferencial NMOS Básico.

O par diferencial tem como vantagem a compatibilidade com a tecnologia de circuitos integrados, bem como a habilidade de amplificação de apenas sinais diferenciais. No DP [29], tem-se que:

$$I_o = I_{tot,1} - I_{tot,2} = g_m \tilde{v}_{id} \quad (1.1)$$

onde  $I_o$  é a corrente de saída do par diferencial,  $g_m$  é o fator de transcondutância e  $\tilde{v}_{id}$  é a diferença de tensão de entrada do par diferencial. A Equação 1.1 mostra que o DP amplifica apenas a diferença entre as duas entradas, sendo assim indiferente ao nível de tensão de modo comum e tem  $g_m$  como o fator de ganho. Outra característica importante do DP é a faixa de tensão de modo comum (CMR), definida como a faixa de tensão de entrada em que o estágio de entrada opera propriamente como um amplificador linear para os sinais diferenciais de entrada. Pode-se concluir que a CMR deve ser a maior possível, pois ela que determina a faixa dinâmica de operação (ou relação sinal-ruído, S/N) que é a razão entre o nível máximo de tensão e o sinal de ruído. Entretanto, com a redução da tensão de alimentação, a CMR torna-se muito pequena. Isto é causado principalmente pela tensão “Threshold” do DP que permanece constante. Por exemplo, com uma tensão de alimentação de 3V e  $V_t=1V$ , a tensão de entrada de modo comum ( $V_{CM}$ ) fica reduzida para menos de 1,7V. Desta forma, tem-se que mais de 40% da faixa de tensão disponível fica inutilizada e então a relação S/N fica diminuída. Com a diminuição da tensão de alimentação na requisitada operação “low-

voltage”, o estágio de entrada se torna-se o maior problema para o projeto, ou seja, o estágio de entrada pode processar apenas uma pequena faixa da tensão de entrada de modo comum. Uma importante técnica para superar este problema é a utilização de pares diferenciais complementares, onde os pares tipo P e tipo N são colocados em paralelo, como ilustrado na Figura 1. 2.

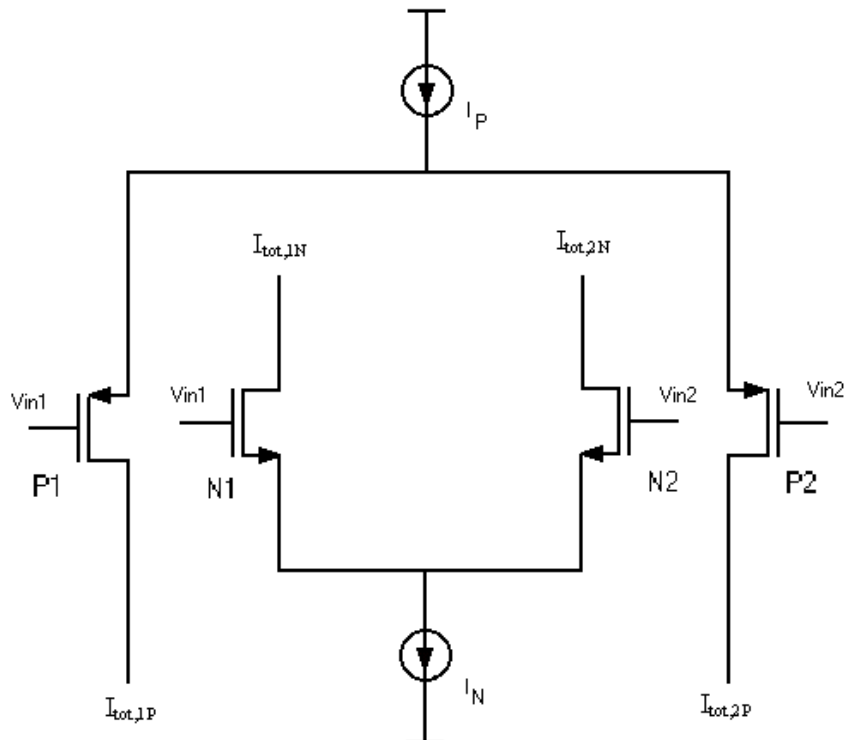


Figura 1. 2 - Par Diferencial Complementar MOS.

Esta técnica permite a operação com excursão total de sinal (“rail-to-rail”) e apresenta basicamente três regiões distintas de operação:

- $V_{CM}$  próxima de  $V_{SS}$ : operação total do par tipo P com o par N desligado ou em operação parcial;
- $V_{CM}$  próxima ao meio da faixa de excursão: operação total de ambos os pares diferenciais;
- $V_{CM}$  próxima de  $V_{DD}$ : operação total do par tipo N com o par P desligado ou em operação parcial.

Assim como mostrado na Equação 1.1, o parâmetro mais importante do DP é a sua transcondutância  $g_m$  e é altamente desejável que este parâmetro tenha um valor constante em toda a faixa de CMR. A transcondutância total do par complementar ( $g_{mT}$ ) apresentado na Figura 1. 2, é dada pela soma das transcondutâncias dos pares diferenciais P e N. Assim, como existem três regiões de operação para o par diferencial, existem também três diferentes regiões para  $g_{mT}$ . A Figura 1. 3 mostra o comportamento variável de  $g_{mT}$  do par complementar em relação a CMR, onde  $g_{mT}$  foi obtido através da soma de  $g_{mn}$  e  $g_{mp}$ .

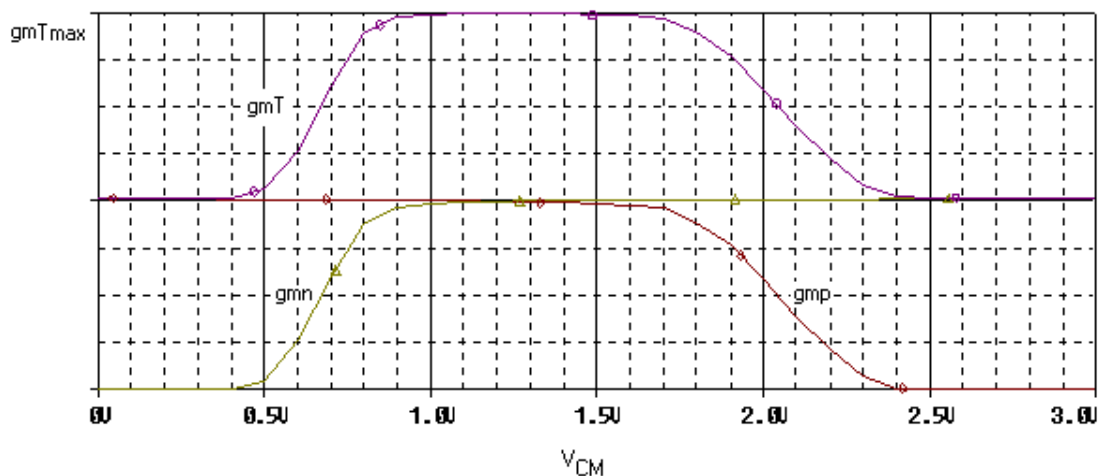


Figura 1. 3 - Variação de  $g_m$  em Função de  $V_{CM}$ .

Considerando que os valores nominais de  $g_{mn}$  e  $g_{mp}$  são iguais, o valor máximo para a  $g_{mT}$  pode ser de duas vezes o valor de  $g_{mn}$  (ou  $g_{mp}$ ) e assim a  $g_{mT}$  sofre uma variação de 100% de seu valor desejado.

A utilização do par diferencial complementar resulta em outros problemas relacionados com o desempenho geral do amplificador operacional. Cada par apresenta um comportamento dc diferente. A razão de rejeição de modo comum é degradada quando a entrada de modo comum está na região onde um dos pares diferenciais está comutando para o estado ligado ou desligado.

O maior problema, no entanto, é mesmo a variação da transcondutância do estágio de entrada  $g_m$ . O parâmetro  $g_m$  é o mais importante para o projeto do amplificador operacional. A Tabela 1. 1 mostra alguns parâmetros importantes para o amplificador operacional que são dependentes de  $g_m$ . A variação de  $g_m$  produz variação no ganho e resulta em fortes distorções do sinal, particularmente para altas frequências de operação do amplificador operacional. A variação de  $g_m$  também produz variações na largura de faixa de ganho unitário. Quando a



largura de faixa de ganho unitário varia, a margem de fase e a compensação de frequência não são facilmente otimizadas, e ainda, a taxa de inclinação (“slew-rate”) varia com a tensão de modo comum [30, 31, 32].

Tabela 1. 1 – Parâmetros de pequeno sinal relacionados com a transcondutância

Ganho em baixa frequência	$A_0$
Frequência de ganho unitário	$\omega_u$
Margem de fase	P2 (2º pólo)
“Slew-rate” (taxa de inclinação)	SR

### 1.3 Corrente Total de Saída nos Pares Diferenciais

Antes de se discutir o princípio de estabilização do fator de transcondutância dos pares diferenciais complementares, torna-se útil o desenvolvimento de expressões universais para a corrente total de saída dos pares diferenciais. Serão desenvolvidas expressões gerais para as correntes instantâneas totais de saída para os pares diferenciais mostrados na Figura 1. 1, que consistem em dois transistores idênticos, M1 e M2 (par diferencial) e uma fonte de corrente constante  $I_B$  ( $I_B = I_N$  no par N e  $I_B = I_P$  no par P). A fonte de corrente, usualmente, é implementada através de espelhos de corrente.

#### 1º Caso: MOS em inversão forte – saturação

Desprezando-se o efeito de corpo e a modulação de comprimento de canal, a corrente total pode ser expressa da seguinte forma [29]:

$$I_{tot1} = \frac{1}{2} \mu_n C_{OX} \left( \frac{W}{L} \right) (V_{GS1} - V_T)^2 \quad (1.2)$$

$$I_{tot2} = \frac{1}{2} \mu_n C_{OX} \left( \frac{W}{L} \right) (V_{GS2} - V_T)^2 \quad (1.3)$$

$$I_B = I_{tot1} + I_{tot2} \quad (1.4)$$

onde  $\mu$  é a relação largura/comprimento-de-canal do transistor MOS,  $\mu$  é a mobilidade eletrônica,  $V_T$  é a tensão de limiar e  $C_{OX}$  é a capacitância de “gate” do óxido. Relacionando-se 1.2 e 1.3 pela tensão de entrada, tem-se que:

$$V_{id} = \tilde{\phi}_{in1} - \tilde{\phi}_{in2} = V_{GS1} - V_{GS2} = \sqrt{\frac{I_{tot1}}{K}} - \sqrt{\frac{I_{tot2}}{K}} \quad (1.5)$$

onde,  $K = \frac{1}{2} \mu C_{OX} \left( \frac{W}{L} \right)$

A combinação das Equações 1.4 e 1.5 resulta em:

$$I_{tot1} = \frac{I_B}{2} + \sqrt{2KI_B} \frac{V_{id}}{2} \sqrt{1 - \frac{KV_{id}^2}{2I_B}} \quad (1.6)$$

$$I_{tot2} = \frac{I_B}{2} - \sqrt{2KI_B} \frac{V_{id}}{2} \sqrt{1 - \frac{KV_{id}^2}{2I_B}} \quad (1.7)$$

onde 1.6 e 1.7 são válidas para  $V_{id} < \sqrt{\frac{2I_B}{K}}$ . Para valores de  $V_{id} \ll \sqrt{\frac{2I_B}{K}}$ , ou seja, aproximação para pequeno sinal, as equações citadas podem ser reescritas da seguinte forma:

$$I_{tot1} = \frac{I_B}{2} + \sqrt{2KI_B} \frac{V_{id}}{2}$$

$$I_{tot2} = \frac{I_B}{2} - \sqrt{2KI_B} \frac{V_{id}}{2}$$

Como a transcondutância  $g_m$  é igual a  $\sqrt{2KI_B}$ , pode-se substituir esta expressão por  $g_m$  e assim a corrente total de saída fica:

$$I_{tot1} = \frac{I_B}{2} + g_m \frac{V_{id}}{2} \quad (1.8)$$

$$I_{tot2} = \frac{I_B}{2} - g_m \frac{V_{id}}{2} \quad (1.9)$$

**2º Caso:** MOS em inversão fraca. Não será utilizada nos circuitos propostos neste trabalho. Será realizada apenas uma consideração teórica. Sua corrente total de saída é dada por [2]:

$$I_{tot1} = I_S e^{\frac{V_a}{nU_t}} \quad (1.10)$$

$$I_{tot2} = I_S e^{\frac{V_b}{nU_t}} \quad (1.11)$$

$$e \quad I_B = \frac{I_{tot1}}{a} + \frac{I_{tot2}}{a} \quad (1.12)$$

onde,  $V_a = V_{GS1} - V_t$ ,  $V_b = V_{GS2} - V_t$  e o parâmetro de processo  $\alpha = 1$ ,  $I_S$  é uma corrente dependente de processo e  $U_t = \frac{kt}{q}$ . A tensão diferencial de entrada é definida como:

$$V_{id} = V_{in1} - V_{in2} \quad (1.13)$$

Através da manipulação das Equações de 1.10 a 1.13, tem-se que:

$$I_{tot1} = \frac{aI_B}{1 + e^{\frac{V_{id}}{nU_t}}} \quad (1.14)$$

$$I_{tot2} = \frac{aI_B}{1 + e^{\frac{V_{id}}{nU_t}}} \quad (1.15)$$

Assumindo-se que  $v_{id} \ll 2nU_t$  (aproximação para pequeno sinal), pode-se estabelecer que:

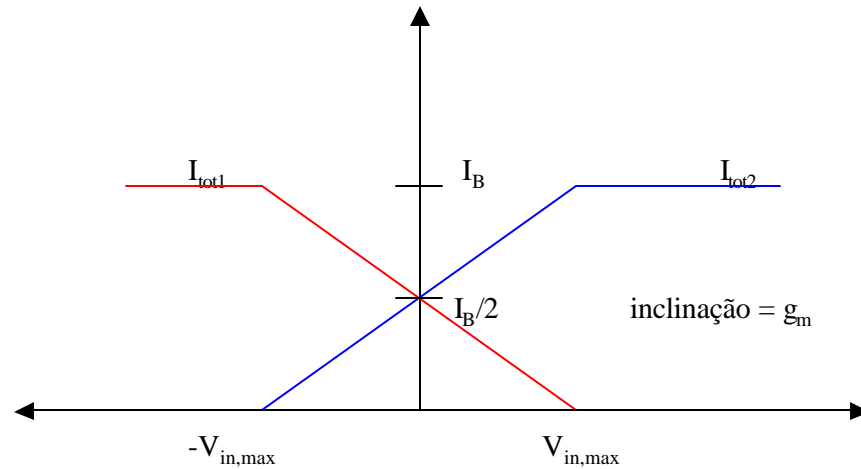
$$I_{tot1} = \frac{aI_B}{2} + g_m \frac{V_{id}}{2} \quad (1.16)$$

$$I_{tot2} = \frac{aI_B}{2} - g_m \frac{V_{id}}{2} \quad (1.17)$$

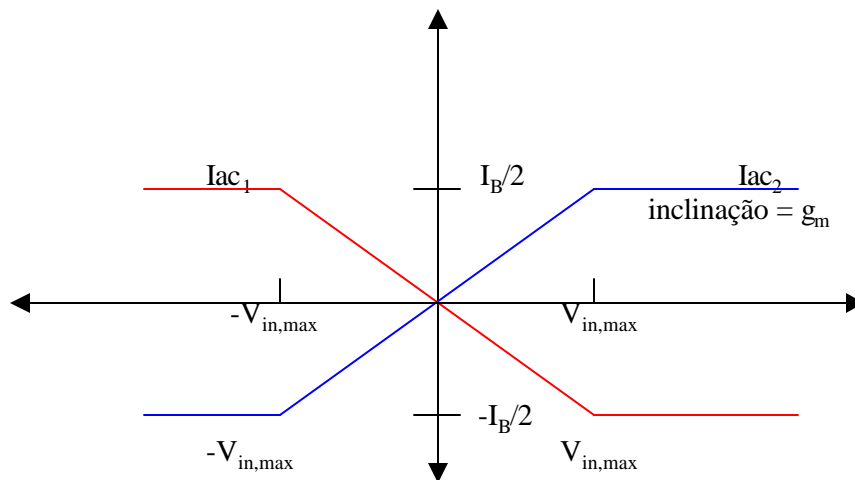
Onde,  $g_m = \frac{I_B}{2nV_t}$  e  $a = 1$ .

A corrente total de saída para o par diferencial tipo P pode ser obtida de forma análoga. Nota-se que estas equações coincidem com as Equações 1.8 e 1.9. Desta forma, observa-se que as expressões são geralmente independentes da tecnologia e das regiões de operação. Cada corrente de saída no par diferencial de entrada é constituída por uma corrente DC (corrente de polarização) e uma corrente ac (pequeno sinal). Nas Equações 1.8 e 1.9, o primeiro e o segundo termos do lado direito representam os sinais dc e ac, respectivamente.

A Figura 1. 4 mostra o comportamento da corrente total e da corrente ac em relação a tensão diferencial de entrada. Nota-se que a corrente total de saída fica limitada entre zero e  $I_B$  enquanto que a corrente ac se limita entre  $-I_B/2$  e  $I_B/2$ . Como a inclinação da característica de transferência é proporcional à  $g_m$  que, por sua vez, é proporcional à corrente de polarização, um maior valor de  $I_B$  resulta em uma inclinação mais acentuada.



(a)



(b)

Figura 1. 4 - Características da Corrente Total de Saída para (a) Grande e (b) Pequeno sinal.

## 1.4 Princípio de Operação do Par Complementar

Na seção anterior foram desenvolvidas expressões universais para as correntes instantâneas de saída de um par diferencial simples com implementação em tecnologia VLSI. Estas equações são gerais e servem para qualquer região de operação. Com as notações e as direções de correntes estabelecidas na Figura 1. 5.a, os pares de corrente de dreno ( $I_{n1}, I_{n2}$ ) e ( $I_{p1}, I_{p2}$ ) do estágio complementar de entrada podem então ser expressos da seguinte forma:

$$I_{n1} = \frac{I_N}{2} + g_{mn} \frac{V_{id}}{2} \quad (1.18)$$

$$I_{n2} = \frac{I_N}{2} - g_{mn} \frac{V_{id}}{2} \quad (1.19)$$

$$I_{p1} = \frac{I_P}{2} + g_{mp} \frac{V_{id}}{2} \quad (1.20)$$

$$I_{p2} = \frac{I_P}{2} - g_{mp} \frac{V_{id}}{2} \quad (1.21)$$

Com a variação de tensão de entrada de modo comum  $V_{CM}$  por toda a faixa de tensão de alimentação, os pares complementares de entrada podem operar em três regiões distintas, assim como ilustrado na Figura 1. 5.b.

### Região I:

Quando  $V_{CM}$  está próximo ao pólo negativo, o estágio de entrada P opera completamente, de modo que a sua corrente é máxima, ou seja, seu valor é igual a  $I_B$ . Por outro lado, a corrente no estágio de entrada tipo N é nula ou não alcança o valor de  $I_B$ .

$$I_N < I_P = I_B$$

$$g_{mn} < g_{mp} = g_{m,max}$$

### Região II:

Quando  $V_{CM}$  está na região intermediária, as correntes de saída em ambos os pares atingem seu valor máximo que é  $I_B$ . Desta forma tem-se:

$$I_N = I_P = I_B \quad g_{mp} = g_{mn} = g_{m,max}$$

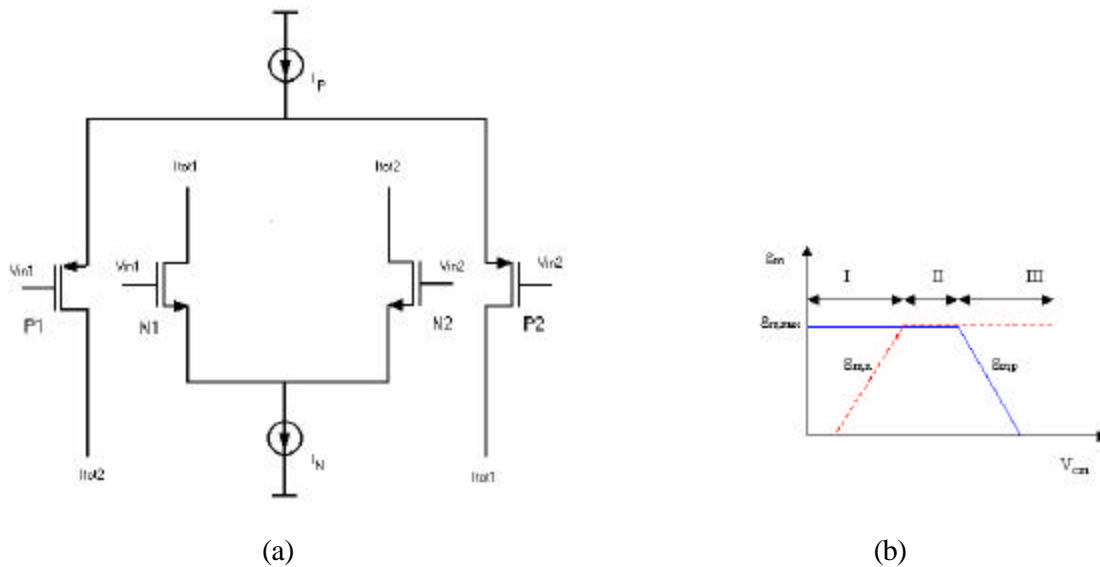


Figura 1. 5 - (a) Estágio de Entrada Complementar e (b) Variação da Transcondutância em Relação a  $V_{CM}$ .

### Região III:

Quando  $V_{CM}$  está próximo do pólo positivo da alimentação, o estágio de entrada tipo N opera totalmente e sua corrente é máxima, ou seja, o seu valor é igual a  $I_B$ . De modo inverso à região I, a corrente no estágio de entrada tipo P é nula ou de valor menor que  $I_B$ .

$$I_P < I_N = I_B$$

$$g_{mp} < g_{mn} = g_{m,max}$$

A variação das transcondutâncias  $g_{mn}$  e  $g_{mp}$  em relação à tensão de entrada de modo comum pode ser observada na Figura 1. 5.b. Uma das idéias principais deste trabalho é a estabilização do valor de  $g_{m,max}$  que, na verdade, é o valor máximo entre  $g_{mn}$  e  $g_{mp}$ . Isto implica na estabilização da soma das correntes ( $I_T = I_{tot1} + I_{tot2}$ ), ou seja, nas regiões I, II e III, o valor de  $I_T$  deve ser constante. Isto é alcançado facilmente nas regiões I e III, porém é na região II que se tem a maior dificuldade para a obtenção de  $I_T$  constante. A técnica da sobreposição das regiões de transição pode resolver este problema e será discutida no próximo capítulo.

## CAPÍTULO 2

### AMPLIFICADOR OPERACIONAL PROPOSTO

#### 2.1 Considerações Iniciais

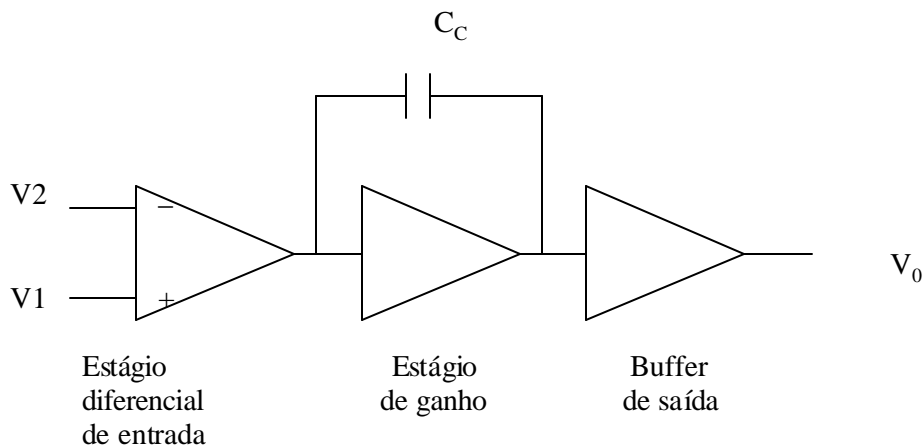


Figura 2.1 - Estrutura Básica do Amplificador Operacional.

O amplificador operacional é composto basicamente de três grandes estágios: entrada, saída e o estágio intermediário de ganho, como esquematizado na Figura 2.1. Atualmente, tem-se aumentado a procura por circuitos analógicos com operação em baixa tensão. Esta redução da tensão de alimentação implica numa reduzida faixa de entrada da tensão de modo comum e, portanto, deve ser projetado o amplificador, de forma a alcançar total excursão de tensão. Em relação ao estágio de saída, um amplificador operacional pode atender essa exigência com um simples projeto classe A ou classe AB. Na verdade, o problema principal reside no projeto do estágio de entrada. A arquitetura clássica de dois estágios [29] exige uma função de transcondutância com excursão total do sinal de tensão e operação tanto com  $g_m$  constante como com corrente limitada. Esta exigência se deve para que tanto a frequência de corte de ganho unitário quanto a taxa de inclinação (“slew-rate”) sejam mantidas em toda a faixa de entrada em modo comum. Portanto deve ser projetado um estágio de entrada pólo-a-pólo (“rail-to-rail”) que permita a variação do sinal de entrada de modo comum desde o potencial negativo até o potencial positivo da fonte de alimentação. Para atender a condição acima, este estágio utiliza dois pares diferenciais complementares operando em paralelo. Quando o sinal de entrada de modo comum está próximo de um destes potenciais, apenas um

destes pares encontra-se em operação e o outro par é cortado. Na região intermediária da faixa de entrada de modo comum, tanto o par diferencial N quanto o par diferencial P entram em operação e, desta forma, o valor total da transcondutância resultante será o dobro da transcondutância exibida por apenas um par diferencial (já que ambos pares apresentam o mesmo valor de  $g_m$ ). Por esse motivo, a transcondutância total não é constante durante toda a faixa de entrada de modo comum. Este é um fenômeno indesejável, pois resulta em um ganho variável e, conseqüentemente, em frequência de ganho unitário variável. Outra inconveniência gerada é a degradação da relação de rejeição de modo comum (CMRR) que resulta em funcionamento incorreto do circuito.

A literatura apresenta técnicas para se atingir  $g_m$  constante [9]-[18]. Esta estabilização do valor de  $g_m$  sobre a faixa de modo comum pode ser implementada pela variação da corrente residual no par diferencial ativo, para que seu valor de  $g_m$  dobre enquanto o outro par estiver inativo. Uma maneira prática de se conseguir isto seria a utilização de um transistor que detecte quando um dos pares tiver perdido suficiente corrente de dreno para sua operação e então, desviar esta corrente por meio de um transistor [9]-[12]. Uma técnica alternativa seria o aumento da corrente de polarização, em cada lado, por um fator de quatro e adicionar novos transistores em cada par diferencial, tendo um comprimento três vezes maior do que os componentes ativos. Desta forma o valor de  $g_m$  é dobrado, minimizando-se assim o erro causado pelo par inativo [18]. Neste tipo de implementação, o transistor de desvio deve ser três vezes maior que o transistor de condução, o que causa uma corrente adicional ao sinal.

Para solucionar o inconveniente relatado, foi relacionada uma nova implementação que utiliza um transistor de desvio do mesmo tamanho dos transistores de condução [20]. Outra técnica proposta se baseia no processamento do sinal de corrente [19]. Neste caso, os sinais de corrente dos ramos P e N são comparados, e apenas a corrente máxima é selecionada e processada, mantendo assim constante o valor de  $g_m$ . Todas estas técnicas sugeridas necessitam de um grande número de componentes adicionais como espelhos de corrente [9]-[11] e circuitos de processamento de sinal (circuito selecionador de máximo [19], que necessita também de vários espelhos de corrente além de um circuito de desvio de corrente). Todas estas implementações tornam o estágio de entrada muito mais complicado e inevitavelmente vai requerer maior área de silício e maior consumo de energia em comparação aos estágios de entrada convencionais. Além do mais, estas técnicas degradam a CMRR [23], [24].

Por seu melhor desempenho e simplicidade em relação às outras técnicas, foi estabelecida a utilização do amplificador com regiões de transição sobrepostas.



## 2.2 Estágio de Entrada com Regiões de Transição Sobrepostas

O diagrama esquemático do estágio de entrada é mostrado na Figura 2. 2, onde  $M_{1n}$ ,  $M_{2n}$ ,  $M_{1p}$ ,  $M_{2p}$  constituem os pares diferenciais de entrada tipo N e tipo P, respectivamente. A transcondutância  $g_m$  [9], [16] será constante apenas se:

$$\sqrt{\beta_n I_{sn}} + \sqrt{\beta_p I_{sp}} \rightarrow \text{constante} \quad (2.1)$$

onde  $\beta_n = \mu_n C_{ox} W_n / L_n$ ,  $\beta_p = \mu_p C_{ox} W_p / L_p$ , e  $I_{sn}$  e  $I_{sp}$  são as correntes de polarização para os transistores dos pares N e P, respectivamente.

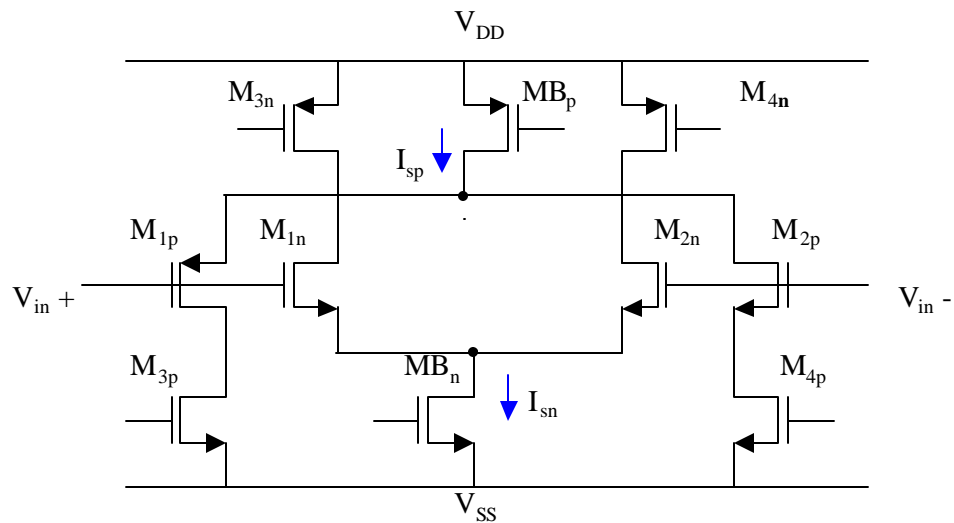


Figura 2. 2 - Estágio Complementar de Entrada.

A Figura 2. 3 mostra as três regiões de operação para  $I_{sn}$  e  $I_{sp}$ . A corrente em cada região para o par N é descrita da seguinte forma:

- Corte  $I_{sn} = 0$ ,  $V_{ss} \leq V_{CM} \leq V_n^-$  (2.2)

- Transição  $I_{sn} = I_{sn}(V_{cm})$ ,  $V_n^- \leq V_{CM} \leq V_n^+$  (2.3)

- Saturação  $I_{sn} = I_{sn0} = \frac{\beta_{MBn}}{2} (V_{GS\_MBn} - V_{ss} - V_{tn})^2$ ,  $V_n^+ \leq V_{CM} \leq V_{dd}$  (2.4)

onde  $I_{sn0}$  é a corrente de saturação para os transistores do par N,  $V_{CM}$  é a tensão de modo comum,  $V_n^-$  é o ponto de formação de canal e  $V_n^+$  é o ponto de saturação. Na região de corte,

$M_{1n}$  e  $M_{2n}$  estão em corte,  $M_{Bn}$  está na região linear e a corrente através de todos eles é zero. Na região de transição,  $M_{1n}$  e  $M_{2n}$  estão em saturação e  $M_{Bn}$  está na região linear. A tensão  $V_{DS\_MBn}$  é muito pequena quando  $V_{CM}$  é próxima de  $V_n^-$  e esta aumenta com o aumento de  $V_{CM}$ , até que  $M_{Bn}$  atinja na região de saturação. Na região onde  $I_n$  é máxima, como indicado na Equação 2.4, todos os três transistores ( $M_{1n}$ ,  $M_{2n}$  e  $M_{Bn}$ ) entram na região de saturação. Para simplificar o estudo, a região de subpolarização entre a região de corte e a região de transição não será considerada. O limite inferior da região de transição  $V_n^-$  é dado por:

$$V_n^- = V_{ss} + V_{tn} + V_{DS\_MBn} \quad (2.5)$$

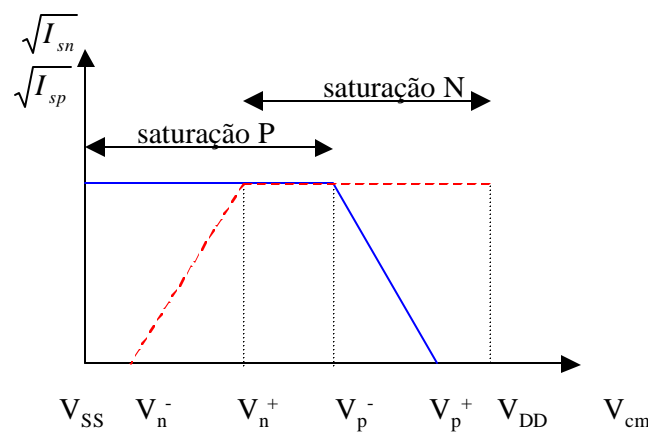


Figura 2. 3 - Comportamento das Correntes  $I_{sp}$ (linha azul cheia) e  $I_{sn}$ (linha vermelha tracejada) em Relação a  $V_{CM}$ .

O fato do valor de  $I_{D\_MBn}$  ser aproximadamente igual a zero em  $V_n^-$  e de que  $V_{GS\_MBn}$  ser sempre maior que  $V_{tn}$ , faz com que  $V_{DS\_MBn}$  possa ser desprezado; assim a Equação 2.5 pode ser escrita da seguinte forma:

$$V_n^- \approx V_{ss} + V_{tn} \quad (2.6)$$

No limite superior da região de transição  $V_n^+$ ,  $M_{Bn}$  está no ponto de transição entre as regiões linear e de saturação, ou seja,

$$V_{DG\_MBn} = -V_{tn} \quad (2.7)$$

O valor de  $V_{DG\_MBn}$  pode ser expresso como  $V_n^+ - V_{tn} - \sqrt{I_{sn0}/b_{M1n}} - V_{G\_MBn}$ . Logo,

$$V_n^+ = V_{G\_MBn} + \sqrt{\frac{I_{sn0}}{\mathbf{b}_{M1n}}} \quad (2.8)$$

Para se obter a expressão geral para  $I_{sn}$  na região de transição, serão consideradas as seguintes equações [2]:

$$I_{sn} = \beta_{M1n} (V_{cm} - V_{D\_MBn} - V_{tn})^2 \quad (2.9)$$

$$I_{sn} = \beta_{MBn} \left( V_{G\_MBn} - V_{ss} - V_{tn} - \frac{V_{D\_MBn} - V_{ss}}{2} \right) (V_{D\_MBn} - V_{ss}) \quad (2.10)$$

Para simplificação desta análise, pode-se assumir que  $\left(\frac{W}{L}\right)_{MBn} = 2\left(\frac{W}{L}\right)_{M1n}$ , ou seja:

$$\beta_{MBn} = 2\beta_{M1n} \quad (2.11)$$

A tensão  $V_{D\_MBn}$  pode ser obtida das Equações (2.9) e (2.11). Logo,

$$V_{D\_MBn} = \frac{V_{cm} + V_{G\_MBn}}{2} - V_{tn} - \frac{1}{2} \sqrt{2(-V_{tn} + V_{G\_MBn} - V_{ss})^2 - (V_{cm} - V_{G\_MBn})^2} \quad (2.12)$$

Substituindo-se  $V_{D\_MBn}$  da Equação (2.12) na Equação (2.9), tem-se que:

$$I_{sn} = \beta_{M1n} \left[ \frac{V_{cm} - V_{G\_MBn}}{2} + \frac{1}{2} \sqrt{2(-V_{tn} + V_{G\_MBn} - V_{ss})^2 - (V_{cm} - V_{G\_MBn})^2} \right]^2 \quad (2.13)$$

Pode ser observado nesta última equação que  $I_{sn}=0$  para  $V_{CM}=V_n^-$  e  $I_{sn}=I_{sn0}$  para  $V_{CM}=V_n^+$ . Os limites da região de transição para o par P podem ser obtidos de forma similar. Então,

$$V_p^+ = V_{dd} + V_{tp} \quad (2.14)$$

$$V_p^- = V_{G\_MBp} - \sqrt{\frac{I_{sp0}}{\mathbf{b}_{M1p}}} \quad (2.15)$$

De onde se obtém:

$$I_{sp} = \beta_{M1p} \left[ \frac{-V_{cm} - V_{G\_MBp}}{2} + \frac{1}{2} \sqrt{2(-V_{tp} + V_{G\_MBp} - V_{dd})^2 - (V_{cm} - V_{G\_MBp})^2} \right]^2 \quad (2.16)$$

Pode-se verificar desta equação que  $I_p=0$  para  $V_{CM}=V_p^+$  e  $I_{sp}=I_{sp0}$  para  $V_{CM}=V_p^-$ , onde  $I_{sp0}$  é a corrente na região de saturação para o par diferencial P, ou seja,  $I_{sp0}=(\hat{\alpha}_{MBP}/2)\cdot(-V_{G\_MBP}+V_{dd}+V_{tp})^2$ .

Embora as Equações (2.13) e (2.16) sejam obtidas com a suposição indicada na Equação (2.11), a própria suposição não é realmente exigida. Desta forma pode-se utilizar estas equações nas futuras análises. As Equações (2.13) e (2.16) mostram que  $\sqrt{I_{sn}}$  é monotonicamente crescente na região de transição enquanto que  $\sqrt{I_{sp}}$  é monotonicamente decrescente nesta região. Se as regiões de transição dos pares P e N estão corretamente sobrepostas, pode ser alcançado um valor relativamente constante para a soma  $\sqrt{I_{sn}} + \sqrt{I_{sp}}$ .

Por simetria entre os pares N e P, pode-se considerar que  $I_{sp0}=I_{sn0}$ ,  $\beta_{M1p}=\beta_{M1n}$ , e  $V_{G\_MBp}=V_{G\_MBn}$  e também assumir que  $V_{tp}=V_{tn}$ . Lembrando-se que os limites da região de transição são expressos pelas Equações (2.6), (2.8), (2.14) e (2.15), onde  $V_n^-$  (ou  $V_p^+$ ) é principalmente determinada pelos parâmetros de processo como a tensão de limiar e  $V_n^+$  (ou  $V_p^-$ ) depende das dimensões dos transistores dos pares diferenciais. Assim,

$$V_p^- = V_n^- \quad (2.17)$$

ou, equivalentemente:

$$V_n^+ = V_p^+ \quad (2.18)$$

Isto significa que as regiões de transição dos pares N e P estão sobrepostas. Como mostrado na Figura 2. 4,  $V_p^-$  foi posicionada propositalmente no mesmo lugar de  $V_n^-$ , e  $V_n^+$  na posição de  $V_p^+$ . Das Equações (2.8) e (2.14), tem-se que:

$$V_{G\_MBn} + \sqrt{\frac{I_{sp0}}{\beta_{M1n}}} = V_{dd} + V_{tp} \quad (2.19)$$

Conseqüentemente,

$$\beta_{M1n} = \frac{I_{sn0}}{(V_{dd} + V_{tp} - V_{G\_MBn})^2} = \beta_{M1p} \quad (2.20)$$

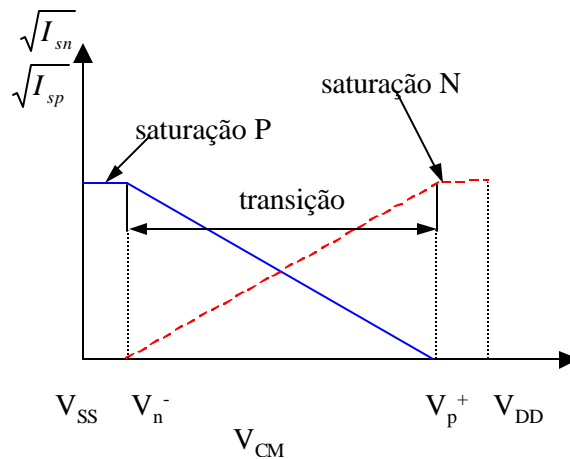


Figura 2. 4 - Regiões de Transição Sobrepostas.

Com os  $\beta_s$  determinados pela Equação (2.20), as duas regiões de transição ficam sobrepostas.

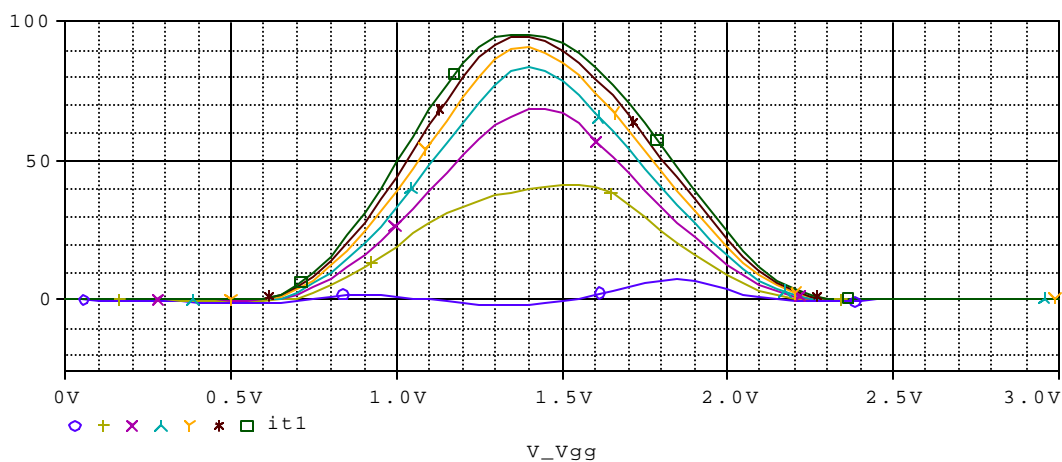


Figura 2. 5 - Fator de Transcondutância  $g_m$  para Diversos Valores de  $\beta$ .

Dados alguns valores para  $I_{sn0}=11\text{A}$ ,  $V_{DD}=1.5\text{V}$ ,  $V_{tp}=-0.8\text{V}$ , e  $V_{G_{MBn}}=-0.25\text{V}$ ,  $\beta_{M1n}$  tem um valor de  $12\text{A/V}^2$ . A Figura 2. 5 mostra os valores simulados de  $g_m$  por  $V_{CM}$  com diversos valores de  $\beta$  (9;8;7;6;5;4;3  $\text{A/V}^2$ ) para o estágio de entrada complementar. O valor mais constante para  $g_m$  é alcançado quando  $\beta$  é igual a  $9\text{A/V}^2$ ; um valor relativamente próximo do valor de  $12\text{A/V}^2$  que foi calculado teoricamente. Logo este fato pode comprovar a análise teórica descrita. Na Figura 2. 5 pode se observar que o melhor valor para  $g_m$  teria uma variação máxima de 9%. Supondo-se  $KP_{n1}=60\text{A/V}^2$  e com o valor de  $\beta=12\text{A/V}^2$  que já havia sido calculado anteriormente foi encontrado para  $M_{1n}$  uma relação de 1/5. As relações para os transistores de entrada dos pares diferenciais são calculados para serem menores que a

unidade para os transistores N e próximas da unidade para os transistores P. Estes pequenos valores de  $\beta$  para os pares diferenciais de entrada ampliam e linearizam as regiões de transição onde o aumento de  $\sqrt{I_{sn}}$  e a diminuição de  $\sqrt{I_{sp}}$  se cancelam mutuamente, gerando assim um valor constante para  $g_m$ . Infelizmente, a pequena relação para os pares diferenciais provoca o alargamento das regiões de transição e pode degradar o ruído e também deixar o circuito mais sensível às desigualdades entre os transistores do par diferencial.

## 2.3 Estágio de Entrada Complementar com Deslocadores de Nível DC

Pela análise realizada na seção anterior, sabe-se que um valor constante para  $g_m$  é alcançado, se as regiões de transição forem apropriadamente sobrepostas. Pode ser observado nas Equações (2.13) e (2.16) que  $\hat{\alpha}$  é proporcional à inclinação das curvas de corrente ( $I_{sn}$  ou  $I_{sp}$ ) na região de transição. A Figura 2.6 mostra (a) a curva de operação do par diferencial complementar com regiões de transição sobrepostas e o circuito de deslocamento de tensão.

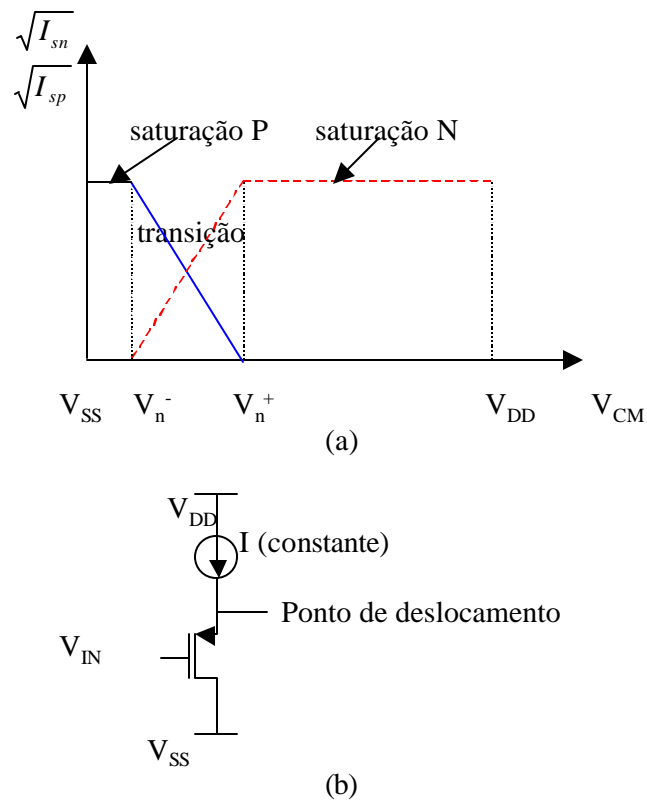


Figura 2. 6 – (a) Regiões de Transição Sobrepostas e (b) Circuito de Deslocamento.

Para se obter a sobreposição das regiões de transição e se preservar a inclinação original da curva (mantendo o valor original de  $\hat{a}$  constante) na região de transição, pode ser introduzido um deslocador de nível dc para desviar, para a esquerda, a curva de transição P e produzir uma sobreposição desta curva com a curva de transição N, como apresentado na Figura 2. 6. Se o nível de deslocamento for muito pequeno, o valor de  $g_m$  ultrapassa o valor nominal constante. Por outro lado, se o nível de tensão de deslocamento for muito grande,  $g_m$  ficará abaixo do valor constante nominal. Existe um valor para o deslocamento em que se alcança o valor otimizado ( $\ddot{A}V_{\text{ótimo}}$ ) para  $g_m$ . Este ponto de deslocamento otimizado pode ser obtido por um circuito seguidor-de-fonte.

Levando-se em conta a dificuldade matemática para se obter este valor de  $\ddot{A}V_{\text{ótimo}}$ , foi utilizado uma aproximação para se identificar a estreita faixa em que se encontra este seu valor do deslocamento de tensão  $\ddot{A}V_{\text{shift}}$ . Esta faixa pode ser definida da seguinte maneira [2]:

$$2V_{G\_MBn} < \ddot{A}V_{\text{ótimo}} < V_{G\_MBn} + V_{Tn} + V_{ss} \quad (2.21)$$

A Figura 2. 7 mostra o valor simulado para a soma  $\sqrt{I_{sn}} + \sqrt{I_{sp}}$  versus  $V_{CM}$  para diferentes valores de deslocamento de nível de tensão. Estão relacionadas seis curvas para diferentes valores de  $\ddot{A}V_{\text{shift}}$  (0; 0,2; 0,4; 0,6; 0,8 e 1,33 V) e pode-se verificar a retificação da curva da variação percentual de  $\sqrt{I_{sn}} + \sqrt{I_{sp}}$  versus  $V_{CM}$ . Para  $\ddot{A}V_{\text{shift}} \approx 1.33V$ , valor este que se encontra entre o limite inferior  $2V_{G\_MBn} = 1.2V$  e o limite superior  $V_{G\_MBn} + V_{tn} + V_{ss} = 1.37V$ , assim como foi previsto pela Equação (2.21).

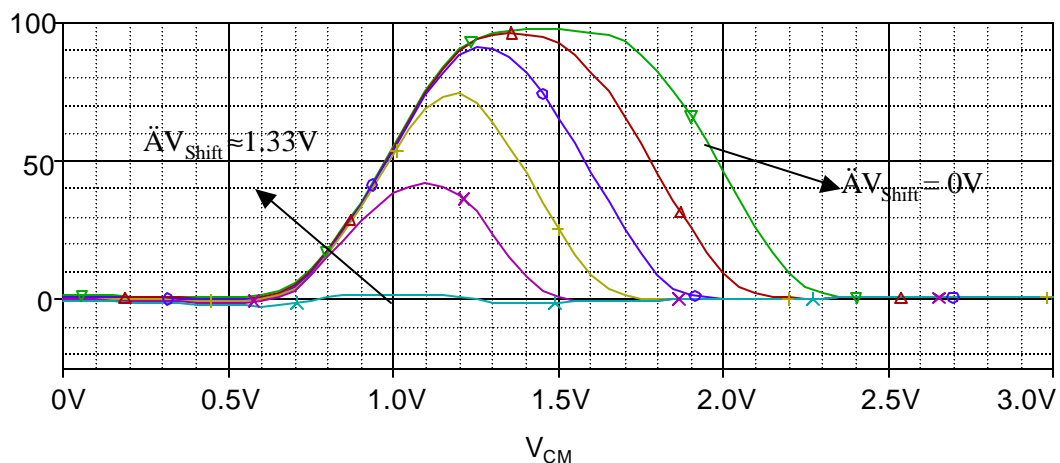


Figura 2. 7 - Fator de Transcondutância  $g_m$  para Diferentes Níveis de Deslocamento DC.

Pode-se notar pela Figura 2. 7 que o valor ótimo para  $\ddot{A}V_{\text{shift}}$  é próximo do limite superior  $V_{G\_MBn} + V_{tn} + V_{ss}$ . Isto significa que as duas regiões de transição estão bastante

afastadas e, desta forma, será necessário um alto valor de deslocamento de tensão para se obter a correta sobreposição das regiões de transição. Na prática não se alcança um valor totalmente constante para  $g_m$  e, assim, uma tolerância máxima de 9% para a variação de  $g_m$  será considerada razoável.

## 2.4 Estágio de Saída Classe AB

O estágio de saída contém o estágio de ganho e o circuito de controle classe AB. Este estágio deve apresentar alto valor de ganho, ser compacto, consumir baixa potência, ter boa capacidade de corrente de saída, além de operar com excursão total da faixa de tensão de alimentação (“rail-to-rail”). O desempenho do amplificador operacional

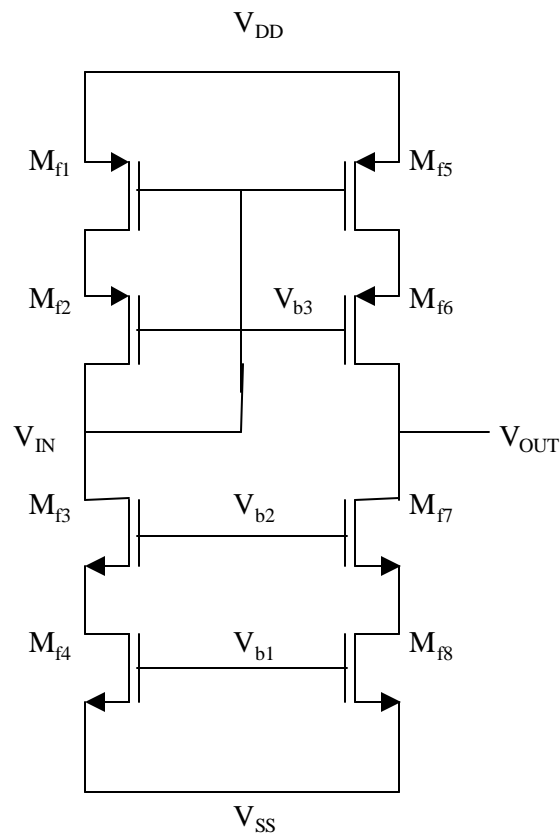


Figura 2. 8 - Arquitetura Cascode Virado.

pode ser otimizado pelo aumento do ganho. O modo mais fácil para se conseguir alto valor de ganho é a utilização de um estágio de ganho na configuração cascode. A Figura 2. 8 apresenta a arquitetura típica do circuito cascode virado. O terminal de saída é conectado



no dreno dos transistores centrais. A corrente diferencial de entrada é recebida no dreno de  $M_{f4}$  e  $M_{f8}$ . De acordo com [29], o ganho total na saída deste estágio é dado por:

$$A_{tot} = g_{m,in} (g_{m,Mf6}r_{o6}r_{o5} // g_{m,Mf7}r_{o7}r_{o8}) \quad (2.22)$$

onde  $g_{m,in}$  é a transcondutância e  $r_o$  é a resistência de saída para pequeno sinal.

Ainda que esta arquitetura possa apresentar este alto ganho, o desempenho do amplificador operacional é degradado, ou até mesmo pode deixar de funcionar, se uma carga de baixo valor resistivo for aplicada na saída. Isto se deve ao fato desta arquitetura apresentar uma alta resistência de Thévenin na saída. Além do mais, a excursão do sinal de saída desta arquitetura está limitada por duas regiões de saturação, devido à existência de transistores empilhados. Entretanto estes problemas podem ser resolvidos pela adição de um estágio de saída com dois transistores em fonte-comum, assim como ilustrado na Figura 2. 9. As tensões de porta  $V_{C1}$  e  $V_{C2}$  são obtidas da saída do circuito cascode. Estas tensões devem estar em fase, porém, com diferentes níveis de tensão para garantir a correta polarização dos transistores.

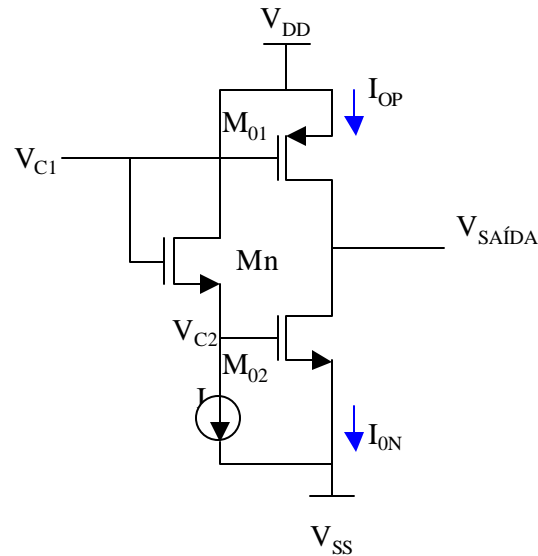


Figura 2. 9 - Estágio de Saída Classe AB.

A principal função do estágio de saída é fornecer a potência necessária a uma determinada carga com o menor nível de distorção possível. Nos projetos em baixa tensão e baixa potência isto pode ser conseguido através da utilização eficiente de uma fonte de tensão e de uma fonte de corrente. A utilização eficiente da fonte de tensão consiste em se garantir a

maior excursão possível do sinal de saída. Os transistores de saída são conectados em configuração fonte-comum. A utilização eficiente da fonte de corrente é conseguida com uma alta relação entre a corrente consumida pela carga e a corrente quiescente do estágio de saída, através da polarização dos transistores de saída em classe AB. A operação do estágio de saída deve ser caracterizada da seguinte forma:

1. Estrutura simples - evita o aparecimento de pólos adicionais;
2. Ampla excursão da tensão de saída – mesmo com baixa resistência e alta capacitância de saída;
3. Boa capacidade de corrente e baixa corrente em estado inativo - evita dissipação de potência adicional;
4. Alto fator de transcondutância - eleva o ganho e possibilita a operação em frequências mais elevadas.

A função do estágio de saída classe AB é não permitir que os transistores de saída comutem para o estado desligado. Desta forma o efeito de distorção do sinal é eliminado.

Os transistores complementares de saída são conectados na configuração fonte comum e devem manter uma pequena corrente e ainda dissipar a menor potência estática possível. Com uma polarização adequada, os transistores são impedidos de comutarem para o estado desligado e se obtém um bom desempenho para altas frequências de operação. A Figura 2. 10 mostra a característica I-V desejada para o estágio de saída classe AB.

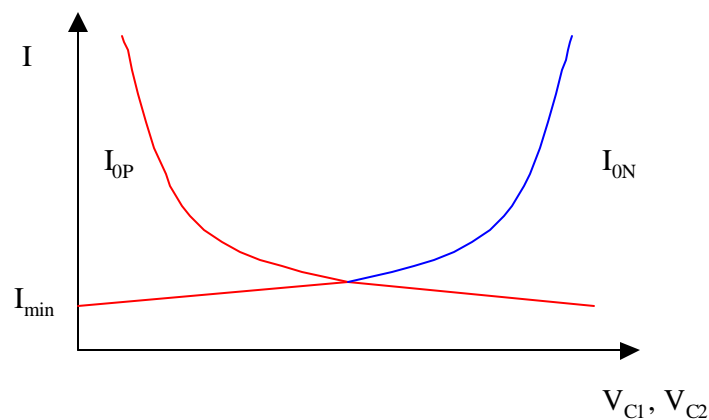


Figura 2. 10 - Característica I-V para o Estágio de Saída Classe AB.

Pode-se observar que mesmo que uma corrente seja muito alta a outra permanece em um valor baixo. Em projetos práticos de amplificador operacional é frequentemente utilizado o estágio de saída tipo “push-pull”. Este circuito consiste de dois transistores complementares  $M_{01}$  e  $M_{02}$  conectados em configuração fonte-comum, permitindo assim a operação pólo-a-pólo. Os transistores de saída recebem dois sinais de tensão em fase. Se o sinal de entrada é alto, a corrente de dreno do transistor de saída N será maior do que a corrente de dreno do transistor P e, em conseqüência, o sentido da corrente será da carga para o estágio de saída. De outra forma, se a tensão de entrada é baixa, o sentido da corrente é do estágio de saída para a carga.

A eficiência do estágio de saída deve ser a maior possível, ou seja, a relação entre a corrente de saída (consumida pela carga) e a corrente quiescente deverá ser a maior possível. Para se garantir esta condição, pode-se utilizar o estágio de saída polarizado em classe B, onde a corrente quiescente é praticamente nula. No entanto, a operação em classe B traz o problemas da distorção por cruzamento. Este fenômeno é minimizado quando se polariza o circuito para operação em classe A, que por sua vez, possui baixa eficiência. Para se garantir o equilíbrio entre distorção e eficiência, o estágio da saída deve ser polarizado para operar em um ponto intermediário entre classe A e classe B, denominado polarização classe AB.

A operação classe AB do estágio de saída pode ser conseguida, fazendo-se constante a tensão entre as portas dos transistores de saída. Para evitar o desligamento dos transistores, o valor nas portas de  $M_{01}$  e  $M_{02}$  não podem ficar muito próximos de  $V_{DD}$  e  $V_{SS}$ , respectivamente.

## **2.5 Amplificador Operacional com Deslocadores de Nível DC no Estágio de Entrada**

A Figura 2. 11 mostra o amplificador operacional com os deslocadores de nível dc (“dc level shift” – em marrom) no estágio de entrada complementar. O par de deslocadores de nível dc foi implementado através de dois pares de seguidor-de-fonte PMOS (MS1-MS4), como indicado na Figura 2. 11.

O amplificador operacional é constituído por três estágios: estágio de entrada complementar, estágio cascode (M21-M28), e estágio de saída classe AB (M30- M33). Os transistores MB1 e MB11 são utilizados para a polarização do circuito e as suas dimensões determinam  $V_{G\_MBn}$  e  $V_{G\_MBp}$ , respectivamente.



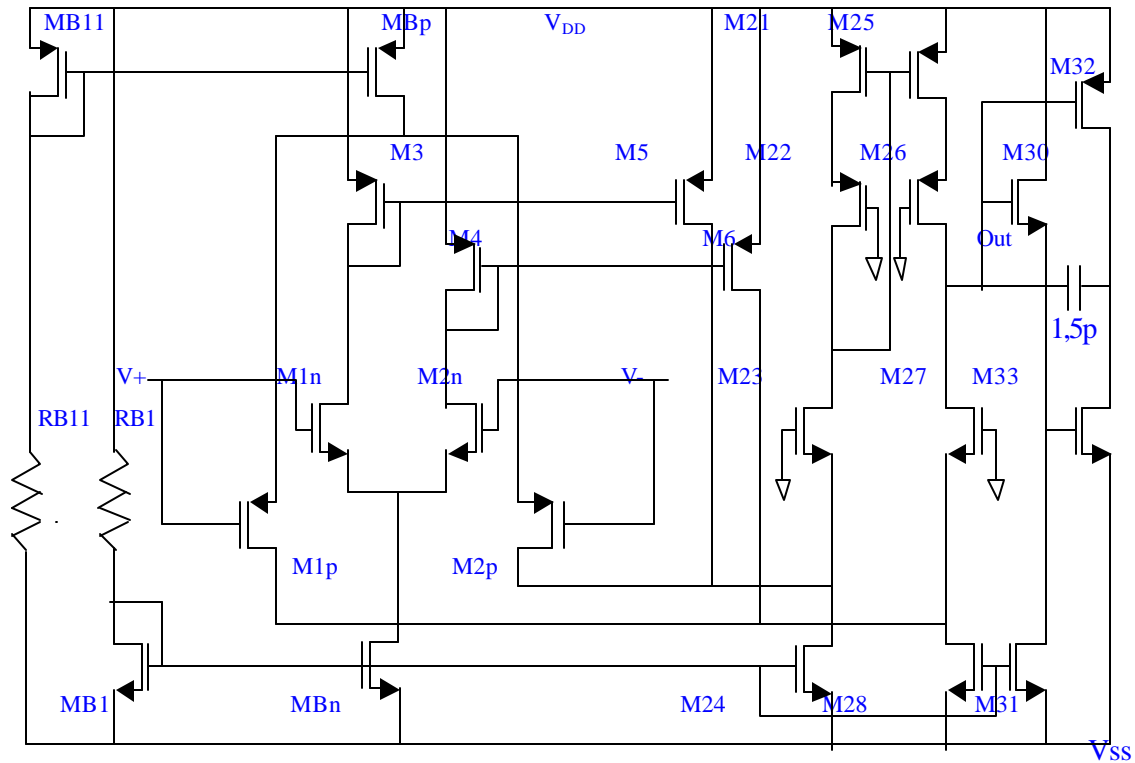


Figura 2. 12 – Amplificador sem Deslocadores para Referência.

Tabela 2.1 – Resistências e Dimensões dos Transistores.

MB1, MBn, M24, M28 12um/2,4um	MB11, MBp 44,4um/2,4um	M1n, M2n 33,6um/2,4um
M3, M4, M5, M6, M21, M25, M23, M27 24um/1,2um	M22, M27 18um/2,4um	M1p, M2p 80,4um/2,4um
M31, M32 4,8um/2,4um	M22, M27 96um/2,4um	M32, M33 48um/1,2um
M31 2,4um/1,2um	RB1 120KΩ	RB11 100KΩ

## 2.6 Simulações

Nesta seção estão disponíveis os resultados obtidos na simulação para o amplificador operacional completo e o comparativo para um amplificador de referência, assim como o da Figura 2. 12.

A Tabela 2.1

Tabela 2. 1 mostra os parâmetros mais importantes para os amplificadores. Serão apresentadas as características dc, ac, transiente e distorção harmônica.

Os amplificadores têm tensão de alimentação de 0V no pólo negativo e de 3V no pólo positivo. Na saída dos amplificadores foram conectadas, em paralelo, uma carga resistiva de  $10K\Omega$  e uma carga capacitiva de 10pF.

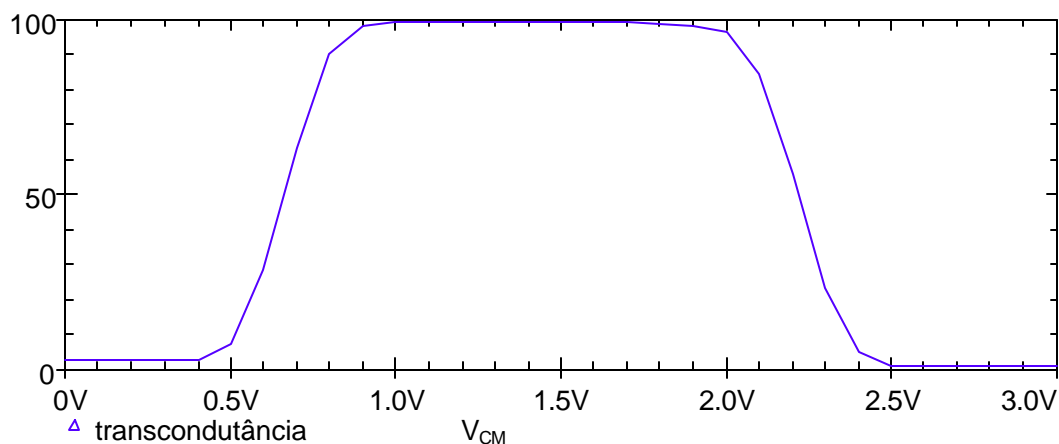
Tabela 2. 1 - Tipos de Simulações Realizadas.

Característica DC	Transcondutância de entrada ( $g_m$ )
	Característica de entrada-saída
	Tensão de off-set
Característica AC	Ganho de malha aberta em baixa frequência ( $A_{DC}$ )
	Margem de fase de malha aberta
	Frequência de ganho unitário
	Razão de rejeição de modo comum (CMRR)
	Razão de rejeição da fonte de alimentação (PSRR)
Característica de transiente	Taxa de inclinação (slew-rate)
Distorção Harmônica Total (THD)	

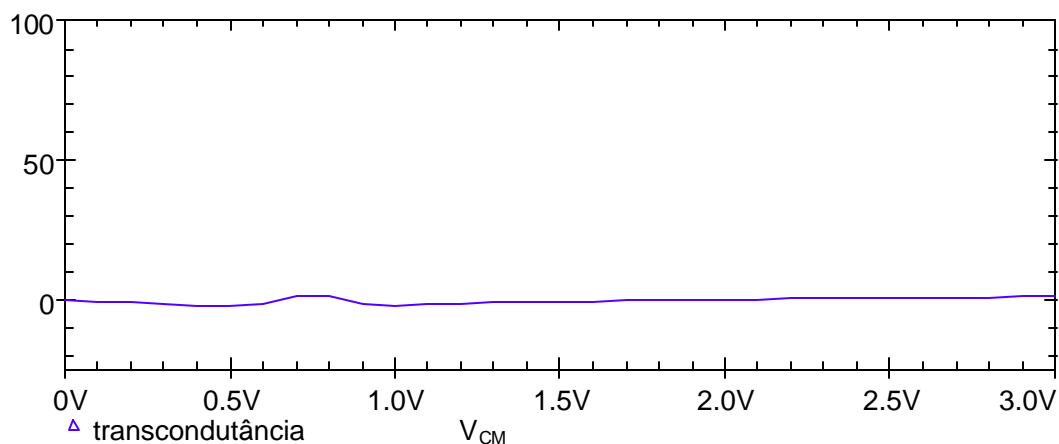
### 2.6.1 Característica DC

A característica DC é determinada pelo teste da transcondutância de entrada, faixa de tensão da entrada e da saída, e pela tensão de “off-set”. A Figura 2. 13 mostra a variação

percentual da transcondutância do estágio de entrada em função da tensão de entrada de modo comum. A transcondutância varia de aproximadamente 5% no circuito com  $g_m$  controlado, enquanto que, para o amplificador referência, a variação é de aproximadamente 100%, ou seja, seu valor é praticamente duplicado.



(a)



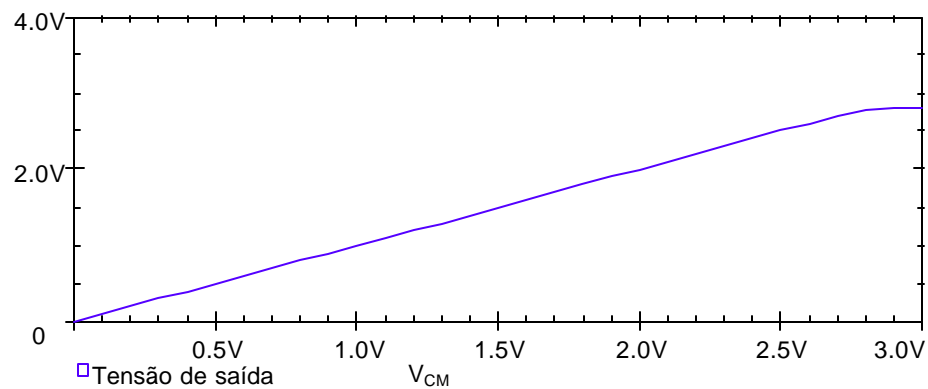
(b)

Figura 2. 13– Variação Percentual da Transcondutância do Estágio de Entrada (a) para o Amplificador Referência e (b) para o Amplificador Proposto.

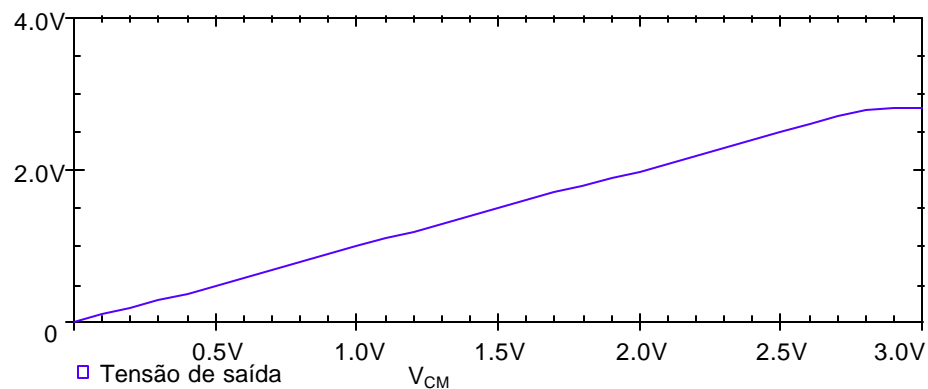
Verifica-se assim que o estágio de entrada do circuito proposto produz um fator de transcondutância ( $g_{mT}$ ) praticamente constante devido a utilização dos deslocadores de nível.

As Figuras 2.15 e 2.16 mostram, respectivamente, a relação de tensão de entrada e de saída, e a tensão de “off-set” ( $v_{off}$ ) dos amplificadores. A simulação foi realizada estabelecendo-se a configuração de ganho unitário e variando-se a tensão de modo comum ( $V_{CM}$ ) de 0 a 3V. Os resultados da característica entrada-saída mostram que a saída sempre

acompanha a entrada, inclusive para os valores extremos da tensão de alimentação. As tensões de “off-set” são devidas a desigualdades de parâmetros ( $V_T$ ,  $k$  e  $W/L$  entre outros) durante o processo de fabricação [2]. Já que essas desigualdades são produzidas aleatoriamente, a tensão de “off-set” também deve ser analisada por complexos padrões aleatórios e estatísticos. Entretanto, para simplificar os estudos, estas análises não serão consideradas neste trabalho.



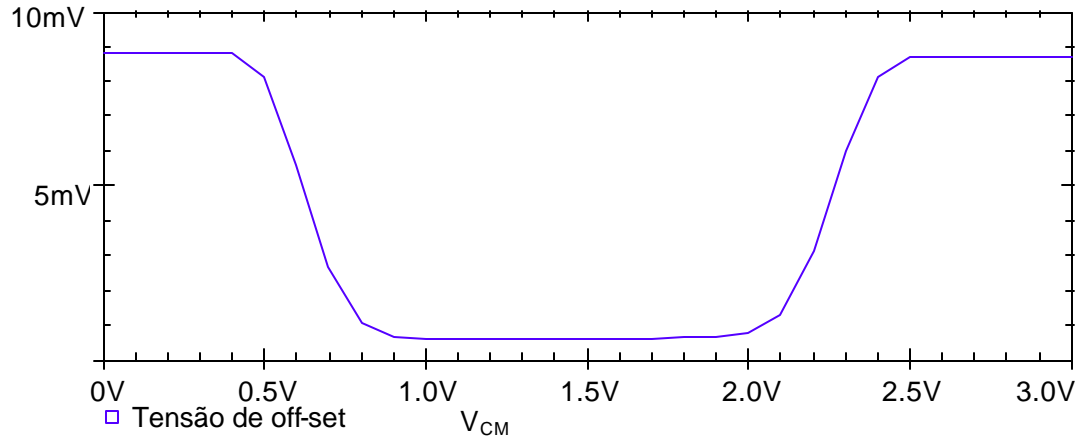
(a)



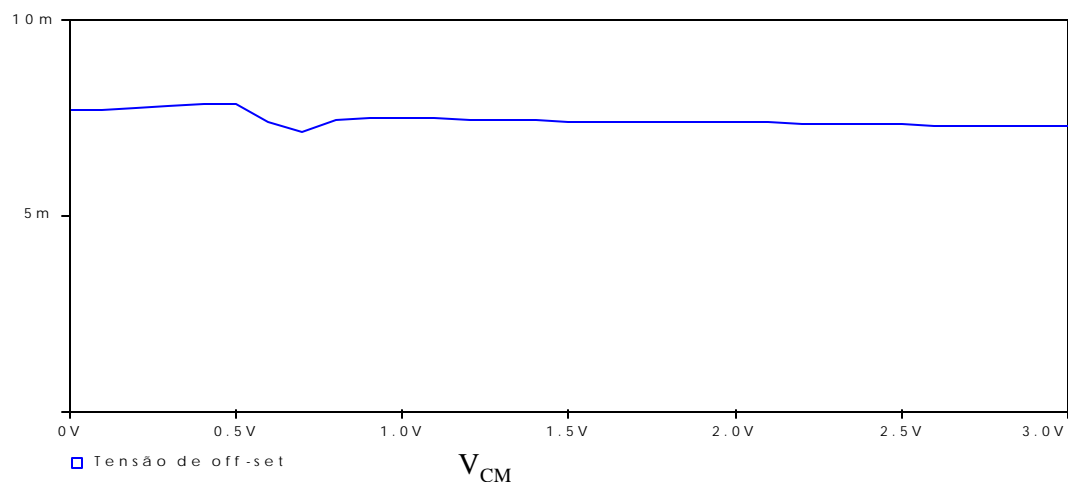
(b)

Figura 2. 14 – Relação de Tensão de Entrada e de Saída (a) para o Amplificador de Referência e (b) para o Amplificador Proposto.





(a)



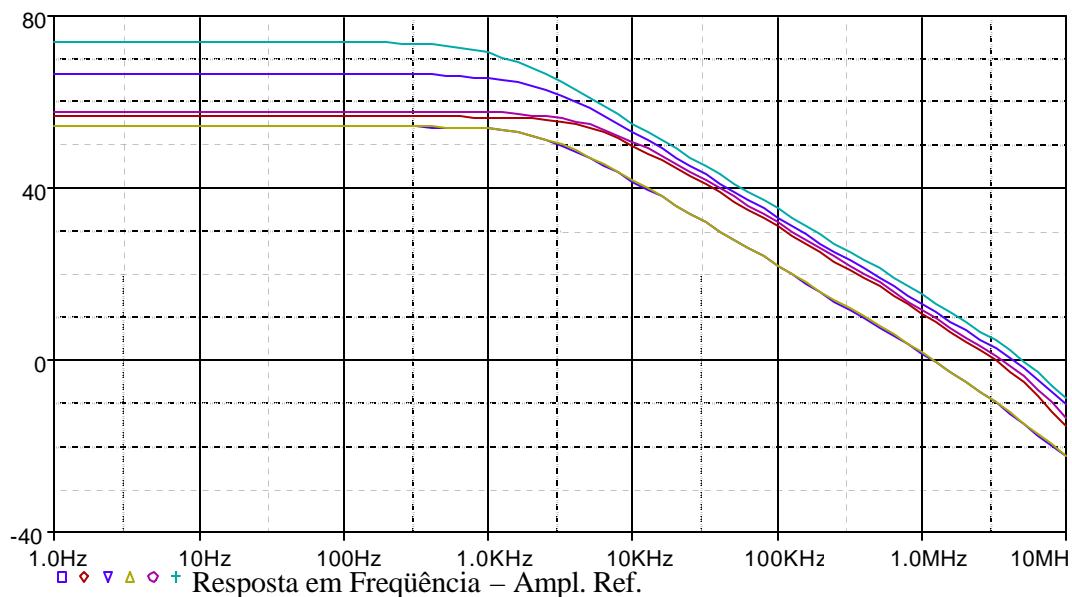
(b)

Figura 2. 15 – Tensão de off-set (a) para o Amplificador de Referência e (b) para o Amplificador Proposto.

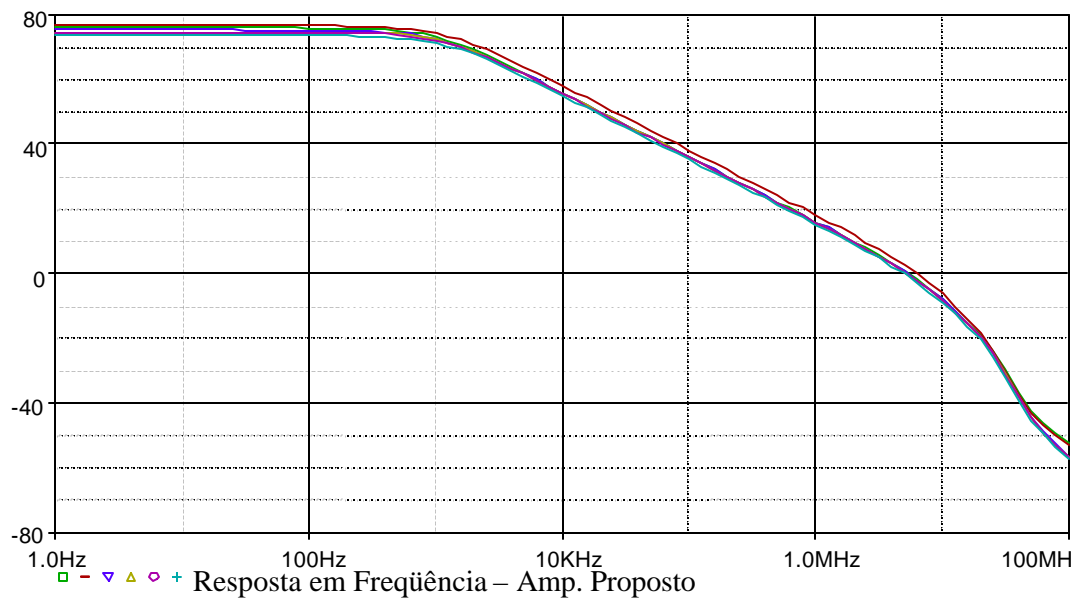
### 2.6.2 Características AC

As características ac dos amplificadores são determinadas por testes de resposta em frequência de malha aberta, ganho de malha aberta em baixa frequência, margem de fase e frequência de ganho unitário, relação de rejeição de modo comum (CMRR) e relação de rejeição de fonte de alimentação positiva e negativa. A Figura 2. 16 mostra os resultados simulados da resposta em frequência em malha aberta para valores distintos de tensão de

modo comum (0; 0,5; 1,0; 2,0; 2,5 e 3V). Para o amplificador de referência, as amplitudes e as fases são fortemente dependentes da tensão de entrada de modo comum  $V_{CM}$ , que pode variar de zero a 3V.



(a)



(b)

Figura 2. 16 - Resposta em Freqüência (a) para o Amplificador de Referência e (b) para o Amplificador Proposto.

O amplificador sem deslocadores é mais instável devido à alta variação de  $g_{mT}$  e não pode ser facilmente compensado. Como já se podia esperar, o ganho diferencial em baixa frequência  $A_{DC}$ , bem como a frequência de ganho unitário  $f_u$  são maiores para valores de  $V_{CM}$  próximos a 1,5V. Isto ocorre porque o fator de transcondutância  $g_{mT}$  é maior nesta região de operação, variando assim o ganho por um fator de 2 (dois), ou seja, de 5,5dB.

A resposta em frequência para o amplificador proposto evidencia que as amplitudes e as fases são quase independentes de  $V_{CM}$ . Comparando-se as respostas apresentadas, pode-se observar uma melhoria substancial na resposta em frequência do amplificador operacional proposto em relação ao amplificador operacional simples.

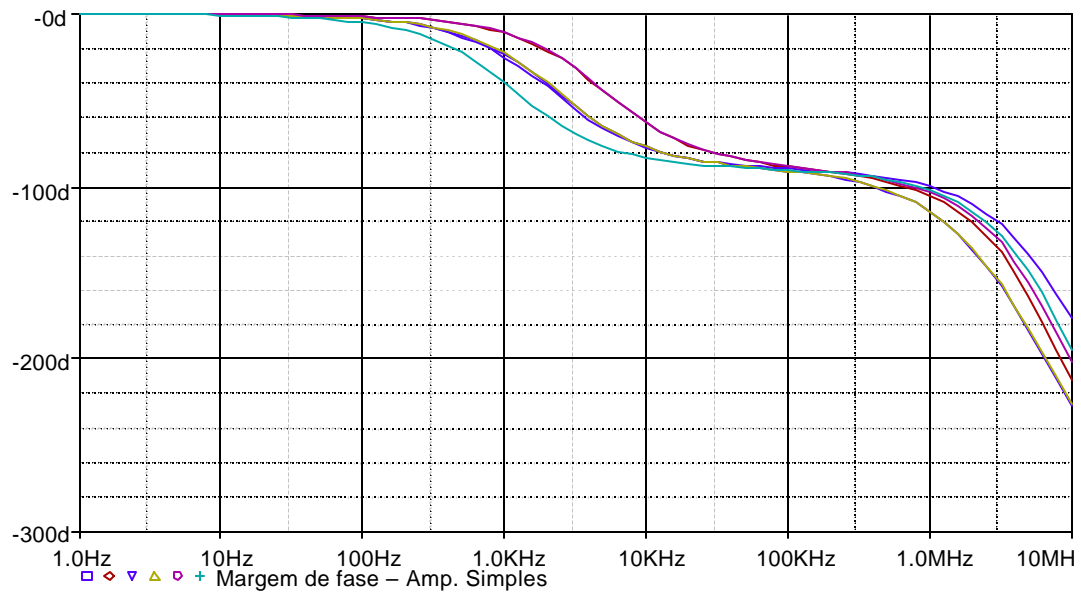
Os parâmetros  $A_{DC}$  e  $f_u$  são praticamente constantes para valores de  $V_{CM}$  variando pelos extremos dos pólos de alimentação. Isto só é possível porque o estágio de entrada mantém constante o valor de  $g_{mT}$ . Na Figura 2.17 pode-se observar como a margem de fase se mantém mais constante em relação a  $V_{CM}$  para o amplificador proposto (valores de 0; 0,5; 1; 2; 2,5 e 3 V para  $V_{CM}$ ). A Figura 2. 18 apresenta a simulação da relação de rejeição de modo comum, CMRR. Esta simulação foi realizada em baixa frequência e com variação de  $V_{CM}$  por toda a faixa de alimentação. As simulações foram realizadas com duas fontes de tensão dc idênticas ( $V_{CM}$ ) em série com duas fontes de tensão ac ( $v_{cm}$ ) conectadas nos terminais de entrada do amplificador, que se encontra em configuração de ganho unitário. Estudos realizados [33] mostram que se o ganho diferencial é suficientemente maior que o ganho de modo comum, tem-se:

$$CMRR = \frac{V_{cm}}{V_o} \quad (2.23)$$

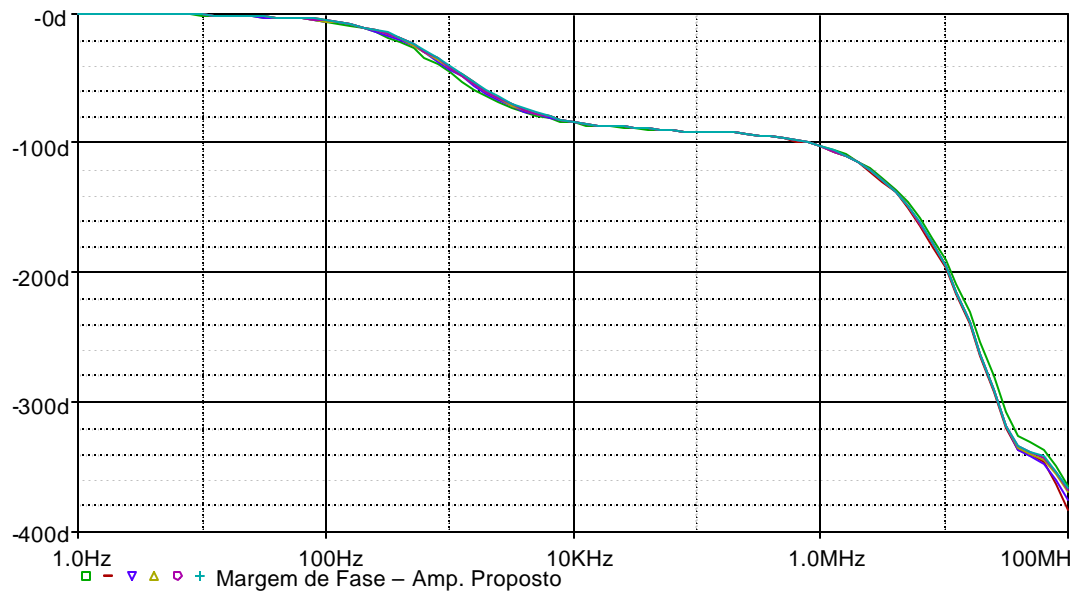
Estes estudos mostram que em baixa frequência, o valor de CMRR é proporcional à resistência de pequeno sinal  $r_s$  da fonte de corrente que produz a corrente de polarização  $I_b$  e, em alta frequência, é proporcional a  $g_m$ .

Pode-se observar uma redução da CMRR para os circuitos e isto se deve ao fato de que em alguma região de  $V_{CM}$ , as fontes de corrente que produzem a corrente de polarização estão na região de transição. A variação de CMRR está representada pela linha tracejada para o amplificador simples e pela contínua para o amplificador proposto.

O amplificador proposto alcança um desempenho superior, pois, o dado mais importante é o valor mínimo do CMRR. Com o uso dos deslocadores de tensão, a degradação da CMRR tem redução de 45dB e, sem estes deslocadores, a redução é de aproximadamente 55db.



(a)



(b)

Figura 2. 17 – Margem de Fase (a) para o Amplificador de Referência e (b) para o Amplificador Proposto.

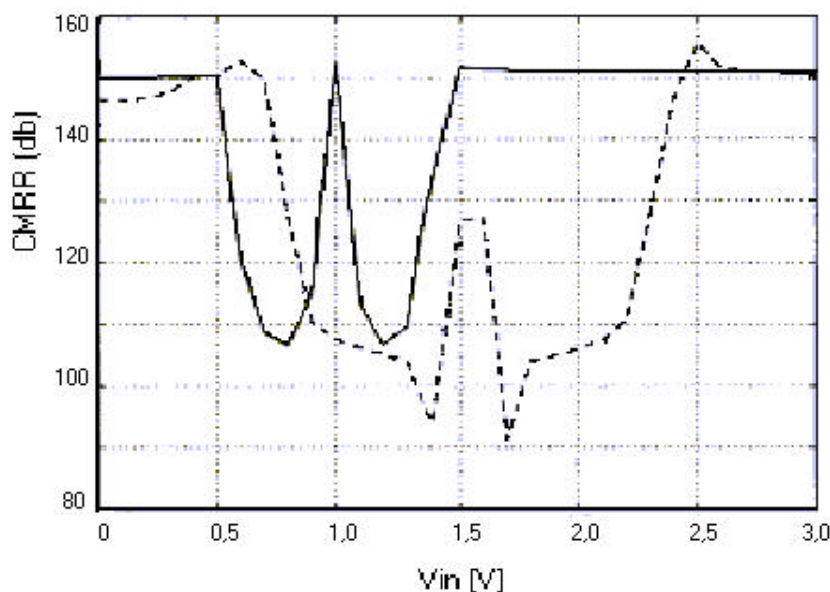


Figura 2. 18 - Relação de Rejeição de Modo Comum – CMRR.

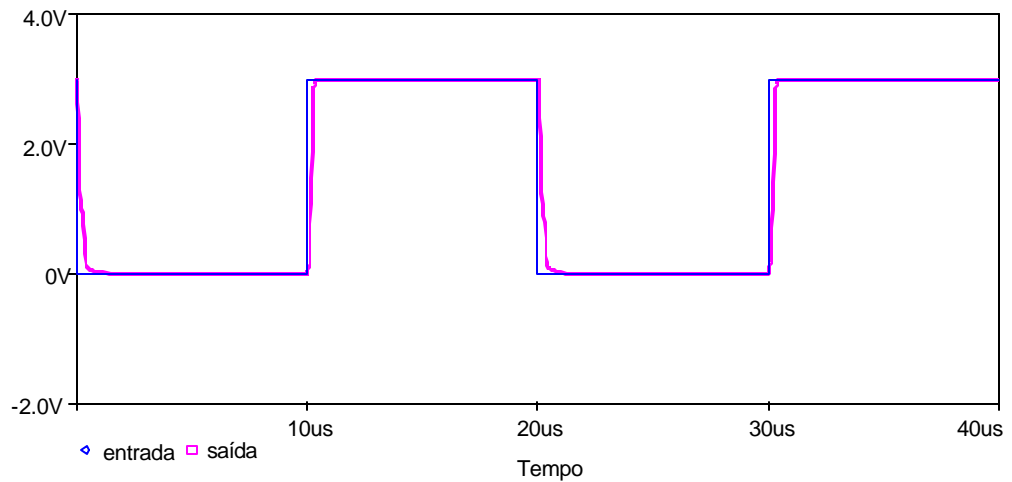
A simulação da relação de rejeição de fonte de alimentação (PSRR) é realizada com a aplicação de uma fonte de tensão ac como ruído no pólo positivo e no pólo negativo da fonte de alimentação. É realizada em configuração de ganho unitário e afeta, principalmente, o estágio de ganho cascode [2], assim não há grandes diferenças de resultados entre os amplificadores tanto para PSRR+ do pólo positivo como para PSRR- do pólo negativo da fonte de alimentação.

### 2.6.3 Taxa de Inclinação (“Slew-Rate”) e Distorção Harmônica Total (THD)

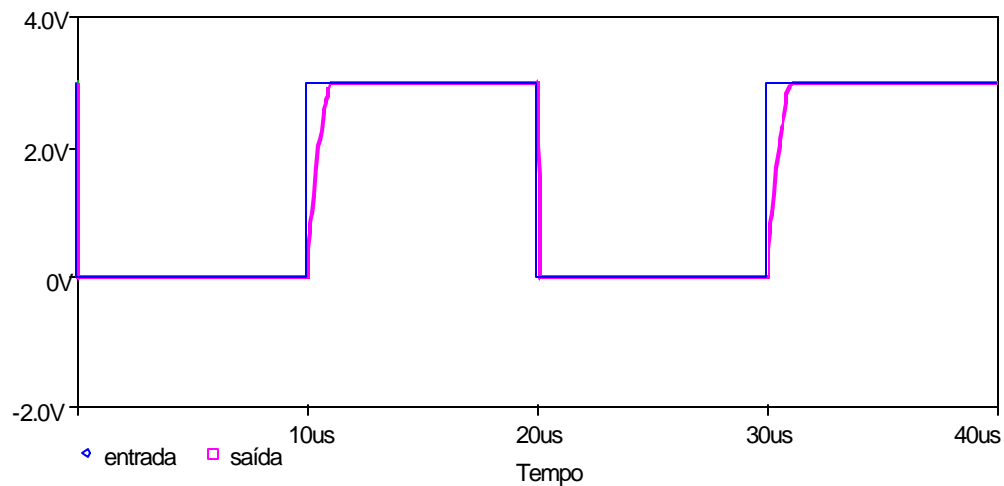
A Figura 2. 19 apresenta a resposta a um degrau aplicado na entrada dos amplificadores operacionais. A slew-rate pode ser definida como a maior taxa possível de variação de tensão e é proporcional à corrente de polarização e ao valor da capacitância de compensação. Previamente se espera que o amplificador simples seja mais rápido para carregar o capacitor, pois a sua corrente de polarização é sempre maior que  $I_B$ . Os circuitos com  $g_m$  constante consomem mais potência, pois contêm circuitos adicionais. Porém, como a maior parte da potência é consumida nos estágios de ganho e de saída, a diferença de consumo dos amplificadores é desprezível.

A Tabela 2. 3 mostra os resultados simulados para a Distorção Harmônica Total (THD) para o amplificador simples e para o amplificador proposto neste capítulo. Como já discutido anteriormente, a grande variação de  $g_m$  causa distorção do sinal e assim THD fica

dependente de  $V_{CM}$ . A tabela mostra que no amplificador simples, para  $V_{CM} = 1$  ou  $2V$ , onde  $g_{mT}$  tem a maior taxa de variação, a distorção THD é 4 (quatro) vezes maior. Esta distorção é ainda mais visível nas frequências superiores. Isto ocorre, pois em alta frequência, o ganho dc é reduzido. Já os amplificadores com  $g_m$  constante não sofrem tanto este problema com a distorção THD.



(a)



(b)

Figura 2. 19 - Resposta a um Degrau (a) para o Amplificador de Referência e (b) para o Amplificador Proposto.

Tabela 2.3 - Distorção Harmônica Total “THD”.

$f_0 = 10\text{KHz}$		THD (%)	
$V_{CM}(V)$	$\tilde{\delta}_{in}(V)$	OP1	OP2
0,5	0,2	0,0045	0,0022
0,8	0,2	0,095	0,0002
1,1	0,2	0,016	0,0021
1,4	0,2	0,0005	0,0037
1,7	0,2	0,014	0,0005
2,0	0,2	0,093	0,0012
2,3	0,2	0,0069	0,001
2,5	0,2	0,007	0,0064
1,5	0,3	0,0056	0,0026
1,5	0,4	0,011	0,0037
1,5	0,5	0,02	0,0057
1,5	0,6	0,045	0,015
1,5	0,7	0,076	0,028
$f_0 = 100\text{KHz}$			
0,8	0,2	0,89	0,012
1,4	0,2	0,063	0,024
2,0	0,2	0,81	0,012
1,5	0,5	0,19	0,054
$f_0 = 200\text{KHz}$			
0,8	0,2	1,77	0,042
1,4	0,2	0,015	0,05
2,0	0,2	1,7	0,042
1,5	0,5	0,39	0,21

A Figura 2.20 apresenta de forma gráfica os resultados da distorção harmônica total em relação a  $V_{CM}$ , com  $f_0 = 10\text{ KHz}$  e  $\tilde{\delta}_{in} = 0,2[V]$ , para o amplificador proposto e para o amplificador de referência.

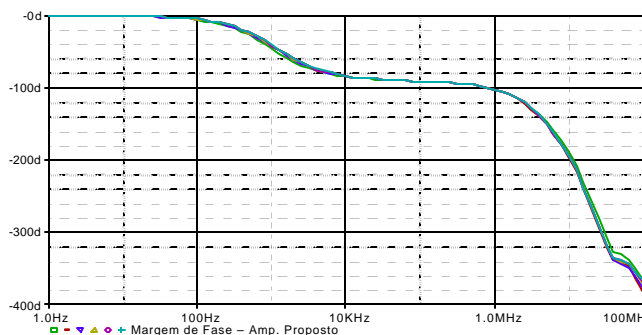


Figura 2.20 – THD (%) com  $f_o = 10 \text{ KHz}$  e  $v_{in} = 0,2[V]$

Desta forma, apenas a queda do ganho em alta frequência poderia prejudicar o fator de distorção THD do sinal para o amplificador proposto. Com o aumento da frequência, a degradação do sinal se intensifica para ambos circuitos e ainda através da própria Tabela 2. 3, pode-se observar que a distorção é menor quando se tem o fator de transcondutância  $g_m$  constante.

## 2.7 Resumo para o Amplificador Proposto

Os resultados obtidos pela simulação do amplificador proposto estão resumidos na Tabela 2. 4.

Tabela 2. 4 - Resultados da Simulação.

Parâmetro	Valor
Tensão de “off-set” de entrada	8 mV
Faixa de tensão CMRR	0 a 2,93 V
Excursão de tensão de saída	0 a 3 V
Ganho de tensão	88 dB
GBW	2.5 MHz
CMRR mínimo	105 dB
“Slew-rate”	12 V/ $\mu$ s
Máximo entrada (1% THD)	1,8 $\mu$ V



## CAPÍTULO 3

### APLICAÇÃO I – CIRCUITO AMOSTRA-E-RETÉM

#### 3.1 Considerações Iniciais

Embora os circuitos digitais sejam dominantes nos sistemas eletrônicos atuais, não podem ser desprezados os papéis dos circuitos analógicos na operação com os sinais processados. O processamento do sinal é geralmente realizado através de circuitos digitais, porém, para se obter a digitalização dos sinais se faz necessário o uso dos conversores analógico/digitais, pois os sinais são obtidos do meio exterior invariavelmente na forma analógica. Estes circuitos realizam a interconexão do sinal com os processadores digitais de sinais e possuem aplicações em diversas áreas como telecomunicações, bens de consumo, eletrônica automotiva, etc. A Figura 3. 1 ilustra este conceito.

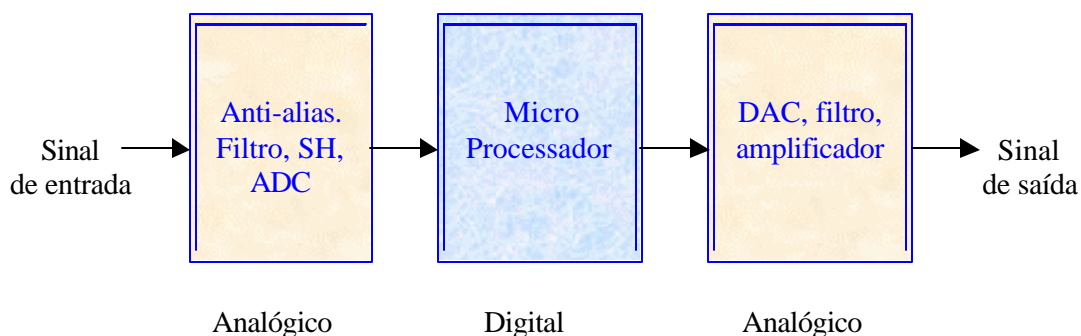


Figura 3. 1 – Processador de Sinais.

Pode-se perceber como são utilizados os circuitos analógicos nos sistemas de processamento de sinal. A tecnologia de circuitos integrados possibilita a integração de circuitos analógicos e digitais num “chip” denominado processador de sinais [7]. Os sinais, provenientes das saídas dos transdutores, estão em forma analógica. Alguns dos processamentos necessários desses sinais são mais convenientemente executados no modo analógico. Por exemplo, no sistema de instrumentação é muito comum o uso de alta impedância de entrada, alto ganho, amplificador diferencial com alta CMRR e um filtro para eliminar interferências. Contudo, usualmente são necessários processamentos adicionais de sinais para se obter o valor de um sistema de parâmetros com o propósito de fornecer uma

função de controle complexa. Um outro exemplo de processamento de sinal pode ser encontrado na transmissão de sinais. Todas essas formas de processamento de sinal podem ser feitas de modo analógico. Porém, existe uma alternativa interessante que é converter o sinal para a forma digital e, depois, realizar o processamento do sinal digital. Esse processamento pode proporcionar uma medição da intensidade do sinal e facilitar a leitura de seu valor através de um monitor de vídeo ou “display” de cristal líquido. Nos casos mais complexos, o processador de sinal digital pode executar uma variedade de operações lógicas e aritméticas que implementam um algoritmo de filtragem (processo de operação). O filtro digital resultante faz as mesmas tarefas que um filtro analógico, como a eliminação de interferências e ruídos. Um outro exemplo de processamento digital de sinal é encontrado nos sistemas de comunicações digitais, onde os sinais são transmitidos como uma seqüência de pulsos binários, com a vantagem de que a alteração das amplitudes desses pulsos pelo ruído não danifica os dados. Uma vez executado o processamento de sinal, deve-se demonstrar o resultado na forma digital, como uma lista de números impressos. Alternativamente, pode-se necessitar de uma saída analógica, assim como no caso do sistema de telecomunicações, sendo necessária uma conversão do sinal digital para a forma analógica.

O primeiro bloco do processador analógico de sinais é um bloco de pré-processamento que consiste de um filtro “anti-aliasing”, circuito amostra-e-retém, e conversor analógico digital. O circuito amostra-e-retém (SH) tem a função de preparar o sinal continuamente variável no tempo para que seja transformado em uma palavra digital no conversor A/D. O circuito SH tem então um papel muito importante neste processo já que este componente limita diretamente o desempenho de todo o sistema subsequente, ou seja, afeta características do sistema tais como a largura de faixa do sinal de entrada, relação sinal/ruído (S/N) e Distorção Harmônica Total (THD). Com a diminuição da tensão de alimentação, o sinal de entrada disponível para o circuito SH também diminui e, conseqüentemente, deteriora a relação S/N. Isto porque, embora os sinais de alimentação e de entrada são reduzidos pela mesma razão, o ruído permanece inalterável. Desta forma, torna-se muito importante que o total de sinal disponível para o circuito de conversão seja o maior possível ou até mesmo que seja igual a toda a faixa de alimentação do circuito (operação “rail-to-rail”).

Neste capítulo será utilizado o circuito amplificador operacional desenvolvido no capítulo anterior. Este será utilizado na elaboração do circuito SH, pois permite operação de sinal de entrada de um extremo ao outro da faixa de tensão de alimentação, o que possibilita o aumento da relação sinal/ruído (S/N). A sua utilização também implica na redução da distorção THD, pois apresenta fator de transcondutância  $g_m$  constante. A Seção 3.2 apresenta

o princípio de operação de um circuito SH básico. Este circuito consiste em um amplificador operacional, uma chave e um capacitor de retenção. Uma vez que o amplificador já foi discutido no capítulo anterior, serão apresentadas somente as características de operação da chave analógica e do capacitor de retenção. A Seção 3.3 apresenta os conceitos e as vantagens da utilização de amplificador com operação “rail-to-rail”, ou seja, com aproveitamento máximo da faixa de tensão disponível. Serão apresentados os conceitos de relação sinal-ruído e de largura-de-faixa. Será ainda mostrada nesta seção a análise de distorção para o circuito em configuração de ganho unitário. Na Seção 3.4 serão apresentadas as características de um circuito SH com operação “rail-to-rail” e controle do fator de transcondutância.

### 3.2 Circuito Amostra-e-Retém (SH) Básico

A amostragem do sinal analógico é a primeira etapa para o processamento. Muitas técnicas de SH são implementadas com a utilização de um amplificador básico. Com pequenas modificações no circuito proposto no capítulo anterior pode-se obter um circuito SH simples e eficiente com operação em circuitos de baixa tensão. A Figura 3.2 apresenta um circuito SH com o buffer de entrada, uma chave e um capacitor ( $C_{\text{HOLD}}$ ).

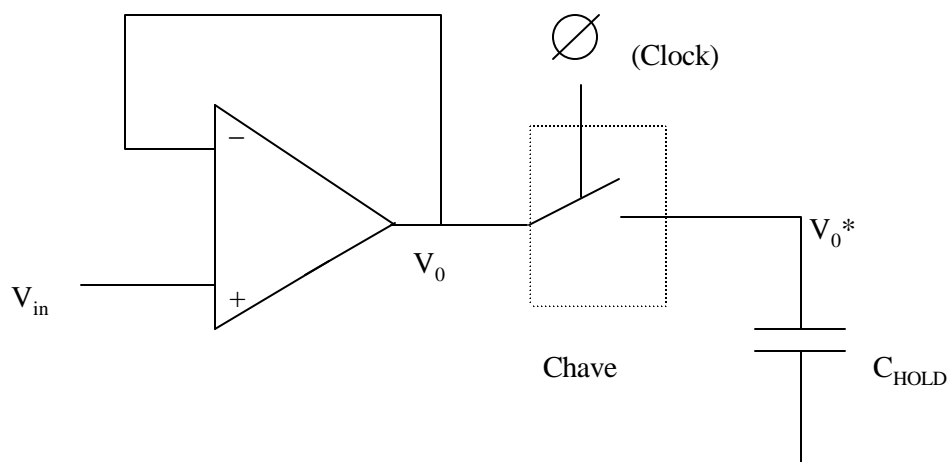


Figura 3.2 – Circuito SH Básico.

O amplificador operacional é utilizado como um amplificador “buffer” na configuração não-inversora. Este circuito SH, na configuração “buffer”, possui elevada impedância de entrada e mantém uma boa capacidade de fornecimento de corrente para a carga  $R_{ON}C_{HOLD}$  [34], onde  $R_{ON}$  é a resistência interna da chave em posição ligada e  $C_{HOLD}$  a capacitância de saída. A chave fecha sob o controle de um sinal de pulso periódico  $\emptyset$ ). O tempo de fechamento da chave é relativamente curto e as amostras de tensão do “buffer” de entrada são armazenadas no capacitor  $C_{HOLD}$  durante a fase de amostragem (chave ligada). Quando a chave é aberta, a carga armazenada no capacitor  $C_{HOLD}$ , de certo modo, permanece em nível constante, produzindo um sinal de saída que é idealmente de igual valor ao sinal da entrada. Esta função é ilustrada na Figura 3.3.

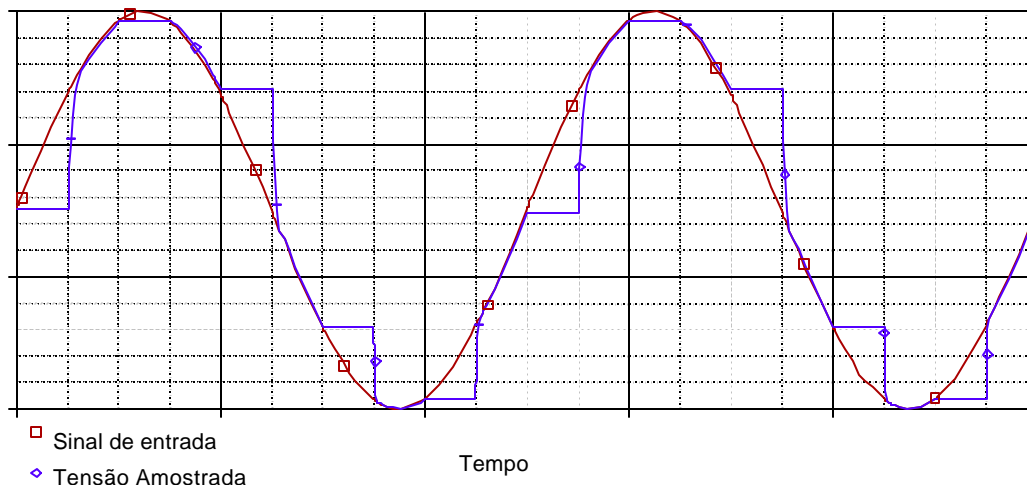


Figura 3.3 – Sinais do Circuito Amostra e Retém.

Entende-se por tempo de aquisição ( $t_a$ ), o tempo requerido ao SH para adquirir um novo valor para o sinal de entrada dentro de uma precisão estipulada quando a chave comuta do modo retenção para o modo de amostragem. O tempo de ajuste ( $t_s$ ) pode ser entendido como o tempo requerido pelo SH para o ajuste das oscilações na saída quando o SH é comutado do modo amostragem para o modo retenção. Desta forma, o tempo mínimo de amostragem e retenção é estabelecido pela soma dos tempos de aquisição e de ajuste. Assim a máxima frequência de amostragem pode ser expressa da seguinte forma:

$$f_{\text{amostragem,max}} = \frac{1}{t_a + t_s} \quad (3.1)$$

Deve ser observado que, para satisfazer o critério de “Nyquist”, a largura de faixa efetiva do sinal deve ser de pelo menos duas vezes menor que a máxima frequência de amostragem  $f_{amostragem,max}$ . De outra forma o sinal amostrado não pode ser reconstituído. Por outro lado, a frequência mínima de amostragem é determinada pela taxa de queda de tensão de saída, ou seja, a taxa em que o sinal de saída aumenta ou diminui com o tempo quando o SH está no modo de retenção. Esta queda de potencial se deve principalmente à fuga de tensão na chave MOS e no capacitor de retenção. Esta fuga de tensão também depende fortemente da tecnologia de fabricação do “chip”. Em geral esta taxa é minimizada no processo de fabricação CMOS.

### 3.2.1 Chave e Capacitor de Retenção $C_{HOLD}$

A forma mais simples para a realização da chave da Figura 3.2 é através da utilização de um transistor NMOS. Porém esta técnica traz um inconveniente que é um significativo incremento da tensão de saída quando a chave comuta para a posição desligada, isto implica em forte distorção do sinal devido à transferência de carga. A transferência de carga ocorre principalmente devido a duas razões: capacitâncias sobrepostas e redistribuição de cargas na chave MOS [35,36]. Existem inúmeras técnicas para se reduzir o efeito da transferência de cargas (efeito de realimentação de “clock”), como por exemplo, método do falso transistor [26], “clock” adaptativo [37], duplicação de circuitos para cancelamento [38], e cancelamento algébrico utilizando a técnica de cancelamento de correntes de sinal dependentes [35]. Estas técnicas, entretanto necessitam de circuitos adicionais. Neste trabalho será utilizada a chave CMOS no projeto do circuito SH devido a sua simplicidade e bons resultados de cancelamento de cargas. Além do mais, a chave CMOS possui outra vantagem, seu sinal de saída pode excursionar desde o pólo negativo até o pólo positivo da fonte de alimentação. Isto resulta em uma correta independência da resistência de canal em relação ao sinal de tensão aplicado. Esta condição é essencial à operação “rail-to-rail” descrita neste trabalho. A Figura 3.4 mostra o esquema da chave CMOS.

Os tempos de aquisição e de ajuste dependem fortemente da resistência de canal exibida pela chave MOS. Esta resistência deve ser a menor possível pois, assim, diminui o valor da constante de tempo RC. Para isto é necessário o aumento da relação de comprimento dos transistores. Por outro lado, uma área muito grande dos transistores pode dificultar o cancelamento de cargas. Um desempenho otimizado pode ser obtido a partir das dimensões indicadas na Figura 3.4. O transistor PMOS deveria ser de três vezes maior que o transistor

NMOS para equilibrar a resistência de canal; porém, esta regra não foi obedecida para se minimizar o efeito do cancelamento de cargas.

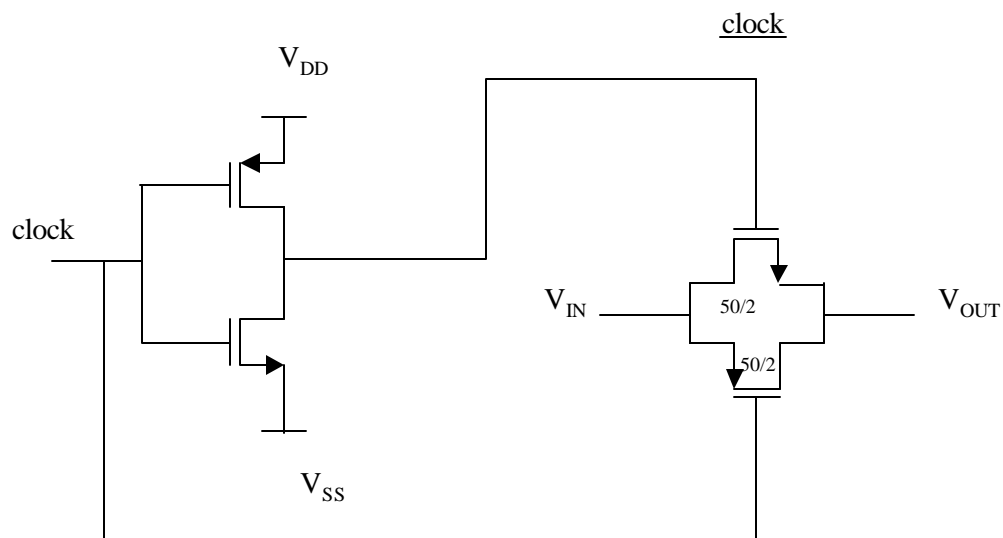


Figura 3.4 - Chave CMOS.

### 3.3 Operação “Rail-to-Rail” (R-R)

#### 3.3.1 Características do Buffer

A função básica do “buffer” é o fornecimento de corrente suficiente ao capacitor de armazenamento para aumentar o “slew-rate” e duplicar a tensão de entrada na saída com menor perda de potencial. Os amplificadores operacionais convencionais são compostos de um estágio diferencial de entrada, estágio de ganho, estágio de saída e de um capacitor de compensação e são utilizados para diversas finalidades; porém apresentam reduzida largura-de-faixa, baixa compactação e consumo relativamente alto. Estes problemas podem ser eliminados pelo uso de um amplificador diferencial simples com um espelho de corrente de carga  $M_3$  e  $M_4$ , assim como mostrado na Figura 3.5.

Nesta configuração, a corrente máxima fornecida ao capacitor de retenção é a própria corrente de polarização  $I_B$  e a “slew-rate” é dada por:

$$\text{slew-rate} = \frac{I_B}{C_{\text{HOLD}}} \quad (3.2)$$

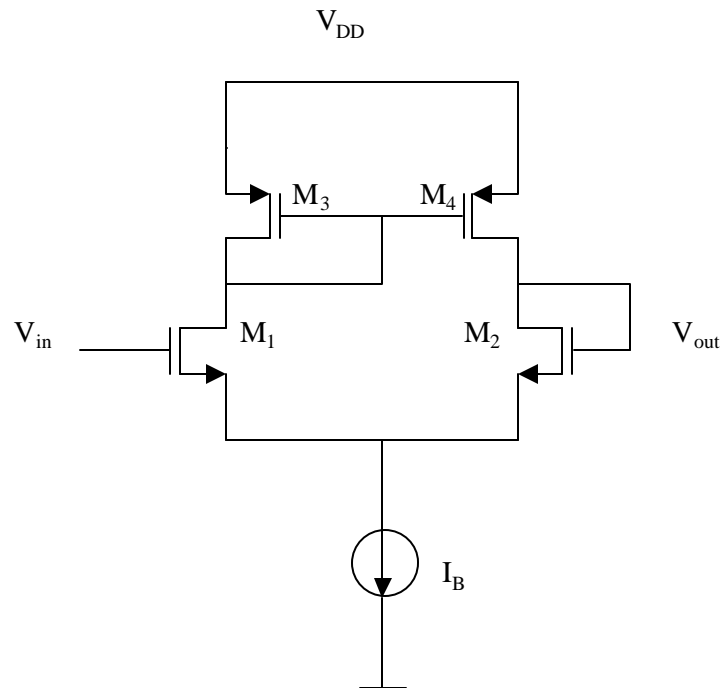


Figura 3.5 - Amplificador de Ganho Unitário de Referência.

O ganho e o fator de velocidade  $\omega_{3dB}$  são calculados da seguinte forma [2]:

$$\text{Ganho} = g_m r_o = \frac{2}{\lambda_2 + \lambda_4} \sqrt{\frac{\mu C_{ox} W_1}{I_B L_1}} \quad (3.3)$$

$$\frac{1}{\text{velocidade}} = \omega_{3dB} = \frac{1}{r_o C_o} = \frac{(\lambda_1 + \lambda_3) I_B}{C_o} \quad (3.4)$$

onde  $C_o$  é a capacitância conectada ao nó de saída. Pode ser observado nas Equações 3.3 a 3.5 que o ganho, a velocidade e o consumo apresentam comportamentos conflitantes. Por exemplo, uma operação em alta velocidade implica em baixo ganho dc, já um alto fator de “slew-rate” significa maior consumo de energia. Portanto, deve-se sempre procurar um maior equilíbrio entre estes fatores e procurar uma configuração que melhor se ajuste para cada caso em particular.

Outra característica importante dos amplificadores operacionais é a sua capacidade de operação com os sinais, pois isto limita a resolução máxima em que o conversor A/D,

subseqüente, poderá alcançar. Assim como apresentado no capítulo anterior, o amplificador diferencial da Figura 3.5 tem a seguinte capacidade de operação com os sinais de entrada [2]:

$$V_{\text{MIN}} = V_{\text{DS,sat,IB}} + \sqrt{\frac{2I_{\text{SS}}}{K_1}} + V_{\text{T1}} \quad (3.5)$$

onde  $K_1 = \mu C_{\text{ox}} \frac{W_1}{L_1}$  e

$$V_{\text{MAX}} = V_{\text{DD}} - \sqrt{\frac{2I_{\text{SS}}}{K_3}} - |V_{\text{T3}}| + V_{\text{T1}} \quad (3.6)$$

Assim, com uma tensão de alimentação de 3V, a máxima excursão de sinal do amplificador seria apenas de 1,6V.

Existem ainda dois fatores relacionados com CMR que serão discutidos: a largura de faixa e a relação sinal/ruído (S/N).

- **Relação S/N**

A relação S/N pode ser expressa da seguinte forma [2]:

$$S/N(\text{dB}) = 6,02N + 10,8 \quad (3.7)$$

onde N é a resolução do conversor A/D.

Assumindo-se um erro de “off-set” igual a zero e supondo um nível de tensão de erro da entrada (IRNV) de 1mV, o bit menos significativo LSB deve ser maior que o nível de ruído. Assim tem-se que [2]:

$$\text{LSB} = \frac{\text{FS}}{2^N} > \text{IRNV} \quad (3.8)$$

$$\text{LSB} = \frac{1,5}{2^N} > 0,001,$$

onde FS é a tensão de fundo de escala, ou seja, a tensão de entrada de modo comum (1,5V) e N é a resolução máxima do ADC.

Pela Equação 3.9 tem-se que  $N \leq 10,55$  e, conseqüentemente a máxima resolução possível para o ADC seria  $N = 10$ . De outra forma, se a tensão de fundo de escala fosse de 3V, pela



Equação 3.9, a resolução seria  $N=11$ . Assim, de acordo com a Equação 3.8, a relação S/N seria aumentada em 6dB, que é um aumento significativo em relação ao caso de  $N=10$ .

- **Largura de Faixa**

Quando a frequência do sinal se eleva, o ganho de malha aberta cai e como o ganho de malha fechada é dado por [2]:

$$A_F = \frac{A_o}{1 + A_o} \quad (3.9)$$

o nível de tensão de saída também sofre uma variação. Se este desvio é dado por:

$$\delta = V_{o,DC} - V_{o,altafrequencia} \quad (3.10)$$

e este valor é maior que  $1\text{LSB} = \left(\frac{FS}{2^N}\right)$ , o ADC recebe um valor analógico falso e, conseqüentemente, irá produzir um falso código digital em sua saída.

Em resumo, tanto a relação S/N quanto à velocidade (operação em alta frequência) podem melhorar se o SH tem capacidade de operação com uma grande faixa de sinal de entrada. Este fato é suficiente para o desenvolvimento de um circuito SH em operação “rail-to-rail”, assim como será descrito na seção seguinte.

### 3.3.3 Variação do Ganho em Malha Aberta

Existem três possibilidades para  $g_m$  em relação à tensão de entrada de modo comum  $V_{CM}$  nos pares diferenciais complementares. Infelizmente esta variação de  $g_m$  resulta em não linearidade no ganho de malha aberta. O amplificador apresenta três regiões distintas para  $A_o$  em relação a  $V_{CM}$ . A Figura 3. 6 apresenta estas regiões.

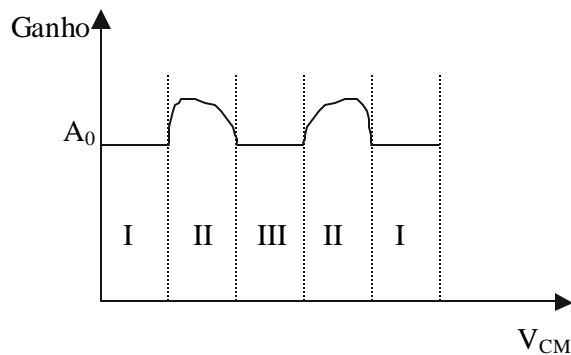


Figura 3. 6 - Variação do Ganho de Malha Aberta em Relação à  $V_{CM}$ .

**Região 1:** operação de apenas um dos pares (assumindo  $K = K_N = K_P$  e  $\lambda = \lambda_P = \lambda_N$ )[2]:

$$g_m = \sqrt{KI_B} \quad (3.11)$$

$$r_o = \frac{1}{2\lambda_{P2}I_B} // \frac{1}{2\lambda_{N4}I_B} = \frac{1}{2\lambda_{N2}I_B} // \frac{1}{2\lambda_{P4}I_B} = \frac{1}{2\lambda I_B} \quad (3.12)$$

$$A_{01} = \frac{\sqrt{K}}{2\lambda} \frac{1}{\sqrt{I_B}} \quad (3.13)$$

→ O ganho  $A_{01}$  nesta região é constante.

**Região 2:** um par opera completamente e o outro parcialmente (regiões de transição)[2]:

$$g_m = g_{mF} + g_{mP} = \sqrt{K} (\sqrt{I_B} + \sqrt{I}) \quad (3.14)$$

$$r_o = \frac{1}{2\lambda_F I_B} // \frac{1}{2I_P I} = \frac{1}{2\lambda I_B + I} \quad (3.15)$$

$$A_{02} = \frac{\sqrt{K}}{2\lambda} \frac{\sqrt{I_B} + \sqrt{I}}{I_B + I} \quad (3.16)$$

Os índices ‘F’ e ‘P’ indicam operação total e operação parcial, respectivamente, e ‘I’ indica a corrente que passa pelo par que opera parcialmente; ‘I’ pode assumir valores desde zero a  $I_B$ .

→ O ganho nesta região é então variável em função de ‘I’.

Com o aumento de ‘I’, o ganho  $A_{02}$  também aumenta. Uma manipulação matemática revela que o ganho será incrementado até que  $I/I_B = 0,172$ . Em seguida, o ganho  $A_{02}$  decresce até o valor de  $A_{01}$ . As duas regiões de transição não sobrepostas causam dois picos, assim como ilustrado na Figura 3. 6, e o ganho varia em função de  $V_{CM}$ .

**Região 3:** operação total de ambos os pares diferenciais [2].

$$g_m = g_{mF} + g_{mP} = 2\sqrt{K} \sqrt{I_B} \quad (3.17)$$

$$r_o = \frac{1}{2\lambda_F I_B} // \frac{1}{2I_F I_B} = \frac{1}{4\lambda I_B} \quad (3.18)$$

$$e \quad A_{03} = \frac{\sqrt{K}}{2\lambda} \frac{1}{\sqrt{I_B}} \quad (3.19)$$

→ O ganho desta região é idêntico ao ganho da região 1 e, portanto, também é constante.

A variação do ganho é de aproximadamente 20%. Como o circuito SH utiliza amplificador operacional na configuração de ganho unitário, poderia ser esperada uma atenuação no problema da linearidade causado pela variação de  $g_m$ . Porém, esta atenuação é mais efetiva apenas para baixas frequências e maiores valores de ganho. Além disso, com o aumento do sinal de frequência e conseqüente diminuição do ganho de malha aberta, 20% de variação em  $g_m$  não pode ser desprezada.

Quando cai o ganho de malha aberta, a porcentagem de variação do ganho de malha fechada sobe rapidamente. A variação do ganho é fortemente afetada em altas frequências de operação. Como a linearidade do sinal depende diretamente do ganho de malha fechada, então o aumento da frequência de operação também implica em não linearidade do sinal.

### 3.3.2 Buffer em Operação Rail-to-Rail.

A Figura 3. 7 mostra a simbologia para o amplificador buffer com operação pólo-a-pólo e realimentação negativa:

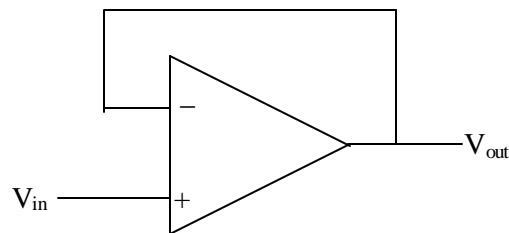


Figura 3. 7 - Amplificador Buffer Rail-to-Rail.

A Figura 3. 7 é a implementação de ganho unitário do amplificador com a conexão do terminal de saída do amplificador no terminal de entrada inversora. Foi implementado um circuito “buffer” com o amplificador proposto e, desta forma, com controle de  $g_m$ . O circuito foi projetado para manter todos os parâmetros como o ganho, largura de faixa, “slew-rate”, entre outros, sendo iguais aos do circuito da Figura 3. 5. A faixa linear de saída de ambos circuitos pode ir de zero a 3V devido à utilização do par diferencial complementar. Pode ser então observada uma melhoria na CMR, ou seja, um aumento de pelo menos 1,1V em comparação com a CMR da Figura 3. 5. Esta faixa linear de saída pode ser ainda maior;

porém, isto só é alcançado em operação com menor largura de faixa de ganho unitário (UGF). Deve-se então analisar o melhor equilíbrio entre CMR e UGF para se alcançar as especificações do projeto.

### 3.3.4 Distorção Harmônica Total (THD)

A Tabela 3. 1 mostra a análise de distorção para o circuito da Figura 3. 5 na configuração de ganho unitário, onde  $V_{CM}$  é a tensão dc,  $\tilde{o}_{in}$  o sinal sobreposto no sinal DC e  $f_0$  é a frequência fundamental do sinal.

Tabela 3. 1 - Distorção Harmônica Total para o Amplificador de Referência.

$f_0$ (Hz)	$V_{CM}$ (V)	$\tilde{o}_{in}$ (V)	THD(%)
10K	0,50	0,1	0,016
10K	0,65	0,1	0,024
10K	0,93	0,1	0,160
10K	1,07	0,1	0,133
10K	1,21	0,1	0,015
10K	1,78	0,1	0,052
10K	1,92	0,1	0,132
10K	2,07	0,1	0,009
10K	2,21	0,1	0,154
10K	2,35	0,1	0,039
10K	2,50	0,1	0,020
10K	1,50	0,4	0,010
10K	1,50	0,6	0,074
10K	1,50	0,8	0,116
10K	1,50	1,0	0,160
1M	0,93	0,1	0,205
1M	1,50	0,1	0,001
1M	2,35	0,1	0,093
1M	1,50	0,6	0,115
4M	0,93	0,1	0,313
4M	1,50	0,1	0,002
4M	1,50	0,6	0,357

Como explicado anteriormente, a variação do ganho introduz uma distorção no sinal e, conseqüentemente, o amplificador fica dependente de  $V_{CM}$ . Pela tabela, THD é maior para valores de  $V_{CM}=1$  e  $2.3V$  com  $\tilde{\delta}_{in}=0.1V$  e  $f_o = 10KHz$ . Isto ocorre porque nestas regiões existe a variação mais acentuada do ganho. Por outro lado, na região onde o ganho é mais estável, THD tem valor baixo, pois o sinal não é degradado pela variação do ganho. Pode ser observado também que, assim como a frequência do sinal aumenta, o ganho diminui e a distorção torna-se maior.

A Tabela 3. 2 mostra os resultados da simulação da distorção harmônica do circuito com a  $g_m$  controlada. Observa-se, por essa tabela, que os valores da THD são menores e mais constantes. Esta significativa melhoria de desempenho se deve ao circuito deslocador de nível que mantém o valor de  $g_m$  praticamente constante.

Tabela 3. 2 - Distorção Harmônica Total para o Amplificador Proposto.

$f_o$ (Hz)	$V_{CM}(V)$	$\tilde{\delta}_{in}(V)$	THD(%)
10K	0,50	0,1	0,011
10K	0,65	0,1	0,009
10K	0,93	0,1	0,007
10K	1,21	0,1	0,004
10K	1,35	0,1	0,003
10K	1,50	0,1	0,002
10K	1,64	0,1	0,002
10K	2,07	0,1	0,010
10K	2,21	0,1	0,018
10K	2,50	0,1	0,015
10K	1,50	0,2	0,009
10K	1,50	0,6	0,012
10K	1,50	0,8	0,007
10K	1,50	1,0	0,032
1M	0,93	0,1	0,022
1M	2,35	0,1	0,063
1M	1,50	0,6	0,076
4M	1,50	0,1	0,021
4M	2,35	0,1	0,052
4M	1,50	0,6	0,272

### 3.4 Circuito SH Rail-to-Rail com $g_m$ Constante

A Figura 3. 8 mostra a resposta em frequência para o circuito SH com ganho dc de -0,168dB e  $f_{-3dB}$  de 51MHz. A frequência  $f_{-3dB}$  deve ser especificada de forma mais precisa considerando todo o sistema, ou seja, incluindo, por exemplo, os conversores analógicos subsequentes. Para o caso dos conversores A/D, a largura-de-faixa é denominada “largura-de-faixa de resolução efetiva” (ERB), onde o sinal decresce para o valor de 1 LSB e é expresso por [2]

$$f_{ERB} = 20 \cdot \log \left( \frac{10^{-A_{DC}} FS}{2^N} \right) \quad (3.20)$$

onde  $A_{DC}$  é o ganho dc em dB, FS é a escala total de entrada e N é a resolução do conversor.

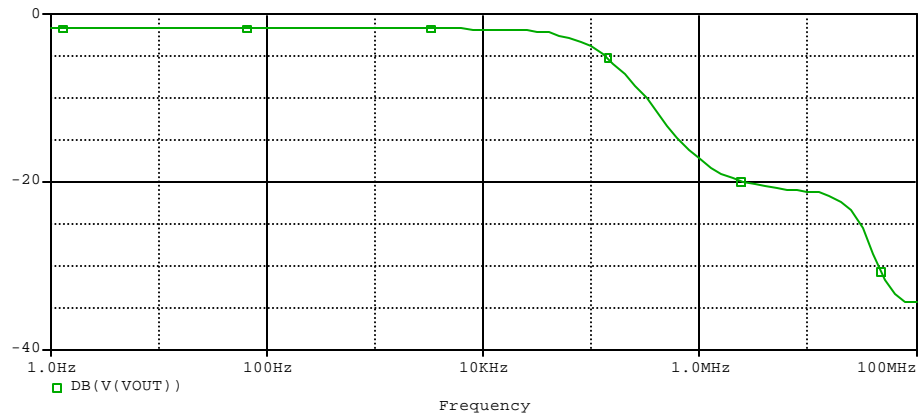


Figura 3. 8 - Resposta em Frequência em Configuração de Ganho Unitário.

Por exemplo, um conversor de 10 bits resulta em  $f_{ERB} = f_{-0,001dB} = 0,82$  MHz. Em um sistema ideal, a largura-de-faixa máxima do sinal é a metade da largura-de-faixa da amostragem. Porém, por diversos fatores, a máxima largura-de-faixa não pode ser alcançada. Um desses fatores são os tempos de aquisição e de ajuste. A Figura 3. 9 mostra os tempos de aquisição e de ajuste para um sinal de forma quadrada de 2,4V aplicado na entrada do amostrador. O tempo de aquisição foi de 34ns para uma precisão de 2% e de 39ns para precisão de 0,2%. O tempo de ajuste do sinal para as precisões citadas foi de 28ns e 35ns, respectivamente. A amostragem máxima pode ser calculada, utilizando-se dos valores de  $t_a$  e  $t_s$  citados acima, onde através da Equação 3.1, tem-se:

$$f_{amostragem,MAX} = \frac{1}{t_a + t_s} = \frac{1}{39ns + 34ns} = 14,1MHz \quad (3.21)$$

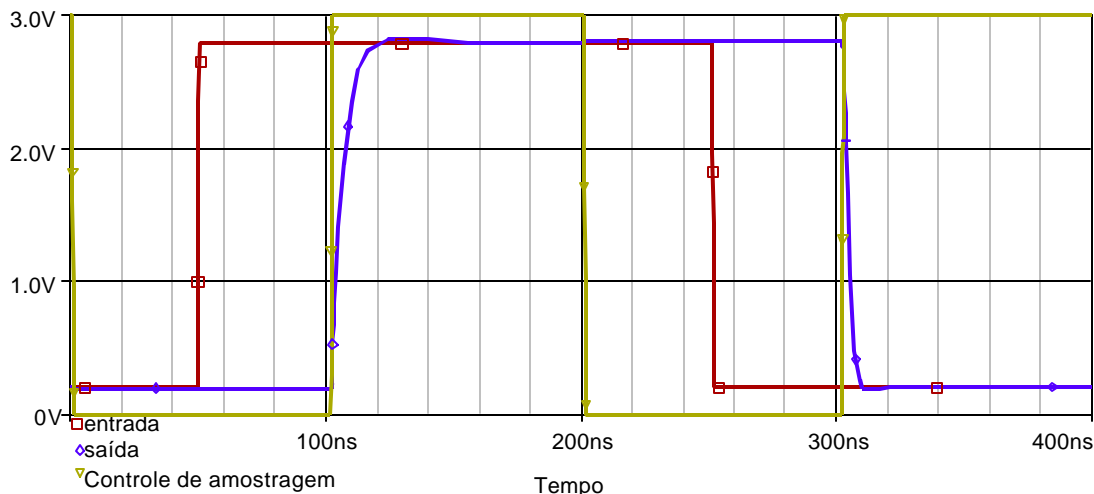


Figura 3. 9 - Tempos de Aquisição e de Ajuste do Circuito SH.

O valor de  $f_{\text{amostragem,max}}$  deve ser duas vezes maior que a frequência do sinal e, conseqüentemente, a máxima frequência do sinal deve ser de 7,5MHz, diferentemente de  $f_{-3\text{dB}} = 51\text{MHz}$  apresentado anteriormente. Na simulação, os valores para “slew-rate” positivo e negativos foram, respectivamente, de 75V/us e 84,7V/us.

Após a amostragem, o sinal fica armazenado no capacitor de retenção e é processado pelos circuitos subseqüentes. Entretanto, existe alguma perda do nível deste sinal armazenado. Esta queda de tensão pode ser o resultado de fugas de corrente no capacitor e na chave CMOS, ou também causado pela corrente de polarização no circuito subseqüente.

Para que o sinal seja convertido sem erros, esta queda não pode ultrapassar a 1 LSB, que é o menor valor reconhecido por um conversor A/D. Um capacitor de maior valor pode ser utilizado para conter esta queda. A Figura 3. 10 mostra o funcionamento do circuito SH para uma frequência de amostragem de 5MHz e um sinal de entrada senoidal de 1MHz centralizado em 1,5V e com 1,5V de pico. Pode-se admitir que para frequências de vídeo de 4MHz, o circuito SH projetado apresenta um funcionamento satisfatório, pois atende todos os requisitos básicos, assim como o critério de Nyquist. A Tabela 3.3 resume as principais características do circuito SH calculadas neste capítulo.

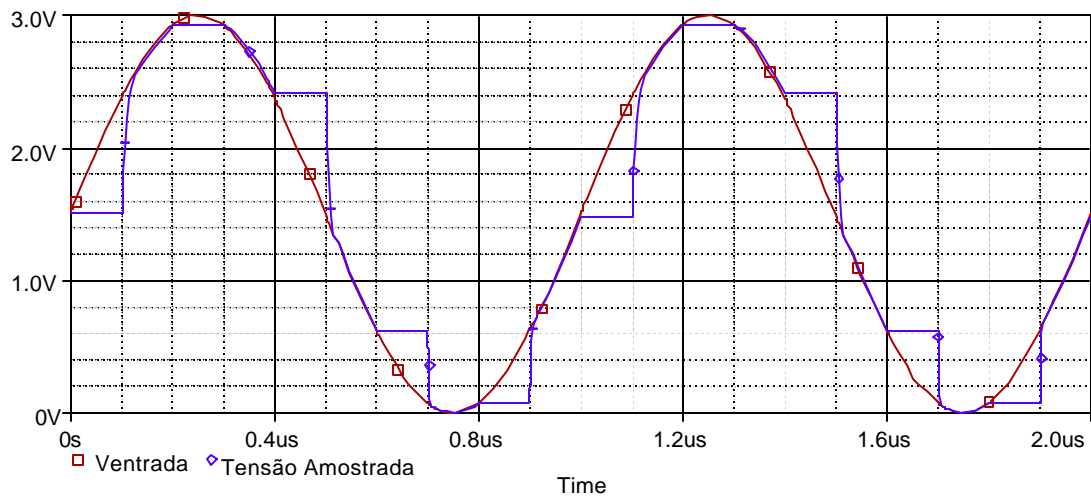


Figura 3. 10 - Operação do Circuito SH.

Tabela 3. 3 - Dados Gerais do Circuito SH.

Alimentação	3V
Faixa de entrada/saída	2,9V <sub>pp</sub>
Largura de faixa de pequeno sinal( $f_{-3dB}$ )	51MHz
Tempo de aquisição(0,2%; 2,4V)	39ns
Tempo de ajuste(0,2%; 2,4V)	34ns
Resolução efetiva	0,82MHz
$F_{amostragem,Max}$	14,1MHz
“Slew-rate” $\uparrow$	84,7V/us
“Slew-rate” $\downarrow$	75V/us
Queda de tensão	N/A
Dissipação de potencia	3,6mW
Distorção em baixa frequência	< 0,018%
Ganho DC	-0,168dB
Capacitância	2,5pF



## CAPÍTULO 4

### APLICAÇÃO II – CONVERSOR A/D

#### 4.1 Considerações Iniciais

Os conversores analógico-digitais (A/D) têm uma grande importância em diversas áreas de aplicação. Na área de comunicações, o processamento de sinais digitais tem grande vantagem sobre o processamento analógico. Em diversas áreas que utilizam processamento de sinais, a utilização dos conversores é inevitável.

A conversão D/A envolve a tradução da informação digital em uma informação analógica equivalente. O conversor D/A algumas vezes é considerado como um dispositivo de decodificação, pois, opera na saída de um sistema digital.

Inversamente, um conversor A/D transforma a informação analógica em digital. Um conversor A/D pode receber sinais analógicos de temperatura, pressão, vibração, etc. Esses sinais são transformados para a forma digital e passam por algum sistema digital de processamento.

De acordo com o campo de aplicação, as especificações de velocidade e resolução dos conversores podem variar. Para a instrumentação digital, exige-se grande precisão, ao passo que a velocidade pode ser reduzida. No caso de multímetros digitais, por exemplo, a informação é destinada à leitura direta e a velocidade de conversão pode ser mais baixa. Por outro lado, em digitalização de vídeo, deve-se combinar alta precisão com uma grande velocidade de conversão.

Como aplicação do amplificador proposto, será considerado um conversor analógico-digital. Após pesquisas entre várias técnicas existentes, foi necessária a elaboração de uma técnica alternativa de conversão. O conversor A/D proposto apresenta grande simplicidade em relação aos conversores A/D pesquisados. A conversão é realizada de forma direta, ou seja, não necessita de codificadores e conversores D/A auxiliares. Requer componentes como os circuitos SH, comparadores, chaves analógicas, subtratores de tensão e uma série de resistências para a obtenção das tensões de referências.

A Seção 4.2 descreve a técnica de conversão através de um exemplo prático de conversor de 3 (três) bits de resolução. Serão apresentados os componentes básicos do circuito de conversão. Após essas considerações preliminares, será descrito na Seção 4.3, um circuito conversor A/D com resolução de 8 (oito) bits e será apresentada uma tabela de valores convertidos.

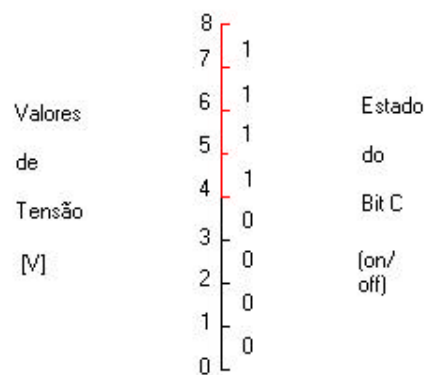
## 4.2 Técnica de Conversão

Para facilitar a compreensão da técnica proposta, será demonstrada a conversão de um sinal  $S$  analógico compreendido entre 0 e 8 [V] para seu valor digital correspondente com 3 (três) bits de precisão.

Este sinal poderá então estar localizado em um dos 8 (oito) intervalos de tensão apresentados na Tabela 4. 1. Inicialmente, será analisado o bit mais significativo, ou seja, o bit C. A figura mostra a faixa de valores onde o sinal ( $S$ ) pode estar localizado. A área hachurada em vermelho representa  $C=1$ .

Tabela 4. 1– Exemplo de Conversão.

C	B	A	Intervalo [V]
0	0	0	0 a 1
0	0	1	1 a 2
0	1	0	2 a 3
0	1	1	3 a 4
1	0	0	4 a 5
1	0	1	5 a 6
1	1	0	6 a 7
1	1	1	7 a 8



Graficamente.

Desta forma, obtém-se facilmente o estado do Bit C através de uma comparação de  $S$  com o ponto médio do intervalo, ou seja:

$$0 < S < 4 \rightarrow C=0$$

$$4 < S < 8 \rightarrow C=1$$

Para a obtenção do Bit B, deve-se considerar duas situações distintas.

**1º Caso:**  $C = 0$  ( $0 < S < 4$ ).

Tabela 4. 2 – Determinação do Bit B.

C	B	A	Intervalo [V]
0	0	0	0 a 1
0	0	1	1 a 2
0	1	0	2 a 3
0	1	1	3 a 4

Resumindo:

$$0 < S < 2 \rightarrow B=0$$

$$2 < S < 4 \rightarrow B=1$$



Graficamente.

**2º Caso:**  $C = 1$  ( $4 < S < 8$ )

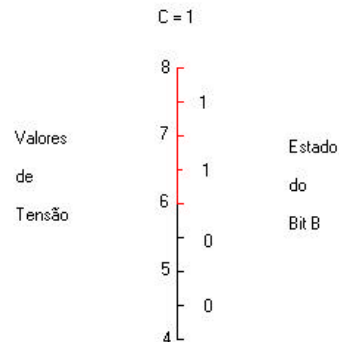
Tabela 4. 3– Determinação do Bit B.

C	B	A	Intervalo [V]
1	0	0	4 a 5
1	0	1	5 a 6
1	1	0	6 a 7
1	1	1	7 a 8

Resumindo:

$$4 < S < 6 \rightarrow B=0$$

$$6 < S < 8 \rightarrow B=1$$



Graficamente.

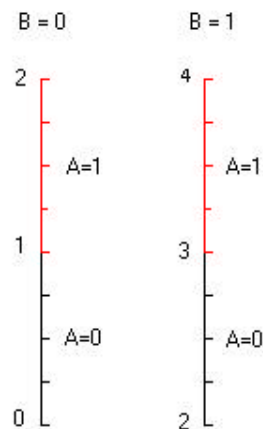
Os intervalos para os dois casos são simétricos, isto é, possuem a mesma amplitude e os mesmos valores para B e A. Seus valores de tensão estão defasados de 4 (quatro) unidades. Desta forma, se o sinal estiver no primeiro intervalo ( $C=0$ ) pode-se facilmente obter o estado de "B" por uma simples comparação com o valor 2, ou seja, o ponto médio do intervalo. Para o segundo caso ( $C=1$ ) pode-se realizar uma subtração de 4 (quatro) unidades a fim de se ajustar o sinal ao intervalo do primeiro caso, e assim obter o estado do Bit "B" através da comparação com o ponto médio do intervalo.

Com o conhecimento dos dois primeiros bits, pode-se obter o terceiro (Bit “A”) pela mesma forma utilizada para o bit “B”. O sinal foi ajustado para o intervalo de 0 e 4 [V] e poderá estar em uma das 4 faixas de tensão apresentadas na Tabela 4. 4.

Novamente existem dois casos distintos, assim como no procedimento para a determinação do bit “B”.

Tabela 4. 4- Determinação do Bit A.

B	A	Faixa de Tensão [V]
0	0	0 a 1
0	1	1 a 2
1	0	2 a 3
1	1	3 a 4



Graficamente.

Para o primeiro caso (B=0) o bit A é adquirido por uma comparação com o ponto médio (1) e para o segundo caso (B=1) deve-se fazer um deslocamento de duas unidades, ajustando o intervalo entre 0 e 2 [V] e, finalmente, realizar a comparação com o ponto médio e obter o estado lógico do Bit “A”. Para se obter maior precisão na conversão, este procedimento pode ser repetido quantas vezes forem possíveis. Na seqüência, será realizado um estudo genérico que resume esta técnica de conversão. Será considerado um sinal

analógico de amplitude máxima “A”. Como o exemplo, este sinal será convertido em uma palavra digital com uma resolução de 3 (três) bits.

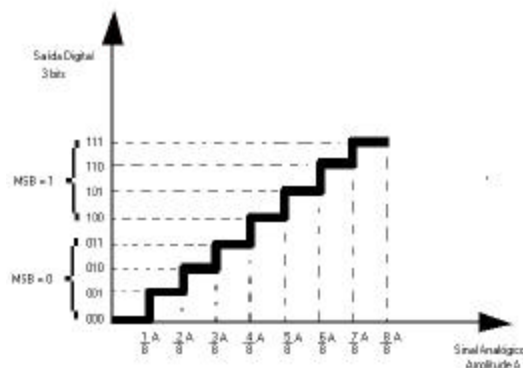


Figura 4. 1 - Quantização dos Níveis de Tensão.

Por análise combinatória tem-se uma resolução de  $2^3 = 8$ , ou seja, o conversor pode reconhecer até 8 (oito) níveis diferentes de tensão. A representação destes níveis está mostrada na Figura 4. 1. Para cada nível de sinal, existe uma correspondência imediata em forma digital. Será apresentada a forma com que o mecanismo de conversão relaciona o sinal analógico com o sinal digital. Neste exemplo serão obtidos 3 (três) bits ao final da operação de conversão.

Os sinais analógicos de zero a “A/8” são reconhecidos como a palavra digital “000”. Os sinais de A/8 a 2A/8 são reconhecidos como “001” e assim por diante. Primeiramente, deve-se obter o bit mais significativo desta palavra digital. Pela Figura 4. 1 pode-se observar que o bit mais significativo vale “0” até A/2 e vale “1” de A/2 até A. Desta forma, o seu valor é obtido simplesmente realizando a comparação do nível de tensão com a metade da excursão máxima, ou seja, comparando-se com a tensão de referência A/2. Resumidamente,

MSB = 0	( $0 < \text{sinal} < A/2$ )	“primeira faixa de tensão”
MSB = 1	( $A/2 < \text{sinal} < A$ )	“segunda faixa de tensão”

A Tabela 4. 5 apresenta as faixas de tensão para uma melhor compreensão deste exemplo. Agora, pode-se definir o 2º MSB. O valor já encontrado de MSB determina se o sinal se encontra na primeira ou na segunda faixa de tensão. Por exemplo, se este sinal se encontra na segunda faixa de tensão, tem-se que MSB=1 e o 2ºMSB se apresenta da seguinte forma:

$$2^{\circ} \text{MSB} = 0 \quad (A/2 < \text{sinal} < 6A/8)$$

$$2^{\circ} \text{MSB} = 1 \quad (6A/8 < \text{sinal} < A)$$

Tabela 4.5 – Divisão dos Níveis de Tensão.

	Amplitude do sinal				
	0	A/8	A/4	A/2	A
1ª faixa de tensão	MSB=0	MSB=0	MSB=0		
2ª faixa de tensão				MSB=1	
3ª faixa de tensão	2º MSB=0	2º MSB=0			
4ª faixa de tensão			2º MSB=1		
5ª faixa de tensão	3º MSB=0				
6ª faixa de tensão		3º MSB=1			

Porém, como a segunda faixa tem a mesma amplitude da primeira faixa, pode-se deslocar a segunda faixa para valores compatíveis com a primeira faixa, fazendo-se a subtração do sinal de  $A/2$ . Assim,

$$2^{\circ} \text{MSB} = 0 \quad (A/2 - A/2 = 0 < \text{sinal} < 6A/8 - A/2 = A/4) \quad \text{“3ª faixa de tensão”}$$

$$2^{\circ} \text{MSB} = 1 \quad (A/8 - A/2 = A/4 < \text{sinal} < A - A/2 = A/2) \quad \text{“4ª faixa de tensão”}$$

De outro modo, se  $\text{MSB}=0$ , o sinal já se encontra na primeira faixa de tensão, não sendo necessário o deslocamento de nível. Os valores correspondentes à primeira faixa de tensão são apresentados na Figura 4.2.

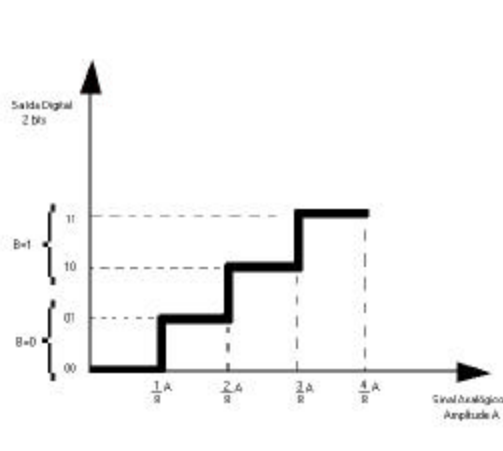


Figura 4.2 – Primeira Faixa de Tensão.

O valor de tensão, deslocado ou não, será denominado sinal residual e poderá ser reconhecido pelo mecanismo de conversão da seguinte forma:

$2^{\circ} \text{MSB} = 0$	$(0 < \text{sinal} < A/4)$	“3ª faixa de tensão”
$2^{\circ} \text{MSB} = 1$	$(A/4 < \text{sinal} < A/2)$	“4ª faixa de tensão”

O valor do 2ºMSB é obtido pela comparação do sinal residual com a referência de tensão  $A/4$ , ou seja, o ponto médio da primeira faixa de tensão.

Para a obtenção do 3º MSB, utiliza-se um método similar, ou seja, se  $2^{\circ} \text{MSB} = 1$  (quarta faixa de tensão) faz-se o deslocamento  $A/4$  a fim de se posicionar o sinal residual, exatamente, na terceira faixa de tensão ( $0$  a  $A/4$ ).

No caso de  $2^{\circ} \text{MSB} = 0$ , o sinal residual já se encontra na terceira faixa de tensão, assim como apresentado na Figura 4. 3.

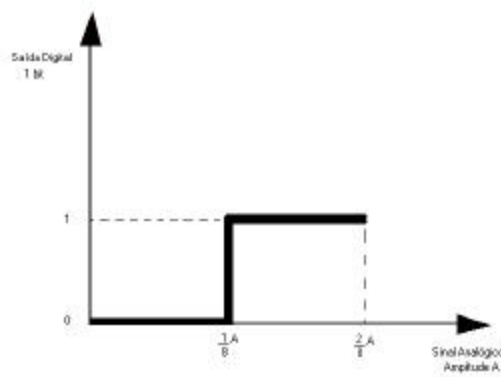


Figura 4. 3 - Terceira Faixa de Tensão.

Desta forma pode-se obter o valor do 3º MSB com a comparação do sinal residual com a tensão de referência  $A/8$ , que é exatamente o ponto médio da terceira faixa de tensão.

$3^{\circ} \text{MSB} = 0$	$(0 < \text{sinal} < A/8)$	“5ª faixa de tensão”
$3^{\circ} \text{MSB} = 1$	$(A/8 < \text{sinal} < A/4)$	“6ª faixa de tensão”

O algoritmo de conversão é mostrado na Figura 4. 4. Seguindo esse raciocínio, pode-se construir um conversor de quantos bits forem possíveis. Para isto, deve-se sempre realizar a primeira comparação com  $A/2$  (metade da amplitude máxima do sinal), a segunda com  $A/4$ ,

a terceira com  $A/8$  e assim por diante. Pode-se então, destacar que a comparação de ordem “n” será realizada com o valor  $A/2^n$ .

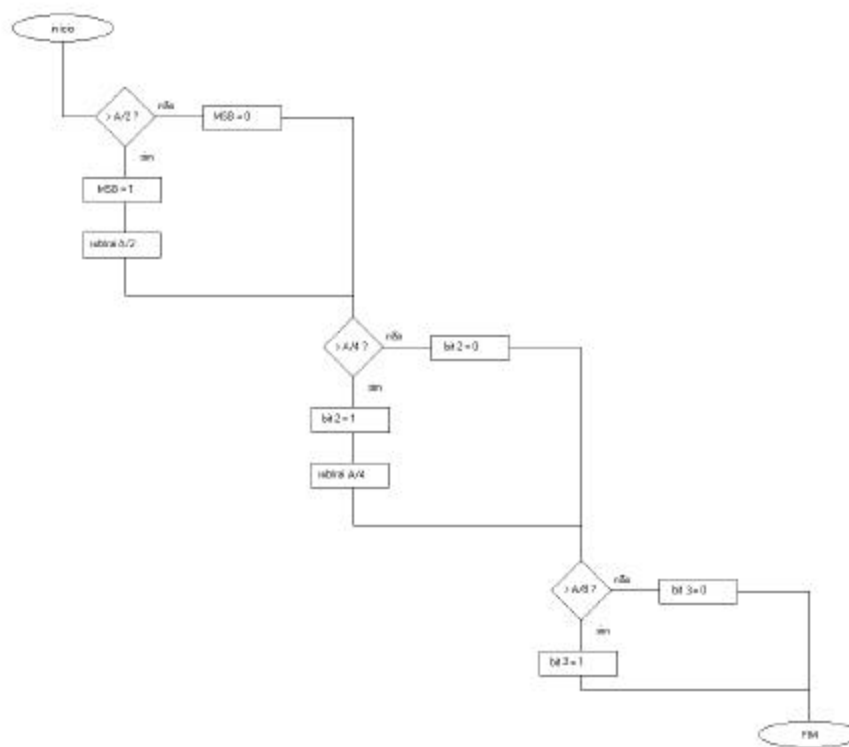


Figura 4. 4 – Algoritmo de Conversão (3 bits).

### 4.3 Conversor de 8 (oito) Bits

O sinal de referência para a tensão de fundo de escala deverá ser introduzido em uma das entradas do circuito. Para se exemplificar o funcionamento, será considerado um valor de 2V como fundo de escala; logo  $A=2V$ . O Tabela 4. 6 apresenta os níveis de tensão que são reconhecidas pelo conversor de oito bits. Pode-se observar as 16 (dezesesseis) faixas de tensão que serão convertidas em 8 bits: H(MSB), G, F, E, D, C, B e A(LSB).

Para a realização do processo de conversão descrito na seção anterior, necessita-se de alguns elementos básicos de circuitos analógicos que serão descritos a seguir:

**Circuito Amostra-e-retém (SH):** este circuito foi detalhado no Capítulo 3. O sinal a ser amostrado deverá ter amplitude compatível com o amplificador operacional que é utilizado como “buffer” de entrada do SH. É desejável, portanto, que o amplificador tenha possibilidade de operação pólo-a-pólo. O sinal amostrado fica, por um período de tempo, disponível para que seja convertido pelo circuito de conversão.



Tabela 4. 6 - Níveis de Tensão para o Conversor de 8 Bits.

	Amplitude (em log.)									
	0	A/256	A/128	A/64	A/32	A/16	A/8	A/4	A/2	A
1ª faixa	H(MSB)=0									
2ª faixa										H(MSB)=1
3ª faixa	G = 0									
4ª faixa								G = 1		
5ª faixa	F = 0									
6ª faixa							F = 1			
7ª faixa	E = 0									
8ª faixa						E = 1				
9ª faixa	D = 0									
10ª faixa					D = 1					
11ª faixa	C = 0									
12ª faixa				C = 1						
13ª faixa	B = 0									
14ª faixa			B = 1							
15ª faixa	A(LSB)=0									
16ª faixa		A(LSB)=1								

**Comparadores:** O elemento principal do circuito de conversão é o comparador. O circuito comparador, por sua vez, utiliza o amplificador diferencial em baixa tensão, com regiões de transição sobrepostas, que foi desenvolvido no Capítulo 2. Para comparações de maior exatidão, é preferível o uso de amplificadores diferenciais pois, nestes circuitos, a realimentação de clock, os ruídos da alimentação, os ruídos 1/f e outros, tendem a serem cancelados [26]. A saída dos comparadores fornece diretamente o resultado da conversão não sendo necessário, portanto, a utilização de circuitos decodificadores. Para cada bit de saída é necessária a presença de um comparador, assim no conversor de 8 bits serão necessários oito comparadores. As saídas destes comparadores são também diretamente responsáveis pelo funcionamento do conversor, pois controlam o deslocamento de tensão do sinal analógico. A saída do comparador em nível “alto” determina o deslocamento de faixa de tensão do sinal a ser convertido.

**Chaves Analógicas – Multiplexador:** O circuito multiplexador é, basicamente, constituído por duas chaves analógicas e determina, através de um sinal de controle, que é o próprio bit

convertido, se o sinal será deslocado ou não de seu nível de tensão. O deslocamento será realizado se o nível lógico do bit convertido for “alto”. O esquema básico do circuito multiplexador está mostrado na Figura 4. 5.

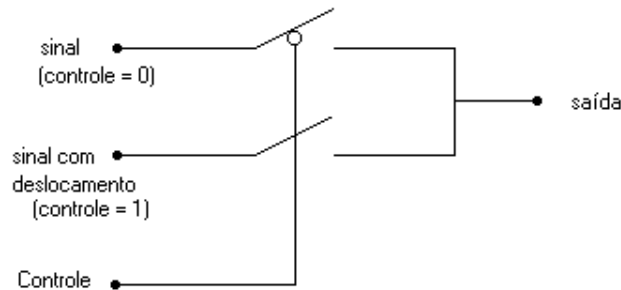


Figura 4. 5 – Circuito Simplificado do Multiplexador.

**Circuito Subtrator:** realiza um deslocamento do nível do sinal analógico de acordo com os bits de saída do conversor. O circuito subtrator está mostrado na Figura 4. 6 e utiliza, como elemento básico, o amplificador operacional apresentado no Capítulo 2. Os resistores utilizados neste circuito devem apresentar valores idênticos para evitar, assim, problemas relacionados com a precisão do circuito conversor.

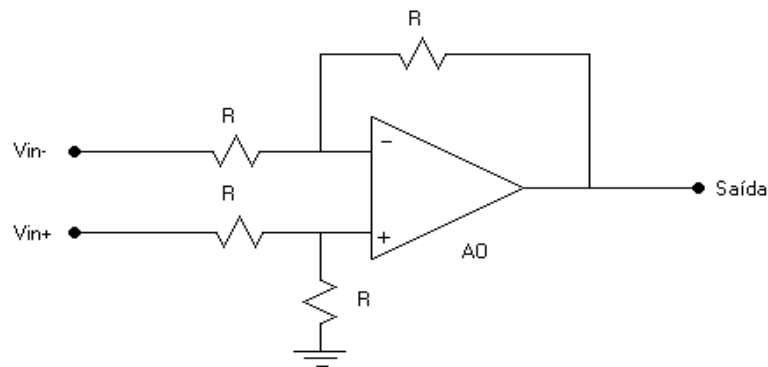


Figura 4. 6 - Circuito Subtrator.

**Tensões de Referências:** As tensões de referência são obtidas através de uma cadeia de resistores em série. As resistências operam como oito divisores resistivos e fornecem ao circuito conversor as tensões requeridas pelos comparadores para a conversão do sinal analógico. Os resistores devem apresentar valores proporcionais a um valor padrão para não

acarretar erros na conversão dos sinais.

O circuito conversor é formado por 8 (oito) blocos conversores assim como mostrado na Figura 4. 7. O circuito tem uma resolução de oito bits, ou seja, pode obter  $2^8$  (256) níveis diferentes de tensão. Considerando, por exemplo, um sinal com amplitude máxima de 2[V] na entrada do conversor tem-se que, entre cada bit, existe um salto de  $2/256$  Volts de tensão, aproximadamente 7,8mV.



Figura 4. 7 – Bloco de Conversão.

O diagrama de blocos do conversor é mostrado na Figura 4. 8. A combinação de oito blocos de conversão possibilita a conversão do sinal com uma resolução de 8 bits. Estes blocos são ligados em cadeia, onde recebem um sinal analógico em uma de suas entradas, fornecem um bit digital em uma das saídas e na outra saída fornece um sinal residual que será convertido pelo bloco de conversão subsequente. Cada bloco fornece a conversão de um determinado bit e, para isso, recebe uma apropriada tensão de referência que, é obtida através dos divisores resistivos.

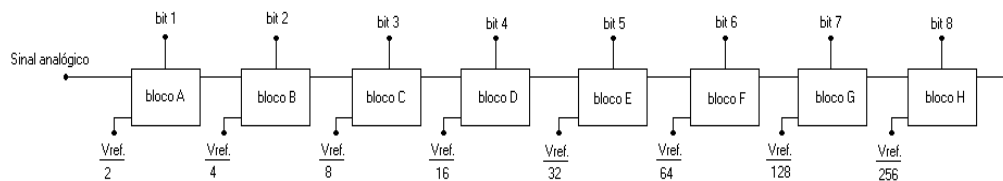


Figura 4. 8 – Diagrama de Blocos.

## 4.4 Simulações e Ajustes

Neste ponto pode-se realizar os testes básicos do circuito conversor A/D que utiliza como base o amplificador operacional apresentado no Capítulo 2. Será utilizado também o circuito SH proposto no Capítulo 4. O circuito completo está mostrado na Figura 4. 9.

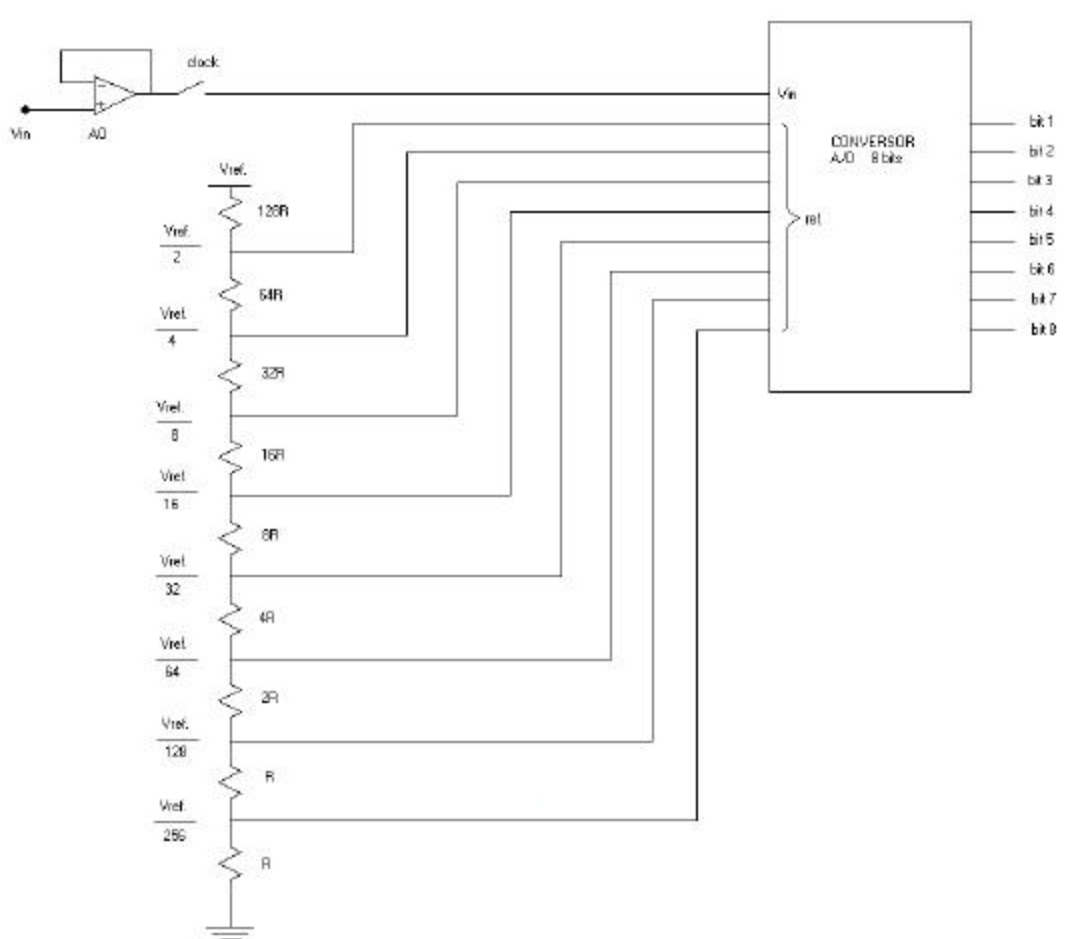


Figura 4. 9 – Circuito Conversor A/D.

O conversor foi simulado e os resultados são apresentados na Tabela 4. 7. Esta tabela apresenta os resultados de conversão para 20 valores aleatórios entre 0 e 2[V]. A tabela apresenta o valor analógico, o valor digital equivalente, o valor convertido e o erro. Para o valor de 2[V] de fundo de escala, o erro não deve ultrapassar 7,8mV que é o valor de um passo do conversor, ou seja, é a unidade básica que pode ser reconhecida pelo conversor. O valor decimal corresponde a quantidade de vezes que o respectivo sinal amostrado é maior que a unidade básica. A resposta do conversor foi comparada com o valor de entrada e a diferença, ou o erro, é também mostrado na Tabela 4. 7. O máximo valor do erro não deve ultrapassar a marca de uma unidade básica. Também foi calculado o valor médio do erro igual a 3,35mV.

Tabela 4. 7 – Simulação do Circuito Conversor.

Analogico [V]	Decimal	Digital Ideal	Convertido	Erro [mV]
0	0	00000000	00000000	0
0,1	13	00001101	00001100	-6,25
0,2	26	00011010	00011001	-4,69
0,3	38	00100110	00100110	-3,12
0,4	51	00110011	00110011	-1,56
0,5	64	01000000	00111111	-7,80
0,6	77	01001101	01001100	-6,25
0,7	90	01011010	01011001	-4,69
0,8	102	01100110	01100110	-3,12
0,9	115	01110011	01110011	-1,56
1,0	128	10000000	10000000	0
1,1	141	10001101	10001100	-6,25
1,2	154	10011010	10011001	-4,69
1,3	166	10100110	10100110	-3,12
1,4	179	10110011	10110011	-1,56
1,5	192	11000000	11000000	0
1,6	205	11001101	11001100	-6,25
1,7	218	11011010	11011001	-4,69
1,8	230	11100110	11100110	-3,12
1,9	243	11110011	11110011	-1,56
2,0	256	11111111	11111111	0

Este erro ainda pode ser descontado na entrada para que o conversor apresente um resultado mais preciso, porém esta operação exige um conversor digital-analógico na saída do circuito e adicionaria maior complexidade ao circuito. A saída binária tem 256 níveis e pode ser codificada, se necessário.

O valor médio do erro atende às restrições do conversor para 8 bits, pois é menor que a unidade básica de conversão (7,8mV). Porém, alguns resultados não se igualam ao valor digital ideal. O valor médio do erro (3,35mV) ainda pode ser reduzido com uma pequena alteração na técnica de conversão do circuito. Esta técnica realizará um arredondamento de valores, ou seja, o valor convertido será acrescentado de uma unidade digital se o conversor reconhecer que o sinal analógico se encontra próximo à faixa de tensão seguinte.

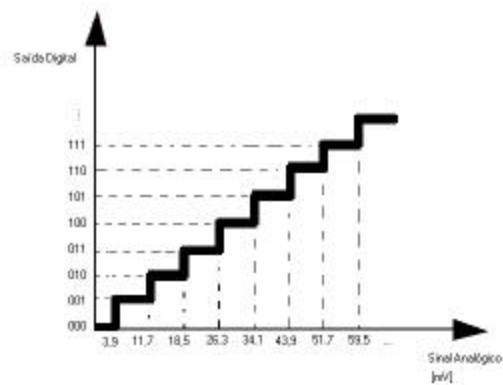


Figura 4. 10 – Nova Rampa de Conversão com Ajuste de Erro.

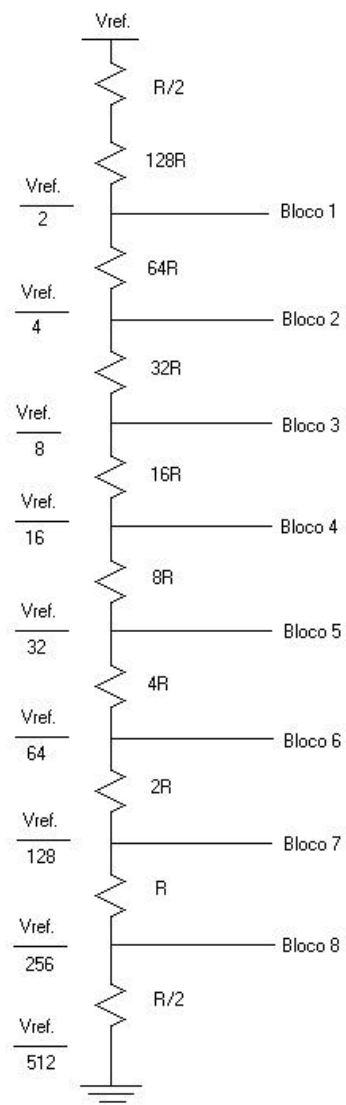


Figura 4. 11 – Divisor Resistivo Adaptado para Redução do Erro.

O valor analógico 7mV, por exemplo, será reconhecido como uma unidade digital pois se encontra mais próximo de 7,8mV do que zero. A Figura 4. 10 ilustra a nova faixa de tensão. Para que isso ocorra, é necessário que os valores de referência sejam diminuídos de 3,9[mV] e assim o divisor resistivo deve ser alterado assim como na Figura 4. 11.

Após esta alteração foi realizada uma nova simulação onde se obteve os resultados de conversão mais precisos. A Tabela 4. 8 apresenta alguns resultados obtidos pela simulação da conversão. O valor médio do erro agora vale zero, igualando-se ao erro do conversor ideal. O conversor atende as restrições do conversor para 8 bits, pois o erro é menor que a unidade básica de conversão (7,8mV). Embora o valor médio seja zero, ainda existem os erros

Tabela 4. 8 – Simulação do Circuito Conversor com Arredondamento.

Analógico [V]	Decimal	Digital Ideal	Convertido	Erro [mV]
0	0	00000000	00000000	0
0,1	13	00001101	00001101	1,56
0,2	26	00011010	00011010	3,12
0,3	38	00100110	00100110	-3,12
0,4	51	00110011	00110011	-1,56
0,5	64	01000000	01000000	0
0,6	77	01001101	01001101	1,56
0,7	90	01011010	01011010	3,12
0,8	102	01100110	01100110	-3,12
0,9	115	01110011	01110011	-1,56
1,0	128	10000000	10000000	0
1,1	141	10001101	10001101	1,56
1,2	154	10011010	10011010	3,12
1,3	166	10100110	10100110	-3,12
1,4	179	10110011	10110011	-1,56
1,5	192	11000000	11000000	0
1,6	205	11001101	11001101	1,56
1,7	218	11011010	11011010	3,12
1,8	230	11100110	11100110	-3,12
1,9	243	11110011	11110011	-1,56
2,0	256	11111111	11111111	0

individuais para cada conversão. Este erro só poderá ser minimizado utilizando-se um conversor de maior precisão, ou seja, com maior número de bits em sua saída.

Outro fator de erros de conversão é a imprecisão dos componentes básicos, como os resistores e os capacitores. Os erros podem ser gerados no circuito de referencia de tensão ou nos blocos de conversão. Com a utilização de componentes básicos mais precisos, pode-se elaborar um conversor de maior precisão com estágios adicionais de conversão assim como os da Figura 4. 7.

## 4.5 Layout e Considerações Finais

O “layout” do circuito foi elaborado pela técnica “full-custom”, isto é, todos os componentes e conexões foram realizadas de forma exclusiva para este projeto. O “layout” do conversor é mostrado na Figura 4. 12 e a sua pinagem é apresentada na Tabela 4. 9. O circuito foi implementado em “n-well”, ou seja, o substrato de material tipo P e poço tipo N. Pode-se localizar pelo “layout” os terminais de entrada e de saída, bem como os oito blocos de conversão. Foram implementadas conexões de poço e de substrato para se evitar o fenômeno conhecido como “latch-up” [40] que acrescenta transistores parasitas na estrutura de silício causando mal funcionamento do circuito.

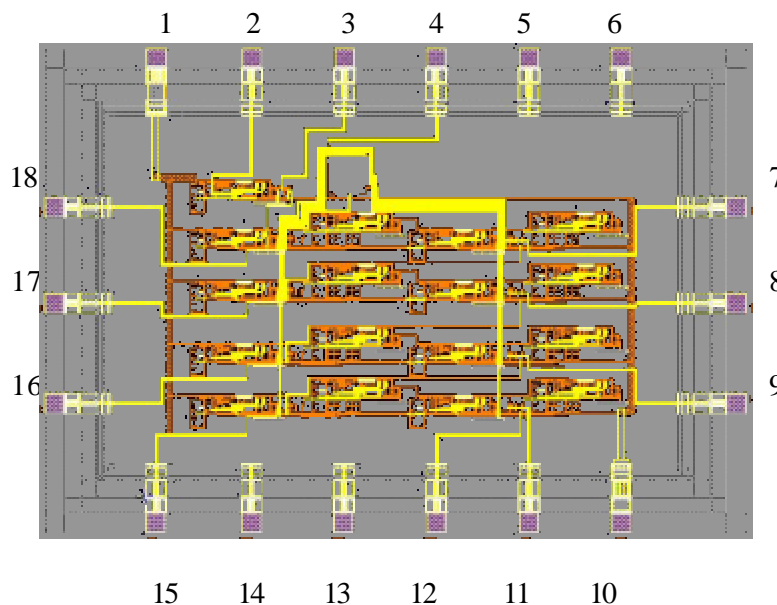


Figura 4. 12 – Layout do Conversor.



Tabela 4.9 – Pinagem do Circuito.

<b>Pino</b>	<b>Descrição</b>
1	Alimentação 3[V]
2	Sinal de entrada
3	Tensão de Fundo de Escala
4	Frequência de Amostragem
5	Não utilizado
6	Não utilizado
7	Saída G
8	Saída E
9	Saída C
10	Ground
11	Saída A (LSB)
12	Sinal residual
13	Não utilizado
14	Não utilizado
15	Saída B
16	Saída D
17	Saída F
18	Saída H (MSB)

O circuito possui 18 pinos, mas apenas 16 são utilizados. O controle de tensão de fundo de escala deve ser inserido no pino 3. Isto possibilita uma melhor adaptação do conversor ao tipo de sinal e de transdutor utilizado.

O sinal de entrada deve ser inserido no pino 2 e será amostrado com a frequência determinada pelo sinal do pino 4. Os 8 bits de saída apresentam nível lógico baixo e alto com zero e 3 [V], respectivamente. O pino 12 reproduz um sinal analógico residual que pode ser utilizado se for necessária a obtenção de maior quantidade de bits na conversão do sinal.

O circuito apresenta vantagens em relação aos conversores existentes. A vantagem principal é a simplicidade do procedimento de conversão. Isto possibilita a implementação do circuito em menor área de silício, com menor número de componentes e conseqüentemente, apresenta menor consumo. Outra importante característica é a utilização de circuitos com possibilidade de operação em baixa tensão, o que vem sendo muito requisitado atualmente.

## CAPÍTULO 5

### CONCLUSÕES E TRABALHOS FUTUROS

#### 5.1 Conclusões

A grande tendência atual vem sendo a redução da tensão de alimentação dos circuitos integrados. Fatores como a tecnologia, consumo e exigência de mercado direcionam para esta tendência. Nos circuitos analógicos, a tensão de alimentação está intimamente relacionada com características importantes do circuito, como o ganho, faixa dinâmica, largura-de-faixa, ruído, etc. Isto leva os projetistas de circuito a considerar este aspecto e reproduzir em seus circuitos para esta nova tendência de baixa tensão de operação.

Neste trabalho foram propostas alternativas de projeto de circuitos analógicos em baixa tensão. Esta abordagem consiste em um método de processamento do sinal com excursão total do sinal e  $g_m$  constante.

O par diferencial complementar é a principal célula analógica e é amplamente utilizada como sub-circuito em blocos funcionais analógicos. Nos circuitos analógicos convencionais, o par diferencial é considerado como amplificador linear de transcondutância. Pode ser utilizado em vários circuitos analógicos como: amplificadores operacionais, conversores V-I, multiplicadores, filtros, circuitos amostra-e-retém e também utilizado como elemento fundamental de amplificação. Devido a sua ampla utilização e fácil implementação, o par diferencial é muito indicado para operação em baixa frequência. O par diferencial de entrada sofre forte degradação de performance devido à redução da tensão de alimentação. Quando a tensão de alimentação é diminuída o sinal disponível reduz muito rapidamente, enquanto que o sinal de ruído permanece constante. Por este motivo é necessária a operação “rail-to-rail” para garantir a excursão do sinal desde o pólo negativo até o pólo positivo da fonte de alimentação, melhorando assim a relação sinal/ruído. A utilização do par diferencial complementar permite a operação “rail-to-rail”, porém duplica o valor do fator de transcondutância  $g_m$ , o que é indesejado, pois  $g_m$  deve permanecer constante. Esta variação de  $g_m$  causa alguns efeitos indesejados, que degradam seriamente o desempenho de algumas aplicações do circuito. Um desses efeitos é que no caso do amplificador operacional,  $f_u$  varia em função de  $g_m$ . Isto dificulta a compensação de frequência do amplificador operacional, pois se deve encontrar um ponto de equilíbrio entre  $f_u$ , margem de fase e consumo. Em uma aplicação em configuração com malha aberta assim como conversores V-I, multiplicadores, esta variação de  $g_m$  introduz distorção do sinal pela mesma razão de variação. Assim o

projeto de tais circuitos se torna extremamente complicado sem a utilização do fator de transcondutância  $g_m$  constante.

Por esta razão, este trabalho apresenta um estudo para se contornar esses problemas através da utilização de par diferencial com controle de  $g_m$ . Neste trabalho foram apresentadas as equações universais para a corrente de saída do par diferencial e estas foram aplicadas no desenvolvimento da técnica proposta. Foi apresentada uma técnica econômica e eficiente para se obter um amplificador operacional para utilização em circuitos em baixa tensão. Este amplificador apresenta um valor constante de transcondutância no estágio de entrada diferencial complementar e possui capacidade de operação “rail-to-rail”.

Em seguida foi apresentado o princípio básico de operação do circuito e demonstrado que os deslocadores de nível dc podem ser utilizados para gerar uma sobreposição das regiões de transição dos pares diferenciais complementares de um amplificador diferencial. Com o desvio de tensão adequado, pode se obter um valor constante para  $g_m$  numa faixa de variação de 5%. As simulações mostram que a resposta em frequência do amplificador proposto é independente da tensão de entrada de modo comum (CMRR). O valor mínimo do ganho para todo CMRR é de 88dB e pode ser considerado dentro das especificações mais frequentes.

Finalmente, as medições comprovam que um amplificador operacional com o estágio de entrada proposto opera com total excursão do sinal de tensão de entrada e de saída. O circuito proposto opera de maneira contínua e não depende de operação de chaves controladoras para determinar qual tipo de par diferencial está em ação em cada momento. Isto faz com que o sinal de corrente da saída seja estável e não apresente problemas devido à transição de operação entre os pares diferenciais.

As simulações do circuito mostram que a degradação do sinal é minimizada. No amplificador operacional pode-se constatar um desempenho superior do estágio de entrada com relação a CMRR, THD,  $f_u$  constante, etc. Foi constatado, pelas simulações, uma variação máxima de 8% de  $g_{mT}$  para uma tensão  $V_{CM}$  de 0 a 3V. A frequência de ganho unitário  $f_u$  obtida foi praticamente constante e a distorção harmônica total THD foi melhorada com relação ao amplificador operacional de estágio de entrada sem  $g_m$  constante.

O circuito amplificador proposto foi aplicado em um circuito amostra-e-retém (SH). O circuito SH tem a função de preparar um sinal continuamente variável no tempo para que seja transformado em uma palavra digital na saída do conversor A/D. Este circuito tem, então, um papel muito importante no processo de conversão pois limita diretamente o desempenho de todo o sistema subsequente, ou seja, afeta características como largura-de-banda do sinal de entrada, relação sinal-ruído (S/N) e distorção harmônica total (THD). Com

a diminuição da tensão de alimentação, o sinal de entrada disponível para o circuito SH também diminui, e conseqüentemente, deteriora a relação S/N. Isto porque, embora os sinais de alimentação e de entrada sejam reduzidos pela mesma razão, o ruído permanece inalterável. Desta forma, torna-se muito importante que o sinal total disponível para o circuito de conversão seja o maior possível. O circuito amplificador operacional desenvolvido foi utilizado na elaboração do circuito SH, pois permite a operação do sinal de entrada de um extremo ao outro da faixa de tensão de alimentação e possibilita o aumento da relação sinal/ruído (S/N). A sua utilização também implica na redução da Distorção Harmônica Total (THD), pois apresenta fator de transcondutância  $g_m$  constante. No circuito SH foi alcançada uma melhoria de 6dB na relação sinal-ruído, aumento da largura de faixa e melhoria da distorção THD do sinal.

Os conversores analógico-digitais A/D têm grande importância em diversas áreas de aplicação. Na área de comunicações, por exemplo, o processamento de sinais digitais tem grande vantagem sobre o processamento analógico. Em diversas áreas que utilizam processamento de sinais, a utilização dos conversores é inevitável. Um conversor A/D pode receber sinais analógicos de temperatura, pressão, vibração, etc. Estes sinais são transformados para a forma digital compatível e passam para algum sistema digital de processamento.

Como aplicação do amplificador operacional, foi incluída neste trabalho uma nova e eficiente alternativa de conversão analógico-digital. Este conversor proposto apresenta grande simplicidade em relação aos conversores convencionais. A conversão do sinal é realizada de forma direta, ou seja, não necessita de codificadores ou de conversores D/A auxiliares. Este conversor requer componentes como circuito SH, comparadores, chaves analógicas, subtratores de tensão e uma série de resistores para a obtenção das tensões de referências.

O princípio básico de conversão consiste em comparações sucessivas do sinal de entrada amostrado. O circuito apresenta um bom grau de precisão. Em relação à velocidade de conversão, o circuito pode ser comparado aos conversores rápidos da tecnologia “flash”. Isso é devido a similaridade entre essas técnicas de conversão; porém o circuito apresentado tem a vantagem de não utilizar um grande número de comparadores e de circuitos decodificadores adicionais. Este fato também é importante, pois o conversor proposto pode apresentar menor consumo e ocupar menos área de silício em sua implementação. Devido as suas importantes vantagens, este tipo de conversor tem potencial para se tornar muito utilizado nos futuros circuitos de processamento digital.

## 5.2 Trabalhos Futuros

Neste trabalho, o circuito amplificador operacional e o circuito amostra-e-retém foram aplicados como exemplo em um circuito conversor A/D. Existe porém uma grande variedade de possibilidade de aplicações para estes circuitos, assim como [45] que desenvolve um circuito multiplicador e [46] que usa técnicas “rail-to-rail” com  $g_m$  constante em conversores V-I. O objetivo deste trabalho se concentrou na elaboração de um amplificador para operação em circuitos de baixa tensão. Porém, foram considerados também circuitos muito interessantes de amostragem e de conversão de sinais. Estes circuitos poderão ser aperfeiçoados em estudos futuros, pois, apresentam um grande potencial a ser desenvolvido.

Este trabalho apresenta uma alternativa para se obter operação de “rail-to-rail” com  $g_m$  constante. Entretanto, as referências [42] e [44] apresentam um estudo baseado na utilização de espelhos de corrente na seleção de corrente mínima pelos pares diferenciais enquanto [43] realiza duas vezes a conversão de corrente. Cada um desses circuitos tem suas vantagens e desvantagens e mostram a diversidade de maneiras de se resolver o problema da variação de  $g_m$  nos pares diferenciais complementares. É importante a verificação destas técnicas descritas para se poupar um esforço desnecessário do projetista de circuitos integrados, que poderá ficar mais ocupado com novos desafios que surgirem em seu trabalho.

## Agradecimentos

Agradeço a Deus, pelo insuperável amparo em todos os momentos e por iluminar e guiar os nossos pensamentos, para que possamos transformar o mundo num lugar melhor.

Ao Prof. Tales Cleber Pimenta, Coordenador do Grupo de Microeletrônica da UNIFEI, e meu orientador, que me auxiliou no desenvolvimento deste trabalho e permitiu o acesso aos computadores, impressoras, bibliografias, etc.

Ao Prof. Laércio Caldeira, agradeço pela revisão do texto. Também agradeço ao Prof. Robson Luiz Moreno, pelas constantes reconfigurações em meu microcomputador e pelo esclarecimento de várias dúvidas pertinentes a este trabalho.

À Secretária Ilda Carvalho de Andrade, o seu filho Renato Augusto Andrade de Carvalho, aos colegas Evandro Daniel Cotrim Calderaro Júnior, José Feliciano Adami e Benedicto Marcos Salomon, pelos momentos de descontração, companhia e aos apoios prestados.

À todos os meus familiares, amigos, funcionários e professores da UNIFEI, pela minha formação, incentivo e amizade.

Às minhas queridas amigas do Paraná, Sílvia, Samanta e Sofia, por sempre trazerem alegria com suas belas apresentações musicais.

À Fundação CAPES que, através do programa “Demanda Social”, viabilizou este trabalho.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] R. Hogervorst, K.H. Huijsing, “**Design of Low-Voltage, Low-Power Operational Amplifier Cells**” Kluwer Academic Publishers, 1996.
- [2] C.Hwang, “**A universal Approach to the Design of Low-Voltage Constant- $g_m$  analog VLSI Circuits**”, Dissertation, The Ohio State University, 1996.
- [3] C. Lin, “**A Robust Low Voltage CMOS Rail-to-Rail OpAmp Architecture**”, Dissertation, The Ohio State University, 1997.
- [4] G. Ferri, W. Sansen, “**A Rail-to-Rail Constant- $g_m$  low-voltage CMOS Operational Transconductance Amplifier**”, IEEE Journal of Solid-State Circuits, vol. 32, nº 10, October 1997.
- [5] C. Hwang, Akira Hyogo, M. Ismail, A. Motamed, H. Kim, “**Low-voltage, low-power CMOS Analog Building Blocks for Mobile Microelectronics Applications**”, SBMICRO 1997.
- [6] J.H. Huisijsing, and D. Linebarger, “**Low-Voltage Operational Amplifier with Rail-to-Rail Input and Output ranges**”, IEEE Journal of Solid-State Circuits, vol. SC-20, Dec. 1985 , pp. 1144-1150.
- [7] P.E. Allen and D. R. Holberg, “**CMOS Analog Circuit Design**”. Saunders College Publishing, 1987.
- [8] W.Serdijn, A.C. van der Woerd, and J.C.Kuenen, eds., **Special Issue on Low-Voltage Low-Power Analog Integrated Circuits**. J. Analog Integrated Circuits and signal Processing, Vol 8 nº 1, july 1995.
- [9] R Hogervorst, R. J. Wiegerink, P.A.L. de Jong, J. Fonderie, R. Wassenaar, and J. H. Huising, “**CMOS low-voltage operational amplifiers with constant- $g_m$  rail-to-rail input stage**,” in Proc. ISCAS,1992, pp. 2876-2879.

- [10] J. H. Huising, R Hogervorst, and K.J. Langen, “**Low-voltage low-power amplifiers**,” in Proc. ISCAS,1993, pp. 1443-1446.
- [11] R Hogervorst, J. H. Huising, and K.J. Langen, “**Low-voltage low-power amplifiers**,” in Analog Circuit Design, R. J. V. De Plassche, W. M. C. Sansem, and J. H. Huising,Eds. Norwell, MA: Kluwer Academic, 1995, pp. 17-47.
- [12] R Hogervorst et al., “**Compact power efficient 3V CMOS rail-to-rail input/output op amp for VLSI cell libraries**,” IEEE J. Solid-State Circuit Syst. I, vol. 42, pp. 1505-1513, Dec. 1994.
- [13] K. Nagaraj, “**Constant transconductance CMOS amplifier input stage with rail-to-rail input common-mode voltage**,” IEEE Trans. Circuit Syst. I, vol. 42, pp. 366-368, May 1995.
- [14] J. H. Botma, R. F. Wassenaar, and R. J. Wiegerink, “**A low-voltage CMOS op. amp. with a rail-to-rail constant- $g_m$  input stage and a class AB rail-to-rail output stage**,” in Proc. ISCAS, 1993, pp. 1314-1317.
- [15] S. Setty and D. Toumazou, “**CMOS +1V to -1V, rail to rail operational amplifier**,” in IEE Colloquium Analogue /signal Processing, Dig, 1994/185, 1994, pp. 10/1-10/7.
- [16] A. L. Coban, P.E. Allen, “**A 1.75V rail-to-rail CMOS op amp**,” in Proc. IEEE Symp. Circuit and Systems, Aug. 1994, vol. 5, pp. 497-504.
- [17] A. L. Coban, P.E. Allen, and X. Shi, “**Low -voltage analog IC design in CMOS technology**,” IEEE Trans. Circuit Syst. I, vol. 42, pp. 955-958, Nov. 1995.
- [18] M. Ryat, “**Rail-to-rail CMOS op amp**,”U.S. patent 5 208 552, May 1993.



- [19] C. Hwang, A. Motamed, and M. Ismail, “**Universal constant- $g_m$  input stage architectures for low-voltage op amps,**” IEEE Trans. Circuit Syst. I, vol. 42, no. 11, pp. 886-895, Nov. 1995.
- [20] W. R. White, “**A high bandwidth constant  $g_m$  and slew-rate rail-to-rail CMOS input circuit and its application to analog cells for low voltage VLSI systems,**”IEEE J. Solid-state Circuits, vol. 32, pp. 701-712, may 1997.
- [21] P. J. Crawley and G. W. Roberts, “**Designing operational transconductance amplifiers for low voltage operation,**”in Proc. ISSAS, 1993, pp. 1455-1458.
- [22] K. R. Laker and W. M. C. Sansen, “**Design of Analog Integrated Circuits and Systems.**” New York: McGraw-hill, 1995.
- [23] F. You, S. H. K. Embabi, and E. Sánchez-Sinencio, “**On the CMRR in low voltage operational amplifiers with complementary N-P input pairs,**”IEEE Trans. Circuits Syst. II, vol. 44, pp. 687-693, Aug. 1997.
- [24] F. Goodenough, “**1997: The year of the rail-to-rail I/O IC op amp,**”Eletron. Design, Sept. 2, 1997. pp. 97-108.
- [25] West, N. and Eshraghian, K – “**Principles of CMOS VLSI Design – A System Perspective**”.
- [26] Geiger, R.L.; Allen, P.E. and Strader, N.R. – “**VLSI Design Techniques for Analog and Digital Circuits**” – McGraw Hill, Inc. – pp 495-518 – 1990.
- [27] Gregorian, R. and Temes, G.C. – “**Analog Integrated Circuits for Signal Processing**” – John Wiley & Sons - pp 425-436 – 1986.
- [28] Haskard, M.R. and May, I.C. – “**Analog VLSI Design**” – Prentice Hall – pp 113-141 1988.
- [29] Sedra, A.S. and Smith, K.C. – “**Microelectronic Circuits**” – Oxford University Press, Inc. 1998.

- [30] J.A. Ficher and R. Koch, “**A highly linear CMOS buffer amplifier,**” IEEE Journal of Solid-State Circuits, vol. SC-22, pp. 330-334, june 1987.
- [31] J. F. Duque-Carrillo, J. M. Valverde, and R. Pérez-Aloe, “**Constant  $g_m$  rail-to-rail common-mode range input stage with minimum CMRR degradation,**” IEEE Journal of Solid-State Circuits, vol. SC-28, pp. 661-666, june 1993.
- [32] S. Sakurai, “**Design of Rail-to-Rail CMOS Operational Amplifiers for a 3-V Supply.**” Ph.D Dissertation in Elec. Eng., Ohio State Univ., 1994.
- [33] F. You, S. H. K. Embabi, and E. Sánchez, “**The Limitation of CMRR in low voltage operational amplifiers with N-P input pairs,**” Proceedings of the IEEE Internacional Symposium, Hawaii, June 1996.
- [34] J. V. Wait, L. P. Huelsman, and G. A. Korn, “**Introduction to Operational Amplifier Theory and Application.**” McGraw Hill, 1992.
- [35] M. Song, Y. Lee, and W. Kim, “**A Clock Feedthrough Reduction Circuits for Switched-Current Systems,**” IEEE Journal of Solid-State Circuits, vol.-28 N° 2, February 1993.
- [36] M. Helfenstein and G. S. Moschytz, “**Clock Feedthrough Compenstion Technique for Switched-Current Circuits,**” IEEE Transactions on Circuits and Systems: Part II, vol. 42 N° 3, pp. 229-231, March 1995.
- [37] G. Wegmann and E. Vittoz, “**Analysis and Improvements of accurate dynamic current mirrors,**”IEEE Journal of Solid-State Circuits, vol. 25 N° 3, pp. 699-706, june 1990.
- [38] H. C. Yang, T. S. Fiez, and D. J. Allstot, “**Current-feedthrough effects and cancellation techniques in switched-current circuits,**” Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 3186-3188, 1990.

- [39] M. Wang, T.L. Mayhugh, S.H.K. Embabi, E.S. Sinencio, “**Constant- $g_m$  Rail-to-Rail CMOS Op. Amp. Input Stage with Overlapped Transition Regions**”, IEEE Journal of Solid-State Circuits, vol. 34 N° 2, february 1999.
- [40] Troutman Ronald R., “**Latchup in CMOS Technology, The Problem and Its Cure**”, Kluwer Academic Publishers, 1986.
- [41] R. Van de Plassche, “**Integrated Analog-to-Digital and Digital-to-Analog Converters**”, Kluwer Academic Publishers, 1995.
- [42] A. Motamed, C. Hwang, and M. Ismail, “**A Programmable Low-Voltage Micropower CMOS Input Stage Architecture**,” VLSI Circuits Symposium, Hawaii, June 1996.
- [43] Z. Qi, “**A Low voltage, CMOS Operational Amplifier with Constant- $g_m$  Control and Rail-to-Rail Input/Output swings**,” Master Thesis in Elec. Eng., Ohio State Univ., 1995.
- [44] A. Motamed, C. Hwang, and M. Ismail, “**A Low-Voltage Low-Power CMOS Op. Amp. Architecture**”, Proc. of the 2<sup>nd</sup> ICECS, Amman, Jordan, pp. 157-160, December 1995.
- [45] N. Sun, “**Low-Voltage, Commom Mode Rail-to-Rail CMOS Analog Multiplier with Constant transconductance**.” Master Thesis in Elec. Eng., Ohio State Univ., 1995.
- [46] V. Mehrotra, “**Low-Voltage CMOS Constant Transconductance Operacional Amplifier and Linear Voltage-to-current Converters**.” Master Thesis in Elec. Eng., Ohio State Univ., 1995.

## Sumário

<b>RESUMO .....</b>	<b>1</b>
<b>ABSTRACT .....</b>	<b>2</b>
<b>INTRODUÇÃO.....</b>	<b>3</b>
<b>O PAR DIFERENCIAL EM BAIXA TENSÃO .....</b>	<b>5</b>
1.1    CONSIDERAÇÕES INICIAIS.....	5
1.2    O PAR DIFERENCIAL (DP) .....	5
1.3    CORRENTE TOTAL DE SAÍDA NOS PARES DIFERENCIAIS.....	9
1.4    PRINCÍPIO DE OPERAÇÃO DO PAR COMPLEMENTAR.....	13
<b>AMPLIFICADOR OPERACIONAL PROPOSTO .....</b>	<b>15</b>
2.1    CONSIDERAÇÕES INICIAIS.....	15
2.2    ESTÁGIO DE ENTRADA COM REGIÕES DE TRANSIÇÃO SOBREPOSTAS .....	17
2.3    ESTÁGIO DE ENTRADA COMPLEMENTAR COM DESLOCADORES DE NÍVEL DC .....	22
2.4    ESTÁGIO DE SAÍDA CLASSE AB .....	24
2.5    AMPLIFICADOR OPERACIONAL COM DESLOCADORES DE NÍVEL DC NO ESTÁGIO DE ENTRADA.....	27
2.6    SIMULAÇÕES.....	30
2.6.1    Característica DC.....	30
2.6.2    Características AC.....	33
2.6.3    Taxa de Inclinação (“Slew-Rate”) e Distorção Harmônica Total (THD).....	37
2.7    RESUMO PARA O AMPLIFICADOR PROPOSTO.....	40
<b>APLICAÇÃO I – CIRCUITO AMOSTRA-E-RETÉM.....</b>	<b>41</b>
3.1    CONSIDERAÇÕES INICIAIS.....	41
3.2    CIRCUITO AMOSTRA-E-RETÉM (SH) BÁSICO .....	43
3.2.1    Chave e Capacitor de Retenção $C_{HOLD}$ .....	45
3.3    OPERAÇÃO “RAIL-TO-RAIL” (R-R) .....	46
3.3.1    Características do Buffer.....	46
3.3.3    Variação do Ganho em Malha Aberta .....	49
3.3.2    Buffer em Operação Rail-to-Rail.....	51
3.3.4    Distorção Harmônica Total (THD) .....	52

3.4	CIRCUITO SH RAIL-TO-RAIL COM $G_M$ CONSTANTE.....	54
<b>APLICAÇÃO II – CONVERSOR A/D.....</b>		<b>57</b>
4.1	CONSIDERAÇÕES INICIAIS.....	57
4.2	TÉCNICA DE CONVERSÃO .....	58
4.3	CONVERSOR DE 8 (OITO) BITS .....	64
4.4	SIMULAÇÕES E AJUSTES .....	68
4.5	LAYOUT E CONSIDERAÇÕES FINAIS .....	72
<b>CONCLUSÕES E TRABALHOS FUTUROS.....</b>		<b>74</b>
5.1	CONCLUSÕES .....	74
5.2	TRABALHOS FUTUROS .....	77
AGRADECIMENTOS .....		78
<b>REFERÊNCIAS BIBLIOGRÁFICAS.....</b>		<b>79</b>