

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Um Modulador de Pulsos de Modo
Misto e Baixo Consumo para
Aplicação em Conversores
Chaveados DC-DC

Filipe Guimarães Russo Ramos

Itajubá, dezembro de 2016

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Filipe Guimarães Russo Ramos

Um Modulador de Pulsos de Modo Misto e Baixo Consumo para Aplicação em Conversores Chaveados DC-DC

Tese submetida ao Programa de Pós-Graduação
em Engenharia Elétrica como parte dos requisitos
para obtenção do Título de Doutor em Ciências em
Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Prof. Tales Cleber Pimenta, PhD

Coorientador: Prof. Luís H. C. Ferreira, PhD

Dezembro de 2016

Itajubá

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Um Modulador de Pulsos de Modo Misto e Baixo Consumo para Aplicação em Conversores Chaveados DC-DC

Filipe Guimarães Russo Ramos

Tese aprovada por banca examinadora em 06 de
dezembro de 2016, conferindo ao autor o título de
Doutor em Ciências em Engenharia Elétrica.

Banca Examinadora:

Prof. Dr. Carlos Nazareth Motta Marins
Prof. Dr. Leonardo Mesquita
Prof. Dr. Ênio Ribeiro
Prof. Dr. Paulo César Crepaldi
Prof. Dr. Luís Henrique Carvalho Ferreira
Prof. Dr. Tales Cleber Pimenta

Itajubá
2016



"Ora et labora"
São Bento

Esta obra é dedicada ao meu padrinho Claudimir e à minha tia-avó Neide, meu muito obrigado pelo incondicional amor e paciência.

Agradecimentos

Agradeço a Deus pelas oportunidades na minha vida.

A todos meus familiares, em especial meus avós Carlos e Neuza, meus tios Celso, Claudimir e Neide, meu primo Marcelo, meus pais Acácio e Célia, e à minha namorada Sabrina pelo carinho.

Aos professores orientadores Tales e Luís Henrique, pelo crédito, confiança, amizade e suporte na realização deste trabalho.

Aos amigos Caio Alonso, Fadul Rodor, Marcelo Freire, Michel Santana, Rafael Leme, Rafael Pedrosa, Richard Saez, Rômulo Volpato, Sérgio Bortoloni e Thiago Mussolini pelo companheirismo, amizade, aprendizagem e momentos de descontração durante nossa nobre jornada e missão do desenvolvimento da Microeletrônica no Brasil.

À Universidade Federal de Itajubá, pela minha formação de cidadão brasileiro e engenheiro eletricista.

Meus mais sinceros agradecimentos.

Resumo

Ainda que estudos de controladores digitais para conversores chaveados DC-DC (*Switched Mode Power Supplies – SMPS*) foram desenvolvidos nos últimos quinze anos, os controladores analógicos são amplamente adotados pela indústria, especialmente para aplicações portáteis (baseadas em baterias, como celulares, *notebooks*, *tablets* etc), devido aos custos e desvantagens dos controladores digitais tradicionais (alta frequência de amostragem de *clock* e consumo de potência).

Entretanto, à medida que dispositivos eletrônicos portáteis requerem menor espaço de placa de circuito impresso (*Printed Circuit Board – PCB*), então o uso de componentes passivos discretos para concepção de compensadores PID analógicos começa a se tornar indesejável e, da mesma forma, o uso de componentes passivos em circuitos integrados devido ao considerável custo e área de silício.

Para a solução do problema exposto, este trabalho propõe o desenvolvimento de um modulador de pulsos de modo misto (*Mixed-Signal Pulse Width Modulator – MSPWM*) a partir de células analógicas padrões em seu estado da arte, apresentando baixo consumo, alta precisão, alta linearidade, independência da temperatura de operação e, combinado ao uso de um compensador PID digital, torna-se desnecessário o uso de componentes passivos discretos, tornando-se uma potencial nova estratégia para aplicações portáteis.

Palavras-chaves: Modulador de pulsos de modo misto, MSPWM, controle digital de conversor DC-DC.

Abstract

State-of-the-art analog controllers for Switched Mode Power Supplies (SMPS) are widely adopted by the industry, mainly for portable applications (battery-based, such as cell-phones, notebooks, tablets etc), due the perceived cost and performance disadvantages of traditional digital controllers (high oversampling clock frequency and power consumption). However, being that portable devices require smaller PCB area, then the use of discrete passive devices in analog PID controllers is becoming unfeasible, as well the use of integrated passive devices due to high cost and large silicon area. To solve this problem, this work proposes a mixed-signal pulse width modulator (MSPWM) using state-of-art analog cells, presenting low-power consumption, high-precision, high-linearity, temperature independence and, combined with a digital PID compensation, it exempts the use of discrete devices and is a potential new solution for portable applications.

Keywords: Mixed-signal pulse width modulator, MSPWM, DC-DC converter digital control.

Lista de ilustrações

Figura 2.1 – Diagrama de blocos de um DPWM tradicional (baseado em contagem).	19
Figura 2.2 – Topologias baseadas em células em linha de atraso: (a) <i>tapped</i> em malha aberta e (b) <i>tapped</i> em malha fechada formando um oscilador em anel.	20
Figura 2.3 – DPWM baseado em malha fechada e segmentado: (a) diagrama de bloco e (b) célula de atraso baseada em sorvedouro de corrente.	21
Figura 2.4 – DPWM de 8-bit com calibragem automática: (a) diagrama de blocos e (b) célula de atraso do tipo dominó ajustável.	22
Figura 3.1 – Conversor <i>buck</i> implantado em malha fechada, controle digital e MSPWM.	25
Figura 3.2 – Conversor D/A baseado em modo corrente.	26
Figura 3.3 – Gerador de rampa com controle feedforward.	27
Figura 3.4 – 135 análises de ganho de malha de U1.	28
Figura 3.5 – Oscilador de relaxação projetado.	29
Figura 3.6 – Lógica de controle para um conversor chaveado DC-DC.	30
Figura 3.7 – Polarização de corrente dependente de α_R para compensação de temperatura.	31
Figura 3.8 – Variação da temperatura de operação - D/A (45 análises).	32
Figura 3.9 – Variação da temperatura de operação (detalhada) - D/A (45 análises).	32
Figura 3.10– <i>Layout</i> do modulador de pulsos de modo misto (MSPWM).	33
Figura 3.11–Pulso de saída do MSPWM proposto - 100 análises Monte Carlo. . . .	34
Figura 3.12–MSPWM INL (células não-calibradas) - 100 análises Monte Carlo. . . .	34
Figura 3.13–MSPWM DNL (células não-calibradas) - 100 análises Monte Carlo. . .	34
Figura 3.14–Amplificador Miller usado no gerador de rampa (Figura 3.3).	36
Figura 3.15–Amplificador <i>folded-cascode</i> usado no gerador de rampa (Figura 3.3). .	36
Figura 3.16–Comparador de tensão (Figura 3.1).	36
Figura 4.1 – Diagrama de blocos de um conversor <i>buck</i> implantado com controlador analógico.	40
Figura 4.2 – Diagrama de blocos de um conversor <i>buck</i> implantado com controlador digital.	40
Figura 4.3 – Modelo AC de um conversor <i>buck</i> operando em CCM.	43
Figura 4.4 – Modelo AC de um conversor <i>buck</i> operando em CCM - controle digital.	44
Figura 4.5 – Resposta de um controlador analógico PWM aplicado a um conversor <i>buck</i> assíncrono com ausência de carga e falta em curto-circuito.	45
Figura 4.6 – Tensão de saída V_{OUT} monitorada por conversor A/D.	46
Figura 4.7 – Análise do ganho de malha (domínio contínuo) para o conversor <i>buck</i> . .	48

Figura 4.8 – Análise transiente de um conversor <i>buck</i> síncrono (controlador analógico): (a) Análise completa incluindo <i>softstart</i> ; (b) Resposta à degrau de corrente $0 \rightarrow +1A$; (c) Resposta à rampa de tensão $V_{IN} = 4,2V \rightarrow 2,7V$.	49
Figura 4.9 – Análise do ganho de malha (domínio discreto) para o conversor <i>buck</i> .	51
Figura 4.10 – Análise transiente de um conversor <i>buck</i> síncrono (controlador digital): (a) Análise completa incluindo <i>softstart</i> ; (b) Resposta à degrau de corrente $I_{OUT} = 0 \rightarrow +1A$; (c) Resposta à rampa de tensão $V_{IN} = 4,2V \rightarrow 2,7V$.	52

Lista de tabelas

Tabela 3.1 – Parâmetros do amplificador Miller (3σ).	27
Tabela 3.2 – Parâmetros do amplificador <i>folded-cascode</i> (3σ).	27
Tabela 3.3 – Parâmetros do comparador de tensão (3σ).	28
Tabela 3.4 – Comparação MSPWM versus DPWMs.	35
Tabela 3.5 – Parâmetros de processo da tecnologia CMOS 0,18 μm	37
Tabela 3.6 – Dimensões dos componentes do conversor D/A (Figura 3.2).	37
Tabela 3.7 – Dimensões dos comparador de tensão (Figura 3.1).	37
Tabela 3.8 – Dimensões dos componentes do gerador de rampa (Figura 3.3).	38
Tabela 3.9 – Dimensões do oscilador de relaxação (Figura 3.5).	38
Tabela 4.1 – Erro de resolução de MSPWM para diferentes D_d e NM	41
Tabela 4.2 – Especificações de projeto para um conversor <i>buck</i> síncrono.	47
Tabela 4.3 – Resumo das medidas obtidas das simulações elétricas (<i>compliance matrix</i>).	51

Lista de símbolos

A/D	Conversor analógico-digital
ASIC	Circuito Integrado de Aplicação Específica (<i>Application Specific Integrated Circuit</i>)
C_d	Densidade de capacitância
CCM	Modo de Condução Contínua (<i>Continuous Conduction Mode</i>)
D	Ciclo ativo em regime permanente (modulador PWM)
D/A	Conversor digital-analógico
DLL	Malha Fechada de Atraso (<i>Delay Locked Loop</i>)
DNL	Erro Diferencial Não-Linear (<i>Differential Non-Linearity Error</i>)
DPWM	Modulador de Largura de Pulsos Digital (<i>Digital Pulse Width Modulator</i>)
DSP	Processador Digital de Sinal (<i>Digital Signal Processor</i>)
FPGA	Matriz Programável de Campo (<i>Field Programmable Gate Array</i>)
HDL	Linguagem de Descrição de <i>Hardware</i> (<i>Hardware Description Language</i>)
IC	Circuito Integrado (<i>Integrated Circuit</i>)
INL	Erro Integral Não-Linear (<i>Integral Non-Linearity Error</i>)
I_{OUT}	Corrente de Saída (conversor chaveado DC-DC)
KP	Ganho de transcondutância
L	Comprimento de canal (transistor MOSFET)
LSB	Bit Menos Significativo (<i>Less Significant Bit</i>)
MSB	Bit Mais Significativo (<i>Most Significant Bit</i>)
MSPWM	Modulador de Pulsos de Modo Misto (<i>Mixed-Signal Pulse Width Modulator</i>)
PCB	Placa de Circuito Impresso (<i>Printed Circuit Board</i>)
PFM	Modulação de Pulsos na Frequência (<i>Pulse Frequency Modulation</i>)

PID	Compensador Proporcional-Integrador-Derivador
PM	Gerenciamento de Potência (<i>Power Management</i>)
PMU	Unidade de Gerenciamento de Potência (<i>Power Management Unit</i>)
PSRR	Razão de Rejeição de Ruído de Fonte (<i>Power Supply Rejection Ratio</i>)
PWM	Modulação de Largura de Pulsos (<i>Pulse Width Modulation</i>)
SMPS	Fonte de Alimentação Chaveada (<i>Switched-Mode Power Supply</i>)
SR	Taxa de Variação <i>Slew Rate</i>
T	Temperatura de operação do circuito integrado
T_0	Temperatura operação ambiente do circuito integrado
TC_F	Coefficiente térmico fracional
TCV_t	Coefficiente térmico linear - tensão de limiar
V_{BS}	Tensão de Corpo-Fonte
V_{BG}	Tensão de referência <i>Bandgap</i>
V_{DD}	Tensão de Alimentação
V_{GS}	Tensão de Porta-Fonte
V_{IN}	Tensão de Alimentação de Entrada (conversor chaveado DC-DC)
V_{OS}	Tensão de deslocamento DC (<i>offset</i>)
V_{OUT}	Tensão de Saída (conversor chaveado DC-DC)
V_{th}	Tensão de Limiar (<i>Threshold Voltage</i>)
W	Largura de canal (transistor MOSFET)
clk	Referência de tempo para circuitos digitais (<i>clock</i>)
d	Ciclo ativo em regime transistório (modulador PWM)
f_s	Frequência de chaveamento para conversor DC-DC
ve	Tensão de erro (compensador PID)
vr	Tensão portadora dente-de-serra (modulador PWM)
α_R	Coefficiente de temperatura linear de resistor
ρ	Resistência de folha

Sumário

1	INTRODUÇÃO	16
1.1	Considerações Gerais	16
1.2	Justificativas	17
1.3	Objetivos	17
1.4	Estrutura do Trabalho	18
2	MODULADORES DE PULSO DIGITAIS - DPWMS	19
2.1	Introdução	19
2.2	Dissipação de Potência	19
2.3	Linearidade	19
2.4	Dependência de Layout	23
2.5	Capacidade de Calibragem	23
3	MODULADOR DE PULSOS DE MODO MISTO - MSPWM	24
3.1	Introdução	24
3.2	Diagrama de Blocos - MSPWM	24
3.3	Conversor Digital-Analógico (D/A)	25
3.4	Gerador de Rampa e Comparador de Tensão	26
3.5	Oscilador de Relaxação	28
3.6	Lógica de Controle	29
3.7	Polarização, Calibragem e Compensação de Temperatura	30
3.8	Implantação Física e Resultados de Simulações	31
3.9	Parâmetros de Processo CMOS 0,18 μm e Dimensões dos Blocos	35
4	APLICAÇÃO: CONVERSOR DC-DC BUCK COM MSPWM	39
4.1	Introdução	39
4.2	Especificações Estáticas	39
4.3	Especificações Dinâmicas	42
4.3.1	Restrições do Compensador PI Digital e MSPWM	45
4.3.2	Restrições do Conversor A/D	45
4.4	Aplicação: Conversor Buck para Circuitos a 1,8 V	46
5	CONCLUSÕES E TRABALHOS FUTUROS	53
	APÊNDICE A – CONVERSOR FLASH A/D	55

APÊNDICE B – CÓDIGOS DE DESCRIÇÃO DE HARDWARE . .	56
APÊNDICE C – TRABALHOS PUBLICADOS	59
Referências	60

1 Introdução

1.1 Considerações Gerais

Na área de Eletrônica de Potência, os circuitos utilizados no Gerenciamento de Potência (*Power Management - PM*) vêm sendo discutidos e aplicados aos equipamentos eletrônicos, especialmente nos últimos quinze anos. As Unidades de Gerenciamento de Potência (*Power Management Units - PMUs*) desempenham papel fundamental nos atuais sistemas eletrônicos, especialmente para sistemas portáteis e embarcados que recebem alimentação à base de baterias. Em geral, os PMUs apresentam as características de otimizar o consumo médio de potência de sistemas eletrônicos, bem como prolongar o tempo de vida de baterias e reduzir os requerimentos de resfriamento de circuitos de potência.

Os conversores chaveados DC-DC são muito populares na concepção de PMUs, devido às excelentes taxas de eficiência (geralmente entre 90% e 95%) para potências na faixa de miliwatts a megawatts, e correntes na faixa de miliampères a kiloampères. Para cada faixa de operação da corrente de saída de um conversor chaveado, seu respectivo sinal de controle pode operar com três tipos de modulações: em largura de pulso (*Pulse Width Modulation - PWM*), em frequência (*Pulse Frequency Modulation - PFM*) ou em largura de pulso e frequência (controle com histerese), com o objetivo de sempre trabalhar em zona ótima de eficiência energética. As principais aplicações dos conversores chaveados DC-DC são como reguladores de tensão ou corrente para cargas críticas, implantados em malha fechada, com realimentação da tensão de saída V_{OUT} (modo tensão) ou realimentação da tensão de saída V_{OUT} e corrente de saída I_{OUT} (modo corrente). Ainda, com relação à tensão de alimentação V_{IN} , os conversores mais populares são o *buck* ($V_{OUT} < V_{IN}$), *boost* ($V_{OUT} > V_{IN}$) e *buck-boost* (V_{OUT} maior ou menor que V_{IN} dependendo da parametrização do sinal de controle).

Na indústria de semicondutores, com o crescimento contínuo da capacidade de portas lógicas por unidade de área de matrizes programáveis de campo (*Field Programmable Gate Array - FPGA*) e células padrões em circuitos integrados de aplicação específica (*Application Specific Integrated Circuit - ASIC*), tipicamente implantada em processos CMOS, o controle digital de conversores chaveados DC-DC tem sido estudado e mostra-se uma área desafiadora. A estratégia clássica, implantada nos ASICs para PMUs, é o controle analógico que se encontra no estado da arte e apresenta diversas vantagens em relação aos circuitos de controle digital: área reduzida e ótima de silício, baixo consumo quiescente, alta precisão, alta linearidade e independência da temperatura de operação. Por outro lado, o controle digital se apresenta com duas características muito atraentes: alto reuso de projetos, uma vez que são executados com linguagens de descrição de *hard-*

ware (*Hardware Description Languages – HDLs*) e, desta forma, se reduzindo tempo e custos de engenharia, e implantação de compensadores de frequência através de memórias em tabelas *look-up*, o que elimina a necessidade de componentes passivos externos usados no controle analógico.

1.2 Justificativas

Um controle completo de um conversor chaveado DC-DC em modo tensão exige que existam realimentações da tensão de saída V_{OUT} para o controle (*feedback*) e da tensão de alimentação V_{IN} para o controle (*feedforward*). Um dos desafios de inovação em controle digital de conversores DC-DC é evitar o uso de dois conversores A/D para realizar ambos os controles, visto que consomem área significativa e consumo de potência em circuitos integrados. O circuito apresentado por Oliva [1], embora seja baseado em modelagem usando a técnica de variáveis de estado (muito precisa), foi implantado em DSP, com um número significativo de parâmetros e, portanto, se mostra como um circuito complexo e de consumo de área e potência, para fabricação em circuito integrado. Patela [2] desenvolve um controlador com células de baixo consumo quiescente, mas com o uso de conversor A/D de alto custo de calibragem. Um ponto comum nos trabalhos de [1, 2] é a ausência do controle *feedforward*, inviabilizando o uso destas estratégias em aplicações comerciais.

Outro ponto crítico nos controladores digitais é o desempenho do modulador digital de pulsos (*Digital Pulse Width Modulator – DPWM*): a estratégia mais tradicional, baseada em contadores e comparadores digitais simples, consome potência significativa para frequências de chaveamento do conversor f_s acima de 1 MHz, apesar de apresentar linearidade e precisão satisfatórias. As estratégias mais estudadas na literatura são baseadas em DPWMs com uso de células em linha de atraso, onde não usam *clocks* de alta frequência, porém apresentam alta susceptibilidade às variações de processo de fabricação de circuitos integrados e dependência com a temperatura de operação, como se observa nas obras [3, 4, 5].

1.3 Objetivos

O que se busca neste trabalho é comprovar a tese que a topologia de um modulador de pulsos de modo misto (MSPWM) atende à crescente demanda de PMUs, especialmente em conversores chaveados DC-DC, de modo a ter desempenho semelhante aos encontrados nos controladores analógicos (estado da arte) e, ao mesmo tempo, ter como variável de entrada uma palavra digital proveniente de um compensador de frequência PID digital e, portanto, não utilizando componentes passivos discretos, economizando espaço e custos de placas de circuito impresso, requisito fundamental para aplicações portáteis.

Para isto, o modulador proposto é composto a partir de células analógicas padrões, encontradas de forma comum nos *kits* de desenvolvimento de processo de fabricação CMOS de circuitos integrados e, desta forma, facilitando o reuso de projetos de engenharia. Na topologia de modo misto, o controle de *feedforward* é implantado através da realimentação da tensão de entrada V_{IN} que modula a amplitude da tensão de um gerador de rampa, e o controle de *feedback* é através da entrada de uma palavra digital proveniente de um compensador de frequência PID digital em um conversor D/A de alto desempenho e, portanto, todos os controles previstos no modo tensão de um conversor chaveado DC-DC. Finalmente, todas as células analógicas padrões devem apresentar parâmetros elétricos como consumo de potência, linearidade, independência à estrutura de *layout*, capacidade de calibragem e independência à temperatura de operação com desempenho superior aos apresentados nos DPWMs.

1.4 Estrutura do Trabalho

O trabalho está organizado em cinco capítulos, sendo um de introdução, um de conclusão e os demais de desenvolvimento.

O Capítulo 2 apresenta as topologias de moduladores de pulso digitais (DPWMs) mais relevantes publicadas até a data presente. O controle digital de conversores chaveados DC-DC é introduzido e uma análise de parâmetros de desempenho dos DPWMs, como o consumo de potência, linearidade, dependência com *layout*, capacidade de calibragem e dependência com a temperatura de operação, é realizada como base para o desenvolvimento da nova topologia.

O Capítulo 3 apresenta o desenvolvimento detalhado do modulador de pulso de modo misto (MSPWM), levando em consideração todos os parâmetros de projeto baseado em um processo CMOS 0,18 μm padrão e as considerações de desempenho discutidas no capítulo anterior.

O Capítulo 4 faz uma análise dos efeitos da discretização de sinais no controle digital em malha fechada de um conversor *buck* em modo tensão, e o circuito apresentado pela tese é validado através de simulações elétricas baseado em uma aplicação típica do conversor.

O Capítulo 5 apresenta as conclusões deste trabalho e sugestões de circuitos para aplicações comerciais, onde o controlador proposto torna-se economicamente viável para indústria de semicondutores e, desta forma, abrindo oportunidades para trabalhos futuros.

2 Moduladores de Pulso Digitais - DPWMs

2.1 Introdução

Ainda que discutido com frequência, nos últimos quinze anos, o projeto de moduladores digitais de pulsos (DPWMs) aplicados ao controle digital de conversores chaveados DC-DC, muitas questões podem ser encontradas que, na prática, fazem que a indústria de semicondutores não adote os DPWMs em produtos para a produção em larga escala. Alguns parâmetros de projeto importantes serão discutidos nas próximas seções.

2.2 Dissipação de Potência

A forma mais simples e econômica para se implantar um DPWM em tecnologia de circuitos integrados é o projeto de um circuito digital equivalente a um modulador de pulsos analógico clássico (DPWM tradicional), conforme se observa na Figura 2.1. Um contador de n -bit é utilizado de forma equivalente à geração de uma forma de onda dente-de-serra (contagem linear), seguido por um comparador digital (análogo ao comparador de tensão) que seleciona uma posição adequada, parametrizada por $d[n]$, para se faça a geração do ciclo ativo do sinal de controle de saída $c(t)$. O clock de alta frequência $hf_clk = 2^n f_s$, onde f_s é a frequência de chaveamento do conversor DC-DC, faz esta estratégia inviável para conversores que operem com $f_s > 1$ MHz, uma vez que a potência dissipada média é $P_{av} = C_L V_{DD}^2 hf_clk$ [6], onde C_L é a capacitância equivalente vista pelo modulador digital.

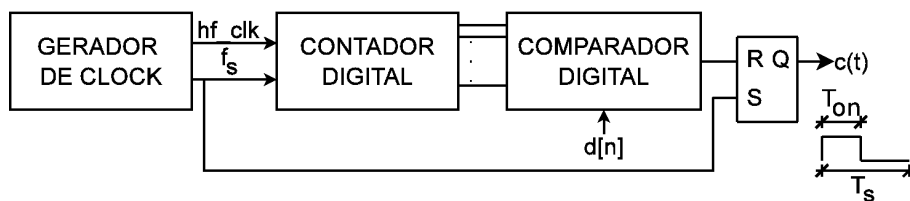


Figura 2.1 – Diagrama de blocos de um DPWM tradicional (baseado em contagem).

2.3 Linearidade

Uma forma alternativa à implantação de um DPWM tradicional é o uso de células em linha de atraso, conforme inicialmente proposto por [3], ou as versões mais atualizadas propostas por [4, 5].

A Figura 2.2(a) exibe um DPWM baseado em linha de atraso do tipo *tapped*. Este circuito aproveita a vantagem da propagação linear de um dado pulso oriundo de um clock clk através de células de atraso unitárias t_d conectadas em cascata, a fim de prover um ciclo ativo quantificado como uma função de um número escolhido de células. O multiplexador seleciona, através do código de entrada $d[n]$, o sinal que reinicia o sinal de saída PWM, logo realizando a função de selecionar uma das posições do quantificador da linha de atraso [7]. Neste circuito de malha aberta, a frequência de chaveamento f_s é imposta por um oscilador externo mas, devidas às variações do processo de fabricação CMOS e da temperatura de operação do circuito, $2^n t_d \neq T_s$ e há um descasamento significativo entre $d[n]$ e seu correspondente $c(t)$ (descasamento de ciclo ativo). Para contornar este problema, uma topologia de malha fechada é exibida na Figura 2.2(b) que, sendo esta baseada em um oscilador em anel, impõe a condição $2^n t_d = T_s$, mas a frequência do sinal de saída $c(t)$ varia com a temperatura de operação do circuito (descasamento de temperatura). Para ambos os circuitos da Figura 2.2, o número de 2^n células de atraso e um multiplexador de $2^n : 1$ são impraticáveis para DPWMs em que $n > 6$ devido à extensa área de silício e alto consumo de potência.

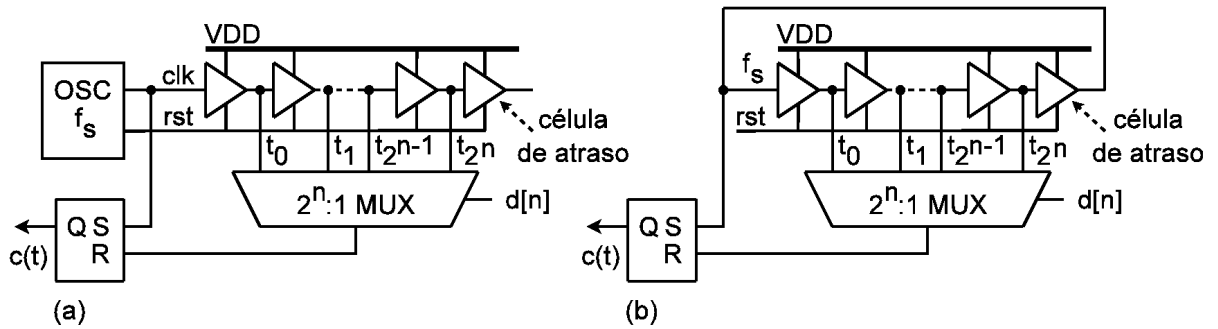


Figura 2.2 – Topologias baseadas em células em linha de atraso: (a) *tapped* em malha aberta e (b) *tapped* em malha fechada formando um oscilador em anel.

Um DPWM alternativo [4] baseado em malha fechada e em anel segmentado é exibido na Figura 2.3(a). Este circuito substitui um multiplexador extenso de $256 : 1$ em dois de $16 : 1$ e dimensionando-se as células de linha de atraso em escala logarítmica. A palavra de entrada de 8-bit $d[n]$ é dividida em duas partes. Os 4 MSBs são entradas para o MUX-B que definem a borda de subida do sinal de saída $c(t)$ e fazem um ajuste grosso do valor do ciclo ativo. Os 4 LSBs são entradas para o MUX-A que definem a borda de descida de $c(t)$ e fazem um ajuste fino do valor do ciclo ativo. Além do fato que consome menos área que [3], esta topologia é baseada em célula de atraso com sorvedouro de corrente, exibida na Figura 2.3(b) e tem capacidade de calibragem. O atraso desta célula depende da capacitância equivalente vista pelo nó A e pela quantidade de corrente I_b espelhada pelo circuito de polarização programável.

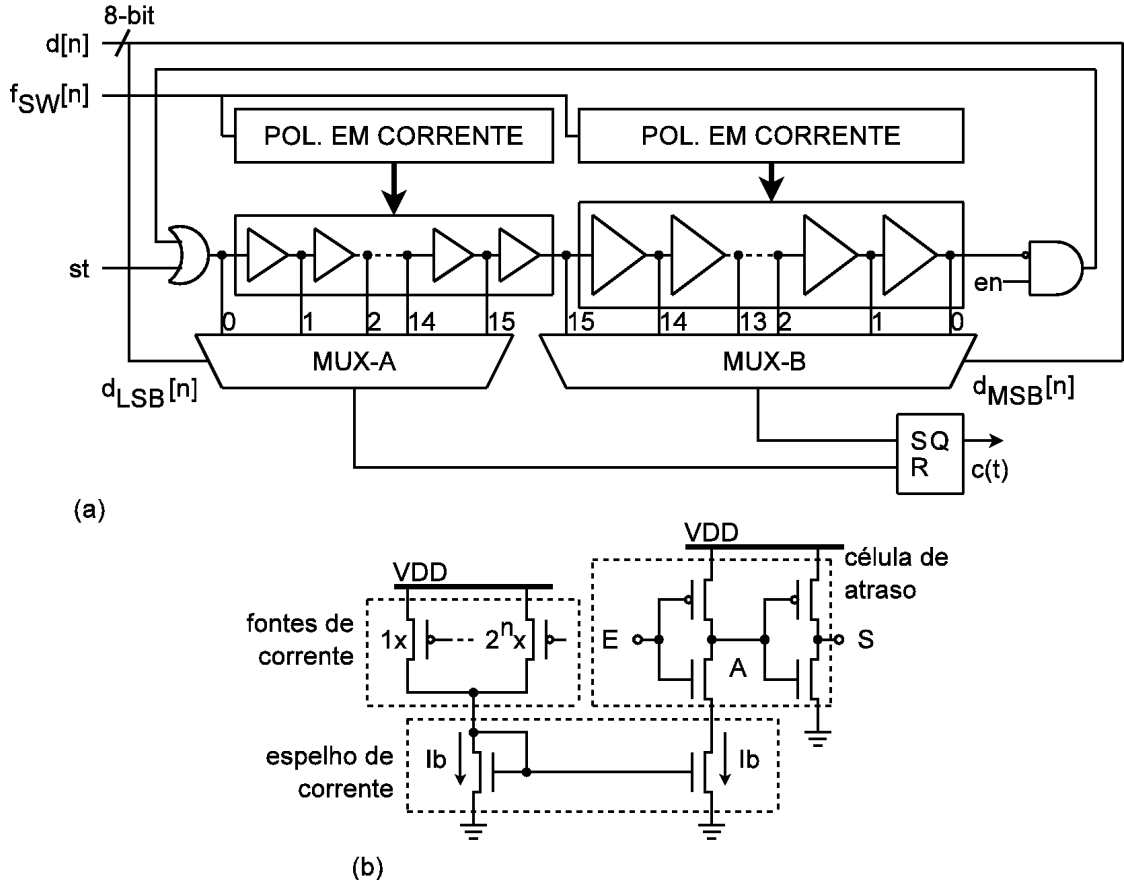


Figura 2.3 – DPWM baseado em malha fechada e segmentado: (a) diagrama de bloco e (b) célula de atraso baseada em sorvedouro de corrente.

A corrente pode ser escalonada pela programação digital do número de diferentes transistores PMOS conduzindo ao mesmo tempo. Este circuito melhora a linearidade (INL, DNL) à temperatura ambiente, mas infelizmente tem dependência significativa a variação de temperatura, uma vez que a capacitância equivalente vista pelo nó A é não-linear e função da temperatura.

Adicionalmente, a área e o consumo de potência de DPWMs do tipo *tapped* podem ser drasticamente reduzidas fazendo-se o uso de elementos de atraso idênticos e sintonizáveis, ao invés da replicação de t_d . O controle de tensão de cada segmento V_{ctrl} é ajustado para que se atinja $2^n t_d = T_s$ através de uma simples malha fechada de atraso (*Delay-Locked Loop - DLL*) e um circuito de reinicialização, conforme exibe a Figura 2.4(a) para um DPWM de 8-bit [5]. Nesta topologia de calibragem automática, cada segmento é idêntico e difere somente em sua V_{ctrl} individual. Cada elemento de atraso em Seg3 e Seg1 é constituído usando-se quatro células de atraso de Seg2 e Seg0, respectivamente. A frequência de oscilação pode ser ajustada variando simplesmente a tensão de referência V_{DD} do DPWM. Nesta arquitetura, a célula de atraso é baseada em um inversor lógico do tipo dominó, exibido na Figura 2.4(b).

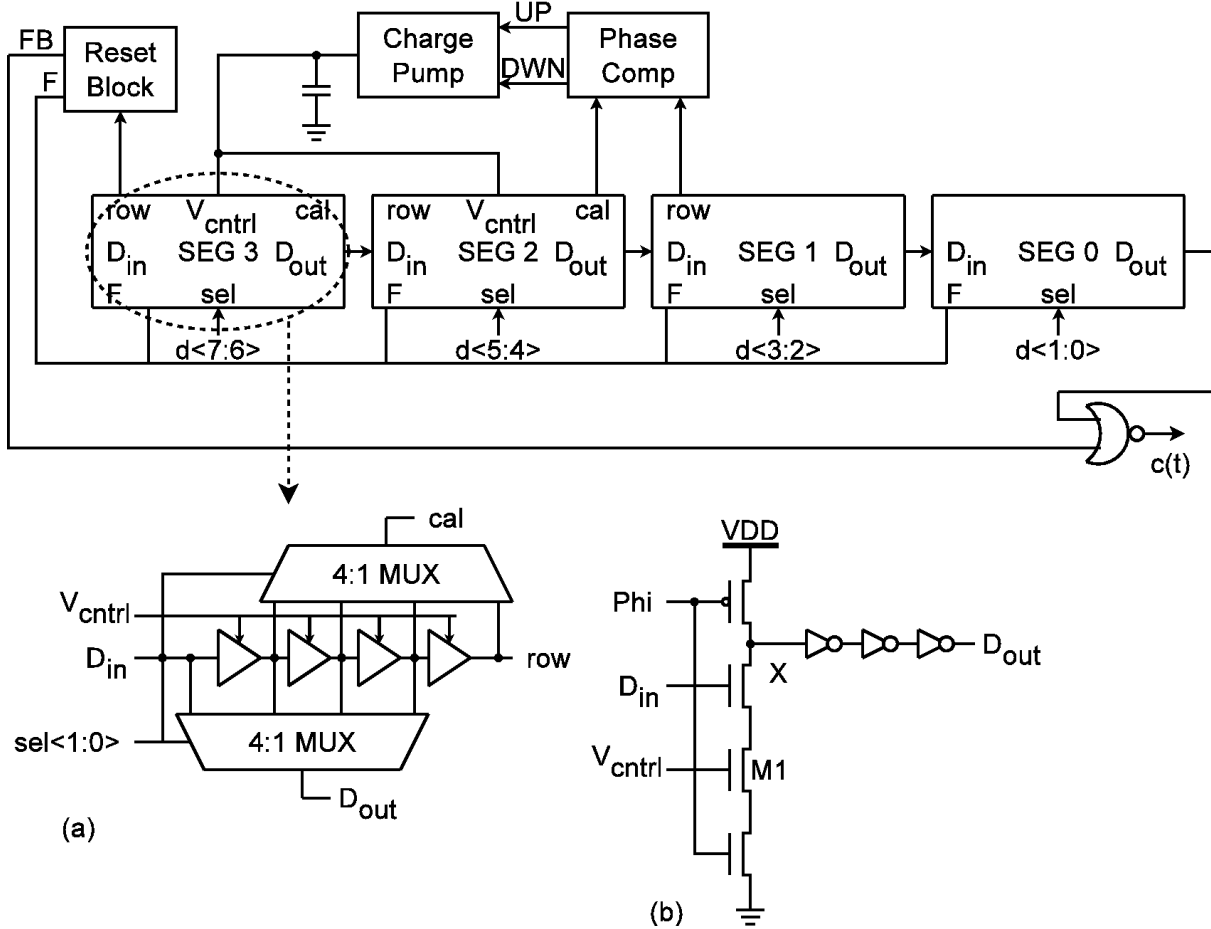


Figura 2.4 – DPWM de 8-bit com calibragem automática: (a) diagrama de blocos e (b) célula de atraso do tipo dominó ajustável.

O sinal Φ de pré-carregamento é usado para reinicializar todas as células de atraso ao final de cada ciclo PWM através do pré-carregamento do nó X à tensão V_{DD} . Uma vez pré-carregada, a célula atua como de atraso com sorvedouro de corrente.

A capacitância do nó X descarrega corrente, logo o atraso de propagação é controlado por V_{cntrl} . Conforme visto em [4], este circuito tem dependência significativa de temperatura, uma vez que a capacitância vista pelo nó X é não-linear e tem dependência com a temperatura de operação. Mais ainda, o transistor M1 é sorvedouro de corrente e sua tensão de limiar (*threshold voltage* – V_{th}) também é uma função da temperatura de operação, apresentando um desvio de seu valor absoluto para diferentes comprimentos de canal L . A fonte mais óbvia de não-linearidade neste circuito é oriunda do descasamento de atraso devido às variações de processo CMOS através de um segmento – este efeito não pode ser cancelado pela DLL.

2.4 Dependência de Layout

A resistência (R_p), capacitância (C_p) e indutância (L_p) parasitas são as principais restrições de roteamento para o projeto de DPWMs. Isto é válido não somente para células de atraso, como também para blocos sistemáticos. Como um exemplo, [5] notifica que os multiplexadores ligados às saídas das células de atraso têm linearidade degradada, uma vez que a capacitância de entrada equivalente destes são dependentes do código da palavra digital de entrada e, de forma complementar, as tensões dos nós dinâmicos de cada célula de atraso não são idênticas, devida à corrente de fuga através do transistor de entrada (inversor lógico do tipo dominó).

Finalmente, os DPWMs possuem parâmetros de construção de *layout* que são absolutos e em magnitudes distribuídas, os quais podem ser estimados somente com a modelagem através de algoritmos de computadores, formando complexas linhas de transmissões que podem divergir das medidas fisicamente em um processo CMOS real.

2.5 Capacidade de Calibragem

No DPWM tradicional (Figura 2.1), a calibragem é necessária somente para o oscilador que fornece o *clock* de alta frequência hf_clk , mas infelizmente esta estratégia não é adequada para aplicação portáteis de SMPS. No circuito da Figura 2.3(a), embora se apresente a possibilidade da calibragem de cada célula de atraso, não se apresenta a viabilidade técnica para que seja feita com precisão, uma vez que o nó dinâmico *A*, exibido na Figura 2.3(b), possui variação da sua capacitância equivalente em excursão muito grande de valores, uma vez que é não-linear e possui dependência com a temperatura de operação. Ainda, considere-se que a capacidade de 4-bit é suficiente para a calibragem de cada célula de atraso, então o número de espelhos de corrente necessários seriam de $16 \cdot 32 = 512$, o que não apresenta viabilidade financeira para execução do projeto devido ao consumo de área de silício requerido pelos espelhos e fusíveis correlatos. O circuito da Figura 2.4(a) possui calibragem automática, então os parâmetros de desempenho dependem daqueles discutidos no item anterior.

3 Modulador de Pulsos de Modo Misto - MSPWM

3.1 Introdução

Com o objetivo de resolver às questões práticas apresentadas no capítulo anterior sobre os DPWMs, esta tese propõe o projeto de um modulador de pulsos de modo misto (MSPWM), em tecnologia CMOS, que atenda aos requisitos técnicos exigidos ao controle digital de conversores chaveados DC-DC, com o foco especial na elaboração de um circuito com compensação da temperatura de operação e produção em larga escala em 3σ (99% de peças aproveitadas em um lote de fabricação do circuito integrado), discutido a seguir.

3.2 Diagrama de Blocos - MSPWM

A Figura 3.1 apresenta um conversor chaveado DC-DC do tipo *buck* com controle digital em malha fechada e implantado com o modulador proposto por esta tese. Observa-se que o compensador PID digital substitui o tradicional compensador analógico, usualmente implantado com componentes passivos discretos, por um sistema baseado em um conversor analógico-digital (A/D) e uma tabela implantada em memória integrada (do tipo *look-up*) e, portanto, sem o uso de componentes passivos externos ao circuito integrado. A variável de controle discreto $d[n]$ é uma palavra de entrada do MSPWM através de um conversor digital-analógico (D/A). Esta variável é convertida para uma tensão de erro ve que é comparada à uma tensão portadora vr do tipo dente-de-serra (gerador de rampa), onde resulta em uma relação linear entre a tensão de entrada e o ciclo ativo de saída d . Qualquer distúrbio na tensão de saída V_{OUT} é medida pelo conversor PID digital (controle de *feedback*) e qualquer distúrbio na tensão de entrada V_{IN} é medida pelo gerador de rampa, onde a amplitude da portadora é proporcional à V_{IN} (controle *feedforward*). Ambos MSPWM e compensador PID digital são síncronos a um *clock* de frequência 2 MHz e ciclo ativo de 90% e, portanto, dispensa o uso de um *clock* de alta-frequência usados nos controladores digitais tradicionais (menor consumo de energia).

Finalmente, o bloco de lógica de controle gera sinais discretos para (des)habilitar os semicondutores de potência *high-side* (HS) e *low-side* (LS), do tipo MOSFET, com um tempo morto entre a ativação individual de cada transistor, evitando o curto-circuito entre a tensão de entrada V_{IN} e a referência do estágio de potência. Nas seções subsequentes será discutido o projeto de cada bloco, com o objetivo de se construir um MSPWM de baixo consumo, alta linearidade e com compensação em temperatura.

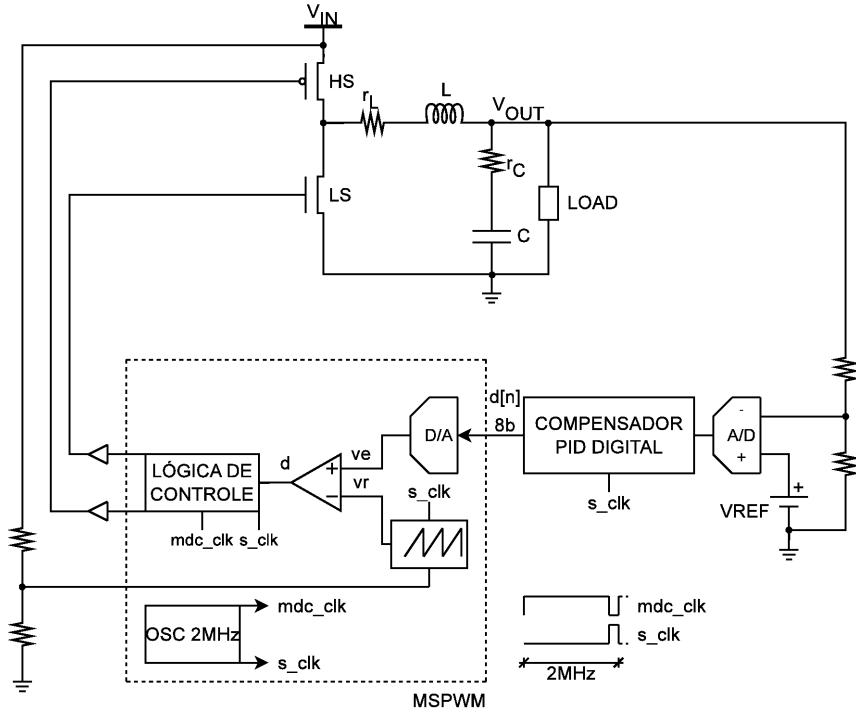


Figura 3.1 – Conversor *buck* implantado em malha fechada, controle digital e MSPWM.

3.3 Conversor Digital-Analógico (D/A)

A Figura 3.2 exibe o conversor D/A de 8-bit projetado. Inicialmente, considera-se a necessidade do uso de um conversor rápido, visto que a frequência de chaveamento f_s das atuais aplicações portáteis de SMPS é encontrada na faixa de 1 MHz a 10 MHz, então se requer baixo tempo de propagação t_p , alta taxa de variação (*slew rate* - SR) e baixo *glitch* do sinal de saída ve . Logo, uma topologia baseada em modo corrente se mostra mais adequada, e este trabalho se baseia na referência [8].

Adicionalmente, com o objetivo de uma resposta monotônica ótima, ou seja, baixos índices de erro integral não-linear (INL) e erro diferencial não-linear (DNL), os bits menos significativos (LSB) e mais significativos (MSB) são projetados em dois espelhos de corrente distintos e polarizados individualmente pelas correntes I_{B1} e $16I_{B1}$ e, desta forma, minimizando os erros provocados pelo descasamento aleatório dos transistores PMOS do circuito. A referência [9] notifica que um desvio padrão de $\sigma(I_{B1})/I_{B1} = 1\%$ é requerido para um aproveitamento de 99,7% por lote de fabricação do circuito integrado, considerando a topologia de modo corrente e a resolução de 8-bit. Na prática, isto é facilmente alcançado nos processos CMOS modernos e o pior caso medido nas simulações elétricas deste trabalho é de apenas $\sigma(I_{B1})/I_{B1} = 0,2\%$.

Finalmente, os espelhos são dimensionados em uma distribuição binária com o objetivo de se obter um consumo reduzido, área reduzida e baixa complexidade de *layout* baseada na técnica de centróide comum [10].

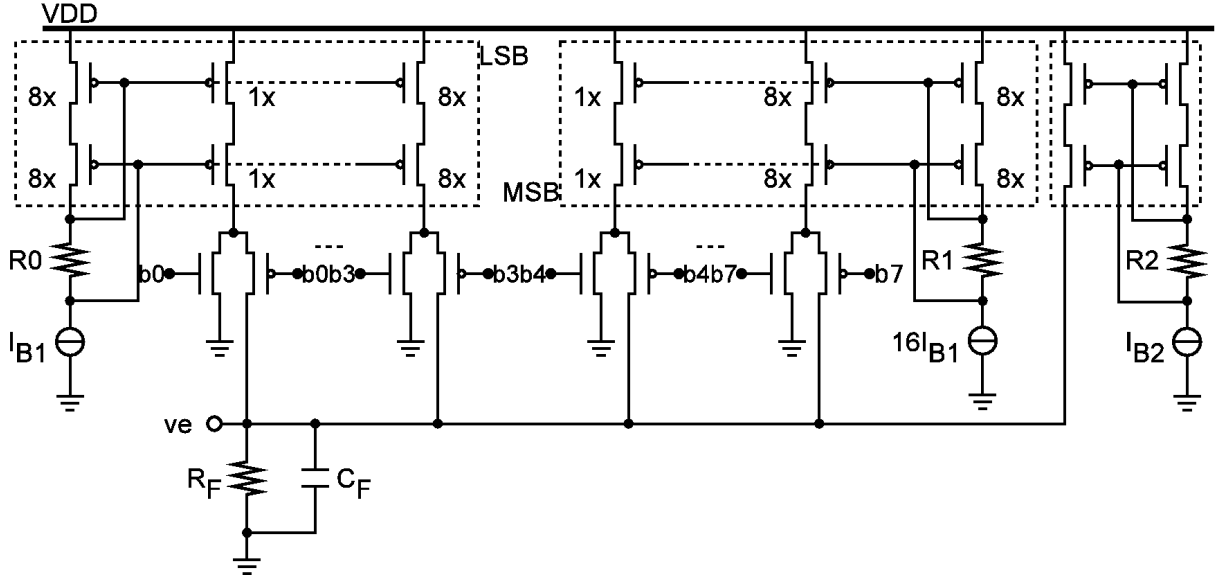


Figura 3.2 – Conversor D/A baseado em modo corrente.

Um espelho de corrente adicional, polarizado por I_{B2} , controla uma tensão de *offset*, calibrada para $ve = 140$ mV (quando $b<7:0> = 0d$), menor que a portadora vr e garantido que o ciclo ativo $d = 0$ seja possível (para conversores DC-DC assíncronos). Todos transistores operam na saturação em inversão forte, e as dimensões dos componentes estão descritos na seção 3.9, a seguir.

3.4 Gerador de Rampa e Comparador de Tensão

A Figura 3.3 exibe o gerador de rampa projetado. A tensão de saída vr é expressa pela Equação (3.1). Seu princípio de operação é simples: durante o tempo T_{ON} , quando a chave analógica está desligada, uma fonte de corrente de precisão I_r , composta pelo amplificador operacional U1 e espelho de corrente *cascode*, injeta uma corrente no capacitor C_r , logo carregando-o à uma tensão de pico vr_p . Durante o tempo T_{OFF} , a chave analógica está ligada e C_r é descarregado à tensão do estágio de saída do amplificador operacional U0, polarizado por uma referência de tensão fixa em $V_{offs} = 200$ mV. Esta tensão é maior que a mínima tensão $ve = 140$ mV e garante a condição de ciclo ativo mínimo de $d = 0$ para conversores DC-DC assíncronos. Nota-se que na Equação (3.1), vr é modulada pela tensão de entrada V_{IN} (controle *feedforward*).

$$vr_p = \frac{R_A}{R_A + R_B} \frac{V_{IN}}{R_{lrc} C_r} T_{on} + V_{offs} \quad (3.1)$$

Os amplificadores U0 e U1 são conectados às cargas (C_r e capacitâncias parasitas do espelho de corrente *cascode*) que compõem pólos e zeros no domínio da frequência e em pequenos sinais - as Tabelas 3.1 e 3.2 exibem os parâmetros de projeto dos amplificadores U0 e U1 respectivamente, e a Figura 3.4 exibe 135 simulações de ganho de

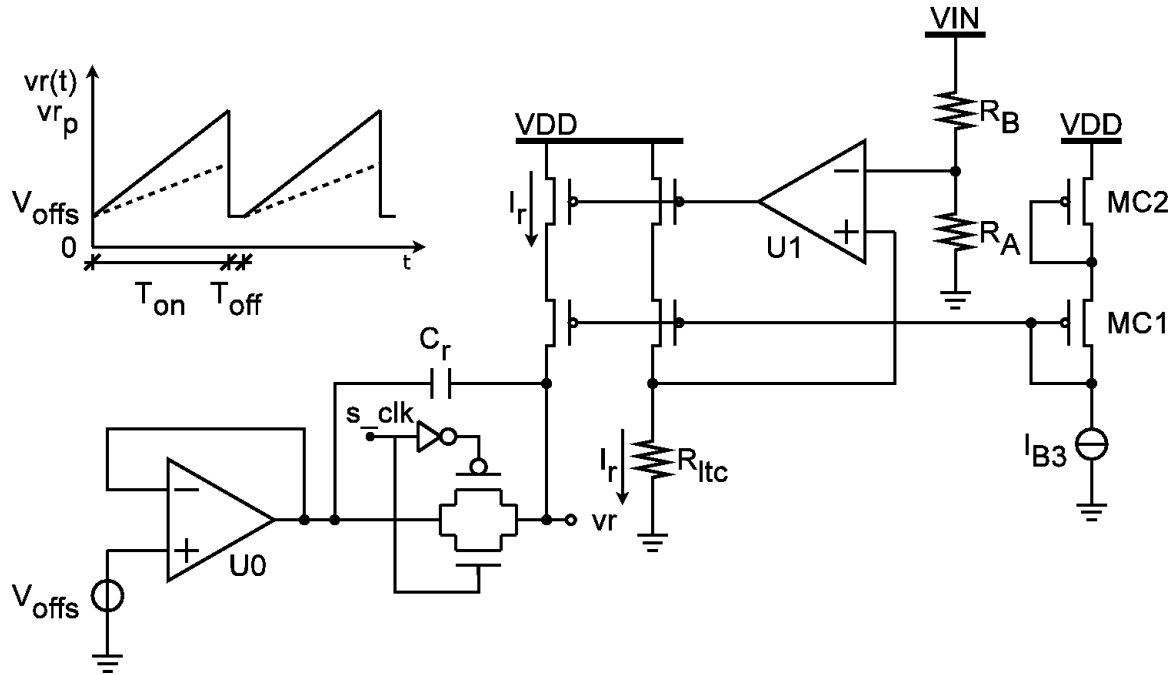


Figura 3.3 – Gerador de rampa com controle feedforward.

malha de U1 conectado à sua carga, considerando variações de processo CMOS, tensão de alimentação V_{DD} e temperatura de operação T . O comparador de tensão da Figura 3.1 é um amplificador Miller e seus parâmetros de projeto estão exibidos na Tabela 3.3.

Tabela 3.1 – Parâmetros do amplificador Miller (3σ).

Parâmetro	Símbolo	Mín.	Típ.	Máx.	Unid.
Tensão de entrada de modo comum	V_G	0,1	–	1,2	V
Ganho DC	A_{DC}	96	102	108	dB
Produto ganho-largura de banda	GBW	13	14	15	MHz
Margem de fase	MF	65	70	75	°
Margem de ganho	MG	18	20	22	dB
<i>Slew rate</i>	SR	7,0	8,5	10	V/ μ s
Tensão de <i>offset</i>	V_{Os}	-6,7	0,8	6,7	mV

Tabela 3.2 – Parâmetros do amplificador *folded-cascode* (3σ).

Parâmetro	Símbolo	Mín.	Típ.	Máx.	Unid.
Tensão de entrada de modo comum	V_G	0,2	–	1,2	V
Ganho DC	A_{DC}	89	93	96	dB
Produto ganho-largura de banda	GBW	1,7	2,0	2,3	MHz
Margem de fase	MF	70	80	90	°
Margem de ganho	MG	50	52	54	dB
<i>Slew rate</i>	SR	0,7	0,8	0,9	V/ μ s
Tensão de <i>offset</i>	V_{Os}	-6,7	0,0	6,7	mV

Tabela 3.3 – Parâmetros do comparador de tensão (3σ).

Parâmetro	Símbolo	Mín.	Típ.	Máx.	Unid.
Tensão de entrada de modo comum	V_G	0,1	–	1,3	V
Ganho DC	A_{DC}	92	99	106	dB
Produto ganho-largura de banda	GBW	150	225	300	MHz
Tempo de propagação	t_p	3,00	3,75	5,20	ns
Tensão de <i>offset</i>	V_{OS}	-5,0	0,6	5,0	mV

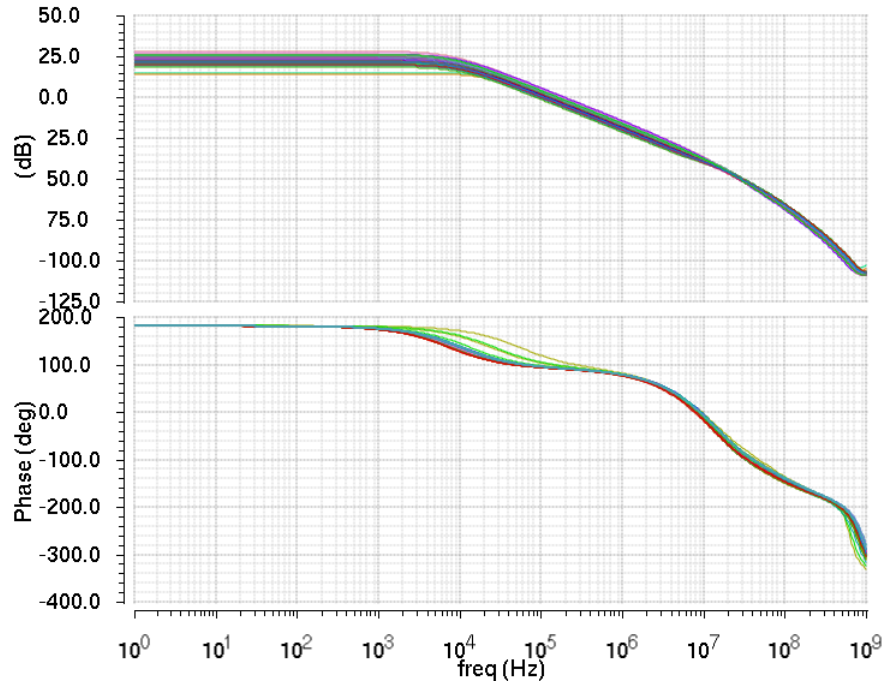


Figura 3.4 – 135 análises de ganho de malha de U1.

3.5 Oscilador de Relaxação

A Figura 3.5 exibe o oscilador de relaxação projetado [11]. Seu princípio de operação é o seguinte: assuma que o *latch* SR está em estado reiniciado e a chave analógica SW1 está desligada enquanto a chave analógica SW2 está ligada, mantendo o capacitor C_2 descarregado. Neste estado, a fonte de corrente $0,9I_{B4}$ carrega o capacitor C_1 linearmente até que a tensão V_{C1} atinja a tensão de comutação do inversor lógico V_T , e então o *latch* é iniciado, ligando SW1 e desligando SW2. Quando SW1 está ligada, C_1 é descarregado rapidamente e o carregamento linear de C_2 se inicia através da fonte de corrente $0,1I_{B4}$.

Assim que a tensão V_{C2} atinge V_T , então o *latch* é reiniciado, desligando SW1 e ligando SW2 e então o circuito volta ao seu estado inicial. Considerando que os espelhos de corrente são *cascodes*, o circuito tem alta rejeição à ruído de fonte (*Power Supply Rejection Ratio* – *PSRR*) e é facilmente calibrado por uma fonte de corrente com compensação de temperatura I_{B4} . Filtros passa-baixa R_FC_F são incluídos para manter constante V_{GS} para todos os transistores dos espelhos de correntes, e uma frequência de saída de alta precisão

é expressa pela Equação (3.2), onde $C_1 = C_2 = C$. Nota-se que o sinal mdc_clk possui um ciclo ativo de 90% a fim de sincronizar a frequência de chaveamento do estágio de potência f_s , e s_clk possui ciclo ativo de 10% para sincronizar o tempo de amostragem do compensador PID digital.

$$f_s = \frac{I_{B4}}{11,11CV_T} \quad (3.2)$$

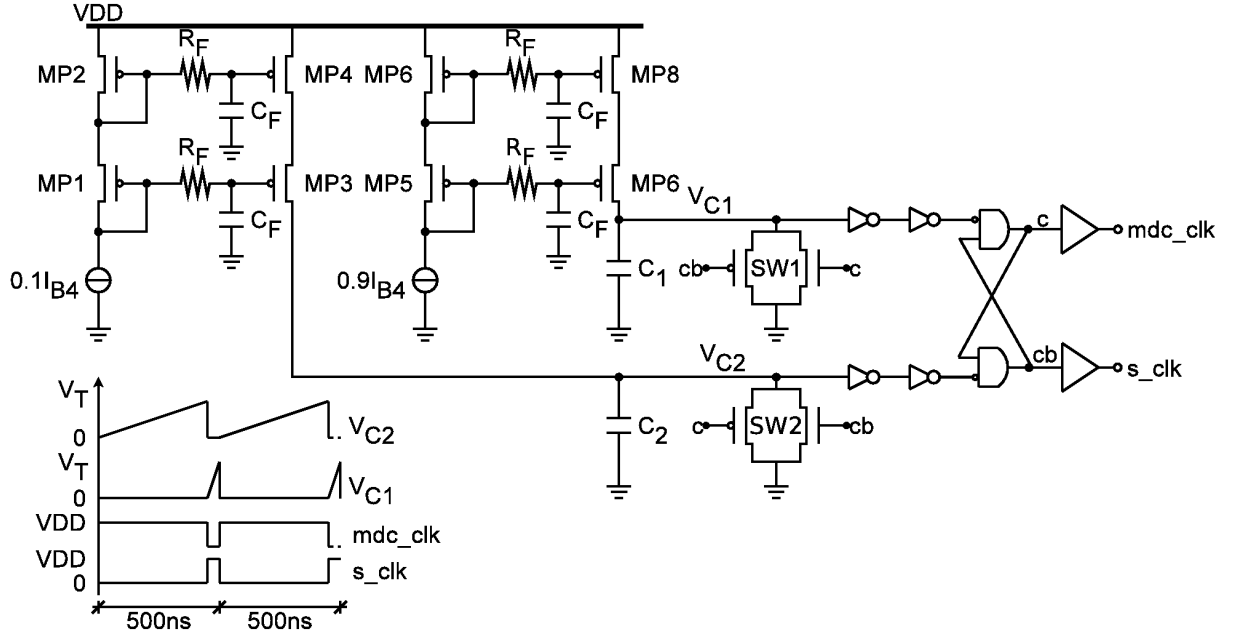


Figura 3.5 – Oscilador de relaxação projetado.

3.6 Lógica de Controle

A Figura 3.6 exibe a lógica de controle projetada. É uma topologia comum, descrita por [12] e outras literaturas, onde um tempo morto t_{morto} é executado entre a ativação dos transistores de potência MOSFETs, através dos sinais HS_GD e LS_GD , gerado por filtros passa-baixas R_FC_F e circuito *latch*. Um controle avançado de tempo morto é descrito por [13]. O sinal $HSPMOS = 0$ define uma ativação de transistor de potência do tipo NMOS, e $HSPMOS = 1$ define uma ativação de transistor de potência do tipo PMOS, para o sinal HS_GD . $GD_E = 0$ desabilita os sinais HS_GD e LS_GD , independente do estado da entrada comparador de tensão cin , *clock* mdc_clk ou reinicialização de lógica $rstb$; $GD_E = 1$ habilita os sinais de saída.

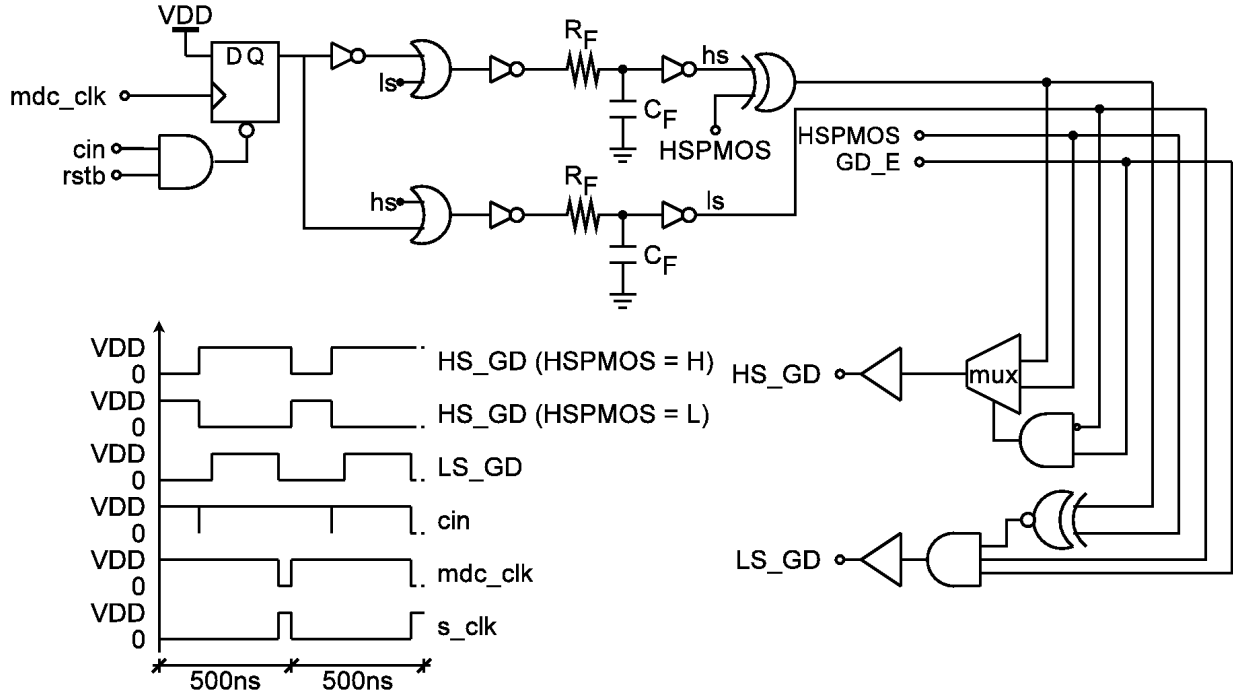


Figura 3.6 – Lógica de controle para um conversor chaveado DC-DC.

3.7 Polarização, Calibragem e Compensação de Temperatura

A Figura 3.7 exibe um diagrama simplificado do conversor D/A com a aplicação de seu respectivo circuito de polarização. A tensão de saída ve é reescrita como:

$$ve(T) = R_F(T)[AI_{B1}(T) + I_{B2}] \quad (3.3)$$

onde $0 \leq A \leq 31,875$ é proporcional à palavra de entrada $b<7:0>$, $R_F(T)$ é um resistor integrado cujo valor absoluto depende da temperatura T de operação do circuito e expresso pela Equação (3.4), R_{F0} é a resistência à temperatura ambiente de $T_0 = 27^\circ C$, e α_R é o coeficiente de temperatura linear em $k/^\circ C$ (k é uma constante de processo).

$$R_F(T) = R_{F0}[1 + \alpha_R(T - T_0)] \quad (3.4)$$

A corrente I_{B0} é dada pela Equação (3.5), onde V_{BG} é a referência de tensão independente da temperatura [14], $V_{OS}(T)$ é a tensão de offset do amplificador operacional, dependente da temperatura, e x é a razão entre o número de resistores casados entre a saída do conversor D/A e o circuito de polarização.

$$I_{B0} = \frac{V_{BG} \pm V_{OS}(T)}{xR_F(T)} \quad (3.5)$$

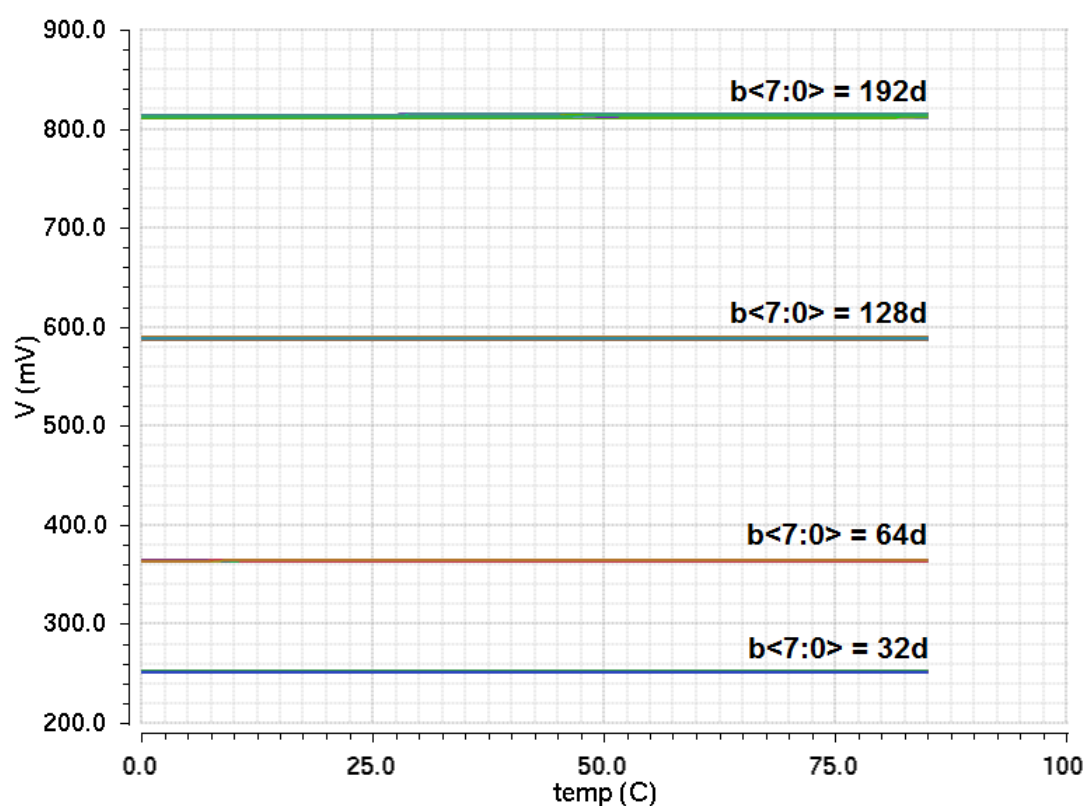


Figura 3.8 – Variação da temperatura de operação - D/A (45 análises).

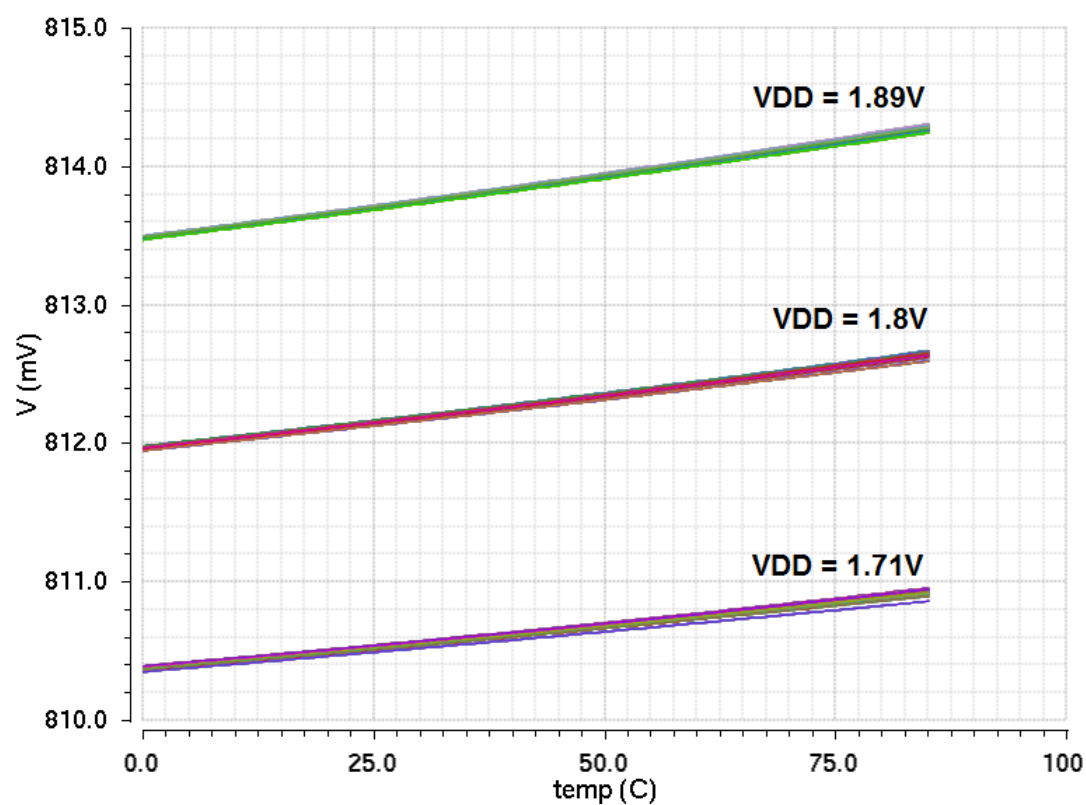


Figura 3.9 – Variação da temperatura de operação (detalhada) - D/A (45 análises).

A Figura 3.10 exibe o *layout* do MSPWM que ocupa a área de $0,029 \text{ mm}^2$. Ainda que os circuitos de polarização de tensões e correntes não estejam exibidos, eles devem ser projetados e considerados nas simulações de variações de processo, temperatura e tensão de operação, bem como nas simulações Monte Carlo que prevêem o desempenho do circuito para descasamentos aleatórios e lotes de fabricação do circuito integrado. A área do circuito da Figura 3.10 é considerada para comparação de desempenho com outras literaturas, a seguir.

O pulso de saída modulado d versus palavra digital de entrada $b<7:0>$, para o MSPWM operando em regime permanente, está exibido na Figura 3.11. O INL e DNL do modulador estão exibidos nas Figuras 3.12 e 3.13, respectivamente. Para estas últimas três análises, são consideradas 100 simulações Monte Carlo e circuitos integrados sem calibragem.

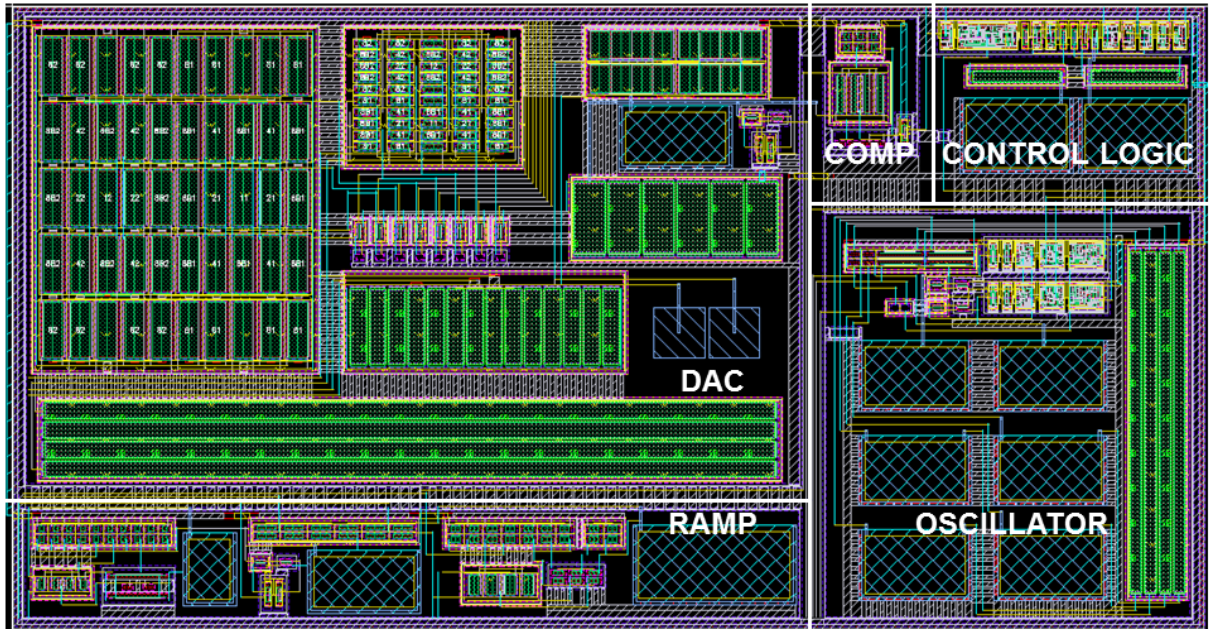


Figura 3.10 – *Layout* do modulador de pulsos de modo misto (MSPWM).

Nota-se que na Figura 3.11 o desvio padrão do pulso de saída d é muito pequeno para cada palavra de entrada $b<7:0>$. Nas Figuras 3.12 e 3.13 que INL e DNL estão dentro dos limites de $\pm 0,9\text{LSB}$ e demonstram a alta precisão e linearidade do modulador proposto, uma vez que as células podem ser submetidas à calibragem e obter desempenho ainda superior.

Os resultados do MSPWM são comparados com DPWMs previamente discutidos no capítulo anterior, expostos na Tabela 3.4. Nota-se que todos projetos são moduladores de 8-bit de resolução, implantados em diferentes tecnologias CMOS; o projeto da tese, implantado em tecnologia $0,18 \mu\text{m}$, é mais barato por milímetro quadrado que o apresentado em $0,13 \mu\text{m}$ por [5].

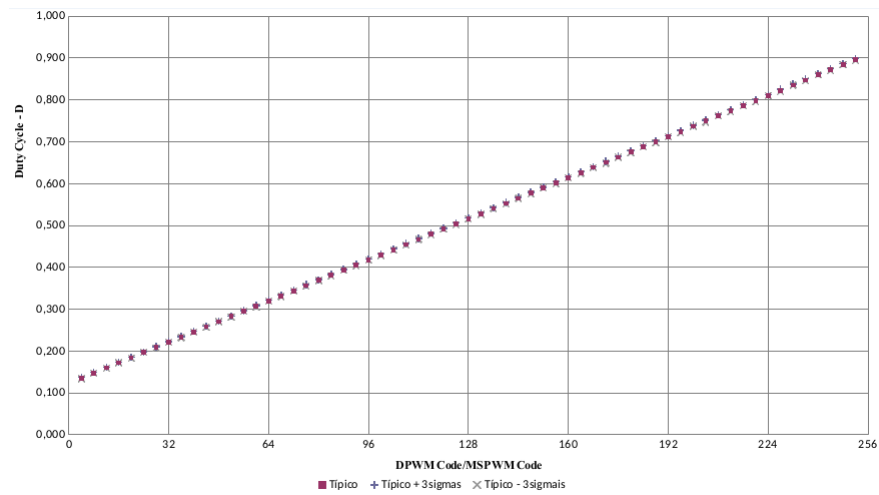


Figura 3.11 – Pulso de saída do MSPWM proposto - 100 análises Monte Carlo.

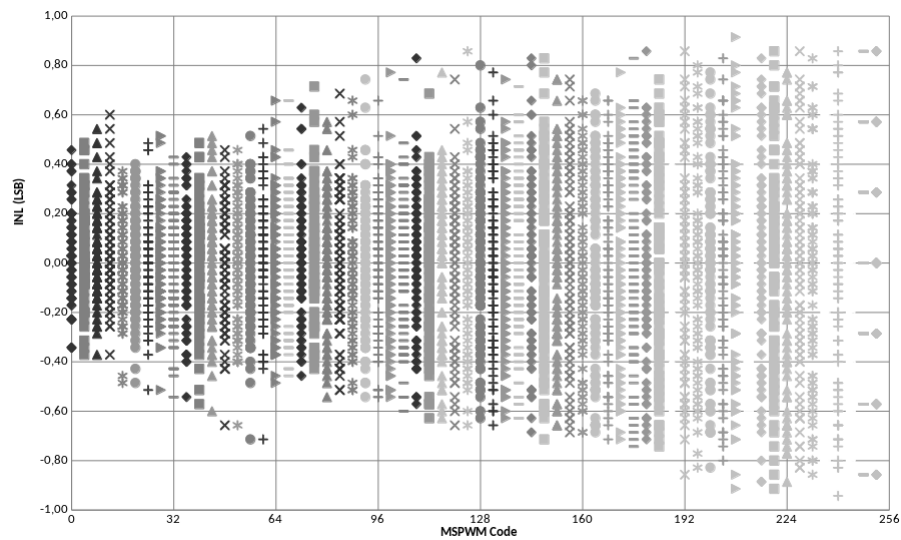


Figura 3.12 – MSPWM INL (células não-calibradas) - 100 análises Monte Carlo.

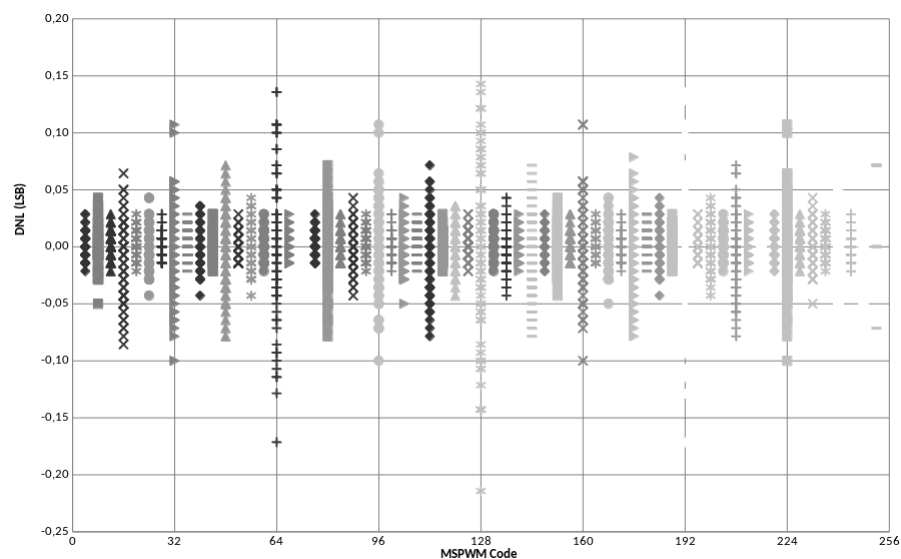


Figura 3.13 – MSPWM DNL (células não-calibradas) - 100 análises Monte Carlo.

Em [4] está claro que, se os circuitos de calibragem são considerados, uma área economicamente inviável de silício é requerida, conforme discutido no capítulo anterior. Ambos [4] e [5] não consideram a área da lógica de controle de semicondutores de potência. A fim de uma comparação justa, o consumo de corrente é normalizado em 12 MHz para todos projetos - no MSPWM, o consumo de potência estático é mais significativo que [4, 5], onde o consumo de potência dinâmico é mais significativo.

O MSPWM exibe um baixo consumo de corrente, compatível com aplicações portáteis, e menor que [5] projetado em $0,13 \mu\text{m}$ e tensão de alimentação de 1,2 V. Finalmente, o MSPWM apresenta linearidade superior que [5] em caso típico, calibragem e, diferente de [4, 5], apresenta um circuito com compensação em temperatura e viável para aplicação industrial em larga escala, considerando 3σ .

Tabela 3.4 – Comparação MSPWM versus DPWMs.

Projeto	MSPWM	[4]	[5]	Unid.
CMOS	0,18	0,18	0,13	μm
Alimentação	1,8	1,8	1,2	V
Resolução	8	8	8	bit
Área	0,029	0,0084	0,0075	mm^2
Consumo de corrente @ 12 MHz	96,25	54	190	μA
INL (caso típico)	$\pm 0,05$	*	$\pm 0,24$	LSB
DNL (caso típico)	$\pm 0,01$	*	$\pm 0,18$	LSB
Calibragem	12	512**	N/D	bit
Compensado em temperatura?	Sim	Não	Não	

*Dados não disponíveis; **Considerado 4-bit por célula - vide seção 2.5.

3.9 Parâmetros de Processo CMOS $0,18 \mu\text{m}$ e Dimensões dos Blocos

Este item expõe os diagramas esquemáticos dos amplificadores Miller e *folded-cascode* do gerador de rampa e do comparador de tensão nas Figuras 3.14 a 3.16, respectivamente. Na sequência, os parâmetros de processo da tecnologia CMOS $0,18 \mu\text{m}$ e as dimensões dos componentes integrados relacionados às células deste projeto estão conforme Tabelas 3.5 a 3.9. Nota para todos diagramas esquemáticos: todos os transistores PMOS e NMOS possuem os terminais de corpo (*Bulk* – *B*) conectados às tensões V_{DD} e GND , respectivamente, e estão omitidos.

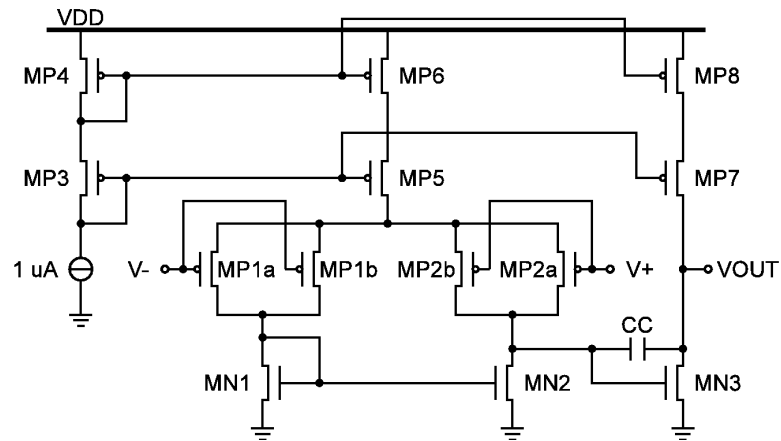


Figura 3.14 – Amplificador Miller usado no gerador de rampa (Figura 3.3).

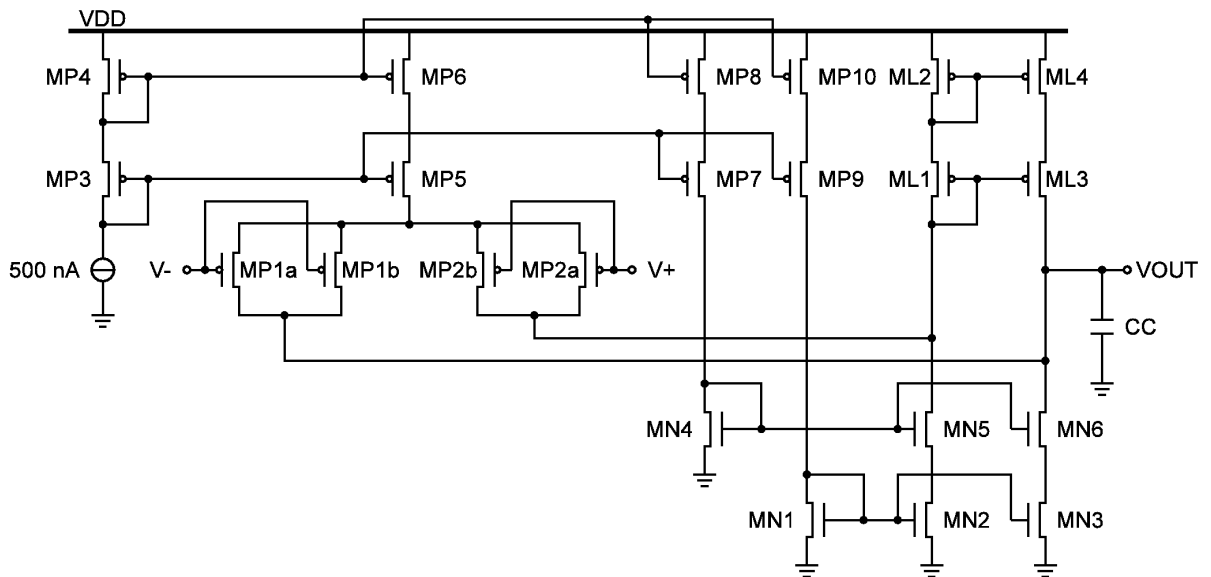


Figura 3.15 – Amplificador *folded-cascode* usado no gerador de rampa (Figura 3.3).

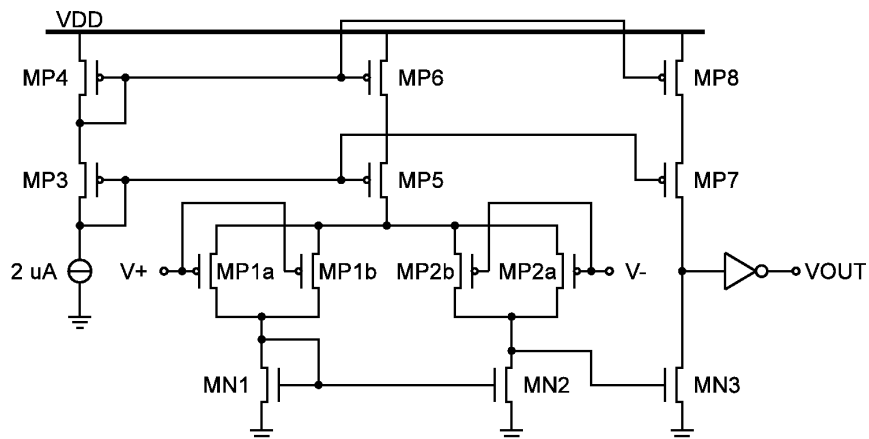


Figura 3.16 – Comparador de tensão (Figura 3.1).

Tabela 3.5 – Parâmetros de processo da tecnologia CMOS 0,18 μm .

	Parâmetro	Símbolo	Mín.	Típ.	Máx.	Unid.
NMOS	Ganho de transcondutância	K_{PN}		285		$\mu\text{A}/\text{V}^2$
	Tensão de <i>threshold</i>	V_{tp}	0,28	0,38	0,48	V
	Coefficiente térmico - tensão de <i>threshold</i>	TCV_{tn}		-0,80		mV/K
PMOS	Ganho de transcondutância	K_{PP}		61		$\mu\text{A}/\text{V}^2$
	Tensão de <i>threshold</i>	$ V_{tp} $	0,38	0,48	0,58	V
	Coefficiente térmico - tensão de <i>threshold</i>	TCV_{tp}		0,80		mV/K
Resistor de polissilício	Resistência de folha	ρ	800	1000	1200	$\Omega/\square$
	Coefficiente térmico fracional	TC_{FR}		-900		ppm/K
Capacitor	Densidade de capacitância	C_d	2,55	3,00	3,45	fF/ μm^2
	Coefficiente térmico fracional	TC_{FC}		27,2		ppm/K

Tabela 3.6 – Dimensões dos componentes do conversor D/A (Figura 3.2).

		Valor	Unidade
Espelhos de corrente (1x)	LSB	0,72/3,6	$\mu\text{m}/\mu\text{m}$
	MSB	10,8/3,6	$\mu\text{m}/\mu\text{m}$
	Offset	20,32/3,6	$\mu\text{m}/\mu\text{m}$
Chaves analógicas	PMOS	2,52/0,18	$\mu\text{m}/\mu\text{m}$
	NMOS	0,36/0,18	$\mu\text{m}/\mu\text{m}$
Resistores de polissilício	R1	20	k Ω
	R2	15	k Ω
	R3	40	k Ω
	R _F	14	k Ω
Capacitor	C _F	200	fF
Polarização	I _{B1}	2	μA
	I _{B2}	10	μA

Tabela 3.7 – Dimensões dos comparador de tensão (Figura 3.1).

		Valor	Unidade
Componentes	MN1,MN2	0,45/0,9	$\mu\text{m}/\mu\text{m}$
	MN3	0,9/0,9	$\mu\text{m}/\mu\text{m}$
	MP1a,MP1b,MP2a,MP2b	7,2/0,9	$\mu\text{m}/\mu\text{m}$
	MP3 a MP8	0,9/0,9	$\mu\text{m}/\mu\text{m}$

Tabela 3.8 – Dimensões dos componentes do gerador de rampa (Figura 3.3).

		Valor	Unidade
Estágio de saída de U1	PMOS	0,45/3,6	$\mu\text{m}/\mu\text{m}$
Transistores de polarização	MC1	1,35/3,6	$\mu\text{m}/\mu\text{m}$
	MC2	1,35/3,6	$\mu\text{m}/\mu\text{m}$
Chaves analógicas	PMOS	1,8/0,9	$\mu\text{m}/\mu\text{m}$
	NMOS	1,8/0,9	$\mu\text{m}/\mu\text{m}$
Resistor de polissilício	R_{ltc}	3,3	$\text{M}\Omega$
Capacitor	C_r	200	fF
Polarização	V_{offs}	200	mV
	I_{B3}	250	nA
Amplificador Miller (U0)	MN1,MN2	0,45/0,9	$\mu\text{m}/\mu\text{m}$
	MN3	7,2/0,9	$\mu\text{m}/\mu\text{m}$
	MP1a,MP1b,MP2a,MP2b	1,8/0,9	$\mu\text{m}/\mu\text{m}$
	MP3 a MP6	0,9/0,9	$\mu\text{m}/\mu\text{m}$
	MP7,MP8	7,2/0,9	$\mu\text{m}/\mu\text{m}$
	CC	99	fF
Amplificador f.c. (U1)	MN1 a MN6	0,45/1,8	$\mu\text{m}/\mu\text{m}$
	MP1a,MP1b,MP2a,MP2b	3,6/1,8	$\mu\text{m}/\mu\text{m}$
	MP3 a MP6	0,9/1,8	$\mu\text{m}/\mu\text{m}$
	MP7,MP8	3,6/1,8	$\mu\text{m}/\mu\text{m}$
	MP9,MP10	0,9/1,8	$\mu\text{m}/\mu\text{m}$
	ML1 a ML4	0,9/1,8	$\mu\text{m}/\mu\text{m}$
	CC	400	fF

Tabela 3.9 – Dimensões do oscilador de relaxação (Figura 3.5).

		Valor	Unidade
Espelhos de corrente	MP1 a MP4	0,45/0,9	$\mu\text{m}/\mu\text{m}$
	MP5 a MP8	2,7/0,9	$\mu\text{m}/\mu\text{m}$
Chaves analógicas	PMOS	1,8/0,9	$\mu\text{m}/\mu\text{m}$
	NMOS	1,8/0,9	$\mu\text{m}/\mu\text{m}$
Resistor de polissilício	R_F	35,5	$\text{k}\Omega$
Capacitor	C_F	230	fF
Polarização	I_{B4}	5	μA

4 Aplicação: Conversor DC-DC Buck com MSPWM

4.1 Introdução

O objetivo deste capítulo é que, uma vez apresentado um modulador de pulsos modo misto (MSPWM) como opção técnica e financeira mais atraente que os moduladores de pulsos digitais (DPWMs), sejam feitas as discussões em cima do efeito da discretização de sinais, inerentes ao controle digital, e de todos os parâmetros técnicos necessários para validar a aplicação do modulador proposto em conversores chaveados DC-DC. Toma-se como referência o controle em malha fechada e em modo tensão de um conversor *buck*, assim como a Figura 4.1, onde se exhibe o conversor implantado com compensador PI analógico, e a Figura 4.2, onde se exhibe o conversor implantado com compensador PI digital e o modulador desta tese. Em ambas Figuras 4.1 e 4.2 são conversores *buck* implantados com capacitores de tântalo, que possuem resistência série parasita r_C na faixa de dezenas de $m\Omega$, então são implantados com compensadores PI; caso os capacitores fossem MLCC (Multilayer Ceramic Capacitor), que possuem r_C na faixa de unidades de $m\Omega$, então seriam necessários compensadores PID. Para este trabalho, adota-se a primeira opção a fim de simplificação. Espera-se que, com a implantação de um compensador PI digital e o MSPWM proposto, atinjam-se a precisão em regime permanente (especificações estáticas) e resposta às perturbações de tensão de alimentação V_{IN} e corrente de saída I_{OUT} (especificações dinâmicas) muito próximas às encontradas nos circuitos baseados em controle analógico (estado da arte) e, portanto, se faz a validação final deste trabalho.

4.2 Especificações Estáticas

As principais especificações estáticas de um conversor chaveado DC-DC (SMPS) podem ser consideradas como eficiência de potência $\eta\%$ (diretamente ligada aos componentes do estágio de potência) e precisão da tensão de saída $\varepsilon V_{OUT}\%$ (diretamente ligada à precisão dos circuitos do controlador PWM). Neste capítulo, discutir-se-ão os parâmetros de projeto desta última especificação.

Nas Figuras 4.1 e 4.2, observa-se que o ciclo ativo d é a variável da lei de controle - quando o conversor está em regime permanente e não há perturbações da tensão de entrada V_{IN} e na corrente de saída I_{OUT} , então o ciclo ativo é considerado como estático D (controlador analógico) e D_d (controlador digital).

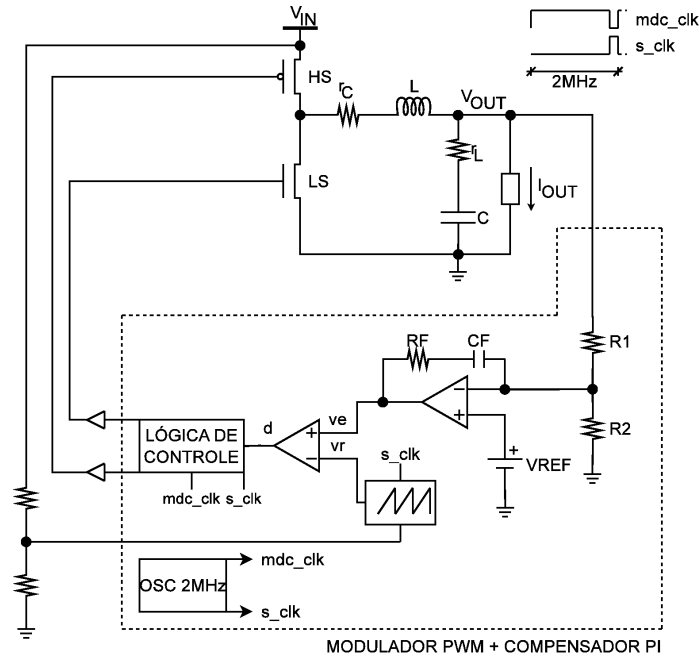


Figura 4.1 – Diagrama de blocos de um conversor *buck* implantado com controlador analógico.

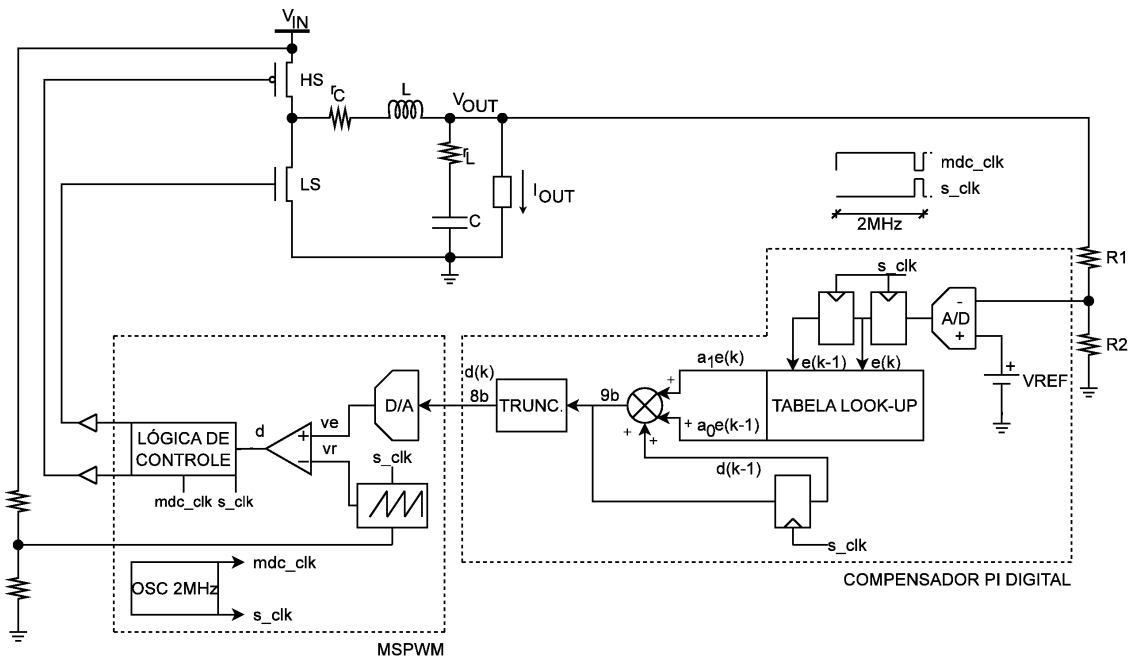


Figura 4.2 – Diagrama de blocos de um conversor *buck* implantado com controlador digital.

Em qualquer SMPS, implantado com controlador analógico ou digital, a precisão da tensão de saída depende diretamente da precisão de uma referência de tensão compensada em temperatura ΔV_{REF} (tipicamente encontrada na faixa de $\pm 0,5\% V_{REF}$ em aplicações comerciais), da regulação de carga $\Delta V_{OUT}/\Delta I_{OUT}$ e da regulação de linha $\Delta V_{OUT}/\Delta V_{IN}$. Uma vez que o controlador digital trabalha no domínio do tempo discreto, o modulador MSPWM é limitado por sua resolução e número de bits NM correlacionados.

No domínio do tempo contínuo e em regime permanente, o ciclo ativo D (desprezando-se as perdas do estágio de potência) é expresso pela Equação (4.1).

$$D = \frac{V_{OUT}}{V_{IN}} \quad (4.1)$$

No domínio do tempo discreto e em regime permanente, o ciclo ativo D_d (desprezando-se as perdas do estágio de potência) é expresso pela Equação (4.2).

$$D_d = \frac{c}{2^{NM}} \cong \frac{V_{OUT}}{V_{IN}} \quad (4.2)$$

onde a contagem c é um número inteiro do MSPWM e deve ser o suficiente para que exista um descasamento mínimo entre D e D_d , para uma dada especificação do conversor buck. A partir das Equações (4.1) e (4.2), o erro de resolução $\varepsilon_{MSPWM\%}$ do modulador de modo misto pode ser expresso pela Equação (4.3).

$$\varepsilon_{MSPWM\%} = \frac{D - D_d}{D} 100 = \left(1 - \frac{c}{2^{NM}} \frac{V_{IN}}{V_{OUT}}\right) 100 \quad (4.3)$$

A Tabela 4.1 exibe $\varepsilon_{MSPWM\%}$ para valores distintos de ciclo ativo D_d e numero de bits NM . Nota-se que o MSPWM provê baixas precisões para aplicações em que $D_d \leq 0,1$ e $NM < 9$.

Tabela 4.1 – Erro de resolução de MSPWM para diferentes D_d e NM .

	D_d								
NM	0,1	0,2	0,3	0,4	0,5	0,6	0,7	0,8	
6	+6,25	-1,56	+1,04	-1,56	0,00	+1,04	-0,45	+0,39	$\varepsilon_{MSPWM\%}$
7	-1,56	-1,56	+1,04	+0,39	0,00	-0,26	-0,45	+0,39	
8	-1,56	+0,39	+0,26	+0,39	0,00	-0,26	+0,11	-0,10	
9	+0,39	+0,39	+0,26	-0,10	0,00	+0,07	+0,11	-0,10	

Considerando a Figura 4.2, a teoria de controle digital [15] e também as discussões de [16], para uma tensão de saída V_{OUT} estável em regime permanente, uma vez que $d = ve/vr$, a resolução do conversor analógico-digital ΔV_q precisa ser, ao menos, 1-bit menor que a resolução de MSPWM, expressa pela Equação (4.4), onde ΔV_{OUT} é o *ripple* da tensão de saída.

$$\Delta V_q \geq \Delta V_{OUT} \quad (4.4)$$

onde,

$$\Delta V_q \geq 2 \cdot (\Delta V_{MSPWM} \cdot \Delta V_{IN(max)}), \Delta V_{MSPWM} = \frac{ve_{max}}{2^{NM} vr_{max}}$$

Finalmente, a precisão da tensão de saída $\varepsilon V_{OUT\%}$ de um conversor *buck*, usando um controlador digital baseado no MSPWM proposto por esta tese, é expressa pela Equação (4.5).

$$\varepsilon V_{OUT\%} = (\pm \Delta V_{REF} \pm \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \pm \frac{\Delta V_{OUT}}{\Delta V_{IN}} \pm \Delta V_q) \frac{100}{V_{OUT}} \quad (4.5)$$

4.3 Especificações Dinâmicas

As principais especificações de um SMPS podem ser consideradas como (sub)sobresinal percentual $M\%$ e tempo de acomodação T_a quando perturbações são aplicadas. No controlador analógico da Figura 4.1, o conversor está em regime permanente quando $V_{OUT} = V_{REF}$. Qualquer perturbação em V_{OUT} é medida pelo compensador PI, composto por um amplificador operacional de erro e componentes passivos RF, CF, R1 e R2. A tensão de erro $ve(t)$ é então comparada à tensão do gerador de rampa $vr(t)$ (controle *feedback*). Qualquer perturbação na tensão de entrada V_{IN} é medida pelo gerador de rampa, onde $vr(t)$ é diretamente proporcional à V_{IN} (controle *feedforward*).

No controlador digital da Figura 4.2, as condições de regime permanente e controle *feedforward* são idênticas ao do controlador analógico, porém qualquer perturbação em V_{OUT} é medida por um conversor *flash* A/D (vide Apêndice A - Conversor Flash A/D), em que funciona de forma semelhante a um amplificador de erro, onde sua saída discreta $e(k)$ é entrada de um compensador PI digital baseado em tabelas *look-up* (controle *feedback*). Tanto o compensador PI digital e MSPWM são síncronos pela frequência de chaveamento mdc_clk e um *clock* de amostragem s_clk .

Baseado em [17], um conversor *buck* operando em modo contínuo de condução (*Continuous Conduction Mode – CCM*), modulação PWM e controle em modo tensão, recebe a modelagem no domínio da frequência contínua conforme exibido na Figura 4.3, onde v_{in} , v_{out} e d são as perturbações da tensão de entrada, tensão de saída e ciclo ativo em pequenos sinais, respectivamente. $K(s)$, M , V_{IN} , D e $G(s)$ são o compensador PI, o ganho do modulador PWM, tensão DC de entrada, ciclo ativo em regime permanente e a função de transferência do filtro LC passivo do estágio de potência, respectivamente.

Da Figura 4.3, deriva-se a equação característica $L(s)$ a ser usada na análise de resposta em frequência do conversor e projeto do compensador PI, conforme expressa a Equação (4.6), onde vr_{pp} é a tensão de pico-a-pico do gerador de rampa e $M = 1/vr_{pp}$.

$$L(s) = MV_{IN}K(s)G(s) \quad (4.6)$$

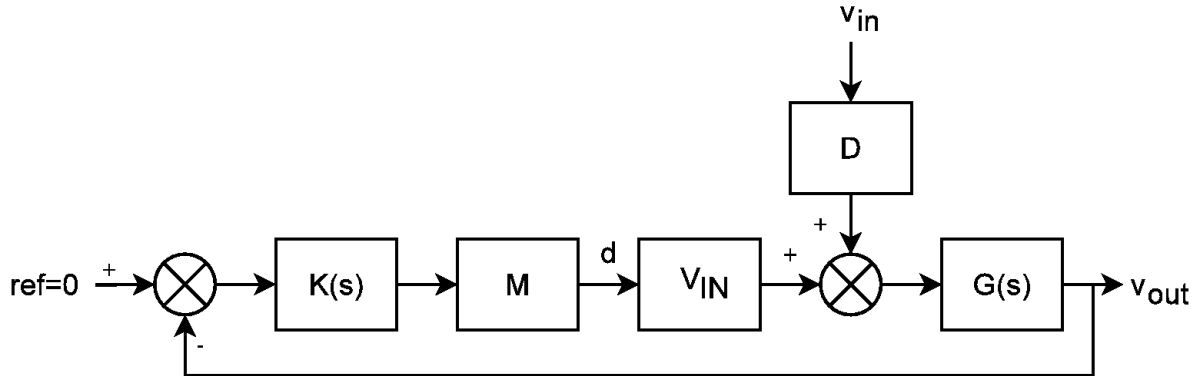


Figura 4.3 – Modelo AC de um conversor *buck* operando em CCM.

A Equação (4.6) e a Figura 4.1 mostram que o controle *feedforward* mantém constantes as raízes da equação características, uma vez que o produto MV_{IN} é sempre constante, independente do ponto de operação de V_{IN} e, portanto, provê respostas transitórias constantes às perturbações aplicadas. A função de transferência do filtro LC passivo do estágio de potência $G(s)$ é expressa, a seguir, pela Equação (4.7).

$$G(s) = \frac{R_L}{r_L + R_L} \frac{1 + \frac{s}{\omega_z}}{\frac{s^2}{\omega_n^2} + \frac{2\zeta}{\omega_n}s + 1} \quad (4.7)$$

onde,

$$R_L = \frac{V_{OUT}}{I_{OUT}}, |\omega_n| = \frac{1}{\sqrt{LC}} \sqrt{\frac{R_L + r_L}{R_L + r_C}},$$

$$\frac{2\zeta}{\omega_n} = \frac{r_L(r_C + R_L)C + L + r_C R_L C}{R_L + r_L}, \omega_z = -\frac{1}{r_C C}$$

A Equação (4.7) mostra que $G(s)$ é um sistema linear invariante no tempo e de fase não-monotônica, devido à influência do zero ω_z alocado no semi-plano esquerdo do plano complexo no domínio da frequência contínua. A experiência mostra que a técnica clássica de cálculo de compensador PI exposta por [15] não é precisa para este caso, então esta tese considera o trabalho de [18] a mais adequada e será usada. O compensador PI, exibido na Figura 4.1, é expresso pela Equação (4.8).

$$K(s) = \frac{sK_p + K_i}{s} \quad (4.8)$$

onde,

$$K_p = \frac{RF}{R1}, K_i = \frac{1}{R1CF}$$

O modelo de pequenos sinais de um conversor *buck*, controlado em modo tensão, operando em CCM e implantado por um controlador PWM digital está exibido na Figura 4.4, onde v_{in} , v_{out} e d são as perturbações da tensão de entrada, tensão de saída e ciclo ativo em pequenos sinais, respectivamente. ADG , $KD(z)$, DAG , M , V_{IN} , D e $GD(z)$ são o ganho do conversor *flash* A/D, compensador PI digital, o ganho do conversor D/A, ganho do modulador PWM, tensão DC de entrada, ciclo ativo em regime permanente e a função de transferência do filtro LC passivo do estágio de potência no domínio da frequência discreta, respectivamente.

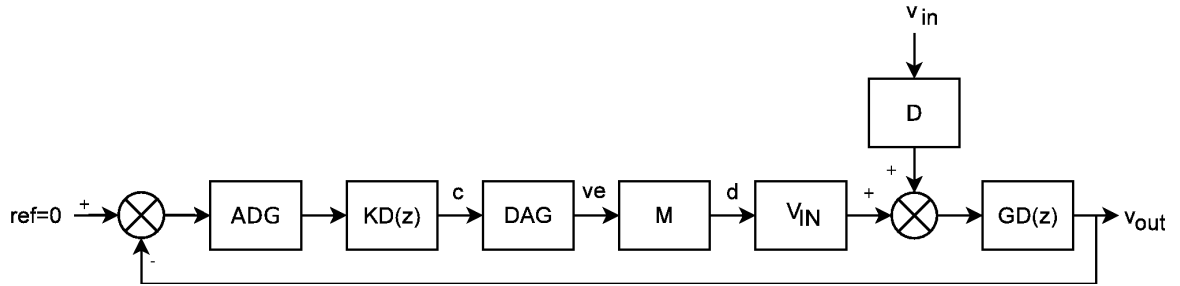


Figura 4.4 – Modelo AC de um conversor *buck* operando em CCM - controle digital.

Da Figura 4.4, deriva-se a equação característica $L(z)$ a ser usada na análise de resposta em frequência do conversor e projeto do compensador PI digital, conforme expressa a Equação (4.9), a seguir.

$$L(z) = ADG \cdot DAG \cdot M \cdot V_{IN} \cdot KD(z) \cdot GD(z) \quad (4.9)$$

onde,

$$ADG = \frac{1}{\Delta V_q}, DAG = \frac{ve_{max}}{2^{NM} v_{r_{pp(max)}}} V_{IN(max)}$$

A Equação (4.9) e a Figura 4.2 mostram que o controle *feedforward* mantém constantes as raízes da equação características, uma vez que o produto $ADG \cdot DAG \cdot M \cdot V_{IN}$ é sempre constante, independente do ponto de operação de V_{IN} e, portanto, provê respostas transitórias constantes às perturbações aplicadas. Ressalta-se que a frequência de chaveamento do conversor *buck* f_s é a mesma de mdc_clk e também de amostragem do controlador digital. Projeta-se a frequência de ganho unitário f_c do compensador PI, na análise de resposta em frequência, em torno de 10 vezes menor que f_s , logo admite-se que $KD(z)$ e $GD(z)$ podem ser obtidas diretamente através da transformada bilinear (método de Tustin), com o auxílio de um software de cálculos científicos como o MatlabTM. A lei de controle $d(k)$ do conversor *buck*, exibido na Figura 4.2, é expressa pela Equação (4.10).

$$d(k) = d(k-1) + a_1 e(k-1) + a_0 e(k-2) \quad (4.10)$$

Nas próximas seções, serão consideradas restrições de projeto do controlador PI digital, de forma a delimitar os valores empíricos máximos e mínimos e o conversor *buck*, de fato, sempre opere em uma região linear.

4.3.1 Restrições do Compensador PI Digital e MSPWM

Inicialmente, considere-se um conversor *buck* operando em malha fechada e modo tensão, com compensador PI analógico - para um conversor *buck* assíncrono e $I_{OUT} = 0$, a tensão de erro v_e excursiona para um valor menor que a referência V_{offs} (vide Figura 3.3) e fazendo $D = 0$; para uma falta de sobrecorrente (curto-circuito para referência da tensão de saída V_{OUT}), a tensão de erro v_e excursiona para um valor maior que a do gerador de rampa, o ciclo ativo é limitado em $D = 0,9$ e o controlador deixa de operar em região linear até que a falta seja retirada, daí imediatamente volta-se à acomodação do circuito e operação em regime permanente, conforme exhibe a Figura 4.5.

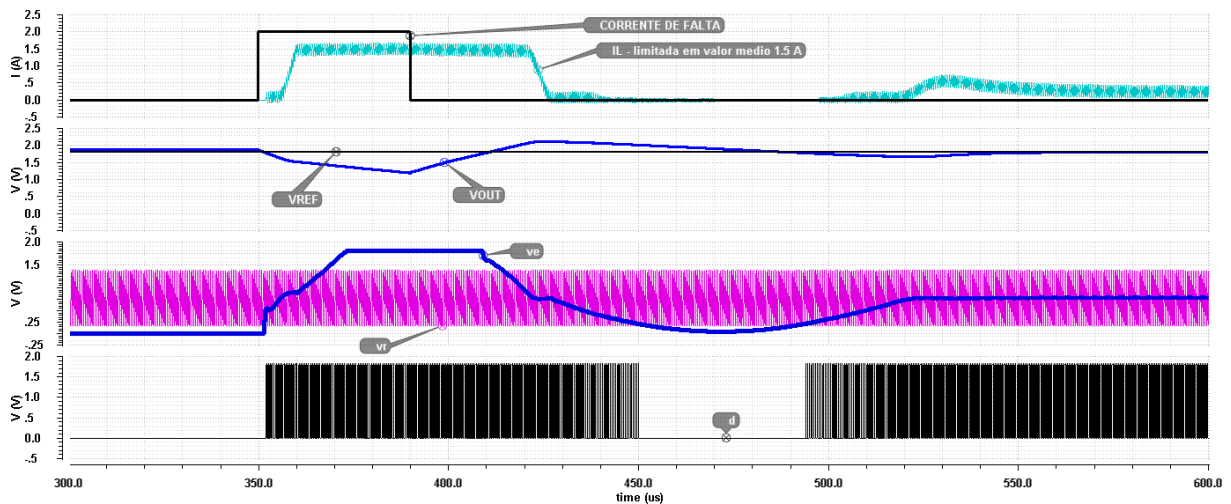


Figura 4.5 – Resposta de um controlador analógico PWM aplicado a um conversor *buck* assíncrono com ausência de carga e falta em curto-circuito.

Agora, considere-se um conversor *buck* assíncrono operando em malha fechada e modo tensão, com compensador PI digital (vide Figura 4.2), nas mesmas condições de ausência de carga ($D_d = 0$) e falta por sobrecorrente. Neste caso o circuito digital deve ser projetado segundo os códigos do Apêndice B – Códigos de Descrição de Hardware, com detecção de *overflow* e *underflow*, com a retenção do valor de $d(k)$ imediatamente antes da saída da região linear para a não-linear.

4.3.2 Restrições do Conversor A/D

Quando o conversor *buck* sofre perturbações na tensão de saída V_{OUT} , naturalmente é esperado uma variação de sinal que é especificada pelo (sub)sobre-sinal percentual $M\%$.

Considere a Figura 4.6 - o conversor A/D deve ter um passo quântico $\Delta V_q > \Delta V_{OUT}$, já discutida pela Equação (4.4) e deve cobrir toda a excursão $\pm M_{\%} V_{OUT}$, de onde se deduz:

$$\begin{aligned} \text{transitório} &= +M_{\%} V_{OUT} - (-M_{\%} V_{OUT}) = 2M_{\%} V_{OUT} \\ \text{conversor} &= 2^N \Delta V_q \end{aligned}$$

$$\text{transitório} = \text{conversor} \rightarrow N = \log_2 \left(\frac{2M_{\%} V_{OUT}}{\Delta V_q} \right) \quad (4.11)$$

Finalmente, observando-se a Figura 4.6, o conversor A/D deve funcionar de forma análoga a um amplificador de erro (inversor) e o número inteiro do decodificador de saída deve considerar um sinal (positivo ou negativo). Também a condição $\Delta V_q > \Delta V_{OUT}$ deve ser verdadeira, mas nunca $\Delta V_q \gg \Delta V_{OUT}$, pois isto acarreta um efeito semelhante ao atraso de carga e, portanto, retardando a ação do controle e diminuindo a margem de fase, no domínio AC.

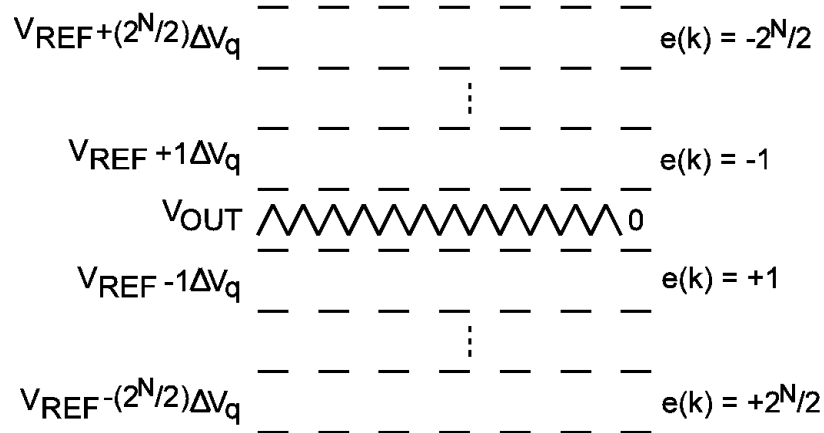


Figura 4.6 – Tensão de saída V_{OUT} monitorada por conversor A/D.

4.4 Aplicação: Conversor Buck para Circuitos a 1,8 V

Para validar o MSPWM desenvolvido e as equações de projeto apresentadas, considerem-se as especificações de projeto, expostas na Tabela 4.2 para um conversor *buck* síncrono alimentado por uma bateria de Lítio-Íon, fornecendo tensão estável a circuitos a 1,8 V, típica de blocos em tecnologia CMOS 0,18 μm .

Como ponto inicial, considera-se o (sub)sobre-sinal da tensão de saída $M_{\%} = 0,02$ (mais conservador que das especificações), expresso por [15]:

$$M_{\%} = e^{-\frac{\pi \zeta_{CL}}{\sqrt{1-\zeta_{CL}^2}}} \quad (4.12)$$

Tabela 4.2 – Especificações de projeto para um conversor *buck* síncrono.

Especificação	Símbolo	Valor	Unidade
Excursão da tensão de entrada	V_{IN}	2,7 a 4,2	V
Tensão de saída	V_{OUT}	1,8	V
Corrente de saída máxima	I_{OUT}	1	A
Indutor	L	620	nH
Resistência parasita do indutor (típica)	r_L	20	m Ω
Capacitor	C	68	μ F
Resistência parasita do capacitor (típica)	r_C	40	m Ω
Frequência de chaveamento	f_s	2	MHz
Precisão da tensão de saída	$\varepsilon V_{OUT}\%$	± 3	%
(Sub)sobre-sinal percentual da tensão de saída	$M\%$	± 3	%
Tempo de acomodação	T_a	< 20	μ s

Da Equação (4.12) e da Tabela 4.2, encontra-se o fator de amortecimento em malha fechada ζ_{CL} :

$$\zeta_{CL} = \sqrt{\frac{\ln^2(M\%)}{\pi^2 + \ln^2(M\%)}} = 0,78 \quad (4.13)$$

Daí, tem-se a margem de fase necessária para atender ao (sub)sobre-sinal [15]:

$$MF = \tan^{-1} \left(\frac{2\zeta_{CL}}{\sqrt{\sqrt{4\zeta_{CL}^4 + 1} - 2\zeta_{CL}^2}} \right) = 69^\circ \quad (4.14)$$

E o tempo de acomodação T_a [15]:

$$T_a = \frac{4}{\zeta_{CL} 2\pi f_c} = \frac{4}{\zeta_{CL} 2\pi \frac{f_s}{10}} = 8,16 \mu s \quad (4.15)$$

Dos dados da Tabela 4.2, reescreve-se a equação de transferência do filtro LC passivo do estágio de potência $G(s)$, a partir da Equação (4.7):

$$G(s) = \frac{R_L}{r_L + R_L} \frac{1 + \frac{s}{\omega_z}}{\frac{s^2}{\omega_n^2} + \frac{2\zeta}{\omega_n} s + 1} = \frac{1 + 2,72 \cdot 10^{-6} s}{4,26 \cdot 10^{-11} s^2 + 4,41 \cdot 10^{-6} s + 1} \quad (4.16)$$

Usando-se o método de [18], calcula-se o compensador PI analógico, a partir da Equação (4.8):

$$K(s) = \frac{sK_p + K_i}{s} = \frac{5,44s + 2 \cdot 10^5}{s} \quad (4.17)$$

Atribuindo-se $vr_{pp} = 0,95$ V, $M = 1/vr_{pp} = 1,0526$ V⁻¹, $V_{IN(max)} = 4,2$ V, faz-se a análise do ganho de malha do sistema compensado, exibido na Figura 4.7, através do software MatlabTM. Nota-se que os pólos de um amplificador operacional real não foram considerados e admite-se o uso de um que atenda à aplicação. Mediu-se $MF = 79,4^\circ$ e $f_c = 253,1$ kHz, com desempenho superior às especificações.

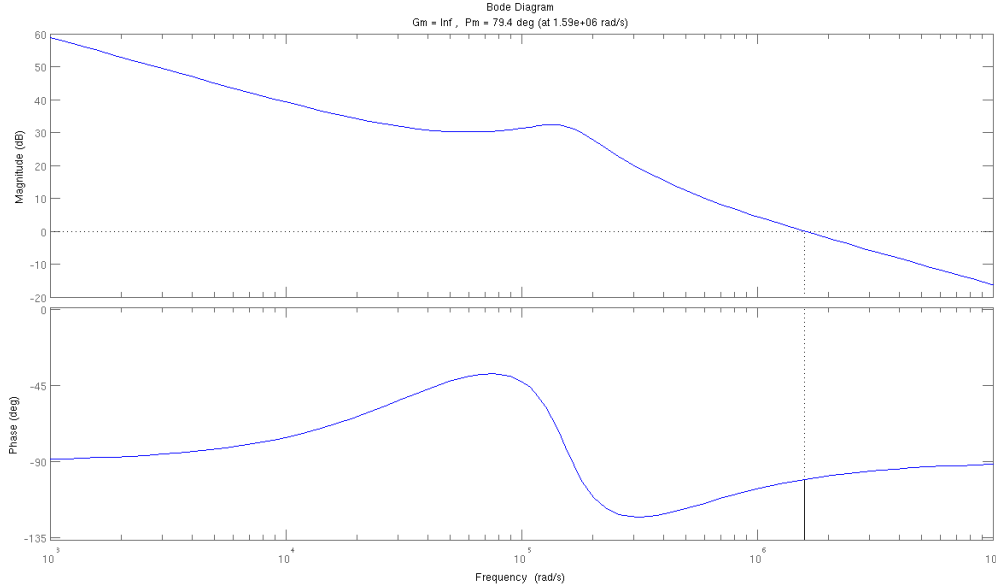


Figura 4.7 – Análise do ganho de malha (domínio contínuo) para o conversor *buck*.

Finalmente, valida-se o projeto do compensador PI analógico através de simulação elétrica através do software CadenceTM, sendo os componentes passivos $R_F = 54,4$ k Ω , $R_1 = 10$ k Ω , $R_2 = 10$ k Ω , $C_F = 500$ pF e $V_{REF} = 900$ mV, calculados a partir da Equação (4.8), e resposta às perturbações de corrente de carga I_{OUT} e tensão de entrada V_{IN} exibidos na Figura 4.8.

Observa-se na Figura 4.8(a) que o conversor faz uma partida suave, entre $0 \leq t \leq 700$ μ s, com a tensão V_{OUT} seguindo a referência V_{REF} . Já na Figura 4.8(b), após a aplicação de um degrau de corrente $I_{OUT} = 0 \rightarrow +1$ A, observa-se um sub-sinal de $M\% = -2\%$ (-36 mV) e um tempo de acomodação $T_a = 2,7$ μ s, com desempenho superior ao especificado na Tabela 4.2, entre $1,000$ ms $\leq t \leq 1,025$ ms. Finalmente, na Figura 4.8(c), após a aplicação de uma rampa de $V_{IN} = 4,2$ V $\rightarrow 2,7$ V, observa-se um sobre-sinal e tempo de acomodação desprezíveis, também com desempenho superior ao especificado na Tabela 4.2, entre $1,300$ ms $\leq t \leq 1,310$ ms. Portanto, o compensador PI analógico está validado, e o próximo passo é dimensionar o compensador PI digital para se validar o MSPWM e o sistema da Figura 4.2.

Inicialmente, calcula-se o *ripple* da tensão de saída ΔV_{OUT} :

$$\Delta V_{OUT} = r_C \Delta I_L = r_C \frac{(V_{IN} - V_{OUT}) D_d}{L f_s} = 33 \text{ mV} \quad (4.18)$$

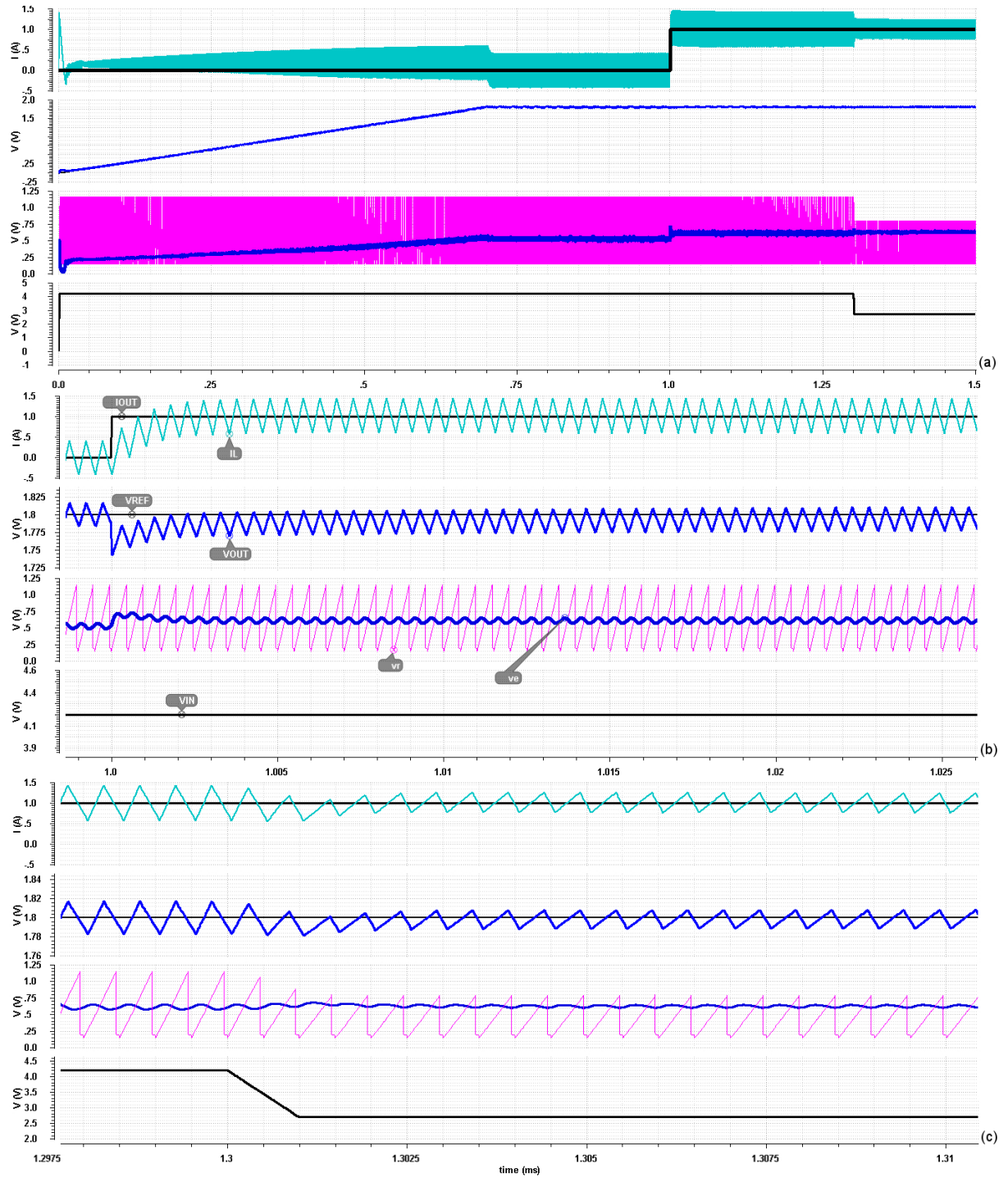


Figura 4.8 – Análise transiente de um conversor *buck* síncrono (controlador analógico):
 (a) Análise completa incluindo *softstart*; (b) Resposta à degrau de corrente $0 \rightarrow +1A$; (c) Resposta à rampa de tensão $V_{IN} = 4,2V \rightarrow 2,7V$.

A partir da Equação (4.4), tem-se:

$$\Delta V_{MSPWM} \cdot V_{IN(max)} = 15mV \quad (4.19)$$

Então, atribui-se $\Delta V_q = 36 \text{ mV}$, $\Delta V_{REF} = \pm 0,5\% V_{REF} = \pm 4,5 \text{ mV}$, e se desprezando $\Delta V_{OUT}/\Delta I_{OUT}$ e $\Delta V_{OUT}/\Delta V_{IN}$, a partir da Equação (4.5):

$$\varepsilon V_{OUT\%} = (\pm \Delta V_{REF} \pm \Delta V_q) \frac{100}{V_{OUT}} = \pm 2,25\% \quad (4.20)$$

E o conversor flash A/D é dimensionado, segundo a Equação (4.11):

$$N = \log_2 \left(\frac{2M\% V_{OUT}}{\Delta V_q} \right) = 1 \quad (4.21)$$

Para completar os parâmetros da análise do ganho de malha no domínio da frequência discreta, usa-se a Equação (4.9):

$$ADG = \frac{1}{\Delta V_q} = 27,77, DAG = \Delta V_{MSPWM} \cdot V_{IN} = 15mV \quad (4.22)$$

Aplicando a transformada bilinear (Tustin) para a equação de transferência da Equação (4.16), tem-se:

$$GD(z) = \frac{0,01697z^2 + 0,002856z - 0,01411}{z^2 - 1,944z + 0,9496} \quad (4.23)$$

Também para o compensador PI da Equação (4.17), tem-se:

$$KD(z) = \frac{5,49z - 5,39}{z - 1} \quad (4.24)$$

O compensador PI digital da Equação (4.24) possui os coeficientes a_1 e a_0 com precisão de duas casas decimais e zero em 0,9818. Considerando que a entrada do MSPWM é um número inteiro entre 0 e 255, estes coeficientes devem ser arredondados para números inteiros. Após interações com o software MatlabTM, reescreve-se o compensador PI digital como:

$$KD(z) = \frac{12z - 11}{z - 1} \quad (4.25)$$

A análise de ganho de malha $LD(z)$, no domínio discreto está exibida na Figura 4.9. Nota-se que o compensador da Equação (4.25) possui zero em 0,9167, que degrada o desempenho do compensador analógico originalmente projetado, porém mediu-se $MF = 72,7^\circ$ e $f_c = 216,5 \text{ kHz}$, ainda com desempenho superior às especificações.

Finalmente, valida-se o projeto do compensador PI digital através de simulação elétrica através do software CadenceTM, com resposta às perturbações de corrente de carga I_{OUT} e tensão de entrada V_{IN} exibidos na Figura 4.10.

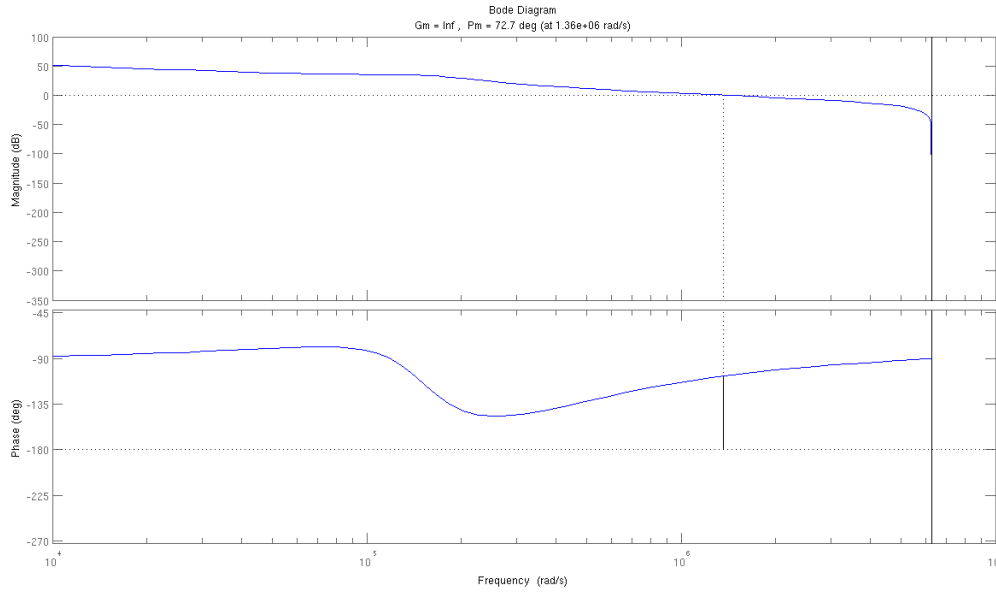


Figura 4.9 – Análise do ganho de malha (domínio discreto) para o conversor *buck*.

Observa-se na Figura 4.10(a) que o conversor faz uma partida suave, entre $0 \leq t \leq 700 \mu s$, com a tensão V_{OUT} seguindo a referência V_{REF} . Já na Fig. 4.10(b), após a aplicação de um degrau de corrente $I_{OUT} = 0 \rightarrow +1A$, observa-se um sub-sinal de $M\% = -2\%$ (-36 mV) e um tempo de acomodação $T_a = 8,95 \mu s$, com desempenho superior ao especificado na Tabela 4.2, entre $1,000 ms \leq t \leq 1,025 ms$. Finalmente, na Figura 4.10(c), após a aplicação de uma rampa de $V_{IN} = 4,2V \rightarrow 2,7V$, observa-se um sobre-sinal de $M\% = -2\%$ (-36 mV) e tempo de acomodação $T_a = 16,4 \mu s$, também com desempenho superior ao especificado na Tabela 4.2, entre $1,300 ms \leq t \leq 1,350 ms$.

Portanto, o compensador PI digital projetado e as simulações elétricas transientes da Figura 4.10 validam a aplicação do modulador de modo misto (MSPWM) proposto por esta tese e exibido no conversor *buck* da Figura 4.2. Na Tabela 4.3 exibe-se o resumo dos resultados obtidos das simulações realizadas.

Tabela 4.3 – Resumo das medidas obtidas das simulações elétricas (*compliance matrix*).

Símbolo	Original	Controle Analógico	Controle Digital e MSPWM	Unidade
$\varepsilon V_{OUT}\%$	± 3	$\pm 0,25$	$\pm 2,25$	%
$M\%$	± 3	± 2	± 2	%
T_a	< 20	2,70	8,95	μs

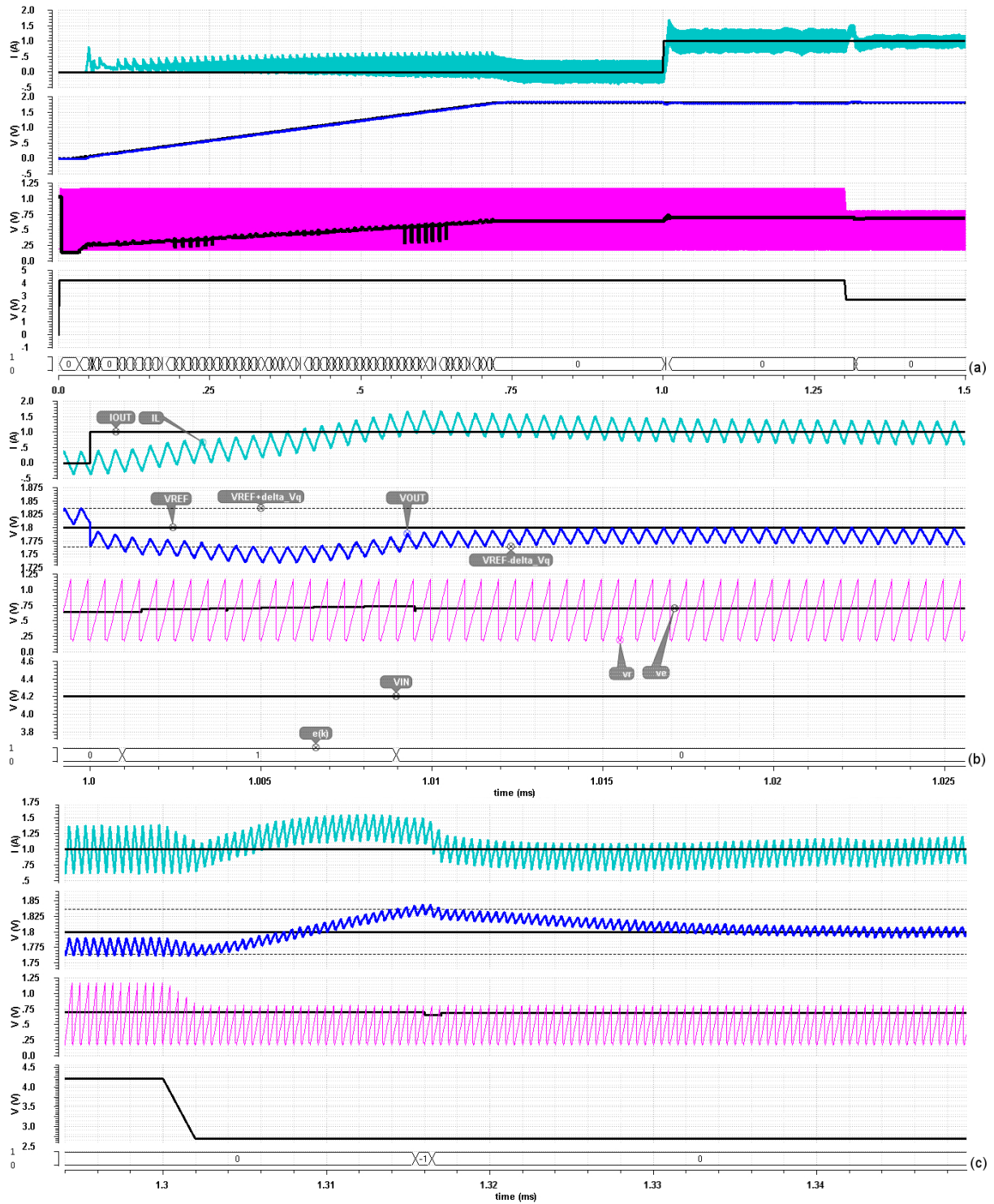


Figura 4.10 – Análise transiente de um conversor *buck* síncrono (controlador digital): (a) Análise completa incluindo *softstart*; (b) Resposta à degrau de corrente $I_{OUT} = 0 \rightarrow +1A$; (c) Resposta à rampa de tensão $V_{IN} = 4,2V \rightarrow 2,7V$.

5 Conclusões e Trabalhos Futuros

Este trabalho apresenta a tese que a topologia de um modulador de pulsos de modo misto (*Mixed-Signal Pulse Width Modulator – MSPWM*) atende à crescente demanda de Unidades de Gerenciamento de Potência (*Power Management Units – PMUs*), especialmente em conversores chaveados DC-DC, de modo a ter desempenho semelhante aos encontrados nos controladores analógicos (estado da arte) e, ao mesmo tempo, ter como variável de entrada uma palavra digital proveniente de um compensador de frequência PID digital e, portanto, não utilizando componentes passivos discretos, economizando espaço e custos de placas de circuito impresso, requisito fundamental para aplicações portáteis.

A tese se comprova ao mostrar as desvantagens dos moduladores de pulso digitais (*Digital Pulse Width Modulators – DPWMs*) através da análise dos parâmetros de desempenho consumo de potência, linearidade, dependência com *layout*, capacidade de calibragem e dependência com temperatura, apresentados no Capítulo 2, e o projeto do MSPWM em tecnologia CMOS 0,18 μm , apresentando-se com uma área de silício compacta (0,029 mm^2), consumo de potência baixo (173,25 μW) e compatível com aplicações portáteis, alta linearidade (INL = $\pm 0,05\text{LSB}$ e DNL = $\pm 0,01\text{LSB}$ em casos típicos) e independência da temperatura de operação na faixa de temperatura comercial (de 0°C a $+85^\circ\text{C}$), os dois últimos parâmetros de desempenho não observados nas literaturas mais recentes de DPWMs, apresentados no Capítulo 3.

Através de medidas de simulações Monte Carlo, demonstra-se que o MSPWM possui calibragem simples (12-bit divididos em 6-bit para o conversor D/A e 6-bit para oscilador de relaxação) e cobre os requisitos para produção em 3σ (99% de aproveitamento das amostras), ou seja, é viável para produção em alta escala.

Com a finalidade de comprovar o funcionamento do MSPWM, apresentou-se no Capítulo 4 o desenvolvimento de um controlador PWM, composto por um compensador PI digital e o MSPWM, aplicado a um conversor chaveado DC-DC do tipo *buck*. Os resultados obtidos para perturbações de carga e linha atendem às especificações apresentadas e com desempenho semelhante a um controlador analógico e os resultados são bem satisfatórios.

Para um controle digital de um conversor chaveado DC-DC, observaram-se os efeitos da discretização de sinais para o controlador apresentado. O primeiro ponto importante é que a resolução do conversor *flash* A/D é uma componente adicional à precisão da tensão de saída do conversor chaveado DC-DC, além da precisão da fonte de referência e regulagens de linha e carga já inerentes ao controlador analógico clássico. O segundo ponto importante é que o conversor *flash* A/D deve cobrir toda excursão do sinal de saída do conversor chaveado DC-DC durante perturbações, caso contrário o controlador

PID não opera em região linear, o que necessariamente requer filtros de potência LC e compensador PI digital bem dimensionados e com alto fator de amortecimento, com o objetivo de se dimensionar um conversor *flash* A/D com 2^N comparadores, ou seja, na faixa $1 \leq N \leq 3$, caso contrário torna-se pouco atraente em termos de viabilidade econômica o projeto de controladores digitais para a aplicação da tese.

Como atualmente os conversores chaveados DC-DC operam tipicamente na faixa de 1 MHz a 10 MHz, não se observa outra opção senão o uso de conversores *flash* A/D, uma vez que o período de amostragem para o controle requer pelo menos 10% do ciclo ativo, ou seja, na faixa de $10 \text{ ns} \leq T_s \leq 100 \text{ ns}$.

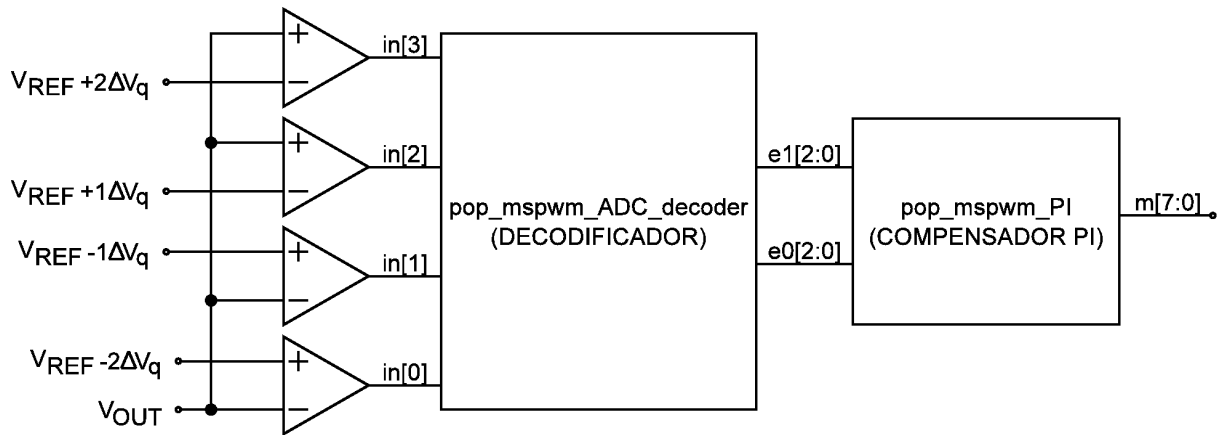
Para trabalhos futuros, sugere-se:

- Investigação de técnicas de precisão para a alocação de pólos/zeros em compensadores PID digitais. Neste trabalho, observou-se na aplicação do Capítulo 4 que o compensador PI deve que ser iterativamente ajustado, uma vez que a entrada de um MSPWM é sempre um número inteiro, e o arredondamento de coeficientes deve ser precisamente feita, a fim de não prejudicar o desempenho do compensador originalmente projetado e redução de margens de fase;
- Investigação de novos conversores A/D que atendam à aplicação de controladores digitais para conversores chaveados DC-DC e tenham viabilidade econômica para produção em alta escala.

Este trabalho gerou duas publicações, a mais recente em revista e a primeira em congresso internacional – vide *Anexo C – Trabalhos Publicados*.

APÊNDICE A – Conversor Flash A/D

Embora especificado $N = 1$ no Capítulo 4, o conversor *flash* A/D modelado e usado nas simulações transientes é de 2-bit, conforme figura a seguir. Os códigos dos blocos digitais são descritos em Verilog e foram codificados, conforme descrito no *Apêndice B – Códigos de Descrição de Hardware*.



APÊNDICE B – Códigos de Descrição de Hardware

```

module pop_mspwm_ADC_decoder(en, rstb, in, clk, e1, e0);

    input en;                // Habilita o bloco.
    input rstb;              // Reset geral.
    input clk;               // Clock de amostragem (s_clk).
    input [3:0] in;           // Saida dos comparadores do conversor A/D.
    output [2:0] e1, e0;      // Erros de saida - e(k) e e(k-1).

    wire g_clk = en && clk; // Clock habilitado por enable.

    reg [2:0] e1, e0;        // Erros de saida.

    always @(posedge g_clk or negedge rstb) begin

        if (!rstb) begin

            e1 <= 2'b000;
            e0 <= 2'b000;

        end

        else begin

            /*
            Faz-se a decodificacao dos bits de entrada ("amplificador de erro").
            */

            case (in)

                4'b0000 : e1 <= 3'b000;
                4'b0100 : e1 <= 3'b111;
                4'b1100 : e1 <= 3'b110;
                4'b0010 : e1 <= 3'b001;
                4'b0011 : e1 <= 3'b010;
                default : e1 <= 3'b000;

            endcase

            e0 <= e1;

        end

    end

endmodule

```



```

module pop_mspwm_PI(en, rstb, clk, e1, e0, mb);

    input en;          // Habilita o bloco.
    input rstb;        // Reset geral.
    input clk;         // Clock de amostragem (s_clk).
    input [2:0] e1;    // Erro de entrada e(k).
    input [2:0] e0;    // Erro de entrada e(k-1).

    output [7:0] mb;   // Saida para MSPWM.

    reg [8:0] ae1;     // Equivale a a1*e(k).
    reg [8:0] ae0;     // Equivale a a0*e(k-1).

    reg signed [8:0] soma; // Registro (com sinal) equivalente a d(k).
    reg [8:0] temp_reg;   // Registro (sem sinal) equivalente a d(k).

    wire g_clk; // Clock habilitado por enable.
    wire N, V, maior, menor;

    /*
    N indica numero negativo.
    V indica overflow.
    maior indica se d(k+1) sera um numero > 0.
    menor indica se d(k+1) sera um numero < 0.
    sum equivalente a d(k+1).
    */

    wire [7:0] m;
    wire [7:0] mb;

    wire signed [8:0] sum, b;

    always @ (e1) begin

        case (e1)

            3'b110 : ae1 = -9'd24; // Equivale a a1*e(k) = 12*(-2).
            3'b111 : ae1 = -9'd12; // Equivale a a1*e(k) = 12*(-1).
            3'b000 : ae1 = -9'd0;  // Equivale a a1*e(k) = 12*(0).
            3'b001 : ae1 = 9'd12;  // Equivale a a1*e(k) = 12*(+1).
            3'b010 : ae1 = 9'd24;  // Equivale a a1*e(k) = 12*(+2).

        endcase

    end

    always @ (e0) begin

        case (e0)

            3'b110 : ae0 = -9'd24; // Equivale a a0*e(k-1) = -11*(-2).
            3'b111 : ae0 = -9'd12; // Equivale a a0*e(k-1) = -11*(-1).
            3'b000 : ae0 = -9'd0;  // Equivale a a0*e(k-1) = -11*(0).
            3'b001 : ae0 = 9'd12;  // Equivale a a0*e(k-1) = -11*(+1).
            3'b010 : ae0 = 9'd24;  // Equivale a a0*e(k-1) = -11*(+2).

        endcase

    end

end

```

```

assign g_clk = en && clk;

always @(posedge g_clk or negedge rstb) begin

    if (!rstb) soma <= 9'b0; // Inicializacao.
    else if (maior && V) soma <= 9'd255; // Se >0 e V: overflow.
    else if (menor && V) soma <= -9'd256; // Se <0 e V: underflow.
    else soma <= soma + ae1 + ae0; // Senao soma dentro do intervalo.

end

assign sum = soma + b;
assign b    = ae1 + ae0;

assign N = sum[8];
assign V = ((soma[8] ^ b[8]) && (N ^ soma[8]));

assign maior = (N ^ V);
assign menor = (N ^ V);

/*
d(k) deve estar entre 0 e 230 (90% de ciclo ativo).
Caso ultrapasse 230, entao overflow e retem ultimo valor.
Caso seja menor que 0, entao underflow e retem ultimo valor.
*/

always @(posedge g_clk or negedge rstb) begin

    if (!rstb) temp_reg = 9'd0;
    else if (soma > 9'd230 && !V) temp_reg = 9'd230;
    else if (soma < 9'd0 && !V) temp_reg = 9'd0;
    else if (maior && V) temp_reg = 9'd230;
    else if (menor && V) temp_reg = 9'd0;
    else temp_reg = soma;

end

assign m = temp_reg[7:0]; // Faz com que d(k) seja entre 0 e 230.

assign mb = ~m;

endmodule

```

APÊNDICE C – Trabalhos Publicados

F. G. R. Ramos, T. C. Pimenta and L. H. C. Ferreira, A mixed-signal pulse width modulator for SMPS applications, INTEGRATION, the VLSI journal, vol. 55, pp. 265-273, September 2016.

F. G. R. Ramos, T. C. Pimenta and L. H. C. Ferreira, Design of a Low-Cost and High-Performance Digital PWM Controller for DC-DC Converters, VII IEEE Latin American Symposium on Circuits and Systems, Florianópolis, Brazil, February 2016.

Referências

- 1 OLIVA, A. R.; ANG, S. S.; BORTOLOTTI, G. E. Digital control of a voltage-mode synchronous buck converter. *IEEE Transactions on Power Electronics*, IEEE, v. 21, n. 1, p. 157–163, 2006. [17](#)
- 2 PATELLA, B. J. et al. High-frequency digital pwm controller ic for dc-dc converters. *IEEE Transactions on Power electronics*, IEEE, v. 18, n. 1, p. 438–446, 2003. [17](#)
- 3 DANCY, A. P.; CHANDRAKASAN, A. P. Ultra low power control circuits for pwm converters. In: IEEE. *Power Electronics Specialists Conference, 1997. PESC'97 Record., 28th Annual IEEE*. [S.l.], 1997. v. 1, p. 21–27. [17](#), [19](#), [20](#)
- 4 RAHMAN, N. et al. Multimode digital smps controller ic for low-power management. In: IEEE. *2006 IEEE International Symposium on Circuits and Systems*. [S.l.], 2006. p. 4–pp. [17](#), [19](#), [20](#), [22](#), [35](#)
- 5 TRESCASES, O.; WEI, G.; NG, W. T. A segmented digital pulse width modulator with self-calibration for low-power smps. In: IEEE. *2005 IEEE Conference on Electron Devices and Solid-State Circuits*. [S.l.], 2005. p. 367–370. [17](#), [19](#), [21](#), [23](#), [33](#), [35](#)
- 6 RABAEY, J. Digital integrated circuits: A design perspective prentice hall. *Inc., Englewood Cliffs, New Jersey*, 1996. [19](#)
- 7 SYED, A. et al. Digital pulse width modulator architectures. In: IEEE. *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*. [S.l.], 2004. v. 6, p. 4689–4695. [20](#)
- 8 SANSEN, W. *Analog Design Essentials, ser. The International Series in Engineering and Computer Science*. [S.l.]: Boston, MA: Springer US, 2006. [25](#)
- 9 BOSCH, A. V. D. High resolution, high speed cmos current-steering digital-to-analog converters. 2003. [25](#)
- 10 HASTINGS, A. *The art of analog layout*. [S.l.]: Prentice Hall, 2001. [25](#)
- 11 OLMOS, A. A temperature compensated fully trimmable on-chip ic oscillator. In: IEEE. *Integrated Circuits and Systems Design, 2003. SBCCI 2003. Proceedings. 16th Symposium on*. [S.l.], 2003. p. 181–186. [28](#)
- 12 CHAN, M. P.; MOK, P. K. Design and implementation of fully integrated digitally controlled current-mode buck converter. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 58, n. 8, p. 1980–1991, 2011. [29](#)
- 13 YOUSEFZADEH, V.; MAKSIMOVIC, D. Sensorless optimization of dead times in dc-dc converters with synchronous rectifiers. In: IEEE. *Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005*. [S.l.], 2005. v. 2, p. 911–917. [29](#)
- 14 BROKAW, A. P. A simple three-terminal ic bandgap reference. *IEEE Journal of Solid-State Circuits*, IEEE, v. 9, n. 6, p. 388–393, 1974. [30](#)

-
- 15 PHILLIPS, C. L.; HARBOR, R. D. *Basic feedback control systems: alternate*. [S.l.]: Prentice-Hall, Inc., 1991. [41](#), [43](#), [46](#), [47](#)
- 16 PETERCHEV, A. V.; SANDERS, S. R. Quantization resolution and limit cycling in digitally controlled pwm converters. In: IEEE. *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*. [S.l.], 2001. v. 2, p. 465–471. [41](#)
- 17 VORPÉRIAN, V. Simplified analysis of pwm converters using model of pwm switch. i. continuous conduction mode. *IEEE Transactions on Aerospace and Electronic Systems*, IEEE, v. 26, n. 3, 1990. [42](#)
- 18 PAULA, C. F. de; FERREIRA, L. H. An improved analytical pid controller design for non-monotonic phase lti systems. *IEEE Transactions on Control Systems Technology*, IEEE, v. 20, n. 5, p. 1328–1333, 2012. [43](#), [47](#)