

**UNIVERSIDADE FEDERAL DE ITAJUBÁ  
PROGRAMA DE PÓS-GRADUAÇÃO EM  
ENGENHARIA ELÉTRICA**

Transceptor CMOS para comunicação de  
dados via rede elétrica de sinais oriundos de  
eletroencefalograma

**Paulo Marcos Pinto**

**Itajubá, Fevereiro de 2017**

**UNIVERSIDADE FEDERAL DE ITAJUBÁ  
PROGRAMA DE PÓS-GRADUAÇÃO EM  
ENGENHARIA ELÉTRICA**

**Paulo Marcos Pinto**

**Transceptor CMOS para comunicação de  
dados via rede elétrica de sinais oriundos de  
eletroencefalograma**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Mestre em Ciências em Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Professor Doutor Tales Cleber Pimenta  
Coorientador: Professor Doutor Robson Luiz Moreno

**Fevereiro de 2017**

**Itajubá**

*A todos aqueles que fazem minha vida valer a pena.*

# Agradecimentos

Agradeço a Deus pelas oportunidades na minha vida.

A meu pai, Paulo, in memoriam, e, em especial, à minha mãe, Fátima, por seu incondicional incentivo e amor.

Aos meus irmãos, Anderson, Juliana e Adilson e, ao meu sobrinho, Lucas, por acreditarem em mim.

Aos orientadores, Prof. Tales e Prof. Robson, pela ajuda na realização desse trabalho, disponibilizando seus conhecimentos, tempo, orientações e ajuda.

Aos professores, Luís Henrique, Gustavo e Odilon e aos colegas do Grupo de Microeletrônica da Unifei, em especial, Fadul, pelas discussões, sugestões e contribuições dadas a esse trabalho e além deste.

Aos amigos e parentes que vivenciaram a realização desse projeto, por seu incontestável apoio, pelos momentos de descontração e paciência.

Às agências de fomento, CNPq, CAPES e FAPEMIG, por promoverem o suporte financeiro necessário para o desenvolvimento deste trabalho.

Por fim, agradeço ao professor e amigo, Rodrigo Braga, pela ajuda na realização deste trabalho, nas discussões, nas contribuições, no ensino e no aprendizado.

Meus mais sinceros agradecimentos.

*“ O sucesso prático de uma idéia independe do seu próprio mérito, depende da atitude dos contemporâneos. Se é oportuna, é rapidamente adotada, mas se não o é, ela é arrancada como um broto para fora da terra no chão quente, apenas para que seja retardado o seu crescimento na geada do sucesso.*

*(Nikola Tesla)*

# Resumo

Densas redes de fios, tais como redes ultra-densa para EEG, são compostas por 256 a 512 eletrodos, para análise temporal e espacial do cérebro. Em vez de usar um par de fios para alimentação e fiação adicional para a comunicação de dados, o uso de Power Line Communications (PLC) permite energia elétrica e comunicação de dados em um único par de fios. Neste projeto, propomos um transceptor (transmissor e receptor), em tecnologia CMOS 0,18  $\mu\text{m}$ , alimentado em 1,8V e frequência operacional de 10MHz. Simulações realizadas no ambiente de simulação CADENCE (Virtuoso Analog Design Environment L Editing) demonstram que o circuito é capaz de transmitir e receber dados oriundos de EEG corretamente sem a necessidade de acoplamentos de natureza indutiva ou capacitiva.

**Palavras-chaves:** Eletroencefalograma, Equipamentos Eletro-Médicos, Comunicação de Dados via Rede Elétrica de Energia (PLC), Tranceptor DC-PLC, Transmissor e Receptor CMOS.

# Abstract

Dense wired networks, such as ultra-dense EEG network, comprised of 256 or 512 electrodes for temporal and spatial analysis of the brain, demand a large amount of wiring. Instead of using a pair of wires for power supply and additional wiring for communication, the use of Power Line Communications (PLC) allows power and communication in a single pair of wires. In this project, we propose a transceiver (transmitter and receiver) 0.18 $\mu\text{m}$  CMOS technology, for a 1.8V power supply operating at 10 MHz. Simulations conducted on CADENCE (Virtuoso Analog Design Environment L Editing) demonstrate the circuit is capable of transmitting and receiving data from EEG properly without the need of inductive or capacitive couplings.

**Key-words:** Electroencephalogram (EEG), Electro-medical devices (EMD), DC-PLC transceiver, CMOS receiver and transmitter, power line communications.

# Lista de ilustrações

Figura 1 – Diagrama de blocos - transmissor e receptor. . . . .	17
Figura 2 – Diagrama de blocos do transmissor. . . . .	18
Figura 3 – Transmissor PSM. . . . .	18
Figura 4 – Geração de pulsos. . . . .	19
Figura 5 – Diagrama de blocos do receptor. . . . .	19
Figura 6 – Supressão de ruído usando um Schmitt trigger. . . . .	21
Figura 7 – Diagrama de blocos do transceptor DC-PLC. . . . .	23
Figura 8 – Circuito transmissor gerador de pulso aleatório. . . . .	24
Figura 9 – Circuito deslocador de nível. . . . .	25
Figura 10 – Circuito extrator de sinal. . . . .	27
Figura 11 – Circuito extrator de sinal com filtro RC. . . . .	27
Figura 12 – Circuito restaurador de lógica - Schmitt trigger. . . . .	29
Figura 13 – Formas de onda do circuito transmissor - sinal de entrada(vermelho), pulsos gerados (verde), tensão de alimentação (azul). . . . .	31
Figura 14 – Formas de onda do circuito deslocador de nível - $v_{DD}$ (vermelho), saída do circuito (azul). . . . .	32
Figura 15 – Formas de onda do circuito extrator de sinais - sinal de entrada (verde), sinal de entrada invertido e amplificado (azul), sinais de saídas diferen- ciais (amarelo e vermelho). . . . .	33
Figura 16 – Função de transferência do inversor - tensão de saída pela tensão de entrada. . . . .	34
Figura 17 – Resultados de simulação dos sinais de entrada (em roxo e vermelho) e de saída (em marrom) do circuito restaurador de lógica . . . . .	35
Figura 18 – Característica de transferência de tensão do circuito restaurador lógico. $v_{in-} = 1,2V$ e $v_{in+}$ variando entre 0 e 1,8V. . . . .	35
Figura 19 – Circuito transceptor - sinal de entrada (azul), sinal de saída (vermelho), tensão de alimentação (verde), deslocador de nível (magenta), saída diferencial extrator de sinais (roxo e rosa). . . . .	36
Figura 20 – Leiaute do circuito - transmissor, deslocador de nível, extrator de sinal e restaurador de lógica. . . . .	37

# Lista de símbolos

PLC	power line communications (comunicação via rede elétrica);
AC	alternating current (corrente alternada);
DC	direct current (corrente contínua);
MOS	metal oxide-semiconductor (semicondutor de metal-óxido)
CMOS	complementary metal-oxide-semiconductor (semicondutor de metal-óxido complementar);
PMOS	p-channel MOSFET (MOSFET de canal p)
NMOS	n-channel MOSFET (MOSFET de canal n)
EEG	eletroencefalograma;
PSRR	power supply rejection ratio (taxa de rejeição da fonte de alimentação);
$PSRR_{DD}$	taxa de rejeição da fonte de alimentação positiva;
$A_v$	ganho de tensão de um circuito elétrico;
$v_{out}, v_o$	tensão de saída de um circuito elétrico;
$v_{in}, v_{IN}$	tensão de entrada de um circuito elétrico;
$A_{v_{DD}}$	ganho de tensão em relação à fonte de alimentação positiva;
$v_{DD}$	tensão de alimentação da fonte positiva;
$V_{cc}, V_{dd}, V_{DD}$	tensões de alimentação genéricas;
$Q_{1,2}, M_i$	com $i = N, P, OA, OB, 1, 2, 3, 4, \dots, 11$ símbolos para denominar transistores MOS;
$C_L$	capacitância do nó de saída;
$v_{DC}$	tensão de alimentação com a parcela contínua ( $V_{DC}$ ) e alternada ( $v_{dd}$ ) do transceptor proposto;
$V_{DC}$	tensão de alimentação contínua do transceptor proposto;
$v_{dd}$	tensão de alimentação representando o sinal de dados do transceptor proposto;

$v_G$	tensão de gate do transistor
$v_D$	tensão de dreno do transistor
$i_D$	corrente de dreno do transistor
$v_{bias}$	tensão de polarização
$R_D$	Resistência de dreno
$UTP, V_{M+}$	Upper Trigger Point - ponto de disparo superior
$LTP, V_{M-}$	Lower Trigger Point - ponto de disparo inferior
$H$	Histerese - diferença entre $UTP$ e $LTP$ ou entre $V_{M+}$ e $V_{M-}$
$t_0$	tempo no qual o sinal elétrico atinge $UTP/LTP$
$t_p$	tempo de propagação do circuito Schmitt trigger realizar a transição
$W$	width - largura do transistor
$L$	length - comprimento do transistor
$r_o$	resistência de saída de dreno do transistor
$g_m$	transcondutância do transistor
$\mu_n$	mobilidade superficial dos elétrons
$\mu_p$	mobilidade superficial das lacunas
$V_{GS}$	tensão entre os terminais gate-source do transistor
$V_{TH}$	threshold voltage (tensão de limiar de condução)

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>13</b>
<b>1.1</b>	<b>Considerações Gerais</b>	<b>13</b>
<b>1.2</b>	<b>Justificativa</b>	<b>14</b>
<b>1.3</b>	<b>Objetivo</b>	<b>15</b>
<b>1.4</b>	<b>Estrutura do Trabalho</b>	<b>15</b>
<b>2</b>	<b>REVIEÇÃO TEÓRICA</b>	<b>16</b>
<b>2.1</b>	<b>Eletroencefalograma</b>	<b>16</b>
<b>2.2</b>	<b>Power Line Communication - Comunicação via Rede Elétrica</b>	<b>16</b>
<b>2.3</b>	<b>Transmissão</b>	<b>17</b>
2.3.1	Transmissores PLC	17
<b>2.4</b>	<b>Recepção</b>	<b>19</b>
2.4.1	Deslocadores de Nível	20
2.4.2	Amplificadores de Sinal	20
2.4.3	Comparadores com Histerese	20
<b>2.5</b>	<b>PSRR (Power Supply Rejection Ratio - Taxa de Rejeição da Fonte de Alimentação)</b>	<b>21</b>
<b>3</b>	<b>O TRANSECTOR CMOS PROPOSTO</b>	<b>23</b>
<b>3.1</b>	<b>Funcionamento</b>	<b>23</b>
3.1.1	Diagrama de Blocos	23
<b>3.2</b>	<b>Transmissão</b>	<b>24</b>
3.2.1	Transmissor	24
<b>3.3</b>	<b>Recepção</b>	<b>25</b>
3.3.1	Deslocador de Nível	25
3.3.2	Extrator de Sinal	26
3.3.3	Restaurador de Lógica	28
<b>4</b>	<b>RESULTADOS</b>	<b>31</b>
<b>4.1</b>	<b>Transmissor</b>	<b>31</b>
<b>4.2</b>	<b>Deslocador de Nível</b>	<b>32</b>
<b>4.3</b>	<b>Extrator de Sinal</b>	<b>33</b>
4.3.1	Função de Transferência do Inversor	33
4.3.2	Restaurador de Lógica	34
<b>4.4</b>	<b>Transceptor PLC</b>	<b>36</b>
<b>4.5</b>	<b>Layout do Circuito</b>	<b>36</b>

4.6	Comparação entre as literaturas . . . . .	38
5	CONCLUSÃO . . . . .	39
	APÊNDICE A – ARTIGOS PUBLICADOS EM CONGRESSOS . .	40
	Referências . . . . .	41

# 1 Introdução

## 1.1 Considerações Gerais

PLC (Power Line Communication - Comunicação via Rede Elétrica) designa uma tecnologia que utiliza a rede elétrica de baixa tensão como meio para fornecer serviços de telecomunicações. Embora, tenha sido operado na faixa de baixas frequências desde suas primeiras aplicações, PLC é, hoje, mais comumente usada para aplicações de alta frequência (banda larga). A rede elétrica tem sido usada, por um longo tempo, pelos produtores e distribuidores de energia elétrica para fins de monitoramento da rede e controle remoto em baixas velocidades [1].

Pesquisas em PLC, que anteriormente eram apenas discretas, intensificaram-se desde meados de 1990, atraindo pesquisadores e profissionais de universidades, indústrias e empresas de engenharia. O principal impulso da investigação sobre PLC tem sido focado em baixa tensão, redes de distribuição de energia elétrica, que também têm, geograficamente, a mais ampla disseminação e, geralmente, possui um acesso mais conveniente dentro de vários edifícios e estruturas industriais. Convém, no entanto, notar que estas redes elétricas de baixa tensão são canais bastante desfavoráveis, uma vez que o seu projeto não considerava aspectos de comunicação [2].

A tecnologia PLC, conforme normas e padrões estabelecidos [3], enquadra-se em duas categorias, AC e DC. Para a transmissão AC, acopladores PLC são necessários para inserir o sinal de comunicação na linha de alimentação, e, ao mesmo tempo, proteger o equipamento de comunicação. Acopladores podem ser de qualquer natureza, tais como indutivo ou capacitivo [4]. O sistema DC-PLC consiste em três componentes principais: o meio de transmissão, o transmissor e o receptor. Podem ser apresentados acopladores, como o sistema AC, e, principalmente, de natureza capacitiva. O transmissor gera pulsos elétricos, através de uma entrada digital, que são acoplados no meio de transmissão. O meio de transmissão propaga o pulso elétrico sobreposto a ele na linha de alimentação elétrica. O receptor identifica o sinal de dados, extraíndo-o da rede elétrica, e condicionando-o para um valor adequado, para que possa ser restaurado em sinal lógico (dados) novamente.

Ainda, segundo Ferreira Hendrik C. [2], os primeiros trabalhos em PLC datam da década de 40, atribuídos a engenheiros suíços, com o objetivo de comutar subestações, medição e controle básico de carga. Durante a Segunda Guerra Mundial, alguns radiomadores experimentaram a tecnologia PLC, quando suas atividades, no espectro de frequência, eram restritas. Já em Junho de 1954, o Instituto Americano de Engenheiros Elétricos (AIEE) publicou um relatório: "Guia de Aplicação e Tratamento de Canais via

Rede Elétrica". O fator mais importante retardando a mais ampla disseminação e uso de PLC, especialmente comunicações de banda larga, tem sido o lento desenvolvimento de padrões aceitáveis para todos os participantes. Acordos sobre limites de emissão têm sido um dos principais obstáculos [2]. Entretanto, os progressos realizados nos últimos anos na definição de normas e padrões [3], são significativos e importantes, destacando-se o IEEE [5].

## 1.2 Justificativa

Muitas topologias têm sido propostas para a tecnologia PLC para que opere em baixa, média e alta tensão. Dentro deste contexto, existem as tecnologias para redes AC e DC. Em redes DC, dentro da tecnologia CMOS, os circuitos apresentam algumas desvantagens: aumento de sua complexidade e acopladores de natureza indutiva ou capacitiva para transmitir dados. Com isso, o aumento da área de silício ocupada por tais acopladores é significativa, o que torna seu uso, muitas vezes, inviável dentro de um chip [6].

Algumas aplicações demandam redes com uma quantidade muito grande de elementos, tais como redes ultra-densa para EEG (Eletroencefalograma), que são compostas por 256 a 512 eletrodos, para análise temporal e espacial do cérebro. Em vez de usar um par de fios para alimentação e fiação adicional para a comunicação de dados, o uso de PLC permite energia elétrica e comunicação de dados em um único par de fios, sem fiação adicional.

À medida que a quantidade de eletrodos aumenta, a complexidade do circuito se eleva e sua quantidade de fios também. A partir de tal pressuposto, implementar circuitos capazes de realizar mais de uma função para o mesmo cabo elétrico, como por exemplo, a dupla utilização de terminais de energia e comunicação, é apazível. Transmissão de dados via PLC é um tema amplamente discutido e padronizado, sendo dividido em duas categorias, AC-PLC e DC-PLC [3], e tem as mais diversas aplicações. Dentro de chips CMOS, receptores PLCs foram apresentados em [7, 8, 9, 10, 11, 12, 13], e projetado e testado em [14]. Um estudo sobre transmissores PLCs foi apresentado em [7]. Em [15] foi desenvolvido um transmissor com base em [6] para aplicações específicas em antenas Vivaldi para comunicação de dados via ondas de rádio. Neste trabalho foi desenvolvido um circuito capaz de transmitir e receber dados num único circuito, via PLC, sem o uso de acopladores indutivos ou capacitivos, sem uso de transformadores de tensão, inteiramente, em tecnologia CMOS.

## 1.3 Objetivo

O objetivo desta dissertação é apresentar o desenvolvimento de um circuito capaz de transmitir e receber dados via rede de energia elétrica DC, para reduzir a quantidade de fios de um sistema de eletroencefalografia (EEG). Esse circuito será empregado em outros projetos em desenvolvimento no grupo de Microeletrônica da Unifei.

O transceptor foi desenvolvido, inteiramente, em tecnologia CMOS, tendo em vista que os acoplamentos de natureza indutiva ou capacitiva ocupam vastas áreas de silício. Para utilizar dados de eletroencefalograma, foi considerado que esses dados já estão condicionados adequadamente, conforme os projetos já realizados dentro do grupo [16, 17, 18] e, assim, manipular esses dados no transceptor proposto.

## 1.4 Estrutura do Trabalho

O Capítulo 1 apresenta esta introdução. O Capítulo 2 aborda os conteúdos teóricos necessários ao desenvolvimento do trabalho. Assim, serão abordados: o funcionamento de um dispositivo PLC, uma breve descrição em redes de energia elétrica AC e DC; explicação matemática da transmissão de sinais em redes DC, através da PSRR (Power Supply Rejection Ratio - Taxa de Rejeição da Fonte de Alimentação); a geração de pulsos elétricos sobrepostos na tensão de alimentação usando transmissores PLCs; os conceitos de deslocadores de níveis de tensão e amplificadores de pequenos sinais; a geração de sinais lógicos (0 e 1) através de sinais elétricos condicionados e amplificados. O Capítulo 3 expõe o transceptor CMOS (transmissor e receptor) proposto, definindo em detalhes os problemas que serão resolvidos, a apresentação e explicação deste. O Capítulo 4 mostra os ensaios elétricos realizados nos blocos do circuito (4 blocos). Primeiramente, será realizada a simulação dos blocos separados e, depois, em conjunto, averiguando o funcionamento dos circuitos. O Capítulo 5 discorre sobre as conclusões do trabalho desenvolvido e trabalhos futuros identificados durante a realização do mesmo. Por fim, o Apêndice A apresenta os artigos publicados em congressos.

## 2 Revisão Teórica

Este capítulo fornece os tópicos preliminares necessários ao desenvolvimento do trabalho. A Seção 2.1 apresenta as características do encefalograma. A Seção 2.2 descreve a tecnologia PLC em redes de energia elétrica alternada e contínua. A Seção 2.3 explica a PSRR (Power Supply Rejection Ratio - Taxa de Rejeição da Fonte de Alimentação) para amplificadores e como ela é utilizada no projeto. A Seção 2.4 lida com transmissores PLC, a geração de pulsos elétricos e seu acoplamento no sinal da fonte de alimentação. Por fim, a última seção trata do condicionamento do sinal na recepção.

### 2.1 Eletroencefalograma

Equipamentos Eletro-Médicos (EEM) são dispositivos eletrônicos que têm por finalidade diagnosticar, tratar ou monitorar um paciente sob supervisão médica. O uso desses equipamentos faz parte da rotina diária de clínicas e hospitais no mundo inteiro e, em muitos casos, representa a diferença entre a vida e a morte. Um dos EEM de grande utilização é o Eletroencefalograma (EEG), criado em 1929 pelo psiquiatra alemão Hans Berger [19]. Ele descobriu que o cérebro gera uma atividade elétrica, que pode ser registrada. Essa atividade elétrica tem a sua origem na troca iônica entre os meios intra e extracelular [20]. Na prática, tipicamente um EEG é realizado através da colocação de eletrodos na superfície craniana do paciente. Estes eletrodos são conectados por cabos aos amplificadores de tensão. Estes amplificadores amplificam os sinais captados, que variam entre  $10\mu\text{V}$  e  $100\mu\text{V}$  [3]. Se fosse medido diretamente na superfície cerebral, a amplitude desses sinais estaria em torno de  $1500\mu\text{V}$  [21]. Tradicionalmente, através da análise dos sinais de EEG, o médico pode avaliar as condições cerebrais do paciente para um diagnóstico adequado.

### 2.2 Power Line Communication - Comunicação via Rede Elétrica

PLC (Power Line Communication - Comunicação via Rede Elétrica) é a tecnologia que utiliza a rede de energia elétrica, tanto a alternada (AC) como a contínua (DC) para transmitir dados. Há dificuldades em se utilizar a rede de alimentação para se transmitir dados, pois os cabos de transmissão de energia elétrica não foram projetados para comportar pequenos sinais e em alta frequência. Em termos de tensão, se as portas de comunicação dos equipamentos fossem conectadas diretamente à rede elétrica, elas seriam danificadas. Acopladores PLC são necessários para introduzir o sinal de comunicação para dentro e para fora da linha de alimentação e, ao mesmo tempo, proteger o equipamento de co-

municação. Acopladores podem ser de qualquer natureza, sejam indutivos ou capacitivos, típicos da rede de energia elétrica alternada [4].

O sistema DC-PLC, para o projeto proposto, pois os eletrodos de redes ultradensas para EEG funcionam com tensão contínua, consiste em três componentes principais: o meio de transmissão, o transmissor e o receptor, conforme ilustrado na Figura 1. O transmissor gera pulsos elétricos, através de uma entrada digital, que são acoplados no meio de transmissão pela resistência  $R$ . O meio de transmissão propaga o pulso elétrico sobreposto neste, na linha de alimentação elétrica. O receptor identifica o sinal de dados, extraindo-o da rede elétrica, e condicionado-o para um valor adequado, para que possa ser restaurado em sinal lógico (dados) novamente.

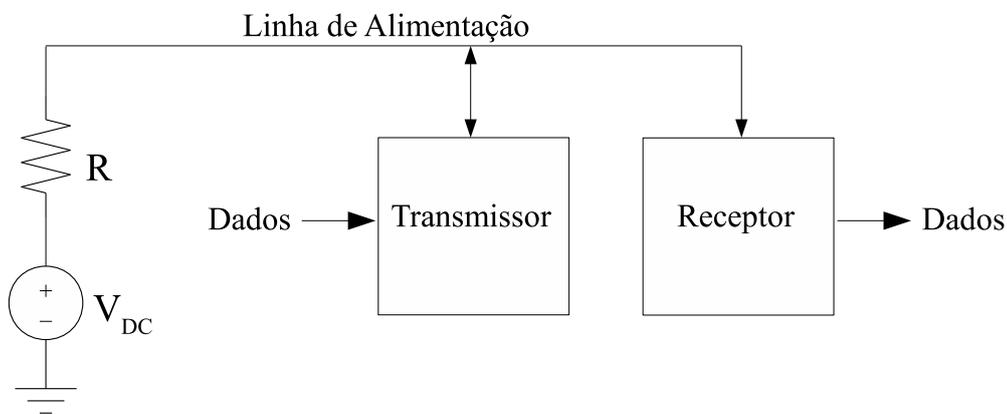


Figura 1 – Diagrama de blocos - transmissor e receptor.

## 2.3 Transmissão

### 2.3.1 Transmissores PLC

Para se conseguir transmitir dados através da rede elétrica de energia, utilizando dispositivos PLC, em redes AC e DC, muitas vezes, há a presença de elementos passivos, como por exemplo, indutâncias, capacitâncias e transformadores [7, 3, 22]. Em circuitos CMOS, isto se torna um inconveniente devido ao tamanho destes componentes, ocupando grande parte da área do semicondutor. Assim, para superar este obstáculo, é necessário adaptar circuitos eletrônicos para desempenharem a mesma função destes elementos.

Thirugnanam [7] apresenta um estudo sobre como sobrepor pulsos elétricos, de curta duração, sem o uso de acopladores capacitivos ou indutivos, no sinal da fonte de alimentação, através de uma entrada digital, conforme ilustrado nas Figuras 2 e 3.

O gerador de pulsos (transmissor PSM), mostrado na Figura 3, tem três estágios de carga/descarga. A carga/descarga ocorre quando o transistor PMOS/NMOS está ligado. O atraso entre os estágios é usado para controlar o tempo entre a fase de carga e de

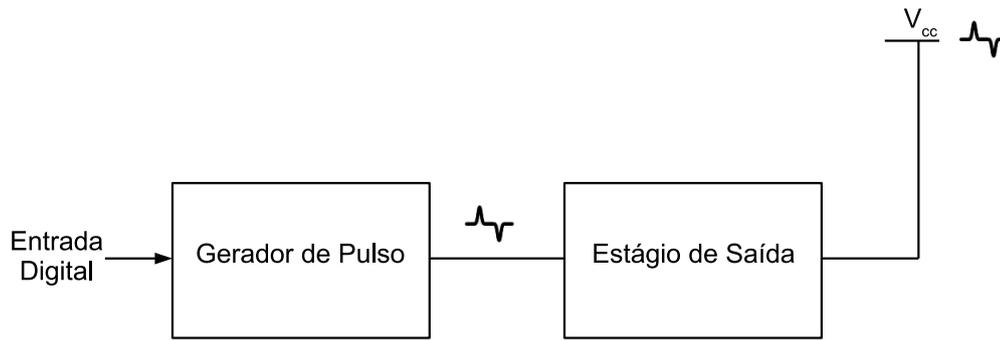


Figura 2 – Diagrama de blocos do transmissor.

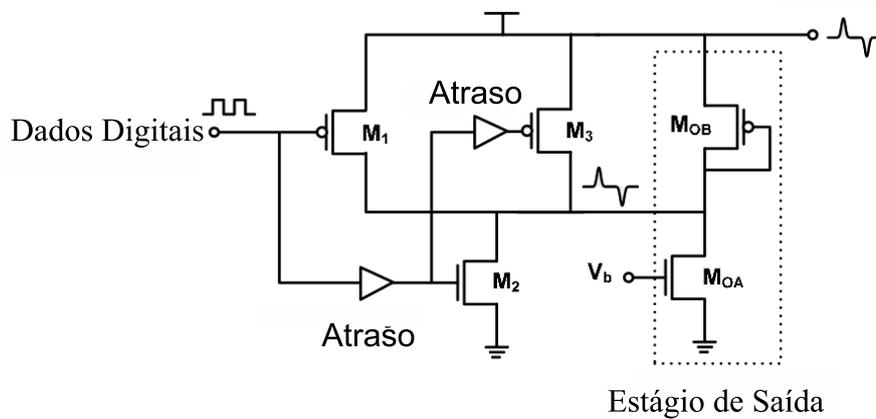


Figura 3 – Transmissor PSM.

descarga. A forma dos pulsos pode ser ajustada, intrinsecamente, controlando os atrasos, assim como o acionamento dos estágios de carga/descarga. O pulso gerado é aplicado ao dreno de  $M_{OA}$  (estágio de saída), e a isolamento entre o dreno de  $M_{OA}$  e  $V_{dd}$  (PSRR) é diminuída pelo dimensionamento do transistor  $M_{OB}$  e a corrente no estágio de sobrecondução [7]. Aqui,  $V_b$  representa a tensão de polarização do transmissor PSM. No entanto, este circuito apresenta circuitos de atraso que podem tornar o transmissor muito grande em tamanho de área ocupada, inviabilizando-o para o projeto proposto.

A Figura 4 [6], mostra um circuito exemplo para construir um pequeno pulso intencional em cada borda de subida do clock, no sinal de saída  $CLKG$  [23]. Quando  $CLK = 0$ , o nó X é carregado até  $V_{DD}$  ( $M_N$  está desligado, pois  $CLKG$  está em nível lógico baixo). Na borda de subida do clock, há um curto período de tempo quando ambas as entradas da porta lógica E (AND gate) estão em nível lógico alto, forçando  $CLKG$  para o nível lógico alto. Este, por sua vez, ativa  $M_N$ , forçando o nó X e  $CLKG$  para baixo. A duração do pulso é controlada pelo atraso da porta lógica E. A capacitância do nó de saída, ( $C_L$ ), é composta pelas capacitâncias de dreno dos transistores, pela capacitância da via metálica e pela capacitância das portas fan-out [15]. Este circuito pode ser adaptado,

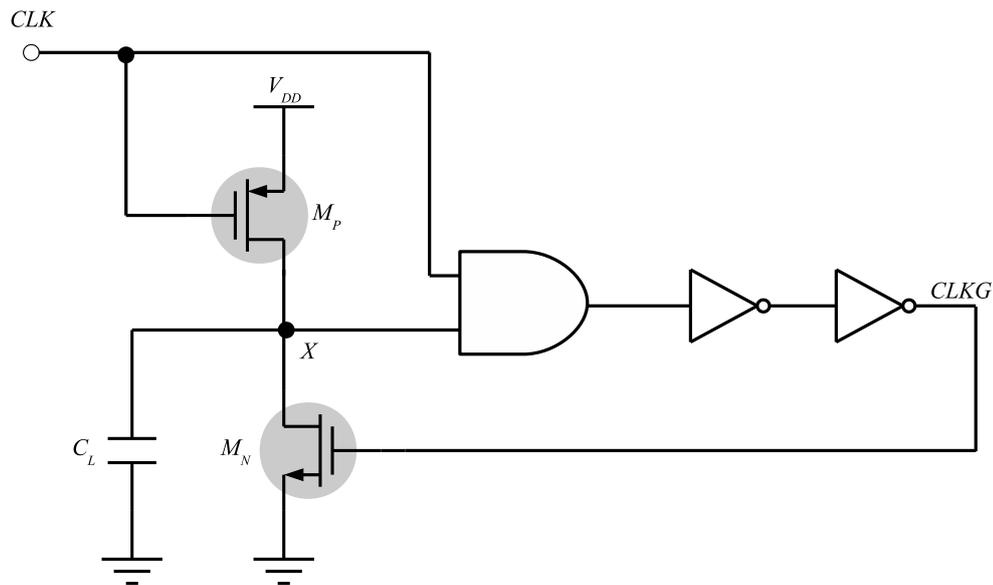


Figura 4 – Geração de pulsos.

suprimindo-se os circuitos de atraso, conforme simulações apresentadas neste trabalho, nos capítulos subsequentes, o que torna o circuito descrito acima viável para este projeto.

## 2.4 Recepção

A recepção, como mencionado anteriormente, deve condicionar este sinal para um valor elétrico que possa ser manipulado adequadamente (deslocador de nível), extrair o sinal de dados da rede de alimentação e amplificá-lo (extrator de sinal), para que, finalmente, possa ser restaurado seu valor lógico (restaurador de lógica), conforme ilustrado na Figura 5.

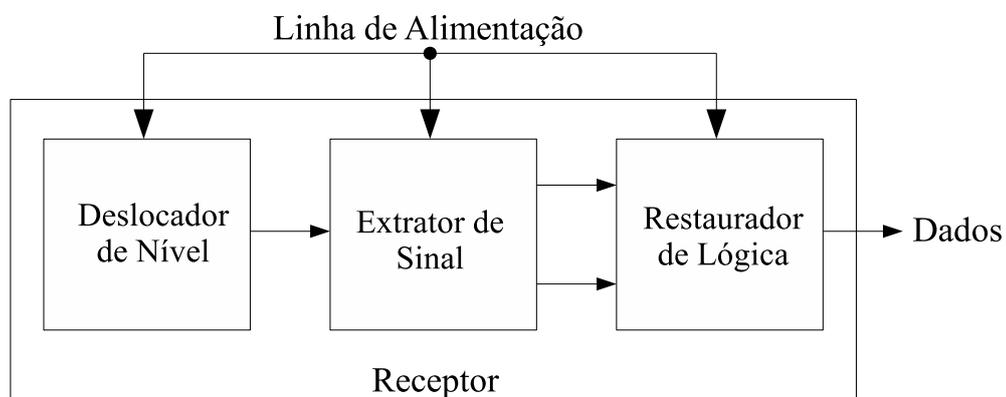


Figura 5 – Diagrama de blocos do receptor.

### 2.4.1 Deslocadores de Nível

O nível de tensão dos dados transmitidos via rede elétrica (PLC) é o próprio nível de tensão da fonte de alimentação, ou seja,  $v_{DC}$ . Estes dados devem ter seu nível de tensão, frequentemente, diminuído para que possam ser manipulados de forma adequada. Circuitos deslocadores de nível DC são essenciais para adequar esses níveis de tensão. Transladores de tensão ou deslocadores de nível são dispositivos que resolvem a incompatibilidade de tensões mistas entre as diferentes partes de um sistema que operam em múltiplas tensões. Circuitos elétricos muitas vezes exigem dispositivos de tradução de nível de tensão para permitir interface entre dispositivos de circuitos integrados construídos a partir de diferentes tecnologias de processo. A escolha do dispositivo de tradução de nível de tensão (deslocador de nível) adequado depende de muitos fatores e irá afetar o desempenho e a eficiência da aplicação do circuito [24, 25]. Assim, o bloco deslocador de nível, apresentado na Figura 5, deve executar a tarefa de diminuir o nível de tensão dos dados transmitidos.

### 2.4.2 Amplificadores de Sinal

Sinais de dados aplicados ao sinal da fonte de alimentação, após serem extraídos do sinal da fonte de alimentação, necessitam ser amplificados para que possam ser utilizados de maneira correta. Circuitos amplificadores são primordiais para estas situações. Amplificadores diferenciais são preferíveis frente aos convencionais. Há duas razões principais por tal escolha. Primeiro, circuitos diferenciais são muito menos sensíveis ao ruído e interferência em relação aos convencionais. A segunda razão é que a configuração diferencial permite polarizar simultaneamente os estágios amplificador e o par amplificador sem a necessidade do uso de capacitores de passagem ou acoplamento [26]. Cabe ressaltar que, em projetos de microeletrônica, no contexto de circuitos integrados, a área de silício ocupada por componentes eletrônicos deve ser a menor possível. Resistências, indutâncias e, principalmente, capacitâncias, requerem grandes áreas de silício dentro de um chip. O bloco extrator de sinal da Figura 5 deve operar como um amplificador diferencial.

### 2.4.3 Comparadores com Histerese

Comparadores com histerese são conhecidos como circuitos multivibradores biestáveis ou, também, como Schmitt trigger. Como seu nome indica, o multivibrador biestável tem dois estados estáveis. O circuito pode permanecer em um dos estados indefinidamente e passa para o outro estado apenas quando for apropriadamente acionado [26]. Um dos principais usos do Schmitt trigger é transformar um sinal de entrada ruidoso ou variando lentamente em um sinal de saída digital limpo, conforme ilustrado na Figura 6. A histerese ( $V_{M+} - V_{M-}$ ) suprime o ruído do sinal. Ao mesmo tempo, a rápida transição de

nível baixo-alto (e alto-baixo) do sinal de saída deve ser observado. [6]. Por fim, o bloco restaurador de lógica deve funcionar como um circuito comparador com histerese.

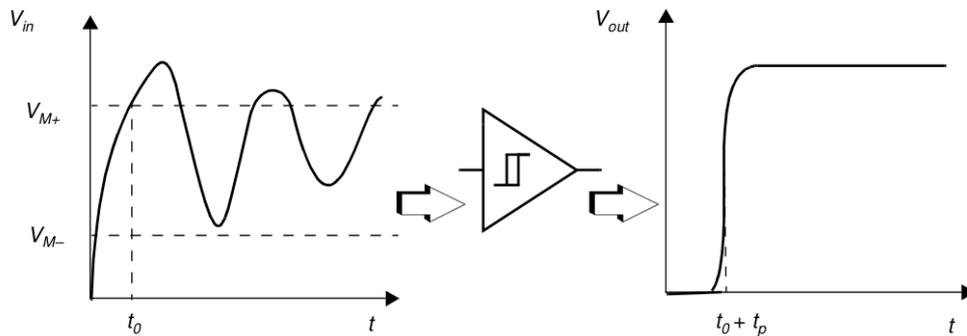


Figura 6 – Supressão de ruído usando um Schmitt trigger.

## 2.5 PSRR (Power Supply Rejection Ratio - Taxa de Rejeição da Fonte de Alimentação)

Circuitos analógicos e digitais coexistem em circuitos integrados modernos e, como resultado, eles podem interferir uns sobre os outros. Essa interação consiste de impulsos espúrios, geralmente oriundos de sinais de clock, circuitos digitais, circuitos de capacitores chaveados, drivers de saída, etc. Esses impulsos espúrios são acoplados nas linhas de alimentação de energia elétrica, no terra referencial e mesmo no substrato de circuitos analógicos e digitais. Portanto, os blocos analógicos devem ser insensíveis ao acoplamento desses impulsos na fonte de alimentação. Esta insensibilidade é expressa pela PSRR (Power Supply Rejection Ratio - Taxa de Rejeição da Fonte de Alimentação). Quanto maior a PSRR, menos sensível é o circuito às variações na fonte de alimentação.

Por outro lado, se circuitos analógicos apresentarem uma baixa PSRR, pode-se usar a linha de alimentação elétrica para comunicação, acoplando-se, intencionalmente, um sinal AC. Esse recurso é desejável para este projeto.

O ganho de tensão de um amplificador, a partir dos terminais de entrada, é dado como:

$$A_v = \frac{v_{OUT}}{v_{IN}} \quad (2.1)$$

Já o ganho de tensão em relação à fonte de alimentação de energia elétrica positiva ( $v_{DD}$ ), é:

$$A_{v_{DD}} = \frac{v_{OUT}}{v_{DD}} \quad (2.2)$$

A  $PSRR_{DD}$  pode ser definida como [27]:

$$PSRR_{DD} = \frac{A_v}{A_{v_{DD}}} = \frac{v_{OUT}}{v_{IN}} \frac{v_{DD}}{v_{OUT}} = \frac{v_{DD}}{v_{IN}} \quad (2.3)$$

em que o termo sobrescrito, (DD), refere-se à fonte de alimentação positiva.

Para amplificadores, é desejável ter um grande ganho de tensão  $A_v$  e um pequeno ganho de tensão da fonte de alimentação  $A_{v_{DD}}$ , em outras palavras, uma grande  $PSRR_{DD}$ . Na proposta deste trabalho, o oposto é desejável para que o sinal na fonte de alimentação possa ser detectado, isto é, uma pequena  $PSRR_{DD}$ .

## 3 O Transceptor CMOS proposto

### 3.1 Funcionamento

A Figura 7 apresenta o diagrama de blocos do circuito proposto, e a explicação da operação de cada bloco é fornecida nas seções subseqüentes.

#### 3.1.1 Diagrama de Blocos

O diagrama de blocos proposto, conforme ilustrado na Figura 7, consiste em quatro blocos compartilhando a mesma tensão de alimentação. O primeiro bloco, o transmissor, é responsável por sobrepor o sinal de dados no sinal de alimentação. Os dados fornecidos ao transmissor são oriundos de sinais de EEG, de circuitos já projetados e condicionados [16, 17, 18]. A resistência  $R$  fornece o acoplamento dos sinais AC e DC e simula uma fonte real, com impedância interna. Os sinais sobrepostos foram propagados aos blocos subseqüentes que compõem o receptor (deslocador de nível, extrator de sinal e restaurador de lógica). O deslocador de nível processa e adequa o sinal para o bloco sinal extrator que o amplifica e converte para um sinal diferencial. O bloco final, o restaurador de lógica, recupera o valor lógico de dados sobreposto no sinal de alimentação, este circuito é um Schmitt trigger diferencial.

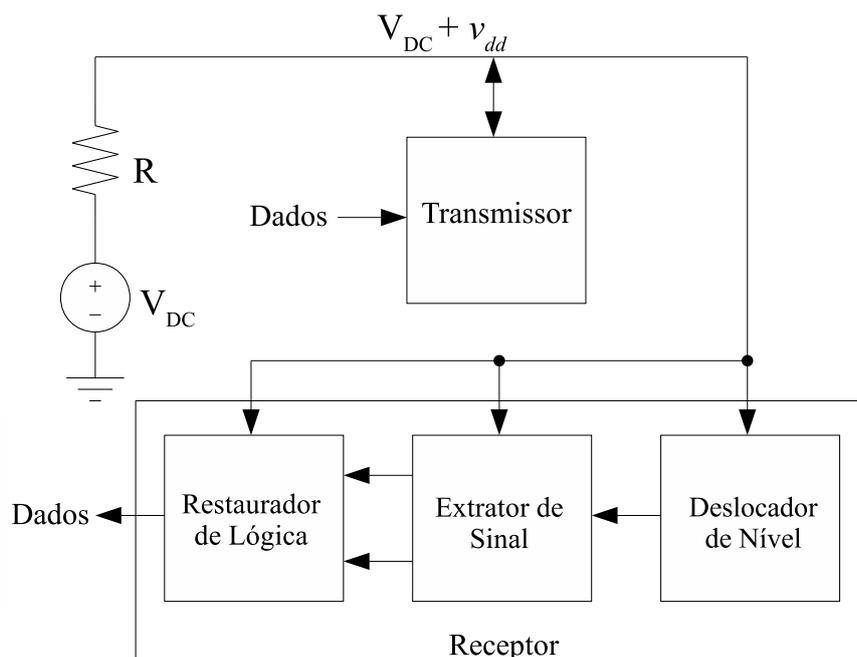


Figura 7 – Diagrama de blocos do transceptor DC-PLC.

## 3.2 Transmissão

### 3.2.1 Transmissor

Figura 8, adaptada de [6], mostra um circuito gerador de pulso na tensão de alimentação,  $V_{DD}$ , em cada borda de subida do clock, no sinal de saída  $CLKG$  [23]. Quando o sinal  $CLK = 0$ , o nó  $X$  é carregado até o valor da tensão de alimentação,  $V_{DD}$ , através da capacitância  $C_L$  (o transistor  $M_N$  é desligado assim que  $CLKG$  estiver no nível lógico baixo). A capacitância do nó de saída, ( $C_L$ ), é composta pelas capacitâncias de dreno dos transistores, pela capacitância da via metálica e pela capacitância das portas fan-out [15]. Na borda de subida do clock, há um curto período de tempo em que ambas as entradas da porta lógica E estão no nível lógico alto, forçando  $CLKG$  para o nível alto. Isto, por sua vez, ativa  $M_N$ , que força o nó  $X$  e  $CLKG$  para baixo. A largura do pulso gerado é controlada pelo tempo de atraso de propagação da porta lógica E. O pulso é gerado em  $CLKG$  e propagado em todo o circuito sobrepondo-se no sinal de alimentação, devido à resistência  $R$ , mostrada na Figura 8. Variações abruptas na tensão, devido aos pulsos gerados, força a corrente do circuito responder com um impulso elétrico, o que provoca variações na tensão de alimentação  $v_{DC}$  via resistência interna, eliminando o estágio de saída apresentado nas Figuras 2 e 3. A eliminação do estágio de saída utilizado por [7] é uma das contribuições apresentadas neste trabalho. Para as dimensões dos transistores, utilizaram-se as regras de projeto estabelecidas por Sedra [26] e Rabaey [6], resultando na Tabela 1.

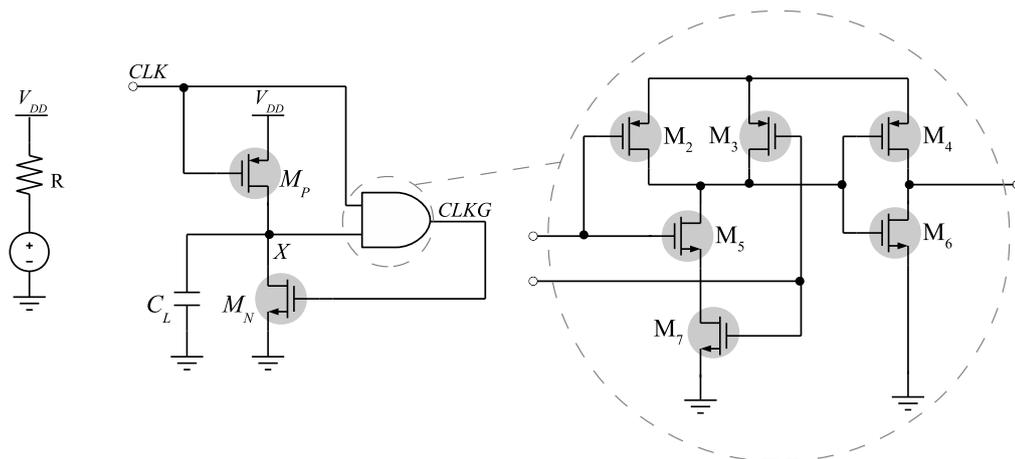


Figura 8 – Circuito transmissor gerador de pulso aleatório.

Tabela 1 – Dimensões dos transistores do circuito transmissor.

Grandeza	Dimensão
$W_{P,2-4}$	$5\mu\text{m}$
$W_{N,5,7}$	$2\mu\text{m}$
$W_6$	$1\mu\text{m}$
Todos os L	$0.5\mu\text{m}$

### 3.3 Recepção

#### 3.3.1 Deslocador de Nível

O circuito deslocador de nível consiste de um amplificador fonte comum com carga em conexão diodo, como mostrado na Figura 9. A tensão de saída ( $v_{out\_ls}$ ) é estabelecida para que seja metade da tensão de alimentação,  $0,5 v_{DC} = 0,5 (V_{DC} + v_{dd})$ , para que o próximo estágio, o extrator de sinal (amplificador diferencial), tenha simetria de excursão de sinal de entrada. Tem-se  $v_{dd}$ , a componente AC (sinal de dados), sobreposta a componente  $V_{DC}$  do sinal DC.

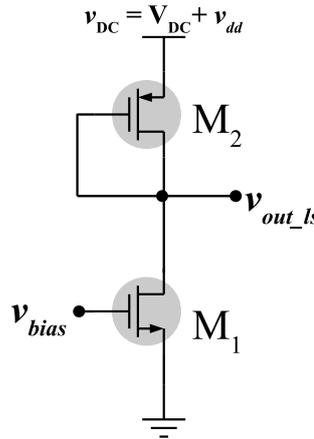


Figura 9 – Circuito deslocador de nível.

Como já discutido no Capítulo 2, uma pequena  $PSRR_{DD}$  permite que o circuito em questão se torne mais sensível às variações na fonte de alimentação. Assim, um pequeno sinal AC pode ser sobreposto à tensão de alimentação. Para o cálculo da  $PSRR_{DD}$  do circuito deslocador de nível, tem-se que o ganho de tensão de um amplificador fonte comum é dado por [26] [28]:

$$A_v \approx -\frac{g_{m1}}{g_{m2}} = \frac{\mu_n(W/L)_1(V_{GS} - V_{TH})_1}{\mu_p(W/L)_2(V_{GS} - V_{TH})_2} \quad (3.1)$$

em que,  $g_{m1}$  e  $g_{m2}$  são as transcondutâncias de  $M_1$  e  $M_2$ , respectivamente.

Ainda, conforme [14, 28], desprezando-se o efeito de comprimento de canal, o ganho de tensão em relação à tensão de alimentação é dado por:

$$A_{v_{DD}} = \frac{r_{o1}}{\frac{1}{g_{m2}} + r_{o1}} \approx 1. \quad (3.2)$$

sendo  $r_{o1}$ , a resistência de saída do dreno do transistor  $M_1$ , sabendo que  $\frac{1}{g_{m2}} \ll r_{o1}$ .

Assim, a  $PSRR_{DD}$  de um amplificador fonte comum é expressa como:

$$PSRR_{DD} = \frac{A_v}{A_{v_{DD}}} \approx \frac{\mu_n(W/L)_1(V_{GS} - V_{TH})_1}{\mu_p(W/L)_2(V_{GS} - V_{TH})_2} \quad (3.3)$$

Através da equação (3.3), pode-se inferir que a PSRR pode ser reduzida estabelecendo uma relação  $(W/L)_1$  pequena e uma relação  $(W/L)_2$  grande. O mesmo é válido para a sobretensão de condução (overdrive voltage),  $V_{GS} - V_{TH}$ , dos transistores: diminuir a de  $M_1$  e aumentar a de  $M_2$ , respectivamente [14]. A Tabela 2 apresenta as dimensões dos transistores.

Tabela 2 – Dimensões dos transistores do circuito deslocador de nível.

Grandeza	Dimensão
$W_1$	$4\mu\text{m}$
$W_2$	$10\mu\text{m}$
$L_{1,2}$	$0.18\mu\text{m}$

### 3.3.2 Extrator de Sinal

Este circuito visa à extração do sinal  $v_{dd}$  sem a necessidade de se utilizar capacitores de acoplamento. Na entrada do extrator de sinal (par diferencial), apresentado na Figura 10, é aplicada a tensão oriunda da saída do deslocador de nível,  $0.5v_{DD}$ , para permitir simetria de excursão de sinal de entrada entre terra (GND) e tensão de alimentação ( $v_{DD}$ ). É utilizada esta configuração, pois circuitos diferenciais são muito menos sensíveis ao ruído e interferências, além de permitir polarizar, simultaneamente, os estágios amplificador e o par amplificador, sem a necessidade do uso de capacitores de passagem ou acoplamento [26].

Como mostrado na Figura 10, o sinal,  $v_{out-ls}$ , proveniente da saída do deslocador de nível, é aplicado, diretamente, a uma das entradas do par diferencial. O mesmo sinal é invertido e amplificado pelo par inversor  $M_8$ - $M_9$  e aplicado a outra entrada do circuito extrator de sinal. Um inversor CMOS básico opera como um circuito amplificador, se polarizado próximo à metade da sua tensão de alimentação [6, 26]. O valor da tensão de entrada, originário do circuito anterior, é, aproximadamente,  $0,5 v_{DC}$ , e, então, permite

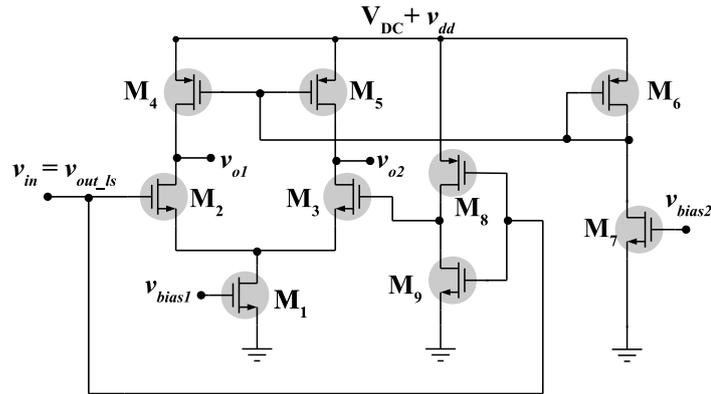


Figura 10 – Circuito extrator de sinal.

o uso do inversor como amplificador. O circuito extrator de sinal converte um sinal de terminação única (single-ended) em um sinal de saída diferencial e, então, é aplicado ao par diferencial.

Diferente de [14], o circuito foi implementado utilizando espelhos de corrente como carga e par inversor. O circuito ocupa menos área de silício que um filtro RC formado por resistências e capacitâncias. A eliminação do filtro RC utilizado por [14], ilustrado na Figura 11, é uma das contribuições apresentadas neste trabalho.

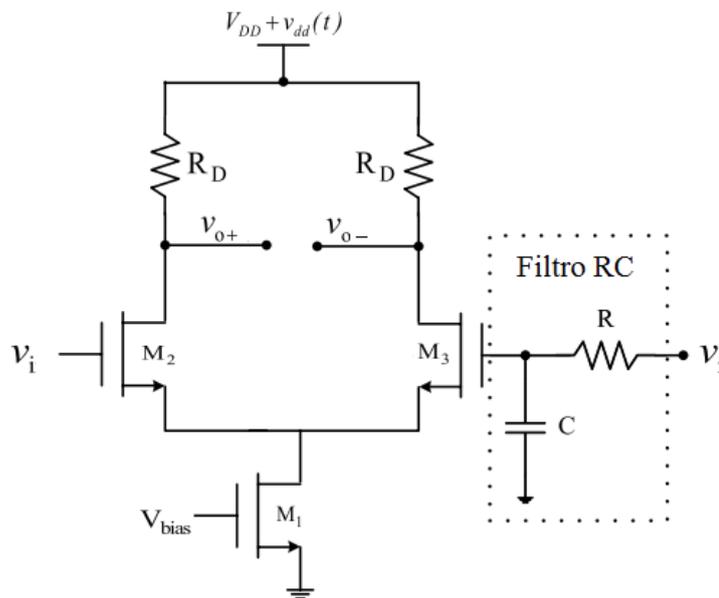


Figura 11 – Circuito extrator de sinal com filtro RC.

O ganho de tensão do amplificador diferencial é expresso como [26]:

$$A_v = -g_{m2,3} \cdot r_{o4,5} \quad (3.4)$$

em que  $g_{m_{2,3}}$  é igual a  $\mu_n(W/L)(V_{GS} - V_{TH})$  e  $r_{o_{4,5}}$  é a resistência de saída de dreno do transistor.

Para o dimensionamento dos transistores, o circuito par diferencial foi projetado para drenar e fornecer a mesma corrente de dreno baseado no trabalho de [14], conforme mostrado na Tabela 3. O circuito inversor é descrito na Subseção 4.3.1 do Capítulo 4.

Tabela 3 – Dimensões dos transistores do circuito extrator de sinal.

Grandeza	Dimensão
$W_1$	$10\mu\text{m}$
$W_{2,3}$	$30\mu\text{m}$
$W_{4-6}$	$3, 4\mu\text{m}$
$W_7$	$20\mu\text{m}$
$W_8$	$3\mu\text{m}$
$W_9$	$1\mu\text{m}$
$L_1$	$0.18\mu\text{m}$
$L_{2-7}$	$0.5\mu\text{m}$
$L_{8,9}$	$0.2\mu\text{m}$

### 3.3.3 Restaurador de Lógica

O circuito restaurador de lógica é responsável por transformar o sinal elétrico do bloco anterior (extrator de sinal) em sinal lógico (0 e 1), de acordo com os dados de informação de entrada. O circuito é um comparador com histerese (Schmitt trigger diferencial), como apresentado na Figura 12, e foi adaptado e reprojeto de [29] para o equivalente PMOS Schmitt trigger, cujas relações de aspecto,  $(W/L)$ , dos transistores CMOS são menores.

De [29], pode-se inferir que os transistores  $M_{1,2}$  convertem as tensões de entrada  $v_{in+}$  e  $v_{in-}$  nas correntes  $i_{D1}$  e  $i_{D2}$ . A corrente de realimentação regenerativa é estabelecida pelos espelhos de corrente  $M_4M_6$  e  $M_3M_5$ . Ainda,  $v_{in+} = v_{in-} = V_{in}$ . Considerando-se os transistores casados, isto é,  $M_1M_2$ ,  $M_3M_4$ ,  $M_7M_8$ , e  $M_9M_{10}$  idênticos, tem-se  $i_{D8} = i_{D10}$  e a saída do Schmitt trigger está em um estado metaestável.

Agora, deixe  $v_{in+}$  e  $v_{in-}$  desviar de  $V_{in}$  por um fator  $\Delta V_{in}$  e  $-\Delta V_{in}$ , respectivamente, isto é,  $v_{in+} = V_{in} + \Delta V_{in}$  e  $v_{in-} = V_{in} - \Delta V_{in}$ . A corrente de canal de  $M_1$  e a de  $M_2$  se tornarão  $i_{D1} = I_D + \Delta I_D$  e  $i_{D2} = I_D - \Delta I_D$ , respectivamente, em que  $I_D$  é a corrente de  $M_{1,2}$  quando  $v_{in+} = v_{in-} = V_{in}$ . O aumento de  $i_{D1}$  forçará o aumento das correntes  $i_{D4}$  e  $i_{D6}$ . Similarmente, a diminuição de  $i_{D2}$  diminuirá  $i_{D3}$  e  $i_{D5}$ , porque  $i_{D3} = i_{D2} - i_{D6}$  e  $i_{D4} = i_{D1} - i_{D5}$ ,  $i_{D4}$  vai aumentar ainda mais e  $i_{D3}$  diminuirá ainda mais devido à corrente de realimentação. A corrente de realimentação fornecida pelo espelho de correntes  $M_{3,5}$  e  $M_{4,6}$  é, portanto, regenerativa, pois  $i_{D10} = \frac{(W/L)_{10}}{(W/L)_9} \frac{(W/L)_7}{(W/L)_3} i_{D3}$  e  $i_{D8} = \frac{(W/L)_8}{(W/L)_4} i_{D4}$ ,  $i_o = i_{D8} - i_{D10}$  diminui. Isto irá carregar o capacitor no nó de saída e definir  $v_o$  à lógica

0. Da mesma forma, pode-se mostrar que, se  $v_{in-} = V_{in} - \Delta V_{in}$  e  $v_{in-} = V_{in} + \Delta V_{in}$ ,  $i_o$  aumentará e  $v_o$  será definido para a lógica 1.

Para quantificar a mudança da tensão de comutação (histerese), devido à adição da realimentação de corrente regenerativa, tem-se a partir de [29]:

$$H = \frac{1}{2} \left( \frac{i_{D5}}{i_{D4}} \sqrt{\frac{i_{D4}}{k_1}} - \frac{i_{D6}}{i_{D3}} \sqrt{\frac{i_{D3}}{k_2}} \right) \quad (3.5)$$

em que,  $k_m = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_m$ , para  $m = 1, 2$ ,  $\mu_n$  é a mobilidade superficial dos elétrons e  $C_{ox}$  é a capacitância do óxido de silício da porta (gate) por unidade de área, respectivamente.

As dimensões dos transistores foram projetadas conforme as regras de projeto de circuitos integrados estabelecidas em [26], com auxílio dos exemplos em [28] e o projeto base [29], conforme a Tabela 4.

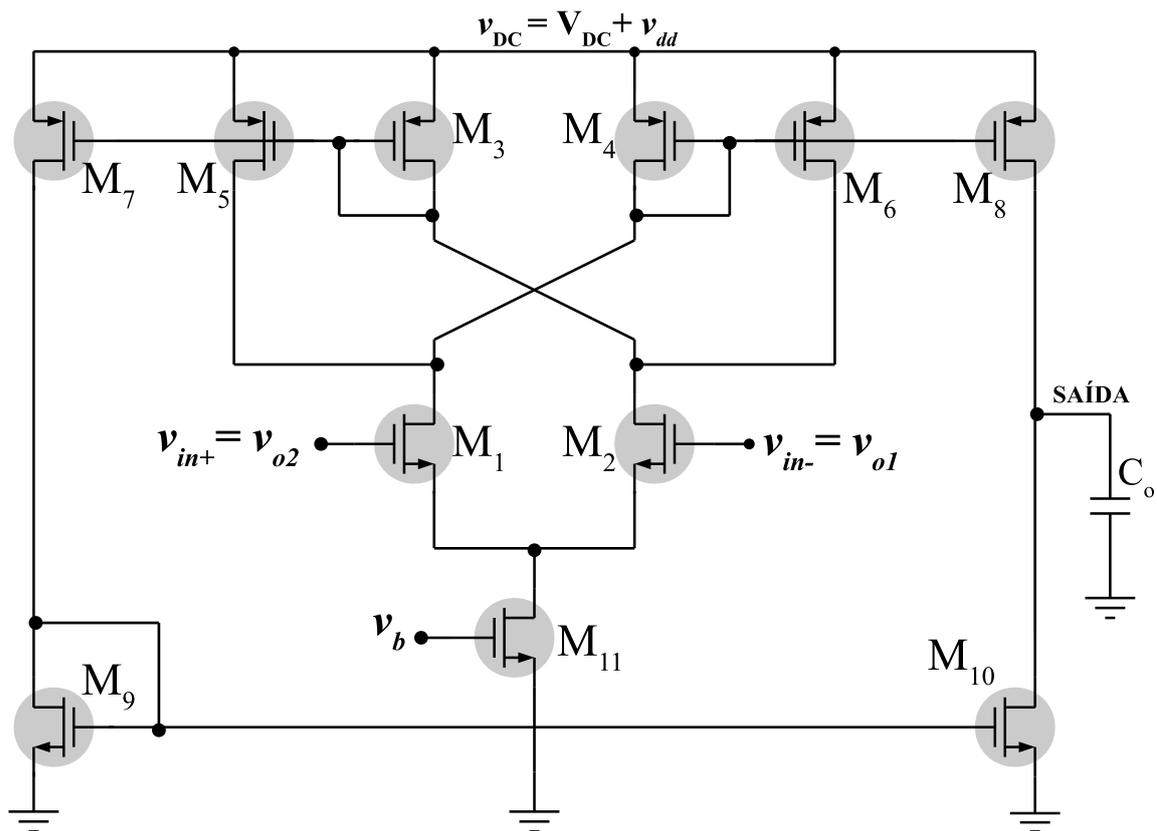


Figura 12 – Circuito restaurador de lógica - Schmitt trigger.

Tabela 4 – Dimensões dos transistores do circuito restaurador de lógica.

<b>Grandeza</b>	<b>Dimensão</b>
$W_{1,2}$	$10\mu\text{m}$
$W_{3,4}$	$2\mu\text{m}$
$W_{5,6}$	$6\mu\text{m}$
$W_{7,8}$	$8\mu\text{m}$
$W_{9,10}$	$4\mu\text{m}$
$W_{11}$	$5\mu\text{m}$
$L$	$0.18\mu\text{m}$

## 4 Resultados

Os blocos foram implementados e testados, separadamente, e, em conjunto, no ambiente CADENCE de simulação, em tecnologia  $0,18\mu\text{m}$ , com tensão de alimentação de  $1,8\text{V}$ .

### 4.1 Transmissor

Figura 13 mostra a simulação do transmissor de pulsos. À entrada do circuito, foi aplicado um sinal de pulsos com frequência de operação de  $10\text{MHz}$ , e  $1,8\text{V}$  de amplitude. Na saída, foram obtidos pulsos, de pequenas durações, na transição de borda de subida do sinal, com amplitudes de, aproximadamente,  $1,8\text{V}$ . Estes pulsos foram transmitidos na linha de alimentação (vide Figura 13) com amplitude de  $100\text{mV}$ , aproximadamente. Os pulsos apareceram no sinal da fonte de alimentação devido ao acoplamento da resistência R.

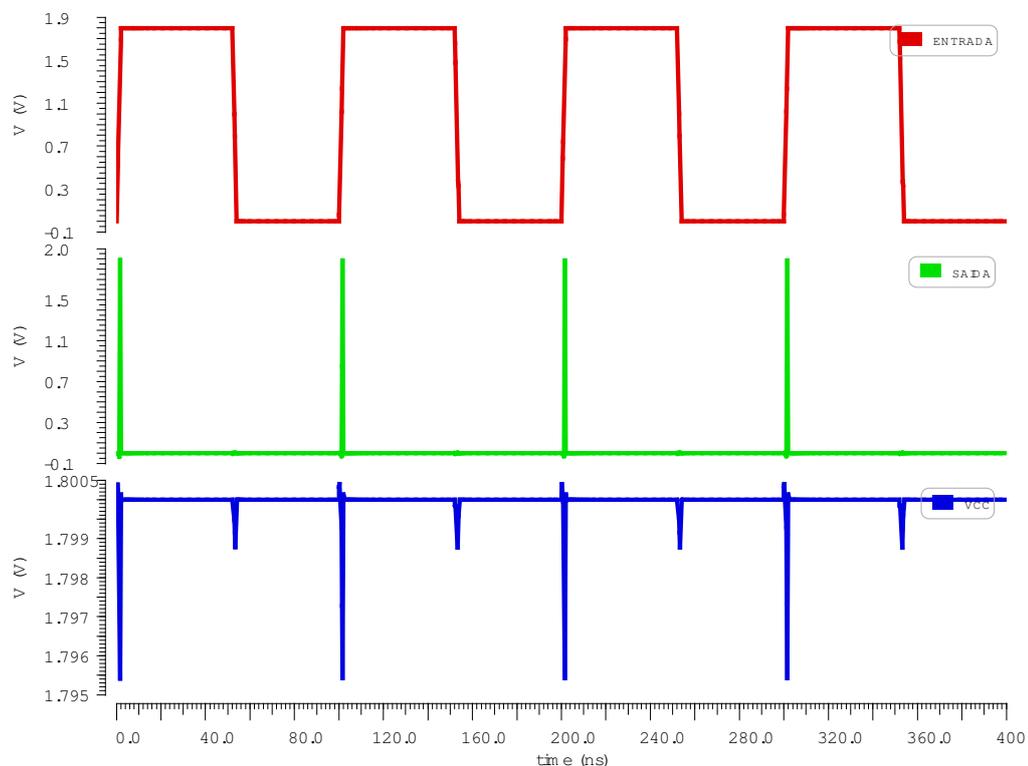


Figura 13 – Formas de onda do circuito transmissor - sinal de entrada(vermelho), pulsos gerados (verde), tensão de alimentação (azul).

## 4.2 Deslocador de Nível

O circuito deslocador de nível, como descrito no Capítulo 3, tem o objetivo de fornecer uma tensão de saída com metade do valor da tensão de entrada,  $0,5v_{DC}$ , para ocorrer simetria de excursão de sinal de entrada, em relação ao terra (GND) e à fonte de alimentação ( $v_{DC}$ ). Foi aplicado ao circuito um sinal trem de pulsos, em 10MHz, oscilando entre 1,8V e 1,89V, representando os bits 0 e 1, respectivamente, como mostrado na Figura 14. O intuito de se aplicar uma diferença de tensão de 90mV é devido ao fato de que o próximo circuito, comparador com histerese (circuito Schmitt trigger), trabalha com histerese em torno deste valor. Considera-se assim que os valores elétricos dos sinais ruidosos sejam menores que 90mV.

A sobretensão de condução, ( $V_{GS} - V_{TH}$ ) de  $M_1$ , foi estabelecida em 0,347V e àquela para o transistor  $M_2$  foi de 0,576V. Aplicando tais valores à equação (3.5), a PSRR resultante para o circuito deslocador de nível foi de 1,085 [V/V], ou uma rejeição de 0,71[dB]. Como já mencionado no Capítulo 2, uma baixa PSRR é requerida para sentir sinais na fonte de alimentação, pois o circuito se torna mais sensível às variações de sinais na fonte de alimentação. Como comparação, a PSRR de um amplificador CMOS de transcondutância (CMOS OTA), é 142[V/V] (ou rejeição de 43,05[dB]) [27].

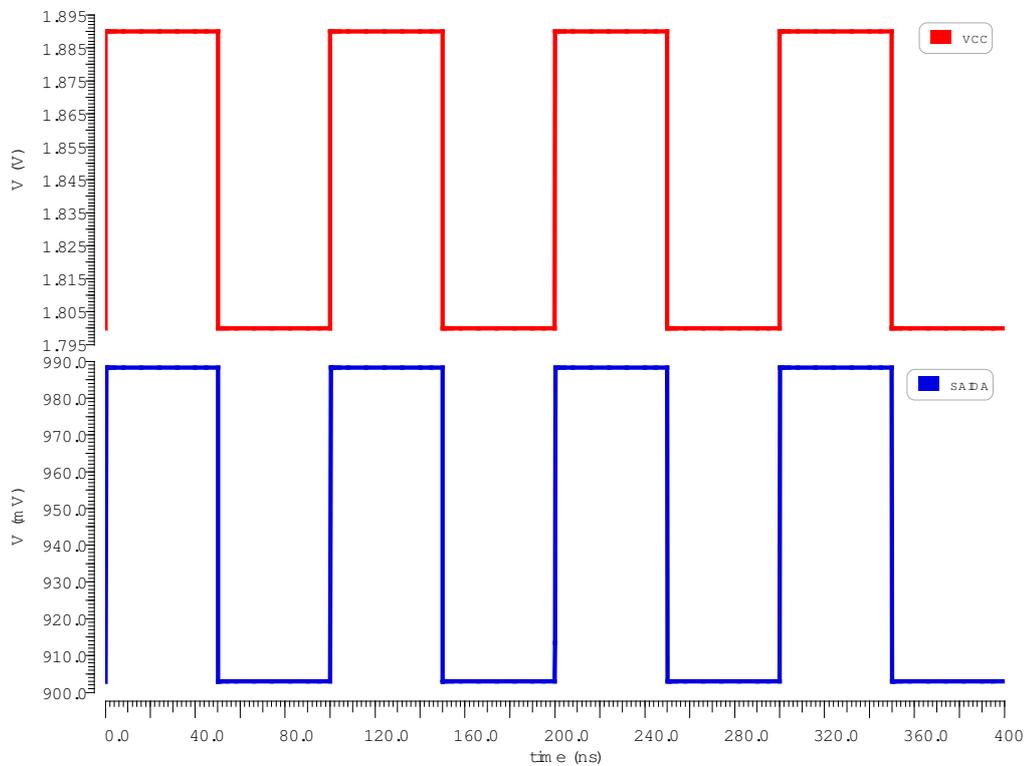


Figura 14 – Formas de onda do circuito deslocador de nível -  $v_{DD}$  (vermelho), saída do circuito (azul).

### 4.3 Extrator de Sinal

A Figura 15 mostra a simulação do circuito amplificador diferencial completo desenvolvido. Um sinal senoidal, em 10MHz, com tensão de offset de 0,9V e amplitude de 45mV foi aplicado a uma das entradas,  $v_{in+}$ , do amplificador diferencial. Na outra entrada,  $v_{in-}$ , o sinal é invertido e amplificado pelo par inversor  $M_8$ - $M_9$ . Um inversor CMOS básico opera como um circuito amplificador se polarizado próximo à metade da sua tensão de alimentação [26]. O valor da tensão de entrada, originário do circuito anterior é, aproximadamente,  $0,5 v_{DC}$ , e, então, permite o uso do inversor como amplificador. Da análise da Figura 15, pode-se concluir que o amplificador diferencial manteve suas características de operador diferencial e suas saídas resultaram em sinais diferenciais complementares.

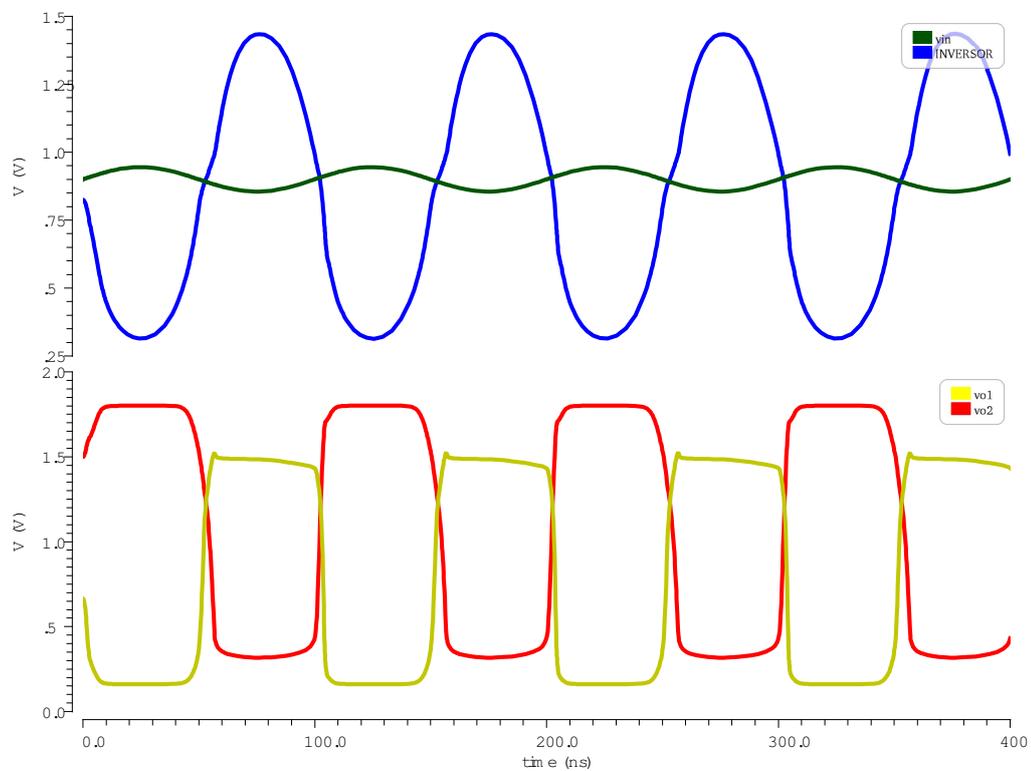


Figura 15 – Formas de onda do circuito extrator de sinais - sinal de entrada (verde), sinal de entrada invertido e amplificado (azul), sinais de saídas diferenciais (amarelo e vermelho).

#### 4.3.1 Função de Transferência do Inversor

A Figura 16 mostra a função de transferência do inversor utilizado no circuito extrator de sinal. O inversor foi projetado de modo que, aproximadamente, 100mV de excursão de sinal ocorresse na região de amplificação. Assim, qualquer sinal elétrico com  $0,5V_{DD} \pm 50mV$  na entrada do inversor (gate do inversor) possa ser amplificado. Aqui,  $V_{DD}$  é considerado a tensão de alimentação do inversor. Assim, adotou-se para ambos

transistores  $L = 0.2\mu\text{m}$ , e as dimensões  $W$  dos transistores foram simuladas para se obter a função de transferência da Figura 16.

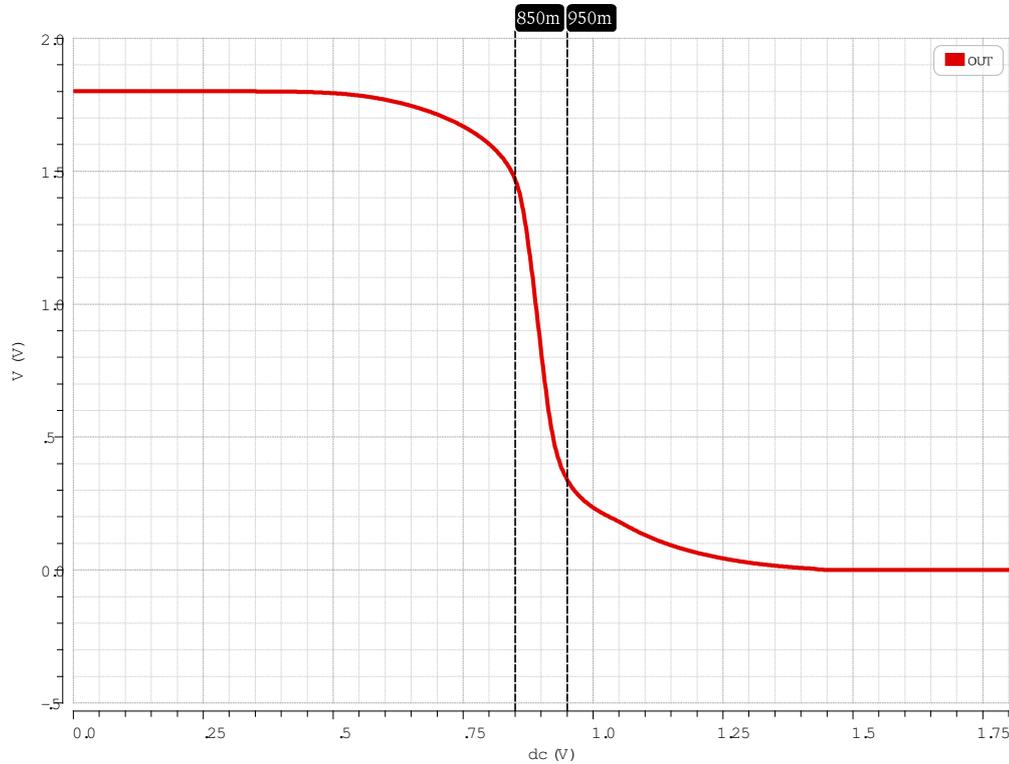


Figura 16 – Função de transferência do inversor - tensão de saída pela tensão de entrada.

### 4.3.2 Restaurador de Lógica

O circuito restaurador de lógica foi testado aplicando-se uma tensão contínua de 0,9V numa das entradas e, na outra, um sinal triangular oscilando entre 0 e 1,8V, com período igual a 100ns, conforme ilustrado na Figura 17. As dimensões dos transistores foram ajustadas para uma histerese de, aproximadamente, 90mV, e, conforme explicado no Capítulo 3,  $M_3M_4M_5$  e  $M_6$  são os transistores responsáveis por dimensionar a histerese.

Para a medida da histerese, através da Figura 18, tem-se:

$$H = UTP - LTP \approx 945m - 855m \approx 90mV \quad (4.1)$$

em que  $UTP$  é Upper Trigger Point (Ponto de Disparo Superior), e  $LTP$  é Lower Trigger Point (Ponto de Disparo Inferior).

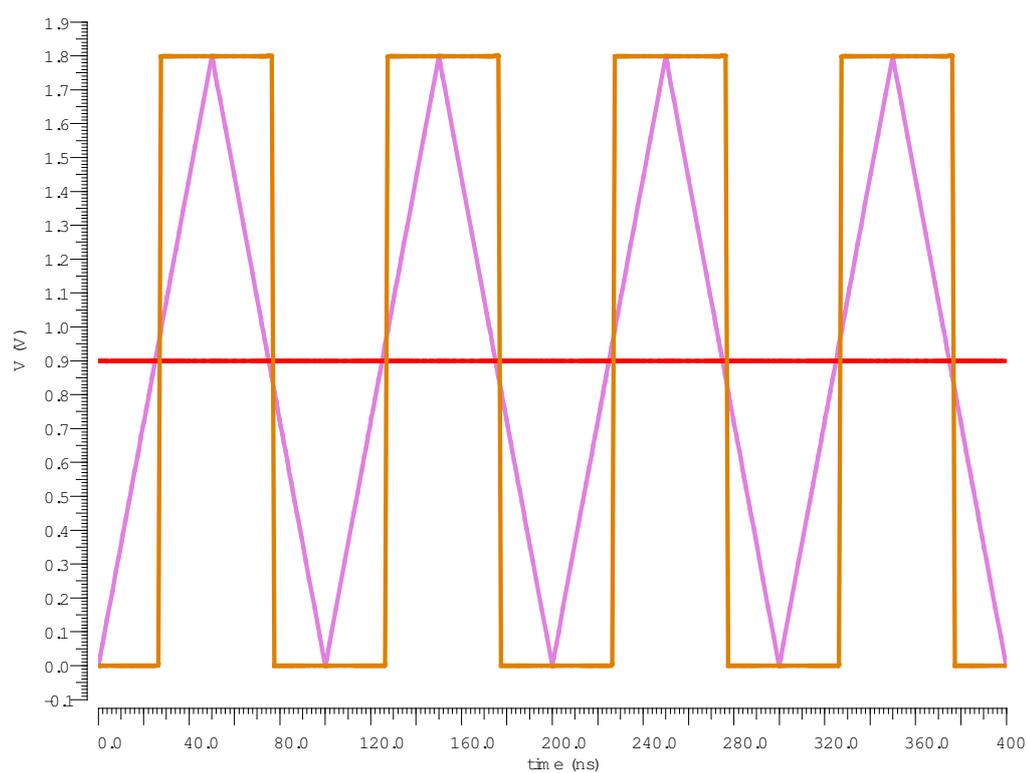


Figura 17 – Resultados de simulação dos sinais de entrada (em roxo e vermelho) e de saída (em marrom) do circuito restaurador de lógica

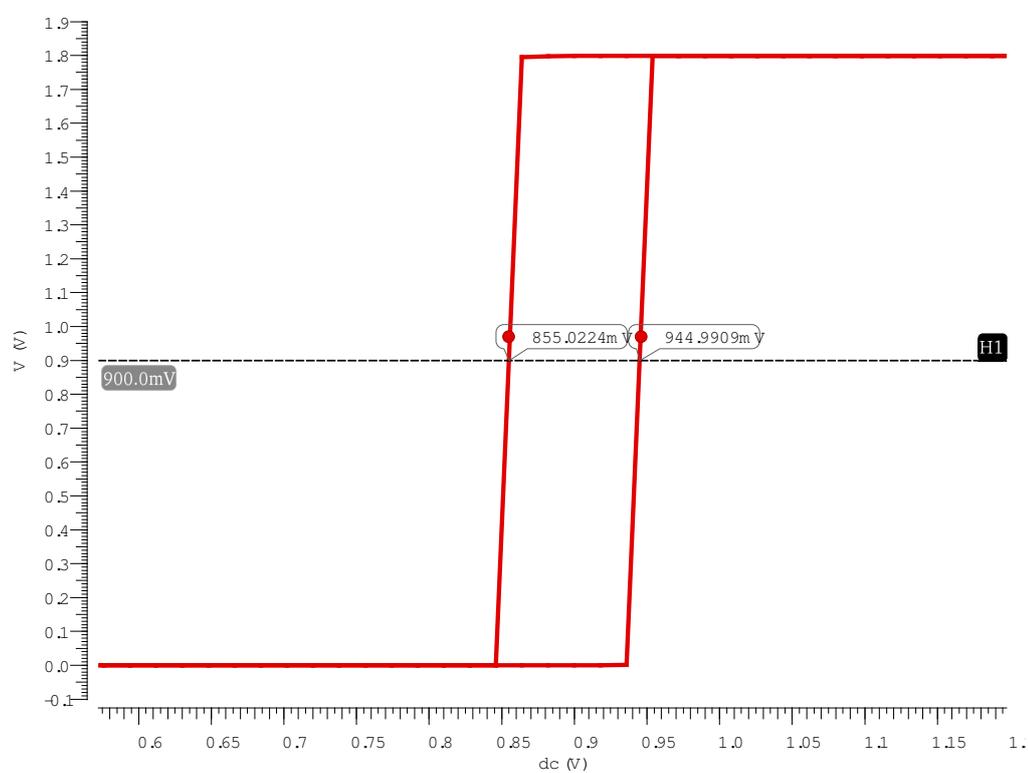


Figura 18 – Característica de transferência de tensão do circuito restaurador lógico.  $v_{in-} = 1,2V$  e  $v_{in+}$  variando entre 0 e 1,8V.

## 4.4 Transceptor PLC

Após a simulação individual de cada bloco, e seus devidos funcionamentos, o circuito completo foi simulado. A entrada foi obtida variando em 0 e 1,8V, emulando 0 e 1, com frequência de operação de 10 MHz. Foi considerado que este sinal já está otimizado e condicionado para um EEG, conforme os trabalhos [16, 17, 18]. O resultado é mostrado na Figura 19. Infere-se que o circuito foi capaz de recuperar o sinal enviado integridade. A saída apresenta um pequeno atraso devido ao tempo de operação de cada bloco.

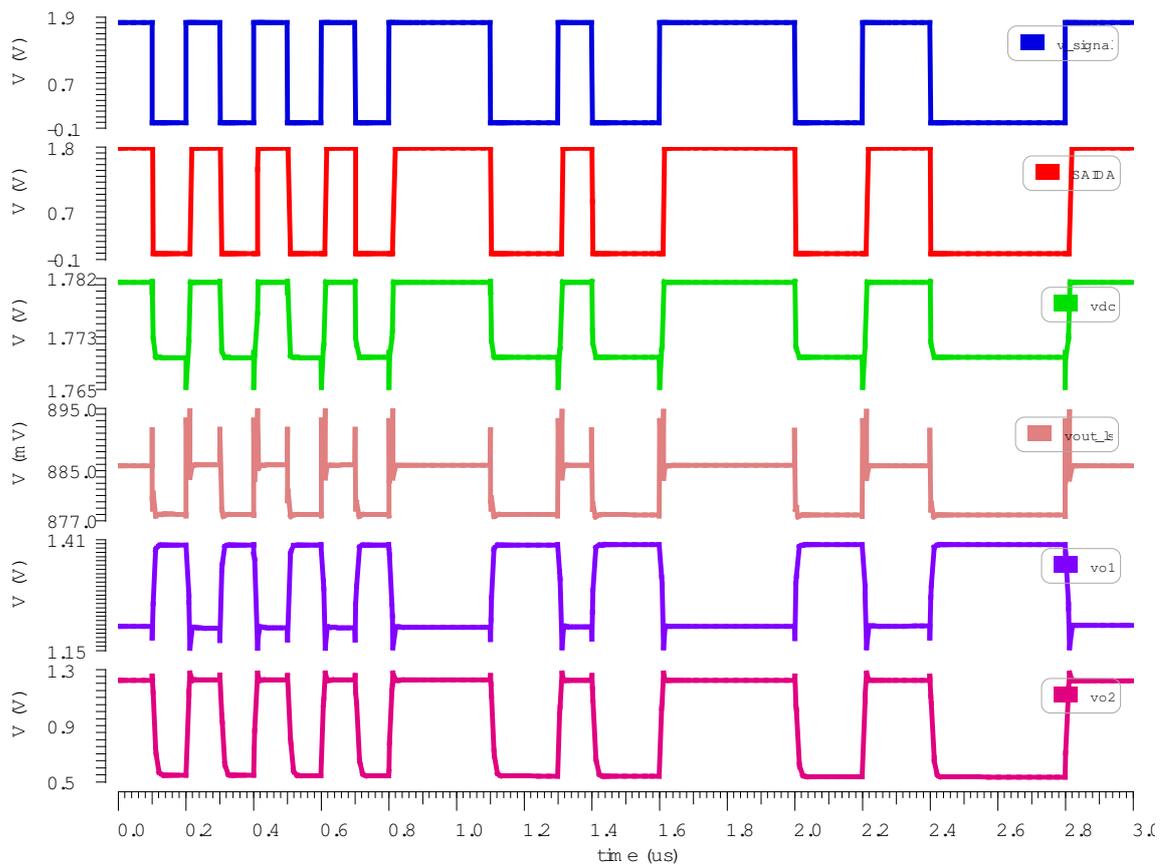


Figura 19 – Circuito transceptor - sinal de entrada (azul), sinal de saída (vermelho), tensão de alimentação (verde), deslocador de nível (magenta), saída diferencial extrator de sinais (roxo e rosa).

## 4.5 Layout do Circuito

Para a confecção do leiaute, apresentado na Figura 20, considerou-se o manual do fabricante e regras de leiautes [30, 31].

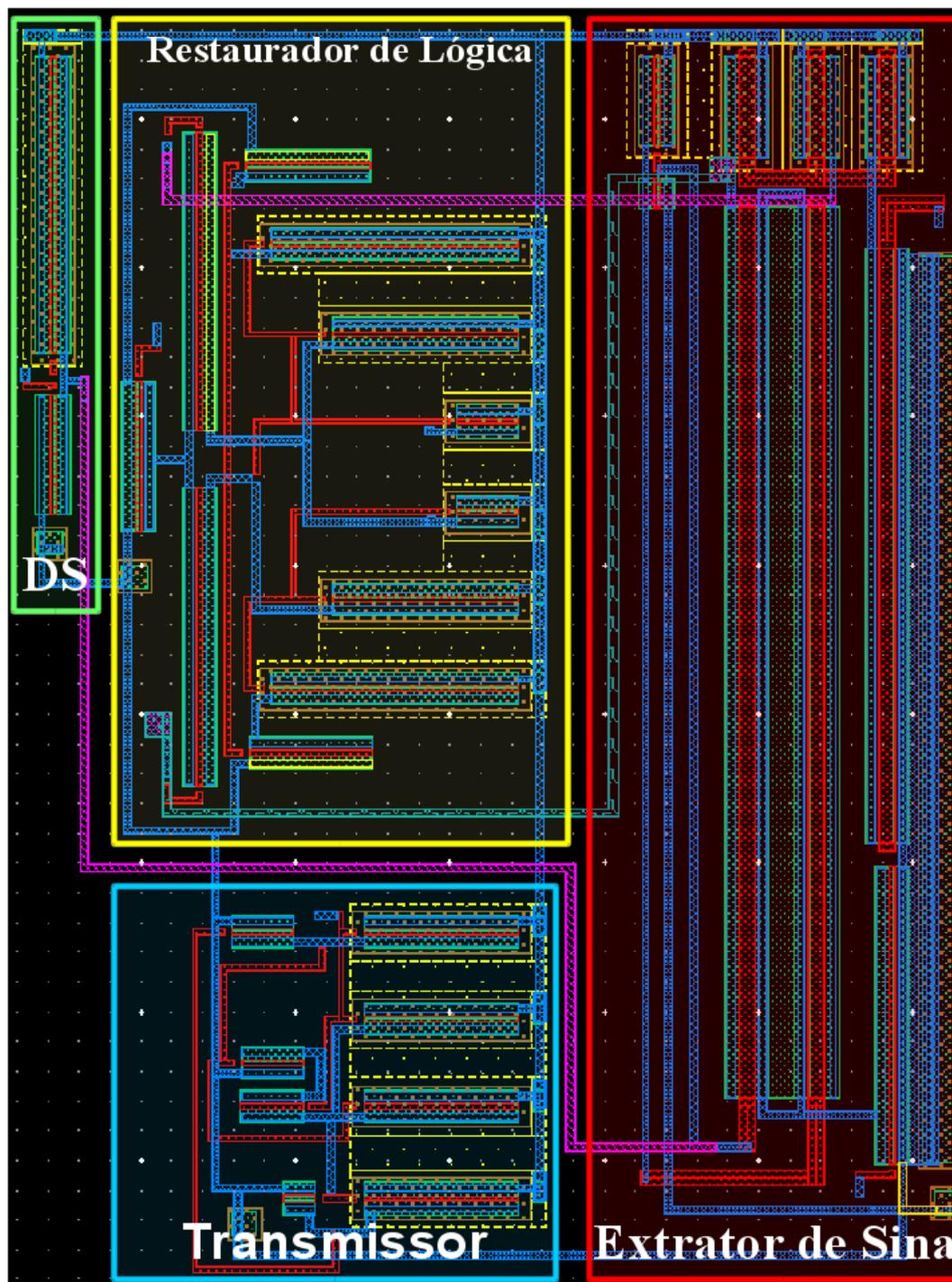


Figura 20 – Leiaute do circuito - transmissor, deslocador de nível, extrator de sinal e restaurador de lógica.

## 4.6 Comparação entre as literaturas

Em nível microprocessado, utilizando-se da tecnologia CMOS, pode-se utilizar a Tabela 5 para comparação.

Tabela 5 – Comparação entre os estados da arte.

Trabalhos	Transmissor/Receptor	Acoplamentos e Clocks	Leiaute CMOS
Este trabalho	Transmissor e Receptor	Nenhum	31.9 $\mu$ m x 40.7 $\mu$ m*
Salem [13], 2016	Receptor	Capacitivo e modulação de carga	72.2 $\mu$ m x 74.9 $\mu$ m
Oliveira [15], 2012	Transmissor UWB	Capacitivo	24.0 $\mu$ m x 48.0 $\mu$ m
Chawla [12], 2011	Transmissor	Capacitivo	Nenhum
Ziyi [22], 2011	Transmissor e Receptor	Capacitivo e indutivo, modulação	Nenhum
Thirugnanam [7], 2008	Estudo de viabilidade	Clock para redução de offset	Nenhum
Chung [8], 2005	Transmissor UWB	Indutivo e capacitivo	Nenhum

\*sem pads e sem circuitos de proteção.

Pode-se inferir que algumas literaturas realizaram o transceptor (transmissor e receptor) e outras apenas um deles. Quase todos apresentaram acoplamento capacitivo e/ou indutivo, o que para a tecnologia CMOS, é inconveniente, pois estes componentes ocupam vastas áreas de silício, dentro de um chip.

## 5 Conclusão

Um transceptor PLC (Power Line Communication - Comunicação de Dados via Rede Elétrica) foi desenvolvido em tecnologia CMOS  $0,18\mu\text{m}$ , para transmitir dados de eletrodos ativos de EEG (Eletroencefalograma), com frequência de operação de 10MHz. O circuito implementado foi concebido para ocupar pouca área de silício dentro de um chip. O circuito foi idealizado para redes densas de fiação, como redes ultra-densas de EEG, que, geralmente, são compostas de 256 a 512 eletrodos. Em vez de usar um par de fios para a fonte de alimentação e fiação adicional para comunicação de dados (transmissão e a recepção), o uso de PLC (power line communication) permite fornecer energia elétrica e comunicação de dados ao circuito usando um único par de fios. Todo o circuito ocupa uma área de  $30,51\mu\text{m} \times 41,85\mu\text{m}$ . Este trabalho oferece a possibilidade de um PLC intrachip para alimentação elétrica e comunicação de dados, implementado, inteiramente em CMOS, sem a necessidade de filtros indutivos ou capacitivos. É interessante notar, que o circuito pode ser implementado para outras frequências de operação. As simulações demonstraram que o circuito é capaz de manter a integridade dos dados demonstrando, assim, que o circuito proposto pode fornecer energia elétrica e comunicação de dados num simples par de fios.

O circuito proposto, constituído de quatro blocos compartilhando a mesma tensão de alimentação, funcionou adequadamente. O primeiro bloco, o transmissor, gerou pulsos elétricos de pequena duração no sinal da fonte de alimentação, na borda de subida do sinal de dados. Estes pulsos foram acoplados à fonte de alimentação. A fonte de alimentação propagou estes sinais aos blocos subsequentes. O deslocador de nível otimizou este sinal, em  $0,5 v_{DC}$ , para o próximo estágio, o amplificador de sinais, que recuperou apenas o sinal  $v_{dd}$ , sinal este de dados. O último estágio, o restaurador de lógica, satura o sinal em níveis contínuos, ora zero ora 1,8 volts, representando a lógica binária.

Como trabalhos futuros, sugere-se a fabricação e o teste do circuito. Adicionalmente, as tensões de polarizações podem ser implementadas através de circuitos fonte de referência de tensão e integrar estes em conjunto. Fazer uso de códigos de detecção de erros para minimizar ruídos.

Enfim, a contribuição que este trabalho oferece é a implementação de um transceptor (transmissor e receptor) PLC intrachip, inteiramente em CMOS, sem filtros indutivos ou capacitivos, orientado a circuitos EEGs.

## APÊNDICE A – Artigos publicados em congressos

Publicação de simulações em nível de transistores utilizando o software CADENCE (Virtuoso Analog Design Environment L Editing) que validaram a topologia de circuito do tranceptor proposto, e mostrou que o circuito é capaz de transmitir e receber dados oriundos de EEG corretamente, com acoplamento capacitivo.

P. M. Pinto, T. C. Pimenta, R. L. Moreno, R. Braga and O. Dutra, An interchip Power Line Communication. 2016 IEEE The 15th International Symposium on Integrated Circuits (ISIC), Singapore, Dezembro 2016.

Publicação de simulações em nível de transistores utilizando o software CADENCE (Virtuoso Analog Design Environment L Editing) que validaram a topologia de circuito do tranceptor proposto, e mostrou que o circuito é capaz de transmitir e receber dados oriundos de EEG corretamente sem a necessidade de acoplamentos de natureza indutiva ou capacitiva.

P. M. Pinto, T. C. Pimenta, R. L. Moreno, R. Braga and O. Dutra, A CMOS Power Line Communication for EEG. The 28th International Conference on Microelectronics (ICM), IEEE, Egypt, Dezembro 2016.

# Referências

- 1 CARCELLE, X. *Power line communications in practice*. : Artech House, 2009.
- 2 FERREIRA HENDRIK C., L. L. N. H. S. T. G. *Power Line Communications: Theory and Applications for Narrowband and Broadband Communications over Power Lines*. : Wiley, 2010.
- 3 IEEE 1901 Working Group and others. *IEEE Standard for Broadband over Power Line Networks: Medium Access Control and Physical Layer Specifications*. 2010.
- 4 BERGER LARS T., P. P. S. A. S. D. M. *MIMO Power Line Communications Narrow and Broadband Standards, EMC, and Advanced Processing*. : CRC Press, 2014.
- 5 IEEE. *PLC Doc Search*. 2016. Accessed: 2-05-2016. Disponível em: <<http://www.isplc.org/docsearch/>>.
- 6 RABAEY, J. M.; CHANDRAKASAN, A. P.; NIKOLIC, B. *Digital integrated circuits*. : Prentice hall Englewood Cliffs, 2002.
- 7 THIRUGNANAM, R. Power line communications over power distribution networks of microprocessors-feasibility study, channel modeling, and a circuit design approach. In: *Doctoral Dissertations, Virginia Tech Electronic Theses and Dissertations*. minha casa: Virginia Tech, 2008.
- 8 CHUNG, W. C.; HA, D. S.; LEE, H.-J. Dual use of power lines for data communications in a system-on-chip environment. In: IEEE. *IEEE International Symposium on Circuits and Systems, 2005. ISCAS 2005*. 2005. p. 3355–3358.
- 9 CHUNG, W. C. The dual use of power distribution networks for data communications in high speed integrated circuits. In: *Ph.D. dissertation, Dept. Elect. Comput. Eng., Virginia Tech, Blacksburg, VA, USA*. : Virginia Tech, 2006.
- 10 THIRUGNANAM, R.; HA, D. S.; MAK, T. Data recovery block design for impulse modulated power line communications in a microprocessor. In: IEEE. *IEEE Computer Society Annual Symposium on VLSI, 2007. ISVLSI'07*. 2007. p. 153–158.
- 11 CHAWLA, V.; THIRUGNANAM, R.; HA, D. S.; MAK, T. Design of a data recovery block for communications over power distribution networks of microprocessors. In: IEEE. *4th IEEE International Conference on Circuits and Systems for Communications, 2008. ICCSC 2008*. 2008. p. 708–712.
- 12 CHAWLA, V.; HA, D. S. Dual use of power lines for data communications in microprocessors. In: IEEE. *2011 IEEE 14th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS)*. 2011. p. 23–28.
- 13 SALEM, J.; HA, D. S. A robust receiver for power line communications in integrated circuits. In: IEEE. *2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*. 2012. p. 254–257.

- 14 SALEM, J. M.; HA, D. S. Dual use of power lines for design-for-testability—a cmos receiver design. In: *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 24, No. 3, March 2016. : IEEE.
- 15 OLIVEIRA, A. M. d. *Sistema transmissor CMOS de Radar UWB por varredura eletrônica com arranjo de antenas Vivaldi*. Tese (Doutorado) — Universidade de São Paulo, 2012.
- 16 COLLETTA, G. D.; FERREIRA, L. H.; PIMENTA, T. C.; CREPALDI, P. C. A successive approximation a/d converter using a pwm modulator dac. In: IEEE. *2012 IEEE Ninth Electronics, Robotics and Automotive Mechanics Conference (CERMA)*. 2012. p. 333–337.
- 17 DUTRA, O. de O.; PIMENTA, T. C. Low power low noise bio-amplifier with adjustable gain for digital bio-signals acquisition systems. In: IEEE. *2013 IEEE Fourth Latin American Symposium on Circuits and Systems (LASCAS)*. 2013. p. 1–4.
- 18 ONOFRE, T. B.; MORENO, R. L.; CREPALDI, P. C.; PIMENTA, T. C. A bidirectional hub for a programmable gain/filtering data acquisition of a low interference electroencephalogram. In: IEEE. *2014 International Caribbean Conference on Devices, Circuits and Systems (ICCDACS)*. 2014. p. 1–4.
- 19 HAAS, L. Hans Berger (1873–1941), Richard Caton (1842–1926), and electroencephalography. *Journal of Neurology, Neurosurgery & Psychiatry*, BMJ Publishing Group Ltd, v. 74, n. 1, p. 9–9, 2003.
- 20 MILLETT, D. Hans berger: From psychic energy to the eeg. *Perspectives in biology and medicine*, The Johns Hopkins University Press, v. 44, n. 4, p. 522–542, 2001.
- 21 HARRISON, R. R.; CHARLES, C. A low-power low-noise cmos amplifier for neural recording applications. *IEEE Journal of Solid-State Circuits*, IEEE, v. 38, n. 6, p. 958–965, 2003.
- 22 ZIYI, Z.; ZHIQIN, Y.; JIXIANG, Z.; KAILU, D. Study on over dc power line data transmission. In: IEEE. *10th International Conference on Electronic Measurement & Instruments (ICEMI) - 2011*. 2011. v. 1, p. 248–251.
- 23 KOZU, S.; DAITO, M.; SUGIYAMA, Y.; SUZUKI, H.; MORITA, H.; NOMURA, M.; NADEHARA, K.; ISHIBUCHI, S.; TOKUDA, M.; INOUE, Y. et al. A 100 mhz, 0.4 w risc processor with 200 mhz multiply adder, using pulse-register technique. In: IEEE. *1996. Digest of technical papers. 42nd ISSCC., 1996 IEEE International Solid-state circuits conference*. 1996. p. 140–141.
- 24 TI. *TEXAS INSTRUMENTS - Overview for Voltage Level Translation*. 2016. Accessed: 17-08-2016. Disponível em: <<http://www.ti.com/lstds/ti/logic/voltage-level-translation-overview.page>>.
- 25 TI. *TEXAS INSTRUMENTS - Voltage Level Translation Guide*. 2016. Accessed: 17-08-2016. Disponível em: <<http://www.ti.com/lit/ml/scyb018h/scyb018h.pdf>>.
- 26 SEDRA, A. S.; SMITH, K. C. *Microelectronic Circuits*. : 7th ed., Oxford University Press, 2014.

- 
- 27 LAKER, K.; SANSEN, W. Design of analog integrated circuits and systems. McGraw-Hill Companies, 1st ed., 1994.
- 28 ALLEN, P. E.; HOLBERG, D. R. *CMOS analog circuit design*. 3rd ed. London, U.K., Oxford Univ. Press, 2002.
- 29 YUAN, F. A high-speed differential cmos schmitt trigger with regenerative current feedback and adjustable hysteresis. *Analog Integrated Circuits and Signal Processing*, Springer, v. 63, n. 1, p. 121–127, 2010.
- 30 RAZAVI, B. *Design of analog CMOS integrated circuits*. : McGraw-Hill, 2001.
- 31 HASTINGS, R. A. *The art of analog layout*. : Prentice Hall, 2006.