

UNIVERSIDADE FEDERAL DE ITAJUBÁ  
PROGRAMA DE PÓS-GRADUAÇÃO EM  
ENGENHARIA ELÉTRICA

**Leandro Líber Malavolta**

**Amplificador Operacional CMOS com Tensão de  
Alimentação de 1,5V e  $g_m$  constante**

**Itajubá, janeiro de 2017.**

UNIVERSIDADE FEDERAL DE ITAJUBÁ  
PROGRAMA DE PÓS-GRADUAÇÃO EM  
ENGENHARIA ELÉTRICA

**Leandro Líber Malavolta**

**Amplificador Operacional CMOS com Tensão de  
Alimentação de 1,5V e gm constante**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Mestre em Ciências em Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Prof. Dr. Robson Luiz Moreno

Co-orientador: Prof. Dr. Tales Cleber Pimenta

Janeiro de 2017  
Itajubá - MG

# *Agradecimentos*

Agradeço a minha família pelo suporte e compreensão durante mais essa etapa da minha vida.

Agradeço também os meus orientadores os professores Robson Luiz Moreno e Tales Cleber Pimenta pela dedicação, orientação e apoio, tornando possível este trabalho.

A todos os professores do Grupo de Microeletrônica da UNIFEI pelo conhecimento.

Aos colegas do Grupo de Microeletrônica, em especial a Paulo, Cleverson e Arnaldo pelos conselhos e sugestões a este trabalho.

A todos aqueles que direta ou indiretamente me auxiliaram no desenvolvimento deste trabalho.

A CAPES pelo suporte financeiro.

## *Resumo*

Neste trabalho é apresentado um amplificador operacional com característica de variação do sinal de entrada entre o máximo e mínimo da tensão de alimentação. Ao utilizar um número reduzido de transistores e a não necessidade de circuitos de alimentação externos, é alcançado baixo consumo de energia. Para isso, se utilizou um circuito de entrada com uma técnica de deslocamento de nível simplificado, um estágio intermediário com a técnica de *cascode* auto-polarizado e por fim um estágio de saída configurado como classe AB ou *push-pull*, permitindo o aumento de ganho. O amplificador opera com tensão de alimentação de 1,5V, com consumo de potência de 184 $\mu$ W e um ganho de 110dB. Foi simulado com tecnologia IBM 130nm utilizando o *software* Cadence Virtuoso e simulador Spectre.

**Palavras chave:** auto-polarizado, amplificador operacional, CMOS, deslocamento de nível, baixa tensão.

## *Abstract*

This work presents a rail-to-rail CMOS operational amplifier of constant gm. It offers simple topology and low power consumption. It uses a simplified shift level circuit at the input, a self-biased folded cascode as the intermediate stage and a class AB, or push-pull output stage to provide large gain. The amplifier, implemented in IBM 130nm CMOS technology using the Cadence Virtuoso software, works on a 1.5V power supply voltage and consumes just 184 $\mu$ W, and offers a 110dB gain. A comparison to other work in the literature reveal a large gain, low power, rail-to-rail amplifier suitable to many applications.

**Keywords :** constant gm, rail-to-rail, operational amplifier, cascode, CMOS, low-power, low-voltage, level shifting

# *Lista de Figuras*

|   |    |
|---|----|
| Figura 2.1: Estágio de entrada rail to rail convencional.....                                       | 16 |
| Figura 2.2: Variação de $g_{mn}$ , $g_{mp}$ e $g_{mt}$ com a tensão $V_{icm}$ .....                 | 16 |
| Figura 2.3: Controle de $g_m$ por chaves .....  | 19 |
| Figura 2.4: Comportamento de $g_{mt}$ com a tensão $V_{icm}$ .....                                  | 19 |
| Figura 2.5: Controle de $g_m$ baseado em tensão .....   | 20 |
| Figura 2.6: Comportamento de $g_{mt}$ com a tensão $V_{icm}$ .....                                  | 21 |
| Figura 2.7: Controle de $g_m$ baseado em $W/L$ .....  | 22 |
| Figura 2.8: Comportamento de $g_{mt}$ com a tensão $V_{icm}$ .....                                  | 22 |
| Figura 2.9: Estágio seleção de corrente de máximo .....   | 23 |
| Figura 2.10: Comportamento de $g_{mt}$ com a tensão $V_{icm}$ .....                                 | 23 |
| Figura 2.11: Estágio deslocamento de nível.....   | 25 |
| Figura 2.12: Comportamento de $g_m$ versus tensão de entrada .....                                  | 25 |
| Figura 3.1: Espelho de corrente convencional .....  | 27 |
| Figura 3.2: Espelho de corrente cascode .....   | 28 |
| Figura 3.3: Espelho de corrente de amplo alcance .....  | 29 |
| Figura 3.4: Espelho de corrente com $amp\ op$ .....   | 30 |
| Figura 3.5: Espelho de corrente cascode auto-polarizado.....  | 30 |
| Figura 4.1: Estágio de entrada com deslocamento simplificado .....                                  | 33 |
| Figura 4.2: Transcondutâncias $G_{mn}$ , $G_{mp}$ e $G_{mt}$ obtidas com o circuito proposto 1..... | 34 |
| Figura 4.3: Estágio de entrada alterado .....   | 35 |
| Figura 4.4: Espelho de corrente com deslocamento de nível .....                                     | 36 |
| Figura 4.5: Esquema completo do amplificador .....  | 38 |
| Figura 4.6: Esquema para simulação DC .....   | 42 |
| Figura 4.7: Característica DC .....   | 43 |
| Figura 4.8: Variação $V_i-V_o$ .....  | 43 |
| Figura 4.9: Esquema para simulação de $G_m$ .....   | 44 |
| Figura 4.10: Transcondutâncias $G_{mn}$ , $G_{mp}$ e $G_{mt}$ obtidas com o circuito completo ..... | 44 |
| Figura 4.11: Esquema para teste transiente .....  | 45 |
| Figura 4.12: Variação de transiente .....   | 45 |
| Figura 4.13: Esquema para simulação AC .....  | 46 |
| Figura 4.14: Característica de ganho e fase .....   | 47 |
| Figura 4.15: Diagrama em blocos do amplificador .....   | 49 |
| Figura 4.16: Esquema do bloco diferencial PMOS .....  | 50 |
| Figura 4.17: Leiaute do bloco diferencial PMOS .....  | 50 |
| Figura 4.18: Esquema do bloco diferencial NMOS.....   | 51 |
| Figura 4.19: Leiaute do bloco diferencial NMOS.....   | 51 |
| Figura 4.20: Esquema do bloco cascode PMOS .....  | 52 |
| Figura 4.21: Leiaute do bloco cascode PMOS .....  | 52 |
| Figura 4.22: Esquema do bloco cascode NMOS.....   | 53 |

|   |    |
|---|----|
| Figura 4.23: Leiaute do bloco cascode NMOS..... | 53 |
| Figura 4.24: Esquema do bloco de saída.....     | 54 |
| Figura 4.25: Leiaute do bloco de saída.....     | 55 |
| Figura 4.26: Leiaute do amplificador.....       | 56 |
| Figura 4.27: Esquema final do amplificador..... | 56 |
| Figura 4.28: Leiaute final do amplificador..... | 57 |

# *Lista de Abreviações*

|         |  |
|---------|--|
| MOS     | <i>METAL OXIDE-SEMICONDUCTOR</i>           |
| PMOS    | MOSFET CANAL P                             |
| NMOS    | MOSFET CANAL N                             |
| VDD     | TENSÃO DE ALIMENTAÇÃO                      |
| VSS     | VALOR MÍNIMO DA TENSÃO DE ALIMENTAÇÃO      |
| W       | LARGURA DO TRANSISTOR ( <i>WIDTH</i> )     |
| L       | COMPIMENTO DO TRANSISTOR ( <i>LENGTH</i> ) |
| GM      | TRANSCONDUÇÃO                              |
| VGS     | TENSÃO ENTRE PORTA E FONTE                 |
| VT      | TENSÃO DE LIMAR                            |
| $\mu_N$ | MOBILIDADE DOS ELÉTRONS                    |
| $\mu_P$ | MOBILIDADE DAS LACUNAS                     |
| COX     | CAPACITÂNCIA DO ÓXIDO                      |
| Cc      | CAPACITOR DE COMPENSAÇÃO                   |
| CL      | CAPACITOR DE CARGA                         |
| IREF    | CORRENTE DE REFERÊNCIA                     |

# Sumário

|   |           |
|---|-----------|
| <b>CAPÍTULO 1 – INTRODUÇÃO</b> .....                                      | <b>11</b> |
| 1.1 – MOTIVAÇÕES E OBJETIVOS .....  | 12        |
| 1.2 – ESTRUTURA DO TRABALHO .....   | 13        |
| <b>CAPÍTULO 2 - TÉCNICAS DE TRANSCONDUTÂNCIA CONSTANTE</b> .....          | <b>14</b> |
| 2.1 – CONVENCIONAL .....  | 14        |
| 2.2 – TÉCNICAS PARA GM CONSTANTE .....                                    | 17        |
| 2.3 – CONTROLE DE GM BASEADO EM CORRENTE SOMENTE POR CHAVES .....         | 18        |
| 2.4 – CONTROLE DE GM BASEADO EM TENSÃO .....                              | 19        |
| 2.5 – CONTROLE DE GM BASEADO EM $W/L$ DE MÚLTIPLOS PARES DE ENTRADA ..... | 21        |
| 2.6 – CONTROLE DE GM BASEADO NA SELEÇÃO DA CORRENTE MÁXIMA/MÍNIMA .....   | 22        |
| 2.7 – TÉCNICA DE DESLOCAMENTO DE NÍVEL .....                              | 23        |
| <b>CAPÍTULO 3 - TIPOS DE ESPELHO DE CORRENTE</b> .....                    | <b>27</b> |
| 3.1 – ESPELHO DE CORRENTE PADRÃO .....                                    | 27        |
| 3.2 – ESPELHO DE CORRENTE CASCODE .....                                   | 28        |
| 3.3 – ESPELHO DE CORRENTE CASCODE DE AMPLO ALCANCE .....                  | 28        |
| 3.4 – ESPELHO DE CORRENTE CASCODE COM AMPOP .....                         | 29        |
| 3.5 – ESPELHO DE CORRENTE CASCODE AUTO-POLARIZADO .....                   | 30        |
| <b>CAPÍTULO 4 - DESENVOLVIMENTO E RESULTADOS</b> .....                    | <b>32</b> |
| 4.1 – ESTÁGIO DE ENTRADA COM DESLOCAMENTO SIMPLIFICADO .....              | 32        |
| 4.2 – ESTÁGIO DE ENTRADA COM DESLOCAMENTO ALTERADO .....                  | 34        |
| 4.3 – ESTÁGIO <i>CASCODE</i> AUTO-POLARIZADO .....                        | 35        |
| 4.4 – CIRCUITO PROPOSTO COMPLETO .....                                    | 37        |
| 4.5 – PROJETO .....   | 39        |
| 4.6 – SIMULAÇÃO E RESULTADOS .....  | 41        |
| 4.6.1 – RESPOSTA DC .....   | 41        |
| 4.6.2 – VARIAÇÃO DE GM .....  | 44        |
| 4.6.3 – TRANSIENTE .....  | 45        |
| 4.6.4 – GANHO E FASE .....  | 46        |
| 4.6.5 – COMPARAÇÃO DE RESULTADOS .....                                    | 47        |
| 4.7 – LEIAUTE .....   | 48        |
| <b>CAPÍTULO 5 - CONCLUSÃO</b> .....                                       | <b>58</b> |
| <b>REFERÊNCIAS BIBLIOGRÁFICAS</b> .....                                   | <b>59</b> |
| <b>APÊNDICE</b> .....   | <b>62</b> |

# Capítulo 1 – *Introdução*

Um dos componentes bastante utilizados em circuitos analógicos é o amplificador operacional. Ele está presente em filtros analógicos [1], como o filtro Gm-C e também é usado em sensores industriais [2], assim como em aplicações de baixa tensão e no tratamento de sinais em sensores biomédicos [3,4]. Conversores de dados incluindo os conversores analógico-digital e digital-analógico [5], e geradores de referência de tensão [6] são outras categorias nas quais o amplificador operacional possui um papel fundamental para o funcionamento do circuito.

Nos exemplos citados, muitos parâmetros do circuito são amplamente dependentes de especificações dos amplificadores utilizados. Frequentemente o critério aplicado ao projeto de um amplificador empregado em tais sistemas é diferente daqueles usados para projetar amplificadores operacionais de propósito geral que estarão disponíveis como um componente único em circuitos. No geral, o comportamento de um amplificador operacional é descrito por diferentes parâmetros nos quais alguns deles podem ser mais importantes que outros em um sistema analógico particular [7].

Geralmente se utiliza amplificadores com modelos ideais em projetos por ser uma forma simplificada que fornecerá uma percepção geral de funcionamento do circuito. O amplificador ideal possui várias características como: impedância de entrada infinita, impedância de saída igual a zero, ganho em malha aberta infinito, faixa de resposta em frequência infinita [8]. Mas amplificadores reais possuem características diferentes do ideal, embora algumas possam ser bem próximas. Como não há a possibilidade de fabricar um amplificador real com todas as características de um amplificador ideal, existem vários tipos de amplificadores e cada tipo com alguma característica que se aproxime de um amplificador ideal em detrimento das outras características.

Um problema comum ao se utilizar um amplificador operacional alimentado com baixa tensão de operação é o valor reduzido do alcance de entrada em modo comum (ICMR), reduzindo assim a sua eficiência e aplicabilidade [9]. Um modo de se reduzir ou tratar este problema é a utilização, no estágio de entrada do amplificador, de técnica que permita a excursão do sinal de entrada entre os valores mínimo e máximo da alimentação

(*rail to rail*). Esta técnica em geral utiliza pares diferenciais NMOS e PMOS conectados em paralelo, permitindo assim um bom alcance do sinal de entrada [9,10].

Uma outra questão é a utilização de circuitos de polarização extras ou externos ao amplificador que também possuem desvantagens como a disposição a ruídos e uma maior utilização da área do *chip* [11].

Assim, será visto neste trabalho a implementação de um circuito que busca atender a alguns requisitos como operar a uma baixa tensão de alimentação, utilizar uma ampla faixa de entrada em modo comum utilizando circuitos *rail to rail* e também um reduzido número de transistores ao se utilizar auto-polarização.

## 1.1 – Motivações e Objetivos

Por ser um dispositivo de utilização ampla nos mais variados tipos de aparelhos, um amplificador operacional com características que representem uma economia da potência e conseqüentemente uma diminuição de consumo de energia é uma tendência sempre constante.

Outro motivo para a utilização dessas características está na possível utilização desse amplificador com finalidades biomédicas como em dispositivos implantáveis ou em sensores como um potenciostato [12,13], por exemplo, devido a suas características de tamanho reduzido em um *chip* e baixo consumo, aliado a característica *rail to rail* que possibilita um uso mais eficiente dos sinais de entrada.

Portanto, a realização desse trabalho tem como objetivo estudar e escolher algumas características encontradas em outros amplificadores [14,15] como transcondutância constante e auto polarização, que priorizem uma simplicidade e um menor número de componentes, ocasionando assim um menor uso de área de silício e também redução de consumo.

## 1.2 – Estrutura do Trabalho

Esta dissertação está dividida em cinco capítulos.

No capítulo 2 é feita uma revisão teórica, onde é mostrada a teoria de operação e as várias implementações ou arquiteturas utilizadas para o funcionamento das estruturas *rail to rail*.

O capítulo 3 apresenta alguns tipos de espelhos de corrente e suas características.

Já o capítulo 4 apresenta o circuito completo do amplificador que foi utilizado neste trabalho. São mostradas ainda cada etapa de construção desse amplificador e também o resultado das simulações obtidas, com gráficos e tabelas.

Por último, no capítulo 5 são apresentadas as conclusões e também as melhorias para possíveis trabalhos futuros.

Em anexo está o artigo publicado em congresso.

# Capítulo 2 - *Técnicas de transcondutância constante*

Em amplificadores de baixa tensão, o alcance de entrada em modo comum do par diferencial é muito pequeno, necessitando assim de utilização de estruturas que aproveitem o sinal excursionado entre os valores mínimo e máximo da tensão de alimentação. O método mais simples é o estágio *rail to rail* convencional apresentado no item 2.1, sendo a base para o entendimento de outras topologias. Algumas das várias técnicas utilizadas para a obtenção de transcondutância constante são apresentadas nos itens 2.2 a 2.7.

## 2.1 – Convencional

O princípio de funcionamento de um estágio *rail to rail* mais simples ou convencional é aqui descrito para o entendimento das várias outras estruturas *rail to rail* que tem sido utilizadas para a obtenção de diversas características melhoradas em relação ao circuito convencional, que é apresentado na figura 2.1.

A maioria dessas estruturas utilizam um estágio de entrada padrão no amplificador, como a utilização de pares diferenciais NMOS (M1, M2) e PMOS (M3, M4) conectados em paralelo [16,17,18,19]. A estrutura utiliza a característica dos transistores PMOS conduzirem melhor quando estão próximos a tensão máxima de alimentação ( $V_{dd}$ ) e os transistores NMOS conduzirem melhor quando estão próximos ao valor mínimo da tensão de alimentação ( $V_{ss}$ ) ou (gnd).

Há basicamente três regiões de operação para o estágio de entrada *rail to rail* convencional:

### **Região I:**

Na região I as tensões de entrada em modo comum ( $V_{icm}$ ) são baixas: ou seja, quando  $V_{icm}$  está próximo a  $V_{ss}$ , somente o par diferencial PMOS está funcionando. O par NMOS estará desligado pois a tensão entre porta (*gate*) e fonte (*source*) ( $V_{gs}$ ) é menor que a tensão mínima para o transistor ligar ( $V_t$ ). A transcondutância total ( $G_{mt}$ ) é dada por:

$$G_{mt} = G_{mp} \quad (2.1)$$

**Região II:**

Na região II as tensões de entrada em modo comum são intermediárias: ou seja, tanto o par diferencial PMOS quanto o par NMOS estão ligados. Quando  $V_{icm}$  está entre  $V_{ss}$  e  $V_{dd}$ , ambos os pares diferenciais N e P funcionam. A transcondutância  $G_{mt}$  é dada por:

$$G_{mt} = g_{mn} + g_{mp} \quad (2.2)$$

**Região III:**

Na região III as tensões de entrada em modo comum são altas: ou seja, quando  $V_{icm}$  está próximo de  $V_{dd}$ , somente o par diferencial NMOS estará funcionando e a transcondutância total será:

$$G_{mt} = g_{mn} \quad (2.3)$$

Neste trabalho,  $g_m$  é conhecido como a transcondutância do transistor MOS que é definido por:

$$G_m = \mu C_{ox} \frac{W}{L} (V_{gs} - V_t) \quad (2.4)$$

Onde  $\mu$  é a mobilidade dos portadores de carga,  $C_{ox}$  é a capacitância de óxido de porta,  $W$  e  $L$  são respectivamente a largura e o comprimento do transistor,  $V_{gs}$  é a tensão entre porta e a fonte e  $V_t$  é a tensão de limiar [8].

Na figura 2.2 é apresentada a variação das transcondutâncias  $g_{mn}$ ,  $g_{mp}$  e  $g_{mt}$ , sendo possível observar que a transcondutância é aproximadamente constante quando somente um dos pares está funcionando, na região I ou na região III. Quando está na região II, ambos os pares estarão funcionando simultaneamente, ocasionando uma distorção que é a soma das regiões I e III.

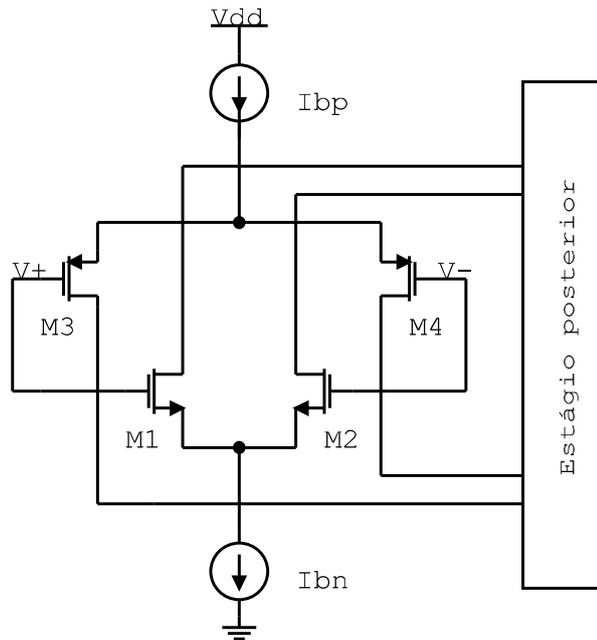


Figura 2.1: Estágio de entrada rail to rail convencional

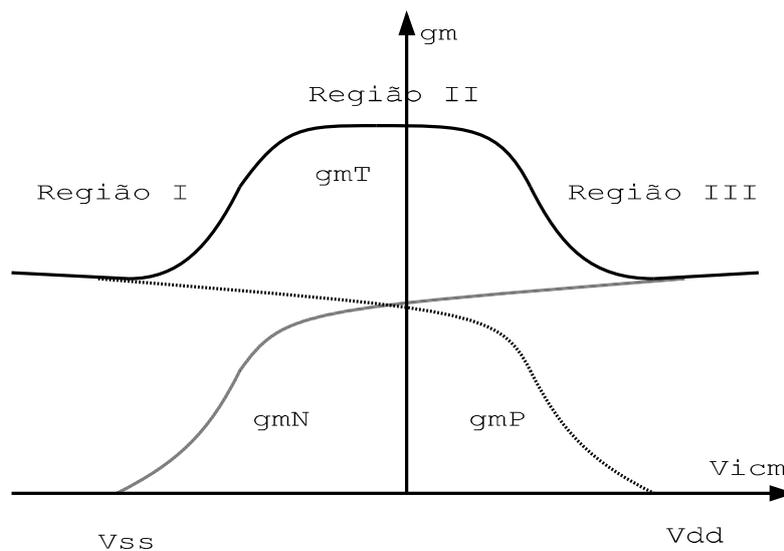


Figura 2.2: Variação de  $g_{mN}$ ,  $g_{mP}$  e  $g_{mT}$  com a tensão  $V_{icm}$

Como no estágio convencional não há uma técnica de  $g_m$  constante utilizada, a variação na área intermediária (região II) equivale a soma dos valores de  $g_m$  nos extremos (região I e região III), causando assim a alteração de 100% da transcondutância total.

Esta variação da transcondutância  $g_m$  em relação a tensão de entrada em modo comum é indesejável pois afeta várias características do amplificador tais como sua

estabilidade, o produto ganho largura de banda, e o consumo de potência [18,10]. Assim, outras técnicas tem sido estudadas visando a diminuição da variação em gm.

## 2.2 – Técnicas para gm constante

Muitas técnicas tem sido usadas para alcançar um valor de transcondutância total g<sub>mt</sub> aproximadamente constante no estágio de entrada e manter a operação *rail to rail* [16,17,18,19], cada uma delas com suas vantagens e desvantagens. Alguns exemplos dos métodos que podem ser encontrados na literatura são: espelho de corrente três vezes [20], controle de corrente raiz quadrada [10], controle de gm usando múltiplos pares de entrada [10], circuitos de máximo e mínimo [21], gm constante robusto independente da variação de transcondutância [22], técnica de gm constante usando escalamento dinâmico da corrente [23], técnica de gm constante usando sobreposição da região de transição [17], técnica de gm constante usando referência de gm [24].

Geralmente, circuitos de controle de transcondutância são separados de acordo com o método utilizado para controle. Alguns trabalhos [22,25] propõem uma classificação dos tipos de estágios de entrada *rail to rail* por meio das constantes de processo K<sub>n</sub> e K<sub>p</sub> que são separados em dois tipos principais: Estágios de entrada de gm constante com K<sub>n</sub> ≠ K<sub>p</sub> e com K<sub>n</sub> = K<sub>p</sub>, onde K<sub>n,p</sub> é o parâmetro de transcondutância de processo sendo definido por:

$$K_{n,p} = (\mu_{n,p} C_{ox})(W/L) \quad (2.5)$$

A solução que considera K<sub>n</sub> ≠ K<sub>p</sub> utiliza um estágio de entrada com gm constante sem a necessidade de igualar a transcondutância de transistores NMOS com transistores PMOS por meio da alteração da relação W/L. Porém para isso, se utiliza de circuitos extras de monitoramento de corrente e de manutenção de gm constante, o que leva a um maior consumo de potência e uma maior área ocupada do circuito final.

O método que considera K<sub>n</sub> = K<sub>p</sub> é utilizado nas configurações onde a transcondutância gm depende do tipo de transistor usado, NMOS ou PMOS e para que o valor de gm seja aproximadamente constante, deve se fazer o transistor canal N se igualar ao transistor canal P. Assumindo que possam ser igualados:

$$K_n = K_p = K \quad (2.6)$$

A equação de transcondutância total

$$g_{mt} = g_{m_n} + g_{m_p} = \sqrt{2K_n I_n} + \sqrt{2K_p I_p} \quad (2.7)$$

pode ser escrita como:

$$g_{mt} = \sqrt{2K}(\sqrt{I_n} + \sqrt{I_p}) \quad (2.8)$$

Onde as raízes  $\sqrt{I_n} + \sqrt{I_p}$  precisam ser mantidas constantes para obter um estágio de entrada de  $g_m$  constante. Apesar de não ser simples o casamento dos transistores NMOS e PMOS, esta é uma técnica bastante utilizada, tendo um grande número de artigos recentes [16,26].

Rogervost em seu trabalho [10], considera uma separação em três métodos diferentes para controlar a transcondutância de um estágio de entrada *rail to rail*: controle de  $g_m$  baseado em corrente; controle de  $g_m$  baseado em tensão e controle de  $g_m$  baseado na relação de W/L. Em trabalhos mais recentes, outras técnicas diferentes são relatadas, como a seleção da corrente máxima/mínima [16] e a técnica de deslocamento de nível [16,18]. A seguir, algumas destas técnicas serão brevemente descritas, mostrando seu funcionamento.

## 2.3 – Controle de $g_m$ baseado em corrente somente por chaves

Um método para controlar a corrente de polarização do circuito de entrada do amplificador [10,16] emprega a técnica de chaveamento de corrente, permitindo que haja o controle da corrente de polarização dos pares diferenciais PMOS e NMOS, como pode ser visto na figura 2.3. Quando o par de entrada NMOS (M1 e M2) ou PMOS (M3 e M4) é desligado, a chave 2 (SW2) ou a chave 1 (SW1) respectivamente desvia a corrente de polarização  $I_{ref}$ . Usando um espelho de corrente 1:3, é adicionado  $3I_{ref}$  para a corrente de polarização  $I_{ref}$  do par de entrada NMOS ou PMOS. Como resultado, a corrente total do par de entrada NMOS ou PMOS quando o sinal de entrada em modo comum é próximo a  $V_{dd}$  ou  $V_{ss}$  é  $4I_{ref}$ . Assim, a soma das raízes de  $I_n$  e  $I_p$  e a transcondutância total pode ser mantida constante em toda a faixa do sinal de entrada em modo comum [27]. A transcondutância  $g_{mt}$  pode ser expressa como:

$$G_{mt} = \sqrt{2k} (\sqrt{I_x} + \sqrt{I_{ref} + 3(I_{ref} - I_x)}) \quad (2.9)$$

Onde  $k$  é o parâmetro de transcondutância de processo,  $I_{ref}$  é a fonte de corrente de referência e  $I_x$  é a corrente que flui através dos transistores M3 e M4 [27]. O comportamento da transcondutância total pode ser visto na figura 2.4 e possui uma variação de aproximadamente 20%.

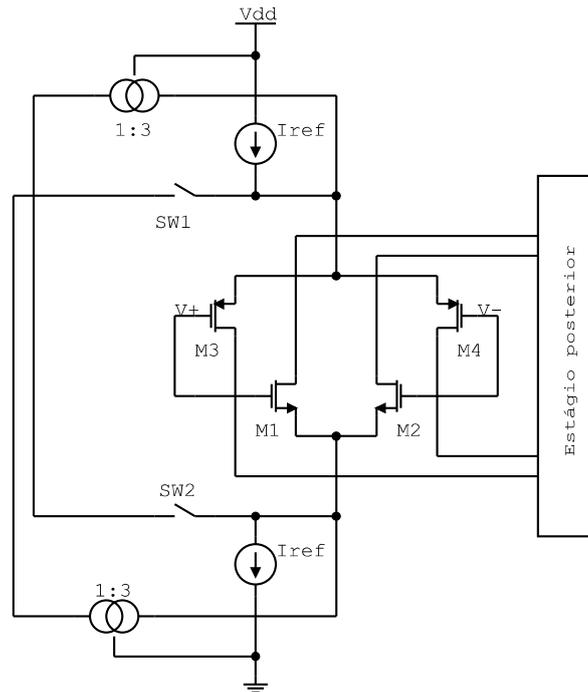


Figura 2.3: Controle de  $g_m$  por chaves

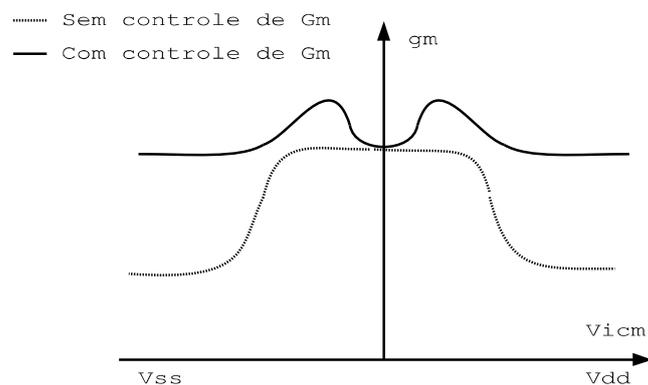


Figura 2.4: Comportamento de  $g_m$  com a tensão  $V_{icm}$

## 2.4 – Controle de $g_m$ baseado em tensão

O princípio desta técnica é manter a soma das tensões  $V_{gsn} + V_{gsp}$  constantes nos transistores de entrada. Isto pode ser feito ao conectar uma fonte de tensão entre a fonte comum do par diferencial NMOS (M1 e M2) e a fonte comum do par diferencial PMOS (M3 e M4), conforme visto na figura 2.5. Para isso, se utilizam dois transistores MOS conectados como diodo e dimensionados apropriadamente de forma a simular um zener. Isto irá manter ambos os pares trabalhando em toda a faixa de tensão de entrada em modo comum. Desde que, a transcondutância de um estágio de entrada *rail to rail*

operando em inversão forte é proporcional a sua tensão  $V_{gs}$ , a transcondutância do estágio de entrada será constante. Em inversão forte, o uso de um zener ou zener simulado possui a vantagem de ter um  $g_m$  aproximadamente constante com um baixo consumo de potência [10,28], mas possui a desvantagem de apresentar algumas variações na região de transição. A transcondutância  $g_{mT}$  pode ser expressa como:

$$g_{mT} = g_{m_n} + g_{m_p} = 2k(V_{gs_n} + |V_{gs_p}| - V_{t_n} - |V_{t_p}|) \quad (2.10)$$

Onde  $k$  é o parâmetro de transcondutância de processo,  $V_t$  é a tensão de limiar e  $V_{gs}$  é a tensão entre porta e fonte [10]. O comportamento da transcondutância total pode ser visto na figura 2.6 e possui uma variação de aproximadamente 28%.

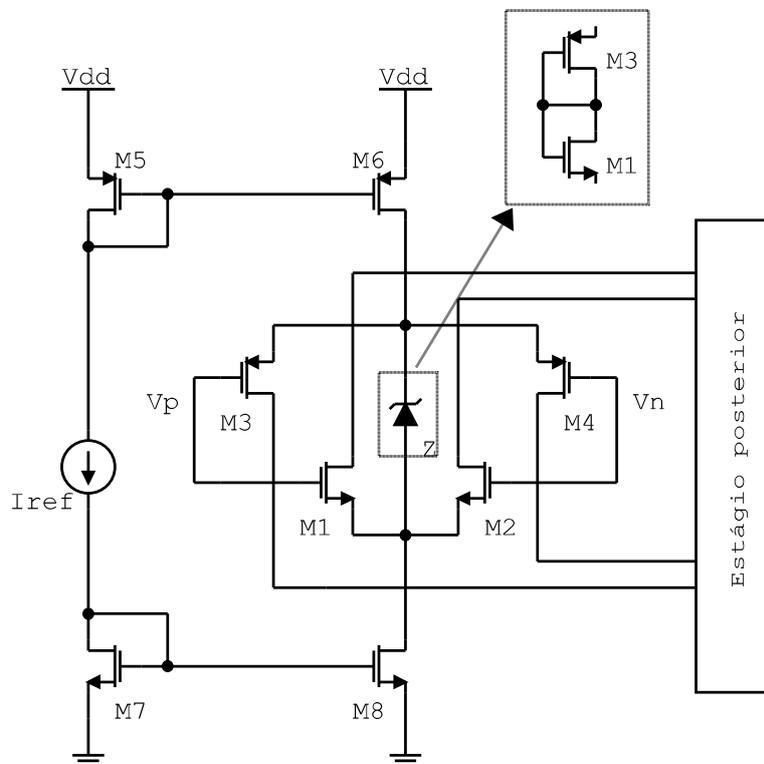


Figura 2.5: Controle de  $g_m$  baseado em tensão

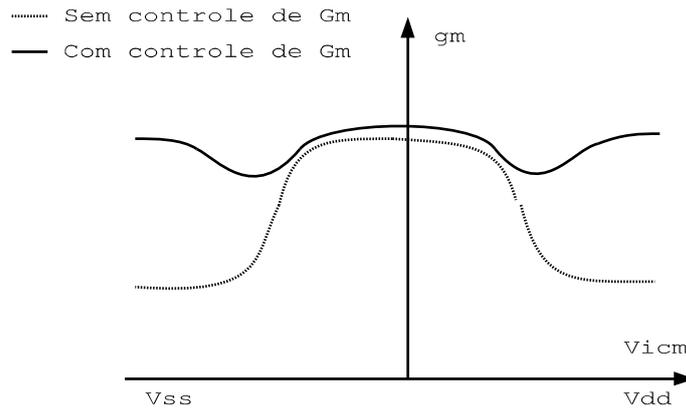


Figura 2.6: Comportamento de  $g_m$  com a tensão  $V_{icm}$

## 2.5 – Controle de $g_m$ baseado em W/L de múltiplos pares de entrada

O princípio básico deste método é regular a proporção W/L dos pares de entrada complementar, ou seja, dobrar o  $g_m$  das partes exteriores do alcance de entrada em modo comum ao colocar pares de entrada adicionais em paralelo ao atual par de entrada ativo, conforme visto na figura 2.7. Um modo de implementação seria usar um segundo par NMOS e um segundo par PMOS conectados em paralelo ao par diferencial principal e que estão em estado de espera. Quando a tensão se torna baixa o suficiente em direção a  $V_{ss}$ , o par diferencial PMOS é desligado e o outro par diferencial NMOS será ativado. Assim irá dobrar a proporção W/L para valores baixos do sinal de entrada em modo comum e o  $g_m$  será constante. O mesmo ocorre se a tensão aumenta em direção a  $V_{dd}$ . O segundo par diferencial PMOS será ativado e a proporção W/L é dobrada para manter  $g_m$  constante. A desvantagem dessa técnica é que a transição entre as regiões de operação resultam em uma oscilação da corrente, causando variações de  $g_m$  e reduzindo o desempenho do circuito [10]. O comportamento da transcondutância total pode ser visto na figura 2.8 e possui uma variação de aproximadamente 20%.

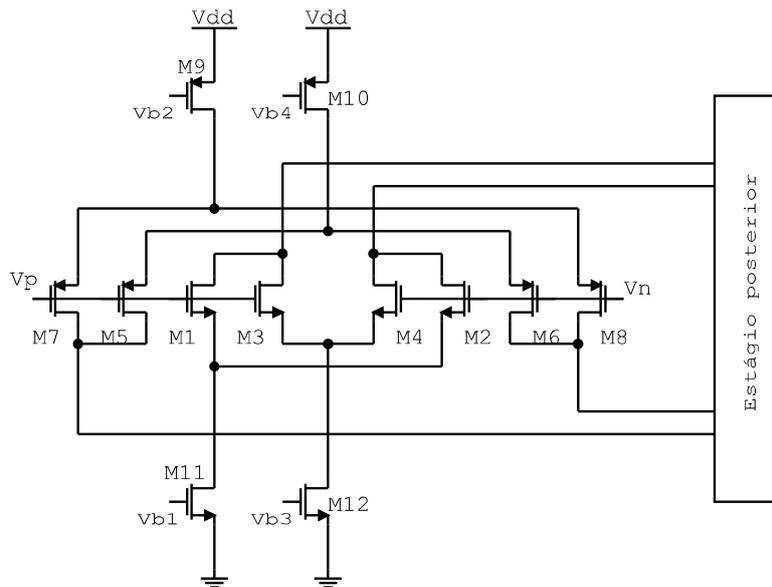


Figura 2.7: Controle de  $g_m$  baseado em  $W/L$

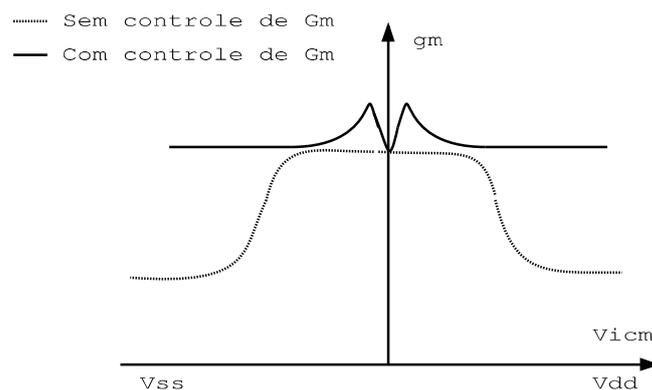


Figura 2.8: Comportamento de  $g_m$  com a tensão  $V_{icm}$

## 2.6 – Controle de $g_m$ baseado na seleção da corrente máxima/mínima

No princípio de funcionamento da técnica de seleção de corrente máxima/mínima, cujo circuito está ilustrado na figura 2.9, é sempre escolhido o par de entrada com corrente maior enquanto a saída do outro par com corrente menor é descartado. Há outra configuração desta técnica [21] que utiliza um circuito *folded cascode* e um circuito de seleção mínima para obter o máximo  $g_m$  de um modo similar.

Como somente o sinal de corrente maior é escolhido, a taxa de variação do sinal de saída é mantido constante. Uma vantagem dessa técnica é que pode ser obtido



NMOS M5 e M6 configurados como seguidor de fonte e suas respectivas cargas ativas os transistores NMOS M8 e M7 [17,18]. Os sinais de entrada são conectados as portas dos transistores M3 e M4 que formam o par diferencial PMOS e também nas portas dos transistores M5 e M6 que funcionam como seguidores de fonte. O par diferencial NMOS formado pelos transistores M1 e M2 sempre irá receber o sinal de entrada deslocado, pois suas portas são conectadas a fonte dos transistores M5 e M6, respectivamente. Com isso, a transcondutância  $g_m$  do par diferencial NMOS pode variar conforme ilustrado na figura 2.12 e conseqüentemente se sobrepor ao par diferencial PMOS, fazendo com que a transcondutância total  $g_{mt}$  se torne aproximadamente constante [18]. A região de transição do transistor NMOS é deslocada de acordo com as seguintes equações:

$$V_{in_{min1}} = V_{gs_n} + V_{d_{sat}} \quad (2.11)$$

$$V_{in_{min2}} = V_{gs_{sh}} + V_{gs_n} + V_{d_{sat}} \quad (2.12)$$

$$V_{gs_{sh}} = V_{t_n} + \sqrt{\frac{2I_{sh}}{\beta_n}} \quad (2.13)$$

E a transcondutância  $g_{mt}$  pode ser expressa como:

$$g_{mt} = \beta_n(V_{in} - V_{sn} - V_{t_n} - \sqrt{2I_{sh}/\beta_n} - V_{t_n}) + g_{m_p} \quad (2.14)$$

Onde  $V_{gs_n}$  é a queda de tensão entre a porta e a fonte dos transistores M1 e M2,  $V_{d_{sat}}$  é a tensão de saturação dreno fonte de M9,  $V_{gs_{sh}}$  é a tensão de deslocamento de M5, M6 em  $V_{icm}$  e  $V_{t_n}$  é a tensão de limiar do NMOS.  $I_{sh}$  é a corrente DC em M5, M6 e  $\beta_n$  é o ganho do transistor NMOS.  $V_{in_{min1}}$  é a mínima tensão de entrada para o par diferencial NMOS e  $V_{in_{min2}}$  é a mínima tensão de entrada com a adição de um circuito deslocador de nível DC. Ao adicionar um circuito de deslocamento de nível DC ao par diferencial N, a transcondutância do par será deslocada de acordo com a corrente de deslocamento  $I_{sh}$  [18,26].

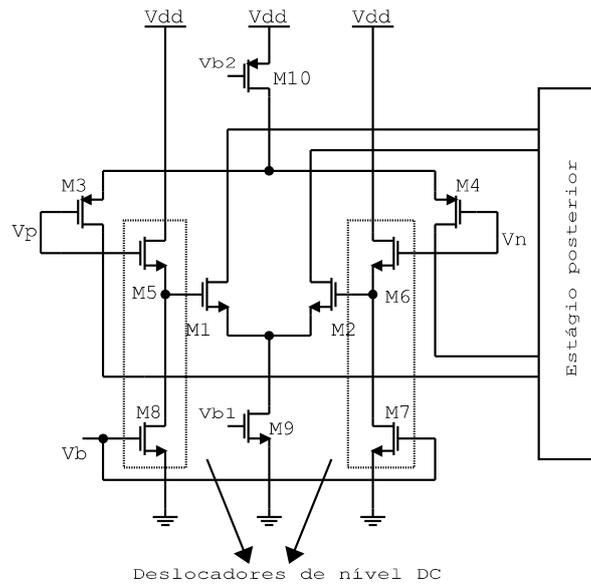


Figura 2.11: Estágio deslocamento de nível

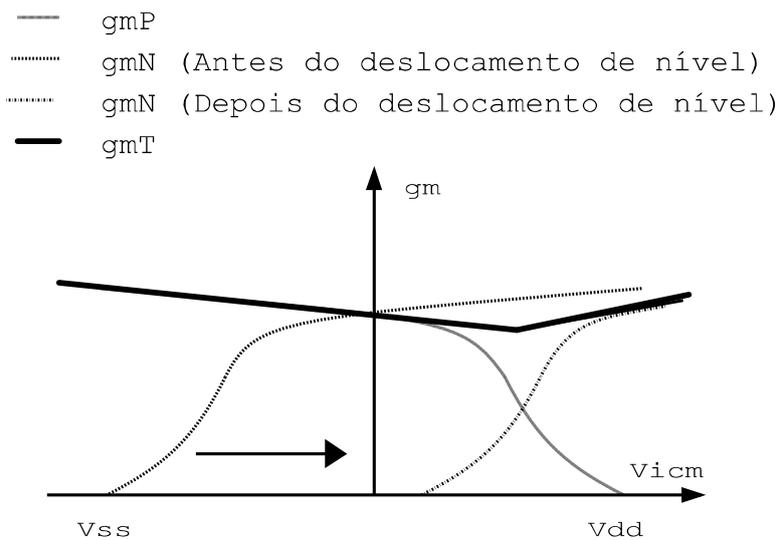


Figura 2.12: Comportamento de  $g_m$  versus tensão de entrada

Na figura 2.12 estão apresentados os comportamentos das transcondutâncias  $g_m$  dos pares diferenciais PMOS e NMOS antes e depois do deslocamento de nível, assim como o  $g_{mT}$  em função da tensão de entrada em modo comum  $V_{icm}$ .

Os circuitos projetados utilizando técnicas de deslocamento de nível apresentam  $g_{mT}$  aproximadamente constante mas também possuem algumas limitações, como a necessidade de manualmente ajustar as correntes de polarização dos deslocadores de nível DC de entrada. Também são sensíveis a  $V_t$ , a variações da fonte de alimentação

e descasamento entre os pares diferenciais NMOS e PMOS [16]. Outro trabalho [29] utiliza duas seções de ajuste automático para obter um valor ótimo de corrente para o deslocador de nível e assim as variações de  $g_m$  sobre a faixa de  $V_{icm}$  são minimizadas.

A tabela 1 apresenta uma comparação de algumas técnicas de transcondutância vistas no capítulo 2, relacionando as características de variação de  $g_m$  e suas desvantagens[16,19].

Tabela 1: Comparação de algumas técnicas de  $g_m$

| Técnica   | Variação de $g_m$ | Desvantagens  |
|---|-------------------|---|
| Convencional  | 100%              | Grande variação de $g_m$  |
| Controle de $g_m$ por corrente (chaveamento)            | 15% ~ 20%         | Dependência de características quadráticas de transistores MOS          |
| Controle de $g_m$ por tensão (zener)                    | 8 ~ 28%           | Dependência de características quadráticas de transistores MOS          |
| Controle de $g_m$ por W/L (múltiplos pares de entrada)  | 20%               | Dependência de características quadráticas de transistores MOS          |
| Controle de $g_m$ por seleção da corrente máxima/mínima | 5% ~ 7%           | Complexidade do circuito  |
| Deslocamento de nível                                   | 4% ~ 13%          | Variação de $g_m$ sensível a $V_t$ e alterações da fonte de alimentação |

Um dos problemas em circuitos com estágios de entrada *rail to rail* em geral é que eles introduzem vários caminhos adicionais de corrente entre os terminais de alimentação, o que consideravelmente eleva o consumo de potência do estágio. Outra desvantagem é que os circuitos para o controle de  $g_m$  são bastante complexos e também aumentam substancialmente a área ocupada no chip [11].

## Capítulo 3 - Tipos de espelho de corrente

Espelhos de corrente são unidades fundamentais em projetos de amplificadores, mas também são utilizados como carga ativa e para polarização na maioria dos circuitos analógicos.

Algumas características são desejáveis em espelhos de corrente que operam em circuitos de baixa tensão, como impedância de entrada e queda de tensão DC de entrada pequenos. Uma alta impedância de saída também é desejável, pois assim a corrente de saída será independente da tensão, seja em DC ou AC. E por fim deve possuir uma taxa de transferência de corrente precisa [19,30]. Alguns tipos de espelhos de corrente são descritos a seguir.

### 3.1 – Espelho de corrente padrão

O espelho de corrente padrão pode ser visto na figura 3.1. Neste circuito, se os transistores MOS M1 e M2 operam na região de saturação, a corrente de saída  $I_{out}$  será proporcional a corrente de entrada  $I_{in}$ . No caso de transistores idênticos,  $I_{in} = I_{out}$  e o circuito replica ou espelha a corrente de entrada em sua saída. Se a proporção do transistor M2 for maior que do transistor M1, o circuito se comporta como um amplificador de corrente que é proporcional a taxa de sua relação  $W/L$  [30]. Suas principais desvantagens são: baixa impedância de saída e pouca linearidade em projetos de comprimento de canal curto [19].

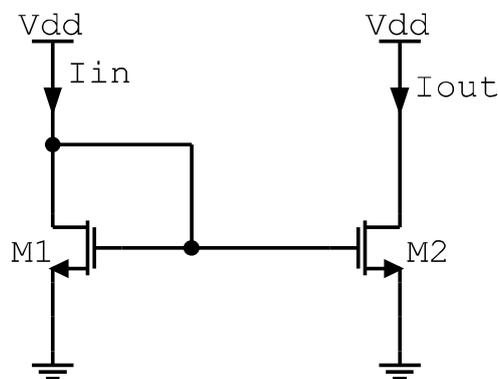


Figura 3.1: Espelho de corrente convencional

### 3.2 – Espelho de corrente *cascode*

O espelho de corrente *cascode* da figura 3.2 possui uma melhor impedância de saída e uma maior precisão no espelhamento se comparado ao espelho de corrente padrão. Sua queda de tensão na saída é  $2V_{dsat} + V_t$ , onde  $V_{dsat}$  é mínima tensão entre dreno e fonte necessária para o MOS operar na região de saturação e  $V_t$  é a tensão de limiar. A queda de tensão é maior que a mínima tensão requerida para M2 e M3 operarem na região de saturação  $2V_{dsat}$  por um valor de  $V_t$ . Sua desvantagem é o alto valor da queda de tensão na saída [19].

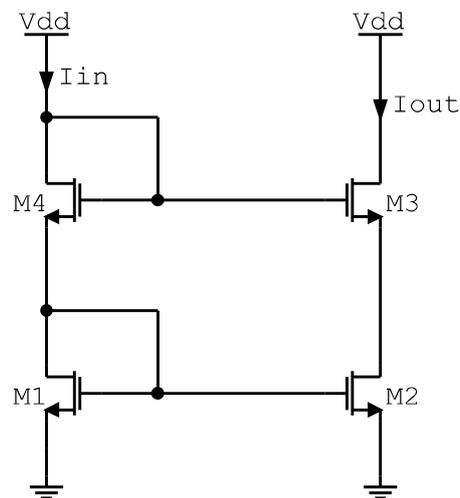


Figura 3.2: Espelho de corrente *cascode*

### 3.3 – Espelho de corrente *cascode* de amplo alcance

No espelho de corrente *cascode* de baixa tensão (amplo alcance) da figura 3.3, todos os transistores MOS operam na região de saturação e  $V_{gs3} = V_{gs4}$  é assegurado pela seleção adequada de suas relações  $W/L$ . A porta de M1 está em curto com o dreno de M4 com o objetivo de reduzir a mínima tensão de operação por um valor de  $V_t$ . Esta estrutura permite uma alta precisão como  $V_{ds1} = V_{ds2}$  e oferece uma resistência de saída equivalente ao espelho *cascode* convencional. Porém ele requer um circuito adicional

para gerar o valor adequado de  $V_b$  [30]. Se  $V_b = V_{gs4} + (V_{gs1} - V_{t1}) = V_{gs3} + (V_{gs2} - V_{t2})$ , M1 e M4 irão operar na região de saturação.

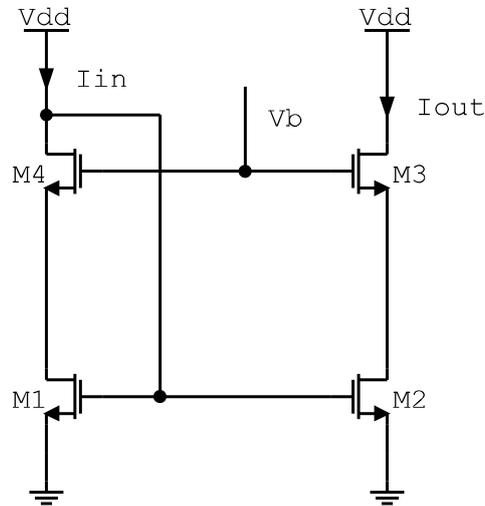


Figura 3.3: Espelho de corrente de amplo alcance

### 3.4 – Espelho de corrente *cascode* com ampop

No espelho de corrente de baixa tensão com amplificador operacional (ampop) da figura 3.4, o transistor MOS M2 espelha a corrente injetada em M1 e um amplificador operacional tenta manter as tensões  $V_{ds}$  iguais em ambos os transistores. Tem a vantagem de possuir uma queda de tensão baixa, pois  $V_{in} = V_{dsat}$  [30]. A desvantagem desse tipo de espelho é a necessidade da utilização de um amplificador para seu controle, acarretando o aumento do consumo de energia e área do chip.

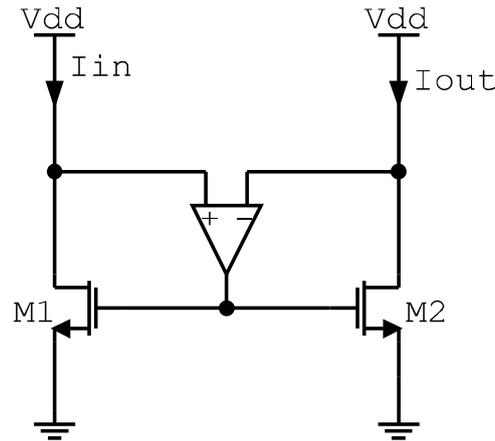


Figura 3.4: Espelho de corrente com amp op

### 3.5 – Espelho de corrente *cascode* auto-polarizado

Uma alternativa para aumentar a resistência de saída e o alcance dinâmico sem a utilização de tensões extras para polarização é a estrutura auto-polarizada mostrada na figura 3.5. No espelho de corrente com deslocamento de nível (auto-polarizado), uma queda de tensão menor que  $V_t$  é introduzido entre os terminais de porta e dreno do MOSFET conectado como diodo. Esta técnica ajuda na diminuição da tensão de operação do circuito sem afetar sua operação DC e resistências de entrada e saída. Nesta técnica, a polaridade dos transistores de deslocamento precisam ser opostos aqueles dos transistores espelho. Porém, deslocamentos de nível implementados com transistores MOS sofrem com o fato de que se o efeito de corpo se torna significativo, os transistores espelho podem deixar de funcionar. Esta configuração tem a vantagem de possuir simplicidade e funcionar com baixas voltagens de alimentação [30].

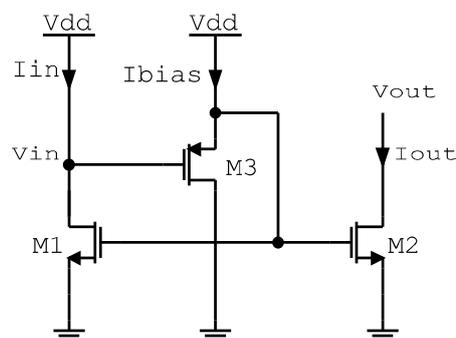


Figura 3.5: Espelho de corrente cascode auto-polarizado

Em tecnologias CMOS com um único  $V_t$  para cada tipo de transistor, M1 e M2 operam na região de triodo. Isto leva a algumas desvantagens: Alta susceptibilidade ao descasamento de transistores por causa da operação em triodo de M1 e M2 no qual a corrente é muito sensível para ambos  $V_{gs}$  e  $V_{ds}$ . Também pode introduzir grandes erros de ganho devido aos descasamentos de  $W/L$  e  $V_t$  de M1-M3, assim como a impedância de saída menor que um *cascode* convencional [31].

Na tecnologia CMOS com um único  $V_t$  o *cascode* auto-polarizado pode ser melhorado de três formas:

- a) Regulando ativamente o  $V_{ds}$  dos transistores em modo triodo;
- b) Polarizando os transistores *cascode* ao ponto que permita os transistores espelho operarem em saturação;
- c) Pela modificação do  $V_t$  de M1-M2 ou M3 usando efeito de corpo de tal modo que todos os transistores no *cascode* auto-polarizado operem em saturação [31].

## Capítulo 4 - *Desenvolvimento e resultados*

As técnicas de transcondutância constante apresentados no capítulo 2 possuem algumas desvantagens como a utilização de grande número de transistores, o que eleva o consumo de potência no estágio de entrada. Uma técnica mais simples é apresentada no item 4.1 e uma mais aperfeiçoada é vista em 4.2. Dos vários tipos de espelhos de corrente apresentados no capítulo 3, foi escolhido o *cascode* auto-polarizado, por não necessitar de circuitos extras de polarização. O circuito proposto completo é apresentado no item 4.4 e os resultados de simulação são vistos no item 4.6. Por fim, no item 4.7 é apresentado o leiaute do circuito proposto completo.

### 4.1 – Estágio de entrada com deslocamento simplificado

Conforme mencionado no item 2.7, a técnica de deslocamento de nível convencional requer o uso de quatro transistores MOS, pois há dois seguidores de fonte PMOS. Os dois seguidores de fonte levam o sinal de entrada em modo comum ( $V_{icm}$ ) do par diferencial PMOS a ser deslocado de acordo com o valor da tensão  $|V_{gs_p}| = V_{ov_p} + |V_{t_p}|$  e, por consequência, a corrente e a transcondutância do par de entrada PMOS também serão deslocadas.

Mas outro circuito que faz uso de somente um transistor NMOS conectado como diodo pode ser utilizado com a vantagem de também possuir a propriedade de deslocamento de nível de forma mais simplificada [14].

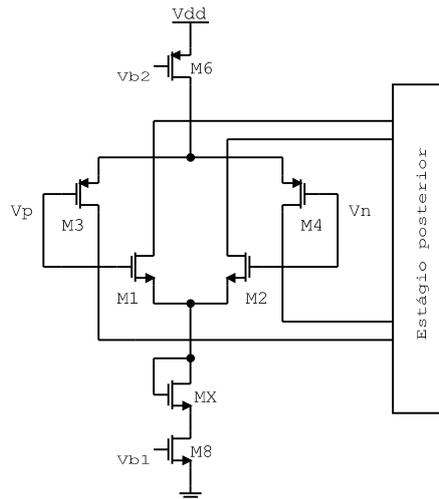


Figura 4.1: Estágio de entrada com deslocamento simplificado

A figura 4.1 mostra o estágio de entrada com a estrutura de deslocamento de nível simplificado. O par de entrada diferencial PMOS é formado pelos transistores M3 e M4 e o par diferencial NMOS pelos transistores M1 e M2 e estão conectados em paralelo. O transistor M8 funciona como fonte de corrente do par diferencial NMOS e o transistor M6 funciona como fonte de corrente do par diferencial PMOS. As conexões Vb1 e Vb2 são utilizadas para a polarização dos transistores M8 e M6, respectivamente. O transistor NMOS MX conectado como diodo é adicionado entre o par diferencial NMOS e o transistor M8 [14]. Se um transistor NMOS conectado como diodo não for adicionado, a estrutura é simplesmente um par de entrada diferencial complementar convencional como o do item 2.1, sendo a tensão mínima de entrada do par diferencial canal N dado na equação (4.1).

$$V_{in_{min}} = V_{OV_n} + V_{GS_n} \quad (4.1)$$

Na equação (4.1),  $V_{OV_n}$  é a tensão de *overdrive* da fonte de corrente NMOS, sendo  $V_{OV} = V_{GS} - V_t$  e  $V_{GS_n}$  é a diferença de tensão da porta-fonte do par diferencial canal N [14]. Para o caso da estrutura utilizada, a tensão de entrada mínima do par diferencial canal N é dado na equação (4.2).

$$V_{in_{min}} = V_{OV_n} + V_{GS_n} + V_{GS_n} \quad (4.2)$$

Como mostrado na equação (4.2), outro  $V_{GS_n}$  é requerido por causa do transistor NMOS conectado como diodo acima da fonte de corrente NMOS. Assim, a corrente e a transcondutância do par diferencial canal N são deslocados por  $V_{GS_n}$ . Esta técnica funciona de forma equivalente se for utilizado um transistor PMOS em modo diodo localizado entre o par diferencial PMOS e o transistor M6 [27,14].

As vantagens de se utilizar esta técnica de deslocamento do nível de tensão simplificado são a redução no consumo de corrente e a diminuição da área ocupada de silício [27]. Esta técnica foi utilizada no circuito proposto 1 que resultou na publicação de um artigo internacional e se encontra em anexo. O resultado da transcondutância total  $G_{mt}$  obtido pode ser observado na figura 4.2.

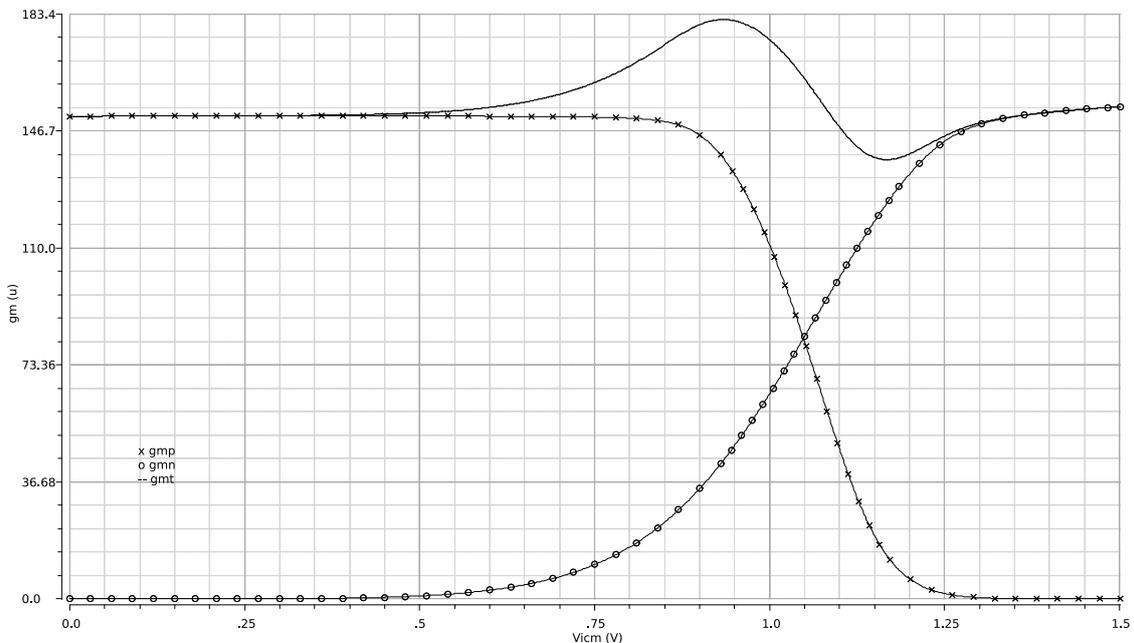


Figura 4.2: Transcondutâncias  $G_{mn}$ ,  $G_{mp}$  e  $G_{mt}$  obtidas com o circuito proposto 1

O problema dessa técnica é a limitada quantidade de deslocamento de tensão, que depende do valor de  $V_{gsn}$  do transistor MX, o que leva a uma relativamente grande variação da transcondutância total  $G_{mt}$ , de aproximadamente 20%. O valor de  $V_{gs}$  limitado acontece por estar conectado em modo diodo e somente a relação  $W/L$  pode ser alterada [27].

## 4.2 – Estágio de entrada com deslocamento alterado

Como tentativa de diminuir a variação da transcondutância do circuito comentado no item 4.1 é usada uma técnica de controle do ponto de saturação [32] e que se comparada a técnica de deslocamento simplificado, continua sendo simples e adiciona a vantagem de uma grande redução na variação da transcondutância total do circuito.



melhoria de diversas características [19,30], mas para que os transistores permaneçam polarizados corretamente, circuitos extras de polarização devem ser utilizados.

A utilização de circuitos externos para polarização de amplificadores possui alguns inconvenientes como a propensão a ruído, uma ocupação maior da área do *chip* e o aumento de consumo [11]. Uma alternativa seria o uso do método de auto-polarização para os estágios do amplificador.

O princípio de operação do espelho *cascode* com deslocamento de nível ou auto-polarizado [15,33] que foi utilizado para o amplificador do item 4.4 está representado na figura 4.4, na qual são feitas algumas observações em seguida.

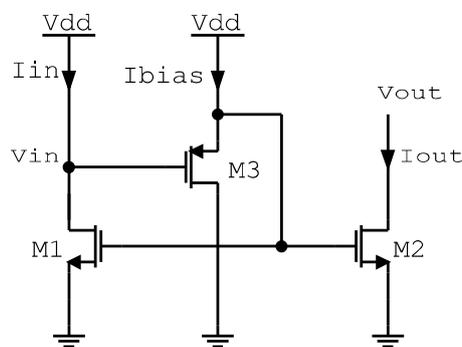


Figura 4.4: Espelho de corrente com deslocamento de nível

O transistor M3 é responsável por deslocar  $V_{dsM1}$  que é o nível da tensão no dreno do transistor M1 ( $V_{in}$  do espelho). A região de funcionamento de M3 é determinada pela corrente de polarização  $I_{bias}$ . O transistor M3 vai funcionar em saturação para valores altos da corrente  $I_{bias}$  e vai funcionar em inversão fraca para valores baixos da corrente  $I_{bias}$  [15].

Já a região de funcionamento do transistor M2 é determinada pela corrente de entrada  $I_{in}$  e pela tensão  $V_{out}$  ou  $V_{ds}$  de M2. Assim, M2 vai funcionar em saturação para valores altos da corrente  $I_{in}$  e de  $V_{out}$ , mas vai funcionar em triodo para valores altos da corrente  $I_{in}$  e valor baixo de  $V_{out}$  [15].

A região de funcionamento do transistor M1 é determinada pelas correntes  $I_{in}$  e  $I_{bias}$ . M1 vai funcionar em triodo para valores altos de  $I_{bias}$  e valores baixos de  $I_{in}$  pois sendo alta a tensão de porta de M1, a corrente  $I_{in}$  é forçada a ser baixa. Assim, pode ser equacionado:

$$V_{ds M1} = V_{in} \quad (4.3)$$

$$V_{ds\ M2} = V_{out} \quad (4.4)$$

$$V_{in} = V_{gs\ M1} - V_{gs\ M3} \quad (4.5)$$

O valor da tensão de entrada  $V_{in}$  pode ser obtido dos resultados de  $V_{gs\ M1}$  e  $V_{gs\ M3}$  [15].

## 4.4 – Circuito proposto completo

A proposta deste trabalho foi de obter um amplificador operacional *rail to rail* utilizando as estruturas de cada estágio vistas nos itens 4.2 e 4.3. Assim, a figura 4.5 apresenta o esquema completo do circuito proposto 2 nesse trabalho.

O estágio de entrada compreende os transistores M1-M8 da figura 4.5. Os transistores M1 e M2 formam o par diferencial NMOS e os transistores M3 e M4 formam o par diferencial PMOS. Os transistores M5 e M6 formam o espelho de corrente PMOS padrão, assim como os transistores ME e M7 formam um espelho de corrente NMOS padrão e fornecem a polarização para o transistor M8. A fonte de corrente  $I_{ref}$  representa uma fonte de referência no circuito. O transistor MX que está conectado em modo diodo, localizado entre o par diferencial N e o espelho NMOS, é o responsável pelo deslocamento da tensão  $V_{icm}$  e também pela sobreposição das zonas de operação, conforme descrito no item 4.1. Já o transistor MY tem a função de controle da corrente que chega no par diferencial PMOS e sua operação também foi relatada no item 4.2. Os transistores PMOS M5, M6, M10, M11 e M18 possuem o substrato conectado a Vdd. Os transistores PMOS M3, M4, M12, M13 e MY possuem o substrato conectado a fonte e o restante dos transistores NMOS possui o substrato conectado a gnd.

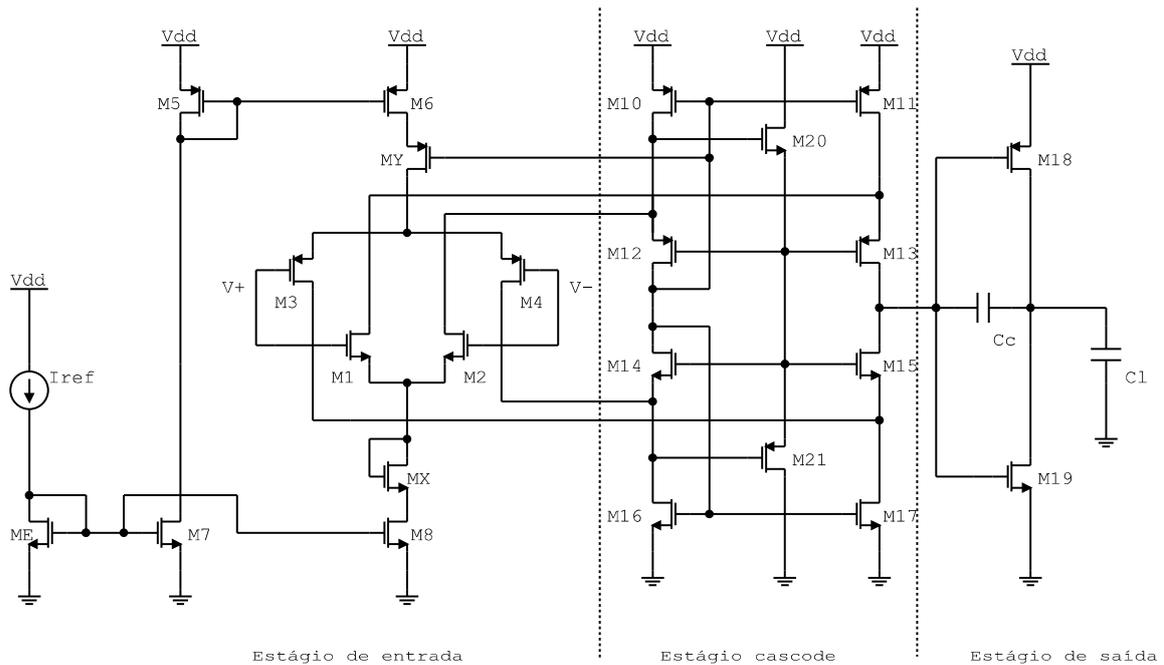


Figura 4.5: Esquema completo do amplificador

O estágio intermediário representado pelos transistores M10 a M17 operam como um circuito *cascode* [19], cuja função no amplificador é a de somar as correntes provenientes do primeiro estágio ou estágio de entrada. Estágios *cascode* geralmente necessitam de circuitos de polarização externos para que todos os transistores possam operar corretamente.

Neste circuito, a polarização é realizada por dois transistores apenas, M20 e M21, conforme descrito no item 4.3 e possui a característica de um estágio *cascode* autopolarizado [30,33].

O estágio de saída compreende os transistores M18 e M19 que estão conectados em classe AB ou *push-pull* [34] e que garantem um aumento de ganho ao circuito e permitem a operação em *rail to rail* para o sinal de saída do circuito. O capacitor  $C_l$  é o capacitor de carga do amplificador e o capacitor  $C_c$  é o capacitor de compensação para o ajuste dos polos do amplificador permitindo que o amplificador opere com uma margem de fase adequada.

## 4.5 – Projeto

Ao se projetar um amplificador, deve-se verificar o ambiente no qual ele irá operar e o tipo de sinal que ele irá amplificar. Para este trabalho, foi utilizado em simulação a característica padrão do ambiente, como temperatura a 27°C. Também visando possíveis aplicações biomédicas, foram utilizadas algumas características relacionadas como baixo consumo de energia, uma boa amplificação e baixa quantidade de transistores, o que leva a uma economia de área de silício.

Características como *slew rate* e largura de banda não foram muito relevantes para este projeto, por se tratar de um amplificador para baixas frequências. Assim, para a realização deste amplificador alguns parâmetros foram escolhidos e adotados para se alcançar resultados semelhantes aos encontrados na maior parte dos artigos nesta área: ganho próximo a 100dB, margem de fase maior que 45°, excursão de entrada e saída *rail to rail*, tensão de alimentação abaixo de 3,3V, consumo de potência abaixo de 1mW.

A partir destes parâmetros e utilizando a metodologia apresentada por Allen-Holberg [9] se obtêm características aproximadas das tensões dos transistores, suas transcondutâncias e correntes e por fim é feita a estimativa dos valores de dimensionamento dos transistores ou seja, a relação W/L. Ao se encontrar os valores W/L, é realizada a simulação e adequação de modo iterativo, até se alcançar os parâmetros estabelecidos inicialmente.

Vários transistores no amplificador possuem valores de W iguais:

No estágio de entrada:

Par diferencial NMOS:  $M1 = M2$ ,

Par diferencial PMOS:  $M3 = M4$ ,

Espelho de corrente PMOS:  $M5 = M6$ ,

Espelho de corrente NMOS:  $M7 = M8$

No estágio cascode:

Cascode PMOS:  $M10 = M11$ ,  $M12 = M13$ ,

Cascode NMOS:  $M14 = M15$ ,  $M16 = M17$

Consequentemente, vários valores de corrente e de tensão também serão iguais, desconsiderando os erros de descasamento dos transistores.

Para os transistores PMOS, há uma relação de casamento com transistores NMOS:

$$\frac{\mu_N}{\mu_P} = \frac{(W/L)_P}{(W/L)_N} \quad (4.6)$$

$$\mu_N = 3,5\mu_P \quad (4.7)$$

Isso é devido a mobilidade de portadores em transistores PMOS ser menor do que em transistores NMOS [8] e portanto se utiliza essa correspondência em relação a W/L entre os transistores PMOS e NMOS.

É feito um dimensionamento e ajusta-se os espelhos para fornecerem uma corrente  $I_{ref}$  de 20uA. Assim, os transistores M5 e M7 estão conduzindo uma corrente de 20uA e estão permitindo a cópia desta corrente para os transistores M6 e M8. Os pares diferenciais dividem a corrente  $I_{ref}$ , portanto os transistores M3 e M4 do par PMOS ficam com a corrente de 10uA cada, assim como os transistores do par NMOS M1 e M2 também ficam com a corrente de 10uA cada.

O *cascode* pode ser visto como um empilhamento de espelhos de corrente. Os transistores M10 e M11, M16 e M17 possuem a mesma corrente. Já os transistores M20 e M21, por funcionarem apenas como polarizadores, são os transistores que consomem a menor quantidade de corrente.

O estágio de saída com os transistores M18 e M19 é o que mais consome corrente e fornece a maior parte do ganho do amplificador.

A seguir foi feito um ajuste para que os valores de  $G_m$  dos pares diferenciais PMOS e NMOS ficassem o mais próximo possível. Isso foi feito ajustando  $k_p$  e  $k_n$  por meio da relação W/L.

Se faz com que a tensão de saída do *cascode* NMOS tenha o valor de  $V_{dd}/2$ .

A tabela 2 apresenta as relações de W obtidas para o circuito proposto. A dimensão L foi mantida fixa em 1.5 $\mu$ m para todos os transistores para se evitar problemas com os efeitos de canal curto [8,9].

Tabela 2: Dimensão dos transistores

| Transistor | W( $\mu\text{m}$ ) |
|------------|--------------------|
| M1, M2     | 17                 |
| M3, M4     | 60                 |
| M5, M6     | 30                 |
| ME, M7, M8 | 30                 |
| MX         | 50                 |
| MY         | 10                 |
| M10, M11   | 2,5                |
| M12, M13   | 3,5                |
| M14, M15   | 2,5                |
| M16, M17   | 3,5                |
| M18        | 45                 |
| M19        | 15                 |
| M20        | 4                  |
| M21        | 10                 |

## 4.6 – Simulação e resultados

O amplificador do item 4.4 foi implementado no *software* Cadence Virtuoso e simulador Spectre utilizando tecnologia IBM CMOS de 130nm. Ele funciona com uma tensão de 1,5V. A corrente de referência  $I_{ref}$  foi mantida em 20 $\mu\text{A}$ . A excursão de entrada e saída alcançam todo o percurso de  $V_{ss}$  a  $V_{dd}$ , ou seja, operam em *rail to rail*. Para a verificação de seu funcionamento, foram realizadas algumas simulações como resposta DC, consumo de potência, resposta AC, ganho e margem de fase, que serão descritas a seguir.

### 4.6.1 – Resposta DC

No estágio de entrada, os transistores permanecem em sua região de operação ativa quando a variação do alcance da tensão de entrada em modo comum é limitado a uma faixa particular conhecida como faixa de entrada em modo comum ICMR. Este parâmetro depende da estrutura do opamp e do tipo e condições de polarização dos

componentes do circuito de entrada. A análise DC permite a verificação da polarização do amplificador em um estado quiescente e também caracterizar a sua dissipação de potência [7].

Para se obter a característica de transferência DC do amplificador foi utilizado o esquema para teste mostrado na figura 4.6.

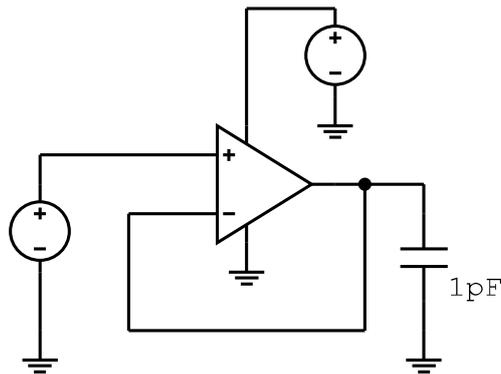


Figura 4.6: Esquema para simulação DC

A figura 4.7 mostra a característica DC obtida para uma tensão de entrada  $V_{in}$  e se observa a linearidade do intervalo para a tensão de saída  $V_{out}$ , o que demonstra que o circuito está operando com uma característica *rail to rail* pois são percorridos todos os valores de 0 a 1.5V. O valor de potência total consumida pelo amplificador foi de 184  $\mu$ W.

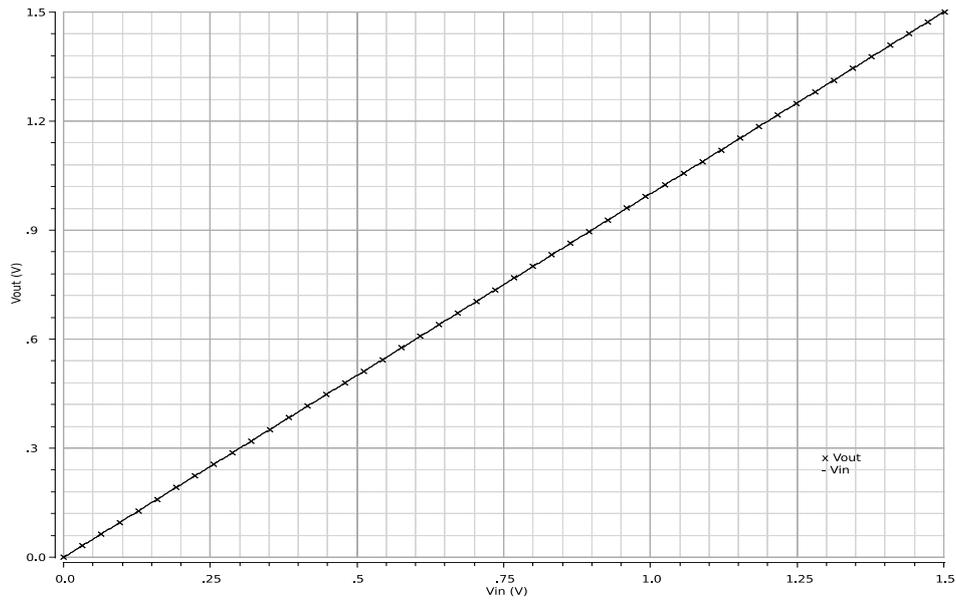


Figura 4.7: Característica DC

A figura 4.8 mostra a curva da diferença de  $V_{in} - V_{out}$  e demonstra as variações na linearidade da característica DC da figura 4.7. Se verifica que a curva se mantém aproximadamente a  $-100\mu\text{V}$  na região central e varia a aproximadamente  $100\mu\text{V}$  no extremo de Vdd e  $-300\mu\text{V}$  no extremo de Vss.

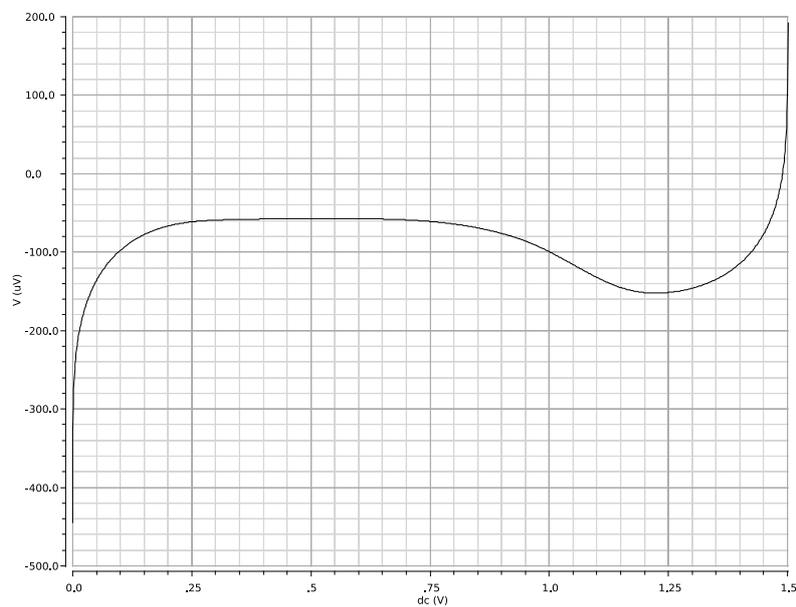


Figura 4.8: Variação  $V_i - V_o$

## 4.6.2 – Variação de Gm

Para se obter a Variação de Gm do amplificador foi utilizado o esquema para teste simplificado mostrado na figura 4.9.

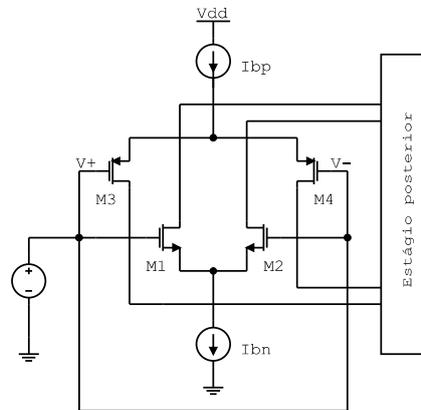


Figura 4.9: Esquema para simulação de Gm

A figura 4.10 mostra as variações de Gm do circuito de entrada: As variações de Gm dos pares diferenciais NMOS e PMOS e também a transcondutância total Gmt para uma tensão de entrada em modo comum Vicm de 0 a 1.5V. A variação da transcondutância Gmt foi de aproximadamente 8%. O valor alcançado é bem menor se comparado ao circuito proposto 1, onde o valor de transcondutância total atinge aproximadamente 20%, o que demonstra que a adição de um transistor limitando a corrente para o par diferencial PMOS tem influência para o controle de Gm neste circuito. Uma comparação com outros artigos é apresentada no item 4.6.5.

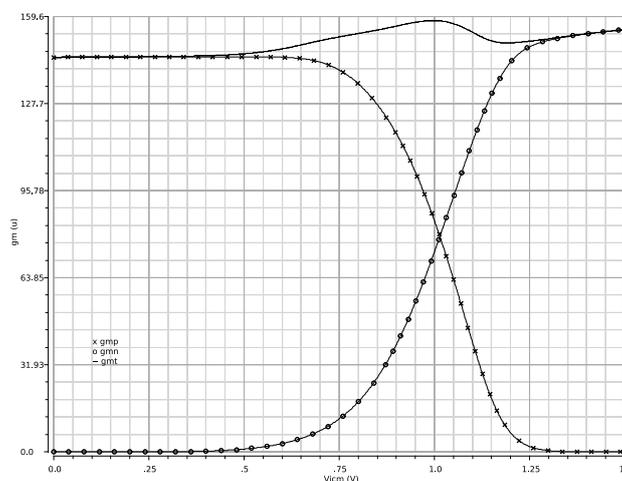


Figura 4.10: Transcondutâncias Gmn, Gmp e Gmt obtidas com o circuito completo

### 4.6.3 – Transiente

Para se obter a característica transiente do amplificador foi utilizado o esquema para teste mostrado na figura 4.11.

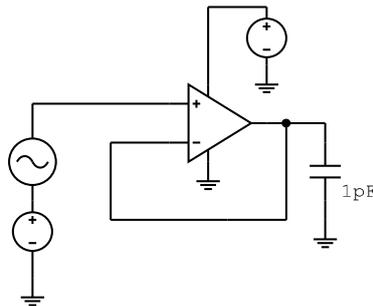


Figura 4.11: Esquema para teste transiente

A figura 4.12 apresenta os resultados para a simulação transiente do circuito. Foi aplicado um sinal de entrada (em linha cheia) senoidal com frequência de 100kHz, oscilando entre os extremos de alimentação Vss e Vdd em um intervalo de tempo de 50  $\mu$ s. Pode ser verificado que o sinal de saída (em linha tracejada) acompanha o sinal de entrada e que somente pequenas distorções são notadas no sinal quando está próximo aos extremos Vdd e Vss.

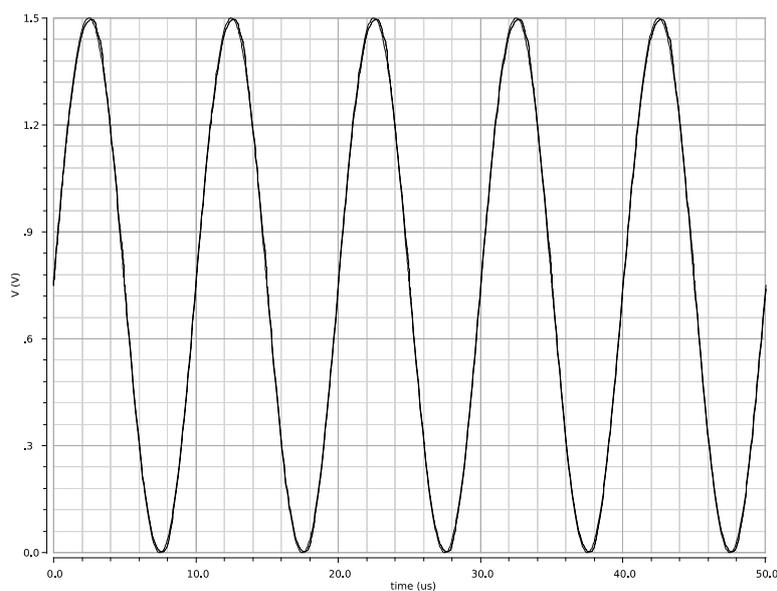


Figura 4.12: Variação de transiente

## 4.6.4 – Ganho e fase

Para se obter as características de ganho DC e de fase do amplificador foi utilizado o esquema para teste mostrado na figura 4.13.

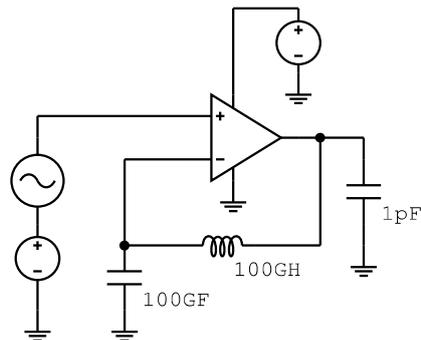


Figura 4.13: Esquema para simulação AC

A simulação AC realizada no amplificador teve o objetivo de se verificar a margem de fase e o ganho. Assim, a figura 4.14 mostra os resultados de ganho em malha fechada e de fase em função da frequência. O ganho obtido em malha fechada foi de 110.8 dB. A margem de fase obtida na simulação foi de  $74.4^\circ$  ao se utilizar um capacitor de carga  $C_L$  de 1pF e um capacitor de compensação  $C_c$  de 2pF. Uma comparação com outros artigos é apresentada no item 4.6.5.

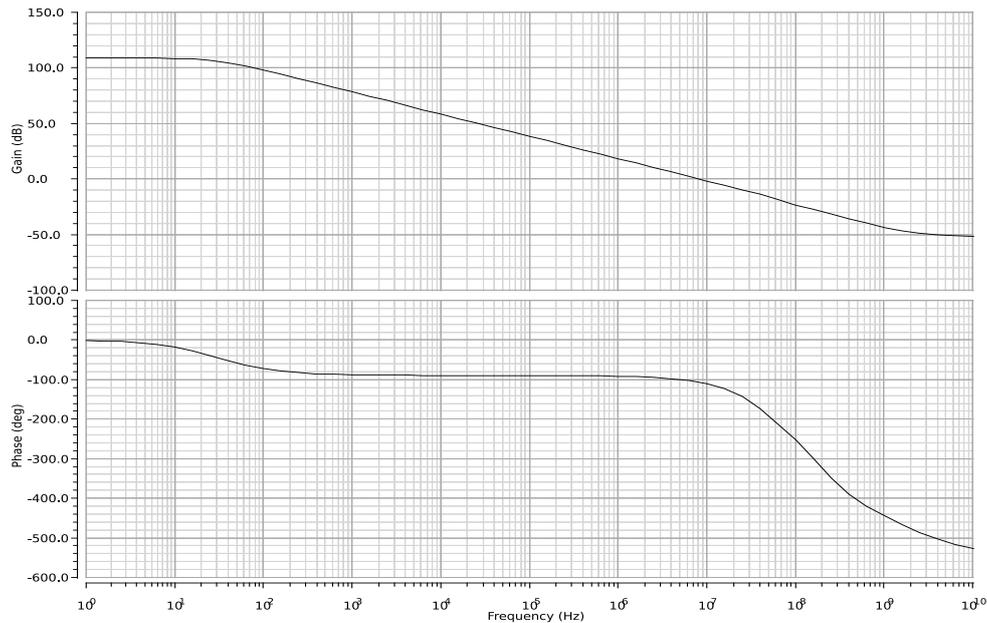


Figura 4.14: Característica de ganho e fase

## 4.6.5 – Comparação de resultados

A tabela 3 mostra as características gerais dos circuitos propostos neste trabalho e faz uma comparação com os resultados de outros artigos. Assim, pode-se notar que os valores de algumas características dos circuitos propostos 1 e 2 como variação de  $g_m$ , consumo de potência e margem de fase estão de acordo com outros trabalhos. O circuito proposto 1 se refere ao amplificador utilizando o estágio de entrada do item 4.1 e o circuito proposto 2 se refere ao amplificador utilizando o estágio de entrada do item 4.2. As referências [33] e [35] não mencionam o funcionamento *rail to rail*. Apesar de utilizar uma tensão de alimentação de apenas 0,5V e tecnologia de 65nm, a referência [35] apresenta uma potência de 0,124mW, que é bem próximo ao valor obtido de 0,184mW para o circuito proposto 2. A referência [18] possui a mesma tecnologia de fabricação 130nm e tensão de alimentação 1,5V do circuito proposto 2 mas seu consumo de potência é de 1,5mW com um ganho de 130dB, o que é bem maior que o circuito proposto 2, que apresenta um consumo de 0,184mW com um ganho de 110,8dB. A variação de transcondutância  $G_m$  do circuito proposto 2 de 8% possui também o valor aproximado ao resultado da referência [32] que é de 8,66%.

Tabela 3: Comparação de resultados

|                              | Circuito proposto1  | Circuito proposto2  | Ref. [18]           | Ref. [33] | Ref. [32]           | Ref. [35] |
|------------------------------|---------------------|---------------------|---------------------|-----------|---------------------|-----------|
| Tensão de alimentação (V)    | 1.5                 | 1.5                 | 1.5                 | 0.5       | 1.6                 | 0.5       |
| Ganho DC (dB)                | 120                 | 110.8               | 130                 | 41.7      | 75.98               | 46        |
| Margem de fase (°)           | 59                  | 74.4                | -                   | -         | 57.2                | 52        |
| Excursão de entrada (V)      | <i>Rail to rail</i> | <i>Rail to rail</i> | <i>Rail to rail</i> | -         | <i>Rail to rail</i> | -         |
| Excursão de saída (V)        | <i>Rail to rail</i> | <i>Rail to rail</i> | -                   | .16       | -                   | 0.5       |
| Potência (mW)                | 0.216               | 0.184               | 1.5                 | 0.07      | 0.069               | 0.124     |
| Tecnologia ( $\mu\text{m}$ ) | 0.13                | 0.13                | 0.13                | 0.09      | 0.25                | 0.065     |
| Varição de Gm (%)            | $\pm 20$            | $\pm 8$             | $\pm 2.59$          | -         | $\pm 8.66$          | -         |

## 4.7 – Leiaute

Para a realização do leiaute, foi utilizado o esquema para o circuito proposto completo do item 4.4 com alterações para ser apresentado no formato de diagrama em blocos pois simplifica a etapa de verificação de erros de leiaute.

O amplificador foi dividido em cinco blocos (I0, I1, I2, I3 e I4) que estão conectados para formar o amplificador que pode ser visto na figura 4.15. Cada bloco está representado com seu esquema elétrico e respectivo leiaute. As conexões externas são os terminais de alimentação VDD e VSS, os terminais de entrada de sinal positivo V+ e sinal negativo V-, o terminal para fonte de corrente Iref de referência IB e o terminal S de saída do amplificador. Também o capacitor de compensação Cc está indicado como C0.

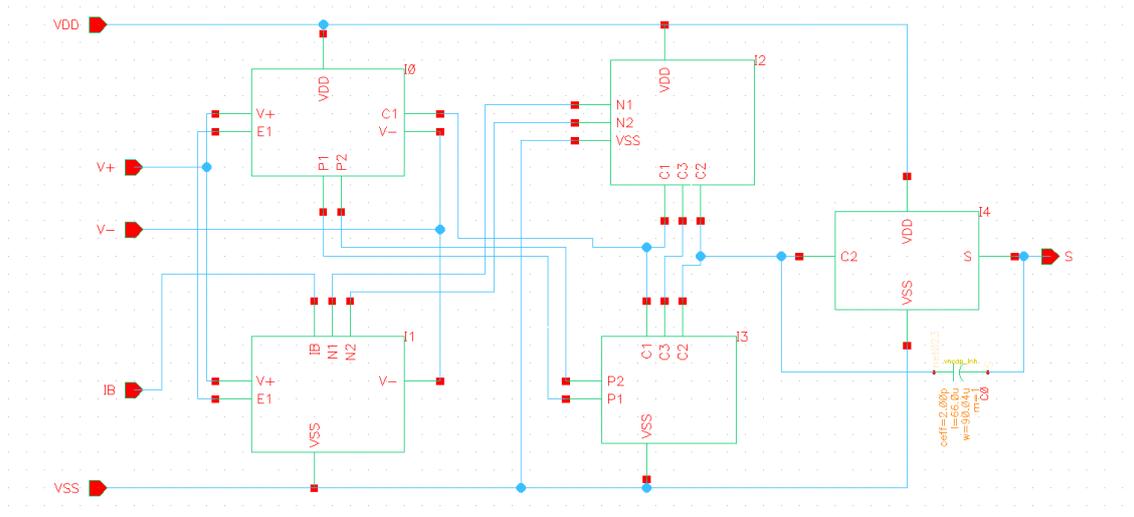


Figura 4.15: Diagrama em blocos do amplificador

O bloco I0 esquematizado na figura 4.16 está representando o espelho de corrente PMOS com os transistores T21 e T6, o transistor de controle T0 e o par diferencial PMOS com os transistores T3 e T4 que são respectivamente os transistores M5, M6, MY, M3 e M4 do esquema da figura 4.5. O leiaute está na figura 4.17. Devido a grande dimensão destes transistores no leiaute, foi utilizado um multiplicador para o valor de W, permitindo assim que um único transistor seja dividido em múltiplos de dimensões menores.

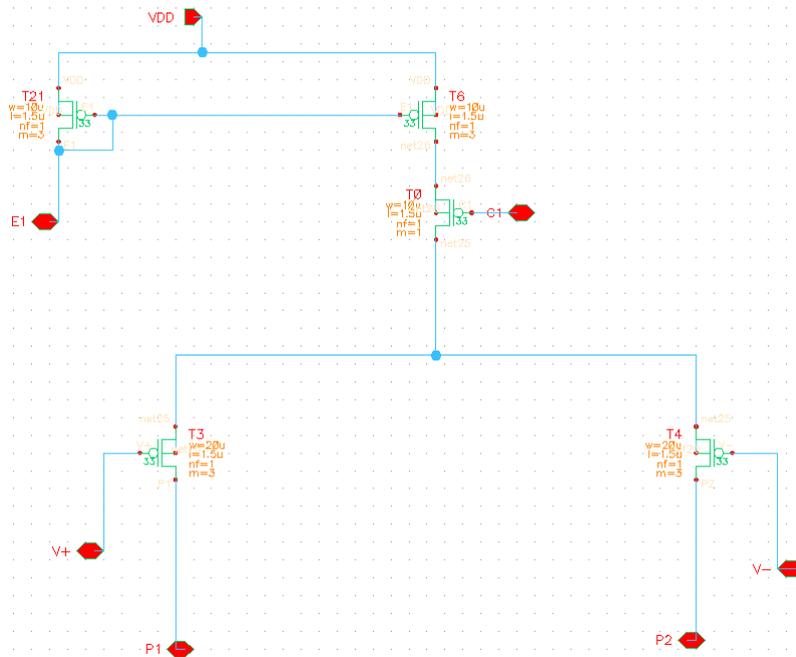


Figura 4.16: Esquema do bloco diferencial PMOS

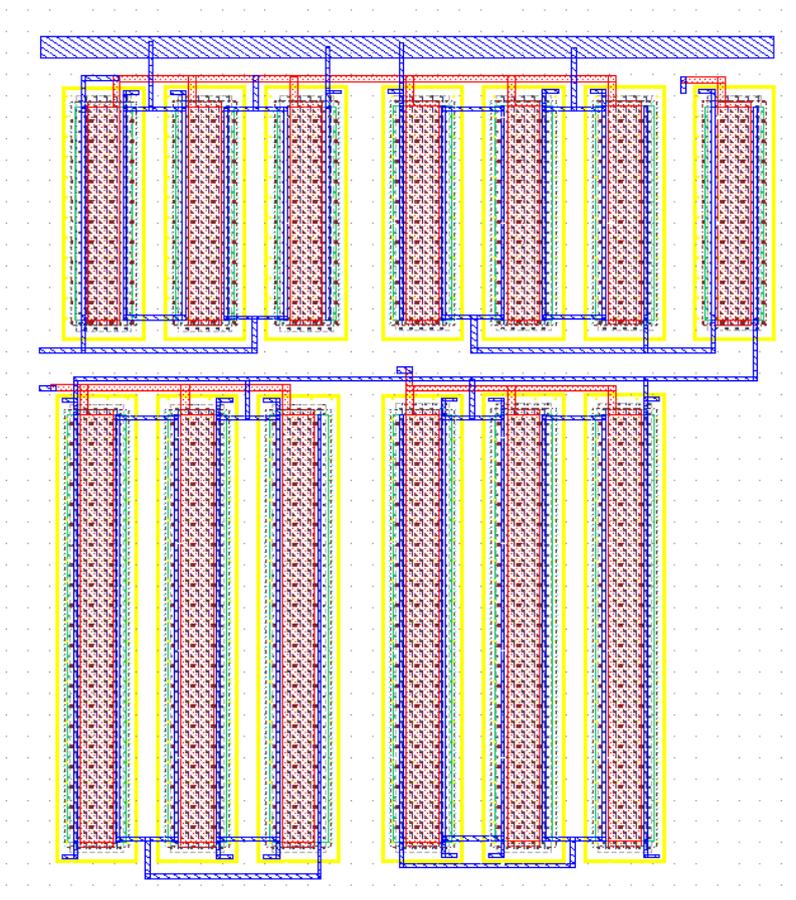


Figura 4.17: Leiaute do bloco diferencial PMOS

O bloco I1 esquematizado na figura 4.18 está representando o par diferencial NMOS com os transistores T1 e T2 e o espelho de corrente NMOS com os transistores T0, T3 e T5, mais o transistor T9 que são respectivamente os transistores M1, M2, ME, M7, M8 e MX do esquema da figura 4.5. O leiaute está na figura 4.19.

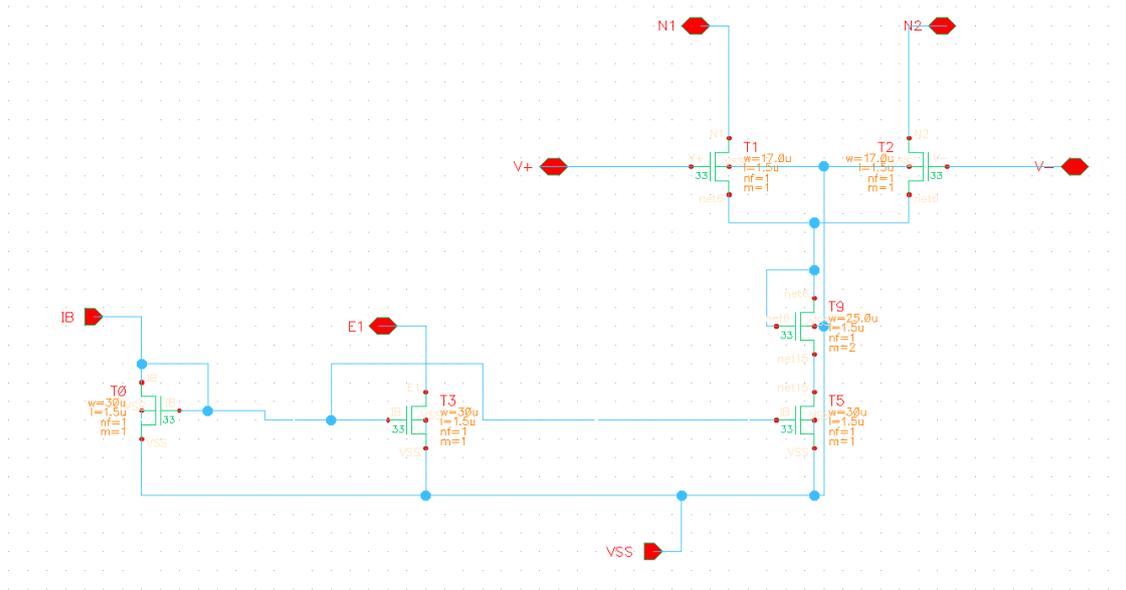


Figura 4.18: Esquema do bloco diferencial NMOS

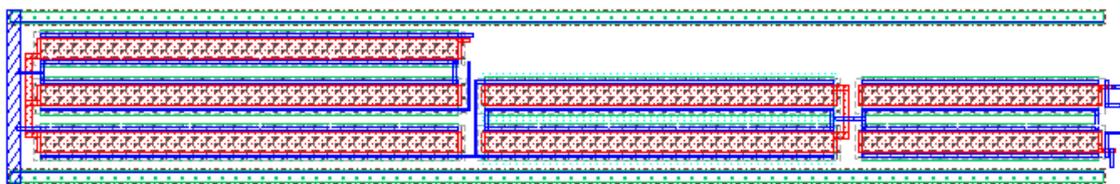


Figura 4.19: Leiaute do bloco diferencial NMOS

O bloco I2 esquematizado na figura 4.20 está representando o estágio *cascode* PMOS com os transistores T17, T18, T15 e T16 e o NMOS T23, que são respectivamente os transistores M10, M11, M12 e M13 mais o NMOS M20, do esquema da figura 4.5. O leiaute está na figura 4.21.

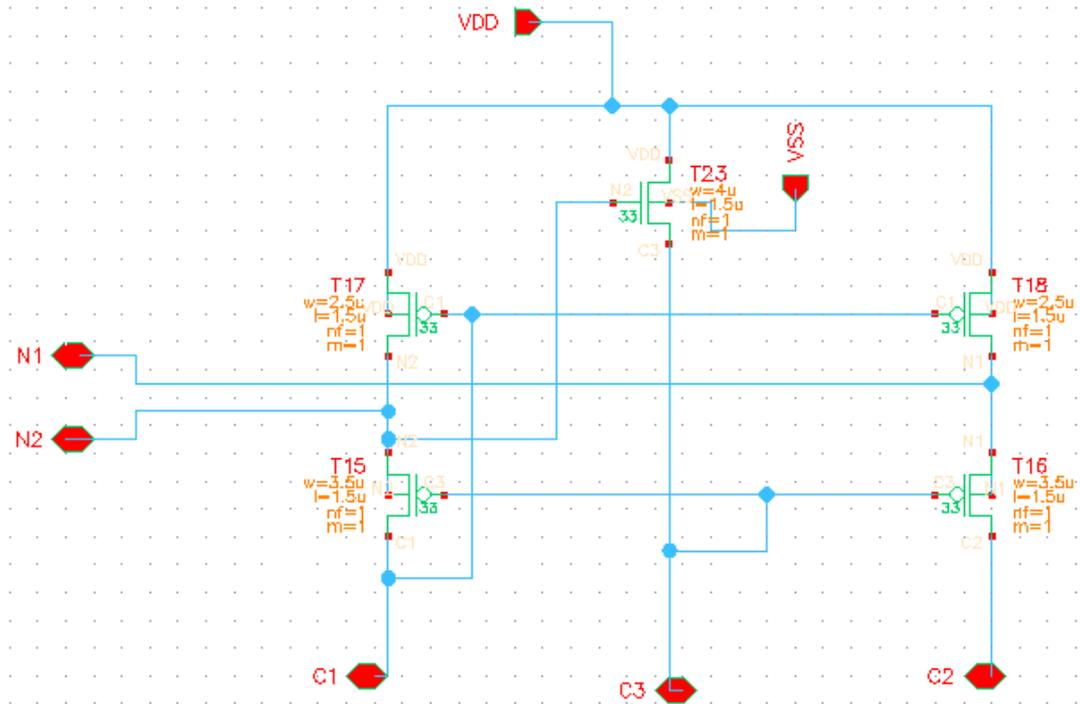


Figura 4.20: Esquema do bloco cascode PMOS

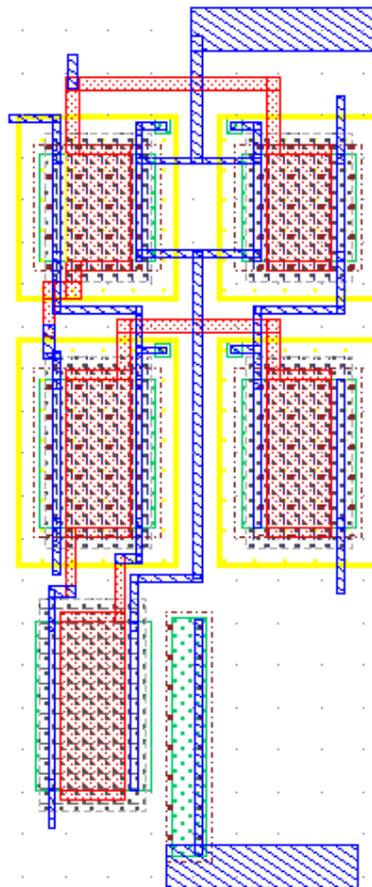


Figura 4.21: Layout do bloco cascode PMOS

O bloco I3 esquematizado na figura 4.22 está representando o estágio *cascode* NMOS com os transistores T13, T14, T11, T12 e o PMOS T22, que são respectivamente os transistores M14, M15, M16 e M17 mais o PMOS M21, do esquema da figura 4.5. O leiaute está na figura 4.23.

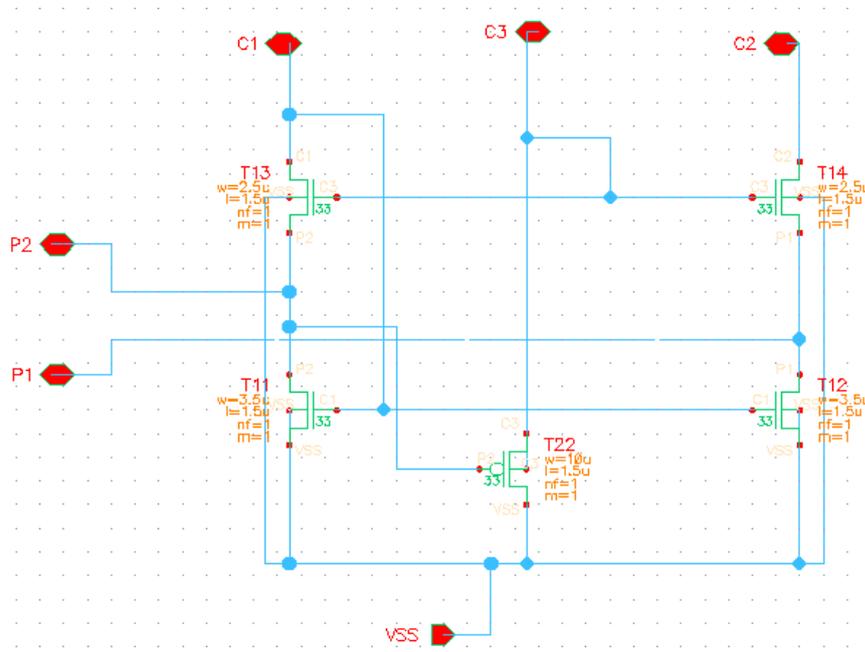


Figura 4.22: Esquema do bloco cascode NMOS

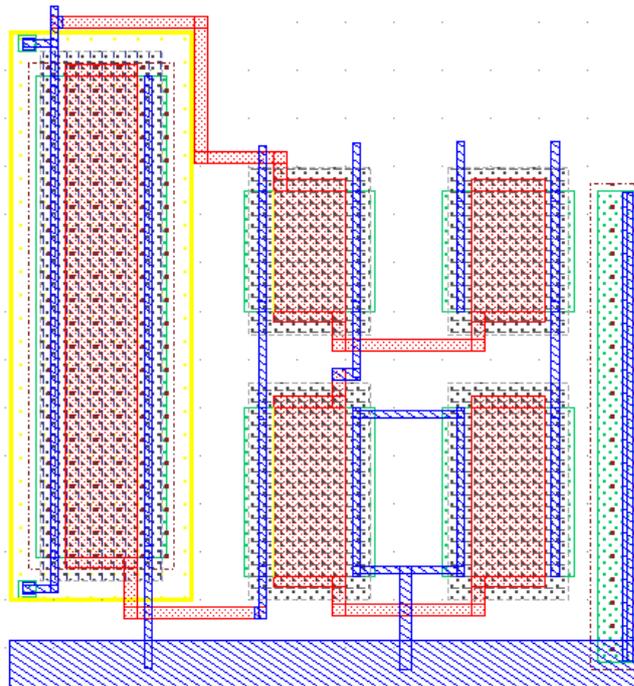


Figura 4.23: Leiaute do bloco cascode NMOS

O bloco I4 esquematizado na figura 4.24 está representando o estágio de saída com os transistores T0 e T1, que são respectivamente os transistores M18 e M19 do esquema da figura 4.5. Como pode ser visto no leiaute da figura 4.25, para os transistores também foi utilizado um multiplicador para o valor de W.

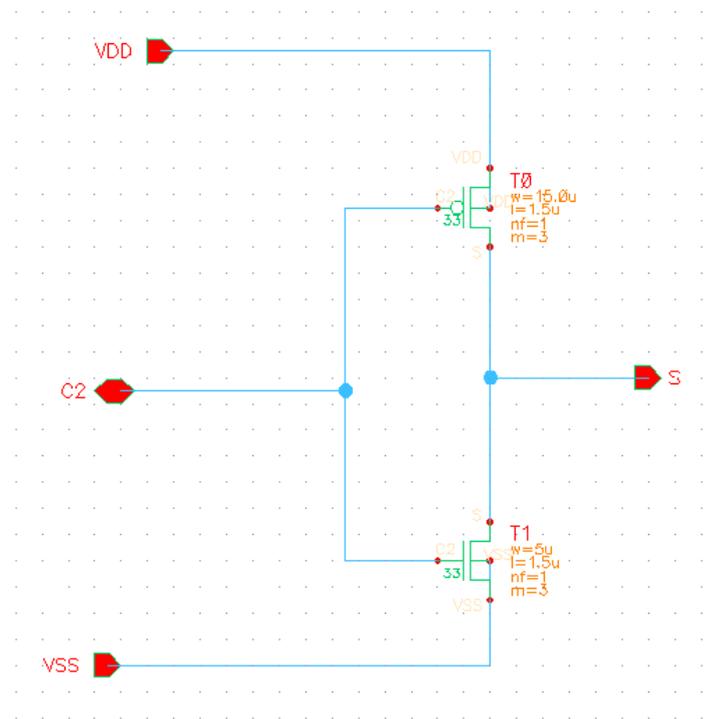


Figura 4.24: Esquema do bloco de saída

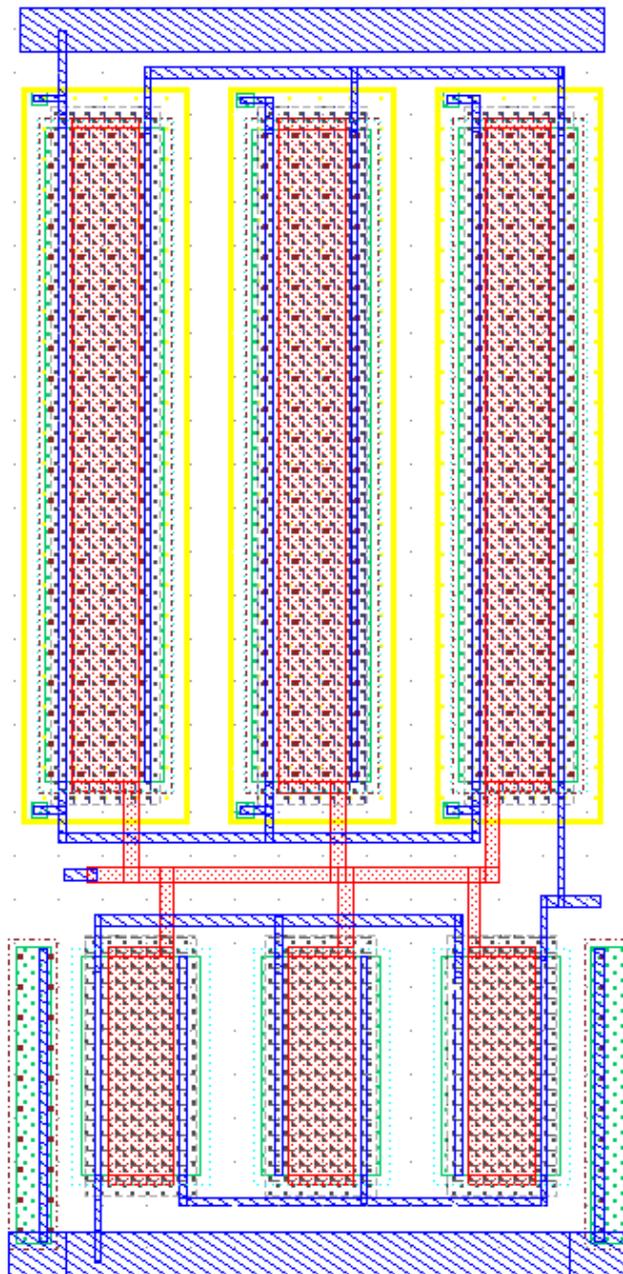


Figura 4.25: Leiaute do bloco de saída

A figura 4.26 apresenta o leiaute do amplificador obtido do diagrama em blocos da figura 4.15. Possui um tamanho de  $142\ \mu\text{m}$  por  $83\ \mu\text{m}$ .

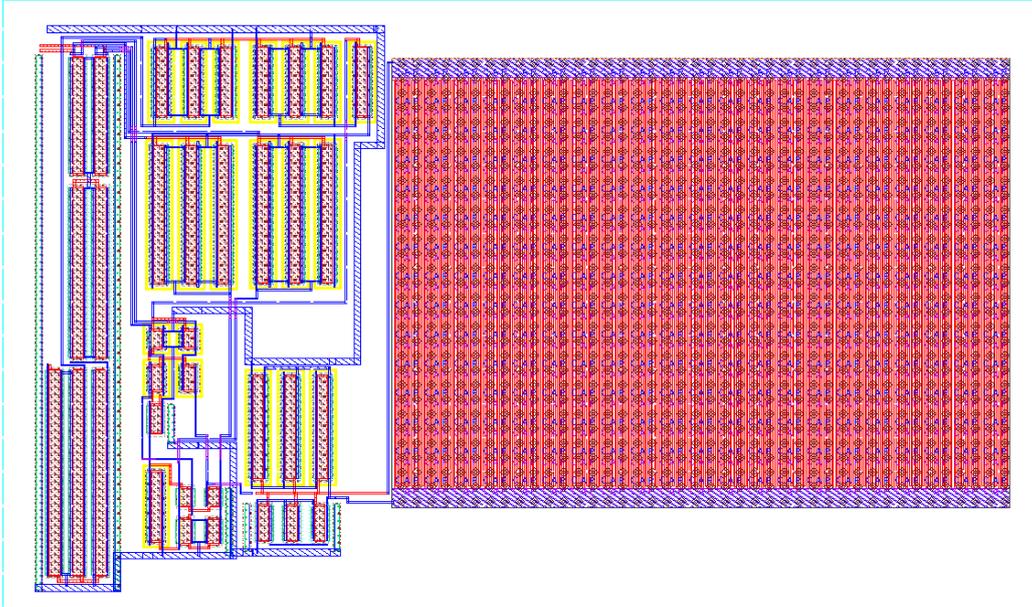


Figura 4.26: Leiaute do amplificador

Para o leiaute final, foram utilizados circuitos de *pads* que são usados para conectar o amplificador externamente. A figura 4.27 representa o esquema final com a conexão entre o amplificador e os *pads* e a figura 4.28 apresenta seu leiaute. Possui um tamanho de 462  $\mu\text{m}$  por 668  $\mu\text{m}$ .

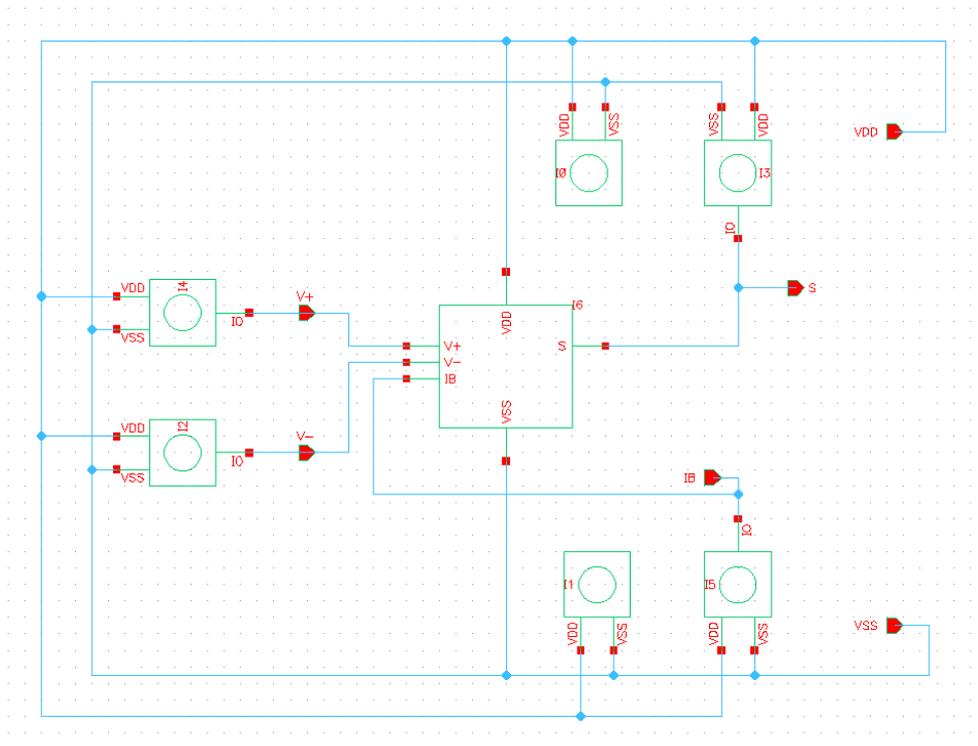


Figura 4.27: Esquema final do amplificador

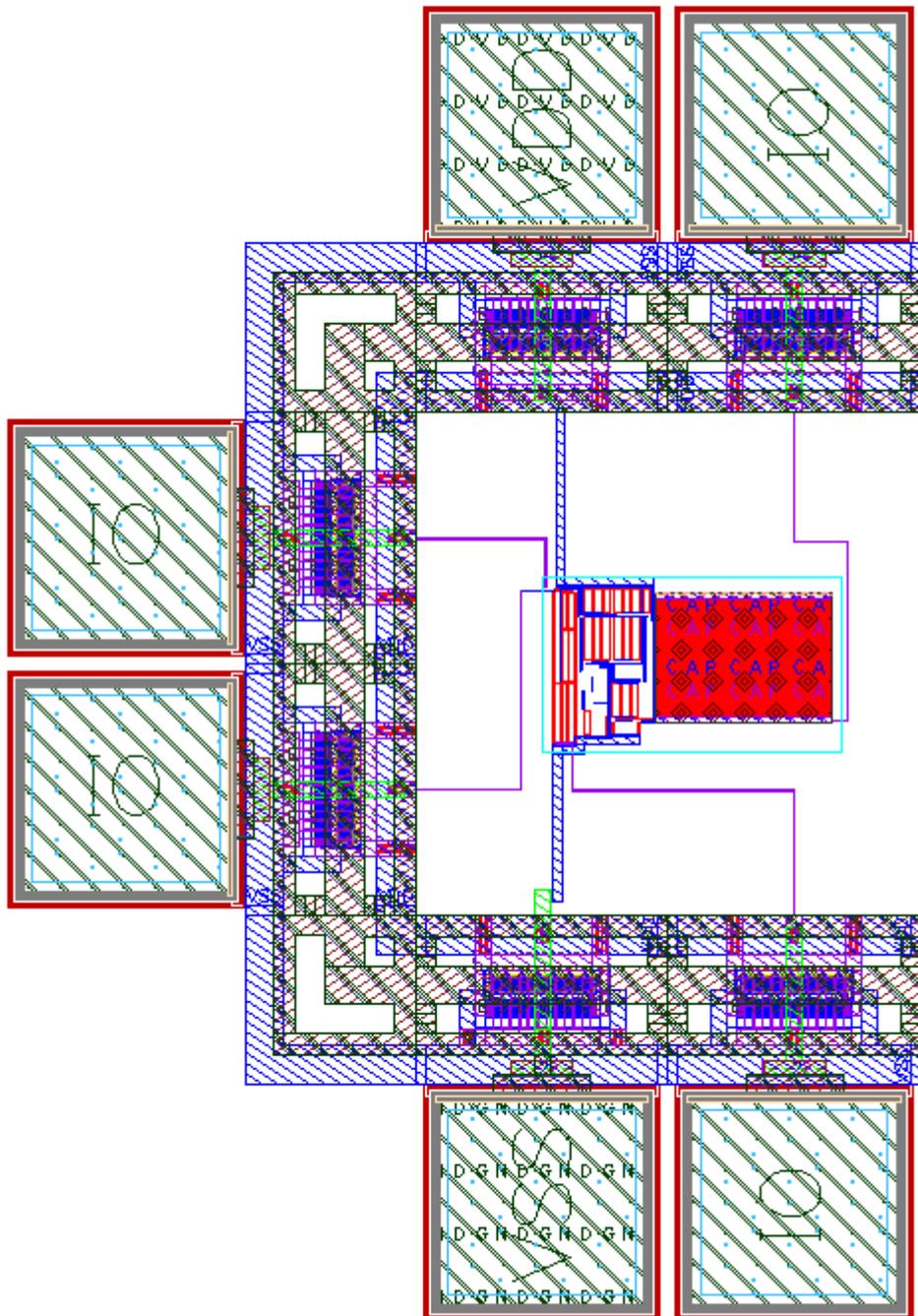


Figura 4.28: Leiaute final do amplificador

## Capítulo 5 - Conclusão

Neste trabalho foi apresentado o desenvolvimento de um amplificador com característica *rail to rail* de entrada e saída. Foi realizada uma pesquisa de várias topologias com o intuito de se encontrar uma que satisfizesse as condições de simplicidade, baixa quantidade de transistores e funcionamento adequado quando comparado a outros trabalhos semelhantes, para possíveis finalidades biomédicas como em dispositivos implantáveis ou em sensores como um potenciostato. Assim se encontrou um estágio de entrada e um de saída que proporcionam um sinal que tenha como limite os extremos de alimentação. Também se realizou uma pesquisa dos vários modelos de estágio intermediário ou *cascade* existentes e foi escolhido um que operasse com baixas tensões e que não necessitasse de circuitos extras para sua polarização, o que levou a simplificação maior do circuito, assim como menor quantidade de transistores, economia de área de chip e diminuição de consumo de energia e propensão a ruídos. De acordo com o capítulo 4, os resultados obtidos de características AC e de transferência DC, demonstram que o circuito alcançou o esperado.

Foi publicado um artigo no congresso internacional “*ICM 2016 - The 28 International Conference on Microelectronics*” que se encontra em anexo.

Como futura melhoria ao projeto, poderiam ser feitas adaptações para que o amplificador funcione a uma faixa de temperatura mais ampla, e também possua uma tolerância maior quanto a variação na tensão de alimentação e de processo de fabricação.

Poderia também ser testado uma versão que trabalhe em inversão fraca, com algumas alterações em estruturas como os espelhos de corrente da etapa de entrada e no estágio *cascade* o que proporcionaria uma redução no consumo por operar com baixa tensão de alimentação.

A contribuição deste trabalho está na adaptação de um amplificador operacional com uma baixa variação de transcondutância  $g_m$  e operando em *rail to rail* utilizando um estágio de entrada simplificado e não necessitando de circuitos extras para sua polarização.

# Referências bibliográficas

- [1]. SILVA-MARTINEZ, J.; STEYAERT, M.; SANSEN, W. **High-performance CMOS continuous-time filters**. [S.l.]: Springer Science & Business Media, v. 223, 2013.
- [2]. WU, J.; FEDDER, G. K.; CARLEY, L. R. A low-noise low-offset capacitive sensing amplifier for a 50- $\mu\text{g}/\text{V}$  Hz monolithic CMOS MEMS accelerometer. **IEEE Journal of Solid-State Circuits**, v. 39, p. 722-730, 2004.
- [3]. MILLIKEN, R. J.; SILVA-MARTINEZ, J.; SÁNCHEZ-SINENCIO, E. Full on-chip CMOS low-dropout voltage regulator. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 54, p. 1879-1890, 2007.
- [4]. CHAN, P. K.; NG, K. A.; ZHANG, X. L. **A CMOS chopper-stabilized differential difference amplifier for biomedical integrated circuits**. Circuits and Systems, 2004. MWSCAS'04. The 2004 47th Midwest Symposium on. [S.l.]: [s.n.]. 2004. p. iii-33.
- [5]. SHI, D. et al. **A 6-bit 500MS/s CMOS A/D converter with a digital input range detection circuit**. SoC Design Conference (ISOCC), 2013 International. [S.l.]: [s.n.]. 2013. p. 316-317.
- [6]. ZHOU, Z.-K. et al. A Resistorless CMOS Voltage Reference Based on Mutual Compensation of and. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 60, p. 582-586, 2013.
- [7]. DEGHANI, R. **Design of CMOS operational amplifiers**. [S.l.]: Artech House, 2013.
- [8]. SEDRA, A. S.; SMITH, K. C. **Microelectronic circuits: theory and applications**. [S.l.]: Oxford University Press, 2013.
- [9]. ALLEN, P. E.; HOLBERG, D. R. **CMOS analog circuit design**. [S.l.]: Oxford Univ. Press, 2002.
- [10]. HOGERVORST, R.; HUIJSSING, J. **Design of low-voltage, low-power operational amplifier cells**. [S.l.]: Springer Science & Business Media, v. 374, 2013.
- [11]. CEPERIC, V.; BUTKOVIC, Z.; BARIC, A. **Design and optimization of self-biased complementary folded cascode**. MELECON 2006-2006 IEEE Mediterranean Electrotechnical Conference. [S.l.]: [s.n.]. 2006. p. 145-148.
- [12]. HUANG, C.-Y. Design of a voltammetry potentiostat for biochemical sensors. **Analog Integrated Circuits and Signal Processing**, v. 67, p. 375-381, 2011.
- [13]. LIM, S.-I.; CHOI, I.-S.; LEE, H.-H. **Biochemical sensor interface circuits with differential difference amplifier**. Circuits and Systems (APCCAS), 2012 IEEE Asia Pacific Conference on. [S.l.]: [s.n.]. 2012. p. 176-179.

- [14]. LEE, B.; HIGMAN, T. **Extremely simple constant-gm technique for low voltage rail-to-rail amplifier input stage**. Electronics, Circuits and Systems (ICECS), 2011 18th IEEE International Conference on. [S.l.]: [s.n.]. 2011. p. 314-317.
- [15]. RAJPUT, S. S.; JAMUAR, S. S. A current mirror for low voltage, high performance analog circuits. **Analog Integrated circuits and signal processing**, v. 36, p. 221-233, 2003.
- [16]. YAN, S. et al. **Constant-g m techniques for rail-to-rail CMOS amplifier input stages: a comparative study**. 2005 IEEE International Symposium on Circuits and Systems. [S.l.]: [s.n.]. 2005. p. 2571-2574.
- [17]. WANG, M. et al. Constant-g m rail-to-rail CMOS op-amp input stage with overlapped transition regions. **IEEE Journal of Solid-State Circuits**, v. 34, p. 148-156, 1999.
- [18]. REDA, A.; FARAHAT, M.; FARAG, F. Input--output Rail-to-Rail CMOS CCII for low voltage--low power applications. **Microelectronics Journal**, v. 48, p. 60-75, 2016.
- [19]. SHOULI, Y.; SANCHEZ-SINENCIO, E. Low voltage analog circuit design techniques: A tutorial. **IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences**, v. 83, p. 179-196, 2000.
- [20]. HOGERVORST, R. et al. A compact power-efficient 3 V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries. **IEEE Journal of Solid-State Circuits**, v. 29, p. 1505-1513, #dec# 1994. ISSN ISSN: 0018-9200.
- [21]. HWANG, C.; MOTAMED, A.; ISMAIL, M. Universal constant-g m input-stage architectures for low-voltage op amps. **IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications**, v. 42, p. 886-895, 1995.
- [22]. SAKURAI, S.; ISMAIL, M. Robust design of rail-to-rail CMOS operational amplifiers for a low power supply voltage. **IEEE Journal of Solid-State Circuits**, v. 31, p. 146-156, 1996.
- [23]. YAN, S. et al. **A constant-g m rail-to-rail op amp input stage using dynamic current scaling technique**. 2005 IEEE International Symposium on Circuits and Systems. [S.l.]: [s.n.]. 2005. p. 2567-2570.
- [24]. DUQUE-CARRILLO, J. F. et al. Robust and universal constant-g/sub m/circuit technique [operational amplifiers]. **Electronics Letters**, v. 38, p. 396-397, 2002.
- [25]. SAKURAI, S.; ISMAIL, M. **Low-voltage CMOS operational amplifiers: Theory, Design and Implementation**. [S.l.]: Springer Science & Business Media, v. 290, 2012.
- [26]. MOHAMED, A. R.; IBRAHIM, M. F.; FARAG, F. **Automated design technique for constant-g m rail-to-rail for OTA input stage**. 2012 24th International Conference on Microelectronics (ICM). [S.l.]: [s.n.]. 2012. p. 1-4.

- [27]. LEE, B. **Low voltage/low power rail-to-rail CMOS operational amplifier for portable ECG**. UNIVERSITY OF MINNESOTA. [S.I.]. 2013.
- [28]. HOGERVORST, R.; TERO, J. P.; HOIJISING, J. H. Compact CMOS constant-g<sub>m</sub> rail-to-rail input stage with g<sub>m</sub>-control by an electronic zener diode. **IEEE Journal of Solid-State Circuits**, v. 31, p. 1035-1040, 1996.
- [29]. CARRILLO, J. M. et al. Rail-to-rail constant-g<sub>m</sub> operational amplifier for video applications. **INTEGRATION, the VLSI journal**, v. 37, p. 1-16, 2004.
- [30]. AGGARWAL, B.; GUPTA, M.; GUPTA, A. K. A comparative study of various current mirror configurations: Topologies and characteristics. **Microelectronics Journal**, v. 53, p. 134-155, 2016.
- [31]. LEDESMA, F.; GARCIA, R.; RAMIREZ-ANGULO, J. **Comparison of new and conventional low voltage current mirrors**. Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on. [S.I.]: [s.n.]. 2002. p. II-49.
- [32]. LEE, B.; HIGMAN, T. **1.2 V constant-g<sub>m</sub> rail-to-rail CMOS Op-Amp input stage with new overlapped transition regions technique for ECG amplifier**. 2013 35th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC). [S.I.]: [s.n.]. 2013. p. 3451-3454.
- [33]. SAI PRANEETH, G. A. V.; SAINI, A. K. **A self biased operational amplifier at ultra low power supply voltage**. Electronics, Circuits, and Systems, 2009. ICECS 2009. 16th IEEE International Conference on. [S.I.]: [s.n.]. 2009. p. 152-154.
- [34]. LORENZO, M. A. G. et al. **Design and implementation of CMOS rail-to-rail operational amplifiers**. Communications and Information Technologies, 2007. ISCIT'07. International Symposium on. [S.I.]: [s.n.]. 2007. p. 61-66.
- [35]. SINGH, S.; GOYAL, P. An Ultra Low-Voltage CMOS Self-Biased OTA.
- [36]. HOGERVORST, R. et al. CMOS low-voltage operational amplifiers with constant-g<sub>m</sub> rail-to-rail input stage. **Analog Integrated Circuits and Signal Processing**, v. 5, p. 135-146, 1994.

# A Self-Biased Operational Amplifier of Constant gm for 1.5V rail-to-rail operation in 130nm CMOS

Leandro Líber Malavolta, Robson L Moreno, Tales C Pimenta

Microelectronics Group  
Universidade Federal de Itajuba  
Itajuba, Brasil

**Abstract**—This article presents a rail-to-rail CMOS operational amplifier of constant gm. It offers simple topology and low power consumption. It uses a simplified shift level circuit at the input, a self-biased folded cascode as the intermediate stage and a class AB, or push-pull output stage to provide large gain. The amplifier, implemented in IBM 130nm CMOS technology, works on a 1.5V power supply voltage and consumes just 216216 $\mu$ W, and offers a 120 dB gain. A comparison to other work in the literature reveal a large gain, low power, rail-to-rail amplifier suitable to many applications.

**Keywords**—self-biased, operational amplifier, rail-to-rail, CMOS.

## INTRODUCTION

There is always an interest of improved operational amplifiers, mainly the search for low voltage and low power operation. One of the main difficulties for the design of low voltage amplifiers is the small swing, both at input and output that reduce their efficiency and applicability. The rail-to-rail technique is often used to circumvent that difficulty and to provide a better use of the signal [1].

Many techniques have been proposed to achieve rail-to-rail input operation, since its debut [1]. All of them aims two features: extend the input common mode swing and an approximately constant gm, or at a smallest possible variation. Most techniques employ parallel PMOS and NMOS differential pairs, as depicted in Fig. 1. It is possible since the PMOS transistors conduct better near the positive power supply rail Vdd and NMOS transistors conduct better near the low supply rail Vss or GND.

When the common mode input signal is close to either extreme, just one of the pairs will be working, while the other will be off [2]. Thus, by connecting them in parallel, it is possible to assure amplification close to the rails, which allows common mode operation from rail-to-rail. Nevertheless, when both

NMOS and PMOS pairs are working at the same time, their gm will be added [2].

The gm variation due to the common mode variations is undesirable since it affects many features of the amplifier, such as its stability, the gain bandwidth product and the power consumption [3].

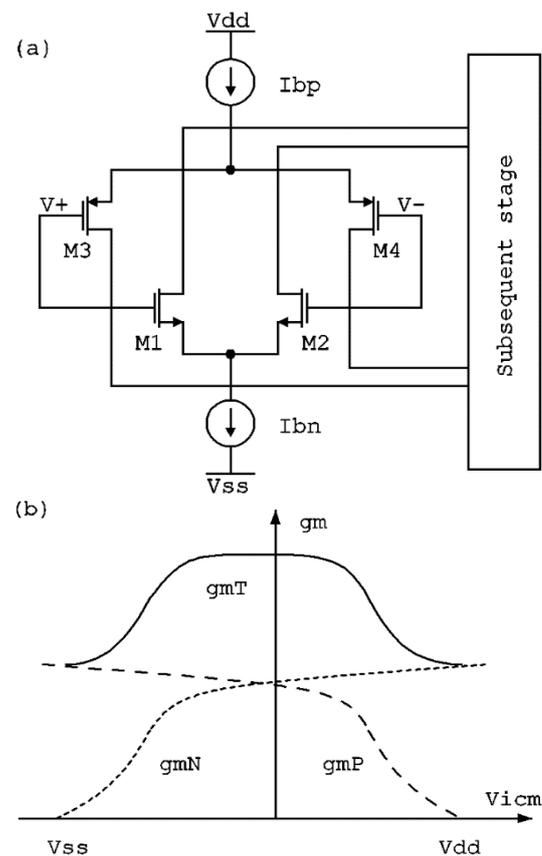


Fig. 1: Rail-to-rail input stage: circuit (a) and gm versus input voltage (b).

One of the techniques that reduces the effects of  $g_m$  variation is the level shifting [3], as shown in Fig. 2. In this circuit, the two NMOS source follower transistors M5 and M6 are used along with their active loads, M7 and M8, as DC level shifters. The input signals are applied to the NMOS source follower transistors M5 and M6 and to the PMOS differential pair M3 and M4. The outputs of M5 and M6 are connected to the NMOS differential pair M1 and M2. Therefore, the NMOS differential pair always receives the sifted input signal. Hence, the curve of the transconductance  $g_m$  of the NMOS pair can be left or right shifted, and thus the transition of the NMOS and PMOS differential pairs can be overlapped in such a way that the total transconductance  $g_{mT}$  is kept almost constant [3].

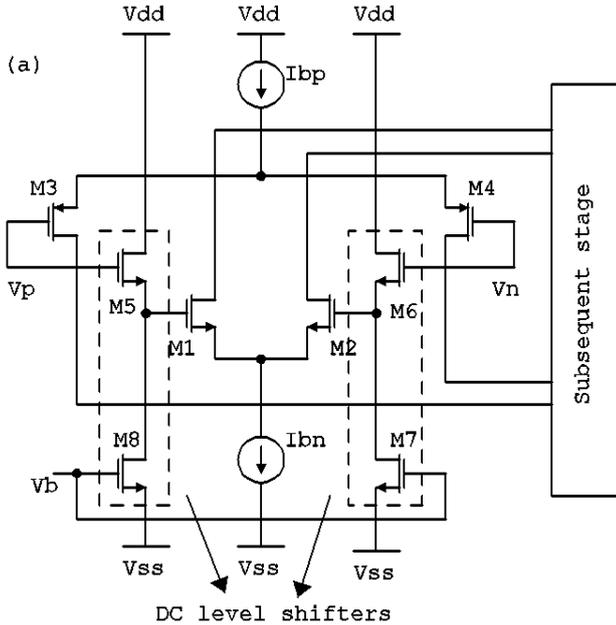


Fig. 2: Level shift: circuit (a) and  $g_m$  versus input voltage (b).

One of the common application of differential amplifier is the cascode topology. In order to assure proper biasing, where all transistors remain in saturation, external biasing circuits are often used.

The disadvantages of external biasing circuits are the additional silicon area required and an increase of consumption and noise susceptibility. The self-biased folded cascode stage [5] is often used as a viable solution.

Fig. 3 presents our proposed circuit. It makes use of the structures presented at [4] and [6], and takes advantage of the best and/or the most relevant features of each one in order to implement a new circuit.

#### PROPOSED CIRCUIT

The operation of the proposed circuit, shown in Fig 3, is given next. The input stage is comprised of transistors M1-M9. Transistors M1 and M2 form the NMOS differential pair and transistors M3 and M4 form the PMOS differential pair. Transistors M5 and M6 form a standard PMOS current mirror while transistors M7 and M8 form a standard NMOS current mirror.  $I_{ref}$  represents a reference current source. The diode-connected transistor M9 is located between the NMOS differential pair and the NMOS current mirror implements the constant  $g_m$  technique proposed by [4]. Therefore, the minimum input voltage of the differential pair is

$$V_{in} = V_{ovn} + V_{gsn} + V_{gsn} \quad (1)$$

where  $V_{ovn}$  is the NMOS current source overdrive and  $V_{gsn}$  is the gate-source voltage of the NMOS differential pair.

The additional  $V_{gsn}$  is necessary due to the diode-connected transistor M9. Therefore, the current of the NMOS differential pair will be shifted by  $V_{gsn}$ , thus providing a feature similar to the conventional level shifting technique [3] that requires additional transistors.

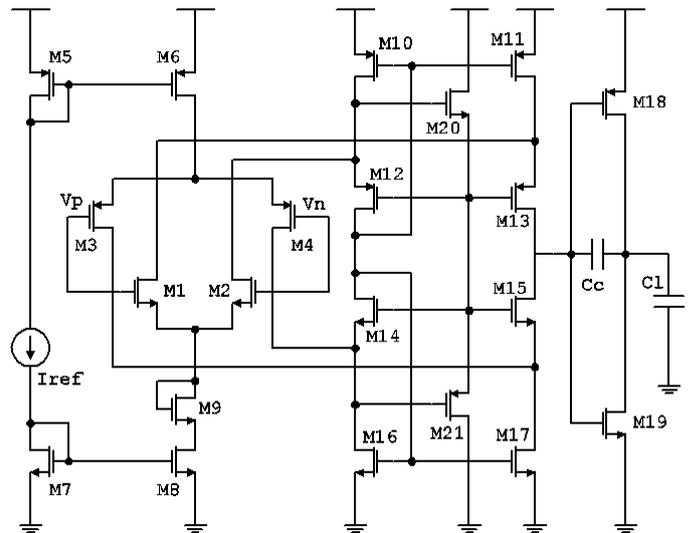


Fig. 3: Proposed circuit.

The intermediate stage, represented by transistors M10-M17, works as a folded cascode circuit, whose main function is to add the currents from the first stage. Cascode stages generally require external biasing circuits so that all transistors can operate

properly. In the proposed circuit, the biasing is provided by just two transistors, M20 and M21 [6] [7].

The operation mode to the NMOS transistors are equivalent to the PMOS ones. Transistor M21 shifts the drain voltage of transistor M16. The bias current  $I_{bias}$  dictates the operation region of transistor M21. The input current  $I_{in}$  and the voltage  $V_b$  at the drain of transistor M17 selects the operation region of transistor M17.  $I_{bias}$  and  $I_{in}$  defines the operation region of transistor M16. Under low  $I_{bias}$ , M21 works on weak inversion and otherwise, it works on saturations. For high  $I_{in}$  current and low voltage at its drain, M17 works on triode mode, changes to saturation mode for larger  $V_{ds}$ . For low input current  $I_{in}$  and large  $I_{bias}$  current, the gate voltage of M16 is high, but the input current is forced small and M16 works on triode mode.

It can be equated as:

$$V_{ds_{M16}} = V_{gs_{M16}} - V_{gs_{M21}} \tag{2}$$

But  $V_{ds_{M16}} = V_{in}$ , consequently

$$V_{in} = V_{gs_{M16}} - V_{gs_{M21}} \tag{3}$$

Therefore,  $V_{in}$  can be calculated if  $V_{gs_{M16}}$  e  $V_{gs_{M21}}$  are available.

The output stage is comprised of transistors M18 and M19, connected in AB or puch-pull configuration that assures a larger gain to the circuit. The capacitor C1 represents the load capacitance of the amplifier and CC is used to adjust the amplifier poles.

RESULTS

The amplifier was implemented in IBM 130nm technology and simulated using Cadence Virtuoso and Spectre, respectively.

Fig 4 presents the DC characteristics obtained for  $V_{in}$  ranging from 0 to 1.5V. .It can be observed the linearity of  $V_{out}$  during the whole interval.

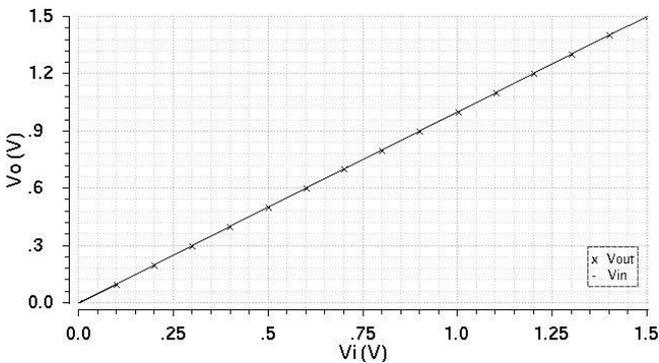


Fig. 4: DC characteristic.

Figure 5 shows the open loop gain and the phase for the frequency range of 1 to 10GHz.

Fig.6. shows the variations of transconductance for the input circuit. It shows the variations of  $g_m$  for the NMOS and PMOS differential pairs, as well as the total transconductance  $G_m$ , for the common mode input  $V_{icm}$  ranging from 0 to 1.5V.

Table 1 presents the dimensions of transistor width  $W$  for the proposed circuit. The length  $L$  was kept at  $1.5\mu m$  for all transistors in order to avoid short channel effects.

Table 2 presents the general characteristics of the proposed circuit, and perform a comparison to other work.

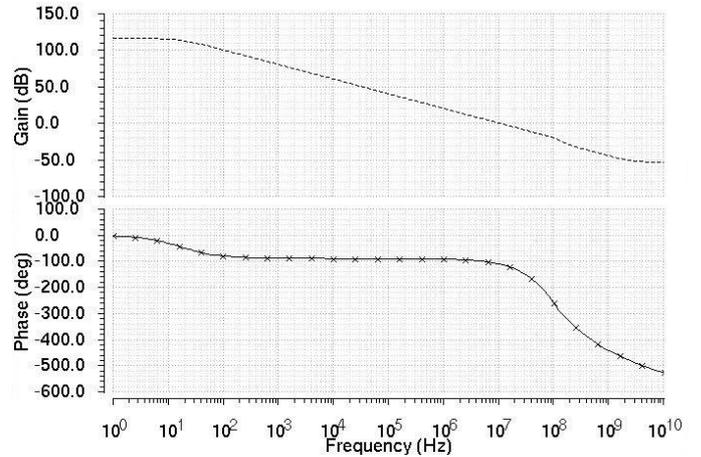


Fig. 5: Gain and phase response.

TRANSISTOR WIDTHS.

| Transistor | $W(\mu m)$ |
|------------|------------|
| M1,M2      | 17         |
| M3,M4      | 50         |
| M5,M6      | 45         |
| M7,M8      | 15         |
| M9         | 40         |
| M10,M11    | 2,5        |
| M12,M13    | 3,5        |
| M14,M15    | 2,5        |
| M16,M17    | 5          |
| M18        | 45         |
| M19        | 15         |
| M20        | 15         |
| M21        | 2,5        |

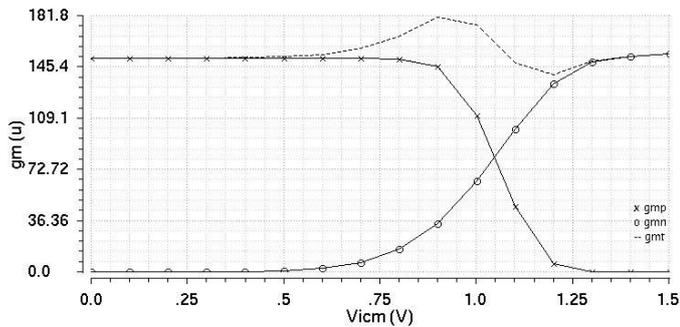


Fig. 6: Variation of Gm.

#### RESULTS COMPARISON.

|                     | <i>Proposed circuit</i> | <i>Ref.[3]</i> | <i>Ref.[7]</i> | <i>Ref.[8]</i> | <i>Ref.[9]</i> | <i>Ref.[10]</i> |
|---------------------|-------------------------|----------------|----------------|----------------|----------------|-----------------|
| Supply Voltage (V)  | 1.5                     | 1.5            | 0.5            | 1.6            | 0.5            | 0.5             |
| DC Gain (dB)        | 125                     | 130            | 41.7           | 75.98          | 46             | 46              |
| Gain Margin         | 11.2                    | -              | -              | -              | -              | -               |
| Phase Margin (°)    | 61.9                    | -              | -              | 57.2           | 52             | 57              |
| Input Swing (V)     | Rail to rail            | 1.5            | -              | Rail to rail   | -              | -               |
| Output Swing (V)    | Rail to rail            | Rail to rail   | 0.16           | -              | 0.5            | -               |
| Consumption (mW)    | .215                    | 1.5            | 0.07           | 0.069          | 0.124          | 0.182           |
| Technology (um)     | 0.13                    | 0.13           | 0.09           | 0.25           | 0.065          | 0.065           |
| Variation of gm (%) | 22                      | 2.59           | -              | ±8.66          | -              | -               |

#### CONCLUSIONS

This work presents the design of an input and output rail-to-rail amplifier whose input stage uses a level shifting technique that employs just one diode-connected transistor. It also uses a self-biased cascode intermediate stage and an AB output stage for large gain. The amplifier was implemented in IBM 130nm technology and simulated using Cadence Virtuoso and Spectre

The results demonstrate the circuit is capable of providing input and output rail-to-rail amplification of an almost constant gm. A comparison to other work demonstrate a circuit capable of offering a good compromise of power consumption, steady gm over the common mode input range and gain.

#### ACKNOWLEDGMENTS

The authors would like to thank FAPEMIG, CNPq and CAPES for their financial support.

#### REFERENCES

Shouli Yan, Jingyu Hu, Tongyu Song and E. Sanchez-Sinencio, "Constant-g m techniques for rail-to-rail CMOS amplifier input stages: a comparative study", IEEE International Symposium on Circuits and Systems, 2005. ISCAS 2005, pp. 2571-2574.

Minsheng Wang, T. L. Mayhugh, S. H. K. Embabi and E. Sanchez-Sinencio, "Constant-g m rail-to-rail CMOS op-amp input stage with overlapped transition regions", IEEE Journal of Solid-State Circuits, v. 34, n. 2, p. 148-156, 1999.

Ahmed Reda, Mohamed F. Ibrahim and Fathi Farag, "Input-output Rail-to-Rail CMOS CCII for low voltage-low power applications", Microelectronics Journal, v. 48, p. 60-75, 2016.

Boram Lee and Ted Higman, "18th IEEE International Conference on Electronics, Circuits and Systems (ICECS), 2011, pp. 314-317.

V. Ceperic, Z. Butkovic and A. Baric, "Design and optimization of self-biased complementary folded cascode", IEEE Mediterranean Electrotechnical Conference MELECON 2006, pp. 145-148.

S.S. Rajput, S.S. Januar, "A current mirror for low voltage, high performance analog circuits", Analog Integrated circuits and signal processing, v. 36, n. 3, p. 221-233, 2003.

Sai Praneeth G A V, Anil Kumar Saini, "A self biased operational amplifier at ultra low power supply voltage", IEEE International Conference on Electronics, Circuits, and Systems ICECS, 2009, pp 152-154.

Boram Lee, Ted Higman, "1.2 V constant-gm rail-to-rail CMOS Op-Amp input stage with new overlapped transition regions technique for ECG amplifier", 35th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), 2013, pp. 3451-3454.

Simran Singh, Priyanka Goyal, "An Ultra Low-Voltage CMOS Self-Biased OTA", International Journal of Computer Networks and Wireless Communications, Vol.6, No 3, May-June 2016.

Omar Abdelfattah, Gordon W. Roberts, Ishiang Shih and Yi-Chi Shih, "An Ultra-Low-Voltage CMOS Process-Insensitive Self-Biased OTA with Rail-to-Rail Input Range", IEEE Transactions on Circuits and Systems I: Regular Papers, v. 62, n. 10, p. 2380-2390, 2015

